RM0434
リファレンスマニュアル

FPU、Bluetooth® Low-Energyおよび802.15.4無線機能内蔵 Arm® Cortex®-M4搭載32bitマルチプロトコル・ワイヤレス・マイコン

概要

本書は、アプリケーション開発者を対象としています。STM32WB55xx および STM32WB35xx マイクロコントローラの使用方法について、詳しく説明しています。

これらのマルチプロトコルワイヤレス超低電力デバイスは、Bluetooth® Low Energy SIG 仕様 5.3 および IEEE 802.15.4-2011 に準拠した強力な超低電力無線を内蔵しています。これらには、リアルタイム Low Layer 操作を実行する専用の Arm® Cortex® -M0+ が含まれています。

STM32WB55xx および STM32WB35xx マイクロコントローラは、異なるメモリサイズ、パッケージ、およびペリフェラルを備え、ST の最新特許技術を搭載しています。

関連ドキュメント

STMicroelectronics のウェブサイト（www.st.com）では、以下のドキュメントが入手可能です。

- STM32WB55xx および STM32WB35xx のデータシート
- STM32WB55xx および STM32WB35xx 正誤表

Arm® Cortex®-M4 および Cortex®-M0+ コアについては、Web サイト（www.arm.com）から入手可能な対応するテクニカルリファレンスマニュアルを参照してください。

802.15.4 については、IEEE の Web サイト（www.ieee.org）を参照してください。

Bluetooth® については、www.bluetooth.com を参照してください。

目次

1 このマニュアルにおける表記の規則 60

1.1 一般情報 60

1.2 レジスタに関する略記 60

1.3 用語 61

1.4 使用可能なペリフェラル 61

2 システムおよびメモリの概要 62

2.1 システムアーキテクチャ 62

2.1.1 S0：CPU1（CPU1 Cortex®-M4）の I バス 63

2.1.2 S1：CPU1（CPU1 Cortex®-M4）の D バス 63

2.1.3 S2：CPU1（CPU1 Cortex®-M4）の S バス 63

2.1.4 S3：CPU2（Cortex®-M0+）の S バス 64

2.1.5 S4、S5：DMA バス 64

2.1.6 S6：無線システムバス 64

2.1.7 バスマトリックス 64

2.2 メモリ構成 65

2.2.1 概要 65

2.2.2 メモリマップとレジスタ境界アドレス 66

2.2.3 ビットバンディング 71

2.3 ブート設定 72

2.4 CPU2 ブート 73

2.5 CPU2 SRAM フェッチ無効化 74

3 内蔵 Flash メモリ（FLASH）. 75

3.1 概要 75

3.2 Flash の主な機能 75

3.3 Flash の機能説明 76

3.3.1 Flash メモリの構成 76

3.3.2 エンプティチェック 77

3.3.3 エラーコード訂正（ECC）. 77

3.3.4 読出しアクセスの遅延 77

3.3.5 適応型リアルタイムメモリアクセラレータ（ART Accelerator） 79

3.3.6 Flash メモリのプログラムおよび消去操作 82

3.3.7 Flash メインメモリの消去シーケンス 83
3.3.8 Flash メインメモリのプログラミングシーケンス 84
3.4 Flash オプションバイト 90
3.4.1 オプションバイトの説明 90
3.4.2 オプションバイトのプログラミング 98
3.5 FLASH UID64 100
3.6 Flash メモリの保護 101
3.6.1 読出し保護（RDP） 101
3.6.2 商用コード読出し保護（PCROP） 104
3.6.3 書込み保護（Write protection: WRP） 105
3.6.4 CPU2 セキュリティ（ESE） 106
3.7 FLASH のプログラム／消去の中断 108
3.8 FLASH 割込み 109
3.9 レジスタのアクセス保護 109
3.10 Flash レジスタ 110
3.10.1 Flash メモリアクセス制御レジスタ（FLASH_ACR） 110
3.10.2 Flash メモリキーレジスタ（FLASH_KEYR） 111
3.10.3 Flash メモリオプションキーレジスタ（FLASH_OPTKEYR） 111
3.10.4 Flash メモリステータスレジスタ（FLASH_SR） 112
3.10.5 Flash メモリ制御レジスタ（FLASH_CR） 114
3.10.6 Flash メモリ ECC レジスタ（FLASH_ECCR） 116
3.10.7 Flash メモリオプションレジスタ（FLASH_OPTR） 117
3.10.8 Flash メモリ PCROP ゾーン A 開始アドレスレジスタ（FLASH_PCROP1ASR） 119
3.10.9 Flash メモリ PCROP ゾーン A 終了アドレスレジスタ（FLASH_PCROP1AER） 119
3.10.10 Flash メモリ WRP 領域 A アドレスレジスタ（FLASH_WRP1AR） 120
3.10.11 Flash メモリ WRP 領域 B アドレスレジスタ（FLASH_WRP1BR） 120
3.10.12 Flash メモリ PCROP ゾーン B 開始アドレスレジスタ（FLASH_PCROP1BSR） 121
3.10.13 Flash メモリ PCROP ゾーン B 終了アドレスレジスタ（FLASH_PCROP1BER） 121
3.10.14 Flash メモリ IPCC メールボックスデータバッファアドレスレジスタ（FLASH_IPCCBR） 122
3.10.15 Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR） 122
3.10.16 Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR） 123
3.10.17 Flash メモリ CPU2 制御レジスタ（FLASH_C2CR） 125
3.10.18 セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR） 126

3.10.19 Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）127
3.10.20 Flash レジスタマップ 128

4 無線システム 130
4.1 概要 130
4.2 主な特徴 130
4.3 無線システムの機能説明 131
4.3.1 概要 131

5 巡回冗長検査計算ユニット（CRC） 132
5.1 概要 132
5.2 CRC の主な機能 132
5.3 CRC の機能説明 133
5.3.1 CRC ブロック図 133
5.3.2 CRC 内部信号 133
5.3.3 CRC 操作 133
5.4 CRC レジスタ 135
5.4.1 CRC データレジスタ（CRC_DR） 135
5.4.2 CRC 独立型データレジスタ (CRC_IDR) 135
5.4.3 CRC 制御レジスタ（CRC_CR） 136
5.4.4 CRC の初期値（CRC_INIT） 137
5.4.5 CRC 多項式（CRC_POL） 137
5.4.6 CRC レジスタマップ 138

6 電源制御（PWR） 139
6.1 電源 139
6.1.1 独立したアナログペリフェラルの電源 142
6.1.2 独立した USB トランシーバの電源 143
6.1.3 独立した LCD 電源（STM32WB55xx でのみ使用可能） 143
6.1.4 バッテリバックアップドメイン 143
6.1.5 電圧レギュレータ 144
6.1.6 ダイナミック電圧スケーリングの管理 145
6.2 電源供給スーパバイザ 146
6.2.1 パワーオンリセット（POR）／パワーダウンリセット（PDR）／ブラウンアウトリセット（BOR） 146
6.2.2 プログラム可能な電圧検出器（PVD） 147

6.2.3 ペリフェラル電圧モニタ（PVM）.....148
6.3 CPU2 ブート.....149
6.4 低消費電力モード.....151
6.4.1 RUN モード.....157
6.4.2 低電力 RUN モード（LP RUN）.....158
6.4.3 低消費電力モードへの移行.....158
6.4.4 低消費電力モードの終了.....159
6.4.5 SLEEP モード.....160
6.4.6 低電力 SLEEP モード（LP SLEEP）.....161
6.4.7 STOP0 モード.....162
6.4.8 STOP1 モード.....165
6.4.9 STOP2 モード.....165
6.4.10 STANDBY モード.....168
6.4.11 SHUTDOWN モード.....169
6.4.12 低消費電力モードからの自動ウェイクアップ.....170
6.5 リアルタイムの無線情報.....171
6.6 PWR レジスタ.....173
6.6.1 PWR 制御レジスタ 1（PWR_CR1）.....173
6.6.2 PWR 制御レジスタ 2（PWR_CR2）.....174
6.6.3 PWR 制御レジスタ 3（PWR_CR3）.....175
6.6.4 PWR 制御レジスタ 4（PWR_CR4）.....177
6.6.5 PWR ステータスレジスタ 1（PWR_SR1）.....178
6.6.6 PWR ステータスレジスタ 2（PWR_SR2）.....180
6.6.7 PWR ステータスクリアレジスタ（PWR_SCR）.....181
6.6.8 PWR 制御レジスタ 5（PWR_CR5）.....182
6.6.9 PWR ポート A プルアップ制御レジスタ（PWR_PUCRA）.....183
6.6.10 PWR ポート A プルダウン制御レジスタ（PWR_PDCRA）.....184
6.6.11 PWR ポート B プルアップ制御レジスタ（PWR_PUCRB）.....184
6.6.12 PWR ポート B プルダウン制御レジスタ（PWR_PDCRB）.....185
6.6.13 PWR ポート C プルアップ制御レジスタ（PWR_PUCRC）.....185
6.6.14 PWR ポート C プルダウン制御レジスタ（PWR_PDCRC）.....186
6.6.15 PWR ポート D プルアップ制御レジスタ（PWR_PUCRD）（STM32WB55xx のみ）.....186
6.6.16 PWR ポート D プルダウン制御レジスタ（PWR_PDCRD）（STM32WB55xx のみ）.....187
6.6.17 PWR ポート E プルアップ制御レジスタ（PWR_PUCRE）.....187
6.6.18 PWR ポート E プルダウン制御レジスタ（PWR_PDCRE）.....188

6.6.19 PWR ポート H プルアップ制御レジスタ（PWR_PUCRH）.....188
6.6.20 PWR ポート H プルダウン制御レジスタ（PWR_PDCRH）.....189
6.6.21 PWR CPU2 制御レジスタ 1（PWR_C2CR1）.....189
6.6.22 PWR CPU2 制御レジスタ 3（PWR_C2CR3）.....191
6.6.23 PWR 拡張ステータス／ステータスクリアレジスタ（PWR_EXTSCR）.....192
6.6.24 PWR レジスタマップとリセット値の表.....194

7 ペリフェラル相互接続マトリックス.....196
7.1 概要.....196
7.2 相互接続マトリックスの実装.....196
7.3 接続の一覧.....196
7.4 相互接続の詳細.....197
7.4.1 タイマ（TIM1/TIM2/TIM17）からタイマ（TIM1/TIM2）まで.....197
7.4.2 タイマ（TIM1/TIM2）および EXTI から ADC（ADC1）.....198
7.4.3 ADC（ADC1）からタイマ（TIM1）まで.....198
7.4.4 HSE、LSE、LSI、MSI、MCO、RTC からタイマ（TIM2/TIM16/TIM17）.....199
7.4.5 RTC、COMP1、COMP2 から低電力タイマ（LPTIM1/LPTIM2）まで.....199
7.4.6 タイマ（TIM1/TIM2）からコンパレータまで（COMP1/COMP2）.....199
7.4.7 USB からタイマ（TIM2）まで.....200
7.4.8 内部アナログから ADC1.....200
7.4.9 コンパレータ（COMP1/COMP2）からタイマ（TIM1/TIM2/TIM16/TIM17）.....201
7.4.10 システムエラーからタイマ（TIM1/TIM16/TIM17）まで.....201
7.4.11 タイマ（TIM16/TIM17）から IRTIM まで.....201

8 リセットおよびクロック制御（RCC）.....202
8.1 リセット.....202
8.1.1 電源リセット.....202
8.1.2 システムリセット.....202
8.1.3 バックアップドメインリセット.....204
8.2 クロック.....204
8.2.1 HSE クロック.....208
8.2.2 HSI16 クロック.....209
8.2.3 MSI クロック.....210
8.2.4 HSI48 クロック.....210
8.2.5 PLL.....211
8.2.6 LSE クロック.....211
8.2.7 LSI1 クロック.....212

8.2.8 LSI2 クロック 213
8.2.9 システムクロック（SYSCLK）の選択 213
8.2.10 クロックソースの周波数と電圧スケーリング 214
8.2.11 HSE（CSS）のクロックセキュリティシステム 214
8.2.12 LSE 上のクロックセキュリティシステム（LSECSS） 214
8.2.13 LSI ソース選択 215
8.2.14 SMPS ステップダウン･コンバータ･クロック 215
8.2.15 ADC クロック 216
8.2.16 RTC クロック 216
8.2.17 タイマクロック 217
8.2.18 ウォッチドッグクロック 217
8.2.19 ハードウェア乱数発生器のクロック 217
8.2.20 クロック信号出力 217
8.2.21 TIM16/TIM17 を使用した内部／外部クロックの測定 218
8.2.22 ペリフェラルクロック有効化 220
8.3 低電力モード 221
8.4 RCC レジスタ 223
8.4.1 RCC クロック制御レジスタ（RCC_CR） 223
8.4.2 RCC 内部クロックソース較正レジスタ（RCC_ICSCR） 226
8.4.3 RCC クロック設定レジスタ（RCC_CFGR） 227
8.4.4 RCC PLL 設定レジスタ（RCC_PLLCFGR） 230
8.4.5 RCC PLLSAI1 設定レジスタ（RCC_PLLSAI1CFGR） 233
8.4.6 RCC クロック割込み有効化レジスタ（RCC_CIER） 235
8.4.7 RCC クロック割込みフラグレジスタ（RCC_CIFR） 237
8.4.8 RCC クロック割込みクリアレジスタ（RCC_CICR） 239
8.4.9 RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR） 240
8.4.10 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR） 241
8.4.11 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR） 242
8.4.12 RCC AHB3 および AHB4 ペリフェラルリセットレジスタ（RCC_AHB3RSTR） 243
8.4.13 RCC APB1 ペリフェラルリセットレジスタ 1（RCC_APB1RSTR1） 244
8.4.14 RCC APB1 ペリフェラルリセットレジスタ 2（RCC_APB1RSTR2） 246
8.4.15 RCC APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR） 246
8.4.16 RCC APB3 ペリフェラルリセットレジスタ（RCC_APB3RSTR） 247
8.4.17 RCC AHB1 ペリフェラルクロック有効化レジスタ（RCC_AHB1ENR） 248
8.4.18 RCC AHB2 ペリフェラルクロック有効化レジスタ（RCC_AHB2ENR） 249

8.4.19 RCC AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_AHB3ENR）....250
8.4.20 RCC APB1 ペリフェラルクロック有効化レジスタ 1（RCC_APB1ENR1）...251
8.4.21 RCC APB1 ペリフェラルクロック有効化レジスタ 2（RCC_APB1ENR2）...253
8.4.22 RCC APB2 ペリフェラルクロック有効化レジスタ（RCC_APB2ENR）.....253
8.4.23 SLEEP モードにおける RCC AHB1 ペリフェラルクロック有効レジスタ（RCC_AHB1SMENR）....255
8.4.24 SLEEP モードにおける RCC AHB2 ペリフェラルクロック有効レジスタ（RCC_AHB2SMENR）....256
8.4.25 SLEEP モードおよび STOP モードにおける RCC AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_AHB3SMENR）.....258
8.4.26 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効レジスタ 1（RCC_APB1SMENR1）....259
8.4.27 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効レジスタ 2（RCC_APB1SMENR2）....261
8.4.28 SLEEP モードにおける RCC APB2 ペリフェラルクロック有効レジスタ（RCC_APB2SMENR）....261
8.4.29 RCC ペリフェラル独立クロック設定レジスタ（RCC_CCIPR）....263
8.4.30 RCC バックアップドメイン制御レジスタ（RCC_BDCR）....265
8.4.31 RCC 制御／ステータスレジスタ（RCC_CSR）....267
8.4.32 RCC クロックリカバリ RC レジスタ（RCC_CRRCR）....269
8.4.33 RCC クロック HSE レジスタ（RCC_HSECR）....270
8.4.34 RCC 拡張クロックリカバリレジスタ（RCC_EXTCFGR）....271
8.4.35 RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ（RCC_C2AHB1ENR）....273
8.4.36 RCC CPU2 AHB2 ペリフェラルクロック有効レジスタ（RCC_C2AHB2ENR）....274
8.4.37 RCC CPU2 AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_C2AHB3ENR）....275
8.4.38 RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 1（RCC_C2APB1ENR1）....276
8.4.39 RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 2（RCC_C2APB1ENR2）....278
8.4.40 RCC CPU2 APB2 ペリフェラルクロック有効レジスタ（RCC_C2APB2ENR）....279
8.4.41 RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3ENR）....280
8.4.42 SLEEP モードにおける RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ（RCC_C2AHB1SMENR）....281
8.4.43 SLEEP モードにおける RCC CPU2 AHB2 ペリフェラルクロック有効レジスタ（RCC_C2AHB2SMENR）....282

8.4.44 SLEEP モードにおける RCC CPU2 AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_C2AHB3SMENR）.....284
8.4.45 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 1（RCC_C2APB1SMENR1）.....285
8.4.46 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 2（RCC_C2APB1SMENR2）.....287
8.4.47 SLEEP モードにおける RCC CPU2 APB2 ペリフェラルクロック有効レジスタ（RCC_C2APB2SMENR）.....288
8.4.48 SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3SMENR）.....289
8.4.49 RCC レジスタマップ.....290

9 汎用 I/O（GPIO）.....295

9.1 概要.....295
9.2 GPIO の主な機能.....295
9.3 GPIO の実装.....295
9.4 GPIO の機能説明.....296
9.4.1 汎用 I/O（GPIO）.....298
9.4.2 I/O ピンオルタネート機能マルチプレクサと配置.....298
9.4.3 I/O ポート制御レジスタ.....299
9.4.4 I/O ポートデータレジスタ.....299
9.4.5 I/O データのビット単位の操作.....299
9.4.6 GPIO ロック機構.....300
9.4.7 I/O オルタネート機能の入力／出力.....300
9.4.8 外部割込み／ウェイクアップライン.....300
9.4.9 入力設定.....300
9.4.10 出力設定.....301
9.4.11 オルタネート機能設定.....302
9.4.12 アナログ設定.....302
9.4.13 LSE オシレータのピンを GPIO として使用.....303
9.4.14 GPIO ピンを RTC 供給ドメインで使用.....303
9.4.15 PH3 を GPIO として使用.....303
9.5 GPIO レジスタ.....304
9.5.1 GPIO ポートモードレジスタ（GPIOx_MODER）（x = A ～ E および H）.....304
9.5.2 GPIO ポート出力タイプレジスタ（GPIOx_OTYPER）（x = A ～ E および H）.....305
9.5.3 GPIO ポート出力スピードレジスタ（GPIOx_OSPEEDR）（x = A ～ E および H）.....305

9.5.4 GPIO ポートプルアップ／プルダウンレジスタ（GPIOx_PUPDR）（x = A ～ E および H）.....306
9.5.5 GPIO ポート入力データレジスタ（GPIOx_IDR）（x = A ～ E および H）....306
9.5.6 GPIO ポート出力データレジスタ（GPIOx_ODR）（x = A ～ E および H）...307
9.5.7 GPIO ポートビットセット／リセットレジスタ（GPIOx_BSRR）（x = A ～ E および H）.....307
9.5.8 GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A ～ E および H）...308
9.5.9 GPIO オルタネート機能下位レジスタ（GPIOx_AFRL）（x = A ～ E および H）.....309
9.5.10 GPIO オルタネート機能上位レジスタ（GPIOx_AFRH）（x = A ～ E および H）.....310
9.5.11 GPIO ポートビットリセットレジスタ（GPIOx_BRR）（x = A ～ E および H）.....311
9.5.12 GPIO レジスタマップ 312

10 システム設定コントローラ（SYSCFG）..... 315

10.1 SYSCFG の主な機能 315
10.2 SYSCFG レジスタ 315
10.2.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）.....315
10.2.2 SYSCFG 設定レジスタ 1（SYSCFG_CFGR1）.....316
10.2.3 SYSCFG 外部割込み設定レジスタ 1（SYSCFG_EXTICR1）.....317
10.2.4 SYSCFG 外部割込み設定レジスタ 2（SYSCFG_EXTICR2）.....318
10.2.5 SYSCFG 外部割込み設定レジスタ 3（SYSCFG_EXTICR3）.....320
10.2.6 SYSCFG 外部割込み設定レジスタ 4（SYSCFG_EXTICR4）.....321
10.2.7 SYSCFG SRAM2 制御およびステータスレジスタ（SYSCFG_SCSR）.....322
10.2.8 SYSCFG 設定レジスタ 2（SYSCFG_CFGR2）.....323
10.2.9 SYSCFG SRAM2 書込み保護レジスタ（SYSCFG_SWPR1）.....324
10.2.10 SYSCFG SRAM2 キーレジスタ（SYSCFG_SKR）.....324
10.2.11 SYSCFG SRAM2 書込み保護レジスタ 2（SYSCFG_SWPR2）.....325
10.2.12 SYSCFG CPU1 割込みマスクレジスタ 1（SYSCFG_IMR1）.....325
10.2.13 SYSCFG CPU1 割込みマスクレジスタ 2（SYSCFG_IMR2）.....326
10.2.14 SYSCFG CPU2 割込みマスクレジスタ 1（SYSCFG_C2IMR1）.....326
10.2.15 SYSCFG CPU2 割込みマスクレジスタ 2（SYSCFG_C2IMR2）.....327
10.2.16 SYSCFG セキュア IP 制御レジスタ（SYSCFG_SIPCR）.....328
10.2.17 SYSCFG レジスタマップ 329

11 ダイレクトメモリアクセスコントローラ（DMA）. 331
11.1 概要 331
11.2 DMA の主な機能 331
11.3 DMA の実装 332
11.3.1 DMA1 および DMA2 332
11.3.2 DMA リクエストマッピング 332
11.4 DMA の機能説明 333
11.4.1 DMA ブロック図 333
11.4.2 DMA 転送 334
11.4.3 DMA アービトレーション 335
11.4.4 DMA チャネル 335
11.4.5 DMA データの幅、アライメント、およびエンディアン 339
11.4.6 DMA エラー管理 341
11.5 DMA 割込み 341
11.6 DMA レジスタ 342
11.6.1 DMA 割込みステータスレジスタ（DMA_ISR）. 342
11.6.2 DMA 割込みフラグクリアレジスタ（DMA_IFCR）. 344
11.6.3 DMA チャネル x 設定レジスタ（DMA_CCRx）. 345
11.6.4 DMA チャネル x 転送データ数レジスタ（DMA_CNDTRx）. 348
11.6.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）. 348
11.6.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）. 349
11.6.7 DMA レジスタマップ 349

12 DMA リクエストマルチプレクサ（DMAMUX）. 352
12.1 概要 352
12.2 DMAMUX の主な機能 353
12.3 DMAMUX の実装 353
12.3.1 DMAMUX の構成 353
12.3.2 DMAMUX のマッピング 354
12.4 DMAMUX の機能説明 356
12.4.1 DMAMUX ブロック図 356
12.4.2 DMAMUX 信号 357
12.4.3 DMAMUX チャネル 357
12.4.4 DMAMUX リクエストラインマルチプレクサ 357
12.4.5 DMAMUX リクエストジェネレータ 360
12.5 DMAMUX 割込み 361

12.6 DMAMUX レジスタ 362
12.6.1 DMAMUX リクエストラインマルチプレクサチャネル x 設定レジスタ（DMAMUX_CxCR） 362
12.6.2 DMAMUX リクエストラインマルチプレクサ割込みチャネルステータスレジスタ（DMAMUX_CSR） 363
12.6.3 DMAMUX リクエストラインマルチプレクサ割込みクリアフラグレジスタ（DMAMUX_CFR） 363
12.6.4 DMAMUX リクエストジェネレータチャネル x 設定レジスタ（DMAMUX_RGxCR） 364
12.6.5 DMAMUX リクエストジェネレータ割込みステータスレジスタ（DMAMUX_RGSR） 365
12.6.6 DMAMUX リクエストジェネレータ割込みクリアフラグレジスタ（DMAMUX_RGCFR） 365
12.6.7 DMAMUX レジスタマップ 366

13 ネスト化されたベクタ割込みコントローラ（NVIC） 368
13.1 NVIC の主な機能 368
13.2 NVIC の実装 368
13.3 割込みブロック図 369
13.4 割込みベクタと例外ベクタ 369
13.5 割込み一覧 375

14 拡張割込み／イベントコントローラ（EXTI） 377
14.1 EXTI の主な機能 377
14.2 EXTI の実装 377
14.3 EXTI ブロック図 378
14.3.1 ペリフェラルと CPU 間の EXTI 接続 379
14.4 EXTI の機能説明 380
14.4.1 EXTI の設定可能なイベント入力ウェイクアップ 381
14.4.2 EXTI のダイレクトイベント入力ウェイクアップ 382
14.5 EXTI の機能的挙動 383
14.6 EXTI レジスタ 384
14.6.1 EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR1） 384
14.6.2 EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR1） 385
14.6.3 EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER1） 385
14.6.4 EXTI ペンディングレジスタ（EXTI_PR1） 386
14.6.5 EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR2） 386
14.6.6 EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR2） 387

14.6.7 EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER2）. 388
14.6.8 EXTI ペンディングレジスタ（EXTI_PR2）. 389
14.6.9 割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR1）. . . .390
14.6.10 割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR1）. 390
14.6.11 イベントマスクレジスタによる EXTI CPU ウェイクアップ EXTI_EMR1）. . .391
14.6.12 イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR1）. 391
14.6.13 割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR2）. . . .392
14.6.14 割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR2）. 392
14.6.15 イベントマスクレジスタによる EXTI CPU ウェイクアップ EXTI_EMR2）. . .393
14.6.16 イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR2）. 393
14.6.17 EXTI レジスタマップ 394

15 Quad SPI インタフェース（QUADSPI）. 396

15.1 概要 396
15.2 QUADSPI の主な機能 396
15.3 QUADSPI の機能説明 396
15.3.1 QUADSPI ブロック図 396
15.3.2 QUADSPI ピン 397
15.3.3 QUADSPI コマンドシーケンス 397
15.3.4 QUADSPI シングルインタフェースプロトコルモード 399
15.3.5 QUADSPI インダイレクトモード 401
15.3.6 QUADSPI 自動ステータスポーリングモード 402
15.3.7 QUADSPI メモリマップドモード 403
15.3.8 QUADSPI Flash メモリの設定 403
15.3.9 QUADSPI 遅延データサンプリング 404
15.3.10 QUADSPI の設定 404
15.3.11 QUADSPI の用途 405
15.3.12 1 回限りの命令の送信 406
15.3.13 QUADSPI エラー管理 407
15.3.14 QUADSPI の BUSY ビットおよびアボート機能 407
15.3.15 NCS の動作 407
15.4 QUADSPI 割込み 409
15.5 QUADSPI レジスタ 410
15.5.1 QUADSPI 制御レジスタ（QUADSPI_CR）. 410

15.5.2 QUADSPI デバイス設定レジスタ（QUADSPI_DCR）.....412
15.5.3 QUADSPI ステータスレジスタ（QUADSPI_SR）.....413
15.5.4 QUADSPI フラグクリアレジスタ（QUADSPI_FCR）.....414
15.5.5 QUADSPI データ長レジスタ（QUADSPI_DLR）.....415
15.5.6 QUADSPI 通信設定レジスタ（QUADSPI_CCR）.....415
15.5.7 QUADSPI アドレスレジスタ（QUADSPI_AR）.....417
15.5.8 QUADSPI オルタネートバイトレジスタ（QUADSPI_ABR）.....418
15.5.9 QUADSPI データレジスタ（QUADSPI_DR）.....418
15.5.10 QUADSPI ポーリングステータスマスクレジスタ（QUADSPI _PSMKR）....419
15.5.11 QUADSPI ポーリングステータス一致レジスタ（QUADSPI_PSMAR）.....419
15.5.12 QUADSPI ポーリングインターバルレジスタ（QUADSPI_PIR）.....420
15.5.13 QUADSPI 低電力タイムアウトレジスタ（QUADSPI_LPTR）.....420
15.5.14 QUADSPI レジスタマップ 421

16 アナログデジタルコンバータ（ADC）..... 422

16.1 概要 422
16.2 ADC の主な機能 422
16.3 ADC の実装 423
16.4 ADC の機能説明 424
16.4.1 ADC ブロック図 424
16.4.2 ADC ピンおよび内部信号 425
16.4.3 ADC クロック 426
16.4.4 ADC1 接続性 428
16.4.5 スレーブ AHB インタフェース 429
16.4.6 ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）.....429
16.4.7 シングルエンドおよび差動入力のチャネル 429
16.4.8 較正（ADCAL、ADCALDIF、ADC_CALFACT）.....430
16.4.9 ADC オン / オフ制御（ADEN、ADDIS、ADRDY）.....433
16.4.10 ADC 制御ビット書込み時の制約 434
16.4.11 チャネルの選択（SQRx、JSQRx）.....435
16.4.12 チャネル単位でプログラム可能なサンプリング時間（SMPR1、SMPR2）...435
16.4.13 シングル変換モード（CONT = 0）.....436
16.4.14 連続変換モード（CONT = 1）.....437
16.4.15 変換の開始（ADSTART、JADSTART）.....437
16.4.16 ADC のタイミング 438
16.4.17 実行中の変換の停止（ADSTP、JADSTP）.....439

16.4.18 外部トリガによる変換およびトリガ極性（EXTSEL、EXTEN、JEXTSEL、JEXTEN）.....441
16.4.19 インジェクトチャネルの管理 443
16.4.20 不連続モード（DISCEN、DISCNUM、JDISCEN）.....444
16.4.21 インジェクト変換のコンテキストのキュー 445
16.4.22 プログラム可能な分解能（RES）- 高速変換モード 453
16.4.23 変換の終了、サンプリングフェーズの終了（EOC、JEOC、EOSMP）.....454
16.4.24 変換シーケンスの終了（EOS、JEOS）.....454
16.4.25 タイミング図の例（シングル／連続モード、ハードウェア／ソフトウェアトリガ）.....455
16.4.26 データ管理 456
16.4.27 動的低電力機能 462
16.4.28 アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）.....466
16.4.29 オーバーサンプリング回路 470
16.4.30 温度センサ 475
16.4.31 VBAT 電源監視 477
16.4.32 内部電圧基準の監視 477
16.5 低電力モードでの ADC 479
16.6 ADC 割込み 480
16.7 ADC レジスタ 481
16.7.1 ADC 割込みおよびステータスレジスタ（ADC_ISR）.....481
16.7.2 ADC 割込み有効レジスタ（ADC_IER）.....483
16.7.3 ADC 制御レジスタ（ADC_CR）.....485
16.7.4 ADC 設定レジスタ（ADC_CFGR）.....488
16.7.5 ADC 設定レジスタ 2（ADC_CFGR2）.....492
16.7.6 ADC サンプル時間レジスタ 1（ADC_SMPR1）.....494
16.7.7 ADC サンプル時間レジスタ 2（ADC_SMPR2）.....495
16.7.8 ADC ウォッチドッグ閾値レジスタ 1（ADC_TR1）.....496
16.7.9 ADC ウォッチドッグ閾値レジスタ 2（ADC_TR2）.....497
16.7.10 ADC ウォッチドッグ閾値レジスタ 3（ADC_TR3）.....498
16.7.11 ADC レギュラシーケンスレジスタ 1（ADC_SQR1）.....498
16.7.12 ADC レギュラシーケンスレジスタ 2（ADC_SQR2）.....500
16.7.13 ADC レギュラシーケンスレジスタ 3（ADC_SQR3）.....501
16.7.14 ADC レギュラシーケンスレジスタ 4（ADC_SQR4）.....502
16.7.15 ADC レギュラデータレジスタ（ADC_DR）.....502
16.7.16 ADC インジェクトシーケンスレジスタ（ADC_JSQR）.....503
16.7.17 ADC オフセット y レジスタ（ADC_OFRy）.....505

16.7.18 ADC インジェクトチャネル y データレジスタ（ADC_JDRy）.....506
16.7.19 ADC アナログウォッチドッグ 2 設定レジスタ（ADC_AWD2CR）.....506
16.7.20 ADC アナログウォッチドッグ 3 設定レジスタ（ADC_AWD3CR）.....507
16.7.21 ADC 差動モード選択レジスタ（ADC_DIFSEL）.....507
16.7.22 ADC 較正係数（ADC_CALFACT）.....508
16.8 ADC 共通レジスタ.....509
16.8.1 ADC 共通ステータスレジスタ（ADC_CSR）.....509
16.8.2 ADC 共通制御レジスタ（ADC_CCR）.....510
16.9 ADC レジスタマップ.....511

17 電圧基準バッファ（VREFBUF）.....514
17.1 概要.....514
17.2 VREFBUF の実装.....514
17.3 VREFBUF の機能説明.....514
17.4 VREFBUF のトリミング.....515
17.5 VREFBUF レジスタ.....515
17.5.1 VREFBUF 制御およびステータスレジスタ（VREFBUF_CSR）.....515
17.5.2 VREFBUF 較正制御レジスタ（VREFBUF_CCR）.....516
17.5.3 VREFBUF レジスタマップ.....516

18 コンパレータ（COMP）.....517
18.1 概要.....517
18.2 COMP の主な機能.....517
18.3 COMP の機能詳細.....518
18.3.1 COMP ブロック図.....518
18.3.2 COMP ピンおよび内部信号.....518
18.3.3 COMP のリセットおよびクロック.....520
18.3.4 コンパレータのロック機構.....520
18.3.5 ウィンドウコンパレータ.....520
18.3.6 ヒステリシス.....521
18.3.7 コンパレータの出力のブランキング機能.....522
18.3.8 COMP 電力とスピードモード.....522
18.4 COMP 低電力モード.....523
18.5 COMP 割込み.....523
18.6 COMP レジスタ.....524
18.6.1 コンパレータ 1 制御／ステータスレジスタ（COMP1_CSR）.....524

18.6.2 コンパレータ 2 制御／ステータスレジスタ（COMP2_CSR）.....526
18.6.3 COMP レジスタマップ.....529

19 液晶ディスプレイコントローラ（LCD）.....530

19.1 LCD の概要.....530
19.2 LCD の主な機能.....530
19.3 LCD の機能説明.....532
19.3.1 概要.....532
19.3.2 周波数発生器.....533
19.3.3 コモンドライバ.....534
19.3.4 セグメントドライバ.....537
19.3.5 電圧発生器とコントラスト制御.....541
19.3.6 ダブルバッファメモリ.....544
19.3.7 COM および SEG の多重化.....544
19.3.8 フローチャート.....550
19.4 LCD 低消費電力モード.....551
19.5 LCD 割込み.....551
19.6 LCD レジスタ.....552
19.6.1 LCD 制御レジスタ（LCD_CR）.....552
19.6.2 LCD フレーム制御レジスタ（LCD_FCR）.....553
19.6.3 LCD ステータスレジスタ（LCD_SR）.....556
19.6.4 LCD クリアレジスタ（LCD_CLR）.....557
19.6.5 LCD ディスプレイメモリ（LCD_RAMx）.....557
19.6.6 LCD ディスプレイメモリ（LCD_RAMx）.....558
19.6.7 LCD ディスプレイメモリ（LCD_RAMx）.....558
19.6.8 LCD レジスタマップ.....559

20 タッチセンシングコントローラ（TSC）.....561

20.1 概要.....561
20.2 TSC の主な機能.....561
20.3 TSC の機能説明.....562
20.3.1 TSC ブロック図.....562
20.3.2 表面電荷移動取得の概要.....562
20.3.3 リセットおよびクロック.....565
20.3.4 電荷移動取得シーケンス.....565
20.3.5 スペクトル拡散機能.....566

20.3.6 最大カウントエラー 567
20.3.7 サンプリングコンデンサ I/O および チャネル I/O のモード選択 567
20.3.8 取得モード 568
20.3.9 I/O ヒステリシスおよびアナログスイッチの制御 568
20.4 TSC 低電力モード 569
20.5 TSC 割込み 569
20.6 TSC レジスタ 570
20.6.1 TSC 制御レジスタ（TSC_CR） 570
20.6.2 TSC 割込み有効レジスタ（TSC_IER） 572
20.6.3 TSC 割込みクリアレジスタ（TSC_ICR） 573
20.6.4 TSC 割込みステータスレジスタ（TSC_ISR） 573
20.6.5 TSC I/O ヒステリシス制御レジスタ（TSC_IOHCR） 574
20.6.6 TSC I/O アナログスイッチ制御レジスタ（TSC_IOASCR） 574
20.6.7 TSC I/O サンプリング制御レジスタ（TSC_IOSCR） 575
20.6.8 TSC I/O チャネル制御レジスタ（TSC_IOCCR） 575
20.6.9 TSC I/O グループ制御ステータスレジスタ（TSC_IOGCSR） 576
20.6.10 TSC I/O グループ x カウンタレジスタ（TSC_IOGxCR） 576
20.6.11 TSC レジスタマップ 577

21 真性乱数発生器（RNG） 579
21.1 概要 579
21.2 RNG の主な機能 579
21.3 RNG の機能説明 580
21.3.1 RNG ブロック図 580
21.3.2 RNG 内部信号 580
21.3.3 乱数の生成 581
21.3.4 RNG 初期化 583
21.3.5 RNG 動作 584
21.3.6 RNG クロック供給 585
21.3.7 エラー管理 585
21.3.8 RNG の低消費電力時の取り扱い 586
21.4 RNG 割込み 586
21.5 RNG 処理時間 587
21.6 RNG エントロピーソース検証 587
21.6.1 概要 587
21.6.2 検証条件 587

21.7 RNG レジスタ 588
21.7.1 RNG 制御レジスタ（RNG_CR）. 588
21.7.2 RNG ステータスレジスタ（RNG_SR）. 589
21.7.3 RNG データレジスタ（RNG_DR）. 590
21.7.4 RNG レジスタマップ 590

22 AES ハードウェアアクセラレータ（AES）. 591
22.1 概要 591
22.2 AES の主な特徴 591
22.3 AES の実装 592
22.4 AES 機能詳細 592
22.4.1 AES ブロック図 592
22.4.2 AES 内部信号 592
22.4.3 AES 暗号コア 593
22.4.4 暗号操作を行うための AES の手順 598
22.4.5 AES 復号ラウンドキーの準備 601
22.4.6 AES 暗号文借用およびデータパディング 602
22.4.7 AES タスクのサスペンドとレジューム 602
22.4.8 AES 基本連鎖モード（ECB、CBC）. 603
22.4.9 AES カウンタ（CTR）モード 608
22.4.10 AES ガロア／カウンタモード（GCM）. 610
22.4.11 AES ガロアメッセージ認証コード（GMAC）. 616
22.4.12 AESCBC-MAC 付きカウンタ（CCM）. 617
22.4.13 AES データレジスタおよびデータスワッピング 622
22.4.14 AES キーレジスタ 624
22.4.15 AES 初期化ベクタレジスタ 624
22.4.16 AES DMA インタフェース 625
22.4.17 AES エラー管理 626
22.5 AES 割込み 627
22.6 AES 処理遅延時間 628
22.7 AES レジスタ 629
22.7.1 AES 制御レジスタ （AES_CR）. 629
22.7.2 AES ステータスレジスタ（AES_SR） 631
22.7.3 AES データ入力レジスタ（AES_DINR）. 633
22.7.4 AES データ出力レジスタ（AES_DOUTR）. 634
22.7.5 AES キーレジスタ 0（AES_KEYR0）. 635

22.7.6 AES キーレジスタ 1（AES_KEYR1）.....635
22.7.7 AES キーレジスタ 2（AES_KEYR2）.....636
22.7.8 AES キーレジスタ 3（AES_KEYR3）.....636
22.7.9 AES 初期化ベクタレジスタ 0（AES_IVR0）.....636
22.7.10 AES 初期化ベクタレジスタ 1（AES_IVR1）.....637
22.7.11 AES 初期化ベクタレジスタ 2（AES_IVR2）.....637
22.7.12 AES 初期化ベクタレジスタ 3（AES_IVR3）.....637
22.7.13 AES キーレジスタ 4（AES_KEYR4）.....638
22.7.14 AES キーレジスタ 5（AES_KEYR5）.....638
22.7.15 AES キーレジスタ 6（AES_KEYR6）.....638
22.7.16 AES キーレジスタ 7（AES_KEYR7）.....639
22.7.17 AES サスペンドレジスタ（AES_SUSPxR）.....639
22.7.18 AES レジスタマップ.....640

23 公開鍵アクセラレータ（PKA）.....642

23.1 概要.....642
23.2 PKA の主な機能.....642
23.3 PKA の機能詳細.....642
23.3.1 PKA ブロック図.....642
23.3.2 PKA 内部信号.....643
23.3.3 PKA のリセットとクロック.....643
23.3.4 PKA 公開鍵の高速化.....643
23.3.5 PKA の標準的なアプリケーション.....644
23.3.6 演算を行うための PKA の手順.....647
23.3.7 PKA エラー管理.....648
23.4 PKA 演算モード.....648
23.4.1 概要.....648
23.4.2 モンゴメリパラメータ計算.....649
23.4.3 剰余加算.....649
23.4.4 剰余減算.....650
23.4.5 剰余乗算とモンゴメリ乗算.....650
23.4.6 べき剰余.....651
23.4.7 モジュラリダクション.....652
23.4.8 モジュラリダクション.....652
23.4.9 算術加算.....653
23.4.10 算術減算.....653
23.4.11 算術比較.....653

23.4.12 算術比較 654
23.4.13 RSA CRT べき乗 654
23.4.14 楕円曲線 Fp 上の点の確認 655
23.4.15 ECC Fp スカラー乗算 655
23.4.16 ECDSA 署名 657
23.4.17 ECDSA 検証 658
23.5 設定と処理時間の例 659
23.5.1 サポートされている楕円曲線 659
23.5.2 計算時間 661
23.6 PKA 割込み 662
23.7 PKA レジスタ 663
23.7.1 PKA 制御レジスタ （PKA_CR） 663
23.7.2 PKA ステータスレジスタ （PKA_SR） 664
23.7.3 PKA クリアフラグレジスタ（PKA_CLRFR） 665
23.7.4 PKA RAM 665
23.7.5 PKA レジスタマップ 666

24 高機能制御タイマ（TIM1） 667
24.1 TIM1 の概要 667
24.2 TIM1 の主な特徴 667
24.3 TIM1 機能詳細 669
24.3.1 タイムベースユニット 669
24.3.2 カウンタモード 671
24.3.3 繰り返しカウンタ 682
24.3.4 外部トリガ入力 684
24.3.5 クロック選択 685
24.3.6 キャプチャ／比較チャネル 689
24.3.7 入力キャプチャモード 691
24.3.8 PWM 入力モード 692
24.3.9 強制出力モード 693
24.3.10 出力比較モード 693
24.3.11 PWM モード 695
24.3.12 非対称 PWM モード 698
24.3.13 組み合わせ PWM モード 699
24.3.14 組み合わせ 3 相 PWM モード 700
24.3.15 相補出力とデッドタイム挿入 701

24.3.16 ブレーク機能の使用 703
24.3.17 双方向ブレーク入力 709
24.3.18 外部イベントによる OCxREF 信号のクリア 711
24.3.19 6 ステップ PWM 生成 712
24.3.20 ワンパルスモード 713
24.3.21 再トリガ可能なワンパルスモード 714
24.3.22 エンコーダインタフェースモード 715
24.3.23 UIF ビットの再配置 717
24.3.24 タイマ入力 XOR 機能 718
24.3.25 ホールセンサとのインタフェース 718
24.3.26 タイマの同期 721
24.3.27 ADC の同期 725
24.3.28 DMA バーストモード 725
24.3.29 デバッグモード 726
24.4 TIM1 レジスタ 727
24.4.1 TIM1 制御レジスタ 1（TIM1_CR1） 727
24.4.2 TIM1 制御レジスタ 2（TIM1_CR2） 729
24.4.3 TIM1 スレーブモード制御レジスタ（TIM1_SMCR） 732
24.4.4 TIM1 DMA ／割込み有効レジスタ（TIM1_DIER） 734
24.4.5 TIM1 ステータスレジスタ（TIM1_SR） 736
24.4.6 TIM1 イベント生成レジスタ（TIM1_EGR） 738
24.4.7 TIM1 キャプチャ／比較モードレジスタ 1（TIM1_CCMR1） 739
24.4.8 TIM1 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM1_CCMR1） 741
24.4.9 TIM1 キャプチャ／比較モードレジスタ 2（TIM1_CCMR2） 743
24.4.10 TIM1 キャプチャ／比較モードレジスタ 2 [オルタネート]（TIM1_CCMR2） 744
24.4.11 TIM1 キャプチャ／比較有効レジスタ（TIM1_CCER） 745
24.4.12 TIM1 カウンタ (TIM1_CNT) 749
24.4.13 TIM1 プリスケーラ (TIM1_PSC) 749
24.4.14 TIM1 自動再ロードレジスタ（TIM1_ARR） 749
24.4.15 TIM1 繰り返しカウンタレジスタ（TIM1_RCR） 750
24.4.16 TIM1 キャプチャ／比較レジスタ 1（TIM1_CCR1） 750
24.4.17 TIM1 キャプチャ／比較レジスタ 2（TIM1_CCR2） 751
24.4.18 TIM1 キャプチャ／比較レジスタ 3（TIM1_CCR3） 751
24.4.19 TIM1 キャプチャ／比較レジスタ 4（TIM1_CCR4） 752
24.4.20 TIM1 ブレークおよびデッドタイムレジスタ（TIM1_BDTR） 752
24.4.21 TIM1 DMA 制御レジスタ（TIM1_DCR） 757

24.4.22 TIM1 完全転送用の DMA アドレス（TIM1_DMAR）.....758
24.4.23 TIM1 オプションレジスタ 1（TIM1_OR1）.....758
24.4.24 TIM1 キャプチャ／比較モードレジスタ 3（TIM1_CCMR3）.....759
24.4.25 TIM1 キャプチャ／比較レジスタ 5（TIM1_CCR5）.....760
24.4.26 TIM1 キャプチャ／比較レジスタ 6（TIM1_CCR6）.....761
24.4.27 TIM1 オルタネート機能オプションレジスタ 1 （TIM1_AF1）.....761
24.4.28 TIM1 オルタネート機能レジスタ 2 （TIM1_AF2）.....763
24.4.29 TIM1 タイマ入力選択レジスタ（TIM1_TISEL）.....764
24.4.30 TIM1 レジスタマップ 765

25 汎用タイマ（TIM2）.....768

25.1 TIM2 の概要 768
25.2 TIM2 の主な特徴 768
25.3 TIM2 機能詳細 770
25.3.1 タイムベースユニット 770
25.3.2 カウンタモード 772
25.3.3 クロック選択 782
25.3.4 キャプチャ／比較チャネル 786
25.3.5 入力キャプチャモード 788
25.3.6 PWM 入力モード 789
25.3.7 強制出力モード 790
25.3.8 出力比較モード 790
25.3.9 PWM モード 791
25.3.10 非対称 PWM モード 795
25.3.11 組み合わせ PWM モード 795
25.3.12 外部イベントによる OCxREF 信号のクリア 796
25.3.13 ワンパルスモード 798
25.3.14 再トリガ可能なワンパルスモード 799
25.3.15 エンコーダインタフェースモード 800
25.3.16 UIF ビットの再配置 802
25.3.17 タイマ入力 XOR 機能 802
25.3.18 タイマと外部トリガの同期 803
25.3.19 タイマの同期 806
25.3.20 DMA バーストモード 810
25.3.21 デバッグモード 811
25.4 TIM2 レジスタ 812
25.4.1 TIM2 制御レジスタ 1（TIM2_CR1）.....812

25.4.2 TIM2 制御レジスタ 2（TIM2_CR2）.....814
25.4.3 TIM2 スレーブモード制御レジスタ（TIM2_SMCR）.....815
25.4.4 TIM2 DMA ／割込み有効レジスタ（TIM2_DIER）.....818
25.4.5 TIM2 ステータスレジスタ（TIM2_SR）.....819
25.4.6 TIM2 イベント生成レジスタ（TIM2_EGR）.....820
25.4.7 TIM2 キャプチャ／比較モードレジスタ 1（TIM2_CCMR1）.....821
25.4.8 TIM2 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM2_CCMR1）.....823
25.4.9 TIM2 キャプチャ／比較モードレジスタ 2（TIM2_CCMR2）.....825
25.4.10 TIM2 キャプチャ／比較モードレジスタ 2 [オルタネート]（TIM2_CCMR2）.....826
25.4.11 TIM2 キャプチャ／比較有効レジスタ（TIM2_CCER）.....827
25.4.12 TIM2 カウンタ（TIM2_CNT）.....829
25.4.13 TIM2 カウンタ [オルタネート]（TIM2_CNT）.....829
25.4.14 TIM2 プリスケーラ（TIM2_PSC）.....830
25.4.15 TIM2 自動再ロードレジスタ（TIM2_ARR）.....830
25.4.16 TIM2 キャプチャ／比較レジスタ 1（TIM2_CCR1）.....831
25.4.17 TIM2 キャプチャ／比較レジスタ 2（TIM2_CCR2）.....831
25.4.18 TIM2 キャプチャ／比較レジスタ 3（TIM2_CCR3）.....832
25.4.19 TIM2 キャプチャ／比較レジスタ 4（TIM2_CCR4）.....832
25.4.20 TIM2 DMA 制御レジスタ（TIM2_DCR）.....833
25.4.21 完全転送用の TIM2 DMA アドレス（TIM2_DMAR）.....833
25.4.22 TIM2 オプションレジスタ 1（TIM2_OR1）.....834
25.4.23 TIM2 オルタネート機能オプションレジスタ 1 （TIM2_AF1）.....834
25.4.24 TIM2 タイマ入力選択レジスタ（TIM2_TISEL）.....835
25.4.25 TIMx レジスタマップ 836

26 汎用タイマ（TIM16/TIM17）..... 839

26.1 TIM16/TIM17 の概要 839
26.2 TIM16/TIM17 の主な特徴 839
26.3 TIM16/TIM17 機能詳細 841
26.3.1 タイムベースユニット 841
26.3.2 カウンタモード 843
26.3.3 繰り返しカウンタ 847
26.3.4 クロック選択 848
26.3.5 キャプチャ／比較チャネル 850
26.3.6 入力キャプチャモード 852

26.3.7 強制出力モード 853
26.3.8 出力比較モード 853
26.3.9 PWM モード 855
26.3.10 相補出力とデッドタイム挿入 856
26.3.11 ブレーク機能の使用 858
26.3.12 双方向ブレーク入力 861
26.3.13 6 ステップ PWM 生成 862
26.3.14 ワンパルスモード 864
26.3.15 UIF ビットの再配置 865
26.3.16 スレーブモード - リセットモードとトリガモードの組み合わせ 865
26.3.17 DMA バーストモード 865
26.3.18 タイマ出力を他のタイマのトリガとして使用（TIM16/TIM17） 866
26.3.19 デバッグモード 867
26.4 TIM16/TIM17 レジスタ 868
26.4.1 TIMx 制御レジスタ 1（TIMx_CR1）（x = 16 ～ 17） 868
26.4.2 TIMx 制御レジスタ 2（TIMx_CR2）（x = 16 ～ 17） 869
26.4.3 TIMx DMA ／割込み有効レジスタ（TIMx_DIER）（x = 16 ～ 17） 870
26.4.4 TIMx ステータスレジスタ（TIMx_SR）（x = 16 ～ 17） 871
26.4.5 TIMx イベント生成レジスタ（TIMx_EGR）（x = 16 ～ 17） 872
26.4.6 TIMx キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）（x = 16 ～ 17） 873
26.4.7 TIMx キャプチャ／比較モードレジスタ 1 [オルタネート]（TIMx_CCMR1）（x = 16 ～ 17） 874
26.4.8 TIMx キャプチャ／比較有効レジスタ（TIMx_CCER）（x = 16 ～ 17） 875
26.4.9 TIMx カウンタ（TIMx_CNT）（x = 16 ～ 17） 878
26.4.10 TIMx プリスケーラ（TIMx_PSC）（x = 16 ～ 17） 878
26.4.11 TIMx 自動再ロードレジスタ（TIMx_ARR）（x = 16 ～ 17） 878
26.4.12 TIMx 繰り返しカウンタレジスタ（TIMx_RCR）（x = 16 ～ 17） 879
26.4.13 TIMx キャプチャ／比較レジスタ 1 （TIMx_CCR1）（x = 16 ～ 17） 879
26.4.14 TIMx ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（x = 16 ～ 17） 880
26.4.15 TIMx DMA 制御レジスタ（TIMx_DCR）（x = 16 ～ 17） 882
26.4.16 完全転送の TIMx DMA アドレス（TIMx_DMAR）（x = 16 ～ 17） 883
26.4.17 TIM16 オプションレジスタ 1（TIM16_OR1） 883
26.4.18 TIM16 オルタネート機能レジスタ 1 （TIM16_AF1） 884
26.4.19 TIM16 入力選択レジスタ（TIM16_TISEL） 885
26.4.20 TIM17 オプションレジスタ 1（TIM17_OR1） 885
26.4.21 TIM17 オルタネート機能レジスタ 1 （TIM17_AF1） 886

26.4.22 TIM17 入力選択レジスタ（TIM17_TISEL）.....887
26.4.23 TIM16/TIM17 レジスタマップ.....888

27 低電力タイマ（LPTIM）.....890

27.1 概要.....890
27.2 LPTIM の主な機能.....890
27.3 LPTIM の実装.....891
27.4 LPTIM の機能説明.....892
27.4.1 LPTIM ブロック図.....892
27.4.2 LPTIM トリガマッピング.....892
27.4.3 LPTIM のリセットとクロック.....893
27.4.4 グリッチフィルタ.....893
27.4.5 プリスケーラ.....894
27.4.6 トリガマルチプレクサ.....894
27.4.7 動作モード.....895
27.4.8 タイムアウト機能.....897
27.4.9 波形生成.....897
27.4.10 レジスタの更新.....898
27.4.11 カウンタモード.....899
27.4.12 タイマの有効化.....899
27.4.13 タイマカウンタのリセット.....900
27.4.14 エンコーダモード.....900
27.4.15 デバッグモード.....901
27.5 LPTIM 低電力モード.....902
27.6 LPTIM 割込み.....902
27.7 LPTIM レジスタ.....903
27.7.1 LPTIM 割込みおよびステータスレジスタ（LPTIM_ISR）.....903
27.7.2 LPTIM 割込みクリアレジスタ（LPTIM_ICR）.....904
27.7.3 LPTIM 割込み有効レジスタ（LPTIM_IER）.....905
27.7.4 LPTIM 設定レジスタ（LPTIM_CFGR）.....906
27.7.5 LPTIM 制御レジスタ（LPTIM_CR）.....909
27.7.6 LPTIM 比較レジスタ（LPTIM_CMP）.....910
27.7.7 LPTIM 自動再ロードレジスタ（LPTIM_ARR）.....911
27.7.8 LPTIM カウンタレジスタ（LPTIM_CNT）.....911
27.7.9 LPTIM1 オプションレジスタ（LPTIM1_OR）.....912
27.7.10 LPTIM2 オプションレジスタ（LPTIM2_OR）.....912

27.7.11 LPTIM レジスタマップ 913

28 赤外線インタフェース（IRTIM）. 914

29 リアルタイムクロック（RTC）. 915

29.1 概要 915
29.2 RTC の主な機能 915
29.3 RTC の実装 916
29.4 RTC の機能説明 917
29.4.1 RTC ブロック図 917
29.4.2 クロックとプリスケーラ 918
29.4.3 リアルタイムクロックとカレンダ 918
29.4.4 プログラム可能なアラーム 919
29.4.5 周期的自動ウェイクアップ 919
29.4.6 RTC の初期化と設定 920
29.4.7 カレンダの読出し 921
29.4.8 RTC のリセット 922
29.4.9 RTC の同期 923
29.4.10 RTC リファレンスクロック検出 923
29.4.11 RTC の高精度デジタル較正 924
29.4.12 タイムスタンプ機能 926
29.4.13 タンパ検出 927
29.4.14 較正クロック出力 929
29.4.15 アラーム出力 929
29.5 RTC 低電力モード 930
29.6 RTC 割込み 930
29.7 RTC レジスタ 931
29.7.1 RTC 時刻レジスタ（RTC_TR） 931
29.7.2 RTC 日付レジスタ（RTC_DR） 932
29.7.3 RTC 制御レジスタ（RTC_CR） 933
29.7.4 RTC 初期化とステータスレジスタ（RTC_ISR） 936
29.7.5 RTC プリスケーラレジスタ（RTC_PRER） 938
29.7.6 RTC ウェイクアップタイマレジスタ（RTC_WUTR） 939
29.7.7 RTC アラーム A レジスタ（RTC_ALRMAR） 940
29.7.8 RTC アラーム B レジスタ（RTC_ALRMBR） 941
29.7.9 RTC 書込み保護レジスタ（RTC_WPR） 942

29.7.10 RTC サブセカンドレジスタ（RTC_SSR）.....942
29.7.11 RTC シフト制御レジスタ（RTC_SHIFTR）.....943
29.7.12 RTC タイムスタンプ時刻レジスタ（RTC_TSTR）.....944
29.7.13 RTC タイムスタンプ日付レジスタ（RTC_TSDR）.....945
29.7.14 RTC タイムスタンプサブセカンドレジスタ（RTC_TSSSR）.....946
29.7.15 RTC 較正レジスタ（RTC_CALR）.....947
29.7.16 RTC タンパ設定レジスタ（RTC_TAMPCR）.....948
29.7.17 RTC アラーム A サブセカンドレジスタ（RTC_ALRMASSR）.....951
29.7.18 RTC アラーム B サブセカンドレジスタ（RTC_ALRMBSSR）.....952
29.7.19 RTC オプションレジスタ （RTC_OR）.....953
29.7.20 RTC バックアップレジスタ（RTC_BKPxR）.....953
29.7.21 RTC レジスタマップ.....954

30 独立型ウォッチドッグ（IWDG）.....956

30.1 概要.....956
30.2 IWDG の主な機能.....956
30.3 IWDG の機能説明.....956
30.3.1 IWDG ブロック図.....956
30.3.2 ウィンドウオプション.....957
30.3.3 ハードウェアウォッチドッグ.....958
30.3.4 低消費電力モード.....958
30.3.5 レジスタのアクセス保護.....958
30.3.6 デバッグモード.....958
30.4 IWDG レジスタ.....959
30.4.1 IWDG キーレジスタ（IWDG_KR）.....959
30.4.2 IWDG プリスケーラレジスタ（IWDG_PR）.....960
30.4.3 IWDG 再ロードレジスタ（IWDG_RLR）.....961
30.4.4 IWDG ステータスレジスタ（IWDG_SR）.....962
30.4.5 IWDG ウィンドウレジスタ（IWDG_WINR）.....963
30.4.6 IWDG レジスタマップ.....964

31 システムウィンドウ型ウォッチドッグ（WWDG）.....965

31.1 概要.....965
31.2 WWDG の主な機能.....965
31.3 WWDG の機能説明.....965
31.3.1 WWDG ブロック図.....966

31.3.2 ウォッチドッグの有効化 966
31.3.3 ダウンカウンタの制御 966
31.3.4 ウォッチドッグタイムアウトをプログラムする方法 967
31.3.5 デバッグモード 968
31.4 WWDG 割込み 968
31.5 WWDG レジスタ 969
31.5.1 WWDG 制御レジスタ（WWDG_CR） 969
31.5.2 WWDG 設定レジスタ（WWDG_CFR） 970
31.5.3 WWDG ステータスレジスタ（WWDG_SR） 970
31.5.4 WWDG レジスタマップ 971

32 I²C（Inter-integrated circuit）インタフェース 972
32.1 概要 972
32.2 I²C の主な機能 972
32.3 I²C の実装 973
32.4 I²C の機能詳細 973
32.4.1 I²C ブロック図 974
32.4.2 I²C ピンおよび内部信号 975
32.4.3 I²C クロックの要件 975
32.4.4 モード選択 976
32.4.5 I²C の初期化 977
32.4.6 ソフトウェアリセット 981
32.4.7 データ転送 981
32.4.8 I²C スレーブモード 983
32.4.9 I²C マスタモード 992
32.4.10 I2C_TIMINGR レジスタの設定例 1004
32.4.11 SMBus 固有の機能 1005
32.4.12 SMBus 初期化 1007
32.4.13 SMBus：I2C_TIMEOUTR レジスタの設定例 1009
32.4.14 SMBus スレーブモード 1010
32.4.15 アドレス一致時に STOP モードからウェイクアップ 1016
32.4.16 エラー条件 1017
32.4.17 DMA リクエスト 1019
32.4.18 デバッグモード 1020
32.5 I²C 低電力モード 1020
32.6 I²C 割込み 1021

32.7 I2C レジスタ 1022
32.7.1 I2C 制御レジスタ 1（I2C_CR1）. 1022
32.7.2 I2C 制御レジスタ 2（I2C_CR2）. 1025
32.7.3 I2C Own Address 1 レジスタ（I2C_OAR1）. 1027
32.7.4 I2C Own Address 2 レジスタ（I2C_OAR2）. 1028
32.7.5 I2C タイミングレジスタ（I2C_TIMINGR）. 1029
32.7.6 I2C タイムアウトレジスタ（I2C_TIMEOUTR）. 1030
32.7.7 I2C 割込みおよびステータスレジスタ（I2C_ISR）. 1031
32.7.8 I2C 割込みクリアレジスタ（I2C_ICR）. 1033
32.7.9 I2C PEC レジスタ（I2C_PECR）. 1034
32.7.10 I2C 受信データレジスタ（I2C_RXDR）. 1035
32.7.11 I2C 送信データレジスタ（I2C_TXDR）. 1035
32.7.12 I2C レジスタマップ 1036

33 ユニバーサル同期／非同期レシーバトランスミッタ（USART/UART）. 1037

33.1 USART の概要 1037
33.2 USART の主な機能 1038
33.3 USART の拡張機能 1039
33.4 USART の実装 1039
33.5 USART の機能説明 1040
33.5.1 USART ブロック図 1040
33.5.2 USART 信号 1041
33.5.3 USART キャラクタの説明 1042
33.5.4 USART の FIFO と閾値 1044
33.5.5 USART トランスミッタ 1044
33.5.6 USART レシーバ 1048
33.5.7 USART ボーレート生成 1055
33.5.8 クロック偏差に対する USART レシーバの許容誤差 1056
33.5.9 USART 自動ボーレート検出 1057
33.5.10 USART マルチプロセッサ通信 1059
33.5.11 USART Modbus 通信 1061
33.5.12 USART パリティ制御 1061
33.5.13 USART LIN（Local Interconnection Network）モード 1062
33.5.14 USART 同期モード 1064
33.5.15 USART 単線半二重通信 1068
33.5.16 USART レシーバタイムアウト 1068

33.5.17 USART スマートカードモード 1069
33.5.18 USART IrDA SIR ENDEC ブロック 1073
33.5.19 USART および DMA を使用した連続通信 1075
33.5.20 RS232 ハードウェアフロー制御および RS485 ドライバ有効 1078
33.5.21 USART 低消費電力管理 1080
33.6 低消費電力モードでの USART 1083
33.7 USART 割込み 1084
33.8 USART レジスタ 1085
33.8.1 USART 制御レジスタ 1（USART_CR1） 1085
33.8.2 USART 制御レジスタ 1[オルタネート]（USART_CR1） 1089
33.8.3 USART 制御レジスタ 2（USART_CR2） 1093
33.8.4 USART 制御レジスタ 3（USART_CR3） 1097
33.8.5 USART ボーレートレジスタ（USART_BRR） 1101
33.8.6 USART ガード時間およびプリスケーラレジスタ（USART_GTPR） 1101
33.8.7 USART レシーバタイムアウトレジスタ（USART_RTOR） 1103
33.8.8 USART リクエストレジスタ（USART_RQR） 1104
33.8.9 USART 割込みおよびステータスレジスタ（USART_ISR） 1105
33.8.10 USART 割込みおよびステータスレジスタ [オルタネート]（USART_ISR） 1111
33.8.11 USART 割込みフラグクリアレジスタ（USART_ICR） 1116
33.8.12 USART レシーバデータレジスタ（USART_RDR） 1117
33.8.13 USART トランスミッタデータレジスタ（USART_TDR） 1118
33.8.14 USART プリスケーラレジスタ（USART_PRESC） 1119
33.8.15 USART レジスタマップ 1120

34 低電力ユニバーサル非同期レシーバトランスミッタ（LPUART） 1122

34.1 LPUART の概要 1122
34.2 LPUART の主な機能 1123
34.3 LPUART の実装 1124
34.4 LPUART の機能詳細 1125
34.4.1 LPUART ブロック図 1125
34.4.2 LPUART 信号 1126
34.4.3 LPUART キャラクタの説明 1126
34.4.4 LPUART の FIFO と閾値 1128
34.4.5 LPUART トランスミッタ 1128
34.4.6 LPUART レシーバ 1131
34.4.7 LPUART ボーレート生成 1135

34.4.8 クロック偏差に対する LPUART レシーバの許容誤差 1137
34.4.9 LPUART マルチプロセッサ通信 1137
34.4.10 LPUART パリティ制御 1140
34.4.11 LPUART 単線半二重通信 1141
34.4.12 DMA および LPUART を使用した連続通信 1141
34.4.13 RS232 ハードウェアフロー制御および RS485 ドライバ有効 1144
34.4.14 LPUART 低消費電力管理 1146
34.5 低消費電力モードでの LPUART 1149
34.6 LPUART 割込み 1150
34.7 LPUART レジスタ 1151
34.7.1 LPUART 制御レジスタ 1（LPUART_CR1） 1151
34.7.2 LPUART 制御レジスタ 1[オルタネート]（LPUART_CR1） 1154
34.7.3 LPUART 制御レジスタ 2（LPUART_CR2） 1157
34.7.4 LPUART 制御レジスタ 3（LPUART_CR3） 1159
34.7.5 LPUART ボーレートレジスタ（LPUART_BRR） 1162
34.7.6 LPUART リクエストレジスタ（LPUART_RQR） 1162
34.7.7 LPUART 割込みおよびステータスレジスタ（LPUART_ISR） 1163
34.7.8 LPUART 割込みとステータスレジスタ [オルタネート]（LPUART_ISR） . . . 1167
34.7.9 LPUART 割込みフラグクリアレジスタ（LPUART_ICR） 1171
34.7.10 LPUART 受信データレジスタ（LPUART_RDR） 1172
34.7.11 LPUART 送信データレジスタ（LPUART_TDR） 1172
34.7.12 LPUART プリスケーラレジスタ（LPUART_PRESC） 1173
34.7.13 LPUART レジスタマップ 1174

35 シリアルペリフェラルインタフェース（SPI） 1176
35.1 概要 1176
35.2 SPI の主な機能 1176
35.3 SPI の実装 1177
35.4 SPI の機能説明 1177
35.4.1 概要 1177
35.4.2 マスタとスレーブの 1 対 1 の通信 1178
35.4.3 標準マルチスレーブ通信 1180
35.4.4 マルチマスタ通信 1181
35.4.5 スレーブ選択（NSS）ピンの管理 1182
35.4.6 通信フォーマット 1183
35.4.7 SPI の設定 1185

35.4.8 SPI を有効にする手順 1186
35.4.9 データの送受信手順 1186
35.4.10 SPI ステータスフラグ 1196
35.4.11 SPI エラーフラグ 1197
35.4.12 NSS パルスモード 1198
35.4.13 TI モード 1198
35.4.14 CRC 計算 1199
35.5 SPI 割込み 1201
35.6 SPI レジスタ 1202
35.6.1 SPI 制御レジスタ 1（SPIx_CR1） 1202
35.6.2 SPI 制御レジスタ 2（SPIx_CR2） 1204
35.6.3 SPI ステータスレジスタ（SPIx_SR） 1206
35.6.4 SPI データレジスタ（SPIx_DR） 1207
35.6.5 SPI CRC 多項式レジスタ（SPIx_CRCPR） 1208
35.6.6 SPI Rx CRC レジスタ（SPIx_RXCRCR） 1208
35.6.7 SPI Tx CRC レジスタ（SPIx_TXCRCR） 1209
35.6.8 SPI レジスタマップ 1210

36 シリアルオーディオインタフェース（SAI） 1211
36.1 概要 1211
36.2 SAI の主な機能 1211
36.3 SAI の実装 1212
36.4 SAI の機能説明 1212
36.4.1 SAI ブロック図 1212
36.4.2 SAI ピンおよび内部信号 1213
36.4.3 主要な SAI モード 1214
36.4.4 SAI 同期モード 1215
36.4.5 オーディオデータサイズ 1215
36.4.6 フレーム同期 1215
36.4.7 スロットの設定 1218
36.4.8 SAI クロックジェネレータ 1220
36.4.9 内部 FIFO 1223
36.4.10 PDM インタフェース 1225
36.4.11 AC’97 リンクコントローラ 1233
36.4.12 SPDIF 出力 1234
36.4.13 特有の機能 1236

36.4.14 エラーフラグ 1240
36.4.15 SAI の無効化 1243
36.4.16 SAI DMA インタフェース 1243
36.5 SAI 割込み 1244
36.6 SAI レジスタ 1245
36.6.1 SAI 設定レジスタ 1（SAI_ACR1） 1245
36.6.2 SAI 設定レジスタ 1（SAI_BCR1） 1248
36.6.3 SAI 設定レジスタ 2（SAI_ACR2） 1251
36.6.4 SAI 設定レジスタ 2（SAI_BCR2） 1253
36.6.5 SAI フレーム設定レジスタ（SAI_AFRCR） 1255
36.6.6 SAI フレーム設定レジスタ（SAI_BFRCR） 1256
36.6.7 SAI スロットレジスタ（SAI_ASLOTR） 1257
36.6.8 SAI スロットレジスタ（SAI_BSLOTR） 1258
36.6.9 SAI 割込みマスクレジスタ（SAI_AIM） 1259
36.6.10 SAI 割込みマスクレジスタ（SAI_BIM） 1261
36.6.11 SAI ステータスレジスタ（SAI_ASR） 1262
36.6.12 SAI ステータスレジスタ（SAI_BSR） 1264
36.6.13 SAI クリアフラグレジスタ（SAI_ACLRFR） 1266
36.6.14 SAI クリアフラグレジスタ（SAI_BCLRFR） 1267
36.6.15 SAI データレジスタ（SAI_ADR） 1268
36.6.16 SAI データレジスタ（SAI_BDR） 1268
36.6.17 SAI PDM 制御レジスタ（SAI_PDMCR） 1269
36.6.18 SAI PDM ディレイレジスタ（SAI_PDMDLY） 1270
36.6.19 SAI レジスタマップ 1272

37 プロセッサ間通信コントローラ（IPCC） 1274
37.1 IPCC の概要 1274
37.2 IPCC の主な機能 1274
37.3 IPCC の機能説明 1274
37.3.1 IPCC ブロック図 1275
37.3.2 IPCC 単方向チャネルモード 1276
37.3.3 IPCC 半二重チャネルモード 1278
37.3.4 IPCC 割込み 1281
37.4 IPCC レジスタ 1281
37.4.1 IPCC プロセッサ 1 制御レジスタ（IPCC_C1CR） 1281
37.4.2 IPCC プロセッサ 1 のマスクレジスタ（IPCC_C1MR） 1282

37.4.3 IPCC プロセッサ 1 ステータスセットクリアレジスタ（IPCC_C1SCR）....1283
37.4.4 IPCC プロセッサ 1 からプロセッサ 2 へのステータスレジスタ（IPCC_C1TOC2SR）.....1283
37.4.5 IPCC プロセッサ 2 制御レジスタ（IPCC_C2CR）.....1284
37.4.6 IPCC プロセッサ 2 のマスクレジスタ（IPCC_C2MR）.....1284
37.4.7 IPCC プロセッサ 2 ステータスセットクリアレジスタ（IPCC_C2SCR）....1285
37.4.8 IPCC プロセッサ 2 からプロセッサ 1 へのステータスレジスタ（IPCC_C2TOC1SR）.....1285
37.4.9 IPCC レジスタマップ 1286

38 ハードウェアセマフォ（HSEM）..... 1287

38.1 概要 1287
38.2 主な特徴 1287
38.3 機能詳細 1288
38.3.1 HSEM ブロック図 1288
38.3.2 HSEM 内部信号 1288
38.3.3 HSEM ロックの手順 1289
38.3.4 HSEM 書込み / 読出し / 読出しロックレジスタアドレス 1290
38.3.5 HSEM アンロックの手順 1290
38.3.6 HSEM COREID セマフォのクリア 1291
38.3.7 HSEM 割込み 1291
38.3.8 AHB バスマスタ ID 照合 1293
38.4 HSEM レジスタ 1294
38.4.1 HSEM レジスタセマフォ x（HSEM_Rx）.....1294
38.4.2 HSEM 読出し ロックレジスタセマフォ x（HSEM_RLRx）.....1295
38.4.3 HSEM 割込み有効レジスタ（HSEM_CnIER）.....1296
38.4.4 HSEM 割込みクリアレジスタ（HSEM_CnICR）.....1296
38.4.5 HSEM 割込みステータスレジスタ（HSEM_CnISR）.....1297
38.4.6 HSEM 割込みステータスレジスタ（HSEM_CnMISR）.....1297
38.4.7 HSEM クリアレジスタ（HSEM_CR）.....1298
38.4.8 HSEM セマフォクリアキーレジスタ（HSEM_KEYR).....1298
38.4.9 HSEM レジスタマップ 1299

39 ユニバーサルシリアルバスフルスピードデバイスインタフェース（USB）..... 1301

39.1 概要 1301
39.2 USB の主な機能 1301

39.3 USB の実装 1301
39.4 USB の機能説明 1302
39.4.1 USB ブロックの説明 1303
39.5 プログラミングに関する考慮事項 1304
39.5.1 汎用 USB デバイスのプログラミング 1304
39.5.2 システムリセットとパワーオンリセット 1305
39.5.3 ダブルバッファエンドポイント 1310
39.5.4 アイソクロナス転送 1312
39.5.5 サスペンド／レジュームイベント 1313
39.6 USB および USB SRAM レジスタ 1315
39.6.1 共通レジスタ 1315
39.6.2 バッファディスクリプタテーブル 1327
39.6.3 USB レジスタマップ 1331

40 クロックリカバリシステム（CRS） 1333
40.1 概要 1333
40.2 CRS の主な機能 1333
40.3 CRS の実装 1333
40.4 CRS の機能説明 1334
40.4.1 CRS ブロック図 1334
40.4.2 同期入力 1334
40.4.3 周波数誤差測定 1335
40.4.4 周波数誤差評価および自動トリミング 1335
40.4.5 CRS の初期化と設定 1336
40.5 CRS 低電力モード 1337
40.6 CRS 割込み 1337
40.7 CRS レジスタ 1338
40.7.1 CRS 制御レジスタ（CRS_CR） 1338
40.7.2 CRS 設定レジスタ（CRS_CFGR） 1339
40.7.3 CRS 割込みおよびステータスレジスタ（CRS_ISR） 1340
40.7.4 CRS 割込みフラグクリアレジスタ（CRS_ICR） 1342
40.7.5 CRS レジスタマップ 1343

41 デバッグサポート（DBG） 1344
41.1 概要 1344
41.2 デバッグの使用事例 1345

41.3 DBG の機能説明 1346
41.3.1 DBG ブロック図 1346
41.3.2 DBG ピンおよび内部信号 1346
41.3.3 DBG 電力ドメイン 1347
41.3.4 DBG クロック 1347
41.3.5 デバッグおよび低電力モード 1348
41.3.6 DBG リセット 1348
41.4 シリアルワイヤおよび JTAG デバッグポート（SWJ-DP） 1348
41.4.1 JTAG デバッグポート 1349
41.4.2 SW デバッグポート 1351
41.4.3 デバッグポートレジスタ 1353
41.4.4 DP デバッグポートの識別レジスタ（DP_DPIDR） 1353
41.4.5 DP アボートレジスタ（DP_ABORTR） 1354
41.4.6 DP 制御およびステータスレジスタ（DP_CTRL/STATR） 1355
41.4.7 DP のデータリンク制御レジスタ（DP_DLCR） 1357
41.4.8 DP ターゲット識別レジスタ（DP_TARGETIDR） 1357
41.4.9 DP データリンクプロトコル識別レジスタ（DP_DLPIDR） 1358
41.4.10 DP 再送信レジスタ（DP_RESENDR） 1358
41.4.11 DP アクセスポート選択レジスタ（DP_SELECTR） 1359
41.4.12 DP 読出しバッファレジスタ（DP_BUFFR） 1359
41.4.13 DP ターゲット選択レジスタ（DP_TARGETSELR） 1360
41.4.14 デバッグポートのレジスタマップとリセット値 1361
41.5 アクセスポート 1362
41.5.1 AP 制御／ステータスワードレジスタ（AP_CSWR） 1365
41.5.2 AP 転送アドレスレジスタ（AP_TAR） 1366
41.5.3 AP データ読出し／書込みレジスタ（AP_DRWR） 1366
41.5.4 AP バンクデータレジスタ（AP_BD0-3R） 1367
41.5.5 AP ベースアドレスレジスタ（AP_BASER） 1367
41.5.6 AP 識別レジスタ（AP_IDR） 1368
41.5.7 アクセスポートのレジスタマップとリセット値 1369
41.6 クロストリガインタフェース（CTI）とマトリックス（CTM） 1370
41.7 クロストリガインタフェースレジスタ 1374
41.7.1 CTI 制御レジスタ（CTI_CONTROLR） 1374
41.7.2 CTI トリガ確認応答レジスタ（CTI_INTACKR） 1374
41.7.3 CTI アプリケーショントリガ設定レジスタ（CTI_APPSETR） 1375
41.7.4 CTI アプリケーショントリガクリアレジスタ（CTI_APPCLEAR） 1376
41.7.5 CTI アプリケーションパルスレジスタ（CTI_APPPULSER） 1376

41.7.6 CTI トリガ入力 x 有効レジスタ（CTI_INENRx）.....1377
41.7.7 CTI トリガ出力 x 有効レジスタ（CTI_OUTENRx）.....1377
41.7.8 CTI トリガ入力ステータスレジスタ（CTI_TRGISTSR）.....1378
41.7.9 CTI トリガ出力ステータスレジスタ（CTI_TRGOSTSR）.....1378
41.7.10 CTI チャネル入力ステータスレジスタ（CTI_CHINSTSR）.....1379
41.7.11 CTI チャネル出力ステータスレジスタ（CTI_CHOUTSTSR）.....1379
41.7.12 CTI チャネルゲートレジスタ（CTI_GATER）.....1380
41.7.13 CTI 要求タグ設定レジスタ（CTI_CLAIMSETR）.....1380
41.7.14 CTI 要求タグクリアレジスタ（CTI_CLAIMCLR）.....1381
41.7.15 CTI ロックアクセスレジスタ（CTI_LAR）.....1381
41.7.16 CTI ロックステータスレジスタ（CTI_LSR）.....1382
41.7.17 CTI 認証ステータスレジスタ（CTI_AUTHSTATR）.....1382
41.7.18 CTI デバイス設定レジスタ（CTI_DEVIDR）.....1383
41.7.19 CTI デバイスタイプ識別子レジスタ（CTI_DEVTYPER）.....1383
41.7.20 CTI CoreSight ペリフェラル ID レジスタ 4（CTI_PIDR4）.....1384
41.7.21 CTI CoreSight ペリフェラル ID レジスタ 0（CTI_PIDR0）.....1384
41.7.22 CTI CoreSight ペリフェラル ID レジスタ 1（CTI_PIDR1）.....1385
41.7.23 CTI CoreSight ペリフェラル ID レジスタ 2（CTI_PIDR2）.....1385
41.7.24 CTI CoreSight ペリフェラル ID レジスタ 3（CTI_PIDR3）.....1386
41.7.25 CTI CoreSight コンポーネント ID レジスタ 0（CTI_CIDR0）.....1386
41.7.26 CTI CoreSight ペリフェラル ID レジスタ 1（CTI_CIDR1）.....1387
41.7.27 CTI CoreSight コンポーネント ID レジスタ 2（CTI_CIDR2）.....1387
41.7.28 CTI CoreSight コンポーネント ID レジスタ 3（CTI_CIDR3）.....1388
41.7.29 CTI レジスタのマップとリセット値 1389
41.8 マイクロコントローラデバッグユニット（DBGMCU）.....1392
41.8.1 DBGMCU ID コードレジスタ（DBGMCU_IDCODE）.....1392
41.8.2 DBGMCU 設定レジスタ（DBGMCU_CR）.....1393
41.8.3 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1（DBGMCU_APB1FZR1）.....1394
41.8.4 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 1（DBGMCU_C2APB1FZR1）.....1395
41.8.5 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 2（DBGMCU_APB1FZR2）.....1396
41.8.6 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 2（DBGMCU_C2APB1FZR2）.....1396
41.8.7 DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ（DBGMCU_APB2FZR）.....1397
41.8.8 DBGMCU CPU2 APB2 ペリフェラルフリーズレジスタ（DBGMCU_C2APB2FZR）.....1398

41.8.9 DBGMCU レジスタのマップとリセット値 1399
41.9 CPU2 の ROM テーブル 1400
41.9.1 CPU2 ROM1 メモリタイプレジスタ（C2ROM1_MEMTYPER） 1402
41.9.2 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 4（C2ROM1_PIDR4） . . . 1402
41.9.3 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 0（C2ROM1_PIDR0） . . . 1403
41.9.4 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 （C2ROM1_PIDR1） . . . 1403
41.9.5 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 2 （C2ROM1_PIDR2） . . . 1404
41.9.6 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 3 （C2ROM1_PIDR3） . . . 1404
41.9.7 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 0 （C2ROM1_CIDR0） 1405
41.9.8 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 （C2ROM1_CIDR1） . . . 1405
41.9.9 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 2 （C2ROM1_CIDR2） 1406
41.9.10 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 3 （C2ROM1_CIDR3） 1406
41.9.11 CPU2 プロセッサ ROM テーブルレジスタとリセット値 1407
41.9.12 CPU2 ROM2 メモリタイプレジスタ（C2ROM2_MEMTYPER） 1408
41.9.13 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 4 （C2ROM2_PIDR4） . . . 1408
41.9.14 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 0 （C2ROM2_PIDR0） . . . 1409
41.9.15 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 （C2ROM2_PIDR1） . . . 1409
41.9.16 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 2 （C2ROM2_PIDR2） . . . 1410
41.9.17 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 3 （C2ROM2_PIDR3） . . . 1410
41.9.18 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 0 （C2ROM2_CIDR0） 1411
41.9.19 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 （C2ROM2_CIDR1） 1411
41.9.20 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 2 （C2ROM2_CIDR2） 1412
41.9.21 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 3 （C2ROM2_CIDR3） 1412
41.9.22 CPU2 ROM テーブルレジスタのマップとリセット値 1413
41.10 CPU2 データウォッチポイントおよびトレースユニット（DWT） 1414
41.10.1 DWT 制御レジスタ（DWT_CTRLR） 1415
41.10.2 DWT サイクルカウントレジスタ（DWT_CYCCNTR） 1416
41.10.3 DWT CPI カウントレジスタ（DWT_CPICNTR） 1417
41.10.4 DWT 例外カウントレジスタ（DWT_EXCCNTR） 1417
41.10.5 DWT スリープカウントレジスタ（DWT_SLPCNTR） 1418
41.10.6 DWT LSU カウントレジスタ（DWT_LSUCNTR） 1418
41.10.7 DWT フォールドカウントレジスタ（DWT_FOLDCNTR） 1419

41.10.8 DWT プログラムカウンタサンプルレジスタ（DWT_PCSR）. 1419
41.10.9 DWT コンパレータレジスタ x （DWT_COMPxR）. 1419
41.10.10 DWT マスクレジスタ x （DWT_MASKxR） 1420
41.10.11 DWT 機能レジスタ x （DWT_FUNCTxR） 1420
41.10.12 DWT CoreSight ペリフェラル ID レジスタ 4（DWT_PIDR4）. 1421
41.10.13 DWT CoreSight ペリフェラル ID レジスタ 0（DWT_PIDR0）. 1422
41.10.14 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）. 1422
41.10.15 DWT CoreSight ペリフェラル ID レジスタ 2（DWT_PIDR2）. 1423
41.10.16 DWT CoreSight ペリフェラル ID レジスタ 3（DWT_PIDR3）. 1423
41.10.17 DWT CoreSight コンポーネント ID レジスタ 0（DWT_CIDR0）. 1424
41.10.18 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_CIDR1）. 1424
41.10.19 DWT CoreSight コンポーネント ID レジスタ 2（DWT_CIDR2）. 1425
41.10.20 DWT CoreSight コンポーネント ID レジスタ 3（DWT_CIDR3）. 1425
41.10.21 CPU2 DWT レジスタ 1426
41.11 CPU2 ブレークポイントユニット（PBU）. 1428
41.11.1 BPU 制御レジスタ（BPU_CTRLR）. 1428
41.11.2 BPU 再配置レジスタ（BPU_REMAPR）. 1429
41.11.3 BPU コンパレータレジスタ（BPU_COMPxR） 1429
41.11.4 BPU CoreSight ペリフェラル ID レジスタ 4（BPU_PIDR4）. 1430
41.11.5 BPU CoreSight ペリフェラル ID レジスタ 0（BPU_PIDR0）. 1430
41.11.6 BPU CoreSight ペリフェラル ID レジスタ 1（BPU_PIDR1）. 1431
41.11.7 BPU CoreSight ペリフェラル ID レジスタ 2（BPU_PIDR2）. 1431
41.11.8 BPU CoreSight ペリフェラル ID レジスタ 3（BPU_PIDR3）. 1432
41.11.9 BPU CoreSight コンポーネント ID レジスタ 0（BPU_CIDR0）. 1432
41.11.10 BPU CoreSight ペリフェラル ID レジスタ 1（BPU_CIDR1）. 1433
41.11.11 BPU CoreSight コンポーネント ID レジスタ 2（BPU_CIDR2）. 1433
41.11.12 BPU CoreSight コンポーネント ID レジスタ 3（BPU_CIDR3）. 1434
41.11.13 CPU2 BPU レジスタのマップとリセット値 1435
41.12 CPU2 クロストリガインタフェース（CTI）. 1436
41.13 CPU1 の ROM テーブル 1436
41.13.1 CPU1 ROM メモリタイプレジスタ（C1ROM_MEMTYPER）. 1438
41.13.2 CPU1 ROM CoreSight ペリフェラル ID レジスタ 4（C1ROM_PIDR4）. . . .1438
41.13.3 CPU1 ROM CoreSight ペリフェラル ID レジスタ 0（C1ROM_PIDR0）. . . .1439
41.13.4 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1（C1ROM_PIDR1）. . . .1439
41.13.5 CPU1 ROM CoreSight ペリフェラル ID レジスタ 2（C1ROM_PIDR2）. . . .1440
41.13.6 CPU1 ROM CoreSight ペリフェラル ID レジスタ 3（C1ROM_PIDR3）. . . .1440
41.13.7 CPU1 ROM CoreSight コンポーネント ID レジスタ 0（C1ROM_CIDR0）. . .1441

41.13.8 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1（C1ROM_CIDR1）....1441
41.13.9 CPU1 ROM CoreSight コンポーネント ID レジスタ 2（C1ROM_CIDR2）...1442
41.13.10 CPU1 ROM CoreSight コンポーネント ID レジスタ 3（C1ROM_CIDR3）...1442
41.13.11 CPU1 ROM テーブルレジスタのマップとリセット値 1443
41.14 CPU1 データウォッチポイントおよびトレースユニット（DWT）..... 1444
41.14.1 DWT 制御レジスタ（DWT_CTRLR）.....1445
41.14.2 DWT サイクルカウントレジスタ（DWT_CYCCNTR）.....1446
41.14.3 DWT CPI カウントレジスタ（DWT_CPICNTR）.....1447
41.14.4 DWT 例外カウントレジスタ（DWT_EXCCNTR）.....1447
41.14.5 DWT スリープカウントレジスタ（DWT_SLPCNTR）.....1448
41.14.6 DWT LSU カウントレジスタ（DWT_LSUCNTR）.....1448
41.14.7 DWT フォールドカウントレジスタ（DWT_FOLDCNTR）.....1449
41.14.8 DWT プログラムカウンタサンプルレジスタ（DWT_PCSR）.....1449
41.14.9 DWT コンパレータレジスタ x （DWT_COMPxR）.....1449
41.14.10 DWT マスクレジスタ x （DWT_MASKxR）.....1450
41.14.11 DWT 機能レジスタ x （DWT_FUNCTxR）.....1450
41.14.12 DWT CoreSight ペリフェラル ID レジスタ 4（DWT_PIDR4）.....1451
41.14.13 DWT CoreSight ペリフェラル ID レジスタ 0（DWT_PIDR0）.....1452
41.14.14 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）.....1452
41.14.15 DWT CoreSight ペリフェラル ID レジスタ 2（DWT_PIDR2）.....1453
41.14.16 DWT CoreSight ペリフェラル ID レジスタ 3（DWT_PIDR3）.....1453
41.14.17 DWT CoreSight コンポーネント ID レジスタ 0（DWT_CIDR0）.....1454
41.14.18 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_CIDR1）.....1454
41.14.19 DWT CoreSight コンポーネント ID レジスタ 2（DWT_CIDR2）.....1455
41.14.20 DWT CoreSight コンポーネント ID レジスタ 3（DWT_CIDR3）.....1455
41.14.21 CPU1 DWT レジスタのマップとリセット値 1456
41.15 CPU1 計装トレースマクロセル（ITM）..... 1458
41.15.1 ITM スティムラスレジスタ x （ITM_STIMRx）.....1458
41.15.2 ITM トレース有効レジスタ（ITM_TER）.....1459
41.15.3 ITM トレース特権レジスタ（ITM_TPR）.....1459
41.15.4 ITM トレース制御レジスタ（ITM_TCR）.....1460
41.15.5 ITM CoreSight ペリフェラル ID レジスタ 4（ITM_PIDR4）.....1461
41.15.6 ITM CoreSight ペリフェラル ID レジスタ 0（ITM_PIDR0）.....1461
41.15.7 ITM CoreSight ペリフェラル ID レジスタ 1（ITM_PIDR1）.....1462
41.15.8 ITM CoreSight ペリフェラル ID レジスタ 2（ITM_PIDR2）.....1462
41.15.9 ITM CoreSight ペリフェラル ID レジスタ 3（ITM_PIDR3）.....1463
41.15.10 ITM CoreSight コンポーネント ID レジスタ 0（ITM_CIDR0）.....1463

41.15.11 ITM CoreSight ペリフェラル ID レジスタ 1（ITM_CIDR1）.....1464
41.15.12 ITM CoreSight コンポーネント ID レジスタ 2（ITM_CIDR2）.....1464
41.15.13 ITM CoreSight コンポーネント ID レジスタ 3（ITM_CIDR3）.....1465
41.15.14 ITM レジスタのマップとリセット値 1466
41.16 CPU1 ブレークポイントユニット（FPB） 1467
41.16.1 FPB 制御レジスタ（FPB_CTRLR）.....1467
41.16.2 FPB 再配置レジスタ（FPB_REMAPR）.....1468
41.16.3 FPB コンパレータレジスタ（FPB_COMPxR）.....1468
41.16.4 FPB CoreSight ペリフェラル ID レジスタ 4（FPB_PIDR4）.....1469
41.16.5 FPB CoreSight ペリフェラル ID レジスタ 0（FPB_PIDR0）.....1469
41.16.6 FPB CoreSight ペリフェラル ID レジスタ 1（FPB_PIDR1）.....1470
41.16.7 FPB CoreSight ペリフェラル ID レジスタ 2（FPB_PIDR2）.....1470
41.16.8 FPB CoreSight ペリフェラル ID レジスタ 3（FPB_PIDR3）.....1471
41.16.9 FPB CoreSight コンポーネント ID レジスタ 0（FPB_CIDR0）.....1471
41.16.10 FPB CoreSight ペリフェラル ID レジスタ 1（FPB_CIDR1）.....1472
41.16.11 FPB CoreSight コンポーネント ID レジスタ 2（FPB_CIDR2）.....1472
41.16.12 FPB CoreSight コンポーネント ID レジスタ 3（FPB_CIDR3）.....1473
41.16.13 FPB レジスタのマップとリセット値 1474
41.17 CPU1 組込みトレースマクロセル（ETM™）、STM32WB55xx でのみ使用可能 1475
41.17.1 ETM 制御レジスタ（ETM_CR） 1475
41.17.2 ETM 設定コードレジスタ（ETM_CCR）.....1476
41.17.3 ETM トリガレジスタ（ETM_TRIGGER）.....1477
41.17.4 ETM ステータスレジスタ（ETM_SR）.....1478
41.17.5 ETM ステータスレジスタ（ETM_SCR）.....1479
41.17.6 ETM トレース有効イベントレジスタ（ETM_TEEVR）.....1480
41.17.7 ETM トレース有効化制御 1 レジスタ（ETM_TECR1） 1481
41.17.8 ETM FIFOFULL レベルレジスタ（ETM_FFLR）.....1481
41.17.9 ETM カウンタ再ロード値 1 レジスタ（ETM_CNTRLDVR1）.....1482
41.17.10 ETM 同期頻度レジスタ（ETM_SYNCFR）.....1482
41.17.11 ETM ID レジスタ（ETM_IDR） 1483
41.17.12 ETM 設定コード拡張レジスタ（ETM_CCER）.....1484
41.17.13 ETM トレース有効化開始 / 停止の内蔵 ICE 制御レジスタ（ETM_TESSEICR）.....1485
41.17.14 ETM タイムスタンプイベントレジスタ（ETM_TSEVR）.....1485
41.17.15 ETM トレース ID レジスタ（ETM_TRACEIDR） 1486
41.17.16 ETM ID レジスタ 2（ETM_IDR2）.....1486

41.17.17 ETM デバイスパワーダウンステータスレジスタ 2（ETM_PDSR）.....1487
41.17.18 ETM 要求タグ設定レジスタ（ETM_CLAIMSETR）.....1487
41.17.19 ETM 要求タグクリアレジスタ（ETM_CLAIMCLR）.....1488
41.17.20 ETM ロックアクセスレジスタ（ETM_LAR）.....1488
41.17.21 ETM ロックステータスレジスタ（ETM_LSR）.....1489
41.17.22 ETM 認証ステータスレジスタ（ETM_AUTHSTATR）.....1489
41.17.23 ETM CoreSight デバイス ID レジスタ（ETM_DEVTYPER）.....1490
41.17.24 ETM CoreSight ペリフェラル ID レジスタ 4（ETM_PIDR4）.....1490
41.17.25 ETM CoreSight ペリフェラル ID レジスタ 0（ETM_PIDR0）.....1491
41.17.26 ETM CoreSight ペリフェラル ID レジスタ 1（ETM_PIDR1）.....1491
41.17.27 ETM CoreSight ペリフェラル ID レジスタ 2（ETM_PIDR2）.....1492
41.17.28 ETM CoreSight ペリフェラル ID レジスタ 3（ETM_PIDR3）.....1492
41.17.29 ETM CoreSight コンポーネント ID レジスタ 0（ETM_CIDR0）.....1493
41.17.30 ETM CoreSight ペリフェラル ID レジスタ 1（ETM_CIDR1）.....1493
41.17.31 ETM CoreSight コンポーネント ID レジスタ 2（ETM_CIDR2）.....1494
41.17.32 ETM CoreSight コンポーネント ID レジスタ 3（ETM_CIDR3）.....1494
41.17.33 ETM レジスタのマップとリセット値 1495
41.18 CPU1 トレースポートインタフェースユニット（TPIU）..... 1497
41.18.1 TPIU でサポートされるポートサイズのレジスタ（TPIU_SSPSR）.....1497
41.18.2 TPIU の現在のポートサイズのレジスタ（TPIU_CSPSR）.....1498
41.18.3 TPIU 非同期クロックプリスケーラレジスタ（TPIU_ACPR）.....1498
41.18.4 TPIU 選択ピンプロトコルレジスタ（TPIU_SPPR）.....1499
41.18.5 TPIU フォーマッタおよび一掃のステータスレジスタ（TPIU_FFSR）.....1499
41.18.6 TPIU フォーマッタおよび一掃の制御レジスタ（TPIU_FFCR）.....1500
41.18.7 TPIU フォーマッタ同期カウンタのレジスタ（TPIU_FSCR）.....1500
41.18.8 TPIU 要求タグ設定レジスタ（TPIU_CLAIMSETR）.....1501
41.18.9 TPIU 要求タグクリアレジスタ（TPIU_CLAIMCLR）.....1501
41.18.10 TPIU デバイス設定レジスタ（TPIU_DEVIDR）.....1502
41.18.11 TPIU デバイスタイプ識別子レジスタ（TPIU_DEVTYPER）.....1502
41.18.12 TPIU CoreSight ペリフェラル ID レジスタ 4（TPIU_PIDR4）.....1503
41.18.13 TPIU CoreSight ペリフェラル ID レジスタ 0（TPIU_PIDR0）.....1503
41.18.14 TPIU CoreSight ペリフェラル ID レジスタ 1（TPIU_PIDR1）.....1504
41.18.15 TPIU CoreSight ペリフェラル ID レジスタ 2（TPIU_PIDR2）.....1504
41.18.16 TPIU CoreSight ペリフェラル ID レジスタ 3（TPIU_PIDR3）.....1505
41.18.17 TPIU CoreSight コンポーネント ID レジスタ 0（TPIU_CIDR0）.....1505
41.18.18 TPIU CoreSight ペリフェラル ID レジスタ 1（TPIU_CIDR1）.....1506
41.18.19 TPIU CoreSight コンポーネント ID レジスタ 2（TPIU_CIDR2）.....1506

41.18.20 TPIU CoreSight コンポーネント ID レジスタ 3（TPIU_CIDR3）. 1507
41.18.21 CPU1 TPIU レジスタのマップとリセット値 1508
41.19 CPU1 クロストリガインタフェース（CTI）. 1510
41.20 参照 1510

42 デバイス電子署名 1511
42.1 ユニークデバイス ID レジスタ（96 ビット）. 1511
42.2 メモリサイズデータレジスタ 1512
42.2.1 Flash サイズデータレジスタ 1512
42.3 パッケージデータレジスタ 1512
42.4 製品型番コードレジスタ 1513

43 セキュリティに関する重要な通知 1514

44 改版履歴 1515

表の一覧

表 1. メモリマップとペリフェラルのレジスタ境界アドレス 67
表 2. ブートモード 72
表 3. Flash メモリ - シングルバンク構成 76
表 4. Flash メモリクロック（HCLK4）周波数に対するウェイトステート数 78
表 5. ページ消去の概要 83
表 6. 全体消去の概要 84
表 7. ページベースの行のプログラミングでのエラー 89
表 8. オプションバイトのフォーマット 90
表 9. オプションバイトの構成 91
表 10. オプションローディング制御 99
表 11. UID64 の構成 100
表 12. Flash メモリの読出し保護ステータス 101
表 13. レベル 1 からレベル 0 への RDP 回帰とメモリ消去 103
表 14. アクセス状態に対する保護レベルと実行モード 104
表 15. PCROP 保護 105
表 16. WRP 保護 106
表 17. Flash メモリ割込みリクエスト 109
表 18. Flash インタフェースレジスタマップとリセット値 128
表 19. CRC 内部入力／出力信号 133
表 20. CRC レジスタマップとリセット値 138
表 21. 電源設定の制御 141
表 22. PVM の機能 148
表 23. サブシステムの低電力ウェイクアップソース 152
表 24. 低消費電力モードの概要 154
表 25. システムの動作モードに応じた機能 155
表 26. 低電力 RUN 158
表 27. CPU CSTOP ウェイクアップとシステム動作モード 160
表 28. SLEEP モード 161
表 29. 低電力 SLEEP 162
表 30. STOP0 モード 164
表 31. STOP1 モード 165
表 32. STOP2 モード 167
表 33. STANDBY モード 169
表 34. SHUTDOWN モード 170
表 35. PWR レジスタマップとリセット値 194
表 36. 相互接続マトリックスの実装 196
表 37. ペリフェラル相互接続マトリックス 196
表 38. 最大クロックソース周波数 214
表 39. SMPS ステップダウン･コンバータ･クロック･ソースの選択および分周 216
表 40. ペリフェラルクロック有効化 220
表 41. シングルコアの低消費電力デバッグ設定 222
表 42. RCC レジスタのマップとリセット値 290
表 43. GPIO の実装 295
表 44. ポートビット設定表 297
表 45. GPIO レジスタのマップとリセット値 312
表 46. SYSCFG レジスタのマップとリセット値 329
表 47. DMA1 および DMA2 の実装 332
表 48. プログラム可能なデータ幅およびエンディアンの動作（PINC = MINC = 1 の場合） 339
表 49. DMA 割込みリクエスト 341

表 50. DMA レジスタのマップとリセット値 349
表 51. DMAMUX の実装 353
表 52. DMAMUX の構成 353
表 53. DMAMUX：リソースへのマルチプレクサ入力の割り当て 354
表 54. DMAMUX：リソースへのトリガ入力の割り当て 354
表 55. DMAMUX：リソースへの同期入力の割り当て 355
表 56. DMAMUX 信号 357
表 57. DMAMUX 割込み 361
表 58. DMAMUX レジスタのマップとリセット値 366
表 59. NVIC の実装 368
表 60. CPU1 ベクタテーブル 370
表 61. CPU2 ベクタテーブル 373
表 62. ウェイクアップ割込み表 375
表 63. EXTI の実装 377
表 64. EXTI ピンの概要 378
表 65. EVG ピンの概要 379
表 66. EXTI イベント入力設定およびレジスタ制御 380
表 67. マスキングの機能 383
表 68. EXTI レジスタマップセクション 384
表 69. EXTI レジスタのマップとリセット値 394
表 70. QUADSPI ピン 397
表 71. QUADSPI 割込みリクエスト 409
表 72. QUADSPI レジスタマップとリセット値 421
表 73. ADC の機能 423
表 74. ADC 内部入力／出力信号 425
表 75. ADC の入出力ピン 425
表 76. レギュラ外部トリガのトリガ極性の設定 441
表 77. インジェクト外部トリガのトリガ極性の設定 441
表 78. ADC1 - レギュラチャネルの外部トリガ 442
表 79. ADC1 - インジェクトチャネルの外部トリガ 442
表 80. TSAR タイミングは分解能に依存 454
表 81. オフセット計算対データ分解能 457
表 82. アナログウォッチドッグチャネル選択 466
表 83. アナログウォッチドッグ 1 の比較 467
表 84. アナログウォッチドッグ 2 および 3 の比較 467
表 85. 最大出力結果対 N と M（灰色のセルは切り詰め） 471
表 86. 低電力モードが ADC に与える影響 479
表 87. ADC 割込み 480
表 88. ADC レジスタマップとリセット値 511
表 89. ADC レジスタマップとリセット値（マスタおよびスレーブ ADC 共通レジスタ）
オフセット = 0x300 513
表 90. VREFBUF の実装 514
表 91. VREF バッファモード 514
表 92. VREFBUF のトリミングデータ 515
表 93. VREFBUF レジスタマップとリセット値 516
表 94. COMP1 正入力の割り当て 518
表 95. COMP1 負入力の割り当て 519
表 96. COMP2 正入力の割り当て 519
表 97. COMP2 負入力の割り当て 519
表 98. 低電力モードでのコンパレータの動作 523
表 99. 割込み制御ビット 523
表 100. COMP レジスタのマップとリセット値 529

表 101. フレームレートの計算例 533
表 102. 点滅周波数 541
表 103. 再配置機能 545
表 104. LCD 割込みリクエスト 551
表 105. LCD レジスタのマップとリセット値 559
表 106. 取得シーケンスの概要 564
表 107. スペクトル拡散偏差と AHB クロック周波数 566
表 108. モードおよび IODEF ビットの値に応じた I/O の状態 567
表 109. 低消費電力モードが TSC に与える影響 569
表 110. 割込み制御ビット 569
表 111. TSC レジスタのマップとリセット値 577
表 112. RNG 内部入力／出力信号 580
表 113. RNG 割込みリクエスト 586
表 114. RNG レジスタマップとリセット値 590
表 115. AES 内部入力／出力信号 592
表 116. CTR モード初期化ベクタの定義 609
表 117. GCM 最終ブロックの定義 611
表 118. GCM モードでの AES_IVRx レジスタの初期化 612
表 119. CCM モードでの AES_IVRx レジスタの初期化 619
表 120. AES_KEYRx レジスタでのキーエンディアン（128 ビットまたは 256 ビットのキー長） 624
表 121. AES 割込みリクエスト 627
表 122. ECB、CBC、および CTR での処理遅延時間 628
表 123. GCM および CCM での処理遅延時間（クロックサイクル数） 628
表 124. AES レジスタマップとリセット値 640
表 125. 内部入力／出力信号 643
表 126. PKA 整数算術機能リスト 643
表 127. PKA 素体（Fp）楕円曲線機能リスト 644
表 128. モンゴメリパラメータ計算 649
表 129. 剰余加算 649
表 130. 剰余減算 650
表 131. モンゴメリ乗算 651
表 132. べき剰余（通常モード） 651
表 133. べき剰余（高速モード） 651
表 134. モジュラリダクション 652
表 135. モジュラリダクション 652
表 136. 算術加算 653
表 137. 算術減算 653
表 138. 算術比較 653
表 139. 算術比較 654
表 140. CRT べき乗 654
表 141. 楕円曲線 Fp 上の点の確認 655
表 142. ECC Fp スカラー乗算 655
表 143. ECC Fp スカラー乗算（高速モード） 656
表 144. ECDSA 署名 - 入力 657
表 145. ECDSA 署名 - 出力 657
表 146. 拡張 ECDSA 署名（追加出力） 658
表 147. ECDSA 検証（入力） 658
表 148. ECDSA 検証（出力） 658
表 149. ECC 演算でサポートされる曲線群 659
表 150. べき剰余の計算時間 661
表 151. ECC スカラ乗算の計算時間 661
表 152. ECDSA 署名の平均計算時間 661

表 153. ECDSA 検証の平均計算時間 662
表 154. 楕円曲線 Fp 上の点の確認の平均計算時間 662
表 155. モンゴメリパラメータの平均計算時間 662
表 156. PKA 割込みリクエスト 662
表 157. PKA レジスタのマップとリセット値 666
表 158. タイマ出力と BRK/BRK2 入力の動作 708
表 159. ブレーク保護解除条件 710
表 160. カウント方向とエンコーダ信号 716
表 161. TIM1 内部トリガ接続 734
表 162. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット 748
表 163. TIM1 レジスタマップとリセット値 765
表 164. カウント方向とエンコーダ信号 800
表 165. TIM2 内部トリガ接続 817
表 166. 標準 OCx チャネルの出力制御ビット 828
表 167. TIM2 レジスタマップとリセット値 836
表 168. ブレーク保護解除条件 861
表 169. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（TIM16/17） 877
表 170. TIM16/TIM17 レジスタマップとリセット値 888
表 171. LPTIM の機能 891
表 172. LPTIM の実装 891
表 173. LPTIM1 外部トリガ接続 892
表 174. LPTIM2 外部トリガ接続 893
表 175. プリスケーラ分周比 894
表 176. エンコーダのカウントシナリオ 901
表 177. 低電力モードが LPTIM に与える影響 902
表 178. 割込みイベント 902
表 179. LPTIM レジスタのマップとリセット値 913
表 180. RTC の実装 916
表 181. 低消費電力モードが RTC に与える影響 930
表 182. 割込み制御ビット 930
表 183. RTC レジスタのマップとリセット値 954
表 184. IWDG レジスタのマップとリセット値 964
表 185. WWDG レジスタのマップとリセット値 971
表 186. I^2C の実装 973
表 187. I^2C の入出力ピン 975
表 188. I^2C 内部入力／出力信号 975
表 189. アナログフィルタとデジタルフィルタの比較 977
表 190. I2C-SMBus 仕様のデータのセットアップおよびホールド時間 979
表 191. I^2C 設定 983
表 192. I2C-SMBus 仕様のクロックタイミング 994
表 193. fI2CCLK = 8 MHz でのタイミング設定の例 1004
表 194. fI2CCLK = 16 MHz でのタイミング設定の例 1004
表 195. SMBus タイムアウト仕様 1006
表 196. SMBus の PEC 設定 1008
表 197. TIMEOUTA の設定例（最大 $t_{TIMEOUT}$ = 25 ms） 1009
表 198. TIMEOUTB の設定例 1009
表 199. TIMEOUTA の設定例（最大 t_{IDLE} = 50 µs） 1009
表 200. 低電力モードが I^2C に与える影響 1020
表 201. I^2C 割込みリクエスト 1021
表 202. I^2C レジスタマップとリセット値 1036
表 203. USART/LPUART の機能 1039
表 204. サンプリングされたデータからのノイズ検出 1053

表 205. BRR [3:0] = 0000 のときの USART レシーバの許容誤差 1057
表 206. BRR[3:0] が 0000 でないときの USART レシーバの許容誤差 1057
表 207. USART フレームのフォーマット 1061
表 208. 低消費電力モードが USART に与える影響 1083
表 209. USART 割込みリクエスト 1084
表 210. USART レジスタのマップとリセット値 1120
表 211. USART/LPUART の機能 1124
表 212. lpuart_ker_ck_pres = 32.768 kHz でプログラムされたボーレートのエラー計算 1136
表 213. fCK = 100 MHz でプログラムされたボーレートのエラー計算 1136
表 214. LPUART レシーバの許容誤差 1137
表 215. LPUART フレームのフォーマット 1140
表 216. 低消費電力モードが LPUART に与える影響 1149
表 217. LPUART 割込みリクエスト 1150
表 218. LPUART レジスタのマップとリセット値 1174
表 219. SPI の実装 1177
表 220. SPI 割込みリクエスト 1201
表 221. SPI レジスタのマップとリセット値 1210
表 222. STM32WB55xx SAI の機能 1212
表 223. SAI 内部入力／出力信号 1213
表 224. SAI の入出力ピン 1213
表 225. MCLK_x の有効化条件 1220
表 226. クロックジェネレータのプログラミング例 1223
表 227. TDM 設定 1230
表 228. TDM フレームの設定例 1232
表 229. SOPD パターン 1235
表 230. パリティビットの計算 1235
表 231. オーディオサンプリング周波数とシンボルレート 1236
表 232. SAI 割込みソース 1244
表 233. SAI レジスタのマップとリセット値 1272
表 234. IPCC インタフェース信号 1275
表 235. 通信に使用されるビット 1276
表 236. IPCC レジスタのマップとリセット値 1286
表 237. HSEM 内部入力／出力信号 1288
表 238. 許可された AHB バスマスタ ID 1293
表 239. HSEM レジスタのマップとリセット値 1299
表 240. USB の実装 1301
表 241. ダブルバッファリングバッファフラグの定義 1310
表 242. バルクダブルバッファリングメモリバッファの用途 1311
表 243. アイソクロナスメモリバッファの使用 1312
表 244. レジュームイベント検出 1314
表 245. 受信ステータスエンコード 1326
表 246. エンドポイントタイプエンコード 1326
表 247. エンドポイントの種類の意味 1326
表 248. 送信ステータスエンコード 1327
表 249. 割り当てられるバッファメモリの定義 1329
表 250. USB レジスタのマップとリセット値 1331
表 251. CRS の機能 1333
表 252. 低電力モードが CRS に与える影響 1337
表 253. 割込み制御ビット 1337
表 254. CRS レジスタのマップとリセット値 1343
表 255. JTAG ／シリアルワイヤデバッグポートのピン 1346
表 256. トレースポートピン 1347

表 257. シリアルワイヤトレースポートのピン 1347
表 258. トリガピン 1347
表 259. JTAG-DP データレジスタ 1350
表 260. パケットリクエスト 1352
表 261. ACK 応答 1352
表 262. データ転送 1352
表 263. デバッグポートのレジスタマップとリセット値 1361
表 264. アクセスポートのレジスタマップとリセット値 1369
表 265. CPU2 CTI 入力 1371
表 266. CPU2 CTI 出力 1371
表 267. CPU1 CTI 入力 1371
表 268. CPU1 CTI 出力 1372
表 269. CTI レジスタのマップとリセット値 1389
表 270. DBGMCU レジスタのマップとリセット値 1399
表 271. CPU2 プロセッサの ROM テーブル 1400
表 272. CPU2 の ROM テーブル 1400
表 273. CPU2 プロセッサ ROM テーブルレジスタのマップとリセット値 1407
表 274. CPU2 ROM テーブルレジスタのマップとリセット値 1413
表 275. CPU2 DWT レジスタのマップとリセット値 1426
表 276. CPU2 BPU レジスタのマップとリセット値 1435
表 277. CPU1 の ROM テーブル 1436
表 278. CPU1 ROM テーブルレジスタのマップとリセット値 1443
表 279. CPU1 DWT レジスタのマップとリセット値 1456
表 280. CPU1 ITM レジスタのマップとリセット値 1466
表 281. CPU1 FPB レジスタのマップとリセット値 1474
表 282. CPU1 ETM レジスタのマップとリセット値 1495
表 283. CPU1 TPIU レジスタのマップとリセット値 1508
表 284. 文書改版履歴 1515
表 285. 日本語版文書改版履歴 1526

図一覧

図 1. システムアーキテクチャ 63
図 2. メモリマップ 66
図 3. 連続 16 ビット命令の実行 80
図 4. 読出し保護（RDP）レベルの変更 103
図 5. 無線システムのブロック図 131
図 6. CRC 計算ユニットのブロック図 133
図 7. 電源の概要 140
図 8. 電源構成 141
図 9. ブラウンアウトリセットの波形 147
図 10. PVD の閾値 148
図 11. CPU2 ブートオプション 150
図 12. 低消費電力モードの可能な遷移 153
図 13. リアルタイムの無線動作フラグ 171
図 14. 簡略化されたリセット回路図 203
図 15. クロックツリー 207
図 16. HSE クロックソース 208
図 17. LSE クロックソース 212
図 18. TIM16 のキャプチャモードを使用した周波数測定 218
図 19. TIM17 のキャプチャモードを使用した周波数測定 219
図 20. 3 V または 5 V トレラントの GPIO 構造（TT または FT） 296
図 21. 入力フローティング／プルアップ／プルダウン設定 301
図 22. 出力設定 301
図 23. オルタネート機能設定 302
図 24. ハイインピーダンスアナログ設定 303
図 25. DMA ブロック図 333
図 26. DMAMUX ブロック図 356
図 27. DMAMUX リクエストラインマルチプレクサチャネルの同期モード 359
図 28. DMA リクエストラインマルチプレクサチャネルのイベント生成 359
図 29. 割込みブロック図 369
図 30. EXTI ブロック図 378
図 31. 設定可能なイベントトリガロジックによる CPU ウェイクアップ 381
図 32. ダイレクトイベントのトリガロジック、CPU ウェイクアップ 382
図 33. QUADSPI ブロック図 396
図 34. Quad SPI モードにおける読出しコマンド例 397
図 35. Quad-SPI モードにおける DDR コマンドの例 401
図 36. NCS - CKMODE = 0（T = CLK 周期）のとき 407
図 37. NCS - SDR モード（T = CLK 周期）において CKMODE = 1 のとき 408
図 38. NCS - DDR モード（T = CLK 周期）において CKMODE = 1 のとき 408
図 39. NCS - アボートが発生し（T = CLK 周期）、CKMODE = 1 のとき 409
図 40. ADC ブロック図 424
図 41. ADC クロック構成 427
図 42. ADC1 接続性 428
図 43. ADC 較正 431
図 44. ADC 較正係数の更新 432
図 45. シングルエンドチャネルと差動チャネルの混合 432
図 46. ADC の有効化／無効化 434
図 47. アナログ / デジタル変換時間 439
図 48. 実行中のレギュラ変換の停止 440
図 49. 実行中のレギュラ変換とインジェクト変換の停止 440

図 50. インジェクト変換の遅延時間 444
図 51. コンテキストの JSQR キューの例（シーケンスの変更） 447
図 52. コンテキストの JSQR キューの例（トリガの変更） 447
図 53. 変換前にオーバーフローが発生した場合のコンテキストの JSQR キューの例 448
図 54. 変換中にオーバーフローが発生した場合のコンテキストの JSQR キューの例 448
図 55. 空のキューがあるコンテキストの JSQR キューの例（JQM = 0 の場合） 449
図 56. 空のキューがあるコンテキストの JSQR キューの例（JQM = 1 の場合） 450
図 57. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）
変換の実行中に JADSTP が発生した場合 450
図 58. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）
変換の実行中に JADSTP が発生し、新しいトリガが発生した場合 451
図 59. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）
変換の実行中に外部で JADSTP が発生した場合 451
図 60. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 1） 452
図 61. ADDIS = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0） 452
図 62. ADDIS = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 1） 453
図 63. シーケンスのシングル変換、ソフトウェアトリガ 455
図 64. シーケンスの連続変換、ソフトウェアトリガ 455
図 65. シーケンスのシングル変換、ハードウェアトリガ 456
図 66. シーケンスの連続変換、ハードウェアトリガ 456
図 67. 右詰め（オフセット無効、符号なしの値） 458
図 68. 右詰め（オフセット有効、符号付きの値） 458
図 69. 左詰め（オフセット無効、符号なしの値） 459
図 70. 左詰め（オフセット有効、符号付きの値） 459
図 71. オーバーラン（OVR）の例 460
図 72. AUTODLY = 1、連続モードのレギュラ変換、ソフトウェアトリガ 463
図 73. AUTODLY = 1、インジェクト変換によって中断されたレギュラハードウェア変換
（DISCEN = 0、JDISCEN = 0） 463
図 74. AUTODLY = 1、インジェクト変換によって中断されたレギュラハードウェア変換
（DISCEN = 1、JDISCEN = 1） 464
図 75. AUTODLY = 1、インジェクト変換によって中断されたレギュラ連続変換 465
図 76. 自動インジェクトモードの AUTDLY = 1 （JAUTO = 1） 465
図 77. アナログウォッチドッグによって保護される領域 466
図 78. ADCy_AWDx_OUT 信号生成（すべてのレギュラチャネル） 468
図 79. ADCy_AWDx_OUT 信号生成（ソフトウェアによって AWDx フラグがクリアされない場合） 469
図 80. ADCy_AWDx_OUT 信号生成（1 つのレギュラチャネル） 469
図 81. ADCy_AWDx_OUT 信号生成（すべてのインジェクトチャネル） 469
図 82. 20 ビットから 16 ビットへの結果の切り詰め 470
図 83. 5 ビットシフトと丸めの数値例 470
図 84. オーバーサンプリングモードのトリガ（TROVS ビット =1） 472
図 85. レギュラオーバーサンプリングモード（4x の比率） 473
図 86. レギュラおよびインジェクトオーバーサンプリングモードの同時使用 474
図 87. インジェクションでのトリガレギュラオーバーサンプリング 474
図 88. 自動インジェクトモードでのオーバーサンプリング 475
図 89. 温度センサチャネルのブロック図 476
図 90. VBAT チャネルのブロック図 477
図 91. VREFINT チャネルのブロック図 478
図 92. コンパレータブロック図 518
図 93. ウィンドウモード 521
図 94. コンパレータヒステリシス 521
図 95. コンパレータの出力のブランキング 522
図 96. LCD コントローラのブロック図 532

図 97. 1/3 バイアス、1/4 デューティ 534
図 98. スタティックデューティの事例 1 535
図 99. スタティックデューティの事例 2 536
図 100. 1/2 デューティ、1/2 バイアス 537
図 101. 1/3 デューティ、1/3 バイアス 538
図 102. 1/4 デューティ、1/3 バイアス 539
図 103. 1/8 デューティ、1/4 バイアス 540
図 104. LCD 電圧制御 543
図 105. デッドタイム 544
図 106. SEG/COM マルチプレクス機能の例 549
図 107. フローチャートの例 550
図 108. TSC ブロック図 562
図 109. 表面電荷移動アナログ I/O グループの構造 563
図 110. サンプリングコンデンサの電圧の変化 564
図 111. 電荷移動取得シーケンス 565
図 112. スペクトル拡散の変動の原理 566
図 113. RNG のブロック図 580
図 114. エントロピーソースモデル 581
図 115. RNG 初期化の概要 583
図 116. AES ブロック図 592
図 117. ECB の暗号化と復号の原理 594
図 118. CBC の暗号化と復号の原理 595
図 119. CTR の暗号化と復号の原理 596
図 120. GCM の暗号化と認証の原理 597
図 121. GMAC の認証の原理 597
図 122. CCM の暗号化と認証の原理 598
図 123. ECB ／ CBC 復号（モード 2）のための暗号化キー派生 601
図 124. サスペンドモードの管理例 602
図 125. ECB 暗号化 603
図 126. ECB 復号 603
図 127. CBC 暗号化 604
図 128. CBC 復号 604
図 129. ECB/CBC 暗号化（モード 1） 605
図 130. ECB/CBC 復号（モード 3） 606
図 131. CTR モードでのメッセージ構造 608
図 132. CTR 暗号化 609
図 133. CTR 復号 609
図 134. GCM でのメッセージ構造 611
図 135. GCM 認証暗号化 612
図 136. GMAC モードでのメッセージ構造 616
図 137. GMAC 認証モード 616
図 138. CCM モードでのメッセージ構造 617
図 139. CCM モード認証暗号化 619
図 140. データスワッピングに関する 128 ビットブロックの構成 623
図 141. 入力フェーズでの 128 ビットデータブロックの DMA 転送 625
図 142. 出力フェーズでの 128 ビットデータブロックの DMA 転送 626
図 143. PKA ブロック図 642
図 144. 高機能制御タイマのブロック図 668
図 145. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 670
図 146. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 670
図 147. 内部クロック分周比が 1 の場合のカウンタのタイミング図 672
図 148. 内部クロック分周比が 2 の場合のカウンタのタイミング図 672

図 149. 内部クロック分周比が 4 の場合のカウンタのタイミング図 673
図 150. 内部クロック分周比が N の場合のカウンタのタイミング図 673
図 151. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図 674
図 152. ARPE=1（TIMx_ARR がプリロードされる）の場合の更新イベント時のカウンタのタイミング図 674
図 153. 内部クロック分周比が 1 の場合のカウンタのタイミング図 676
図 154. 内部クロック分周比が 2 の場合のカウンタのタイミング図 676
図 155. 内部クロック分周比が 4 の場合のカウンタのタイミング図 677
図 156. 内部クロック分周比が N の場合のカウンタのタイミング図 677
図 157. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図 678
図 158. 内部クロック分周比が 1、TIMx_ARR = 0x6 の場合のカウンタのタイミング図 679
図 159. 内部クロック分周比が 2 の場合のカウンタのタイミング図 680
図 160. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 680
図 161. 内部クロック分周比が N の場合のカウンタのタイミング図 681
図 162. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時のカウンタのタイミング図 681
図 163. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図 682
図 164. モードと TIMx_RCR レジスタの設定に応じた更新レートの例 683
図 165. 外部トリガ入力ブロック 684
図 166. TIM1 ETR 入力回路 684
図 167. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図 685
図 168. TI2 外部クロックの接続例 686
図 169. 外部クロックモード 1 の制御回路 687
図 170. 外部トリガ入力ブロック 687
図 171. 外部クロックモード 2 の制御回路 688
図 172. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ） 689
図 173. キャプチャ／比較チャネル 1 メイン回路 689
図 174. キャプチャ／比較チャネル（チャネル 1、同じくチャネル 2 および 3）の出力ステージ 690
図 175. キャプチャ／比較チャネル（チャネル 4）の出力ステージ 690
図 176. キャプチャ／比較チャネル（チャネル 5、同じくチャネル 6）の出力ステージ 691
図 177. PWM 入力モードタイミング 693
図 178. 出力比較モード、OC1 の反転 695
図 179. エッジアライン PWM 波形（ARR=8） 696
図 180. センターアライン PWM 波形（ARR=8） 697
図 181. 50% デューティサイクルの 2 位相シフトされた PWM 信号の生成 698
図 182. チャネル 1 および 3 における組み合わせ PWM モード 700
図 183. 周期ごとの複数トリガパルスを持つ組み合わせ 3 相 PWM 信号 701
図 184. デッドタイム挿入のある相補出力 702
図 185. 負のパルスより長い遅延があるときのデッドタイムの波形 702
図 186. 正のパルスより長い遅延があるときのデッドタイムの波形 703
図 187. ブレークおよびブレーク 2 回路の概要 705
図 188. BRK（OSSI = 1）でのブレークイベントに対するさまざまな出力の動作 707
図 189. BRK および BRK2 ピンのアサート後の PWM 出力状態（OSSI=1） 708
図 190. BRK アサート後の PWM 出力状態（OSSI=0） 709
図 191. 出力先変更（BRK2 リクエストは表示なし） 710
図 192. TIMx OCxREF のクリア 711
図 193. 6 ステップ生成 COM の例（OSSR=1） 712
図 194. ワンパルスモードの例 713
図 195. 再トリガ可能なワンパルスモード 715
図 196. エンコーダインタフェースモードにおけるカウンタの動作例 716
図 197. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 717
図 198. 3 つの信号上のエッジ間の時間間隔の測定 718

図 199. ホールセンサインタフェースの例 720
図 200. リセットモードの制御回路 721
図 201. ゲートモードの制御回路 722
図 202. トリガモードの制御回路 723
図 203. 外部クロックモード 2 ＋トリガモードの制御回路 724
図 204. 汎用タイマのブロック図 769
図 205. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 771
図 206. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 771
図 207. 内部クロック分周比が 1 の場合のカウンタのタイミング図 772
図 208. 内部クロック分周比が 2 の場合のカウンタのタイミング図 773
図 209. 内部クロック分周比が 4 の場合のカウンタのタイミング図 773
図 210. 内部クロック分周比が N の場合のカウンタのタイミング図 774
図 211. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図 774
図 212. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図 775
図 213. 内部クロック分周比が 1 の場合のカウンタのタイミング図 776
図 214. 内部クロック分周比が 2 の場合のカウンタのタイミング図 776
図 215. 内部クロック分周比が 4 の場合のカウンタのタイミング図 777
図 216. 内部クロック分周比が N の場合のカウンタのタイミング図 777
図 217. 更新イベント時のカウンタのタイミング図 778
図 218. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図 779
図 219. 内部クロック分周比が 2 の場合のカウンタのタイミング図 780
図 220. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図 780
図 221. 内部クロック分周比が N の場合のカウンタのタイミング図 781
図 222. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時、カウンタタイミング図 781
図 223. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図 782
図 224. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図 783
図 225. TI2 外部クロックの接続例 783
図 226. 外部クロックモード 1 の制御回路 784
図 227. 外部トリガ入力ブロック 785
図 228. 外部クロックモード 2 の制御回路 786
図 229. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ） 786
図 230. キャプチャ／比較チャネル 1 メイン回路 787
図 231. キャプチャ／比較チャネル（チャネル 1）の出力ステージ 787
図 232. PWM 入力モードタイミング 789
図 233. 出力比較モード、OC1 の反転 791
図 234. エッジアライン PWM 波形（ARR=8） 792
図 235. センターアライン PWM 波形（ARR=8） 794
図 236. 50% デューティサイクルの 2 位相シフトされた PWM 信号の生成 795
図 237. チャネル 1 および 3 における組み合わせ PWM モード 796
図 238. TIMx OCxREF のクリア 797
図 239. ワンパルスモードの例 798
図 240. 再トリガ可能なワンパルスモード 800
図 241. エンコーダインタフェースモードにおけるカウンタの動作例 801
図 242. TI1FP1 の極性を反転したエンコーダインタフェースモードの例 802
図 243. リセットモードの制御回路 803
図 244. ゲートモードの制御回路 804
図 245. トリガモードの制御回路 805
図 246. 外部クロックモード 2 ＋トリガモードの制御回路 806
図 247. マスタ／スレーブタイマの例 807
図 248. 1 チャネルだけのタイマのマスタ／スレーブ接続例 807

図 249. TIM1 の OC1REF による TIM2 のゲート操作 808
図 250. TIM1 の有効化による TIM2 のゲート操作 809
図 251. TIM1 の更新による TIM2 のトリガ 810
図 252. TIM1 の有効化による TIM2 のトリガ 810
図 253. TIM16/TIM17 ブロック図 840
図 254. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図 842
図 255. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図 842
図 256. 内部クロック分周比が 1 の場合のカウンタのタイミング図 844
図 257. 内部クロック分周比が 2 の場合のカウンタのタイミング図 844
図 258. 内部クロック分周比が 4 の場合のカウンタのタイミング図 845
図 259. 内部クロック分周比が N の場合のカウンタのタイミング図 845
図 260. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図 846
図 261. ARPE=1（TIMx_ARR がプリロードされる）の場合の更新イベント時のカウンタのタイミング図 846
図 262. モードと TIMx_RCR レジスタの設定に応じた更新レートの例 848
図 263. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図 849
図 264. TI2 外部クロックの接続例 849
図 265. 外部クロックモード 1 の制御回路 850
図 266. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ） 851
図 267. キャプチャ／比較チャネル 1 メイン回路 851
図 268. キャプチャ／比較チャネル（チャネル 1）の出力ステージ 852
図 269. 出力比較モード、OC1 の反転 855
図 270. エッジアライン PWM 波形（ARR=8） 856
図 271. デッドタイム挿入のある相補出力 857
図 272. 負のパルスより長い遅延があるときのデッドタイムの波形 857
図 273. 正のパルスより長い遅延があるときのデッドタイムの波形 857
図 274. ブレークに対する出力の動作 860
図 275. 出力先変更 862
図 276. 6 ステップ生成 COM の例（OSSR=1） 863
図 277. ワンパルスモードの例 864
図 278. 低電力タイマのブロック図 892
図 279. グリッチフィルタのタイミング図 894
図 280. LPTIM 出力波形、シングルカウントモードの設定 895
図 281. LPTIM 出力波形、シングルカウントモードの設定、セットワンスモードのアクティブ化（WAVE ビットがセットされている場合） 896
図 282. LPTIM 出力波形、連続カウントモードの設定 896
図 283. 波形生成 898
図 284. エンコーダモードのカウントシーケンス 901
図 285. TIM16 および TIM17 との IRTIM 内部ハードウェア接続 914
図 286. RTC のブロック図 917
図 287. 独立型ウォッチドッグのブロック図 956
図 288. ウォッチドッグのブロック図 966
図 289. ウィンドウ型ウォッチドッグのタイミング図 967
図 290. I^2C ブロック図 974
図 291. I2C バスプロトコル 976
図 292. セットアップおよびホールドタイミング 978
図 293. I^2C 初期化フロー 980
図 294. データ受信 981
図 295. データ送信 982
図 296. スレーブ初期化フロー 985
図 297. I^2C スレーブトランスミッタの転送シーケンスフロー（NOSTRETCH = 0） 987

図 298. I^2C スレーブトランスミッタの転送シーケンスフロー（NOSTRETCH = 1）.....988
図 299. I^2C スレーブトランスミッタの転送バス図（必須イベントのみ）.....989
図 300. スレーブレシーバの転送シーケンスフロー（NOSTRETCH = 0）.....990
図 301. スレーブレシーバの転送シーケンスフロー（NOSTRETCH = 1）.....991
図 302. I^2C スレーブレシーバの転送バス図（必須イベントのみ）.....991
図 303. マスタクロック生成 993
図 304. マスタ初期化フロー 995
図 305. HEAD10R = 0 のときの 10 ビットアドレス読出しアクセス 995
図 306. HEAD10R = 1 のときの 10 ビットアドレス読出しアクセス 996
図 307. N ≤ 255 バイトの場合の I^2C マスタトランスミッタの転送シーケンスフロー.....997
図 308. N > 255 バイトの場合の I^2C マスタトランスミッタの転送シーケンスフロー.....998
図 309. I^2C マスタトランスミッタの転送バス図（必須イベントのみ）.....999
図 310. N ≤ 255 バイトの場合の I^2C マスタレシーバの転送シーケンスフロー 1001
図 311. N > 255 バイトの場合の I^2C マスタレシーバの転送シーケンスフロー 1002
図 312. I^2C マスタレシーバの転送バス図（必須イベントのみ）.....1003
図 313. $t_{LOW:SEXT}$、$t_{LOW:MEXT}$ のタイムアウト間隔 1007
図 314. N バイト + PEC の場合の SMBus スレーブトランスミッタの転送シーケンスフロー.....1010
図 315. SMBus スレーブトランスミッタの転送バス図（SBC = 1）.....1011
図 316. N バイト + PEC の場合の SMBus スレーブレシーバの転送シーケンスフロー 1012
図 317. SMBus スレーブレシーバのバス転送図（SBC = 1）.....1013
図 318. SMBus マスタトランスミッタのバス転送図.....1014
図 319. SMBus マスタレシーバのバス転送図 1016
図 320. USART ブロック図 1040
図 321. ワード長のプログラミング 1043
図 322. 設定可能なストップビット 1045
図 323. 送信時の TC/TXE の動作.....1047
図 324. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出 1048
図 325. usart_ker_ck クロック分周回路のブロック図.....1051
図 326. データサンプリング（16 倍のオーバーサンプリング）.....1053
図 327. データサンプリング（8 倍のオーバーサンプリング）.....1053
図 328. アイドルライン検出を使用したミュートモード.....1059
図 329. アドレスマーク検出を使用したミュートモード.....1060
図 330. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）.....1063
図 331. LIN モードでのブレーク検出とフレーミングエラー検出 1064
図 332. USART の同期マスタ送信の例 1065
図 333. 同期マスタモードでの USART データクロックタイミング図（M ビット = 00）.....1065
図 334. 同期マスタモードでの USART データクロックタイミング図（M ビット = 01）.....1066
図 335. 同期スレーブモードでの USART データクロックタイミング図（M ビット = 00）.....1067
図 336. ISO 7816-3 非同期プロトコル.....1069
図 337. ストップビット 1.5 個を使用したパリティエラー検出.....1071
図 338. IrDA SIR ENDEC ブロック図 1074
図 339. IrDA データ変調（3/16）- 通常モード.....1075
図 340. DMA を使用した送信.....1076
図 341. DMA を使用した受信.....1077
図 342. 2 つの USART 間のハードウェアフロー制御 1078
図 343. RS232 RTS フロー制御.....1078
図 344. RS232 CTS フロー制御.....1079
図 345. 確認されたウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効）..1082
図 346. 確認されないウェイクアップイベント（ウェイクアップイベント = アドレス一致、
FIFO 無効）.....1082
図 347. LPUART ブロック図 1125
図 348. LPUART ワード長のプログラミング 1127

図 349. 設定可能なストップビット 1129
図 350. 送信時の TC/TXE の動作 1131
図 351. lpuart_ker_ck クロック分周回路のブロック図 1134
図 352. アイドルライン検出を使用したミュートモード 1138
図 353. アドレスマーク検出を使用したミュートモード 1139
図 354. DMA を使用した送信 1142
図 355. DMA を使用した受信 1143
図 356. 2 つの LPUART 間のハードウェアフロー制御 1144
図 357. RS232 RTS フロー制御 1144
図 358. RS232 CTS フロー制御 1145
図 359. 確認されたウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効） . . . 1148
図 360. 確認されないウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効） . . 1148
図 361. SPI ブロック図 1177
図 362. 全二重シングルマスタ／シングルスレーブアプリケーション 1178
図 363. 半二重シングルマスタ／シングルスレーブアプリケーション 1179
図 364. 単方向シングルマスタ／シングルスレーブアプリケーション
（送信専用モードのマスタ／受信専用モードのスレーブ） 1180
図 365. マスタと 3 つの独立したスレーブ 1181
図 366. マルチマスタアプリケーション 1182
図 367. ハードウェア／ソフトウェアスレーブ選択管理 1183
図 368. データクロックのタイミング図 1184
図 369. データ長が 8 ビットまたは 16 ビットと等しくない場合のデータ配置 1185
図 370. 送受信用 FIFO でのデータのパッキング 1189
図 371. マスタの全二重通信 1192
図 372. スレーブの全二重通信 1193
図 373. CRC のあるマスタの全二重通信 1194
図 374. パックされたモードでのマスタの全二重通信 1195
図 375. モトローラ SPI マスタモードでの NSSP パルス生成 1198
図 376. TI モードでの転送 1199
図 377. SAI 機能ブロック図 1212
図 378. オーディオフレーム 1215
図 379. FS の機能は、フレーム開始 + チャネルサイド識別（FSDEF = TRIS = 1） 1217
図 380. FS の機能はフレーム開始（FSDEF = 0） 1218
図 381. スロットサイズ設定（SAI_xSLOTR で FBOFF = 0 の場合） 1219
図 382. 先頭ビットオフセット 1219
図 383. オーディオブロッククロックジェネレータの概要 1221
図 384. PDM 標準接続とタイミング 1225
図 385. PDM インタフェースの詳細ブロック図 1226
図 386. 起動シーケンス 1227
図 387. TDM の SAI_ADR フォーマット（32 ビットスロット幅） 1228
図 388. TDM の SAI_ADR フォーマット（16 ビットスロット幅） 1229
図 389. TDM の SAI_ADR フォーマット（8 ビットスロット幅） 1230
図 390. AC’97 オーディオフレーム 1233
図 391. SPDIF フォーマット 1234
図 392. SAI_xDR レジスタの順序 1235
図 393. SAI オーディオブロックのデータコンパンディングハードウェア 1238
図 394. 非アクティブスロットにおける SD 出力ラインのトライステート化 1239
図 395. I2S のようなプロトコルにおける出力データラインのトライステート化 1240
図 396. オーバーラン検出エラー 1241
図 397. FIFO アンダーランイベント 1241
図 398. IPCC ブロック図 1275
図 399. IPCC 単方向チャネルモードの転送タイミング 1276

図 400. IPCC 単方向 - 送信手順の状態図 1277
図 401. IPCC 単方向 - 受信手順の状態図 1278
図 402. IPCC 半二重チャネルモードの転送タイミング 1279
図 403. IPCC 半二重 - 送信手順の状態図 1279
図 404. IPCC 半二重 - 受信手順の状態図 1280
図 405. HSEM のブロック図 1288
図 406. 手順の状態図 1289
図 407. 割込みの状態図 1292
図 408. USB ペリフェラルのブロック図 1302
図 409. パケットバッファ領域とバッファ記述テーブルの位置の例 1306
図 410. CRS のブロック図 1334
図 411. CRS カウンタの動作 1335
図 412. デバッグサポートインフラストラクチャのブロック図 1346
図 413. JTAG TAP のステートマシン 1349
図 414. デバッグポートとアクセスポートの接続 1362
図 415. デバッグコンポーネントへのデバッガの接続 1364
図 416. 組み込みクロストリガ 1370
図 417. トリガ入力から出力へマッピング 1372
図 418. クロストリガ設定例 1373
図 419. CPU2 CoreSight™ トポロジ 1401
図 420. CPU1 CoreSight™ トポロジ 1437
図 421. トレースポートインタフェースユニット（TPIU） 1497

1 このマニュアルにおける表記の規則

1.1 一般情報

STM32WB55xx/STM32WB35xx デバイスは Arm®(a) CPU1 Cortex®-M4 コアを内蔵しています。

1.2 レジスタに関する略記

レジスタの説明では、次の略記(b) が使用されます。

読出し／書込み（rw）	このビットは、ソフトウェアによる読出しと書込みが可能です。
読出し専用（r）	このビットは、ソフトウェアによる読出しのみが可能です。
書込み専用（w）	このビットは、ソフトウェアによる書込みのみが可能です。このビットを読み出すと、リセット値が返されます。
読出し／クリア書込み 0（rc_w0）	このビットは、ソフトウェアによって読み出すことができ、“0”を書き込むことによってクリアできます。“1”を書き込んでも、ビットの値は変化しません。
読出し／クリア書込み 1（rc_w1）	このビットは、ソフトウェアによって読み出すことができ、“1”を書き込むことによってクリアできます。“0”を書き込んでも、ビットの値は変化しません。
読出し／クリア書込み（rc_w）	このビットは、ソフトウェアによって読み出すことができ、レジスタへの書込みによってクリアできます。このビットに書き込まれた値は重要ではありません。
読出し／読出しによるクリア（rc_r）	このビットは、ソフトウェアによって読み出すことができます。このビットを読み出すと、自動的に“0”にクリアされます。このビットを書き込んでも、ビットの値は変化しません。
読出し／読出しによるセット（rs_r）	このビットは、ソフトウェアによって読み出すことができます。このビットを読み出すと、自動的に“1”にセットされます。このビットを書き込んでも、ビットの値は変化しません。
読出し／セット（rs）	このビットは、ソフトウェアによって読出しとセットが可能です。“0”を書き込んでも、ビットの値は変化しません。
読出し／ 1 回だけ書込み（rwo）	このビットは、ソフトウェアによって 1 回だけ書き込むことができ、いつでも読み出すことができます。1 回リセットするだけで、このビットをそのリセット値に戻すことができます。
反転（t）	このビットは、ソフトウェアによって“1”を書き込むことで反転できます。0 を書き込んでも、ビットの値は変化しません。
読出し専用書込みトリガ（rt_w1）	このビットは、ソフトウェアによって読み出すことができます。“1”を書き込むと、イベントがトリガされますが、ビットの値は変化しません。
予約済み（Res.）	予約済みビットであり、リセット値に保持する必要があります。

a. Arm は、米国内およびその他の地域にある Arm Limited 社（またはその子会社）の登録商標です。

b. 上記が ST マイクロエレクトロニクス製マイクロコントローラに適用できる略語のすべてですが、本書では使用されていないものもあります。

1.3 用語

このセクションでは、本書で用いられる略語についての定義の概要を掲載しています。

- **ワード**：32 ビット長のデータ。
- **ハーフワード**：16 ビット長のデータ。
- **バイト**：8 ビット長のデータ。
- **オプションバイト**：Flash メモリに格納された製品設定ビットです。
- **AHB**：アドバンストハイパフォーマンスバス。

1.4 使用可能なペリフェラル

すべての販売タイプで使用可能なペリフェラルとその数については、該当するデバイスのデータシートを参照してください。

2 システムおよびメモリの概要

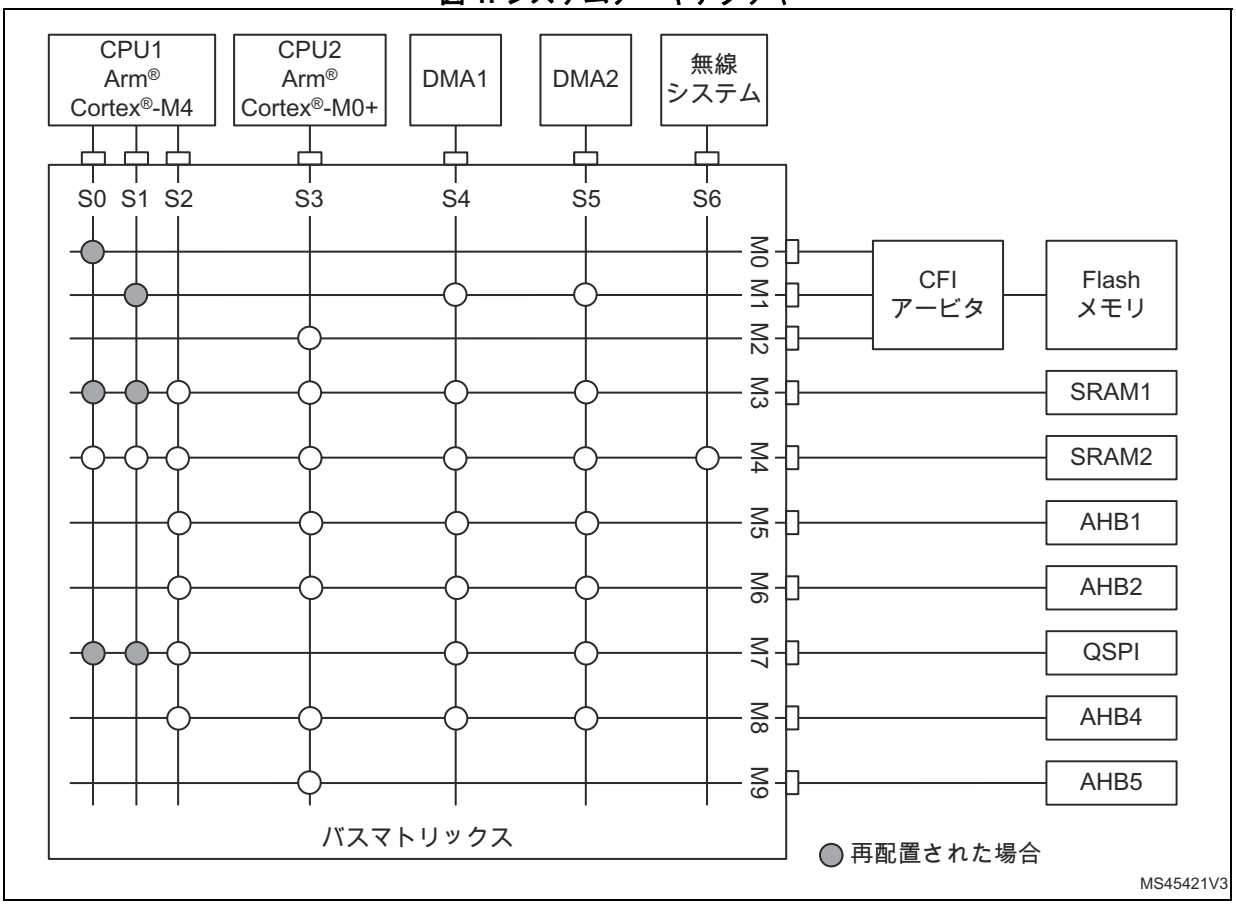
2.1 システムアーキテクチャ

メインシステムは、以下のものを相互接続する 32 ビットマルチレイヤ AHB バスマトリクスで構成されています。

- 7 個のマスタ：
  - CPU1（FPU 搭載CPU1 Cortex®-M4）コアの I バス
  - CPU1（FPU 搭載CPU1 Cortex®-M4）コアの D バス
  - CPU1（FPU 搭載CPU1 Cortex®-M4）コアの S バス
  - CPU2（Cortex® -M0+）コアの S バス
  - DMA1
  - DMA2
  - 無線システム
- 10 個のスレーブ：
  - CPU1（CPU1 Cortex®-M4）の ICode バス上の内蔵Flashメモリ
  - CPU1（CPU1 Cortex®-M4）の DCode バス上の内蔵Flashメモリ
  - CPU2（Cortex® -M0+）の S バス上の内蔵Flashメモリ
  - 内蔵 SRAM1（最大 192 KB)
  - 内蔵 SRAM2a（32 KB）+ SRAM2b（32 KB）
  - AHB－APB ブリッジおよび APB ペリフェラルを含む AHB1 ペリフェラル（APB1 および APB2 に接続）
  - AHB2 ペリフェラル
  - Quad SPI メモリインタフェース（QUADSPI）
  - AHB4 共有ペリフェラル
  - AHB から APB へのブリッジおよび無線ペリフェラルを含む AHB5（APB3 に接続）

複数のハイスピードペリフェラルが同時動作中であっても、バスマトリクスによって、マスタからスレーブへのアクセスが可能になるとともに、同時アクセスや効率的な動作を行うことが可能になっています。このアーキテクチャを図 1 に示します。

図 1. システムアーキテクチャ



2.1.1 S0：CPU1（CPU1 Cortex®-M4）の I バス

このバスによって、CPU1 コアの命令バスがバスマトリックスに接続されます。コアは、このバスを用いて命令をフェッチします。このバスのターゲットは、内蔵Flashメモリ、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、および QUADSPI を経由した外部メモリです。

2.1.2 S1：CPU1（CPU1 Cortex®-M4）の D バス

このバスによって、CPU1 コアのデータバスがバスマトリックスに接続されます。このバスは、コアによってリテラルロードとデバッグアクセスに使用されます。このバスのターゲットは、内蔵Flashメモリ、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、および QUADSPI を経由した外部メモリです。

2.1.3 S2：CPU1（CPU1 Cortex®-M4）の S バス

このバスによって、CPU1 コアのシステムバスがバスマトリックスに接続されます。コアがこのバスを使用してペリフェラルまたは SRAM 領域内のデータにアクセスします。このバスの対象となるのは、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、AHB4 ペリフェラル、および QUADSPI を経由した外部メモリです。

2.1.4 S3：CPU2（Cortex®-M0+）の S バス

このバスによって、CPU2 コアのシステムバスがバスマトリックスに接続されます。コアは、リテラルロードとデバッグアクセスのため、このバスを用いて命令をフェッチし、ペリフェラルまたは SRAM 領域にあるデータにアクセスします。このバスの対象となるのは、内蔵Flashメモリ、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、AHB4 ペリフェラル、および APB3 ペリフェラルを含む AHB5 ペリフェラルです。

2.1.5 S4、S5：DMA バス

このバスによって、DMA の AHB マスタインタフェースがバスマトリックスに接続されます。このバスの対象となるのは、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、APB1 ペリフェラルおよび APB2 ペリフェラルを含む AHB1 ペリフェラル、AHB2 ペリフェラル、AHB4 ペリフェラル、および QUADSPI を経由した外部メモリです。

2.1.6 S6：無線システムバス

このバスによって、無線システムの AHB マスタインタフェースがバスマトリックスに接続されます。このバスの対象となるのは、SRAM2a（バックアップ）と SRAM2b（非バックアップ）です。

2.1.7 バスマトリックス

このバスマトリックスによって、マスタ間のアクセス調停を管理します。調停には、ラウンドロビン方式を使用します。バスマトリックスは、7 個のマスタ（CPU1：システムバス、DCode バス、ICode バス、CPU2：システムバス、DMA1 バス、DMA2 バス、および無線システムバス）と 10 個のスレーブ（3 x Flashメモリ、SRAM1、SRAM2a（バックアップ）、SRAM2b（非バックアップ）、AHB1（APB1 および APB2 を含む）、AHB2、QUADSPI、AHB4、および AHB5）で構成されています。

AHB/APB ブリッジ

AHB から APB1 と AHB から ABP2 の 2 つのブリッジは、AHB および 2 つの APB バス間に完全同期接続を提供し、ペリフェラル周波数の柔軟な選択を可能にしています。

AHB から APB3 のブリッジは、AHB および APB バス間に非同期接続を提供し、AHB とペリフェラルの間の周波数の柔軟な選択を可能にしています。

このブリッジに接続されたペリフェラルのアドレスマッピングについては、セクション 2.2：メモリ構成を参照してください。

各デバイスはリセット後、すべてのペリフェラルクロックは無効になります（SRAM1/2 とFlashメモリインタフェースは除きます）。ペリフェラルを使用する前に、RCC_AHBxENR および RCC_APBxENR レジスタでクロックを有効にする必要があります。

注： **APB レジスタに 16 または 8 ビットアクセスが行われるときには、アクセスは 32 ビットアクセスに変換されます。すなわち、ブリッジが 16 または 8 ビットのデータを複製して、32 ビットのベクタを供給します。**

2.2 メモリ構成

2.2.1 概要

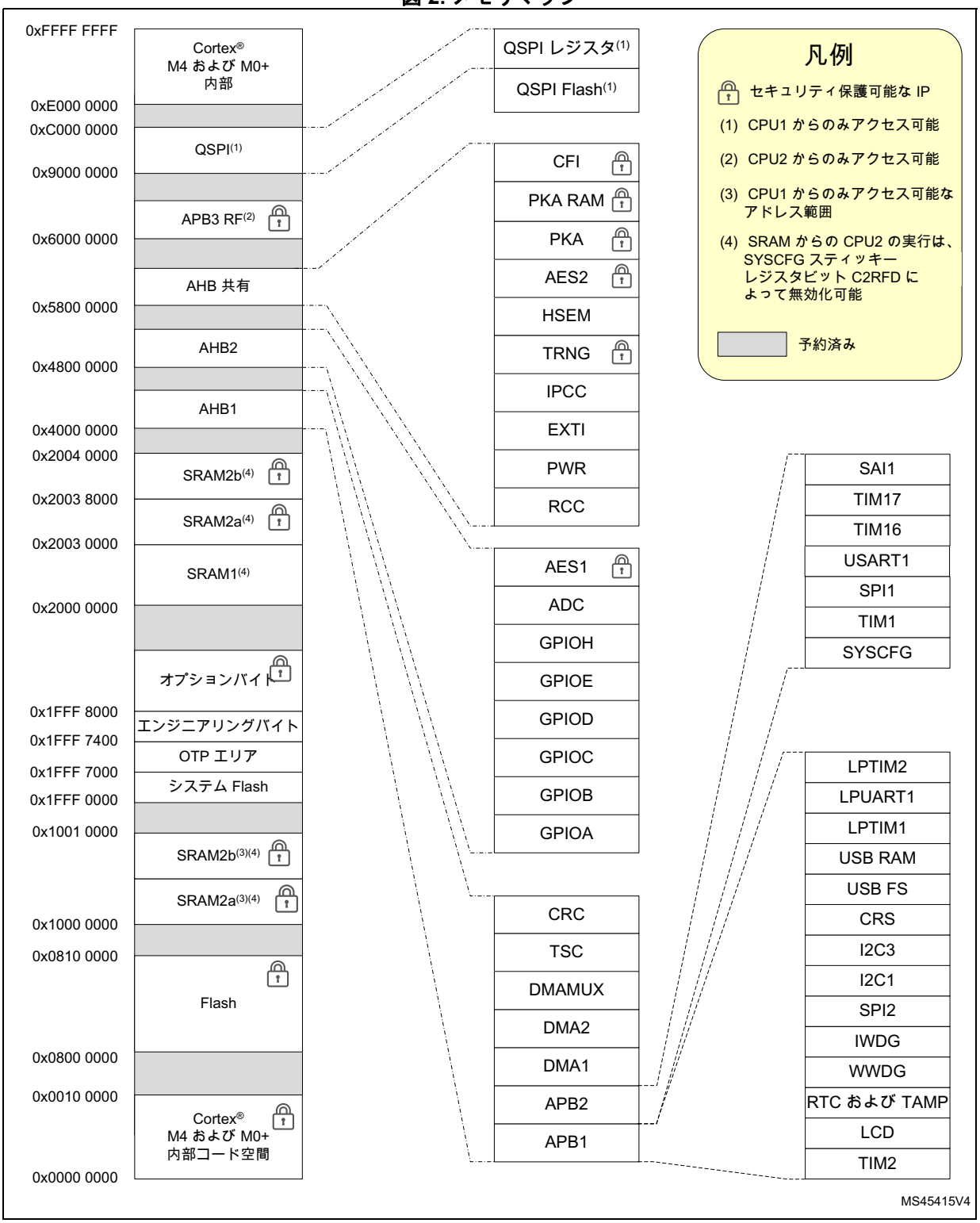
プログラムメモリ、データメモリ、レジスタ、および I/O ポートは、同じ 4 GB のリニアなアドレス空間に配置されています。

バイトは、メモリ内でリトルエンディアン形式でコード化されます。ワード内で最も小さな番号のバイトがワードの最下位バイトとみなされ、最も大きな番号のバイトが最上位バイトとみなされます。

アドレス指定可能なメモリ空間は、それぞれ 512 MB の 8 つのメインブロックに分けられています。

2.2.2 メモリマップとレジスタ境界アドレス

図 2. メモリマップ



1. QUADSPI ペリフェラルを正しく設定し、有効にする前に、QUADSPI Flashバンク領域にアクセスすることは禁じられています。

オンチップメモリとペリフェラルに割り当てられていないメモリ領域はすべて、「予約済み」とみなされます。使用可能なメモリとレジスタ領域の詳細な配置については、使用可能なペリフェラルの境界アドレスを示した下表を参照してください。

表 1. メモリマップとペリフェラルのレジスタ境界アドレス

バス	境界アドレス	サイズ（バイト）	ペリフェラル	ペリフェラルレジスタマップ
AHB3	0xA000 1000 - 0xA000 13FF	1 K	QUADSPI	セクション 15.5.14:421 ページのQUADSPI レジスタマップ
	0xA000 0000 - 0xA000 0FFF	4 K	予約済みです。	-
	0x9000 0000 - 0x9FFF FFFF	256 M	QUADSPI Flash	-
-	0x6000 2000 - 0x8FFF FFFF	-	予約済みです。	-
APB3	0x6000 1000 - 0x6000 1FFF	4 K	802.15.4 CTRL	-
	0x6000 0800 - 0x6000 0FFF	2 K	予約済みです。	-
	0x6000 0400 - 0x6000 07FF	1 K	無線 CTRL	-
	0x6000 0000 - 0x6000 03FF	1 K	BLE CTRL	-
AHB4	0x5800 4400 - 0x5FFF FFFF	128 K	予約済みです。	-
	0x5800 4000 - 0x5800 43FF	1 K	FLASH	セクション 3.10.20 : 128 ページのFlash レジスタマップ
	0x5800 3400 - 0x5800 3FFF	3 K	予約済みです。	-
	0x5800 2400 - 0x5800 33FF	5 K	PKA RAM	セクション 23.7.5 : 666 ページのPKA レジスタマップ
	0x5800 2000 - 0x5800 23FF		PKA	
	0x5800 1C00 - 0x5800 1FFF	1 K	予約済みです。	-
	0x5800 1800 - 0x5800 1BFF	1 K	AES2	セクション 22.7.18 : 640 ページのAES レジスタマップ
	0x5800 1400 - 0x5800 17FF	1 K	HSEM	セクション 38.4.9 : 1299 ページのHSEM レジスタマップ
	0x5800 1000 - 0x5800 13FF	1 K	True RNG	セクション 21.7.4 : 590 ページのRNG レジスタマップ
	0x5800 0C00 - 0x5800 0FFF	1 K	IPCC	セクション 37.4.9:1286 ページのIPCC レジスタマップ
	0x5800 0800 - 0x5800 0BFF	1 K	EXTI	セクション 14.6.17:394 ページのEXTI レジスタマップ
	0x5800 0400 - 0x5800 07FF	1 K	PWR	セクション 6.6.24 : 194 ページのPWR レジスタマップとリセット値の表
	0x5800 0000 - 0x5800 03FF	1 K	RCC	セクション 8.4.49 : 290 ページのRCC レジスタマップ

表 1. メモリマップとペリフェラルのレジスタ境界アドレス （続き）

バス	境界アドレス	サイズ（バイト）	ペリフェラル	ペリフェラルレジスタマップ
AHB2	0x5006 0400 - 0x57FF FFFF	-	予約済みです。	-
	0x5006 0000 - 0x5006 03FF	1 K	AES1	セクション 22.7.18 : 640 ページのAES レジスタマップ
	0x5004 0000 - 0x5004 03FF	1 K	ADC	セクション 16.9 : 511 ページのADC レジスタマップ
	0x4800 1C00 - 0x4800 1FFF	1 K	GPIOH	セクション 9.5.12 : 312 ページのGPIO レジスタマップ
	0x4800 1400 - 0x4800 1BFF	3 K	予約済みです。	-
	0x4800 1000 - 0x4800 13FF	1 K	GPIOE	セクション 9.5.12 : 312 ページのGPIO レジスタマップ
	0x4800 0C00 - 0x4800 0FFF	1 K	GPIOD	
	0x4800 0800 - 0x4800 0BFF	1 K	GPIOC	
	0x4800 0400 - 0x4800 07FF	1 K	GPIOB	
	0x4800 0000 - 0x4800 03FF	1 K	GPIOA	
AHB1	0x4002 4400 - 0x47FF FFFF	127 M	予約済みです。	-
	0x4002 4000 - 0x4002 43FF	1 K	TSC	セクション 20.6.11 : 577 ページのTSC レジスタマップ
	0x4002 3400 - 0x4002 3FFF	3 K	予約済みです。	-
	0x4002 3000 - 0x4002 33FF	1 K	CRC	セクション 5.4.6 : 138 ページのCRC レジスタマップ
	0x4002 0C00 - 0x4002 2FFF	9 K	予約済みです。	-
	0x4002 0800 - 0x4002 0BFF	1 K	DMAMUX	セクション 12.6.7 : 366 ページのDMAMUX レジスタマップ
	0x4002 0400 - 0x4002 07FF	1 K	DMA2	セクション 11.6.7 : 349 ページのDMA レジスタマップ
	0x4002 0000 - 0x4002 03FF	1 K	DMA1	
-	0x4001 5800 - 0x4001 FFFF	42 K	予約済みです。	-

表 1. メモリマップとペリフェラルのレジスタ境界アドレス （続き）

バス	境界アドレス	サイズ（バイト）	ペリフェラル	ペリフェラルレジスタマップ
APB2	0x4001 5400 - 0x4001 57FF	1 K	SAI1	セクション 36.6.19:1272 ページのSAI レジスタマップ
	0x4001 4C00 - 0x4001 53FF	2 K	予約済みです。	-
	0x4001 4800 - 0x4001 4BFF	1 K	TIM17	セクション 26.4.23 : 888 ページの TIM16/TIM17 レジスタマップ
	0x4001 4400 - 0x4001 47FF	1 K	TIM16	セクション 26.4.23 : 888 ページの TIM16/TIM17 レジスタマップ
	0x4001 3C00 - 0x4001 43FF	2 K	予約済みです。	-
	0x4001 3800 - 0x4001 3BFF	1 K	USART1	セクション 33.8.15 : 1120 ページのUSART レジスタマップ
	0x4001 3400 - 0x4001 37FF	1 K	予約済みです。	-
	0x4001 3000 - 0x4001 33FF	1 K	SPI1	セクション 35.6.8 : 1210 ページのSPI レジスタマップ
	0x4001 2C00 - 0x4001 2FFF	1 K	TIM1	セクション 24.4.30:765 ページのTIM1 レジスタマップ
	0x4001 0400 - 0x4001 2BFF	10 K	予約済みです。	-
	0x4001 0200 - 0x4001 03FF	1 K	COMP	セクション 18.6.3 : 529 ページのCOMP レジスタマップ
	0x4001 0100 - 0x4001 01FF		SYSCFG	セクション 10.2.17 : 329 ページのSYSCFG レジスタマップ
	0x4001 0030 - 0x4001 00FF		VREFBUF	セクション 17.5.3 : 516 ページのVREFBUF レジスタマップ
	0x4001 0000 - 0x4001 002F		SYSCFG	セクション 10.2.17 : 329 ページのSYSCFG レジスタマップ

表 1. メモリマップとペリフェラルのレジスタ境界アドレス （続き）

バス	境界アドレス	サイズ（バイト）	ペリフェラル	ペリフェラルレジスタマップ
APB1	0x4000 9800 - 0x4000 FFFF	26 K	予約済みです。	-
	0x4000 9400 - 0x04000 97FF	1 K	LPTIM2	セクション 27.7.11 : 913 ページのLPTIM レジスタマップ
	0x4000 8400 - 0x04000 93FF	4 K	予約済みです。	-
	0x4000 8000 - 0x04000 83FF	1 K	LPUART1	セクション 34.7.13 : 1174 ページのLPUART レジスタマップ
	0x4000 7C00 - 0x04000 7FFF	1 K	LPTIM1	セクション 27.7.11 : 913 ページのLPTIM レジスタマップ
	0x4000 7000 - 0x04000 7BFF	3 K	予約済みです。	-
	0x4000 6C00 - 0x04000 6FFF	1 K	USB SRAM	セクション 39.6.3 : 1331 ページのUSB レジスタマップ
	0x4000 6800 - 0x04000 6BFF	1 K	USB FS	セクション 39.6.3 : 1331 ページのUSB レジスタマップ
	0x4000 6400 - 0x04000 67FF	1 K	予約済みです。	-
	0x4000 6000 - 0x04000 63FF	1 K	CRS	セクション 40.7.5 : 1343 ページのCRS レジスタマップ
	0x4000 5C00 - 0x04000 5FFF	1 K	I2C3	セクション 32.7.12 : 1036 ページのI2C レジスタマップ
	0x4000 5800 - 0x04000 5BFF	1 K	予約済みです。	-
	0x4000 5400 - 0x04000 57FF	1 K	I2C1	セクション 32.7.12 : 1036 ページのI2C レジスタマップ
	0x4000 3C00 - 0x04000 53FF	6 K	予約済みです。	-
	0x4000 3800 - 0x04000 3BFF	1 K	SPI2	セクション 35.6.8 : 1210 ページのSPI レジスタマップ
	0x4000 3400 - 0x4000 37FF	1 K	予約済みです。	-
	0x4000 3000 - 0x4000 33FF	1 K	IWDG	セクション 30.4.6 : 964 ページのIWDG レジスタマップ
	0x4000 2C00 - 0x4000 2FFF	1 K	WWDG	セクション 31.5.4 : 971 ページのWWDG レジスタマップ
	0x4000 2800 - 0x4000 2BFF	1 K	RTC & TAMP	セクション 29.7.21 : 954 ページのRTC レジスタマップ
	0x4000 2400 - 0x4000 27FF	1 K	LCD	セクション 19.6.8 : 559 ページのLCD レジスタマップ
	0x4000 0400 - 0x4000 23FF	8 K	予約済みです。	-
	0x4000 0000 - 0x4000 03FF	1 K	TIM2	セクション 25.4.25 : 836 ページのTIMx レジスタマップ
AHB4	0x2003 8000 - 0x2003 FFFF	32 K	SRAM2b	-
	0x2003 0000 - 0x2003 7FFF	32 K	SRAM2a	-
	0x2000 3000 - 0x2002 FFFF	36 K	予約済みです。	-
AHB1	0x2000 0000 - 0x2002 FFFF	192 K(1)	SRAM1	-

表 1. メモリマップとペリフェラルのレジスタ境界アドレス （続き）

バス	境界アドレス	サイズ（バイト）	ペリフェラル	ペリフェラルレジスタマップ
AHB4	0x1FFF 8000 - 0x1FFF 807F	128B	Flashメモリオプション	セクション 3.10.20：128 ページのFlash レジスタマップ
	0x1FFF 7000 - 0x1FFF 73FF	1 K	Flashメモリ OTP	-
	0x1FFF 0000 - 0x1FFF 6FFF	28 K	Flash メモリ・ブート・ローダ	-
	0x1000 0000 - 0x1000 FFFF	64 K	SRAM2a/b CPU1 ミラー	-
	0x0800 0000 - 0x080F FFFF	1 M (1)	ユーザFlashメモリ	-
(2)	0x0000 0000 - 0x000F FFFF	1 M (1)	CPUn ブート領域	-

1. デバイスによって異なりますので、製品データシートを参照してください。
2. バスは選択した CPUn ブート領域によって異なります。

2.2.3 ビットバンディング

CPU1 マップには、2 つのビットバンド領域が含まれています。これらの領域は、メモリのエイリアス領域内の各ワードをメモリのビットバンド領域のビットに割り当てます。エイリアス領域のワードへの書込みは、ビットバンド領域の対象ビットへの読出し／変更／書込み操作と同じ効果を持ちます。

AHB1、APB1、APB2 ペリフェラルレジスタと SRAM1、SRAM2a、SRAM2b はビットバンド領域に配置されるため、シングルビットバンドの書込みおよび読出し動作が許可されます。操作は CPU1 アクセスでのみ可能であり、他のバスマスタ（DMA など）からはできません。

ペリフェラルのビットバンド･エイリアスは、アドレス 0x4200 0000 ～ 0x42FF FFFF に配置されています。

SRAM のビットバンド･エイリアスは、アドレス 0x2200 0000 ～ 0x227F FFFF に配置されています。

マッピングの計算式は、エイリアス領域の各ワードからビットバンド領域の対応するビットを参照する方法を示します。マッピング式は、次のとおりです。

bit_word_addr = bit_band_base + (byte_offset * 32) + (bit_number * 4)、ここで：

- bit_word_addr は、対象ビットに割り当てられるエイリアス･メモリ領域内のワードのアドレスです。
- bit_band_base は、エイリアス領域の開始アドレスです。
- byte_offset は、対象ビットを含む bit_band 領域のバイト数です。
- bit_number は、対象ビットのビット位置（0-7）です。

例

次の例は、SRAM1 アドレス 0x2000 0300 にあるバイトのビット [2] がどのようにエイリアス領域に割り当てられるかを示します。

0x2200 6008 = 0x2200 0000 + 0x0300 * 32 + 2 * 4

アドレス 0x2200 6008 への書込みは、SRAM1 アドレス 0x2000 0300 のバイトのビット [2] に対して読出し／変更／書込み操作を実行するのと同じ効果があります。

アドレス 0x2200 6008 を読み出すと、SRAM1 アドレス 0x2000 0300 のバイトのビット [2] の値（0x01 または 0x00）が返されます。

ビットバンドの詳細については、Cortex®-M4 プログラミングマニュアルを参照してください。

2.3 ブート設定

表 2 に示すように、BOOT0 ピンおよびユーザオプションの nBOOT1 ビットによって 3 つの CPU1 ブートモードを選択できます。

表 2. ブートモード

nBOOT1 FLASH_OPTR[23]	nBOOT0 FLASH_OPTR[27]	BOOT0 ピンの PH3	nSWBOOT0 FLASH_OPTR[26]	メインFlash メモリが空で あること(1)	ブートメモリ 空間エイリアス
x	x	0	1	0	メインFlashメモリがブート領域として選択されます。
x	x	0	1	1	システムメモリがブート領域として選択されます。
x	1	x	0	x	メインFlashメモリがブート領域として選択されます。
0	x	1	1	x	内蔵 SRAM1 がブート領域として選択されます。
0	0	x	0	x	
1	x	1	1	x	システムメモリがブート領域として選択されます。
1	0	x	0	x	

1. 最初のFlashメモリ位置（0xFFFF FFFF）がプログラムされておらず、ブート選択でメインFlashメモリからブートするように設定されている場合に、システムのFlashからブートを強制的に実行するための、Flashエンプティチェック・メカニズムが実装されています。

BOOT0 と BOOT1 の両方の値は、リセット後にラッチされます。ユーザは、必要なブートモードに正しい値を用意します。

BOOT0 および BOOT1 も、STANDBY モード終了時に再サンプリングされます。したがって、必要なブートモードを維持する必要があります。起動遅延後、CPU1 はアドレス 0x0000 0000 からスタック最上位の値をフェッチし、0x0000 0004 のブートメモリからコード実行を開始します。

選択したブートメモリに応じて、メインFlashメモリ、システムFlashメモリ、または SRAM1 メモリに、次のようにアクセスできます。

- メインFlashメモリからブート：メインFlashメモリのエイリアスが CPU1 ブートメモリ空間でアドレス 0x0000 0000 に作成され、これには物理アドレス 0x0800 0000 からもアクセスできます。言い換えると、Flashメモリの内容は、0x0000 0000 または 0x0800 0000 から始まるアドレスからアクセスできます。
- システムFlashメモリからブート：システムFlashメモリのエイリアスが CPU1 ブートメモリ空間でアドレス 0x0000 0000 に作成され、これには引き続き物理アドレス 0x1FFF 0000 からもアクセスできます。
- SRAM からブート：メモリのエイリアスが CPU1 ブートメモリ空間でアドレス 0x0000 0000 に作成され、これには物理アドレス 0x2000 0000 からもアクセスできます。

エンプティチェック

内部エンプティチェックフラグ（FLASHアクセス制御レジスタ（FLASH_ACR）の EMPTY ビット）は、ブートローダによる未使用デバイスの簡単なプログラミングに使用できます。このフラグは、BOOT0 ピンがターゲットブート領域としてメインFlashで定義されている場合に使用されます。フラグをセットすると、デバイスはエンプティとみなされ、ユーザがメモリをプログラムできるよう、ブート領域としてメインFlashの代わりにシステムメモリ（ブートローダ）が選択されます。したがって、一部の GPIO はハイインピーダンス状態から再設定されます。ブートローダとシステムメモリブートモードでの GPIO 設定の詳細については、AN2606 を参照してください。オプションバイトをメイン

Flashメモリから強制的にブートするように設定することによって（nSWBOOT0 = 0、nBOOT0 = 1）、この機能を無効にすることができます。

このエンプティチェックフラグは、オプションバイトのロード中に更新されます。アドレス 0x0800 0000 が 0xFFFF FFFF として読み出された場合にのみセットされ、それ以外の場合はクリアされます。システムリセット後にユーザコードを実行するには、未使用デバイスのプログラミング後に、このフラグをクリアするために電源リセットまたは FLASH_CR レジスタの OBL_LAUNCH ビットを設定する必要があります。EMPTY ビットは、ソフトウェアから直接書き込むことができます。

CPU1 物理の再配置

CPU1 のブート後、アプリケーションソフトウェアは、アドレス 0x0000 0000 のメモリマップを変更できます。この変更は、SYSCFG コントローラで SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）をプログラミングすることによって実行できます。

次のメモリを再配置できます。

- メインFlashメモリ
- システムFlashメモリ
- SRAM
- QuadSPI メモリ

内蔵ブートローダ

内蔵ブートローダは、システムFlashメモリに配置されるよう生産時に ST によってプログラムされています。次のデバイスインタフェースのいずれかを使用して、Flashメモリをプログラムするために使用します。

- PA9 および PA10 ピンの USART1
- PB6 および PB7 ピンの I2C1
- PC0 および PC1 ピンの I2C3
- ピン PA4、PA5、PA6、および PA7 の SPI1
- ピン PB12、PB13、PB14、および PB15 の SPI2
- ピン PA11 および PA12 の USB FS

2.4 CPU2 ブート

デバイスリセット後、CPU2 は、CPU1 が PWR 制御レジスタ 4（PWR_CR4）の C2BOOT ビットをセットした後にのみブートします。C2BOOT の値は STANDBY モードで保持され、CPU2 は STANDBY の終了時にそれに応じてブートします。

CPU2 は、Flashユーザオプション C2OPT および SBRV で定義されているブート･リセット･ベクタからブートします。

CPU2 は、ユーザFlashまたは SRAM1/SRAM2a/SRAM2b のどこからでもブートできます。

CPU2 セーフ･ブート

リセット後、ユーザオプションが無効であり、BOOT0 および BOOT1 がメインFlashメモリからブートするために CPU1 を選択した場合、CPU2 はアドレス 0x080F F000 のメインFlashメモリのセーフ･ブート･ベクタからブートします。

セーフ･ブートを使用すると、コピーしたイメージから最後の既知のユーザオプションを復元できます。

2.5 CPU2 SRAM フェッチ無効化

SRAM からの CPU2 実行は、SYSCFG レジスタの C2RFD ビットで無効にできます。SRAM からの CPU2 実行を無効にすると、CPU2 ソフトウェアのロバスト性が向上します。

3 内蔵 Flash メモリ（FLASH）

3.1 概要

Flash メモリインタフェースは、CPU1（CPU1 Cortex®-M4）AHB ICode および DCode アクセスと、Flash メモリへの CPU2（Cortex® -M0+）AHB を管理します。2 つの CPU 間のアクセス調停、Flash メモリの消去操作とプログラム操作、読出し／書込みの保護、およびセキュリティメカニズムを実装しています。

Flash メモリインタフェースは、命令プリフェッチおよびキャッシュラインのシステムでコードの実行を加速します。

3.2 Flash の主な機能

- 最大 1 MB のFlash メモリのシングルバンクアーキテクチャ
- メモリ構成：1 バンク
  - メインメモリ：最大 1 MB
  - ページサイズ：4 KB
- 72 ビット幅のデータ読出し（64 ビット＋ 8 ECC ビット）
- 72 ビット幅のデータ書込み（64 ビット＋ 8 ECC ビット）
- ページ消去（4 KB）、全体消去

Flash メモリインタフェースの機能：

- Flash メモリ読出し操作
- Flash メモリプログラム／消去操作
- オプション（RDP）で有効化される読出し保護
- オプション（WRP）で選択される 2 つの書込み保護領域
- オプション（PCROP）で選択される 2 つの商用コード読出し保護領域
- CPU2 セキュリティ領域
- Flash エンプティチェック
- プログラムおよび消去のサスペンド機能
- CPU1 ICODE および CPU2 S バスでのプリフェッチ
- CPU1 命令キャッシュ：ICode で 4 x 64 ビットのキャッシュライン 32 本（1 KB RAM）
- CPU1 データキャッシュ:DCode 上の 4 x 64 ビットのキャッシュライン 8 本（256 バイト RAM）
- CPU2 命令キャッシュ：S バス上の 1 x 64 ビットのキャッシュライン 8 本（32 バイト RAM）
- エラーコード訂正（ECC）：64 ビットに対して 8 ビット
- オプションバイトローダ

3.3 Flash の機能説明

3.3.1 Flash メモリの構成

メモリは、72 ビット幅のメモリセル（64 ビット＋ 8 ECC ビット）として構成されており、コードとデータの両方の定数を格納するために使用できます。次の内容が含まれます。

- STM32WB55xx の場合は最大 256 ページ、4 KB の STM32WB35xx の場合は最大 128 ページを含むメインメモリブロック（各ページに 8 行の 512 バイトがある）。
- 情報ブロックには次のものが含まれます。
  - システムメモリブートモードで CPU1 がブートするシステムメモリ。この領域は予約済みで、次のいずれかのインタフェースを介したFlash メモリの再プログラムに使用するブートローダが含まれます。USART1、USB、I2C1、I2C3、SPI1、SPI2（STM32WB55xx でのみ使用可能）。これはデバイスの製造時に STMicroelectronics によってプログラムされており、誤った書込み／消去操作から保護されています。詳細については、www.st.com から入手可能な AN2606 を参照してください。
  - OTP（1 度だけプログラムが可能な）、ユーザデータの 1 KB（128 ダブルワード）。OTP データは消去不可で、1 度だけ書込み可能です。1 つのビットだけが 0 の場合、0x0000 0000 0000 0000 の値であってもダブルワード全体（64 ビット）を書き込むことはできません。
  - ユーザ設定のオプションバイト。

メモリは、表 3 に示されるメイン領域と情報ブロックに基づきます。

表 3. Flash メモリ - シングルバンク構成

領域	アドレス	サイズ（バイト）	名前
メインメモリ(1)	0x0800 0000 - 0x0800 0FFF	4 K	ページ 0
	0x0800 1000 - 0x0800 1FFF	4 K	ページ 1
	0x0800 2000 - 0x0800 2FFF	4 K	ページ 2
	. . .	. . .	. . .
	0x0807 E000 - 0x0807 EFFF	4 K	ページ 126
	0x0807 F000 - 0x0807 FFFF	4 K	ページ 127
	0x0808 0000 - 0x0808 0FFF	4 K	ページ 128
	. . .	. . .	. . .
	0x080F E000 - 0x080F EFFF	4 K	ページ 254
	0x080F F000 - 0x080F FFFF	4 K	ページ 255
情報ブロック	0x1FFF 0000 - 0x1FFF 6FFF	28 K	システムメモリ
	0x1FFF 7000 - 0x1FFF 73FF	1 K	OTP エリア
	0x1FFF 8000 - 0x1FFF 807F	128	オプションバイト

1. 128 ～ 255 ページは STM32WB55xx のみ。

3.3.2 エンプティチェック

OBL フェーズ中、Flash メモリインタフェースは、メインメモリの最初の位置がプログラムされているかどうかにかかわらず、すべてのオプションをロードした後でチェックします。このチェックの結果は、boot0 と boot1 の情報と合わせて、システムをブートする位置を判断するために使用されます。これにより、ユーザコードがプログラムされていない場合などに、システムがFlashメインメモリ領域からブートすることを防ぎます。

Flashメインメモリエンプティチェックのステータスは、Flash メモリアクセス制御レジスタ（FLASH_ACR）の EMPTY ビットから読み出せます。ソフトウェアでは、EMPTY ビットに書き込むことで、Flashメインメモリエンプティのステータスを変更できます。

3.3.3 エラーコード訂正（ECC）

Flash メモリワードのデータは 72 ビット幅です。ダブルワード（64 ビット）単位で 8 ビット追加されます。ECC メカニズムは次のものをサポートしています。

- 1 つのエラー検出および訂正
- 2 つのエラー検出

1 つのエラーを検出して訂正する場合、フラグ ECCC（ECC 訂正）が Flash メモリ ECC レジスタ（FLASH_ECCR）でセットされます。ECCCIE をセットすると、割込みが生成されます。

2 つのエラーを検出する場合、フラグ ECCD（ECC 検出）が Flash メモリ ECC レジスタ（FLASH_ECCR）でセットされます。この場合、NMI が生成されます。

ECC エラーが検出されると、失敗したダブルワードのアドレスが、Flash_ECCR レジスタの ADDR_ECC[16:0] に保存されます。ADDR_ECC[2:0] は常にクリアされます。アドレスにアクセスする CPU のバス ID は CPUID[2:0] に保存されます。

ECCC または ECCD がセットされている場合、新しい ECC エラーが発生した場合に Flash_ECCR は更新されません。ECC フラグがクリアされた場合のみ Flash_ECCR が更新されます。

注：**未使用データ（0xFF FFFF FFFF FFFF FFFF）の場合、1 つのエラーを検出して訂正しますが、2 つのエラー検出はサポートされません。**

ECC エラーが報告されると、データが現在のバッファにまだ存在する場合、ECCC および ECCD がクリアされていても、失敗したアドレスで新しい読出しがECC エラーを生成しない場合があります。これが求めている挙動でない場合は、ユーザはキャッシュをリセットする必要があります。

3.3.4 読出しアクセスの遅延

データをFlash メモリから正しく読み出すには、Flash メモリ（HCLK4）クロックの周波数およびデバイスの内部電圧範囲 V_{CORE} に従って、Flash メモリアクセス制御レジスタ（FLASH_ACR）でウェイトステート（LATENCY）の数を正しくプログラムする必要があります。セクション 6.1.6 : ダイナミック電圧スケーリングの管理を参照してください。

表 4 には、ウェイトステートと Flash クロック周波数の対応を示します。

表 4. Flash メモリクロック（HCLK4）周波数に対するウェイトステート数

ウェイトステート（WS）（LATENCY）	HCLK4（MHz）	
	V_{CORE} レンジ 1	V_{CORE} レンジ 2
0 WS（1 HCLK サイクル）	≤ 18	≤ 6
1 WS（2 HCLK サイクル）	≤ 36	≤ 12
2 WS（3 HCLK サイクル）	≤ 54	≤ 16
3 WS（4 HCLK サイクル）	≤ 64	N/A

POR 後、HCLK4 クロック周波数はレンジ 1 では 4 MHz であり、FLASH_ACR レジスタでは 0 ウェイトステート（WS）が設定されます。

STANDBY からウェイクアップすると、HCLK4 クロック周波数はレンジ 1 では 16 MHz であり、FLASH_ACR レジスタでは 0 ウェイトステート（WS）が設定されます。

Flash メモリクロック周波数または VCOREレンジの変更時、Flash メモリにアクセスするために必要なウェイトステート数を調整するには、以下のようなソフトウェアシーケンスを適用する必要があります。

CPU 周波数の増加

1. Flash メモリアクセス制御レジスタ（FLASH_ACR）の LATENCY ビットに新しいウェイトステート数をプログラムします。
2. Flash メモリアクセス制御レジスタ（FLASH_ACR）から LATENCY を読み出してFlash メモリへのアクセスに新しいウェイトステート数が反映されていることを確認し、プログラムされた新しい数が読み出されるまで待ちます。
3. RCC_CFGR レジスタの SW ビットを書き込んでシステムクロックソースを変更します。
4. 必要であれば、RCC_EXTCFGR レジスタに SHDHPRE ビットを書き込んで CPU クロックプリスケーラを変更します。
5. 必要に応じて、RCC_CFGR レジスタのクロックソースステータス（SWS ビット）や RCC_EXTCFGR レジスタの AHB プリスケーラの値（SHDHPREF ビット）を読み出して、新しいシステムクロックソースや新しいFlash メモリクロックプリスケーラの値がそれぞれ反映されていることを確認します。

CPU 周波数の減少

1. RCC_CFGR レジスタの SW ビットを書き込んでシステムクロックソースを変更します。
2. 必要であれば、RCC_EXTCFGR レジスタに SHDHPRE ビットを書き込んでFlash メモリクロックプリスケーラを変更します。
3. RCC_CFGR レジスタのクロックソースステータス（SWS ビット）や RCC_EXTCFGR レジスタの AHB プリスケーラの値（SHDHPREF ビット）を読み出して、新しいシステムクロックソースや新しいFlash メモリクロックプリスケーラの値がそれぞれ反映されていることを確認し、プログラムされた新しいシステムクロックソースや新しいFlash メモリクロックプリスケーラの値が読み出されるのを待ちます。
4. Flash メモリアクセス制御レジスタ（FLASH_ACR）の LATENCY ビットに新しいウェイトステート数をプログラムします。
5. 必要に応じて、Flash メモリアクセス制御レジスタ（FLASH_ACR）から LATENCY を読み出してFlash メモリへのアクセスに新しいウェイトステート数が使用されていることを確認します。

3.3.5 適応型リアルタイムメモリアクセラレータ（ART Accelerator）

独自仕様の適応型リアルタイム（ART）メモリアクセラレータは、FPU プロセッサのある STM32 の業界標準Arm® Cortex®-M4 用に最適化されています。これはFlash メモリ技術における FPU 搭載 Arm® Cortex®-M4 固有のパフォーマンス上の利点（通常、動作周波数が高くなると、プロセッサは Flash メモリを待つ必要性が発生します）を調整します。

プロセッサのパフォーマンスを最大限に引き出すため、アクセラレータは 64 ビットのFlash メモリからのプログラム実行速度を上昇させる命令プリフェッチキューと、ブランチキャッシュを搭載しています。CoreMark® ベンチマークによると、ART Accelerator™ によって達成されるパフォーマンスは、最大 CPU 周波数 64 MHz におけるFlash メモリからの 0 ウェイトステートプログラム実行と同等となります。

命令プリフェッチ

CPU1 は ICode バスを通じて命令をフェッチし、DCode バスを通じてリテラルプール（コンスタント／データ）をフェッチします。プリフェッチブロックは、ICode バスアクセスの効率の向上を目的としています。

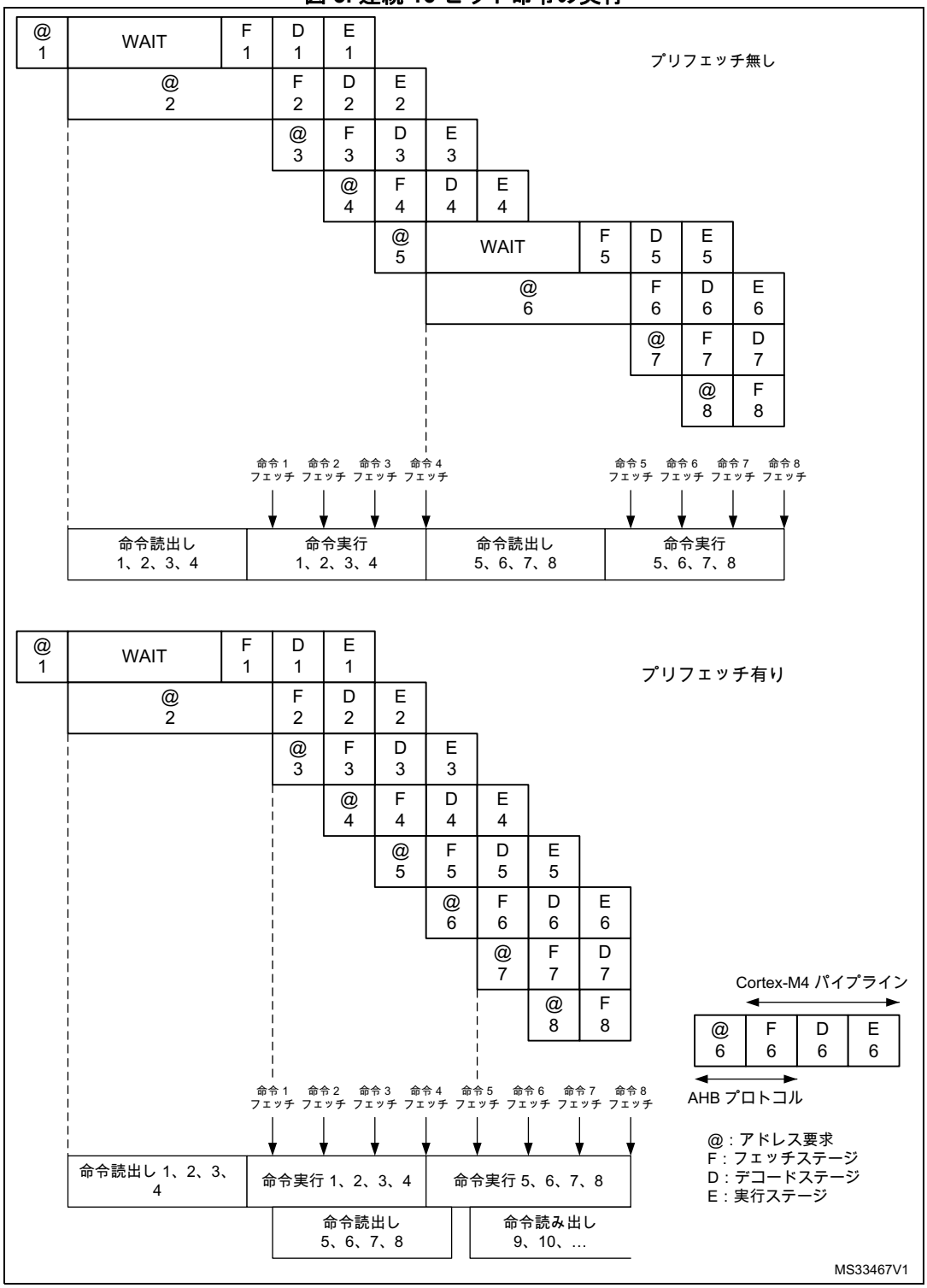
CPU2 は S バスを通じて命令とリテラルプール（コンスタント／データ）をフェッチします。プリフェッチブロックは、S バスアクセスの効率の向上を目的としています。

各Flash メモリ読出し操作では、起動されるプログラムによって、32 ビットの命令 2 個または 16 ビットの命令 4 個によって 64 ビットが提供されます。この 64 ビットの現在の命令ラインは、現在のバッファに保存されます。したがって連続コードの場合は、その前の読出し命令ラインの実行に 2 個以上の CPU サイクルが必要となります。CPU1 ICode バスまたは CPU2 S バスでのプリフェッチを使用すると、CPU によって現在の命令ラインが要求されている間にFlash メモリから次の連続命令ラインを読み出すことができます。

プリフェッチは、CPU1 の場合は Flash メモリアクセス制御レジスタ（FLASH_ACR）、CPU2 の場合は Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）の PRFTEN ビットをセットすると有効になります。この機能は、Flash メモリのアクセスに 1 つ以上のウェイトステートが必要な場合に有用です。

図 3 は、Flash メモリへのアクセスに 3 つの WS が必要なときに、プリフェッチがある場合とない場合の連続 16 ビット命令の実行を示しています。

図 3. 連続 16 ビット命令の実行



コードが連続でない場合（ブランチ）、現在使用されている命令ラインやプリフェッチされた命令ラインには命令がないことがあります。この場合、サイクル数によるペナルティはウェイトステート数以上となります。

現在のバッファにループが存在する場合、新しいアクセスは実行されません。

CPU1 命令キャッシュメモリ（I キャッシュ）

ジャンプによる CPU1 時間のロスを制限するため、命令キャッシュメモリ内に 4 x 64 ビット（1 KB）32 ラインを維持することができます。この機能は、Flash メモリアクセス制御レジスタ（FLASH_ACR）の命令キャッシュ有効（ICEN）ビットをセットすることによって、CPU1 で有効にできます。失敗が発生（現在使用している命令ライン、プリフェッチされた命令ラインまたは命令キャッシュメモリに要求されたデータがない）するたびに、ラインの読出しが命令キャッシュメモリにコピーされます。命令キャッシュメモリに含まれるデータの中に CPU が要求するデータがある場合には、全く遅延なしにそのデータが提供されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない）ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有用です。

命令キャッシュメモリはシステムリセット後に有効になります。

CPU1 データキャッシュメモリ（D キャッシュ）

CPU1 リテラルプールは、CPU パイプラインの実行ステージにおいて DCode バスを通じてFlash メモリからフェッチされます。各 CPU1 DCode バスの読出しアクセスは、現在のバッファに保存される 64 ビットをフェッチします。その結果として、CPU パイプラインは要求されるリテラルプールが提供されるまでストールされます。リテラルプールによる時間のロスを制限するため、AHB データバス DCodeからのアクセスは、AHB命令バス ICode からのアクセスよりも優先されます。

頻繁に使用されるリテラルプールがある場合は、Flash メモリアクセス制御レジスタ（FLASH_ACR）のデータキャッシュ有効（DCEN）ビットをセットすると、CPU1 データキャッシュメモリを有効にできます。この機能は、命令キャッシュメモリのように動作しますが、保持されるデータのサイズは 4 x 64 ビットのライン 8 本（256 バイト）に制限されます。

データキャッシュメモリはシステムリセット後に有効になります。

注： **データが CPU（DMA ではない）によって要求された場合のみ D キャッシュがアクティブになります。オプションバイトブロックのデータは、キャッシュできません。**

CPU2 キャッシュメモリ（S バス）

ジャンプによる CPU2 時間のロスを制限するため、命令キャッシュメモリ内に 1 x 64 ビット（32 バイト）のライン 4 本を維持することができます。この機能は、Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）の命令キャッシュ有効（ICEN）ビットをセットすることによって、CPU2 で有効にできます。失敗が発生（現在使用している命令ライン、プリフェッチされた命令ラインまたは命令キャッシュメモリに要求されたデータがない）するたびに、ラインの読出しが命令キャッシュメモリにコピーされます。命令キャッシュメモリに含まれるデータの中に CPU が要求するデータがある場合には、全く遅延なしにそのデータが提供されます。すべての命令キャッシュメモリラインが満たされると、LRU (最も長い時間使われていない）ポリシーを使用して命令メモリキャッシュの中で置換するラインを決定します。この機能は、ループを含むコードの場合に特に有用です。

命令キャッシュメモリはシステムリセット後に有効になります。

CPU2 リテラルプールは、CPU パイプラインの実行ステージにおいて S バスを通じてFlash メモリからフェッチされます。各 CPU2 S バスの読出しアクセスは、現在のバッファに保存される 64 ビットをフェッチします。その結果として、CPU パイプラインは要求されるリテラルプールが提供されるまでストールされます。

Cortex®-M0+ で使用可能なデータキャッシュはありません。

3.3.6 Flash メモリのプログラムおよび消去操作

内蔵Flash メモリは、回路内またはアプリケーション内プログラミングを使用してプログラム可能です。

回路内プログラミング（ICP）方法は、Flash メモリの内容全体を更新するために使用します。マイクロコントローラに CPU1 および CPU2 の両方のユーザアプリケーションをロードするために、JTAG、SWD プロトコルやシステムブートローダがサポートするインタフェースを使用します。ICP は、迅速かつ効率的な設計時の繰り返し操作を提供し、不要なパッケージ処理やデバイスのソケット処理を排除できます。

ICP の方法とは対照的に、**アプリケーション内プログラミング（IAP）**では、メモリにプログラミングデータをダウンロードするために、マイクロコントローラでサポートされる任意の通信インタフェース（I/O、USB、、UART、I^2C、SPI など）を使用できます。IAP を使用して、ユーザはアプリケーション実行中にFlash メモリを再プログラムできます。ただし、アプリケーションの一部は ICP を使用してFlash メモリ内に事前にプログラムする必要があります。

Flash メモリ操作中にデバイスのリセットが発生すると、Flash メモリの内容は保証されません。

Flash メモリへのプログラム／消去操作中にFlash メモリを読み出そうとすると、バスがストールされます。読出し操作は、プログラム／消去操作が完了すると正しく処理されます。

注： **マルチ CPU システムでは、セマフォを使用してFlash メモリのプログラム／消去操作を管理し、CPU による同時操作を防止することを推奨します。**

セキュアシステムFlash メモリのプログラミング

セキュア CPU2 アプリケーションは、セキュア CPU2 で実行中の**アプリケーション内プログラミング（IAP）**でのみプログラムできます。プログラミングデータをメモリのセキュア部分にダウンロードできるのは、セキュア CPU2 のみです。セキュア IAP を使用して、ユーザはアプリケーション実行中にFlash メモリを再プログラムできます。ただし、アプリケーションの一部は ICP を使用してFlash メモリ内に事前にプログラムする必要があります。

回路内プログラミング（ICP）のシステムブートローダは、セキュア CPU2 IAP と通信して、プログラミングデータをセキュアメモリにダウンロードできます。

Flash メモリのロック解除

リセット後は、たとえば電気妨害などによって考えられる不要な操作からFlash メモリを保護するため、Flash メモリ制御レジスタ（FLASH_CR）またはFlash メモリ CPU2 制御レジスタ（FLASH_C2CR）には書き込めません。これらのレジスタのアンロックには、次のシーケンスを使用します。

1. Flash メモリキーレジスタ（FLASH_KEYR）に KEY1 = 0x4567 0123 を書き込みます。
2. Flash メモリキーレジスタ（FLASH_KEYR）に KEY2 = 0xCDEF 89AB を書き込みます。

シーケンスを誤ると、次のシステムリセットまで FLASH_CR レジスタがロックされます。キーシーケンスを誤ると、バスエラーが検出され、ハードフォールト割込みが発生します。

Flash_CR レジスタは、ソフトウェアでいずれかのレジスタの LOCK ビットをセットすると、再びロックできます。

注： **Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットがセットされていると、FLASH_CR レジスタに書き込めません。BSY ビットがセットされている状態でこれらのレジスタに書き込もうとすると、このビットがクリアされるまで AHB バスはストールします。**

注意： **メモリの構造（8 ビットの ECC に関連付けされた 64 ビットのデータ）により、動作が中断されると、データの破損や ECC ビットの不一致が発生することがあります。関係するアドレスは、後でアクセスしたときに、ECC 割込みまたは NMI をトリガできます。したがって、書込み／消去操作は注意して取り扱い、ECC イベントがファームウェアによって管理されるようにしてください。**

3.3.7 Flashメインメモリの消去シーケンス

消去操作は、ページ単位（ページ消去）またはメモリ全体（全体消去）に対して実行できます。全体消去は、情報ブロック（システムFlash、OTP、およびオプションバイト）には影響しません。

Flash メモリのページ消去

CPU1 は、ユーザFlashの非セキュア部分のみをページ消去できます。セキュア CPU2 は、ユーザFlashメモリのセキュア部分と非セキュア部分の両方をページ消去できます。

ページ消去は、Flash メモリステータスレジスタ（FLASH_SR）と Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットによって許可された場合にのみ開始されます。

ページが PCROP または WRP によって保護されている場合は、消去されません。

表 5. ページ消去の概要

ページ	PCROP	WRP	PCROP_RDP	コメント	WRPERR	CPU1 バスエラー	CPU2 バスエラー
非セキュア	いいえ	いいえ	x	ページ消去	いいえ	いいえ	いいえ
		はい		ページ消去の中止（ページ消去は開始されない）	はい		
	はい	不可					
		可能					
セキュア	いいえ	いいえ		CPU2 の要求により、セキュアページを消去	いいえ	N/A	不可
				CPU1 の要求により、セキュアページの消去を中止（セキュアページの消去は開始されない）		はい	N/A
		はい		ページ消去の中止（ページ消去は開始されない）	はい(1)		いいえ
	はい	不可					
		可能					

1. WRPERR は、PER が CPU2（Cortex-M0+）によって要求された場合にのみ生成されます。PER が CPU1 によって要求された場合、WRPERR は生成されません。

ページ（4 KB）を消去するには、次の手順に従います。

1. Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットを確認し、進行中のFlash メモリ操作がないことを確認しますまたは。
   Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットを確認することで、Flash メモリのプログラムおよび消去操作が可能であることを確認します（これらの確認は、他の CPU から要求されるFlash メモリ操作によってステータスが変更される可能性がある場合でも、ページ消去の開始時にバスエラーを受信するリスクを制限するために推奨されます）。
2. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
3. FLASH_xxSR レジスタの CFGBSY ビットがクリアされていることを確認します。
4. PER ビットをセットして、Flash メモリ制御レジスタ（FLASH_CR）または Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の消去するページ（PNB）を選択します。
5. FLASH_xxCR レジスタの STRT ビットをセットします。
6. ビット CFGBSY がクリアされるまで待ちます。

注： **HSI16（16 MHz）が RCC_CR レジスタの HSION で以前に有効にされている場合を除き、STRT ビットをセットすると、内部オシレータ HSI16 が自動で有効になり、STRT ビットをクリアすると自動で無効になります。**

Flash メモリの全体消去

CPU1 によるFlash メモリの全体消去は無視され、バスエラーが生成されます。

PCROP または WRP が有効である場合、Flash メモリの全体消去は中止され、消去は開始されません。

表 6. 全体消去の概要

PCROP	WRP	PCROP_RDP	コメント	WRPERR	CPU1 バスエラー	CPU2 バスエラー
いいえ	いいえ	x	セキュア CPU2 の要求により、Flash メモリを全体消去	いいえ	N/A	不可
不可	可能		セキュア CPU2 の要求により、全体消去を中止（消去は開始されない）	はい		
はい	不可					
可能	可能					
x	x		CPU1 の要求により、全体消去を中止（消去は開始されない）	いいえ	はい	N/A

全体消去を実行するには、次の手順に従います。

1. Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットを確認し、進行中のFlash メモリ操作がないことを確認しますまたは。
2. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
3. FLASH_xxSR レジスタの CFGBSY ビットがクリアされていることを確認します。
4. Flash メモリ制御レジスタ（FLASH_CR）または Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の MER ビットをセットします。
5. FLASH_xxCR レジスタの STRT ビットをセットします。
6. ビット CFGBSY がクリアされるまで待ちます。

注： **HSI16（16 MHz）が RCC_CR レジスタの HSION で以前に有効にされている場合を除き、STRT ビットをセットすると、内部オシレータ HSI16 が自動で有効になり、STRT ビットをクリアすると自動で無効になります。**

3.3.8 Flashメインメモリのプログラミングシーケンス

Flash メモリは、一度に 72 ビット（ダブルワード、64 ビット + ECC、8 ビット）をプログラムします。

以前にプログラムされたダブルワードでのプログラミングは、すべて 0 の値をプログラムする場合にのみ許可されます。以前にプログラムされたダブルワードに他の値をプログラムすることはできません。プログラムしようとすると、すでにプログラムされたダブルワードをすべて 0 の値でプログラミングする場合を除き、Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）に PROGERR フラグがセットされます。

ダブルワード（2 x 32 ビットデータ）のプログラムのみ可能です。

- バイト（8 ビット）またはハーフワード（16 ビット）書込みを試みた場合、FLASH_xxSR レジスタに SIZERR フラグがセットされます。
- ダブルワードアドレスに合っていないダブルワードの書込みを試みた場合、FLASH_xxSR レジスタに PGAERR フラグがセットされます。

プログラミングデータをメモリのセキュア部分にダウンロードできるのは、セキュア CPU2 のみです。CPU1 によるセキュアFlash メモリ領域のFlash メモリへのプログラミングは無視され、バスエラーが生成されます。

標準プログラミング

標準モードのFlash メモリのプログラミングシーケンスは、次のようになっています。

1. Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットを確認し、進行中のFlashメインメモリ操作がないことを確認します。
   Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットを確認することで、Flash メモリのプログラムおよび消去操作が可能であることを確認します（これらの確認は、他の CPU から要求されるFlash メモリ操作によってステータスが変更される可能性がある場合でも、プログラミングの開始時にバスエラーを受信するリスクを制限するために推奨されます）。
2. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。しない場合、PGSERR がセットされます。
3. FLASH_xxSR レジスタの CFGBSY ビットがクリアされていることを確認します。
4. Flash メモリ制御レジスタ（FLASH_CR）または Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の PG ビットをセットします。
5. メインメモリブロックまたは OTP エリア内の指定したメモリアドレスでデータ書込み操作を実施します。ダブルワード（64 ビット）のみプログラム可能です。
   a) ダブルワードに合ったアドレスで最初のワードを書き込みます。
   b) 2 番目のワードを書き込みます。
6. ビット CFGBSY がクリアされるまで待ちます。
7. FLASH_xxSR レジスタの EOP フラグ（プログラミング操作が成功したことを示します）をチェックし、ソフトウェアによってクリアします。
8. プログラミングリクエストがなくなったら、FLASH_xxSR レジスタの PG ビットをクリアします。

注： **Flash メモリインタフェースが適切なシーケンス（ダブルワード）を受け取った場合、プログラミングが自動的に起動し、BSY ビットがセットされます。内部オシレータ HSI16（16 MHz）は、PG ビットがセットされた時点で自動的に有効になり、PG ビットがクリアされた時点で自動的に無効になります。ただし、HSI16 が RCC_CR レジスタの HSION で事前に有効化される場合を除きます。**

1 ワードのみプログラムする必要がある場合にプログラミングを自動で起動するには、消去値 0xFFFF FFFF でダブルワードを埋める必要があります。

ECC は、プログラムするダブルワードから計算されます。

高速プログラミング

このモードでは、1 行または 64 ダブルワード（512 バイト）をプログラムすることができます。プログラム前にFlash メモリ位置を確認する必要性を取り除くことでページプログラミングの時間を削減し、各ダブルワード用の高電圧の立ち上がり時間と立ち下がり時間を回避します。高速プログラミング中は、クロック周波数（HCLK4）は少なくとも 8 MHz でなければなりません。

メインメモリのみ高速プログラミングモードでプログラム可能です。

行の高速プログラミングは、SRAM からソフトウェアを実行し、CPU 割込みベクタテーブルを再配置しない場合は割込みを無効にして実行する必要があります。行のプログラミングを要求する CPU からの読出しアクセスによって、バスエラーが発生します。その他のソース（他の CPU または DMA）からの読出しは、行のプログラミングが終了するまでストールします（標準ダブルワードプログラミングによって要求側 CPU にバスエラーが発生することはありませんが、標準プログラミングが終了するまですべての読出しをストールします）。

標準モードのFlashメインメモリのプログラミングシーケンスは、以下のとおりです。

1. 全体消去を実行します。しない場合、PGSERR がセットされます。
2. Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットを確認し、進行中のFlashメインメモリ操作がないことを確認します。
   Flash メモリステータスレジスタ（FLASH_SR）または Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットを確認することで、Flash メモリのプログラムおよび消去操作が可能であることを確認します（これらの確認は、他の CPU から要求されるFlash メモリ操作によってステータスが変更される可能性がある場合でも、プログラミングの開始時にバスエラーを受信するリスクを制限するために推奨されます）。
3. 以前のプログラミングによるエラープログラミングフラグをすべて確認してクリアします。
4. FLASH_xxSR レジスタの CFGBSY ビットがクリアされていることを確認します。
5. Flash メモリ制御レジスタ（FLASH_CR）または Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の FSTPG ビットをセットします。
6. 64 ダブルワードを書き込んで、行（512 バイト）をプログラムします。
7. ビット CFGBSY がクリアされるまで待ちます。
8. FLASH_xxSR レジスタの EOP フラグ（プログラミング操作が成功したことを示します）をチェックし、ソフトウェアによってクリアします。
9. プログラミングリクエストがなくなったら、FLASH_xxSR レジスタの FSTPG ビットをクリアします。

注： **読出し操作の進行中に、高速プログラミングモードで書込みを実行すると、システム通知なしでプログラミングが中止されます（エラーフラグはセットされません）。**

Flash メモリインタフェースが最初のダブルワードを受け取った場合、プログラミングが自動的に起動します。最初のダブルワードに高電圧が適用された場合、BSY ビットがセットされ、最後のダブルワードがプログラムされるかエラーが発生した場合にクリアされます。内部オシレータ HSI16（16 MHz）は、FSTPG ビットがセットされた時点で自動的に有効になり、FSTPG ビットがクリアされた時点で自動的に無効になります。ただし、HSI16 が RCC_CR レジスタの HSION で事前に有効化される場合は例外とします。

64 ダブルワードは連続で書き込む必要があります。すべてのプログラミングにおいて、高電圧は Flash メモリに保持されます。連続した 2 つのダブルワードの間の書込みリクエストの最大時間は、最初のダブルワードに対して、Flashがプログラムされている時間（20 µs 前後）です。2 番目のダブルワードがこのプログラムされている時間を越える場合、高速プログラミングは割り込まれ、MISSERR がセットされます。

2 つの消去操作間で、一行に対する高電圧は 8 ms を越えてはなりません。これは 8 MHz 以上のクロックシステムで連続で書き込まれた 64 ダブルワードのシーケンスによって保証されます。高速プログラミングがセットされると、内部タイムアウトカウンタが 7 ms をカウントし、タイムアウトを過ぎるとプログラミングが停止します。この場合、FASTERR ビットがセットされます。

エラーが発生した場合、高電圧が停止し、プログラム対象の次のダブルワードはプログラムされません。ただし、それまでのダブルワードはすべて適切にプログラムされます。

フラグによって通知されるプログラミングエラー

検出できるエラーは数種類あります。エラーが発生した場合、Flash メモリ操作（プログラミングまたは消去）は中止されます。

- **PROGERR**：プログラミングエラー

  標準プログラミング：書き込むワードがすべて 0 以外の値で、以前に消去されていない場合は、PROGERR がセットされます（プログラムする値がすべて 0 の場合を除く）。その他のエラー（SIZERR、PAGERR、PGSERR、WRPERR）が発生した場合は、消去エラーなしでワードが再プログラムされた場合でも、PROGRERR がセットされないことがあります。

- **SIZERR**：サイズプログラミングエラー

  標準プログラミングまたは高速プログラミング：ダブルワードのみプログラムでき、32 ビットデータのみ書き込めます。バイトまたはハーフワードが書き込まれる場合、SIZERR がセットされます。

- **PGAERR**：整列プログラミングエラー

  次のいずれかの条件が発生した場合、PGAERR がセットされます。

  – 整列プログラミングエラーは、CPU ごとに個別にチェックされます。同時マルチ CPU プログラミングには、使用可能なチェックはありません。同時マルチ CPU プログラミングを防ぐために、HSEM またはその他のソフトウェアメカニズムを使用します。

  – 標準プログラミング：プログラムする最初のワードがダブルワードアドレスと合っていないか、2 番目のワードが同じダブルワードアドレスに属していない場合

  – 高速プログラミング：プログラムするデータが以前にプログラムされたダブルワードと同じ行に属していないか、プログラムするアドレスが以前のものより小さくなっている場合

- **PGSERR**：プログラミングシーケンスエラー

  次のいずれかの条件が発生した場合、PGSERR がセットされます。

  – 標準プログラミングシーケンスまたは高速プログラミングシーケンス：PG および FSTPG がクリアされたときにデータが書き込まれる場合

  – 標準プログラミングシーケンスまたは高速プログラミングシーケンス：PG または FSTPG がセットされたときに MER および PER がクリアされない場合

  – 高速プログラミング：FSTPG ビットをセットする前に全体消去が実行されない場合

  – 全体消去シーケンス：MER がセットされたときに PG、FSTPG、および PER がクリアされない場合

  – ページ消去シーケンス：PER がセットされたときに PG、FSTPG、および MER がクリアされない場合

  – 以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR、FASTERR、、または PGSERR がセットされた場合にも、PGSERR がセットされます。

  – 高速プログラミングシーケンス：プログラムする行が、以前に消去したページとは異なるページにある場合。全体消去が行われた場合、上位ページの行をプログラムすることはできますが、下位ページの行をプログラムすることはできません。

- **WRPERR**：書込み保護エラー

  次のいずれかの条件が発生した場合、WRPERR がセットされます。

  – 書込み保護領域（WRP）または PCROP 領域でプログラミングまたは消去を試みた場合

  – 1 つ以上のページが WRP または PCROP で保護されているときに全体消去の実行を試みた場合

  – 読出し保護（RDP）がレベル 1 にセットされている状態で、デバッグ機能が接続されている場合または SRAM やシステムFlashからブートされる場合

  – 読出し保護（RDP）がレベル 2 にセットされているときに、セキュア CPU2 から要求された場合を除き、オプションバイトの変更を試みます。

- **MISSERR**：高速プログラミングデータミスエラー

  高速プログラミング：すべてのデータを連続で書き込む必要があります。以前のデータプログラミングが完了して、次のプログラムするデータがまだ書き込まれていない場合に MISSERR がセットされます。

- **FASTERR**：高速プログラミングエラー

  高速プログラミング：次のいずれかの条件が発生した場合、FASTERR がセットされます。

  – タイムアウト検出を生成する 7 µs を超える時間に FSTPG ビットがセットされる場合

  – 行の高速プログラミングが MISSERR、PGAERR、WRPERR、または SIZERR に割り込まれた場合

プログラムまたは消去操作中にエラーが発生すると、Flash メモリステータスレジスタ（FLASH_SR）またはFlash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）で次のいずれかのエラーフラグがセットされます。

- PROGERR、SIZERR、PGAERR、PGSERR、MISSERR（プログラムエラーフラグ）
- WRPERR（保護エラーフラグ）

この場合、Flash メモリ制御レジスタ（FLASH_CR）またはFlash メモリ CPU2 制御レジスタ（FLASH_C2CR）のエラー割込みイネーブルビット ERRIE がセットされると、割込みが生成され、FLASH_xxSR レジスタの操作エラーフラグ OPERR がセットされます。

注： **複数のエラー（Flash メモリへの DMA 転送の場合など）が連続して検出されると、エラーフラグは連続した書込みリクエストが終了するまでクリアできません。**

バスエラーの原因となるプログラミングエラー

次に示す一部のエラー条件では、エラーフラグではなくバスエラーが生成されます。

- RDP レベル 1 およびブートがシステムのFlash メモリまたは SRAM1 から実行される場合の任意のページへの AHB 書込み
- Flash メモリのパワーダウン時の AHB 書込み
- デバッガを介したFlash メモリからの読出しまたは書込み
- 行の高速プログラミングを要求したソースからの、行の高速プログラミング中のFlash メモリからの読出し
- 前のプログラミングリクエストが終了していない場合の新しいプログラミングリクエストの要求
- ダブルワードプログラミングの 2 つのアクセスの間の FLASH_CR レジスタ書込み
- PESDx がアクティブな（セットされている）場合の FLASH_CR レジスタ書込み
- FLASH_KEYR または FLASH_OPTKEYR レジスタへの誤ったキーの書込み
- 各機能のアンロック後の FLASH_KEYR または FLASH_OPTKEYR への後続の書込み

ページベースの行のプログラミングでの PGSERR および PGAERR

高速プログラミングを実行する場合の PGSERR および PGAERR の処理方法を表 7 に示します。

表 7. ページベースの行のプログラミングでのエラー

最終ページ／行	現在のページ／行	MER 有効	PER 有効
ページ [x]／行 [y]	ページ [x]／行 [y-n]	PGAERR	PGAERR
ページ [x]／行 [y]	ページ [x-n]/行 [任意]	PGAERR および PGSERR	PGAERR および PGSERR
ページ [x]／行 [y]	ページ [x+n]／行 [任意]	エラーはありません。	PGAERR

システムリセット後に MER も PER も実行されない場合、プログラミングを試みると、PGAERR および PGSERR エラーが生成されます。

プログラミングとキャッシュ

Flash メモリ書込みアクセスがデータキャッシュのデータに影響している場合、Flash メモリ書込みアクセスはメモリ内のデータ、そしてキャッシュ内のデータを変更します。

Flash メモリ内の消去操作がデータキャッシュまたは命令キャッシュ内のデータにも関連している場合は、ユーザはコード実行中にこのデータにアクセスする前に、このデータが再度書き込まれることを確認する必要があります。消去操作時に、キャッシュの内容は無効になります。

注： **I/D キャッシュは、無効になっている場合にのみ一掃する必要があります（I/DCEN = 0）。**

3.4 Flashオプションバイト

3.4.1 オプションバイトの説明

オプションバイトは、アプリケーション要件によってエンドユーザが設定します。設定の例として、ウォッチドッグをハードウェアまたはソフトウェアモードに選択できます（セクション 3.4.2 : オプションバイトのプログラミングを参照してください）。

ダブルワードは、表 8 に示すように、オプションバイトで分割されます。

表 8. オプションバイトのフォーマット

63～56	55～48	47～40	39～32	31～24	23～16	15 -8	7～0
相補オプションバイト 3	相補オプションバイト 2	相補オプションバイト 1	相補オプションバイト 0	オプションバイト 3	オプションバイト 2	オプションバイト 1	オプションバイト 0

情報ブロック内のこれらのバイトの構成は、表 9 に示すとおりです。オプションバイトは、表 9 にリストされたメモリ位置またはオプションバイトレジスタから読み出すことができます。

- Flash メモリオプションレジスタ（FLASH_OPTR）
- Flash メモリ PCROP ゾーン A 開始アドレスレジスタ（FLASH_PCROP1ASR）
- Flash メモリ PCROP ゾーン A 終了アドレスレジスタ （FLASH_PCROP1AER）
- Flash メモリ PCROP ゾーン B 開始アドレスレジスタ （FLASH_PCROP1BSR）
- Flash メモリ PCROP ゾーン B 終了アドレスレジスタ （FLASH_PCROP1BER）
- Flash メモリ WRP 領域 A アドレスレジスタ（FLASH_WRP1AR）
- Flash メモリ WRP 領域 B アドレスレジスタ（FLASH_WRP1BR）
- Flash メモリ IPCC メールボックスデータバッファアドレスレジスタ （FLASH_IPCCBR）
- セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）
- Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）

表 9. オプションバイトの構成

アドレス[1]	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
1FFF8000	AGC_TRIM			使用されない	nBOOT0	nSWBOOT0	SRAM2_RST	SRAM2_PE	nBOOT1	使用されない			WWDG_SW	IWDG_STBY	IWDG_STOP	IWDG_SW	使用されない	nRST_SHDW	nRST_STBY	nRST_STOP	BOR_LEV			ESE	RDP						
1FFF8008	使用されない																								PCROP1A_STRT							
1FFF8010	PCROP_RDP	使用されない																							PCROP1A_END							
1FFF8018	使用されない									WRP1A_END							使用されない								WRP1A_STRT							
1FFF8020	使用されない									WRP1B_END							使用されない								WRP1B_STRT							
1FFF8028	使用されない																								PCROP1B_STRT							
1FFF8030	使用されない																								PCROP1B_END							
1FFF8038 ～ 1FFF8060	使用されない																															
1FFF8068	使用されない																		IPCCDBA													
1FFF8070	使用されない																			DDS	使用されない			FSD	SFSA							
1FFF8078	C2OPT	NBRSD	SNBRSA					使用されない	BRSD	SBRSA					SBRV																		
1FFF8FF8	OPVAL[2]																															

1. ダブルワードアドレスの上位 32 ビットは、下位 32 ビットからの反転データを含みます。
2. オプションバイトが設定された場合、生産時に値 0x0BC0DE1D が書き込まれます。

ユーザオプションバイトおよび読出し保護オプションバイト

Flash メモリアドレス：0x1FFF 8000

リセット値：0b001x 1101 1xxx 1111 x111 0001 1010 1010（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AGC_TRIM[2:0]			Res.	n BOOT0	nSW BOOT0	SRAM2 _RST	SRAM2 _PE	n BOOT1	Res.	Res.	Res.	WWDG_ SW	IWDG _STDBY	IWDG _STOP	IWDG _SW
r	r	r		r	r	r	r	r				r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	nRST _SHDW	nRST _STDBY	nRST _STOP	BOR_LEV[2:0]			ESE	RDP[7:0]							
	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:29 **AGC_TRIM[2:0]**：自動ゲイン制御トリミング
デフォルト値 0b001

ビット 28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **nBOOT0**：nBOOT0 オプションビット
0：nBOOT0 = 0
1：nBOOT0 = 1

ビット 26 **nSWBOOT0**：ソフトウェア BOOT0
0：オプションビット nBOOT0 から取得した BOOT0 です。
1：PH3/BOOT0 ピンから取得した BOOT0 です。

ビット 25 **SRAM2_RST**：SRAM2 およびシステムリセット時の PKA RAM 消去
0：システムリセットが発生した際に SRAM2 および PKA RAM を消去します。
1：システムリセットが発生した際に SRAM2 および非セキュア PKA RAM を消去しません。

ビット 24 **SRAM2_PE**：SRAM2 パリティチェックは有効です。
0：SRAM2 パリティチェックは有効です。
1：SRAM2 パリティチェックは無効です。

ビット 23 **nBOOT1**：ブート設定
このビットは、（nSWBOOT0 オプションビットの設定に応じて）BOOT0 ピンまたはオプションビット nBOOT0 と一緒に、Flashメインメモリ、SRAM1、またはシステムメモリからブートモードを選択します。セクション 2.3：ブート設定を参照してください。

ビット 22:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **WWDG_SW**：ウィンドウ型ウォッチドッグの選択
0：ハードウェアによるウィンドウ型ウォッチドッグです。
1：ソフトウェアによるウィンドウ型ウォッチドッグです。

ビット 18 **IWDG_STDBY**：STANDBY モードでの独立型ウォッチドッグカウンタの凍結
0：STANDBY モードでの独立型ウォッチドッグカウンタを停止します。
1：STANDBY モードでの独立型ウォッチドッグカウンタが動作します。

ビット 17 **IWDG_STOP**：STOP モードでの独立型ウォッチドッグカウンタの凍結
0：STOP モードでの独立型ウォッチドッグカウンタを停止します。
1：STOP モードでの独立型ウォッチドッグカウンタが動作します。

ビット 16 **IWDG_SW**：独立型ウォッチドッグの選択
0：ハードウェアに依存しないウォッチドッグです。
1：ソフトウェアに依存しないウォッチドッグです。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **nRST_SHDW**

0：SHUTDOWN モードに入るときにリセットを生成します。
1：SHUTDOWN モードに入るときにリセットを生成しません。

ビット 13 **nRST_STDBY**

0：STANDBY モードに入るときにリセットを生成します。
1：STANDBY モードに入るときにリセットを生成しません。

ビット 12 **nRST_STOP**

0：STOP モードに入るときにリセットを生成します。
1：STOP モードに入るときにリセットを生成しません。

ビット 11:9 **BOR_LEV[2:0]：**BOR リセットレベル

このビットには、リセットをアクティブにしたりリセットを解除したりする VDD 供給レベル閾値が含まれています。

000：BOR レベル 0。リセットレベル閾値は ~ 1.7 V です。
001：BOR レベル 1。リセットレベル閾値は ~ 2.0 V です。
010：BOR レベル 2。リセットレベル閾値は ~ 2.2 V です。
011：BOR レベル 3。リセットレベル閾値は ~ 2.5 V です。
100：BOR レベル 4。リセットレベル閾値は ~ 2.8 V です。

ビット 8 **ESE：**システムセキュリティ有効フラグ

0：セキュリティを無効にします。
1：セキュリティを有効にします。

ビット 7:0 **RDP[7:0]：**読出し保護レベル

0xAA：レベル 0、読出し保護はアクティブではありません。
0xCC：レベル 2、チップ読出し保護がアクティブです。
その他：レベル 1、メモリ読出し保護がアクティブです。

PCROP1A 開始アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8008

リセット値：0bxxxx xxxx xxxx xxxx xxxx xxx1 1111 1111、（STM32WB55）、0xXXXX XXFF（STM32WB35）、（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	.10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT [8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1A_STRT[8:0]：**PCROP1A 領域開始オフセット

PCROP1A_STRT は、PCROP1A 領域の最初の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

PCROP1A 終了アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8010

リセット値：0b1xxx xxxx xxxx xxxx xxxx xxx0 0000 0000（STM32WB55）、0b1xxx xxxx xxxx xxxx xxxx xxxx 0000 0000（STM32WB35）（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END [8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31 **PCROP_RDP**：RDP レベルが下がる時に保存される PCROP 領域

このビットはセット専用です。RDP レベル の 1 から 0 への変更による完全全体消去の後にリセットされます。

0：RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されません。

1：RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されます（完全全体消去）。

ビット 30:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1A_END**：PCROP1A 領域終了オフセット

PCROP1A_END は、PCROP1A 領域の最後の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

WRP 領域 A アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8018

リセット値：0xXX00 XXFF（STM32WB55）0bxxxx xxxx x000 0000 xxxx xxxx x111 1111（STM32WB35）（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END [7:0]							
								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT [7:0]							
								r	r	r	r	r	r	r	r

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **WRP1A_END[7:0]**：WRP 領域「A」終了オフセット

WRPA1_END は、WRP 領域「A」の最後の 4 KB のページを含んでいます。ビット 23 は STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **WRP1A_STRT[7:0]**：WRP 領域「A」開始オフセット

WRPA1_STRT は、WRP 領域「A」の最初の 4 KB のページを含んでいます。ビット 7 は STM32WB35xx デバイスでは予約済みであることに注意してください。

WRP 領域 B アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8020

リセット値：0xXX00 XXFF（STM32WB55）、0bxxxx xxxx x000 0000 xxxx xxxx x111 1111（STM32WB35）（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END [7:0]							
								r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT [7:0]							
								r	r	r	r	r	r	r	r

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **WRP1B_END[7:0]**：WRP 領域「B」終了オフセット

WRPB1_END は、WRP 領域「B」の最後の 4 KB のページを含んでいます。ビット 23 は STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **WRP1B_STRT[7:0]**：WRP 領域「B」開始オフセット

WRPB1_STRT は、WRP 領域「B」の最初の 4 KB のページを含んでいます。ビット 7 は STM32WB35xx デバイスでは予約済みであることに注意してください。

PCROP1B 開始アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8028

リセット値：0bxxxx xxxx xxxx xxxx xxxx xxx1 1111 1111（STM32WB55）、0xXXXX XXFF（STM32WB35）（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1B_STRT[8:0]**：PCROP1B 領域開始オフセット

PCROP1B_STRT は、PCROP1B 領域の最初の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

PCROP1B 終了アドレスオプションバイト

Flash メモリアドレス：0x1FFF 8030

リセット値：0bxxxx xxxx xxxx xxxx xxxx xxx0 0000 0000（STM32WB55）、0xXXXX XX00（STM32WB35）（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1B_END[8:0]**：PCROP1B 領域終了オフセット

PCROP1B_END は、PCROP1B 領域の最後の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

IPCC メールボックスデータバッファアドレスオプションバイト

Flash メモリアドレス：0x1FFF 8068

リセット値：0bXXXX XXXX XXXX XXXX XX00 0000 0000 0000（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	IPCCDBA[13:0]													
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **IPCCDBA[13:0]**：IPCC メールボックスデータバッファベースアドレスオフセット

IPCCDBA は、SRAM2 の IPCC メールボックスデータバッファ領域の最初のダブルワードオフセットを含んでいます。

セキュアFlash メモリの開始アドレスのオプションバイト

Flash メモリアドレス：0x1FFF 8070

リセット値：0bxxxx xxxx xxxx xxxx xxx1 xxx0 xxxx xxxx（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DDS	Res.	Res.	Res.	FSD	SFSA[7:0]							
			r				r	r	r	r	r	r	r	r	r

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DDS**：CPU2 デバッグアクセスの無効化

0：CPU2 デバッグアクセスは有効です。

1：CPU2 デバッグアクセスは無効です。

ビット 11:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **FSD**：Flashのセキュリティの無効化

FSD = 1：システムとFlashは非セキュアです。

FSD = 0：システムとFlashはセキュアです。SFSA[7:0] は、セキュアFlash領域の最初の 4 KB のページを含んでいます。

ビット 7:0 **SFSA[7:0]**：セキュアFlash開始アドレス

システムとFlashはセキュアです。SFSA[7:0] は、セキュアFlash領域の最初の 4 KB のページを含んでいます。

セキュア SRAM2 開始アドレスおよび CPU2 リセットベクタのオプションバイト

Flash メモリアドレス：0x1FFF 8078

リセット値：0xXXXX XXXX（ST 出荷時の値）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
.C2OPT	.NBRSD	.SNBRSA[4:0]					Res.	.BRSD	.SBRSA[4:0]					SBRV[17:16]	
r	r	r	r	r	r	r		r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBRV[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 **C2OPT**：CPU2 ブートリセットベクタメモリの選択

0：SBRV のオフセットアドレスは SRAM1 または SRAM2 で、開始アドレスは 0x2000 0000 からです（SBRV の値は SRAM 領域内に保持する必要があります）。

1：SBRV のオフセットアドレスはFlash メモリで、開始アドレスは 0x0800 0000 からです。

ビット 30 **NBRSD**：非バックアップ SRAM2b セキュリティの無効化

NBRSD = 1：SRAM2b は非セキュアです。

NBRSD = 0：SRAM2b はセキュアです。SNBRSA[4:0] は、セキュア非バックアップ SRAM2b 領域の最初の 1 KB のページを含んでいます。

ビット 29:25 **SNBRSA**：セキュア非バックアップ SRAM2b 開始アドレス

NBRSD = 0：SRAM2b はセキュアです。SNBRSA[4:0] は、セキュア非バックアップ SRAM2b 領域の最初の 1 KB のページを含んでいます。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **BRSD**：バックアップ SRAM2a セキュリティの無効化

BRSD = 1：SRAM2a は非セキュアです。

BRSD = 0：SRAM2a はセキュアです。SBRSA[4:0] は、セキュアバックアップ SRAM2a 領域の最初の 1 KB のページの開始アドレスを含んでいます。

ビット 22:18 **SBRSA**：セキュアバックアップ SRAM2a 開始アドレス

BRSD = 0：SRAM2a はセキュアです。SBRSA[4:0] は、セキュアバックアップ SRAM2a 領域の最初の 1 KB のページの開始アドレスを含んでいます。

ビット 17:0 **SBRV[17:0]**：CPU2 ブートリセットベクタ

C2OPT によって選択されたメモリ領域内に、ワード単位で整列されている CPU2 ブートリセット開始アドレスのオフセットがあります。

3.4.2 オプションバイトのプログラミング

リセット後、Flash メモリ制御レジスタ（FLASH_CR）およびFlash メモリ CPU2 制御レジスタ（FLASH_C2CR）のオプション関連ビットは書込み保護されます。オプションバイトページで操作を実行するには、どんな操作であってもFlash メモリ制御レジスタ（FLASH_CR）でオプションロックビット OPTLOCK がクリアされている必要があります。このレジスタのアンロックには、次のシーケンスを使用します。

1. LOCK クリアシーケンスで Flash_CR をアンロックします（Flash メモリのロック解除を参照）。
2. Flash メモリオプションキーレジスタ（FLASH_OPTKEYR）に OPTKEY1 = 0x08192A3B を書き込みます。
3. Flash メモリオプションキーレジスタ（FLASH_OPTKEYR）に OPTKEY2 = 0x4C5D6E7F を書き込みます。

シーケンスを誤ると、次のシステムリセットまでFlash メモリオプションレジスタがロックされます。キーシーケンスを誤ると、バスエラーが検出され、ハードフォールト割込みが発生します。

ソフトウェアによって OPTLOCK ビットをセットすると、ユーザオプションを不要な消去／プログラム操作から保護することができます。

注： **LOCK がソフトウェアによってセットされると、OPTLOCK も自動的にセットされます。**

注： **マルチ CPU システムでは、セマフォを使用してオプションのプログラミングを管理し、CPU によるオプションのプログラミングが同時に行われないようにすることを推奨します。**

ユーザオプションの変更

オプションバイトは、メインメモリユーザアドレスとは異なる方法でプログラムされます。

ユーザオプション値を変更するには、次の手順に従います。

1. 上記のクリアシーケンスで OPTLOCK オプションロックビットをクリアします。
2. 指定したオプション値をオプションレジスタに書き込みます。
3. Flash メモリステータスレジスタ（FLASH_SR）またはFlash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の BSY ビットを確認し、進行中のFlash メモリ操作がないことを確認します。Flash メモリステータスレジスタ（FLASH_SR）またはFlash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットを確認し、Flashのプログラムおよび消去操作が可能であることを確認します（ユーザオプションの変更時にバスエラーを受け取るリスクを制限するために、他の CPU によるFlash操作リクエストによってステータスが変更される可能性がある場合でも、これらの確認を推奨します）。
4. Flash メモリ制御レジスタ（FLASH_CR）のオプションスタートビット OPTSTRT をセットします。
5. BSY ビットがクリアされるのを待ちます。

注： **まずユーザオプションバイトページを消去し、すべてのオプションバイトをFlash メモリオプションレジスタに含まれている値でプログラムすると、オプションの値のあらゆる変更が自動的に実行されます。**

セキュアユーザオプション

セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）およびFlash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）のセキュアオプションバイトは、セキュア CPU2 によってのみ書き込めます。

オプションバイトローディング

BSY ビットがクリアされると、すべての新しいオプションがFlash メモリに更新されますが、システムには適用されません。オプションレジスタからの読出し値は最後にロードしたオプションバイトの値を返しますが、新しいオプションはロード後にのみシステムで有効になります。

オプションバイトローディングは次の 2 つの場合に実行されます。

- Flash メモリ制御レジスタ（FLASH_CR）の OBL_LAUNCH ビットがセットされた場合
- 電源リセット後（BOR リセットまたは STANDBY/SHUTDOWN モードの終了）

オプションバイトローダはオプションブロックの読出しを実行して、内部オプションレジスタにデータを格納します。これらの内部レジスタはシステムを設定し、ソフトウェアで読み出すことができます。OBL_LAUNCH をセットするとリセットを生成するため、システムリセット下でオプションバイトローディングが実行されます。

各オプションビットにも同じダブルワードに補数があります。オプションのローディング中に、オプションビットとその補数を確認することで、ローディングが正しく実行されたことを確認できます。

オプションバイトローディング中、オプションはダブルワードで読み出されます。オプションワードの ECC は、オプション領域を直接ソフトウェアで読み出す際にのみ考慮され、OBL 中は考慮されません。

ワードと補数が一致する場合、オプションワード／バイトはオプションレジスタにコピーされます。

ワードと補数の比較に失敗すると、ステータスビット OPTVERR がセットされます。不一致の値はオプションレジスタに強制的に格納されます。

- USR OPT オプションの場合、不一致の値は「000」（最低閾値）である BOR_LEV を除くすべてのオプションで‘1’になります。
- WRP オプションの場合、不一致の値はデフォルト値「保護なし」になります。
- RDP オプションの場合、不一致の値はデフォルト値「レベル 1」になります。
- PCROP の場合、不一致の値は「全メモリ保護」になります。
- FSD および SFSA オプションの場合、不一致の値は「全メモリ（Flash、SRAM2a、および SRAM2b）保護」です。
- BRSD、SBRSA の場合、NBRSD、および SNBRASA オプションで、不一致の値は「SRAM2 メモリ部分保護」です。
- DDS オプションの場合、不一致の値は「CPU2 デバッグ無効」です。
- C2OPT および SBRV オプションの場合、不一致の値は「最後のFlashページの開始アドレスからの CPU2 ブート（セーフブート）」です。
- OPTVAL オプションの場合、不一致の値は「無効」です。

OPTVAL オプションが「無効」を示した場合、全メモリ（Flash、SRAM2a、および SRAM2b）が保護されます。

表 10. オプションローディング制御

OPTVERR	OPTNV	説明
0	0	オプションは正しくロードされ、OPTVAL は「有効」です。 – オプションに従ってセキュリティが適用されます。
0	1	発生しません。

表 10. オプションローディング制御 （続き）

OPTVERR	OPTNV	説明
1	0	OPTVAL オプションは「有効」として正しくロードされましたが、その他の一部またはすべてのオプションおよびエンジニアリングビットは破損し、不一致の値がロードされました。 – セキュアオプションが正しくロードされると、ロードされたセキュアオプションの値に従ってセキュリティが適用されます。 – セキュアオプションが破損している場合、ロードされた不一致の値に示されるように、メモリ全体にセキュリティが適用されます。
1	1	オプションおよびエンジニアリングビットの一部またはすべてが破損している場合、不一致の値がロードされます。OPTVAL は「無効」として正しくロードされました。ロードしたセキュアオプションの値にかかわらず、メモリ全体にセキュリティが適用されます。

システムリセットの立ち上がりでは、内部オプションレジスタがソフトウェアで読出しおよび書込み可能なオプションレジスタにコピーされます。

- Flash_OPTR
- FLASH_PCROPxySR（x = 1 および y = A または B）
- FLASH_PCROPxyER（x = 1 および y = A または B）
- FLASH_WRPxyR（x = 1 および y = A または B）
- FLASH_IPCCDBA
- FLASH_SFR
- FLASH_SRRVA

これらのレジスタはオプション変更にも使用されます。これらのレジスタがユーザによって変更されない場合は、システムのオプション状態が反映されます。詳細は、ユーザオプションの変更を参照してください。

3.5 FLASH UID64

64 ビットの固有デバイス識別（UID64）がFlash メモリに格納され、CPU からアクセスできます。

表 11. UID64 の構成

アドレス	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1FFF 7580	ユニークデバイス番号																															
0x1FFF 7584	ST 企業 ID																								デバイス ID							

UID64 はデバイスの生産時にプログラムされ、各デバイスにユニーク･コードが提供されます。

- 24 ビットの ST 企業 ID は 0x00 80 E1 を返します。
- 8 ビットのデバイス ID は、DBGMCU_IDCODE に示されているように、STM32WB55xx リビジョン Y および STM32WB35xx リビジョン A に 0x26 を返し、STM32WB55xx/35xx リビジョン X に 0x27 を返します。
- 32 ビットのユニークデバイス番号は連続した番号で、個々のデバイスごとに異なります。

64 ビット UID64 は、ファームウェアによって BLE 48 ビットデバイスアドレス EUI-48 または 802.15.4 64 ビットデバイスアドレス EUI-64 を派生させるために使用されます。

3.6 Flash メモリの保護

Flash メインメモリは読出し保護（RDP）で外部アクセスから保護できます。ページは、プログラムカウンタの内容の損失による不要な書込み（WRP）から保護することもできます。書込み保護（WRP）の単位は 4 KB です。RDP や WRP とは別に、Flash メモリを第三者の読出しおよび書込みから保護することもできます（PCROP）。PCROP の単位は 2 KB です。

Flash メインメモリの一部を保護できます。この部分のメモリへの排他的アクセスを CPU2 に許可します。

3.6.1 読出し保護（RDP）

読出し保護は、RDP オプションバイトをセットし、新しい RDP オプションバイトを再ロードするシステムリセットを適用することで有効になります。読出し保護は、Flashメインメモリ、オプションバイト、バックアップレジスタ（RTC の RTC_BKPxR）および SRAM2 を保護します。

注： **デバッガが JTAG/SWD を通じてまだ接続されている（または最後パワーオン時からずっと接続されている）間に読出し保護がセットされる場合、システムリセットの代わりに POR（パワーオンリセット）を適用してください。読出し保護がソフトウェアによってプログラムされている場合は、OBL_LAUNCH ビット（FLASH_CR レジスタ）をセットせずに、POR を実行してオプションバイトを再ロードします。これは、STANDBY（または SHUTDOWN）モードに移行してからウェイクアップすることで実行できます。**

読出し保護には、保護なし（レベル 0）から最大保護またはデバッグなし（レベル 2）までの 3 つのレベルがあります。

Flash メモリは、RDP オプションバイトとその補数に表 12 に示す値のペアが含まれる場合に保護されます。

表 12. Flash メモリの読出し保護ステータス

RDP バイト値	RDP 補数	読出し保護レベル
0xAA	0x55	レベル 0
0xAA または 0xCC を除く任意の値	0x55 および 0x33 を除く任意の値（相補である必要はない）	レベル 1（デフォルト）
0xCC	0x33	レベル 2

保護レベルにかかわらず、システムメモリ領域は読出しアクセス可能です。プログラム／消去操作の場合は、アクセスできません。

レベル 0：保護なし

Flashメインメモリ領域に、読出し、プログラム、および消去操作を実行できます。すべての操作でオプションバイト、SRAM2、バックアップレジスタにもアクセスできます。

レベル 1：読出し保護

これは、RDP オプションバイトが消去された場合のデフォルトの保護レベルです。RDP 値が 0xAA および 0xCC 以外の任意の値である場合に、または補数が正しくない場合でも、併せて定義されます。

- **ユーザモード**：ユーザモードで実行されるコード（**Boot Flash**）により、すべての操作でFlash メインメモリ、オプションバイト、SRAM2、バックアップレジスタにアクセスできます。
- **デバッグ、ブート RAM、およびブートローダモード**：デバッグモード、またはコードをブート RAM またはブートローダから実行している場合に、Flashメインメモリやバックアップレジスタ（RTC の RTC_BKPxR）および SRAM2 には完全にアクセスできません。これらのモードでは、Flash メモリへの読出しまたは書込みアクセスでバスエラーやハードフォールト割込みが発生します。

注意： **レベル 1 が設定されており、PCROP 領域が定義されていない場合、PCROP_RDP ビットを 1 にセットする必要があります（RDP レベルが 1 から 0 に下がった場合に完全全体消去）。レベル 1 が設定されており、PCROP 領域が定義されている場合、かつユーザコードが PCROP ではなく RDP で保護される必要がある場合、コードを PCROP 領域を含むページに配置してはなりません。**

レベル 2：デバッグなし

このレベルでは、保護レベル 1 が保証されます。さらに、CPU1 および CPU2 デバッグポート、RAM からのブート（ブート RAM モード）、およびシステムメモリからのブート（ブートローダモード）は使用できなくなります。ユーザ実行モード（ブートFLASHモード）では、Flashメインメモリのすべての操作が許可されます。逆に、オプションバイトでは、読出しおよびセキュア書込み操作のみを実行できます。オプションバイトは、セキュア CPU2 によってのみプログラム／消去できます。

レベル 2 は、非セキュアなアプリケーション側から削除することはできません。これは、不可逆操作です。オプションバイトを変更しようとすると、FLASH_xxxSR レジスタの保護エラーフラグ WRPERR がセットされ、割込みが生成されます。

注： **リセット後、デバッグ機能は無効化されます。**

注： **ST マイクロエレクトロニクスは、レベル 2 保護がセットされている不良部品には解析を実施できません。**

読出し保護レベルの変更

レベル 0 からレベル 1 への移動は、RDP バイトの値を任意の値（0xCC を除く）に変更することで、簡単に行うことができます。RDP バイトに 0xCC 値をプログラミングすることで、直接レベル 0 またはレベル 1 からレベル 2 に移動することができます。レベル 2 にすると、それ以上読出し保護レベルを変更できません。

レベル 1 からレベル 0 に移動するために RDP が値 0xAA に再プログラムされると、PCROP_RDP が Flash メモリ PCROP ゾーン A 終了アドレスレジスタ（FLASH_PCROP1AER）でセットされている場合、Flashメインメモリの全体消去が実行されます。バックアップレジスタ（RTC の RTC_BKPxR）、SRAM2 および PKA SRAM も消去されます。ユーザオプション（PCROP 保護を除く）は、FLASH_OPTR、FLASH_WRPxyR（x = 1 および y = A または B）からコピーされた以前の値にセットされます。PCROP は無効です。OTP エリアは全体消去に影響されませんので変化しません。

ビット PCROP_RDP が FLASH_PCROP1AER でクリアされると、完全全体消去は、PCROP によって保護されたページを除いて連続したページを消去する部分全体消去に代わります。これは、PCROP コードを維持するために実行されます。Flash メモリが消去された場合のみ、オプションが以前の値で再プログラムされます。これは、FLASH_PCROPxySR レジスタおよび FLASH_PCROPxyER レジスタ（x = 1 および y = A または B）でも同様です。

リクエストされた全体消去は、CPU2 セキュリティ（SFSA）によって保護されたページを除いて、部分全体消去（ページ消去のシーケンス）を実行します。これは、CPU2 のセキュアコードを保持するために実行されます。

表 13. レベル 1 からレベル 0 への RDP 回帰とメモリ消去

SFSA	PCROP	PCROP_RDP	コメント
部分	なし	x	すべての非セキュアページでのFlash メモリの複数ページ消去、SRAM2、PKA RAM、およびバックアップレジスタの消去（セキュアFlashページは保存されます）。
	部分	1	
		0	すべての非 PCROP ページと非セキュアページでのFlash メモリの複数ページ消去、SRAM2、PKA RAM、およびバックアップレジスタの消去（PCROP Flash メモリのページおよびセキュアFlash メモリのページは保存されます）。
	完全に非セキュア		Flash メモリ、SRAM2、および PKA RAM ならびにバックアップレジスタは保存されます。
完全な Flash メモリ	x	x	Flash メモリ、SRAM2、および PKA RAM ならびにバックアップレジスタは保存されます。

注： **部分全体消去は、レベル 1 がアクティブのときにレベル 0 がリクエストされたときにのみ実施されます。保護レベルが引き上げられた場合には（0→1、1→2、0→2）、全体消去は実施されません。**

保護レベルの変更を確認するには、Flash メモリ制御レジスタの OBL_LAUNCH ビットを通じてオプションバイトを再ロードする必要があります。

図 4. 読出し保護（RDP）レベルの変更

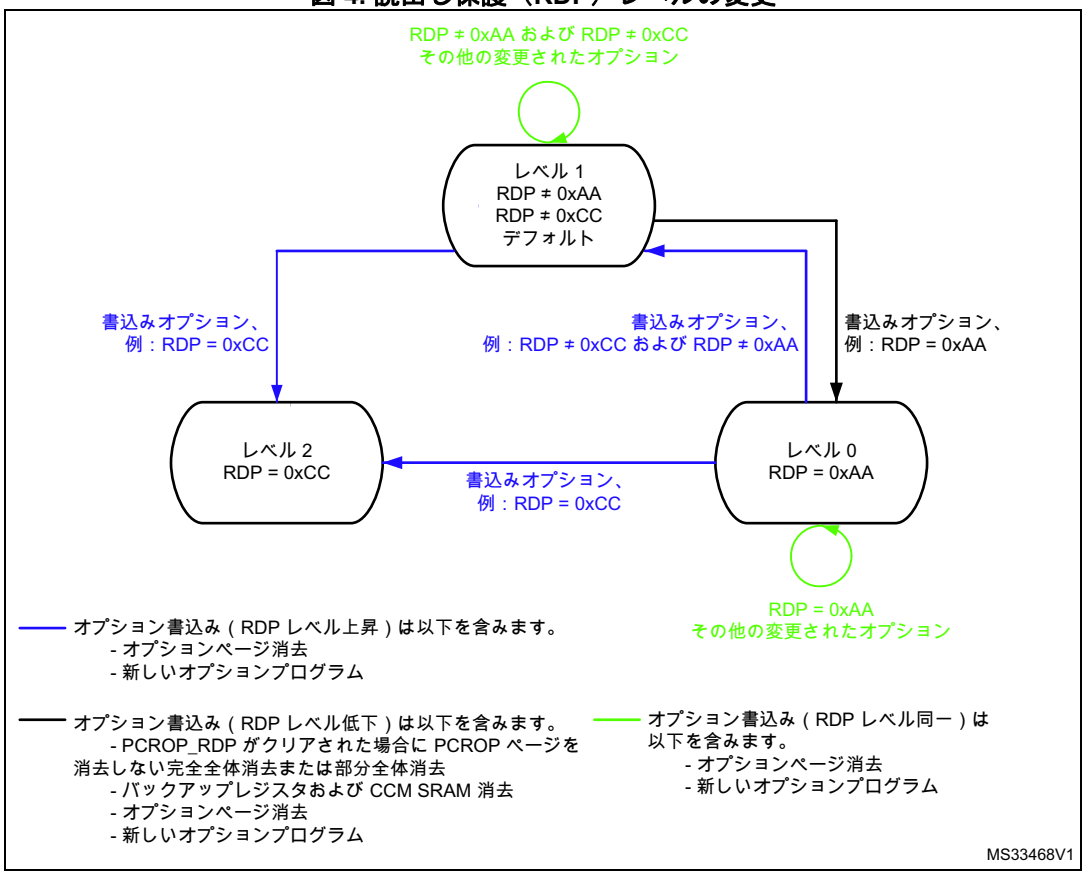


表 14. アクセス状態に対する保護レベルと実行モード

領域	保護レベル	ユーザ実行（Flash メモリからのブート）			デバッグ／RAM からのブート／ローダからのブート		
		読出し	書込み	消去	読出し	書込み	消去
Flashメインメモリ	1	可能	可能	可能	不可	不可	なし (4)
	2	可能	可能	可能	N/A(1)	N/A (1)	N/A (1)
システムメモリ(2)	1	可能	不可	不可	可能	不可	不可
	2	可能	不可	不可	N/A (1)	N/A (1)	N/A (1)
オプションバイト	1	可能	可能(3)	可能	はい	あり (3)	可能
	2	可能	非セキュア CPU1 および CPU2 - 不可	非セキュア CPU1 および CPU2 - 不可	N/A (1)	N/A (1)	N/A (1)
			セキュア CPU2 - 可能	セキュア CPU2 - 可能			
バックアップレジスタ	1	可能	可能	N/A	不可	不可	不可(4)
	2	可能	可能	N/A	N/A (1)	N/A (1)	N/A (1)
SRAM2	1	可能	可能	N/A	不可	不可	不可(5)
	2	可能	可能	N/A	N/A (1)	N/A (1)	N/A (1)

1. 保護レベル 2 が有効な場合、デバッグポート、RAM からのブート、およびシステムメモリからのブートは無効化されます。
2. システムメモリは、保護レベル（0、1、または 2）および実行モードにかかわらず、読出しアクセスのみ可能です。
3. 非セキュアFlashメインメモリは、すべてのレベルの保護が無効化された状態（0xAA）で RDP オプションバイトがプログラムされると消去されます。セキュアFlashメインメモリも、SFSA オプションバイトが非セキュアとしてプログラムされ、また同時にすべてのレベルの保護が無効化された状態（0xAA）で RDP オプションバイトがプログラムされると消去されます。
4. バックアップレジスタは、RDP がレベル 1 からレベル 0 に変更された場合に消去されます。
5. SRAM2 は、RDP がレベル 1 からレベル 0 に変更された場合に消去されます。

3.6.2 商用コード読出し保護（PCROP）

Flash メモリの 2 つの部分を、第三者の読出しおよび書込みから保護することができます。

保護領域は実行のみです。STM32 CPU のみが命令コードとしてアクセスできますが、その他すべてのアクセス（DMA、デバッグ、CPU のデータ読出し、書込み、消去）は厳しく禁じられています。PCROP 領域の単位は 2 KB です。追加のオプションビット（PCROP_RDP）により、RDP 保護がレベル 1 からレベル 0 に変更された場合に、PCROP 領域を消去するしないを選択することができます（読出し保護レベルの変更を参照）。

各 PCROP 領域は、開始ページオフセットと終了ページオフセットによってFlash メモリ領域内で定義されます。これらのオフセットは PCROP アドレスレジスタの Flash メモリ PCROP ゾーン A 開始アドレスレジスタ（FLASH_PCROP1ASR）、Flash メモリ PCROP ゾーン A 終了アドレスレジスタ （FLASH_PCROP1AER）、Flash メモリ PCROP ゾーン B 開始アドレスレジスタ（FLASH_PCROP1BSR）、および Flash メモリ PCROP ゾーン B 終了アドレスレジスタ（FLASH_PCROP1BER）で定義されます。

PCROP 領域は、Flash メモリのベースアドレス + [PCROPxy_STRT x 0x800]（含む）から、Flash メモリのベースアドレス + [(PCROPxy_END+1) x 0x800]（含まない）までのアドレス範囲で定義されます。PCROP 領域の最小サイズは、2 PCROP ページ（4 KB）PCROPxy_END = PCROPxy_STRT + 1 です。

PCROPxy_END = PCROPxy_STRT の場合、Flash メモリ全体が PCROP 保護されます。

たとえば、アドレス 0x0806 2F80（含む）からアドレス 0x0807 0004（含む）までを PCROP で保護するには、次のようにします。

- Flash メモリでのブートが選択されている場合、FLASH_PCROPxySR レジスタおよび FLASH_PCROPxyER レジスタ（x = 1 および y = A または B）のいずれかを次のようにプログラムする必要があります。
  - PCROPxy_STRT = 0xC5（PCROP 領域の先頭アドレス 0x0806 2800）
  - PCROPxy_END = 0xE0（PCROP 領域の最終アドレス 0x0807 07FF）

PCROP 保護領域から実行されるデータ読出しアクセスは、すべて RDERR フラグエラーとなります。

すべての PCROP 保護されたアドレスは書込み保護もされており、これらのいずれかのアドレスへの書込みアクセスによって、WRPERR がトリガされます。

PCROP 領域は自動的に消去保護もされます。結果として、このゾーンのページはすべて消去できません（このゾーンの開始アドレスおよび終了アドレスを含めたページを含みます）。さらに、ゾーンが 1 つ PCROP 保護されているとソフトウェアの全体消去が実施できません。

前の例では、ページごとに消去するため、ページ 0xC5 から 0xE0 の全ページがページ消去時に保護され、0x0806 2800 から 0x0807 07FF のすべてのアドレスは消去できません。

RDP がレベル 1 からレベル 0 に変更された場合にのみ PCROP を無効にできます。ユーザオプションの変更で、PCROP のクリアや PCROP 領域の削減を試みると、オプションプログラミングは起動しますが、PCROP 領域は変更されません。逆に、PCROP 領域を増やすことはできます。

オプションビット PCROP_RDP をクリアする場合、および、RDP をレベル 1 からレベル 0 に変更している場合、PCROP 領域を保持するために完全全体消去が部分全体消去に代わります（読出し保護レベルの変更を参照してください）。この場合、PCROPxy_STRT および PCROPxy_END（x = 1 および y = A または B）は消去されません。

表 15. PCROP 保護

PCROP レジスタ値（x =1 および y= A または B）	PCROP 保護領域
PCROPxy_STRT = PCROPxy_END	Flash メモリ全体は PCROP 保護領域。
PCROPxy_STRT > PCROPxy_END	PCROPxy なし、保護されていない領域。
PCROPxy_STRT < PCROPxy_END	PCROPxy_STRT から PCROPxy_END のページは保護領域。

注： **PCROP_RDP を使用する際は PCROP 領域をページ単位に合わせるか、PCROP ゾーンが開始または終了するページの残り部分を開放しておくことを推奨します。**

3.6.3 書込み保護（Write protection: WRP）

Flash メモリのユーザエリアを、不要な書込み操作から保護できます。2 つの書込み保護（WRP）領域を、ページ（4 KB）単位で定義できます。各領域は、物理的なFlash メモリのベースアドレスに関連する開始ページオフセットと終了ページオフセットにより定義されます。これらのオフセットは WRP アドレスレジスタの Flash メモリ WRP 領域 A アドレスレジスタ（FLASH_WRP1AR）および Flash メモリ WRP 領域 B アドレスレジスタ（FLASH_WRP1BR）で定義されます。

WRP「y」領域（y = A、B）は、Flash メモリのベースアドレス + [WRP1y_STRT x 0x1000]（含む）から、Flash メモリのベースアドレス + [(WRP1y_END+1) x 0x1000]（含まない）までのアドレス範囲で定義されます。WRP 領域の最小サイズは 1 WRP ページ（4 KB）で、WRP1y_END = WRP1y_STRT です。

たとえば、アドレス 0x0806 2000（含む）からアドレス 0x0807 1FFF（含む）までを WRP で保護するには、次のようにします。

- Flash メモリでのブートが選択されている場合、FLASH_WRP1AR レジスタは次のようにプログラムする必要があります。
  - WRP1A_STRT = 0x62。
  - WRP1A_END = 0x71。

  FLASH_WRP1BR の WRP1B_STRT と WRP1B_END が代わりに使用できます（Flash メモリの領域「B」）。

WRP がアクティブの場合、消去やプログラムはできません。結果として、領域が 1 つ書込み保護されているとソフトウェアの全体消去が実施できません。

Flash メモリの書込み保護されているエリアに消去／プログラム操作の実施を試みると、FLASH_SR レジスタで書込み保護エラーフラグ（WRPERR）がセットされます。このフラグは、次の領域への書込みアクセスすべてにセットされます。

- OTP エリア
- ICP など書込みできないFlash メモリの部分
- PCROP エリア

注： **Flash メモリの読出し保護レベルが選択されると（RDP レベル = 1）、CPU デバッグ機能が接続されている場合（JTAG またはシングルワイヤ）やブートコードが RAM やシステムFlash メモリから実行されている場合には、WRP が有効でないときでもメモリをプログラムしたり消去したりすることはできません。これを試みると、ハードフォールト（BusFault）が生成されます。**

表 16. WRP 保護

WRP レジスタ値（x =1 および y= A または B）	WRP 保護領域
WRPxy_STRT = WRPxy_END	ページ WRPxy は保護領域。
WRPxy_STRT > WRPxy_END	WRP なし、保護されていない領域。
WRPxy_STRT < WRPxy_END	WRPxy_STRT から WRPxy_END のページは保護領域。

注： **WRP オプションを確認するには、Flash メモリ制御レジスタの OBL_LAUNCH ビットを通じてオプションバイトを再ロードする必要があります。**

3.6.4 CPU2 セキュリティ（ESE）

Flash メモリと SRAM2a および SRAM2b の全部または一部を安全にし、CPU2 から排他的にアクセス可能にし、第三者による実行、読出し、および書込みから保護することができます。CPU2 のみが、これらの領域で読出しや書込みを実行できます。CPU2 のみがアクセスできますが、その他すべてのアクセス（CPU1 および DMA）は厳しく禁じられています。

CPU2 セキュリティモードの変更

CPU2 のセキュリティ開始アドレスはセキュア CPU2 で新しいユーザオプション SFSA をロードすることで変更できます。

CPU2 セキュア Flash メモリ領域

CPU2 セキュアFlash メモリ領域の単位はセクタ（4 KB）であり、Flash メモリへのセキュアFlash メモリの開始ページオフセットのユーザオプション（SFSA）で定義されます。このオフセットは、セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）の SFSA フィールドから制御されます。

CPU2 セキュアFlash メモリ領域は次のように定義されています。Flash メモリのベースアドレス + [SFSA x 0x1000]（含む）から最後のFlash メモリアドレスまで：CPU2 セキュリティが有効になっている場合、CPU2 セキュア領域の最小サイズは 1 セクタ（4 KB）です。

たとえば、アドレス 0x080E 7000（含む）からアドレス 0x080F FFFF（含む）までの CPU2 セキュア領域：

- FLASH_SFR レジスタは次のようにプログラムする必要があります。
  - SFSA= 0x0E7

フラグ（ESE）は、CPU2 セキュリティが有効であることを通知する Flash メモリオプションレジスタ（FLASH_OPTR）から使用できます。

CPU2 セキュリティ領域への CPU1 アクセスは、すべて RDERR または WRPERR フラグエラーとなります。

CPU2 セキュア SRAM2 領域

セキュア CPU2 の SRAM2a および SRAM2b 領域の単位は 1 KB であり、Flash メモリへのセキュアバックアップ RAM（SRAM2a）開始アドレスのユーザオプション（BRSD および SBRSA）およびセキュア非バックアップ RAM（SRAM2b）開始アドレスのユーザオプション（NBRSD および SNBRSA）で定義されます。これらのオフセットは、Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）の SBRSA フィールドと SNBRSA フィールドによって制御されます。

CPU2 セキュア SRAM2a 領域は、バックアップ SRAM2a ベースアドレス + [SBRSA x 0x0400]（含む）から最後の SRAM2a アドレスまでのアドレス範囲で定義されます。

たとえば、アドレス 0x2003 5000（含む）からアドレス 0x2003 7FFF（含む）までの CPU2 セキュア SRAM2a 領域の場合、FLASH_SRRVR レジスタには SBRSA = 0x14 をプログラムする必要があります。

CPU1 読出しアクセスによってデータは返されません。また、CPU2 のセキュリティ SRAM2a 領域への書込みアクセスは破棄され、バスエラーがトリガされます。

BRSD が 1 にセットされると、SRAM2a は非セキュアになります。

CPU2 セキュア非バックアップ SRAM2b 領域は、非バックアップ SRAM2b ベースアドレス + [SNBRSA x 0x0400]（含む）から最後の SRAM2b アドレスまでのアドレス範囲で定義されます。

たとえば、アドレス 0x2003 EC00（含む）からアドレス 0x2003 FFFF（含む）までの CPU2 セキュア SRAM2b 領域の場合、FLASH_SRRVR レジスタには SNBRSA = 0x1B をプログラムする必要があります。

CPU1 読出しアクセスによってデータは返されません。また、CPU2 のセキュリティ SRAM2b 領域への書込みアクセスは破棄され、バスエラーがトリガされます。

NBRSD が 1 にセットされると、SRAM2b は非セキュアになります。

CPU2 デバッグアクセス

CPU2 へのデバッグアクセスは、セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）の DDS フィールドに示されているように無効です。デバッガは、CPU2 およびセキュアペリフェラルならびにメモリ領域にはアクセスできません。

3.7 FLASHのプログラム／消去の中断

Flash メモリのプログラム／消去操作は、Flash メモリアクセス制御レジスタ（FLASH_ACR）または Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）に PES ビットをセットすることでサスペンドできます。この機能は、CPU でタイム･クリティカル･セクションを実行する場合に有用です。これにより、新しいプログラムや消去操作の開始をサスペンドすることができ、CPU の命令やデータのフェッチがブロックされるのを防ぎます。

PES ビットが少なくとも 1 つセットされている場合：

- 進行中のすべてのプログラムまたは消去操作が完了します。
  - Flash メモリのプログラム消去の中断における最大遅延は、1 回のプログラムまたは消去操作が完了するまでにかかる最大の時間です（プログラムおよび消去のタイミングの詳細については、デバイスデータシートを参照）。
- 新たに要求されたすべてのプログラムおよび消去の操作は開始されず、サスペンドされます。
  - Flash メモリステータスレジスタ（FLASH_SR）および Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットは、プログラム／消去が現在サスペンド中かどうかにかかわらず、PES がセットされると直ちにセットされます。これにより、CPU はプログラムまたは消去操作をリクエストする前に、PESD をテストすることができます。

すべての PES ビットが 0 にリセットされた場合：

- サスペンド状態のプログラムまたは消去操作が開始されます。
  - Flash メモリステータスレジスタ（FLASH_SR）と Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の両方の PESD ビットがクリアされます。

3.8 FLASH 割込み

表 17. Flash メモリ割込みリクエスト

割込みイベント	イベントフラグ	イベントフラグ／割込みのクリア方法	割込み有効制御ビット
操作終了	EOP(1)	EOP = 1 を書き込む。	EOPIE
操作エラー	OPERR(2)	OPERR = 1 を書き込む。	ERRIE
読出し保護エラー	RDERR	RDERR = 1 を書き込む。	RDERRIE
書込み保護エラー	WRPERR	WRPERR = 1 を書き込む。	N/A
サイズエラー	SIZERR	SIZERR = 1 を書き込む。	N/A
プログラミングシーケンスエラー	PROGERR	PROGERR = 1 を書き込む。	N/A
プログラミング整列エラー	PGAERR	PGAERR = 1 を書き込む。	N/A
プログラミングシーケンスエラー	PGSERR	PGSERR = 1 を書き込む。	N/A
高速プログラミングエラー中のデータミス	MISSERR	MISSERR = 1 を書き込む。	N/A
高速プログラミングエラー	FASTERR	FASTERR = 1 を書き込む。	N/A
ECC エラー訂正	ECCC	ECCC = 1 を書き込む。	ECCCIE
ECC ダブルエラー（NMI）	ECCD	ECCD = 1 を書き込む。	N/A

1. EOPIE がセットされる場合のみ、EOP がセットされます。
2. ERRIE がセットされる場合のみ、OPERR がセットされます。

注： **Flash インタフェースには、両方の CPU に対して 1 本の割込みラインのみが用意されています。セマフォを使用して、CPU 間のFlash操作を管理することをお勧めします。不要なFlash操作割込みの受信を避けるため、CPU は NVIC または SYSCFG プリマスクのFlash割込みをマスクする必要があります。**

3.9 レジスタのアクセス保護

ユーザオプションレジスタをセキュリティで保護することができます。

FLASHセキュアレジスタ（FSD、SFSA、BRSD、SBRSA、NBRSD、SNBRSA、SBRV、C2OPT、および DDS）はセキュアであり、セキュア CPU2 によってのみ書き込むことができ、またセキュア、非セキュアを問わず、すべての CPU で読み出すことができます。CPU1 が書込みを試みた場合、その書込みは破棄されます。

3.10 Flash レジスタ

3.10.1 Flash メモリアクセス制御レジスタ（FLASH_ACR）

アドレスオフセット：0x000

リセット値：0x0000 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EMPTY
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PES	Res.	Res.	DCRST	ICRST	DCEN	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	LATENCY[2:0]		
rw			rw	rw	rw	rw	rw						rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **EMPTY**：Flash メモリのユーザ領域は空です。

読出し値が、ユーザFlash メモリの最初の位置が消去されているか、プログラムされた値があるかを示す場合：

0：読出し：ユーザFlash メモリがプログラムされています。

1：読出し：ユーザFlash メモリが空です。

書き込むと、このビットは書き込まれた値で上書きされます。

ビット 15 **PES**：CPU1 プログラム／消去サスペンドリクエスト

0：Flash メモリのプログラムおよび消去操作が許可されます。

1：新しいFlash メモリのプログラム／消去操作は、このビットと Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）の同じビットがクリアされるまですべてサスペンドされます。Flash メモリステータスレジスタ（FLASH_SR）および Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の両方の PESD ビットは、FLASH_ACR または FLASH_C2ACR の PES ビットが 1 つ以上セットされている場合にセットされます。

ビット 14:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DCRST**：CPU1 データキャッシュのリセット

0：CPU1 データキャッシュはリセットされません。

1：CPU1 データキャッシュはリセットされます。

このビットに書き込めるのは、データキャッシュが無効のときだけです。

ビット 11 **ICRST**：CPU1 命令キャッシュのリセット

0：CPU1 命令キャッシュはリセットされません。

1：CPU1 命令キャッシュはリセットされます。

このビットに書き込めるのは、命令キャッシュが無効のときだけです。

ビット 10 **DCEN**：CPU1 データキャッシュ有効化

0：CPU1 データキャッシュは無効です。

1：CPU1 データキャッシュは有効です。

ビット 9 **ICEN**：CPU1 命令キャッシュ有効化

0：CPU1 命令キャッシュは無効です。

1：CPU1 命令キャッシュは有効です。

ビット 8 **PRFTEN**：CPU1 プリフェッチ有効化

0：CPU1 プリフェッチは無効です。

1：CPU1 プリフェッチは有効です。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **LATENCY[2:0]**：遅延

これらのビットは、Flash メモリアクセス時間に対する Flash メモリ HCLK クロック周期の割合を表します。

000：0ウェイトステート

001：ウェイトステート 1 個

010：ウェイトステート 2 個

011：ウェイトステート 3 個

その他：予約済みです。

3.10.2 Flash メモリキーレジスタ（FLASH_KEYR）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **KEY[31:0]**：Flash メモリ･キー

Flash メモリ制御レジスタ（FLASH_CR）および Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）をアンロックし、プログラミングや消去操作を有効にするには、次の値を連続して書き込む必要があります。

KEY1：0x4567 0123

KEY2：0xCDEF：89AB

3.10.3 Flash メモリオプションキーレジスタ（FLASH_OPTKEYR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **OPTKEY[31:0]**：オプションバイトキー

Flash メモリオプションレジスタをアンロックし、オプションバイトのプログラミングや消去操作を有効にするには、次の値を連続して書き込む必要があります。

KEY1：0x0819：2A3B

KEY2：0x4C5D：6E7F

3.10.4 Flash メモリステータスレジスタ（FLASH_SR）

アドレスオフセット：0x010

リセット値：0x000X 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY
												r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTV ERR	RD ERR	OPTNV	Res.	Res.	Res.	FAST ERR	MISS ERR	PGS ERR	SIZ ERR	PGA ERR	WRP ERR	PROGE RR	Res.	OP ERR	EOP
rc_w1	rc_w1	r				rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **PESD**：プログラム／消去操作のサスペンド

このビットは、ハードウェアによってセット／リセットされます。

Flash メモリアクセス制御レジスタ（FLASH_ACR）または Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）のどちらかの PES ビットが 1 つ以上ある場合にセットされます。

FLASH_ACR と FLASH_C2ACR の PES ビットが両方ともクリアされている場合にクリアされます。

セットすると、新しいプログラムまたは消去操作は開始されません。

ビット 18 **CFGBSY**：ビジー状態のプログラムまたは消去設定

このフラグはハードウェアによってセット／リセットされます。

- プログラムへの最初のワード送信時、または消去するための STRT のセット時にセットされます。
- 動作完了時、またはエラー中断時にリセットされます。

1 にセットすると、その他の操作はすべて Flash メモリ制御レジスタ（FLASH_CR）を通じて開始できなくなり、延期する必要があります（プログラムまたは消去操作中です）。0 にリセットすると、Flash メモリ制御レジスタ（FLASH_CR）のプログラムと消去の設定を変更できます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BSY**：ビジー

Flash メモリ制御レジスタ（FLASH_CR）によって要求されたFlash メモリ操作が進行中であることを示します。このビットはFlash メモリ操作の開始時にセットされ、操作が終了するかエラーが発生するとリセットされます。

ビット 15 **OPTVERR**：オプションとエンジニアリングビットのローディング有効性エラー

オプションとエンジニアリングビットが読み込まれる時に、製造者とユーザによって設定されていない値の場合にハードウェアによってセットされます。オプションとエンジニアリングビットが適切にロードされなかった場合、各システムリセット後に OPTVERR が再びセットされます。ローディングに失敗したオプションバイトは、セクション 3.4.2：オプションバイトのプログラミングに示すように、安全な値になります。

1 を書き込むとクリアされます。

ビット 14 **RDERR**：PCROP 読出しエラー

D バスを通じて読み出すアドレスがFlash メモリの読出し保護領域（PCROP 保護）のアドレスである場合、ハードウェアによってセットされます。Flash_CR で RDERRIE がセットされると、割込みが生成されます。

1 を書き込むとクリアされます。

ビット 13 **OPTNV**：ユーザオプション OPTVAL の表示

このビットは、ハードウェアによってセット／リセットされます。

0：OBL ユーザオプション OPTVAL が「有効」を示します。

1：OBL ユーザオプション OPTVAL が「無効」を示します。

ビット 12:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FASTERR**：高速プログラミングエラー

高速プログラミングシーケンス（FSTPG によって有効化）がエラー（整列、サイズ、書込み保護、データミス）により割り込まれたときにハードウェアによってセットされます。対応するステータスビット（PGAERR、SIZERR、WRPERR または MISSERR）が同時にセットされます。

1 を書き込むとクリアされます。

ビット 8 **MISSERR**：高速プログラミングデータミスエラー

高速プログラミングモードで、64 ダブルワード（512 バイト）を連続でFlash メモリに送信して、現在のデータが完全にプログラムされる前にロジック制御に新しいデータを送信する必要があります。MISSERR は、新しいデータが間に合わず存在しない場合にハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 7 **PGSERR**：プログラミングシーケンスエラー

PG または FSTPG が以前に設定されていない時にコードによってFlash メモリへの書込みアクセスが実施されると、ハードウェアによってセットされます。以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR または FASTERR がセットされている場合にもハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 6 **SIZERR**：サイズエラー

プログラムまたは高速プログラムシーケンス中のアクセスのサイズが、バイトまたはハーフワードである場合にハードウェアによってセットされます。ダブルワードのプログラミングだけが可能です（結果としてワードアクセス）。

1 を書き込むとクリアされます。

ビット 5 **PGAERR**：プログラミング整列エラー

標準プログラミングの場合、または高速プログラミング中にページの変更がある場合、プログラムするデータを同じダブルワード（64 ビット）アライメントのFlash メモリに格納できない場合は、ハードウェアで設定されます。

1 を書き込むとクリアされます。

ビット 4 **WRPERR**：書込み保護エラー

消去／プログラムするアドレスが（WRP、PCROP、または RDP レベル 1 によって）Flash メモリの書込み保護された部分のアドレスである場合、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 3 **PROGERR**：プログラミングエラー

書き込むデータが 0x0000 0000 0000 0000 である場合を除き、プログラムする前に、プログラム対象のダブルワードアドレスに 0xFFFF FFFF FFFF FFFF 以外の値が含まれる場合、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OPERR**：操作エラー

Flash メモリ操作（プログラム／消去）が異常終了するとハードウェアによってセットされます。

このビットは、エラー割込みが有効になっている場合（ERRIE = 1）にのみセットされます。

1 を書き込むとクリアされます。

ビット 0 **EOP**：操作終了

1 つ以上のFlash メモリ操作（プログラム／消去）が正常に完了するとハードウェアによってセットされます。

このビットは、操作終了割込みが有効になっている場合（EOPIE = 1）にのみセットされます。

1 を書き込むとクリアされます。

3.10.5 Flash メモリ制御レジスタ（FLASH_CR）

アドレスオフセット：0x014

リセット値：0xC000 0000

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

このレジスタは、Flash メモリステータスレジスタ（FLASH_SR）の CFGBSY がセットされているときは変更しないでください。この結果、次のようになります。

- ダブルワードプログラミングシーケンスにより CFGBSY がセットされ、プログラミングのために最初のワードが送信された後、2 番目のワードが送信される前に FLASH_CR への書込みが実行された場合はバスエラー。
- その他の理由で CFGBSY がセットされている場合はバスのストール。
  - Flash メモリステータスレジスタ（FLASH_SR）の PESD ビットがクリアされている場合、レジスタ書込みアクセスは CFGBSY ビットがクリアされるまでストールします。（他の CPU による）
  - Flash メモリステータスレジスタ（FLASH_SR）の PESD ビットがセットされている場合でプログラムまたは消去操作中の場合、レジスタ書込みアクセスによってバスエラーが発生します。
  - Flash メモリステータスレジスタ（FLASH_SR）の PESD ビットがセットされている場合で、進行中のプログラムまたは消去操作がない場合、レジスタ書込みアクセスは完了しています。サスペンドが無効化されるまで、要求されたプログラムまたは消去操作はサスペンドされ、BSY/CFGBSY がアサートされ、1 のまま残されます。その結果、PESD ビットは 0 に戻り、サスペンドされた操作が完了します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OPT LOCK	Res.	Res.	OBL_ LAUNCH	RD ERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPT STRT	STRT
rs	rs			rc_w1	rw	rw	rw						rw	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	PNB[7:0]								MER	PER	PG
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **LOCK**：FLASH_CR ロック

このビットはセット専用です。セットされると、Flash_CR レジスタがロックされます。アンロックシーケンスが検出されると、ハードウェアによってクリアされます。

アンロック操作が成功しない場合には、このビットは次のシステムリセットまでセットされたままとなります。

ビット 30 **OPTLOCK**：オプションロック

このビットはセット専用です。セットされると、FLASH_CR レジスタに関するすべてのビットおよびオプションページがロックされます。このビットは、アンロックシーケンスが検出されると、ハードウェアによってクリアされます。LOCK ビットは、OPTLOCK ビットに対してアンロックシーケンスを行う前にクリアする必要があります。

アンロック操作が成功しない場合には、このビットは次のリセットまでセットされたままとなります。

ビット 29:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **OBL_LAUNCH**：オプションバイトローディングの強制

1 にセットすると、このビットではオプションバイトの再ロードを強制的に行います。このビットは、オプションバイトローディングが完了したときにのみクリアされます。OPTLOCK がセットされた場合に書き込めません。

0：オプションバイトローディングが完了します。

1：オプションバイトローディングがリクエストされました。

ビット 26 **RDERRIE**：PCROP 読出しエラー割込み有効化

このビットは、Flash_SR の RDERR ビットが 1 にセットされると割込み生成を有効にします。

0：PCROP 読出しエラー割込みが無効です。

1：PCROP 読出しエラー割込みが有効です。

ビット 25 **ERRIE**：エラー割込み有効化

このビットは、Flash_SR の OPERR ビットが 1 にセットされると割込み生成を有効にします。

0：OPERR エラー割込みが無効です。

1：OPERR エラー割込みが有効です。

ビット 24 **EOPIE**：操作終了割込みイネーブル

このビットは、Flash_SR の EOP ビットが 1 にセットされると割込み生成を有効にします。

0：EOP 割込みは無効です。

1：EOP 割込みは有効です。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **FSTPG**：高速プログラミング

0：高速プログラミングは無効です。

1：高速プログラミングは有効です。

ビット 17 **OPTSTRT**：オプション変更開始

このビットがセットされると、オプション操作がトリガされます。

このビットはソフトウェアによってのみセットされ、BSY ビットが Flash_SR でクリアされるとクリアされます。

ビット 16 **STRT**：スタート

このビットがセットされると、消去操作がトリガされます。MER および PER ビットがどちらもリセットされ、STRT ビットがセットされると、エラーフラグを生成せずに予測不可能な動作を実行することがあります。このような状態は禁止する必要があります。

このビットはソフトウェアによってのみセットされ、BSY ビットが Flash_SR でクリアされるとクリアされます。

セキュア Flash メモリのページを含む CPU1 を開始する操作は拒否され、バスエラーが生成されます。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:3 **PNB[7:0]**：ページ番号選択

これらのビットは、消去するページを選択します。

0x00：ページ 0

0x01：ページ 1

.....

0x7F：ページ 127

.....（STM32WB55xx のみ）

0xFF：255 ページ（STM32WB55xx のみ）

ビット 2 **MER**：全体消去

このビットがセットされると、全体消去（ユーザページすべて）がトリガされます。

ビット 1 **PER**：ページ消去

0：ページ消去は無効です。

1：ページ消去は有効です。

ビット 0 **PG**：プログラミング

0：Flash メモリプログラミングは無効です。

1：Flash メモリプログラミングは有効です。

3.10.6 Flash メモリ ECC レジスタ（FLASH_ECCR）

アドレスオフセット：0x018

リセット値：0x0000 0000

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCD	ECCC	Res.	CPUID[2:0]			Res.	ECCCIE	Res.	Res.	Res.	SYSF _ECC	Res.	Res.	Res.	ADDR _ECC[16]
rc_w1	rc_w1		r	r	r		rw				r				r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR_ECC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 **ECCD**：ECC 検出

2 つの ECC エラーが検出されたときに、ハードウェアによってセットされます。このビットがセットされると、NMI が生成されます。
1 を書き込むとクリアされます。

ビット 30 **ECCC**：ECC 訂正

1 つの ECC エラーが検出され訂正されたときに、ハードウェアによってセットされます。ECCIE がセットされると、割込みが生成されます。
1 を書き込むとクリアされます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:26 **CPUID[2:0]**：CPU 識別

ハードウェアによってセットされ、ECC 障害の原因となった CPU アクセスのバス ID を示します。
000：CPU1 アクセス
001：CPU2 アクセス

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ECCCIE**：ECC 訂正割込み有効化

0：ECCC 割込み無効
1：ECCC 割込み有効

ビット 23:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **SYSF_ECC**：システムFlash メモリ ECC 失敗

このビットは、ECC エラー訂正またはダブル ECC エラー検出がシステムFlash メモリで発生したことを示します。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:0 **ADDR_ECC[16:0]**：ECC 失敗ダブルワードアドレス

これらのビットは、ECC エラー訂正が関連している、またはダブル ECC エラー検出を引き起こすダブルワードアドレスを示します。

3.10.7 Flash メモリオプションレジスタ（FLASH_OPTR）

アドレスオフセット：0x020

リセット値：0bxxxx xxxx xxxx xxxx xxxx xxx1 xxxx xxxx（オプションビットには、リセット解除時にFlash メモリからの値が入力されます。）

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AGC_TRIM[2:0]			Res.	n BOOT0	nSW BOOT0	SRAM2 _RST	SRAM2 _PE	n BOOT1	Res.	Res.	Res.	WWDG_ SW	IWDG _STDBY	IWDG _STOP	IWDG _SW
rw	rw	rw		rw	rw	rw	rw	rw				rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	nRST _SHDW	nRST _STDBY	nRST _STOP	BOR_LEV[2:0]			ESE	RDP[7:0]							
	rw	rw	rw	rw	rw	rw	r	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 **AGC_TRIM[2:0]**：無線自動ゲイン制御トリミング
デフォルト値 0b001

ビット 28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **nBOOT0**：nBOOT0 オプションビット
nSWBOOT0 ビット設定の選択 BOOT0 がビット nBOOT0 から取得された場合、ビット nBOOT1 とともに、ユーザFlash メモリ、SRAM1、またはシステムFlash メモリからブートを選択します。セクション 2.3：ブート設定を参照してください。
0：nBOOT0 = 0
1：nBOOT0 = 1

ビット 26 **nSWBOOT0**：ソフトウェア BOOT0 選択
0：オプションビット nBOOT0 から取得した BOOT0 です。
1：PH3/BOOT0 ピンから取得した BOOT0 です。

ビット 25 **SRAM2_RST**：SRAM2 およびシステムリセット時の PKA RAM 消去
0：システムリセットが発生した際に SRAM2 および PKA RAM を消去します。
1：システムリセットが発生した際に SRAM2 および非セキュア PKA RAM を消去しません。

ビット 24 **SRAM2_PE**：SRAM2 パリティチェックは有効です。
0：SRAM2 パリティチェックは有効です。
1：SRAM2 パリティチェックは無効です。

ビット 23 **nBOOT1**：ブート設定
このビットは、BOOT0 ピンまたはオプションビット nBOOT0（nSWBOOT0 オプションビットの設定に応じて）と一緒に、ユーザFlash メモリ、SRAM1、またはシステムメモリからブートモードを選択します。セクション 2.3：ブート設定を参照してください。

ビット 22:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **WWDG_SW**：ウィンドウ型ウォッチドッグの選択
0：ハードウェアによるウィンドウ型ウォッチドッグです。
1：ソフトウェアによるウィンドウ型ウォッチドッグです。

ビット 18 **IWDG_STDBY**：STANDBY モードでの独立型ウォッチドッグカウンタの凍結
0：STANDBY モードでの独立型ウォッチドッグカウンタを停止します。
1：STANDBY モードでの独立型ウォッチドッグカウンタが動作します。

ビット 17 **IWDG_STOP**：STOP モードでの独立型ウォッチドッグカウンタの凍結
0：STOP モードでの独立型ウォッチドッグカウンタを停止します。
1：STOP モードでの独立型ウォッチドッグカウンタが動作します。

ビット 16 **IWDG_SW**：独立型ウォッチドッグの選択
0：ハードウェアに依存しないウォッチドッグです。
1：ソフトウェアに依存しないウォッチドッグです。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **nRST_SHDW**：
0：SHUTDOWN モードに入るときにリセットを生成します。
1：SHUTDOWN モードに入るときにリセットを生成しません。

ビット 13 **nRST_STDBY**：
0：STANDBY モードに入るときにリセットを生成します。
1：STANDBY モードに入るときにリセットを生成しません。

ビット 12 **nRST_STOP**：
0：STOP モードに入るときにリセットを生成します。
1：STOP モードに入るときにリセットを生成しません。

ビット 11:9 **BOR_LEV[2:0]**：BOR リセットレベル
これらのビットには、リセットをアクティブにしたり解除したりする V_{DD} 供給レベル閾値が含まれています。
000：BOR レベル 0。リセットレベル閾値は ~ 1.7 V です。
001：BOR レベル 1。リセットレベル閾値は ~ 2.0 V です。
010：BOR レベル 2。リセットレベル閾値は ~ 2.2 V です。
011：BOR レベル 3。リセットレベル閾値は ~ 2.5 V です。
100：BOR レベル 4。リセットレベル閾値は ~ 2.8 V です。

ビット 8 **ESE**：システムセキュリティ有効フラグ
システムセキュリティによって、ユーザFlash メモリ FSD = 0 が有効かどうかを示します。
0：セキュリティを無効にします。
1：セキュリティを有効にします。

ビット 7:0 **RDP[7:0]**：読出し保護レベル
0xAA：レベル 0、読出し保護はアクティブではありません。
0xCC：レベル 2、チップ読出し保護がアクティブです。
その他：レベル 1、メモリ読出し保護がアクティブです。

注： レベル 1 では PCROP_RDP 設定に注意してください。詳細については、レベル 1：読出し保護を参照してください。

3.10.8 Flash メモリ PCROP ゾーン A 開始アドレスレジスタ（FLASH_PCROP1ASR）

アドレスオフセット：0x024

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワードアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT [8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1A_STRT[8:0]**：PCROP1A 領域開始オフセット

PCROP1A_STRT は、PCROP1A 領域の最初の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.9 Flash メモリ PCROP ゾーン A 終了アドレスレジスタ（FLASH_PCROP1AER）

アドレスオフセット：0x028

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワードアクセス。PCROP_RDP ビットへはバイトアクセスでアクセスできます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END [8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **PCROP_RDP**：RDP レベルが下がると保存される PCROP 領域

このビットはセット専用です。RDP レベル の 1 から 0 への変更による完全全体消去の後にリセットされます。

0：RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されません。

1：RDP レベルが 1 から 0 に下がった場合に PCROP 領域が消去されます（完全全体消去）。

ビット 30:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1A_END[8:0]**：PCROP1A 領域終了オフセット

PCROP1A_END は、PCROP1A 領域の最後の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.10 Flash メモリ WRP 領域 A アドレスレジスタ（FLASH_WRP1AR）

アドレスオフセット：0x02C

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **WRP1A_END[7:0]**：WRP 最初の領域「A」終了オフセット

WRP 最初の領域の最後の 4 KB のページを含んでいます。ビット 23 は STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **WRP1A_STRT[7:0]**：WRP 最初の領域「A」開始オフセット

WRP 最初の領域の最初の 4 KB のページを含んでいます。ビット 7 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.11 Flash メモリ WRP 領域 B アドレスレジスタ（FLASH_WRP1BR）

アドレスオフセット：0x030

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **WRP1B_END[7:0]**：WRP 2 番目の領域「B」終了オフセット

WRPB1_END は、WRP の 2 番目の領域の最後の 4 KB のページを含んでいます。ビット 23 は STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **WRP1B_STRT[7:0]**：WRP 2 番目の領域「B」開始オフセット

WRPB1_END は、WRP の 2 番目の領域の最初の 4 KB のページを含んでいます。ビット 7 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.12 Flash メモリ PCROP ゾーン B 開始アドレスレジスタ（FLASH_PCROP1BSR）

アドレスオフセット：0x034

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワードアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1B_STRT[8:0]**：PCROP1B 領域開始オフセット

PCROP1B 領域の最初の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.13 Flash メモリ PCROP ゾーン B 終了アドレスレジスタ（FLASH_PCROP1BER）

アドレスオフセット：0x038

リセット値：0xXXXX XXXX

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワードアクセス。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **PCROP1B_END[8:0]**：PCROP1B 領域終了オフセット

PCROP1B 領域の最後の 2 KB のページを含んでいます。ビット 8 は STM32WB35xx デバイスでは予約済みであることに注意してください。

3.10.14 Flash メモリ IPCC メールボックスデータバッファアドレスレジスタ（FLASH_IPCCBR）

アドレスオフセット：0x03C

リセット値：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	IPCCDBA[13:0]													
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **IPCCDBA[13:0]**：IPCC メールボックスデータバッファベースアドレスオフセット
SRAM2 の IPCC メールボックスデータバッファ領域の最初のダブルワードオフセットを含んでいます。

3.10.15 Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）

アドレスオフセット：0x05C

リセット値：0x0000 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PES	Res.	Res.	Res.	ICRST	Res.	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw				rw		rw	rw								

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **PES**：CPU2 プログラム／消去サスペンドリクエスト
0：Flash メモリのプログラムおよび消去操作が許可されます。
1：新しいFlash メモリのプログラム／消去操作は、このビットと Flash メモリアクセス制御レジスタ（FLASH_ACR）の同じビットがクリアされるまですべてサスペンドされます。Flash メモリステータスレジスタ（FLASH_SR）および Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の両方の PESD ビットは、FLASH_ACR または FLASH_C2ACR の PES ビットが 1 つ以上セットされている場合にセットされます。

ビット 14:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **ICRST**：CPU2 命令キャッシュ·リセット
0：CPU2 命令キャッシュはリセットされません。
1：CPU2 命令キャッシュはリセットされます。
このビットに書き込めるのは、命令キャッシュが無効のときだけです。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **ICEN**：CPU2 命令キャッシュ有効化
0：CPU2 命令キャッシュは無効です。
1：CPU2 命令キャッシュは有効です。

ビット 8 **PRFTEN**：CPU2 プリフェッチ有効化
0：CPU2 プリフェッチは無効です。
1：CPU2 プリフェッチは有効です。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

3.10.16 Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）

アドレスオフセット：0x060

リセット値：0x000X 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY
												r	r		r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	RD ERR	Res.	Res.	Res.	Res.	FAST ERR	MISS ERR	PGS ERR	SIZ ERR	PGA ERR	WRP ERR	PROGE RR	Res.	OP ERR	EOP
	rc_w1					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **PESD**：プログラム／消去操作のサスペンド。
このビットは、ハードウェアによってセット／リセットされます。
Flash メモリアクセス制御レジスタ（FLASH_ACR）または Flash メモリ CPU2 アクセス制御レジスタ（FLASH_C2ACR）のどちらかの PES ビットが 1 つ以上ある場合にセットされます。
FLASH_ACR と FLASH_C2ACR の PES ビットが両方ともクリアされている場合にクリアされます。
セットすると、新しいプログラムまたは消去操作は開始されません。

ビット 18 **CFGBSY**：ビジー状態のプログラムまたは消去設定。
このビットは、ハードウェアによってセット／リセットされます。（最初のワード送信時にセットされ、プログラム操作の完了時またはエラーによる割込み時にリセットされます。）
「1」にセットした場合、（Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の FLASH_PG および FLASH_PNB）のプログラムと消去の設定は使用中（ビジー）であり、変更できません。Flashのプログラムまたは消去操作中です。
「0」にリセットすると、（Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）の FLASH_PG および FLASH_PNB）のプログラムと消去の設定を変更できます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BSY**：ビジー
このビットは、Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）によって要求されたFlash メモリ操作が進行中であることを示します。Flash メモリ操作の開始時にセットされ、操作が終了するかエラーが発生するとリセットされます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **RDERR**：PCROP 読出しエラー
D バスを通じて読み出すアドレスがFlash メモリの読出し保護領域（PCROP 保護）のアドレスである場合、ハードウェアによってセットされます。Flash_CR で RDERRIE がセットされると、割込みが生成されます。
1 を書き込むとクリアされます。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FASTERR**：高速プログラミングエラー

高速プログラミングシーケンス（FSTPG によって有効化）がエラー（整列、サイズ、書込み保護、データミス）により割り込まれたときにハードウェアによってセットされます。対応するステータスビット（PGAERR、SIZERR、WRPERR または MISSERR）が同時にセットされます。

1 を書き込むとクリアされます。

ビット 8 **MISSERR**：高速プログラミングデータミスエラー

高速プログラミングモードで、64 ダブルワード（512 バイト）を連続でFlash メモリに送信して、現在のデータが完全にプログラムされる前にFlash メモリロジック制御に新しいデータを送信する必要があります。MISSERR は、新しいデータが間に合わず存在しない場合にハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 7 **PGSERR**：プログラミングシーケンスエラー

PG または FSTPG が以前に設定されていない時にコードによってFlash メモリへの書込みアクセスが実施されると、ハードウェアによってセットされます。以前のプログラミングエラーによって PROGERR、SIZERR、PGAERR、WRPERR、MISSERR または FASTERR がセットされている場合にもハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 6 **SIZERR**：サイズエラー

プログラムまたは高速プログラムシーケンス中のアクセスのサイズが、バイトまたはハーフワードである場合にハードウェアによってセットされます。ダブルワードのプログラミングだけが可能です（結果としてワードアクセス）。

1 を書き込むとクリアされます。

ビット 5 **PGAERR**：プログラミング整列エラー

標準プログラミングの場合、または高速プログラミング中にページの変更がある場合、プログラムするデータを同じダブルワード（64 ビット）アライメントのFlash メモリに格納できない場合は、ハードウェアで設定されます。

1 を書き込むとクリアされます。

ビット 4 **WRPERR**：書込み保護エラー

消去／プログラムするアドレスが（WRP、PCROP、または RDP レベル 1 によって）Flash メモリの書込み保護された部分のアドレスである場合、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 3 **PROGERR**：プログラミングエラー

書き込むデータが 0x0000 0000 0000 0000 である場合を除き、プログラムする前に、プログラム対象のダブルワードアドレスに 0xFFFF FFFF 以外の値が含まれる場合、ハードウェアによってセットされます。

1 を書き込むとクリアされます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OPERR**：操作エラー

Flash メモリ操作（プログラム／消去）が異常終了するとハードウェアによってセットされます。

このビットは、エラー割込みが有効になっている場合（ERRIE = 1）にのみセットされます。

1 を書き込むとクリアされます。

ビット 0 **EOP**：操作終了

1 つ以上のFlash メモリ操作（プログラム／消去）が正常に完了するとハードウェアによってセットされます。

このビットは、操作終了割込みが有効になっている場合（EOPIE = 1）にのみセットされます。

1 を書き込むとクリアされます。

3.10.17 Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）

アドレスオフセット：0x064

リセット値：0xC000 0000

アクセス：ウェイトステートなし（進行中のFlash メモリ操作がない場合）、ワード、ハーフワード、バイトアクセス。

このレジスタは、Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の CFGBSY がセットされているときには変更できません。

- Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットがクリアされている場合、レジスタ書込みアクセスは CFGBSY ビットがクリアされるまでストールします（他の CPU による）。
- Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットがセットされている場合、レジスタ書込みアクセスによってバスエラーが発生します。
- Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）の PESD ビットがセットされている場合で、進行中のプログラムまたは消去操作がない場合、レジスタ書込みアクセスは完了しています。サスペンドが無効化されるまで、要求されたプログラムまたは消去操作はサスペンドされ、BSY/CFGBSY がアサートされ、1 のまま残されます。その結果、PESD ビットは 0 に戻り、サスペンドされた操作が完了します。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	RD ERRIE	ERR IE	EOP IE	Res.	Res.	Res.	Res.	Res.	FSTPG	Res.	STRT
					rw	rw	rw						rw		rs

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	PNB[7:0]								MER	PER	PG
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **RDERRIE**：PCROP 読出しエラー割込み有効化

このビットは、Flash_SR の RDERR ビットが 1 にセットされると割込み生成を有効にします。

0：PCROP 読出しエラー割込みが無効です。

1：PCROP 読出しエラー割込みが有効です。

ビット 25 **ERRIE**：エラー割込み有効化

このビットは、Flash_SR の OPERR ビットが 1 にセットされると割込み生成を有効にします。

0：OPERR エラー割込みが無効です。

1：OPERR エラー割込みが有効です。

ビット 24 **EOPIE**：操作終了割込みイネーブル

このビットは、Flash_SR の EOP ビットが 1 にセットされると割込み生成を有効にします。

0：EOP 割込みは無効です。

1：EOP 割込みは有効です。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **FSTPG**：高速プログラミング

0：高速プログラミングは無効です。

1：高速プログラミングは有効です。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **STRT**：スタート

このビットがセットされると、消去操作がトリガされます。MER および PER ビットがどちらもリセットされ、STRT ビットがセットされると、エラーフラグを生成せずに予測不可能な動作を実行することがあります。このような状態は禁止する必要があります。

このビットはソフトウェアによってのみセットされ、BSY ビットが Flash_SR でクリアされるとクリアされます。

セキュアFlash メモリのページを含む CPU1 を開始する操作は拒否され、バスエラーが生成されます。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:3 **PNB[7:0]**：ページ番号選択

これらのビットは、消去するページを選択します。

0x00 : ページ 0
0x01 : ページ 1
.....
0x7F : ページ 127
.....（STM32WB55xx のみ）
0xFF : 255 ページ（STM32WB55xx のみ）

ビット 2 **MER**：全体消去

このビットがセットされると、全体消去（ユーザページすべて）がトリガされます。

ビット 1 **PER**：ページ消去

0：ページ消去は無効です。
1：ページ消去は有効です。

ビット 0 **PG**：プログラミング

0：Flashプログラミングは無効です。
1：Flashプログラミングは有効です。

3.10.18 セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）

アドレスオフセット：0x080

リセット値：0bxxx xxx xxx xxx xxx xxx1 xxx0 xxx xxx

このレジスタは書込みアクセスのセキュリティを提供し、CPU2 によってのみ書き込めます。CPU1 からの書込みアクセスは無視され、バスエラーが生成されます。いかなる読出しアクセスに対しても、レジスタの値が返されます。

書込み値は OBL の後にのみ考慮されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DDS	Res.	Res.	Res.	FSD	SFSA[7:0]							
			rw				rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DDS**：CPU2 デバッグアクセスの無効化

0：CPU2 デバッグアクセスは有効です。
1：CPU2 デバッグアクセスは無効です。

ビット 11:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **FSD**：Flash メモリセキュリティの無効化

1：システムおよびFlash メモリは非セキュアです。

0：システムおよびFlash メモリはセキュアです（Flash メモリのセキュア領域は SFSA によって与えられます）。

ビット 7:0 **SFSA[7:0]**：セキュアFlash メモリの開始アドレス

SFSA[7:0] は、セキュアFlash メモリ領域の最初の 4 KB のページを含みます。

3.10.19 Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）

アドレスオフセット：0x084

リセット値：0xXXXX XXXX

このレジスタは書込みアクセスのセキュリティを提供し、CPU2 によってのみ書き込めます。CPU1 からの書込みアクセスは無視され、バスエラーが生成されます。いかなる読出しアクセスに対しても、レジスタの値が返されます。

書込み値は OBL の後にのみ考慮されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C2OPT	NBRSD	SNBRSA[4:0]					Res.	BRSD	SBRSA[4:0]					SBRV[17:16]	
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBRV[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **C2OPT**：CPU2 ブートリセットベクタメモリの選択

0：SBRV のオフセットアドレスは SRAM1 または SRAM2 で、開始アドレスは 0x2000 0000 からです。SBRV の値は SRAM 領域内で保持する必要があります。

1：SBRV のオフセットアドレスはFlash メモリで、開始アドレスは 0x0800 0000 からです。

ビット 30 **NBRSD**：非バックアップ SRAM2b セキュリティの無効化

NBRSD = 1：SRAM2b は非セキュアです。

NBRSD = 0：SRAM2b はセキュアです。SNBRSA[4:0] は、セキュア非バックアップ SRAM2b 領域の最初の 1 KB のページを含んでいます。

ビット 29:25 **SNBRSA[4:0]**：セキュア非バックアップ SRAM2b 開始アドレス

NBRSD = 0：SRAM2b はセキュアです。SNBRSA[4:0] は、セキュア非バックアップ SRAM2b 領域の最初の 1 KB のページを含んでいます。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **BRSD**：バックアップ SRAM2a セキュリティの無効化

BRSD = 1：SRAM2a は非セキュアです。

BRSD = 0：SRAM2a はセキュアです。SBRSA[4:0] は、セキュアバックアップ SRAM2a 領域の最初の 1 KB のページの開始アドレスを含んでいます。

ビット 22:18 **SBRSA[4:0]**：セキュアバックアップ SRAM2a 開始アドレス

BRSD = 0：SRAM2a はセキュアです。SBRSA[4:0] は、セキュアバックアップ SRAM2a 領域の最初の 1 KB のページの開始アドレスを含んでいます。

ビット 17:0 **SBRV[17:0]**：CPU2 ブートリセットベクタ

C2OPT によって選択されたメモリ領域内に、ワード単位で揃えられている CPU2 ブートリセット開始アドレスのオフセットがあります。

3.10.20 Flash レジスタマップ

表 18. Flashインタフェースレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	Flash_ACR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EMPTY	PES	Res.	Res.	DCRST	ICRST	DCEN	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	LATENCY [2:0]		
	リセット値																0	0			0	0	1	1	0						0	0	0
0x004	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0x008	Flash_KEYR	KEYR[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	Flash_OPT KEYR	OPTKEYR[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	Flash_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY	OPTVERR	RDERR	OPTNV	Res.	Res.	Res.	FASTERR	MISERR	PGSERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
	リセット値													0	0		0	X	0	X				0	0	0	0	0	0	0		0	0
0x014	Flash_CR	LOCK	OPTLOCK	Res.	Res.	OBL_LAUNCH	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPTSTRT	STRT	Res.	Res.	Res.	Res.	Res.	PNB[7:0]								MER	PER	PG
	リセット値	1	1			0	0	0	0						0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x018	Flash_ECCR	ECCD	ECCC	Res.	CPUID [2:0]			Res.	ECCCIE	Res.	Res.	Res.	SYSF_ECC	Res.	Res.	Res.	ADDR_ECC[16:0]																	
	リセット値	0	0		0	0	0		0				0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	Flash_OPTR	AGC_TRIM [2:0]			Res.	nBOOT0	nSWBOOT0	SRAM2_RST	SRAM2_PE	nBOOT1	Res.	Res.	Res.	WWDG_SW	IWDG_STBY	IWDG_STOP	IWDG_SW	Res.	nRST_SHDW	nRST_STDBY	nRST_STOP	BOR_LEV [2:0]			ESE	RDP[7:0]							
	リセット値	X	X	X		X	X	X	X	X				X	X	X	X		X	X	X	X	X	X	1	X	X	X	X	X	X	X	X
0x024	Flash_ PCROP1ASR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT [8:0]								
	リセット値																								X	X	X	X	X	X	X	X	X
0x028	Flash_ PCROP1AER	PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END [8:0]								
	リセット値	x																							X	X	X	X	X	X	X	X	X
0x02C	Flash_ WRP1AR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END [7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT [7:0]							
	リセット値									X	X	X	X	X	X	X	X									X	X	X	X	X	X	X	X
0x030	Flash_ WRP1BR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END [7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT [7:0]							
	リセット値									X	X	X	X	X	X	X	X									X	X	X	X	X	X	X	X
0x034	Flash_ PCROP1BSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT [8:0]								
	リセット値																								X	X	X	X	X	X	X	X	X

表 18. Flashインタフェースレジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x038	Flash_ PCROP1BER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END [8:0]								
	リセット値																								x	x	x	x	x	x	x	x	x
0x03C	Flash_ IPCCBR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IPCCDBA[13:0]													
	リセット値																			x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x05C	FLASH_C2ACR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PES	Res.	Res.	Res.	ICRST	Res.	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																	0				0		1	0								
0x060	FLASH_C2SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PESD	CFGBSY	Res.	BSY	Res.	RDERR	Res.	Res.	Res.	Res.	FASTERR	MISERR	PGSERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
	リセット値													0	0		0		0					0	0	0	0	0	0	0		0	0
0x064	FLASH_C2CR	Res.	Res.	Res.	Res.	Res.	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	Res.	STRT	Res.	Res.	Res.	Res.	Res.	PNB[7:0]							MER	PER	PG
	リセット値						0	0	0						0		0						0	0	0	0	0	0	0	0	0	0
0x080	FLASH_SFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DDS	Res.	Res.	Res.	FSD	SFSA[7:0]							
	リセット値																				1				0	x	x	x	x	x	x	x	x
0x084	FLASH_SRRVR	C2OPT	NBRSD	SNBRSA[4:0]					Res.	BRSD	SBRSA[4:0]					SBRV[17:0]																	
	リセット値	x	x	x	x	x	x	x		x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

4 無線システム

4.1 概要

このシステムは、超低消費電力で、Bluetooth® Core Specification BLE5.3 および IEEE 802.15.4 規格に準拠しています。

この無線システムは、2.4 GHz RF フロントエンドと Bluetooth® Low Energy（BLE）および IEEE 802.15.4 物理レイヤ･コントローラで構成されています。このシステムは、無線のプロトコル･ソフトウェアの下位層を含む CPU2 から制御されます。CPU2 上で動作するアプリケーションへのインタフェースは、メールボックス･メッセージ･システムを介して提供されます。

4.2 主な特徴

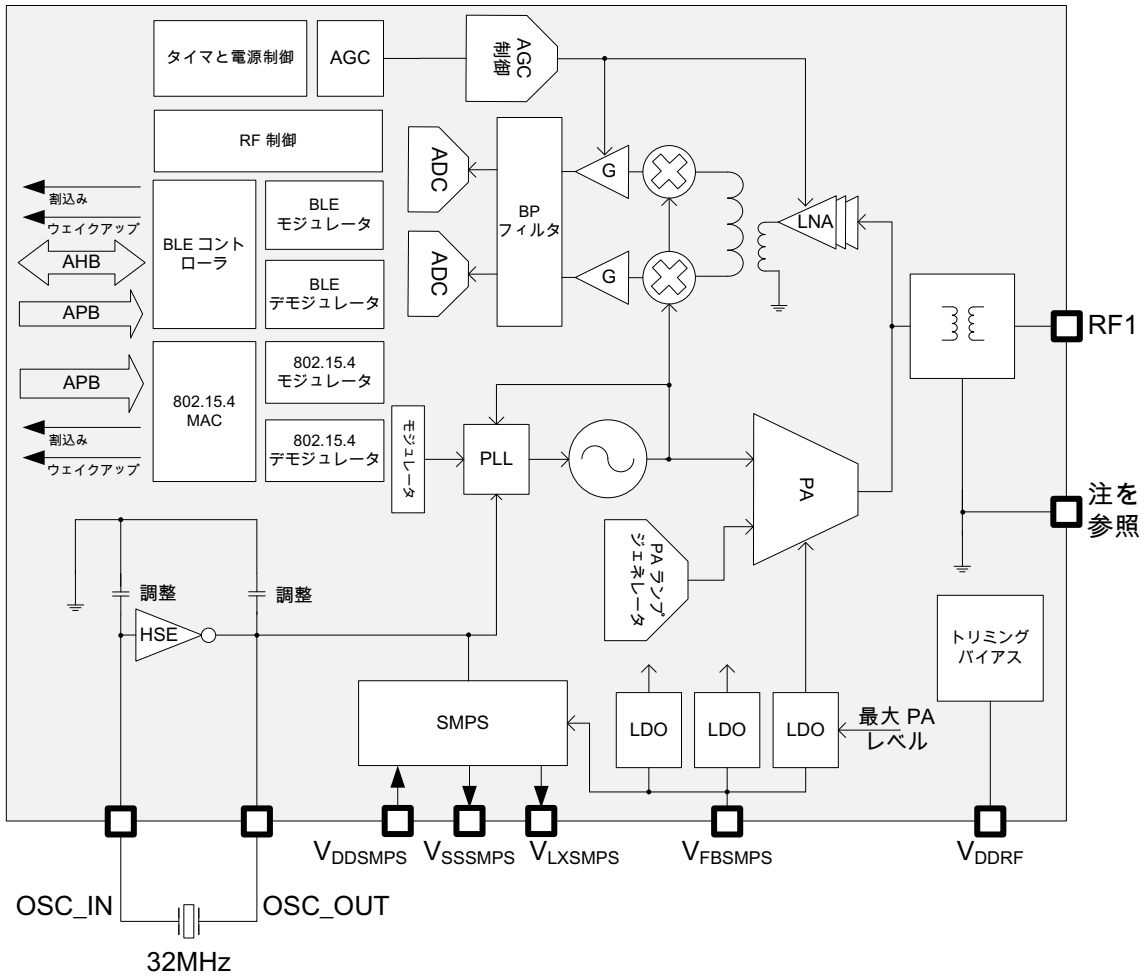
- 以下をサポートする 2.4 GHz RF トランシーバ：
  - Bluetooth® BLE5.3（2 Mbps）規格のサポート
  - IEEE 802.15.4-2011 規格のサポート
- プログラム可能な出力
- RSSI
- バラン（balun）内蔵
- Bluetooth® BLE5.3 の機能：
  - GAP：セントラル、ペリフェラル、オブザーバ、およびブロードキャスタの役割
  - 複数のロールを同時サポート
  - マスタ/スレーブをサポート
  - ATT/GATT：クライアントおよびサーバ

4.3 無線システムの機能説明

4.3.1 概要

無線システムのブロック図を図 5 に示します。

図 5. 無線システムのブロック図



注：
- UFQFN48 および VFQFN68：V_{SS} はエクスポーズドパッドを通じて、また V_{SSRF} ピンはグランド·プレーンに接続する必要がある
- WLCSP100：V_{SSRF} ピンはグランド·プレーンに接続する必要がある

MS45477V3

最大のデフォルト送信出力は、デフォルトの V_{FBSMPS} の供給レベルで対応可能です。より高い出力には、V_{FBSMPS} の供給レベルを増加する必要があります（詳細については、デバイス·データシートを参照）。

5 巡回冗長検査計算ユニット（CRC）

5.1 概要

CRC（Cyclic Redundancy Check：巡回冗長検査）計算ユニットは、8、16、または 32 ビットデータワードと、ある生成多項式から、CRC コードを得るために使用されます。

他のアプリケーションの中でも、CRC ベースのテクニックは、データ転送やストレージの整合性を確認するために使用されます。機能安全規格の範囲内では、このテクニックがFlashメモリの整合性を確認するひとつの手段となっています。CRC 計算ユニットは、実行時にソフトウェアのシグネチャ計算を支援します。リンク時に生成されて、特定のメモリ領域に保存されたリファレンスシグネチャと計算されたソフトウェアシグネチャが比較されます。

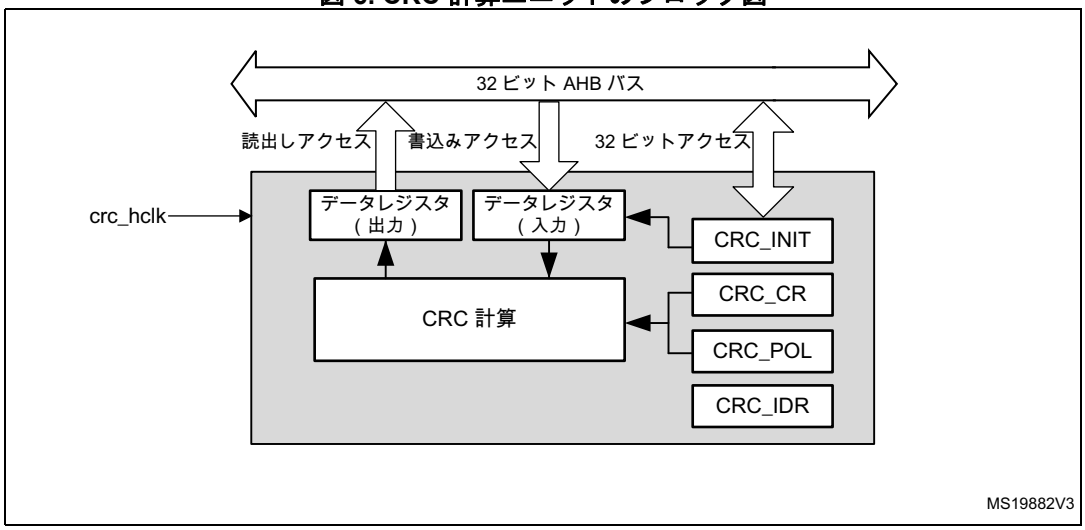
5.2 CRC の主な機能

- 以下の CRC-32（Ethernet）多項式を使用します。0x4C11DB7
  $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- あるいは、完全にプログラム可能な多項式をプログラム可能なサイズ（7、8、16、32 ビット）で使用します。
- サイズが 8、16、32 ビットのデータを取り扱います。
- プログラム可能な CRC の初期値
- シングル入力／出力 32 ビットデータレジスタ
- 計算時のバスのストールを避けるための入力バッファ
- データサイズが 32 ビットの場合、CRC の計算は AHB クロック 4 サイクル（HCLK）以内に行われます。
- 汎用 8 ビットレジスタ（一時ストレージとして使用可能）
- I/O データの可逆性のオプション
- AHB スレーブペリフェラルを介して 32 ビットワードによってのみアクセスされます。ワード、右詰めのハーフワード、および右詰めのバイトによってアクセスできる CRC_DR レジスタは例外です。

5.3 CRC の機能説明

5.3.1 CRC ブロック図

図 6. CRC 計算ユニットのブロック図



5.3.2 CRC 内部信号

表 19. CRC 内部入力／出力信号

信号名	信号タイプ	説明
crc_hclk	デジタル入力	AHB クロック

5.3.3 CRC 操作

CRC 計算ユニットは、1 つの 32 ビットリード／ライトデータレジスタ（CRC_DR）を持っています。このレジスタを使用して、新しいデータを入力し（書込みアクセス）、前回の CRC 計算結果を保持します（読出しアクセス）。

データレジスタへの書込み操作のたびに、前回の CRC 値（CRC_DR に格納）と新しい値の組み合わせが作成されます。CRC 計算は、書き込まれるデータのフォーマットに応じ、32 ビットデータワード全体に対して、またはバイト単位で行われます。

CRC_DR レジスタは、ワード、右詰めのハーフワード、右詰めのバイトによってアクセスできます。他のレジスタについては、32 ビットアクセスのみ可能です。

計算の時間はデータ幅に依存します。

- 32 ビットの場合、4 AHB クロックサイクル
- 16 ビットの場合、2 AHB クロックサイクル
- 8 ビットの場合、1 AHB クロックサイクル

入力バッファを使うと、前回の CRC 計算によるウェイトステートを待つことなく、すぐに第 2のデータを書き込むことができます。

特定のバイト数に対する書込みアクセス数を最小限に抑えるために、データサイズを動的に調節することができます。たとえば、5 バイトの CRC は、1 ワードの書込みと、それに続く 1 バイトの書込みで計算することができます。

入力データを逆にして、さまざまなエンディアンネス方式を管理することができます。逆転操作は、CRC_CR レジスタの REV_IN[1:0] ビットに応じて、8、16、および 32 ビットで行うことができます。

たとえば、0x1A2B3C4D 入力データは、CRC 計算では以下のように使用されます。

- 0x58D43CB2（バイト単位でビットが逆転）
- 0xD458B23C（ハーフワード単位でビットが逆転）
- 0xB23CD458（フルワードでビットが逆転）

また、出力データも、CRC_CR レジスタの REV_OUT ビットをセットすることによって逆にすることができます。

操作はビットレベルで行われます。たとえば、0x11223344 の出力データは 0x22CC4488 に変換されます。

CRC 計算機は、CRC_CR レジスタの RESET 制御ビットを使用して、プログラム可能な値に初期化することができます（デフォルト値は 0xFFFFFFFF）。

CRC の初期値は、CRC_INIT レジスタでプログラムすることができます。CRC_DR レジスタは、CRC_INIT レジスタの書込みアクセス時に自動的に初期化されます。

CRC_IDR レジスタを使用して、CRC 計算に関する一時的な値を保持することができます。このレジスタは、CRC_CR レジスタの RESET ビットによる影響を受けません。

多項式のプログラマビリティ

多項式係数は CRC_POL レジスタを介して完全にプログラム可能であり、多項式のサイズは CRC_CR レジスタの POLYSIZE[1:0] ビットをプログラムすることにより、7、8、16、または 32 ビットに設定できます。偶多項式はサポートされていません。

注： **奇多項式のタイプが $1+X+X^2+..+X^n$ のとき、偶多項式のタイプは $X+X^2+..+X^n$ です。**

CRC データが 32 ビット未満であれば、その値は CRC_DR レジスタの下位ビットから読み出すことができます。

信頼できる CRC 計算結果を得るために、CRC 計算の実行中に多項式の値やサイズを変更することはできません。そのため、CRC 計算が進行中である場合、アプリケーションは計算をリセットするか、または CRC_DR の読出しを行ってから、多項式を変更しなければなりません。

多項式のデフォルト値は、CRC-32 （Ethernet）多項式、0x4C11DB7.

5.4 CRC レジスタ

CRC_DR レジスタは、ワード、右詰めのハーフワード、右詰めのバイトによってアクセスできます。他のレジスタについては、32 ビットアクセスのみ可能です。

5.4.1 CRCデータレジスタ（CRC_DR）

アドレスオフセット：0x00

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DR[31:0]**：データレジスタビット

このレジスタを使用して、CRC 計算機に新しいデータを書き込みます。
読出し時には、前回の CRC 計算結果を保持します。
データサイズが 32 ビット未満であれば、下位ビットを使用して正しい値の書込み／読出しを行います。

5.4.2 CRC 独立型データレジスタ (CRC_IDR)

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IDR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IDR[31:0]**：汎用 32 ビットデータレジスタビット

これらのビットは、4 バイトの一時的なストレージ領域として使用できます。
このレジスタは、CRC_CR レジスタの RESET ビットによって生成される CRC リセットの影響を受けません。

5.4.3 CRC 制御レジスタ（CRC_CR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_ OUT	REV_IN[1:0]		POLYSIZE[1:0]		Res.	Res.	RESET
								rw	rw	rw	rw	rw			rs

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **REV_OUT**：出力データを逆にします。

このビットは、出力データビット順序の反転を制御します。

0：ビットの順序は変わりません。

1：出力フォーマットのビットが反転しています。

ビット 6:5 **REV_IN[1:0]**：入力データを逆にします。

このビットフィールドは、入力データのビット順序の反転を制御します。

00：ビットの順序は変わりません。

01：バイト単位でビットが反転しています。

10：ハーフワード単位でビットが反転しています。

11：ワード単位でビットが反転しています。

ビット 4:3 **POLYSIZE[1:0]**：多項式のサイズ

これらのビットは、多項式のサイズを制御します。

00：32 ビットの多項式

01：16 ビットの多項式

10：8 ビットの多項式

11：7 ビットの多項式

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RESET**：RESET ビット

このビットは、CRC 計算ユニットをリセットし、CRC_INIT レジスタに格納された値にデータレジスタをセットするために、ソフトウェアによってセットされます。このビットはセットのみが可能で、ハードウェアによって自動的にクリアされます。

5.4.4 CRC の初期値（CRC_INIT）

アドレスオフセット：0x10

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC_INIT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRC_INIT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CRC_INIT[31:0]** *:* プログラム可能な CRC の初期値

このレジスタを使用して、CRC の初期値を書き込みます。

5.4.5 CRC 多項式（CRC_POL）

アドレスオフセット：0x14

リセット値：0x04C1 1DB7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **POL[31:0]** *:* プログラム可能な多項式

このレジスタを使用して、CRC 計算に使用される多項式の係数を書き込みます。

多項式のサイズが 32 ビット未満であれば、下位ビットを使用して正しい値をプログラムする必要があります。

5.4.6 CRC レジスタマップ

表 20. CRC レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRC_DR	DR[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	CRC_IDR	IDR[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	CRC_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_OUT	REV_IN[1:0]		POLYSIZE[1:0]		Res.	Res.	RESET
	リセット値																									0	0	0	0	0			0
0x10	CRC_INIT	CRC_INIT[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x14	CRC_POL	POL[31:0]																															
	リセット値	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	0	1	1	1	0	1	1	0	1	1	0	1	1	1

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

6 電源制御（PWR）

6.1 電源

このデバイスでは、1.71 V から 3.6 V の動作電圧（V_{DD}）が必要です。特定のペリフェラルには、独立した電源（V_{DDSMPS}、V_{FBSMPS}、V_{DDA}、V_{DDRF}、V_{DDUSB}、V_{LCD}）を供給できます。

- V_{DD} = 1.71 V〜3.6 V

  V_{DD} は、I/O およびリセット、電源管理、内部クロック、および低電力レギュレータなどのシステムアナログブロック用の外部電源です。VDD ピンから外部より供給されます。

- V_{DDSMPS} = 1.71 V〜3.6 V
  V_{DDSMPS} は SMPS ステップダウンコンバータ用の外部電源です。VDDSMPS 電源ピンから外部より供給され、V_{DD} と同じ電源に接続する必要があります。

- V_{FBSMPS} = 1.40 V〜3.6 V
  V_{FBSMPS} はメインおよび RF システムレギュレータの外部電源です。これは、VFBSMPS ピンを通じて外部から供給され、SMPS ステップダウンコンバータを経由して供給されるか、または V_{DD} と同じ電源に接続されます。

- V_{DDA} = 1.62 V（ADC/COMP）~ 2.4 V（VREFBUF）~ 3.6 V

  V_{DDA} は、A/D コンバータ、D/A コンバータ、電圧リファレンスバッファ、オペアンプ、およびコンパレータの外部アナログ電源です。V_{DDA} の電圧レベルは、V_{DD} 電圧から独立しており、これらのペリフェラルを使用しない場合は、V_{DD} に接続することを推奨します。VREFBUF は STM32WB55xx デバイスでのみ使用できることに注意してください。

- V_{DDRF} = 1.71 V〜3.6 V

  V_{DDRF} は、無線用の外部電源です。VDDRF ピンから外部より供給され、V_{DD} と同じ電源に接続する必要があります。

- V_{DDUSB} = 3.0〜3.6 V

  V_{DDUSB} は、USB トランシーバ用の独立した外部電源です。V_{DDUSB} の電圧レベルは V_{DD} 電圧から独立しており、USB を使用しない場合は V_{DD} に接続することを推奨します。

- V_{LCD} = 2.5 V〜3.6 V（STM32WB55xx デバイスでのみ使用可能）

  LCD コントローラの電源は、VLCD ピンから外部より供給されるか、内蔵ステップアップコンバータによって生成された内部電圧から内部的に供給されます（V_{DD} が 2.0 V より大きい場合は最大 3.6 V の電圧を生成可能）。
  VLCD はPC3 と多重化されているため、LCD を使用しない場合、 GPIO として使用できます。

- V_{BAT} = 1.55〜3.6 V

  V_{BAT} は、VDD が存在しない場合、RTC、外部クロック 32 kHz オシレータおよびバックアップレジスタ（電源スイッチ経由）の電源です。

- VREF-、VREF+（STM32WB55xx デバイスでのみ使用可能）

  V_{REF+} は ADC の入力リファレンス電圧です。有効時、内部電圧リファレンスバッファの出力にもなります。

  – V_{DDA} < 2 V：V_{REF+} は、V_{DDA} と同じである必要がある
  – V_{DDA} ≥ 2 V：V_{REF+} は、2 V と V_{DDA} の間である必要がある

  ADC がアクティブでない場合、V_{REF+} はアース接続できます。

  内部電圧リファレンスバッファは次の 2 つの出力電圧をサポートしており、VREFBUF_CSR レジスタの VRS ビットで設定します。

  – V_{REF+} ≈ 2.048 V：これには、2.4 V 以上の V_{DDA} が必要
  – V_{REF+} ≈ 2.5 V：これには、2.8 V 以上の V_{DDA} が必要

VREF+ ピンは、すべてのパッケージで使用できるわけではありません。使用できない場合は、内部的に VDDA に結合されます。VREF+ がパッケージ内で VDDA と二重結合されている場合、内部電圧リファレンスバッファは使用できず、無効にしておく必要があります（ピンの説明については、データシートを参照してください）。

パワーアップとパワーダウンの間は、次の電源シーケンスが必要です。

- V_{DD} < 1 V の場合、その他の電源（V_{DDA}、V_{DDUSB}、および V_{LCD}）は V_{DD} + 0.3 V 未満にする必要があります。パワーダウン中、マイクロコントローラに供給されるエネルギーが 1 mJ 未満にとどまる場合に限り、一時的に V_{DD} が他の電源よりも低い電圧となっても構いません。これにより、外部デカップリングコンデンサを異なる時定数で放電させることが可能となります。
- V_{DD} ≥ 1 V の場合、すべての電源は独立となります。

内部のデジタル電源 V_{CORE} を供給するために、リニア電圧レギュレータが搭載されています。V_{CORE} は、デジタルペリフェラル、SRAM1、および SRAM2 電源です。Flash メモリは、V_{CORE} と V_{DD} によって電源供給されています。

図 7. 電源の概要

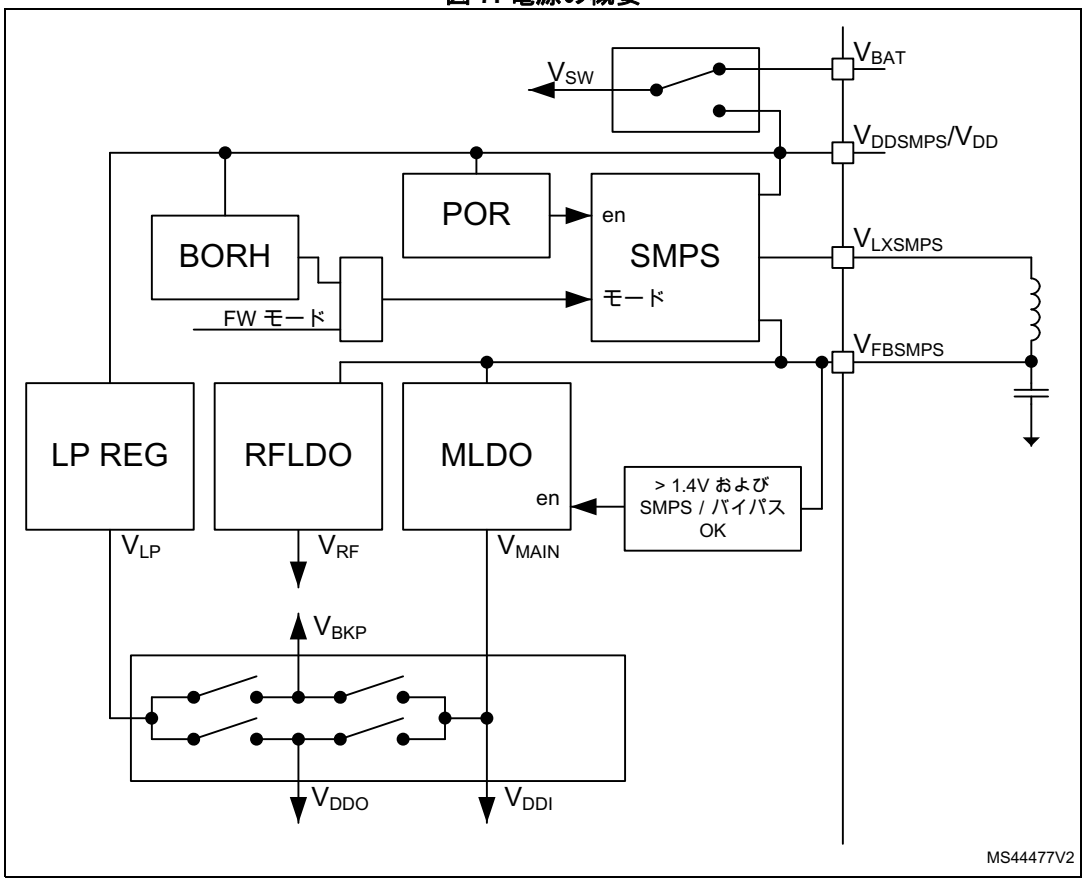
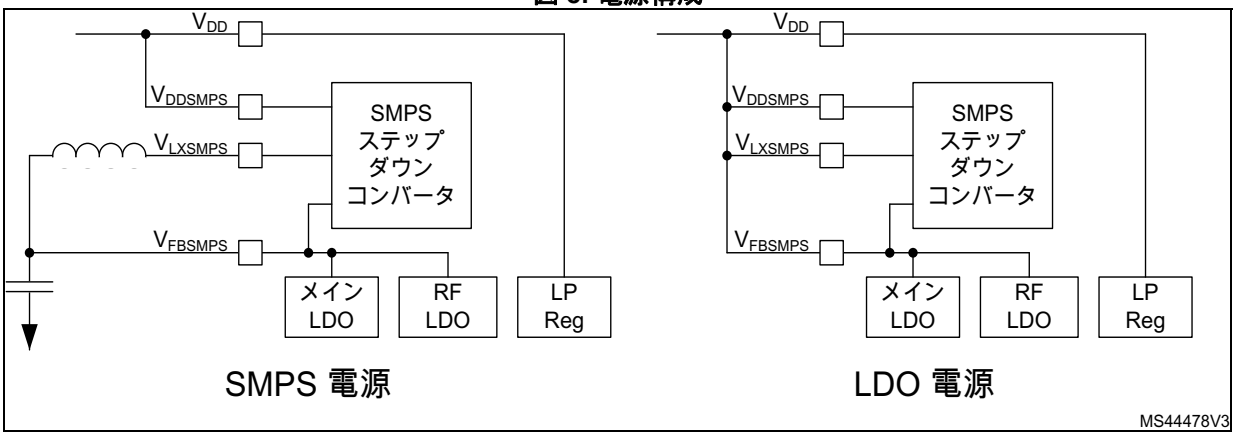


図 8 に示すように、異なる電源設定がサポートされ、表 21 の方式に従って制御されます。

図 8. 電源構成



SMPS ステップダウンコンバータの動作モードは、PWR 制御レジスタ 5（PWR_CR5）の SMPSEN 設定、およびシステムの動作モード RUN、STOP0、STOP1、STOP2、STANDBY、および SHUTDOWN に依存します。

表 21. 電源設定の制御

電源構成	SMPSEN	システムの動作モード	説明
デフォルト	0	該当なし	SMPS（バイパスモード）
SMPS 電源	1(1)	RUN	SMPS（SMPS モード）
		STOP0	
		STOP1	SMPS（オープンモード）
		STOP2	
		STANDBY、SHUTDOWN	
LDO 電源	0(2)	任意	SMPS（バイパスモード）

1. SMPS ステップダウンコンバータで SMPS モードを有効にする場合は、BORH を有効にして電源を監視することをお勧めします。
2. LDO 電源では SMPS を有効にしないでください。有効にすると、製品に永久的な損傷を与える可能性があります。

サポートされる低消費電力モードに関連して、このステップダウン SMPS に 2 つの固有の機能が追加されました。

- BYPASS モード：SMPS をバイパスするための機能（電流はコイルを流れ続けます）。V_{DDSMPS} 電圧は、直接 V_{LXSMPS} に接続されます。追加のハードウェアメカニズムにより、V_{DD} が与えられたレベル（V_{BORH}）未満になる場合、SMPS は自動的に BYPASS モードに切り替えることができます。これにより、非常に低い動作電圧でもスムーズな動作を保証します。
- OPEN モード：このモードでは、SMPS 出力（V_{LXSMPS}）はどの回路からもオープンで、SMPS のバルク容量の負荷は保持されます。これにより、バルク容量はプリチャージされているため、ウェイクアップ時間を高速化することができます。

低消費電力モードへの移行時および低消費電力モードからの移行時には、内部ステートマシンがこれらの状態を自動的に管理します。

POR リセット後、SMPS ステップダウンコンバータはバイパスモードになります。

STOP1、STOP2、STANDBY の間、SMPS ステップダウンコンバータは、ハードウェアによってオープンモードにされます（表 21 を参照）。低消費電力モード（SHUTDOWN を除く）を終了すると、

SMPS ステップダウンコンバータはハードウェアによって SMPSEN ビットで選択されたモード（SMPS モードまたはバイパス）にセットされます。PWR 制御レジスタ 5（PWR_CR5）の SMPSEN ビットは、STANDBY モードで保持されます。

SMPS ステップダウンコンバータが SMPS モードの場合は PWR 制御レジスタ 5（PWR_CR5）の BORHC により BORH を設定でき、これにより電源が低下して SMPS ステップダウンコンバータの SMPS モードの動作電源レベルを下回った場合に、動作中の切り替えが可能です。V_{DD} 電源が選択した BORH 閾値レベルを下回ると、SMPS ステップダウンコンバータが強制的にバイパスモードになり、レジスタビット SMPSEN がクリアされます。有効時、SMPSFBF 割込みが生成されます。V_{DD} 電源が BORH 閾値レベルを上回ると、有効時に BORHF 割込みが生成されます。SMPS ステップダウンコンバータの SMPS モードへの切り替えは、ソフトウェアに依存します。

SMPS ステップダウンコンバータが無効の場合、SMPSEN は 0 で、SMPS ステップダウンコンバータはバイパスモードであり、アプリケーションの LDO モードを使用できます。

6.1.1 独立したアナログペリフェラルの電源

ADC 変換の精度を向上させ、供給の柔軟性を拡張させるため、アナログペリフェラルには独立した電源が供給されます。この電源は、PCB のノイズを防ぐために、個別にフィルタしシールドすることができます。

- アナログペリフェラル用の電源入力は、独立した V_{DDA} ピンから供給されます。
- 電源のグランドは、独立した V_{SSA}ピンとして用意されています。

V_{DDA} 電源電圧は V_{DD} とは異なる場合があります。V_{DDA} の有無は、V_{DDA} により電源供給されるアナログペリフェラル（A/D コンバータ、コンパレータ、電圧リファレンスバッファ）のいずれかを有効にする前に確認する必要があります。

V_{DDA} 電源は、ペリフェラル電圧モニタで監視され、1 つの閾値（PVM3 では 1.65 V）と比較できます。詳細については、セクション 6.2.3 を参照してください。

単電源を使用している場合、ノイズフリーの V_{DDA} リファレンス電圧を確保するために、外部フィルタ回路を通して V_{DDA} を V_{DD} に外部的に接続することができます。

アナログ信号のノイズ性能は、SMPS の統合スイッチングの影響を受けることがあります。これを防止するには、アナログ信号を測定する際に、SMPS を動作中にオフにすることができます。

ADC リファレンス電圧（STM32WB55xx でのみ使用可能）

低電圧入力および出力時の精度を確保するため、V_{DDA} より低い独立したリファレンス電圧を V_{REF+} に接続できます。V_{REF+} は、アナログ入力（ADC）信号のフルスケール値に相当する最高電圧です。

V_{REF+} は、外部リファレンスまたは内部バッファ付き電圧リファレンス（VREFBUF）のいずれかによって供給されます。

内部電圧リファレンスは、VREFBUF 制御およびステータスレジスタ（VREFBUF_CSR）の ENVR ビットをセットすると有効になります。電圧リファレンスは、VRS ビットがセットされている場合 2.5 V に、VRS ビットがクリアされている場合 2.048 V にセットされます。内部電圧リファレンスは、V_{REF+} ピンから外部コンポーネントに電圧を供給することもできます。詳細については、製品データシートおよびセクション 17：電圧基準バッファ（VREFBUF）を参照してください。

6.1.2 独立した USB トランシーバの電源

USB トランシーバの電源は、独立した V_{DDUSB} 電源ピンから供給されます。V_{DDUSB} の範囲は、3.0～3.6 V で、$_{VDD}$ または V_{DDA} から完全に独立しています。

リセット後、V_{DDUSB} によって供給される USB 機能は、論理的および電気的に独立しているため、使用できません。V_{DDUSB} 電源が供給されると、USB FS ペリフェラルを使用する前に、PWR 制御レジスタ 2（PWR_CR2）の USV ビットをセットして電源の分離を解除する必要があります。

V_{DDUSB} 電源はペリフェラル電圧モニタ（PVM1）で監視され、内部基準電圧（V_{REFINT}~1.2 V）と比較されます。詳細については、セクション 6.2.3 を参照してください。

6.1.3 独立した LCD 電源（STM32WB55xx でのみ使用可能）

VLCD ピンは、ガラスLCDのコントラストを制御するために ピンが提供されています。このピンは 2 つの方法で使用できます。

- マイクロコントローラによって LCD ガラスのセグメントとコモンライン上に供給される必要最大電圧を、外部回路から受け取ることができます。
- これは、マイクロコントローラが電圧ステップアップコンバータで使用する外部コンデンサを接続する場合にも使用できます。このステップアップコンバータは、必要な電圧を LCD ガラスのセグメントとコモンラインに供給するように、ソフトウェアによって制御されます。

セグメントとコモンラインに供給された電圧によって、LCD ガラスのピクセルのコントラストが定義されます。ユーザがフレーム間のデッドタイムを設定することで、このコントラストを低減することができます。

- VLCD ピンに外部電源を供給する場合は、2.5～3.6 V の範囲である必要があります。VDD には依存しません。
- LCD が内部ステップアップコンバータに基づく場合、VLCD ピンはコンデンサに接続する必要があります（詳細については、製品データシートを参照してください）。

6.1.4 バッテリバックアップドメイン

V_{DD} がオフになった場合に、バックアップレジスタの内容を保持し、RTC の機能への電源供給を維持するために、V_{BAT} ピンをバッテリやその他の電源から供給されるオプションのバックアップ電源に接続することができます。

V_{BAT} ピンから RTC ユニット、LSE オシレータ、および PC13 から PC15 の I/O に電源が供給され、主電源がオフの場合でも RTC が動作できるようにします。V_{BAT} 電源への切り替えは、リセットブロックに組み込まれているパワーダウンリセット回路によって制御されます。

警告： **$t_{RSTTEMPO}$（V_{DD} 起動時の過渡期間）中や PDR の検出後、V_{BAT} と V_{DD} の間の電源スイッチは V_{BAT}に接続されたままになります。**
起動フェーズ中、V_{DD} が $t_{RSTTEMPO}$ 以内に規定値に達し（値については、データシートを参照）、かつ $V_{DD} > V_{BAT} + 0.6$ V である場合、電流は V_{DD} と電源スイッチ（V_{BAT}）の間に接続された内部ダイオードを通してV_{BAT} に注入されます。
V_{BAT} ピンに接続された電源/バッテリがこの電流注入に対応できない場合は、この電源と V_{BAT} ピンの間に外部低電圧降下ダイオードを接続することを推奨します。

外部バッテリを使用しないアプリケーションでは、V_{BAT} を V_{DD} に外部接続し、デカップリング用の 100 nF の外部セラミックコンデンサを接続することを推奨します。

バックアップドメインが V_{DD} から供給を受けている場合（アナログスイッチが V_{DD}に接続された状態）、次のピンが使用できます。

- PC13（STM32WB55xx のみ）、PC14、および PC15 は、GPIO ピンとして使用可能
- PC13（STM32WB55xx のみ）、PC14、および PC15 は、RTC または LSE で設定可能（セクション 29.4：RTC の機能説明を参照）
- PA0/RTC_TAMP2 および PC12/RTC_TAMP3（STM32WB55xx のみ）は、RTC で設定されている場合、タンパピンとして使用可能

注： **アナログスイッチは限られた電流（3 mA）しか転送できないため、出力モードでの GPIO の PC13 から PC15 までの使用には制限があります。最大負荷 30 pF で最大速度 2 MHz に制限する必要があり、これらの I/O を電流ソースとして使用してはなりません（たとえば、LED を駆動するなど）。**

バックアップドメインが V_{BAT} から電源供給を受けている場合（V_{DD} が印加されないため、アナログスイッチが V_{BAT} に接続された状態）、次の機能が使用できます。

- PC13（STM32WB55xx のみ）、PC14、および PC15 は、RTC または LSE でのみ制御可能（セクション 29.4：RTC の機能説明を参照）
- PA0/RTC_TAMP2 および PC12/RTC_TAMP3（STM32WB55xx のみ）は、RTC で設定されている場合、タンパピンとして使用可能

バックアップドメインアクセス

システムリセット後、バックアップドメイン（RTC レジスタおよびバックアップレジスタ）は、予期しない書込みアクセスから保護されます。バックアップドメインへのアクセスを有効にするには、次の手順に従います。

1. PWR 制御レジスタ 1（PWR_CR1）の DBP ビットをセットして、バックアップドメインへのアクセスを有効にします。

VBAT バッテリ充電

V_{DD} が存在する場合、内部抵抗を通して VBAT で外部バッテリを充電できます。

VBAT 充電は、PWR 制御レジスタ 4（PWR_CR4）の VBRS ビット値に応じて、5 kΩ または 1.5 kΩ の抵抗を通して行われます。

バッテリ充電は、PWR 制御レジスタ 4（PWR_CR4）の VBE ビットをセットすると有効になり、VBAT モードで自動的に無効になります。

6.1.5 電圧レギュレータ

STANDBY 回路およびバックアップドメイン以外のすべてのデジタル回路に電圧を供給する 2 つのリニア電圧レギュレータが組み込まれています。メインレギュレータの出力電圧（V_{CORE}）は、ソフトウェアで 2 つの異なる電源範囲（レンジ 1 およびレンジ 2）にプログラムして、システムの最大動作周波数に応じて最適化できます（セクション 8.2.10：クロックソースの周波数と電圧スケーリングおよびセクション 3.3.4：読出しアクセスの遅延を参照）。

リセット後、電圧レギュレータは常に有効になります。アプリケーションモードに応じて、V_{CORE} はメインレギュレータ（MR）または低電力レギュレータ（LPR）によって供給されます。

- RUN モード、SLEEP モード、および STOP0 モードでは、両レギュレータが有効になり、メインレギュレータ（MR）は V_{CORE} ドメイン（コア、メモリ、デジタルペリフェラル）にフル電力を供給します。
- 低電力 RUN モードおよび低電力 SLEEP モードでは、メインレギュレータはオフ状態で、低電力レギュレータ（LPR）が V_{CORE} ドメインに低電力を供給して、レジスタと内部 SRAM1 および SRAM2 の内容を保持します。
- STOP1 および STOP2 モードでは、メインレギュレータはオフ状態で、低電力レギュレータ（LPR）が V_{CORE} ドメインに低電力を供給して、レジスタと内部 SRAM1 および SRAM2 の内容を保持します。
- SRAM2a の内容を保持した STANDBY モード（RRS ビットが PWR 制御レジスタ 3（PWR_CR3）でセットされている）では、メインレギュレータ（MR）はオフになり、低電力レギュレータ（LPR）は SRAM2a にのみ電源を供給します。コアおよびデジタルペリフェラル（STANDBY 回路およびバックアップドメイン以外）、SRAM1、および SRAM2b の電源がオフになります。
- STANDBY モードでは、両レギュレータの電源がオフになります。STANDBY 回路とバックアップドメインを除き、レジスタ、SRAM1、および SRAM2 の内容は失われます。
- SHUTDOWN モードでは、両レギュレータの電源がオフになります。SHUTDOWN モードが終了すると、パワーオンリセットが生成されます。結果として、バックアップドメインを除き、レジスタと SRAM1 および SRAM2 の両方の内容が失われます。

6.1.6 ダイナミック電圧スケーリングの管理

ダイナミック電圧スケーリングは、アプリケーションパフォーマンスおよび消費電力ニーズに応じて、デジタルペリフェラルで使用する電圧（V_{CORE}）の増減を行う電源管理技術です。

V_{CORE} を増加させるためのダイナミック電圧スケーリングは「オーバーボルティング」と呼ばれ、デバイスの性能向上のために使用されます。

V_{CORE} を減少させるためのダイナミック電圧スケーリングは「アンダーボルティング」と呼ばれ、特に電源がバッテリから供給されるために制限される、ノート PC やその他のモバイルデバイスなどの節電のために実行されます。

- レンジ 1：ハイパフォーマンスレンジ

  メインレギュレータは標準電圧 1.2 V で出力します。システムクロック周波数は最大 64 MHz まで可能です。読出しアクセスのFlash メモリアクセス時間は最小で、書込みおよび消去操作が可能です。
- レンジ 2：低電力レンジ

  メインレギュレータは標準電圧 1.0 V で出力します。システムクロック周波数は最大 16 MHz まで可能です。読出しアクセスのFlash メモリアクセス時間はレンジ 1 と比べて増加します。書込みおよび消去操作が可能です。

電圧スケーリングは、PWR 制御レジスタ 1（PWR_CR1）の VOS ビットで選択します。

レンジ 1 から レンジ 2 に移行するシーケンス：

1. システム周波数を 16 MHz 以下の値に下げます。
2. レンジ 2 の新しい周波数ターゲットに応じてウェイトステートの数を調整します（FLASH_ACR の LATENCY ビット）。
3. PWR 制御レジスタ 1（PWR_CR1）の VOS ビットでレンジ 2 を選択します。

レンジ 2 から レンジ 1 に移行するシーケンス：

1. PWR 制御レジスタ 1（PWR_CR1）の VOS ビットでレンジ 1 を選択します。
2. VOSF フラグがPWR ステータスレジスタ 2（PWR_SR2）でクリアされるまで待ちます。
3. レンジ 1 の新しい周波数ターゲットに応じてウェイトステートの数を調整します（FLASH_ACR の LATENCY ビット）。
4. システム周波数を上げます。

6.2 電源供給スーパバイザ

6.2.1 パワーオンリセット（POR）／パワーダウンリセット（PDR）／ブラウンアウトリセット（BOR）

このデバイスには、統合パワーオンリセット／パワーダウンリセットに加え、ブラウンアウトリセット回路が搭載されています。

BOR の閾値はオプションバイトで 5 種類から選択できます。

BOR は、PWR 制御レジスタ 5（PWR_CR5）の BORHC ビットで設定された 2 つの動作モードで使用できます。

- V_{DD} 電源が選択された BOR 閾値を下回る場合に、システムリセットが生成されます（リセットモード）。
- V_{DD} 電源が選択された BOR 閾値を下回る場合に、SMPS ステップダウンコンバータを強制的にバイパスモードにします。V_{DD} 電源が BOR の最低レベルを下回ると、システムリセットが常に生成されます。

BOR は、SHUTDOWN モードを除くすべての電力モードでアクティブで無効にできません。BOR メカニズムは有効にする必要があり、また必要に応じていつでも無効にできます。

リセットモード

パワーオン時、電源電圧 V_{DD} が規定の V_{BORx} の閾値に達するまで、BOR によってデバイスはリセット状態に保持されます。V_{DD} が、選択された閾値を下回ると、デバイスリセットが生成されます。V_{DD} が V_{BORx} の上限を上回る場合、デバイスリセットは解放され、システムを開始できます。

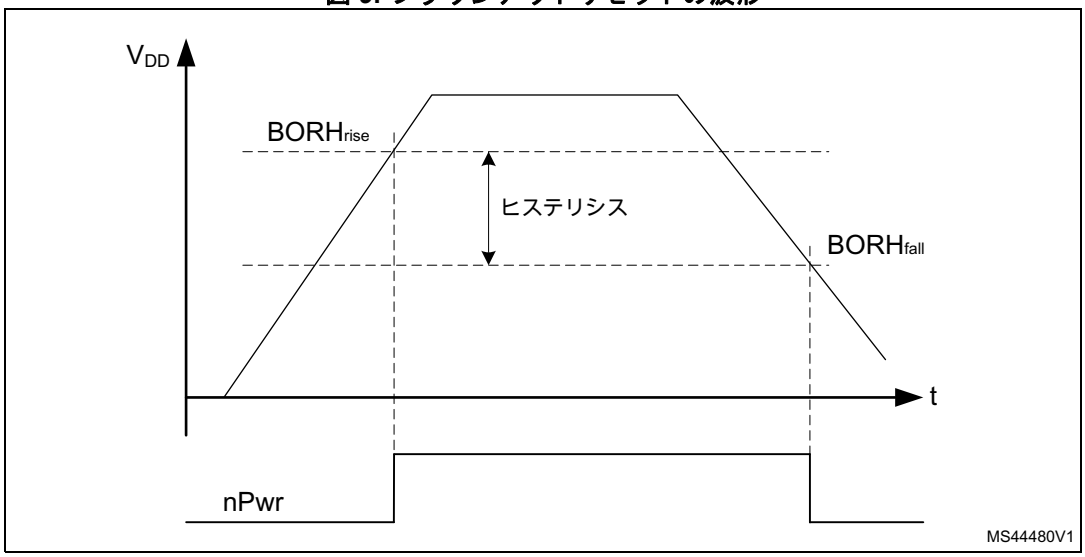
SMPS ステップダウンコンバータを強制的にバイパスモードに設定

パワーオン時、電源電圧 V_{DD} が規定の V_{BORx} の閾値に達するまで、BOR によってデバイスはリセット状態を保持されます。V_{DD} が V_{BOR0} を下回ると、デバイスリセットが生成されます。V_{DD} が V_{BORx} の上限を上回る場合、デバイスリセットは解放され、システムを開始できます。

SMPS ステップダウンコンバータを SMPS モードに移行する際、または当該モード中は、選択した BORx（x = 1、2、3、4）閾値を使用して、SMPS モードを使用するか、SMPS ステップダウンコンバータを強制的にバイパスモードで実行するかが決定されます。V_{DD} が選択された閾値を下回ると、SMPS ステップダウンコンバータは、SMPS モードに移行する際、または当該モード中に、強制的にバイパスモードになります。SMPS ステップダウンコンバータの強制により、有効な場合はバイパス割込み（SMPSFBF）が生成されることがあります。V_{DD} が選択された BOR の上限を超えると、有効な場合は BOR 割込み（BORHF）が生成されることがあります。SMPS ステップダウンコンバータの SMPS モードへの設定はソフトウェアで行います。

ブラウンアウトリセットの閾値の詳細については、データシートの電気的特性セクションを参照してください。

図 9. ブラウンアウトリセットの波形



1. リセットの過渡期間 $t_{RSTTEMPO}$ は、BOR 最低閾値（V_{BOR0}）にのみ存在します。

6.2.2 プログラム可能な電圧検出器（PVD）

PVD を使用して、PWR 制御レジスタ 2（PWR_CR2）の PLS[2:0] ビットで選択した閾値と比較することで、V_{DD} 電源を監視できます。

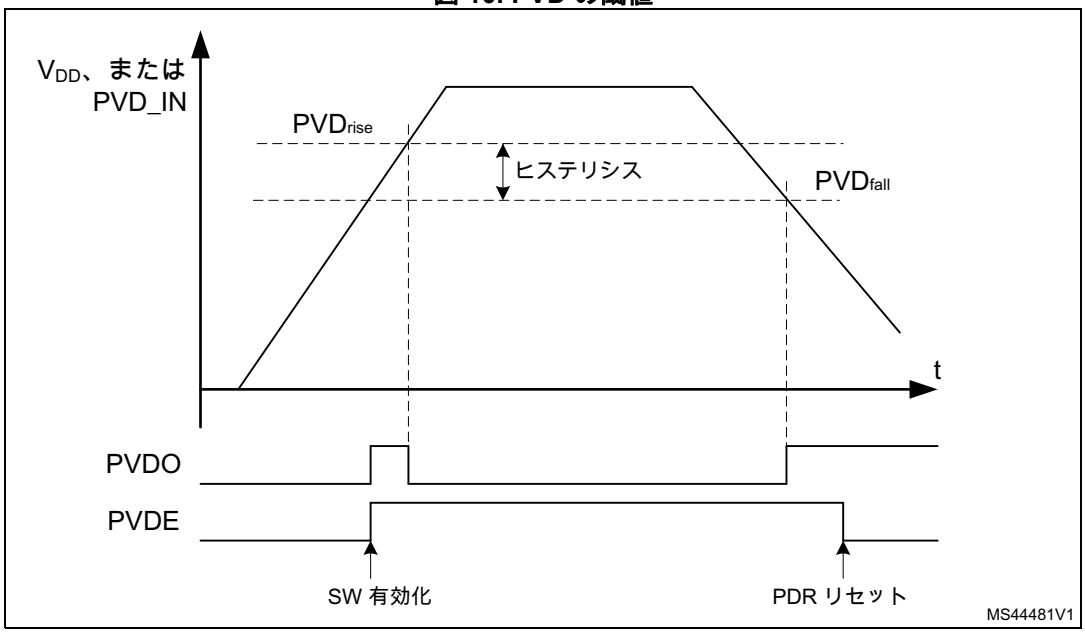
PVD は、PVD_IN ピンの電圧レベルの監視にも使用できます。この場合、PVD_IN の電圧レベルは内部 VREFINT のレベルと比較されます。

PVD は PVDE ビットをセットすることで有効になります。

PWR ステータスレジスタ 2（PWR_SR2）の PVDO フラグを使用して、V_{DD} または PVD_IN 電圧レベルが PVD の閾値よりも高いか低いかを示すことができます。このイベントは EXTI ライン 16 に内部接続され、EXTI レジスタで有効な場合は割込みリクエストを生成させることができます。

EXTI ライン 16 の立ち上がり／立ち下がりエッジの設定に応じて、V_{DD} または PVD_IN の電圧レベルが PVD の閾値を下回るか、V_{DD} または PVD_IN の電圧レベルが PVD の閾値を上回ったとき、あるいはその両方で、PVD 出力割込みを生成することができます。EXTI ライン 16 が立ち上がり／立ち下がりエッジ感度（PVDO の立ち上がり／立ち下がりエッジ）に設定されている場合、割込みは V_{DD} または PVD_IN の電圧レベルが PVD の閾値を下回るか上回ったときに生成されます。たとえば、サービスルーチンで、緊急停止処理を実行することなどが可能です。

図 10. PVD の閾値



6.2.3 ペリフェラル電圧モニタ（PVM）

V_{DD} のみすべてのシステム関連機能に必要な唯一の電源であるため、デフォルトで監視されます。その他の電源（V_{DDA} および V_{DDUSB}）は V_{DD} から独立しており、ペリフェラル電圧モニタ（PVM）で監視できます。

各 PVM は、固定閾値 V_{PVMx} と選択された電源の間のコンパレータです。PVMOx フラグは、独立した電源が PVMx 閾値より高いか低いかを示します。PVMOx フラグは、電源電圧が PVMx 閾値を超えるとクリアされ、PVMx 閾値を下回るとセットされます。

各 PVM 出力は EXTI ラインに接続され、EXTI レジスタで有効な場合は割込みを生成させることができます。独立した電源が PVMx 閾値を下回るか、上回ったとき、あるいはその両方で、EXTI ラインの立ち上がり/立ち下がりエッジの設定に応じて、PVMx 出力割込みが生成されます。

各 PVM は、STOP0、STOP1、および STOP2 モードでアクティブな状態のままにでき、PVM 割込みで STOP モードからウェイクアップできます。

表 22. PVM の機能

PVM	電源	PVM 閾値	EXTI ライン
PVM1	V_{DDUSB}	V_{PVM1}（~ 1.2 V）	31
PVM2	未使用	-	-
PVM3	V_{DDA}	V_{PVM3}（~ 1.65 V）	33
PVM4	未使用	-	-

独立した電源（V_{DDA} および V_{DDUSB}）はデフォルトでは存在するとはみなされず、論理的および電気的分離を適用して、これらの専用電源が供給するペリフェラルからの情報を無視します。

- これらの電源が V_{DD} に対して外部で短絡された場合、アプリケーションはそれらを PVM を有効にせず使用できるものと想定する必要があります。
- これらの電源が V_{DD} から独立している場合、PVM を有効にして電源が存在するかどうか確認できます。

USB_FS ペリフェラルを使用する前に、以下の手順を適用する必要があります。

1. V_{DDUSB} が V_{DD} から独立している場合：
   a) PWR 制御レジスタ 2（PWR_CR2）の PVME1 ビットをセットして、PVM1 を有効にします。
   b) PVM1 のウェイクアップ時間を待ちます。
   c) PWR ステータスレジスタ 2（PWR_SR2）の PVMO1 ビットがクリアされるまで待ちます。
   d) オプション：消費電力削減のために PVM1 を無効にします。
2. PWR 制御レジスタ 2（PWR_CR2）の USV ビットをセットして、V_{DDUSB} の電源アイソレーションを解除します。

A/D コンバータ、D/A コンバータ、コンパレータ、オペアンプ、電圧リファレンスバッファを使用する前に、次のシーケンスを実行する必要があります。

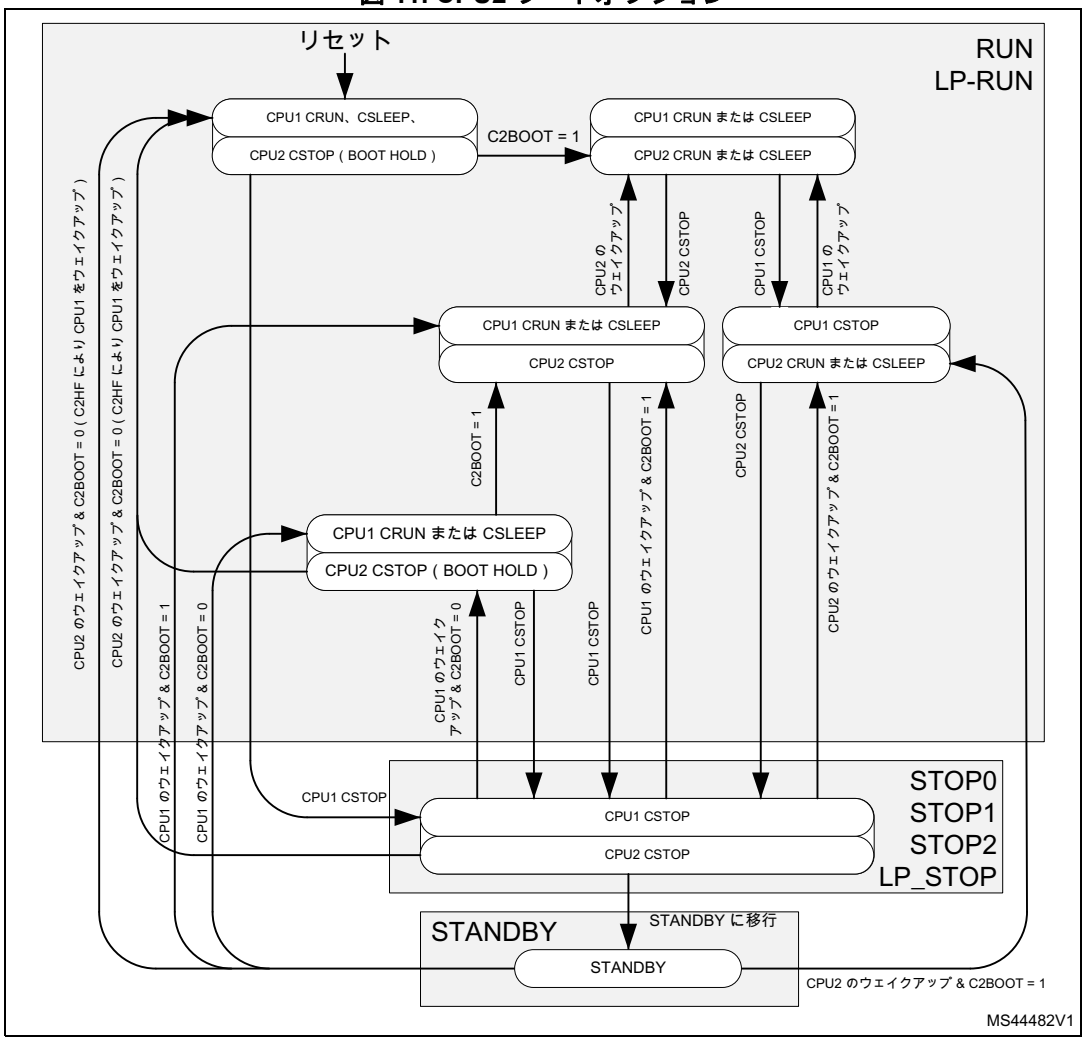
1. V_{DDA} が V_{DD} から独立している場合：
   a) PWR 制御レジスタ 2（PWR_CR2）の PVME3 ビットをセットして、PVM3 を有効にします。
   b) PVM3 のウェイクアップ時間を待ちます。
   c) PWR ステータスレジスタ 2（PWR_SR2）の PVMO3 ビットがクリアされるまで待ちます。
   d) オプション：消費電力削減のために PVM3 を無効にします。
2. アナログペリフェラルを有効にし、自動的に V_{DDA} のアイソレーションを解除します。

6.3 CPU2 ブート

CPU2 のブートは、PWR 制御レジスタ 4（PWR_CR4）レジスタの C2BOOT ビットで制御されます。これにより、CPU1 は、CPU2 をブートする前に、リセット後またはシステムの低消費電力モードからのウェイクアップ後に、システムを初期化できます。

- リセット後、CPU2 のブートは C2BOOT ビットによって阻止されます。CPU2 は、CPU1 が C2BOOT ビットをセットした後にのみブートします。
- システムの低消費電力モード STOP0、STOP1、STOP2、または STANDBY から終了するとき、C2BOOT ビットは CPU2 のブートを制御します。
  – C2BOOT = 1 の場合、システムの低消費電力モード移行後、CPU2 はウェイクアップソースによってウェイクアップされたときにブートします。
  – C2BOOT = 0 の場合、システムの低消費電力モード移行後、CPU2 のブートは阻止されます。CPU2 ウェイクアップソースの代わりに、CPU1 は C2HF を介してウェイクアップされます。C2BOOT ビットをセットして CPU2 をブートするかどうかは、CPU1 に依存します。

図 11. CPU2 ブートオプション



CPU2 のブートが阻止された場合、低消費電力モードのブートからウェイクアップする手順は、次のとおりです。

- CPU1 は、CSTOP モードに移行する前に、C2BOOT ビットをクリアします。
- CPU1 が CSTOP を終了する際 :
  - システムは、RUN モードを維持する際に、C2BOOT ビットをセットし、続いてウェイクアップイベントを処理します。
  - システムは、CPU1 ウェイクアップソースから低消費電力モードを終了する際に、システムを初期化して C2BOOT ビットをセットし、続いてウェイクアップイベントを処理します。
  - システムは、C2HF ウェイクアップソースから低消費電力モードを終了する際に、システムを初期化して C2BOOT ビットをセットし、続いて CSTOP に戻ります。

- CPU2 には、特別なウェイクアップ手順はありません。CPU2 がウェイクアップしたとき、システムは CPU1 によって初期化されています。したがって、CPU2 はウェイクアップイベントを直接処理できます。

システムが（無線システムにより）RUN モードを維持する場合、CPU2 は、C2BOOT 設定には関係なく、CSTOP モードからウェイクアップします。

6.4 低消費電力モード

デフォルトでは、マイクロコントローラはシステムリセットまたは電源リセット後は RUN モードで、少なくとも 1 つの CPU がコードを実行する CRun モードです。外部イベント待ちなど、CPU を連続して実行する必要がない場合のために、低消費電力モードが用意されています。ユーザは消費電力、起動時間、使用可能なウェイクアップソースを考慮して最適なモードを選択する必要があります。

各 CPU には、WFI、WFE の実行時、または SLEEPONEXIT が有効な場合は例外ハンドラからの復帰時に CPU によって開始される 2 つの低消費電力モードがあります。

- CSleep モード：CPU が低消費電力モードに移行し、SLEEPDEEP が無効になっている場合、Arm®「SLEEP モード」です。
- CStop モード：CPU が低消費電力モードに移行し、SLEEPDEEP が有効になっている場合、Arm®「SLEEPDEEP モード」です。

このデバイスは、いくつかの低消費電力モードを備えています。

- SLEEP モード：CPU クロックがオフとなり、CPU コアペリフェラル（NVIC や SysTick など）を含むすべてのペリフェラルが実行でき、割込みやイベントが発生したときに CPU をウェイクアップさせます。
- 低電力 RUN モード（LP RUN）：このモードは、システムクロック周波数が 2 MHz 未満に下がったときに設定できます。コードは SRAM またはFlash メモリから実行されます。レギュレータは低消費電力モードで、動作電流を最小限にします。
- 低電力 SLEEP モード（LP SLEEP）：このモードは、低電力 RUN モードから移行します。CPU はオフです。
- STOP0 モード、STOP1 モード、および STOP2 モード：SRAM1、SRAM2、およびすべてのレジスタの内容が維持されます。V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16 および HSE が無効になります。LSI および LSE を動作したままの状態にできます。

  RTC をアクティブなままにできます（RTC ありの STOP モード、RTC なしの STOP モード）。

  ウェイクアップ機能付きペリフェラルは、STOP モード中に HSI16 RC を有効にして、ウェイクアップ条件を検出できます。

  STOP2 モードでは、ほとんどの V_{CORE} ドメインが低リーク電流モードに置かれます。STOP1 は最大のアクティブなペリフェラル、ウェイクアップソース、短いウェイクアップ時間を提供しますが、STOP2 と比較して消費電力が大きくなります。STOP0 モードでは、メインレギュレータがオンのままであるため、ウェイクアップ時間が最速ですが、消費電力がより高くなります。アクティブなペリフェラルおよびウェイクアップソースは、STOP1 モードと同じです。

  STOP0、STOP1、または STOP2 モードを終了する際に、システムクロックはソフトウェア設定に応じて MSI 最大 48 MHz または HSI16 のいずれかにできます。
- STANDBY モード：V_{CORE} ドメインの電源がオフになります。ただし、SRAM2a の内容は保持できます。
  - PWR 制御レジスタ 3（PWR_CR3）に RRS ビットがセットされたときの SRAM2a を保持した STANDBY モード。この場合、SRAM2a は低電力レギュレータによって電源供給されます。
  - PWR 制御レジスタ 3（PWR_CR3）の RRS ビットがクリアされたときの STANDBY モード。この場合、メインレギュレータおよび低電力レギュレータの電源がオフになります。

V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16 および HSE が無効になります。LSI および LSE を動作したままの状態にできます。

RTC をアクティブなままにできます（RTC ありの STANDBY モード、RTC なしの STANDBY モード）。

STANDBY モードが終了すると、システムクロックは HSI16 になります。

- SHUTDOWN モード：V_{CORE} ドメインの電源がオフになります。V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16、LSI および HSE が無効になります。LSE を動作したままの状態にできます。SHUTDOWN モードが終了すると、システムクロックは MSI 4 MHz になります。このモードでは、電源電圧モニタが無効になり、電圧低下時の製品の動作は保証されません。

注： **STOP、STANDBY、および SHUTDOWN モードには、両方の CPU が CStop モードの場合にのみ移行します。**

さらに、システムクロックを低速化したり、使用しない APB および AHB ペリフェラルへのクロックのゲーティングを行うことによって、RUN モードでの消費電力を低減できます。

システムの動作モードは、CPU1、CPU2、および無線サブシステムの動作モードに依存します。システムは、3 つのサブシステムすべてで許可されている場合にのみ、低消費電力モードに移行します。

システムリセット後、CPU1 は CRUN モードに移行します。CPU2 は、C2BOOT レジスタビットで CPU1 によって有効になった場合にのみブートします。CPU1 が CPU2 をブートしない限り、デバイスはシングル CPU システムとして動作します。CPU1 は、自動的にシステムの低消費電力モードへ移行し、ウェイクアップすることができます。

CPU2 がブートすると、CPU1、CPU2、および無線サブシステムは、自動的にシステムの低消費電力モードへ移行し、ウェイクアップすることができます。表 23 に、さまざまなサブシステムのさまざまなウェイクアップソースの詳細を示します。

表 23. サブシステムの低電力ウェイクアップソース

ウェイクアップソース	CPU1	CPU2	無線
EXTI	STOP モードから	STOP モードから	利用不可
RTC	STOP および STANDBY モードから	STOP および STANDBY モードから	利用不可
WKUP	STOP および STANDBY モードから	STOP および STANDBY モードから	利用不可
SMPS	STOP から	STOP から	利用不可
無線	STOP から	STOP から	利用不可
RFWAKEUP	利用不可	STOP および STANDBY モードから	STOP および STANDBY モードから

どのシステムの低消費電力モードに移行するかは、PWR 制御レジスタ 1（PWR_CR1）および PWR CPU2 制御レジスタ 1（PWR_C2CR1）の LPMS ビットの両方の CPU によって選択された使用可能なモードによります。これは、CPU2 が C2BOOT によってホールドされているときにも有効です。

図 12 に、動作モードの状態図を示します。CPU1、CPU2、および無線サブシステムは、自身のサブシステムの状態に応じて、相互に依存して動作します。各サブシステムには独自のウェイクアップソースがあり、STOP および STANDBY モードからのウェイクアップが可能です。デバイスが STOP、STANDBY、または SHUTDOWN モードであるためには、3 つのサブシステムすべてが CStop である必要があります。1 つのサブシステムが CRun モードに移行すると、デバイスは RUN モードに移行します。

図 12. 低消費電力モードの可能な遷移

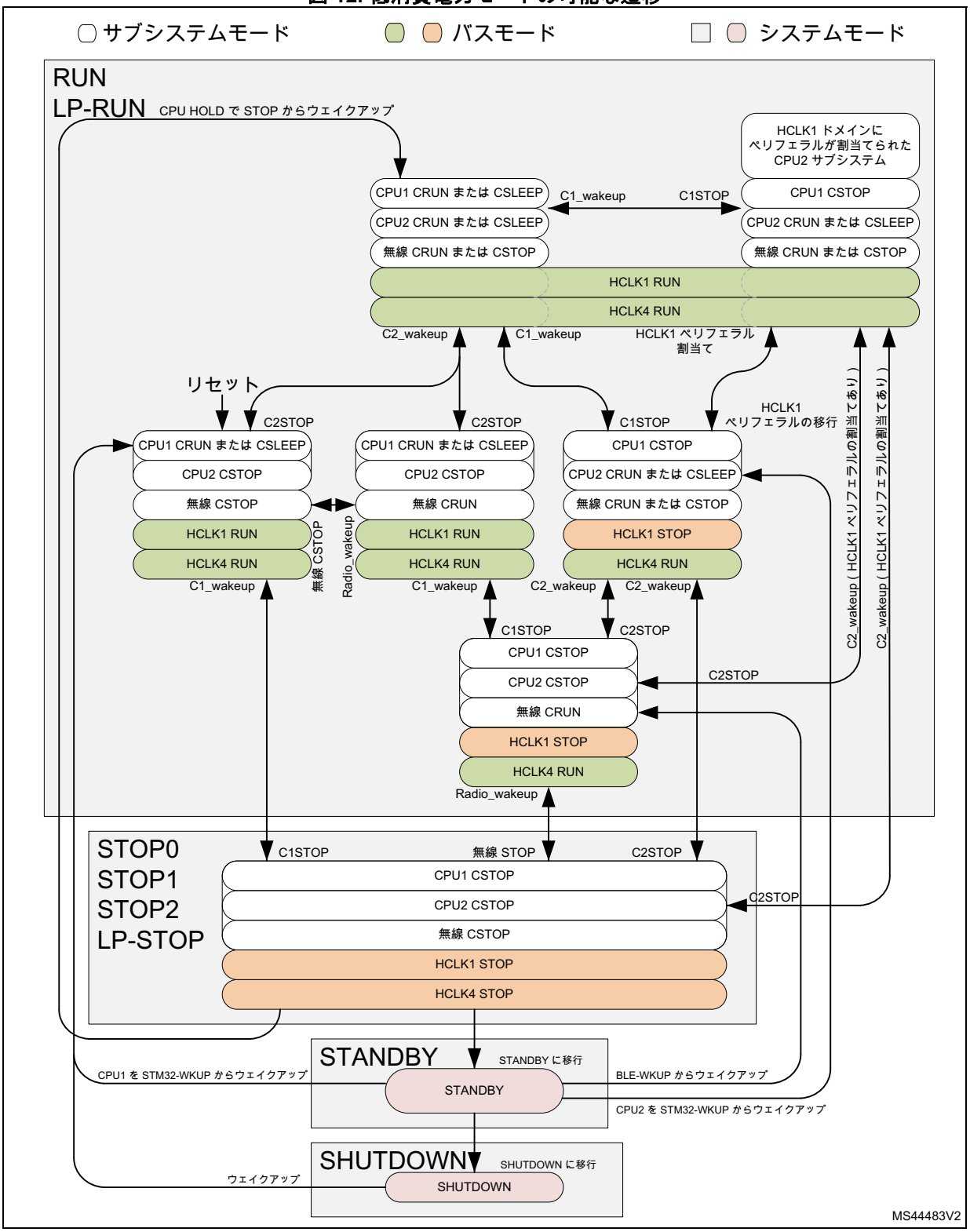


表 24. 低消費電力モードの概要

モード名	エントリ	ウェイクアップソース(1)	ウェイクアップシステムクロック	クロックへの影響	電圧レギュレータ	
					MR	LPR
SLEEP（Sleep-now または Sleep-on-exit）	WFI または ISRからの復帰	割込み	SLEEP モードへの移行前と同様	CPU クロックオフ 他のクロックおよびアナログクロックソースへの影響なし	オン	オン
	WFE	ウェイクアップイベント				
低電力 RUN	LPR ビットのセット	LPR ビットのクリア	低電力 RUN クロックと同様	なし	オフ	
低電力 SLEEP	LPR ビットのセット + WFI または ISRからの復帰	割込み	低電力 SLEEP モードへの移行前と同様	CPU クロックオフ 他のクロックおよびアナログクロックソースへの影響なし		
	LPR ビットのセット + WFE	ウェイクアップイベント				
STOP0	LPMS = "000" + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE	任意の EXTI ライン（EXTI レジスタで設定）。 特定のペリフェラルイベント	HSI16（RCC_CFGR の STOPWUCK = 1 のとき）。 STOP モードに移行する前の周波数での MSI（STOPWUCK = 0 のとき）。	LSI および LSE を除くすべてのクロックオフ	オン	オン
STOP1	LPMS = "001" + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE				オフ	
STOP2	LPMS = "010" + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE					
SRAM2a での STANDBY	LPMS = "011" + RRS ビットのセット + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE	WKUP ピンのエッジ、RTC イベント、LSECSS、NRST ピンでの外部リセット、IWDG リセット	HSI16			
STANDBY	LPMS = "011" + RRS ビットのクリア + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE	WKUP ピンのエッジ、RTC イベント、LSECSS、NRST ピンでの外部リセット、IWDG リセット				オフ
SHUTDOWN	LPMS = "1--" + SLEEPDEEP ビット + WFI または ISR からの復帰または WFE	WKUP ピンのエッジ、RTC イベント、NRST ピンによる外部リセット	MSI 4 MHz	LSE を除くすべてのクロックオフ	オフ	オフ

1. 表 25 を参照してください。

表 25. システムの動作モードに応じた機能(1)

ペリフェラル	RUN	SLEEP	低電力 RUN	低電力 SLEEP	STOP0		STOP1		STOP2		STANDBY		SHUTDO		VBAT
					-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	
CPU1	Y	-	Y	-	-	-	-	-	-	-	-	-	-	-	-
CPU2	Y	-	Y	-	-	-	-	-	-	-	-	-	-	-	-
無線システム（BLE、802）	Y	Y	-	-	-	Y	-	Y	-	Y	-	Y(2)	-	-	-
Flash メモリ	Y	Y	O	O	R	-	R	-	R	-	R	-	R	-	R
SRAM1	Y	O (4)	Y	O (4)	R	-	R	-	R	-	-	-	-	-	-
SRAM2a	Y	O (4)	Y	O (4)	R	-	R	-	R	-	O(3)	-	-	-	-
SRAM2b	Y	O(4)	Y	O (4)	R	-	R	-	R	-	-	-	-	-	-
QUADSPI	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
バックアップレジスタ	Y	Y	Y	Y	R	-	R	-	R	-	R	-	R	-	R
ブラウンアウトリセット（BOR）	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-
SMPS の強制バイパスの ブラウンアウト（BOR）	Y	Y	Y	Y	Y	Y	-	-	-	-	-	-	-	-	-
プログラム可能な 電圧検出器（PVD）	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
ペリフェラル電圧モニタ （PVMx、x = 1、3）	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
DMAx（x = 1、2）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
ハイスピード内部（HSI16）	O	O	O	O	O(5)	-	O (5)	-	-	-	-	-	-	-	-
オシレータ HSI48	O	O	-	-	-	-	-	-	-	-	-	-	-	-	-
ハイスピード外部（HSE）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
ロースピード内部（LSI）	O	O	O	O	O	-	O	-	O	-	O	-	-	-	-
ロースピード外部（LSE）	O	O	O	O	O	-	O	-	O	-	O	-	O	-	O
マルチスピード内部（MSI）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
クロックセキュリティシステム（CSS）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
LSE のクロックセキュリティシステム	O	O	O	O	O	O	O	O	O	O	O	O	-	-	-
RTC／自動ウェイクアップ	O	O	O	O	O	O	O	O	O	O	O	O	O	O	O
RTC タンパピンの数	3	3	3	3	3	O	3	O	3	O	3	O	3	O	3

表 25. システムの動作モードに応じた機能(1)（続き）

ペリフェラル	RUN	SLEEP	低電力 RUN	低電力 SLEEP	STOP0		STOP1		STOP2		STANDBY		SHUTDO		VBAT
					-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	-	ウェイクアップ機能	
LCD(6)	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
USB FS	O(7)	O (7)	-	-	-	O	-	O	-	-	-	-	-	-	-
USART1	O	O	O	O	O(8)	O (8)	O (8)	O (8)	-	-	-	-	-	-	-
低電力 UART（LPUART）	O	O	O	O	O (8)	O (8)	O (8)	O (8)	O (8)	O (8)	-	-	-	-	-
I2C1	O	O	O	O	O(9)	O (9)	O (9)	O (9)	-	-	-	-	-	-	-
I2C3	O	O	O	O	O (9)	O (9)	O (9)	O (9)	O (9)	O (9)	-	-	-	-	-
SPIx（x = 1、2）(6)	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
ADC1	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
COMPx（x = 1、2）	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
温度センサ	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
タイマ（TIMx）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
低電力タイマ 1（LPTIM1）	O	O	O	O	O	O	O	O	O	O	-	-	-	-	-
低電力タイマ 2（LPTIM2）	O	O	O	O	O	O	O	O	-	-	-	-	-	-	-
独立型ウォッチドッグ（IWDG）	O	O	O	O	O	O	O	O	O	O	O	O	-	-	-
ウィンドウ型ウォッチドッグ（WWDG）	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
SysTick タイマ	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
タッチセンシングコントローラ（TSC）(6)	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
真性乱数発生器（RNG）	O	O	-	-	-	-	-	-	-	-	-	-	-	-	-
AES ハードウェアアクセラレータ	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
CRC 計算ユニット	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
IPCC	O	-	O	-	-	-	-	-	-	-	-	-	-	-	-
HSEM	O	-	O	-	-	-	-	-	-	-	-	-	-	-	-
PKA	O	O	O	O	-	-	-	-	-	-	-	-	-	-	-
GPIO	O	O	O	O	O	O	O	O	O	O	(10)	O(11)	(12)	O (11)	-

1. 凡例 : Y = 使用可（有効）。O = オプション（デフォルトでは無効、ソフトウェアによって有効化可能）。R = データ保持。
- = 該当なし灰色のセルはウェイクアップ機能を示します。
2. PWR_CR3.RRS ビットで SRAM2a の内容を保持する必要があります。
3. PWR_CR3.RRS ビットがセットされたときに、SRAM2a の内容をオプションで保持することができます。
4. SRAM クロックのゲートオン／オフ可能

5. STOP モードからのウェイクアップ機能を持つ一部のペリフェラルは、HSI16 の有効化をリクエストできます。この場合、HSI16 はペリフェラルによってウェイクアップされ、HSI16 をリクエストしたペリフェラルだけにクロックを供給します。ペリフェラルが HSI16 を必要としなくなると、HSI16 は自動的にオフされます。
6. LCD、SPI2、および TSC は、STM32WB55xx デバイスでのみ使用できます。
7. 電圧スケーリングレンジ 1 のみです。
8. UART および LPUART の受信は STOP モードで機能し、START、アドレス一致または受信フレームイベントでウェイクアップ割込みを生成します。
9. I2C アドレス検出は STOP モードで機能し、アドレス一致時にウェイクアップ割込みを生成します。
10. I/O は、STANDBY モードで内部プルアップ、プルダウンまたはフローティングに設定できます。
11. STANDBY/SHUTDOWN モードからのウェイクアップ機能が付いた I/O は、PA0 および PA2 と、（STM32WB55xx の場合のみ）PC5、PC12、および PC13 です。
12. I/O は、SHUTDOWN モードで内部プルアップ、プルダウンまたはフローティングで設定できますが、SHUTDOWN モードを終了すると設定が失われます。

デバッグモード

デフォルトでは、デバッグ機能が使用されているときにアプリケーションがマイクロコントローラを STOP0、STOP1、STOP2、STANDBY、または SHUTDOWN モードにすると、デバッグ接続は失われます。これは、CPU1 コアにクロックが供給されなくなるためです。

ただし、DBGMCU_CR レジスタの設定ビットをセットすることによって、低消費電力モードを多用しているときでも、ソフトウェアのデバッグを行うことができます。詳細については、セクション 41.3.5：デバッグおよび低電力モードを参照してください。

6.4.1 RUN モード

システムクロックの低速化

RUN モードでは、プリスケーラレジスタをプログラミングすることによって、システムクロック（SYSCLK、HCLK、PCLK）の速度を下げることができます。SLEEP モードに移行する前にペリフェラルの速度を下げるため、これらのプリスケーラを使用することもできます。

詳細については、セクション 8.4.3：RCC クロック設定レジスタ（RCC_CFGR）を参照してください。

ペリフェラルクロックゲーティング

RUN モードでは、消費電力を低減するため、個々のペリフェラルとメモリへの HCLK および PCLK をいつでも停止することができます。

SLEEP モードで消費電力をさらに低減するため、WFI または WFE 命令を実行する前に、ペリフェラルクロックを停止することができます。

ペリフェラルクロックゲーティングは、RCC_AHBxENR および RCC_APBxENR レジスタで制御されます。

RCC_AHBxSMENR レジスタと RCC_APBxSMENR レジスタの対応ビットをリセットすることで、SLEEP モード時のペリフェラルクロックを自動的に停止させることができます。

6.4.2 低電力 RUN モード（LP RUN）

システムが RUN モードの場合に消費電力を削減するために、レギュレータを低消費電力モードで設定することができます。このモードでは、システム周波数は 2 MHz を超えてはなりません。無線サブシステムは、低電力 RUN モードでは使用できません。

電圧レギュレータおよびペリフェラルの動作条件の詳細は、製品データシートを参照してください。

低電力 RUN モードにおける I/O の状態

低電力 RUN モードでは、すべての I/O ピンは RUN モードと同じ状態を保持します。

低電力 RUN モードへの移行

低電力 RUN モードに移行するには、次の手順に従います。

1. オプション：SRAM にジャンプし、PWR 制御レジスタ 1（PWR_CR1）および PWR CPU2 制御レジスタ 1（PWR_C2CR1）の FPDR ビットをセットして、Flash メモリをパワーダウンさせます。
2. システムクロック周波数を 2 MHz 未満に下げます。
3. PWR 制御レジスタ 1（PWR_CR1）の LPR ビットをセットして、レギュレータを強制的に低消費電力モードにします。

低電力 RUN モードへの移行方法については、表 26 を参照してください。

低電力 RUN モードの終了

低電力 RUN モードを終了するには、次の手順に従います（表 26 を参照）。

1. PWR 制御レジスタ 1（PWR_CR1）の LPR ビットをクリアして、レギュレータを強制的にメインモードにします。
2. PWR ステータスレジスタ 2（PWR_SR2）の REGLPF ビットがクリアされるまで待ちます。
3. システムクロック周波数を上げます。

表 26. 低電力 RUN

低電力 RUN モード	説明
モードへの移行	システムクロック周波数を 2 MHz 未満に下げます。 LPR = 1
モードの終了	LPR = 0 REGLPF = 0 になるまで待ちます。 システムクロック周波数を上げます。
ウェイクアップ遅延時間	低消費電力モードからのレギュレータのウェイクアップ時間です。

6.4.3 低消費電力モードへの移行

低消費電力モードへの移行は、MCU が WFI（Wait For Interrupt）または WFE（Wait For Event）命令を実行することにより、または CPU1 システム制御レジスタの SLEEPONEXIT ビットが割込みサービスルーチン（ISR）からの復帰でセットされるときに実行されます。
WFI または WFE による低消費電力モードへの移行は、ペンディング状態の割込みやイベントがない場合にのみ実行されます。

6.4.4 低消費電力モードの終了

MCU は、モードへの移行方法に応じて、SLEEP モードおよび STOP モードから低消費電力モードを終了します。

- WFI 命令または割込みサービスルーチン（ISR）からの復帰によって低消費電力モードに移行した場合、NVIC によって認識されたペリフェラル割込みであればどれでもデバイスをウェイクアップすることができます。
- WFE 命令によって低消費電力モードに移行した場合、MCU はイベントの発生直後に低消費電力モードを終了します。ウェイクアップイベントは、NVIC IRQ 割込みまたはイベントによって生成されます。
  - 最初のケースでは、CPU システム制御レジスタの SEVONPEND = 0 の場合、ペリフェラル制御レジスタおよび NVIC にて割込みを有効にします。MCU が WFE からリスタートするときには、ペリフェラル割込みペンディングビットと（NVIC 割込みクリアペンディングレジスタの）NVIC ペリフェラル IRQ チャネルペンディングビットをクリアする必要があります。十分な優先度の NVIC 割込みのみが MCU をウェイクアップし、割込みを生成します。
    CPU システム制御レジスタの SEVONPEND = 1 の場合、ペリフェラル制御レジスタ（および任意で NVIC の割込み）にて割込みを有効にします。MCU が WFE からリスタートするときには、（NVIC 割込みクリアペンディングレジスタの）ペリフェラル割込みペンディングビットと、有効であればNVIC ペリフェラル IRQ チャネルペンディングビットをクリアする必要があります。すべての NVIC 割込み（無効化されているものも含む）によって MCU をウェイクアップします。十分な優先度で有効化された NVIC 割込みのみが MCU をウェイクアップし、割込みを生成します。
  - 2 番目のケースでは、EXTI ラインをイベントモードに設定します。CPU が WFE からリスタートするときには、イベントラインに対応するペンディングビットはセットされていないので、EXTI ペリフェラル割込みペンディングビットや NVIC IRQ チャネルペンディングをクリアする必要はありません。ペリフェラルの割込みフラグをクリアする必要があるかもしれません。

マイクロコントローラは、外部リセット（NRST ピン）、IWDG リセット、有効な WKUPx ピンのうちの 1 つの立ち上がり／立ち下がりエッジ、または RTC イベント（セクション 29 : リアルタイムクロック（RTC）を参照）、または無線イベント（STANDBY の場合のみ）を経由して、低消費電力モードの STANDBY モードと SHUTDOWN モードを終了します。

STANDBY または SHUTDOWN モードからのウェイクアップ後、プログラム実行はリセット後と同様にリスタートされます（ブートピン信号のサンプリング、オプションバイトローディング、リセットベクタのフェッチなど）。

CPU が CStop モードからウェイクアップするときのシステムモードは、PWR 拡張ステータス／ステータスクリアレジスタ（PWR_EXTSCR）の CnSTOPF と CnSBF から判断できます。

表 27. CPU CSTOP ウェイクアップとシステム動作モード

システムモード	CPU1		CPU2		CPU1 ウェイクアップ	CPU2 ウェイクアップ
	C1SBF	C1STOPF	C2SBF	C2STOPF		
RUN	0	0	0	0	RUN からのウェイクアップ	RUN からのウェイクアップ
	0	1	0	0	STOP からのウェイクアップ、ただし CPU2 によりシステムはすでに RUN	RUN からのウェイクアップ
	0	0	0	1	RUN からのウェイクアップ	STOP からのウェイクアップ、ただし CPU1 によりシステムはすでに RUN
	1	0	0	0	STANDBY からのウェイクアップ、ただし CPU2 によりシステムはすでに RUN	RUN からのウェイクアップ
	0	0	1	0	RUN からのウェイクアップ	STANDBY からのウェイクアップ、ただし CPU1 によりシステムはすでに RUN
	1	1	0	0	STANDBY に続けて STOP からもウェイクアップ、ただし CPU2 によりシステムはすでに RUN	RUN からのウェイクアップ
	0	0	1	1	RUN からのウェイクアップ	STANDBY に続けて STOP からもウェイクアップ、ただし CPU1 によりシステムはすでに RUN
STOP	0	1	0	1	STOP からのウェイクアップ（CPU2 はまだ CSTOP）	STOP からのウェイクアップ（CPU1 はまだ CSTOP）
	1	1	0	1	システムが STANDBY になってからの STOP からのウェイクアップ（CPU2 はまだ CSTOP）	STOP からのウェイクアップ（CPU1 はまだ CSTOP）
	0	1	1	1	STOP からのウェイクアップ（CPU2 はまだ CSTOP）	システムが STANDBY になってからの STOP からのウェイクアップ（CPU1 はまだ CSTOP）
STANDBY	1	0	1	0	STANDBY からのウェイクアップ（CPU2 はまだ CSTOP）	STANDBY からのウェイクアップ（CPU1 はまだ CSTOP）
N.A.	その他				無効。発生しません。	

6.4.5 SLEEP モード

SLEEP モードにおける I/O の状態

SLEEP モードで、すべての I/O ピンは RUN モードと同じ状態を保持します。

SLEEP モードへの移行

SLEEP モードへの移行は、CPU システム制御レジスタの SLEEPDEEP ビットがクリアされている場合に、低消費電力モードへの移行に従って実行されます（表 28 を参照）。

SLEEP モードの終了

マイクロコントローラは、低消費電力モードの終了に示すように SLEEP モードを終了します（表 28 を参照）。

表 28. SLEEP モード

Sleep-now モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – SLEEPDEEP = 0 – ペンディング状態の割込み（WFI）やイベント（WFE）なし Cortex® システム制御レジスタを参照。
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 – ペンディング状態の割込みなし Cortex® システム制御レジスタを参照。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割込み：表 60：CPU1 ベクタテーブルおよび表 61：CPU2 ベクタテーブルを参照。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合： ウェイクアップイベント：セクション 13.5：割込み一覧を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割込み（NVIC で無効化されている場合も含む）：表 60：CPU1 ベクタテーブルおよび表 61：CPU2 ベクタテーブルを参照。または、ウェイクアップイベント：セクション 13.5：割込み一覧を参照。
ウェイクアップ遅延時間	なし

6.4.6 低電力 SLEEP モード（LP SLEEP）

電圧レギュレータおよびペリフェラルの動作条件の詳細は、製品データシートを参照してください。

低電力 SLEEP モードにおける I/O の状態

低電力 SLEEP モードで、I/O ピンはすべて RUN モードと同じ状態を保持します。

低電力 SLEEP モードへの移行

低電力 SLEEP モードへは、低電力 RUN モードからセクション 6.4.3 で説明されているように移行します。移行は Cortex® システム制御レジスタの SLEEPDEEP ビットがクリアされている場合に行います。

低電力 SLEEP モードへの移行方法の詳細については、表 29 を参照してください。

低電力 SLEEP モードの終了

低電力 SLEEP モードは、セクション 6.4.4 で説明しているように終了します。割込みまたはウェイクアップイベントの発行によって低電力 SLEEP モードを終了する場合、MCU は低電力 RUN モードになります。

低電力 SLEEP モードの終了方法の詳細については、表 29 を参照してください。

表 29. 低電力 SLEEP

低電力 sleep-now モード：	説明
モードへの移行	低電力 SLEEP モードは、低電力 RUN モードから移行します。 次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – SLEEPDEEP = 0 – ペンディング状態の割込み（WFI）やイベント（WFE）なし Cortex® システム制御レジスタを参照。
	低電力 SLEEP モードは、低電力 RUN モードから移行します。 次の条件下での割込みサービスルーチン（ISR）からの復帰時 – SLEEPDEEP = 0 および – SLEEPONEXIT = 1 – ペンディング状態の割込みなし Cortex® システム制御レジスタを参照。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割込み：表 60：CPU1 ベクタテーブルおよび表 61：CPU2 ベクタテーブルを参照。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合： ウェイクアップイベント：セクション 13.5：割込み一覧を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割込み（NVIC で無効化されている場合も含む）：表 60：CPU1 ベクタテーブルおよび表 61：CPU2 ベクタテーブルを参照。 ウェイクアップイベント：セクション 13.5：割込み一覧を参照してください。 低電力 SLEEP モードの終了後、MCU は低電力 RUN モードになります。
ウェイクアップ遅延時間	なし

6.4.7 STOP0 モード

STOP0 モードは、ペリフェラルクロックゲーティングと組み合わせられた CPU のディープスリープ（DEEPSLEEP）モードに基づきます。電圧レギュレータは、メインレギュレータモードで設定されます。STOP0 モードでは、V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16、および HSE オシレータが無効になります。ウェイクアップ機能を搭載したいくつかのペリフェラル（I2Cx（x = 1、3）、USART1、および LPUART）は、フレームを受信するために HSI16 をオンにでき、フレーム受信後に受信したフレームがウェイクアップフレームではない場合、HSI16 をオフにできます。この場合、HSI16 クロックはフレームをリクエストしているペリフェラルに対してのみ伝達されます。

SRAM1、SRAM2 およびレジスタの内容は保持されます。

BOR は常に STOP0 モードで使用できます。V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

STOP0 モードにおける I/O の状態

STOP0 モードでは、すべての I/O ピンは RUN モードと同じ状態を保持します。

STOP0 モードへの移行

STOP0 モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、セクション 6.4.3 に従って実行されます（表 30 を参照）。

Flash メモリがプログラミング中の場合、この操作が完了してから、STOP0 モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから STOP0 モードに移行します。

STOP0 モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）: IWDG は、キーレジスタへの書込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。セクション 30.3 : IWDG の機能説明を参照してください。
- リアルタイムクロック（RTC）: この設定はRCC バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI）: この設定はRCC 制御／ステータスレジスタ（RCC_CSR）の LSIxON ビットで行います。
- 外部 32.768 kHz オシレータ（LSE）: この設定は RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

LSI または LSE によってクロックが供給されている、または、HSI16 クロックが要求される（ LCD、LPTIM1、LPTIM2、I2Cx（x = 1、3）、USART1、LPUART ）一部のペリフェラルは、有効であれば、STOP0 モードで使用できます。その場合、消費電流が追加されます。

コンパレータと PVMx（x = 1、3）、および PVD は STOP0 モードで使用できます。これらが必要ではない場合、消費電力を低減するためにソフトウェアで無効にする必要があります。

ADC、温度センサおよび VREFBUF バッファは、STOP0 モードに移行する前に無効にしない限り、STOP0 モード中に電力を消費します。

STOP0 モードの終了

STOP0 モードは、セクション 6.4.4 に示されている内容に応じて終了します。

STOP0 モードの終了方法の詳細については、表 30 を参照してください。

割込みまたはウェイクアップイベントの発行によって STOP0 モードを終了する場合、RCC クロック設定レジスタ（RCC_CFGR）の STOPWUCK ビットがセットされると、システムクロックとして HSI16 オシレータが選択されます。STOPWUCK ビットがクリアされると、システムクロックとして MSI オシレータが選択されます。HSI16 がウェイクアップシステムクロックとして選択される場合、ウェイクアップ時間が短くなります。MSI を選択すると、より高い周波数（最大 48 MHz）でウェイクアップが有効になります。

電圧レギュレータが低消費電力モードで動作している場合、HSI16 で STOP0 モードからウェイクアップする際、更なる起動時間が必要になります。STOP0 モードの間も内蔵レギュレータをオン状態に保つことによって、消費電力は増加しますが、起動時間は短縮されます。

STOP0 モードを終了すると、マイクロコントローラは RUN モード（PWR 制御レジスタ 1（PWR_CR1）の VOS ビットに応じてレンジ 1 またはレンジ 2）または、同じレジスタに LPR ビットがセットされている場合、低電力 RUN モードになります。

表 30. STOP0 モード

STOP0 モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み（WFI）やイベント（WFE）なし – PWR_CR1 および／または PWR_C2CR1で LPMS =「000」以上
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXIT = 1 – ペンディング状態の割込みなし – PWR_CR1 および／または PWR_C2CR1で LPMS =「000」以上
	注： STOP0 モードに移行するには、すべての EXTI ラインのペンディングビット（EXTI ペンディングレジスタ（EXTI_PR1）およびEXTI ペンディングレジスタ（EXTI_PR2）内）とウェイクアップ割込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STOP0 モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で有効になっている必要があります）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60：CPU1 ベクタテーブル および 表 61：CPU2 ベクタテーブルを参照してください。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合： イベントモードに設定されている任意の EXTI ライン。セクション 13.5：割込み一覧 を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で無効になっている場合も含む）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60：CPU1 ベクタテーブル および 表 60：CPU1 ベクタテーブルを参照してください。 ウェイクアップイベント：セクション 13.5：割込み一覧を参照してください。
ウェイクアップ遅延時間	最長ウェイクアップ時間：STOP0 モードからの MSI または HSI16 ウェイクアップ時間およびFlash メモリのウェイクアップ時間。

6.4.8 STOP1 モード

STOP1 モードは、メインレギュレータがオフで、低電力レギュレータがオンになっている点を除き、STOP0 モードと同じです。STOP1 モードは、RUN モードおよび低電力 RUN モードから移行できます。

STOP1 モードへの移行および終了方法の詳細については、表 31 を参照してください。

表 31. STOP1 モード

STOP1 モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み（WFI）やイベント（WFE）なし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「001」
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXIT = 1 – ペンディング状態の割込みなし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「001」
	注： STOP1 モードに移行するには、すべての EXTI ラインのペンディングビット（EXTI ペンディングレジスタ（EXTI_PR1）およびEXTI ペンディングレジスタ（EXTI_PR2）内）とウェイクアップ割込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STOP1 モード移行手順が無視され、プログラムが実行され続けます。
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で有効になっている必要があります）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60 : CPU1 ベクタテーブル および 表 61 : CPU2 ベクタテーブルを参照してください。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合： イベントモードに設定されている任意の EXTI ライン。セクション 13.5 : 割込み一覧 を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で無効になっている場合も含む）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60 : CPU1 ベクタテーブル および 表 61 : CPU2 ベクタテーブルを参照してください。 ウェイクアップイベント：セクション 13.5 : 割込み一覧を参照。
ウェイクアップ遅延時間	最長ウェイクアップ時間：MSI または HSI16 ウェイクアップ時間および低消費電力モードからのレギュレータウェイクアップ時間 + STOP1 モードからのFlash メモリのウェイクアップ時間。

6.4.9 STOP2 モード

STOP2 モードは、ペリフェラルクロックゲーティングと組み合わせられた CPU のディープスリープ（DEEPSLEEP）モードに準拠しています。STOP2 モードでは、V_{CORE} ドメインのすべてのクロックが停止し、PLL、MSI、HSI16、および HSE オシレータが無効になります。ウェイクアップ機能を搭載したいくつかのペリフェラル（I2C3 および LPUART）は、フレームを受信するために HSI16 をオンにでき、ウェイクアップフレームではない場合フレーム受信後に HSI16 をオフにできます。この場合、HSI16 クロックはフレームをリクエストしているペリフェラルに対してのみ伝達されます。

SRAM1、SRAM2 およびレジスタの内容は保持されます。

BOR は常に STOP2 モードで使用できます。V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

注： **コンパレータ、LPUART、および LPTIM1 出力は、STOP2 モード中、強制的にロースピード（OSPEEDy = 00）になります。**

STOP2 モードにおける I/O の状態

STOP2 モードでは、すべての I/O ピンは RUN モードと同じ状態を保持します。

STOP2 モードへの移行

STOP2 モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合は、セクション 6.4.3 で説明しているように、実行されます（表 32 を参照）。

STOP2 モードは、RUN モードからのみ移行できます。低電力 RUN モードから STOP2 モードへは移行できません。

Flash メモリがプログラミング中の場合、メモリアクセスが終了してから、STOP2 モードに移行します。

APB ドメインにアクセス中の場合、APB アクセスが終了してから STOP2 モードに移行します。

STOP2 モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDG は、キーレジスタへの書込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。セクション 30.3：IWDG の機能説明を参照してください。
- リアルタイムクロック（RTC）：この設定は RCC バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI）：この設定は RCC 制御／ステータスレジスタ（RCC_CSR）の LSIxON ビットで行います。
- 外部 32.768 kHz オシレータ（LSE）：この設定は RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

LSI または LSE によってクロックが供給されている、または HSI16 クロックが要求される（LCD、LPTIM1、I2C3、LPUART ）一部のペリフェラルは 、有効であれば、STOP2 モードで使用できます。その場合、消費電力が追加されます。

コンパレータ、PVMx（x = 1、3）、および PVD は STOP2 モードで使用できます。これらが必要ではない場合、消費電力を低減するためにソフトウェアで無効にする必要があります。

ADC、温度センサおよび VREFBUF[a] バッファは、STOP2 モードに移行する前に無効にしない限り、このモード中に電力を消費します。

STOP2 モードで有効にできないすべてのペリフェラルは、ペリフェラル自体の有効ビットをクリアして無効にするか、以下の対応するビットをセットしてリセット状態にする必要があります。

- RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR）
- RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR）
- RCC AHB3 および AHB4 ペリフェラルリセットレジスタ（RCC_AHB3RSTR）
- RCC APB1 ペリフェラルリセットレジスタ 1（RCC_APB1RSTR1）
- RCC APB1 ペリフェラルリセットレジスタ 2（RCC_APB1RSTR2）
- RCC APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）
- RCC APB3 ペリフェラルリセットレジスタ（RCC_APB3RSTR）

a. カテゴリ 3 のデバイスでのみ使用可能。

STOP2 モードの終了

STOP2 モードは、セクション 6.4.4 に従って終了します（表 32 を参照）。

割込みまたはウェイクアップイベントの発行によって STOP2 モードを終了する場合、RCC クロック設定レジスタ（RCC_CFGR）の StopWUCK ビットがセットされると、システムクロックとして HSI16 RC オシレータが選択されます。STOPWUCK ビットがクリアされると、システムクロックとして MSI オシレータが選択されます。HSI16 がウェイクアップシステムクロックとして選択される場合、ウェイクアップ時間が短くなります。MSI を選択すると、より高い周波数（最大 48 MHz）でウェイクアップできます。

STOP2 モードを終了すると、MCU は RUN モード（PWR_CR1 の VOS ビットに応じてレンジ 1 またはレンジ 2）になります。

表 32. STOP2 モード

STOP2 モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み（WFI）やイベント（WFE）なし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「010」
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXIT = 1 – ペンディング状態の割込みなし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「010」 **注： STOP2 モードに移行するには、すべての EXTI ラインのペンディングビット（EXTI ペンディングレジスタ（EXTI_PR1）およびEXTI ペンディングレジスタ（EXTI_PR2）内）とウェイクアップ割込みを生成するペリフェラルフラグをクリアする必要があります。そうしないと、STOP モード移行手順が無視され、プログラムが実行され続けます。**
モードの終了	WFI または ISR からの復帰を使用して移行した場合 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で有効になっている必要があります）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60：CPU1 ベクタテーブル および 表 61：CPU2 ベクタテーブルを参照してください。 WFE 命令を使用して移行し、SEVONPEND = 0 の場合： イベントモードに設定されている任意の EXTI ライン。セクション 13.5：割込み一覧を参照してください。 WFE 命令を使用して移行し、SEVONPEND = 1 の場合： 割込みモードに設定されている任意の EXTI ライン（対応する EXTI 割込みベクタが NVIC で無効になっている場合も含む）。割込みソースは、ウェイクアップ機能を備えた外部割込みまたはペリフェラルになることがあります。表 60：CPU1 ベクタテーブル および 表 61：CPU2 ベクタテーブルを参照してください。 イベントモードに設定されている任意の EXTI ライン。セクション 13.5：割込み一覧 を参照してください。
ウェイクアップ遅延時間	最長ウェイクアップ時間：MSI または HSI16 ウェイクアップ時間および低消費電力モードからのレギュレータウェイクアップ時間 + STOP2 モードからのFlashのウェイクアップ時間。

6.4.10 STANDBY モード

STANDBY モードでは、BOR により消費電力を最も少なくできます。このモードは、電圧レギュレータを無効にした状態（SRAM2 の内容が保持されている場合を除く）の CPU のディープスリープ（DEEPSLEEP）モードに基づきます。PLL、HSI16、MSI および HSE オシレータもオフになります。

バックアップドメインと STANDBY 回路のレジスタを除いて、SRAM1 とレジスタの内容は失われます（図 7 を参照）。PWR 制御レジスタ 3（PWR_CR3）の RRS ビットがセットされた場合、SRAM2 の内容を保持できます。この場合、低電力レギュレータがオンになり、SRAM2 に対してのみ電源供給されます。

BOR は常に STANDBY モードで使用できます。V_{BOR0} を超える閾値が使用される場合、消費電力は増えます。

STANDBY モードにおける I/O の状態

STANDBY モードでは、I/O をプルアップ（PWR_PUCRx レジスタ（x=A、B、C、D、E、F、G、H）を参照）、またはプルダウン（PWR_PDCRx レジスタ（x=A、B、C、D、E、F、G、H）を参照）で設定したり、アナログ状態のままに設定したりできます。

PC13 の RTC 出力は STANDBY モードで機能します。LSE に使用される PC14 と PC15 も機能します。5 つのウェイクアップピン（WKUPx、x = 1、2～5）および 3 つの RTC タンパが使用できます。

STANDBY モードへの移行

STANDBY モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、セクション 6.4.3 に従って実行されます。

STANDBY モードへの移行方法の詳細については、表 33 を参照してください。

STANDBY モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- 独立型ウォッチドッグ（IWDG）：IWDG は、キーレジスタへの書込みによって、またはハードウェアオプションによって起動します。ウォッチドッグの動作がいったん開始されると、リセット以外では停止できません。セクション 30.3：IWDG の機能説明を参照してください。
- リアルタイムクロック（RTC）：この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。
- 内部 RC オシレータ（LSI）：この設定は、制御／ステータスレジスタ（RCC_CSR）の LSIxON ビットで行います。
- 外部 32.768 kHz オシレータ（LSE）：この設定は、バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

STANDBY モードの終了

STANDBY モードは、セクション 6.4.4 に従って終了します。PWR 制御レジスタ 3（PWR_CR3）の SBF ステータスフラグは MCU が STANDBY モードにあったことを示します。PWR 制御レジスタ 3（PWR_CR3）を除くすべてのレジスタは、STANDBY モードからのウェイクアップ後にリセットされます。

STANDBY モードの終了方法の詳細については、表 33 を参照してください。

表 33. STANDBY モード

STANDBY モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み（WFI）やイベント（WFE）なし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「011」 – 電源ステータスレジスタ 1 （PWR_SR1）の WUFx ビットをクリア
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXIT = 1 – ペンディング状態の割込みなし – PWR_CR1 および／または PWR_C2CR1 以上で LPMS =「011」 – 電源ステータスレジスタ 1 （PWR_SR1）の WUFx ビットをクリア 選択されたウェイクアップソース（RTC アラーム A、RTC アラーム B、RTC ウェイクアップ、タンパ、タイムスタンプフラグ）に対応する RTC フラグをクリア。
モードの終了	WKUPx ピンのエッジ、RTC イベント、NRST ピンによる外部リセット、IWDG リセット、BOR リセット
ウェイクアップ遅延時間	リセットフェーズ

6.4.11 SHUTDOWN モード

SHUTDOWN モードでは、消費電力を最も少なくできます。このモードは、電圧レギュレータを無効にした状態のディープスリープ（DEEPSLEEP）モードに基づきます。結果として、V_{CORE} ドメインの電源がオフになります。PLL、HSI16、MSI、LSI および HSE オシレータもオフになります。

バックアップドメインのレジスタを除いて、SRAM1、SRAM2、およびレジスタの内容は失われます。BOR は SHUTDOWN モードで使用できません。このモードで電源電圧監視はできないため、バックアップドメインへの切り替えはサポートされません。

SHUTDOWN モードにおける I/O の状態

SHUTDOWN モードでは、I/O をプルアップ（PWR_PUCRx レジスタ（x=A、B、C、D、E、F、G、H）を参照）、またはプルダウン（PWR_PDCRx レジスタ（x=A、B、C、D、E、F、G、H）を参照）で設定したり、アナログ状態のままに設定したりできます。

ただし、パワーオンリセットにより SHUTDOWN モードが終了すると、この設定は失われます。

PC13 の RTC 出力は SHUTDOWN モードで機能します。LSE に使用される PC14 と PC15 も機能します。5 つのウェイクアップピン（WKUPx、x = 1、2～5）および 3 つの RTC タンパが使用できます。

SHUTDOWN モードへの移行

SHUTDOWN モードへの移行は、Cortex システム制御レジスタの SLEEPDEEP ビットがセットされている場合に、低消費電力モードへの移行に従って実行されます。

SHUTDOWN モードへの移行方法の詳細については、表 34 を参照してください。

SHUTDOWN モードでは、個別の制御ビットをプログラミングすることによって、次の機能を選択できます。

- リアルタイムクロック（RTC）: この設定はRCC バックアップドメイン制御レジスタ（RCC_BDCR）の RTCEN ビットで行います。注意：V_{DD} がパワーダウンすると、RTC の内容は失われます。
- 外部 32.768 kHz オシレータ（LSE）: この設定はRCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットで行います。

SHUTDOWN モードの終了

SHUTDOWN モードは、低消費電力モードの終了に従って終了します。SHUTDOWN モードを終了すると、パワーオンリセットが発生します。SHUTDOWN モードからウェイクアップ後、すべてのレジスタ（バックアップドメインのものを除く）がリセットされます。

SHUTDOWN モードの終了方法の詳細については、表 34 を参照してください。

表 34. SHUTDOWN モード

SHUTDOWN モード	説明
モードへの移行	次の条件下での WFI（Wait for Interrupt）または WFE（Wait for Event） – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – ペンディング状態の割込み（WFI）やイベント（WFE）なし – PWR_CR1 および PWR_C2CR1 で LPMS = 「1XX」 – 電源ステータスレジスタ 1 （PWR_SR1）の WUFx ビットをクリア
	次の条件下での割込みサービスルーチン（ISR）からの復帰時 – Cortex システム制御レジスタの SLEEPDEEP ビットをセット – SLEEPONEXT = 1 – ペンディング状態の割込みなし – PWR_CR1 および PWR_C2CR1 で LPMS = 「1XX」 – 電源ステータスレジスタ 1 （PWR_SR1）の WUFx ビットをクリア 選択されたウェイクアップソース（RTC アラーム A、RTC アラーム B、RTC ウェイクアップ、タンパ、タイムスタンプフラグ）に対応する RTC フラグをクリア。
モードの終了	WKUPx ピンのエッジ、RTC イベント、NRST ピンによる外部リセット
ウェイクアップ 遅延時間	リセットフェーズ

6.4.12 低消費電力モードからの自動ウェイクアップ

RTC は、外部割込み（自動ウェイクアップモード）に頼ることなく、低消費電力モードから MCU をウェイクアップするために使用できます。RTC を、一定の時間間隔で STOP（0、1 または 2）モードや STANDBY モードからウェイクアップさせるためのプログラム可能なタイムベースとすることができます。この目的のため、RCC バックアップドメイン制御レジスタ（RCC_BDCR）の RTCSEL[1:0] ビットをプログラムすることによって、次の 3 つの代替 RTC クロックソースのうちから 2 つを選択できます。

- 低電力 32.768 kHz 外部クリスタルオシレータ（LSE OSC）
  このクロックソースは、非常に少ない消費電力で高精度のタイムベースとなります。
- 低電力内部 RC オシレータ（LSI）
  このオシレータは、最小限の消費電力を追加するように設計されています。

RTC アラームイベントによって STOP モードからウェイクアップさせるには、次の設定が必要です。

- EXTI ライン 18 を立ち上がりエッジを検知するように設定します。
- RTC が RTC アラームを生成するように設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 18 の設定は必要ありません。

RTC ウェイクアップイベントによって STOP モードからウェイクアップさせるには、次の設定が必要です。

- EXTI ライン 20 を立ち上がりエッジを検知するように設定します。
- RTC が RTC アラームを生成するように設定します。

STANDBY モードからウェイクアップするには、EXTI ライン 20 の設定は必要ありません。

フレーム割込みの LCD 開始も、STOP（0、1 または 2）モードからの周期的ウェイクアップとして使用できます。LCD は STANDBY モードで使用できません。

LCD クロックは RTCSEL[1:0] により選択された RTC クロックから生成されます。

6.5 リアルタイムの無線情報

PWR には、無線でのリアルタイム動作を示すフラグが用意されています。

- IEEE802.15.4 無線動作終了割込みフラグ
- BLE 無線動作終了割込みフラグ
- 重要無線フェーズフラグ
- 重要無線フェーズ終了割込みフラグ

これらのフラグは、CPU1 が無線動作を判断するために使用できます。

図 12 に、さまざまなフラグの基本的なタイミング関係を示します。

図 13. リアルタイムの無線動作フラグ



有効な場合、無線動作終了割込みフラグ 802AF は、IEEE802.15.4 無線動作周期の終了を示し、無線が Cstop モードになったときに生成されます。

有効な場合、無線動作終了割込みフラグ BLEAF は、BLE無線動作周期の 終了を示し、無線が Cstop モードになったときに生成されます。

重要無線フェーズフラグは、無線の重要なリアルタイムフェーズを示し、Flash メモリへのアクセスは消去またはプログラム操作によってブロックされてはなりません（消去およびプログラム操作はすべて、Flash メモリインタフェースで CPU2 によってサスペンドされます）。重要無線フェーズの終了は、CPU2 が重要無線フェーズフラグ CRPF をクリアすることによってトリガされ、また最終的には IEEE802.15.4 または BLE 無線動作の最後にクリアされます。

有効な場合、重要無線フェーズ終了割込みフラグ CRPEF は、重要無線フェーズの終了を示し、重要無線フェーズの終了時に生成されます。

6.6 PWR レジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

6.6.1 PWR 制御レジスタ 1（PWR_CR1）

アドレスオフセット：0x000

リセット値：0x0000 0200このレジスタは、ビット [2:0] を除き、STANDBY モードからのウェイクアップ後にリセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	FPDS	FPDR	Res.	LPMS[2:0]		
	rw				rw	rw	rw			rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **LPR**：低電力 RUN

このビットがセットされると、レギュレータはメインモード（MR）から低消費電力モード（LPR）に切り替わります。

注： LPR ビットがセットされている場合、STOP2 モードに移行することはできません。代わりに STOP1 に移行します。

ビット 13:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:9 **VOS**：電圧スケーリングレンジの選択

00：書込み不可（ハードウェアによって禁止されています）
01：レンジ1
10：レンジ2
11：書込み不可（ハードウェアによって禁止されています）

ビット 8 **DBP**：バックアップドメイン書込み保護の無効化

リセット状態で、RTC およびバックアップレジスタは不要な書込みアクセスから保護されます。これらのレジスタへの書込みアクセスを可能にするには、このビットをセットする必要があります。
0：RTC およびバックアップレジスタへのアクセスは無効です。
1：RTC およびバックアップレジスタへのアクセスは有効です。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **FPDS**：CPU1 の LPSleep 時のFlash メモリのパワーダウンモード

このビットは、両方の CPU が SLEEP モードの場合に、Flash メモリをパワーダウンモードまたはアイドルモードのどちらにするかを選択します。Flash メモリは、システムが LPSleep モードであり、CPU2 の PWR_C2CR1.FPDS ビットによってこれが許可されている場合にのみパワーダウンモードに設定されます。
0：システムが LPSleep モードの場合、Flash メモリはアイドルモードになります。
1：システムが LPSleep モードの場合、Flash メモリはパワーダウンモードになります。

ビット 4 **FPDR**：CPU1 の LPRun 時のFlash メモリのパワーダウンモード

このビットは、このレジスタに最初に（コード 0xC1B0）を書き込むことで、このレジスタビットをアンロックした後、1 のみを書き込むことができます（コードを書き込む間、レジスタビットは更新されません）。LPRun モードのとき、Flash メモリがパワーダウンモードとアイドルモードのどちらで動作するかを選択します。（Flash メモリは、コードが SRAM から実行されている場合にのみパワーダウンモードにすることができます）。Flash メモリは、システムが LPRun モードであり、CPU2 の PWR_C2CR1.FPDR ビットによってこれが許可されている場合にのみパワーダウンモードにセットされます。

0：システムが LPRun モードの場合、Flash メモリはアイドルモードになります。

1：システムが LPRun モードの場合、Flash メモリはパワーダウンモードになります。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **LPMS[2:0]**：CPU1 の低消費電力モード選択

これらのビットは、STANDBY モードを終了するとリセットされません。

これらのビットは、CPU1 がディープスリープ（DEEPSLEEP）モードへ移行する時に、使用可能な低消費電力モードを選択します。移行したシステムの低消費電力モードは、CPU2 の PWR_C2CR1.LPMS で設定した低消費電力モードにも依存します。

000：STOP0 モード

001：STOP1 モード

010：STOP2 モード

011：STANDBY モード

1xx：SHUTDOWN モード

注： LPR ビットがセットされると、STOP2 モードを選択できず、STOP2 の代わりに STOP1 モードに移行します。
STANDBY モードでは、PWR_CR3 の RRS ビットの設定に応じて、SRAM2 を保持できるかどうかが決まります。

6.6.2 PWR 制御レジスタ 2（PWR_CR2）

アドレスオフセット：0x004

リセット値：0x0000 0000このレジスタは、STANDBY モード終了時にリセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	USV	Res.	Res.	Res.	PVME3	Res	PVME1	PLS[2:0]			PVDE
					rw				rw		rw	rw	rw	rw	rw

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **USV**：V_{DDUSB} USB 電源有効

このビットは、電気的および論理的アイソレーションの目的で V_{DDUSB} 電源を確認するために使用されます。USB FS ペリフェラルを使用する場合、このビットをセットする必要があります。V_{DDUSB} が常にアプリケーションに存在しない場合、PVM を使用してこの電源が利用可能状態かどうか判断できます。

0：V_{DDUSB} が存在しません。論理的および電気的アイソレーションが適用され、この電源は無視されます。

1：V_{DDUSB} は有効です。

ビット 9:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PVME3**：ペリフェラル電圧モニタ 3 有効化：V_{DDA} と 1.62 V
0：PVM3（V_{DDA} 監視と 1.62V 閾値）を無効にします。
1：PVM3（V_{DDA} 監視と 1.62V 閾値）を有効にします。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **PVME1**：ペリフェラル電圧モニタ 1 有効化：V_{DDUSB} と 1.2 V
0：PVM1（V_{DDUSB} 監視と 1.2V 閾値）を無効にします。
1：PVM1（V_{DDUSB} 監視と 1.2V 閾値）を有効にします。

ビット 3:1 **PLS[2:0]**：プログラム可能な電圧検出器のレベル選択。
これらのビットは、プログラム可能な電圧検出器によって検出される電圧閾値を選択します。
000：V_{PVD0} ~ 2.0 V
001：V_{PVD1} ~ 2.2 V
010：V_{PVD2} ~ 2.4 V
011：V_{PVD3} ~ 2.5 V
100：V_{PVD4} ~ 2.6 V
101：V_{PVD5} ~ 2.8 V
110：V_{PVD6} ~ 2.9 V
111：外部入力アナログ電圧 PVD_IN（内部的に V_{REFINT} と比較されます）。PVD_IN 入力として使用される I/O は、GPIO レジスタにてアナログモードに設定する必要があります。

注： これらのビットは、SYSCFG_CBR レジスタの PVDL ビット（PVD ロック）がセットされているときに書込み保護され、システムリセットによってのみリセットされます。

ビット 0 **PVDE**：プログラム可能な電圧検出器有効化
0：プログラム可能な電圧検出器を無効化します。
1：プログラム可能な電圧検出器を有効化します。

注： このビットは、SYSCFG_CBR レジスタの PVDL（PVD ロック）ビットがセットされているとき、書込み保護されます。このビットは、システムリセットによってのみリセットされます。

6.6.3 PWR 制御レジスタ 3（PWR_CR3）

アドレスオフセット：0x008

リセット値：0x0000 8000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	EC2H	E802A	EBLEA	ECRPE	APC	RRS	EBORH SMPSFB	Res.	Res.	Res.	EWUP5	EWUP4	EWUP3	EWUP2	EWUP1
rw	rw	rw	rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EIWUL**：CPU1 の内部ウェイクアップライン有効化
0：CPU1 への内部ウェイクアップライン割込みは無効です。
1：CPU1 への内部ウェイクアップライン割込みは有効です。

ビット 14 **EC2H**：CPU1 の CPU2 ホールド割込み有効化

C2BOOT によって CPU1 への割込みである CPU2 をホールド状態で保持できます。

0：CPU1 への割込みは無効です。

1：CPU1 への割込みは有効です。

ビット 13 **E802A**：CPU1 の 802.15.4 動作終了割込み有効化

0：CPU1 への割込みは無効です。

1：CPU1 への割込みは有効です。

ビット 12 **EBLEA**：CPU1 の BLE 動作終了割込み有効化

0：CPU1 への割込みは無効です。

1：CPU1 への割込みは有効です。

ビット 11 **ECRPE**：CPU1 への重要無線フェーズ動作終了割込み有効化

0：CPU1 への割込みは無効です。

1：CPU1 への割込みは有効です。

ビット 10 **APC**：CPU1 からのプルアップおよびプルダウン設定の適用

この CPU1 のビット、または CPU2 の PWR_C2CR3.APC ビットがセットされると、PWR_PUCRx レジスタおよび PWR_PDCRx レジスタで定義されている I/O プルアップおよびプルダウンの設定が適用されます。両方のビットがクリアされると、PWR_PUCRx および PWR_PDCRx レジスタは I/O に適用されません。

ビット 9 **RRS**：STANDBY モードでの SRAM2a 保持

0：SRAM2a が STANDBY モードで電源オフになります（内容は失われます）。

1：SRAM2a が STANDBY モードで低電力レギュレータによって電源オンになります（内容は保持されます）。

ビット 8 **EBORHSMPSFB**：CPU1 での BORH および SMPS ステップダウンコンバータの強制的なバイパス割込み有効化

0：CPU1 への割込み BORHF および SMPSFBF は無効です。

1：CPU1 への割込み BORHF および SMPSFBF は有効です。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **EWUP5**：CPU1 のウェイクアップピン WKUP5 を有効にします（STM32WB55xx のみで使用可能）。

このビットをセットすると、CPU1 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP5 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP5 ビットでアクティブなエッジが設定されます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 3 **EWUP4**：CPU1 のウェイクアップピン WKUP4 を有効にします。

このビットをセットすると、CPU1 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP4 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP4 ビットでアクティブなエッジが設定されます。

ビット 2 **EWUP3**：CPU1 のウェイクアップピン WKUP3 を有効にします（STM32WB55xx のみで使用可能）。

このビットをセットすると、CPU1 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP3 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP3 ビットでアクティブなエッジが設定されます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 1 **EWUP2**：CPU1 のウェイクアップピン WKUP2 を有効にします（STM32WB55xx のみで使用可能）。
このビットをセットすると、CPU1 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP2 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP2 ビットでアクティブなエッジが設定されます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 0 **EWUP1**：CPU1 のウェイクアップピン WKUP1 を有効にします。
このビットをセットすると、CPU1 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP1 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP1 ビットでアクティブなエッジが設定されます。

6.6.4 PWR 制御レジスタ 4（PWR_CR4）

アドレスオフセット：0x00C

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2BOOT	Res.	Res.	Res.	Res.	Res.	VBRS	VBE	Res.	Res.	Res.	WP5	WP4	WP3	WP2	WP1
rw						rw	rw				rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **C2BOOT**：リセットまたは STOP または STANDBY モードからのウェイクアップ後に CPU2 をブートします。
0：CPU2 は、リセットまたは STOP または STANDBY モードからのウェイクアップ後にブートしません。
1：CPU2 は、STOP または STANDBY モードからのウェイクアップ後にブートします。

ビット 14:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **VBRS**：V_{BAT} バッテリ充電抵抗の選択
0：5 kΩ の抵抗で V_{BAT} を充電します。
1：1.5 kΩ の抵抗で V_{BAT} を充電します。

ビット 8 **VBE**：V_{BAT} バッテリ充電は有効です。
0：V_{BAT} バッテリ充電を無効化します。
1：V_{BAT} バッテリ充電を有効化します。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **WP5**：ウェイクアップピン WKUP5 の極性（STM32WB55xx のみで使用可能）
このビットは、外部ウェイクアップピン WKUP5 のイベントの検出に使用される極性を定義します。
0：高レベルで検出します（立ち上がりエッジ）。
1：低レベルで検出します（立ち下がりエッジ）。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 3 **WP4**：ウェイクアップピン WKUP4 の極性

このビットは、外部ウェイクアップピン WKUP4 のイベントの検出に使用される極性を定義します。
0：高レベルで検出します（立ち上がりエッジ）。
1：低レベルで検出します（立ち下がりエッジ）。

ビット 2 **WP3**：ウェイクアップピン WKUP3 の極性（STM32WB55xx のみで使用可能）

このビットは、外部ウェイクアップピン WKUP3 のイベントの検出に使用される極性を定義します。
0：高レベルで検出します（立ち上がりエッジ）。
1：低レベルで検出します（立ち下がりエッジ）。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 1 **WP2**：ウェイクアップピン WKUP2 の極性（STM32WB55xx のみで使用可能）

このビットは、外部ウェイクアップピン WKUP2 のイベントの検出に使用される極性を定義します。
0：高レベルで検出します（立ち上がりエッジ）。
1：低レベルで検出します（立ち下がりエッジ）。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 0 **WP1**：ウェイクアップピン WKUP1 の極性

このビットは、外部ウェイクアップピン WKUP1 のイベントの検出に使用される極性を定義します。
0：高レベルで検出します（立ち上がりエッジ）。
1：低レベルで検出します（立ち下がりエッジ）。

6.6.5 PWR ステータスレジスタ 1（PWR_SR1）

アドレスオフセット：0x010

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタを読み出すには、通常の APB 読出しに対して、追加の APB サイクルが 2 つ必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUFI	C2HF	802AF	BLE AF	CRPEF	802 WUF	BLE WUF	BORHF	SMPS FBF	Res.	Res.	WUF5	WUF4	WUF3	WUF2	WUF1
r	r	r	r	r	r	r	r	r			r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **WUFI**：内部ウェイクアップ割込みフラグ

このビットは、内部ウェイクアップラインにウェイクアップが検出されたときにセットされます。また、すべての内部ウェイクアップソースがクリアされたときにクリアされます。

ビット 14 **C2HF**：CPU2 ホールド割込みフラグ

このビットは、C2BOOT = 0 で、CPU2 ウェイクアップが検出された場合にセットされます。PWR_SCR.CC2HF によってクリアされます。

ビット 13 **802AF**：802.15.4 動作終了割込みフラグ

このビットは、802.15.4 動作が終了するとセットされます。PWR_SCR.C802AF によってクリアされます。

ビット 12 **BLEAF**：BLE 動作終了割込みフラグ

このビットは、BLE 動作が終了するとセットされます。PWR_SCR.CBLEAF によってクリアされます。

ビット 11 **CRPEF**：重要無線フェーズの動作終了割込みフラグ有効化

このビットは、無線フェーズ動作が終了するとセットされます。PWR_SCR.CCRPEF によってクリアされます。

ビット 10 **802WUF**：802.15.4 ウェイクアップ割込みフラグ

このビットは、802.15.4 ラインにウェイクアップが検出されたときにセットされます。
PWR_SCR.C802WUF によってクリアされます。

ビット 9 **BLEWUF**：BLE ウェイクアップ割込みフラグ

このビットは、BLE ラインにウェイクアップが検出されたときにセットされます。
PWR_SCR.CBLEWUF によってクリアされます。

ビット 8 **BORHF**：BORH 割込みフラグ

このビットは、V_{DD} が BORH 閾値を超えたときにセットされます。PWR_SCR.CBORHF によってクリアされます。

ビット 7 **SMPSFBF**：SMPS ステップダウンコンバータ強制バイパス割込みフラグ

このビットは、SMPS ステップダウンコンバータが SMPS モードで有効になり、BORH 閾値によって強制的にバイパスモードにされたときにセットされます。PWR 制御レジスタ 5（PWR_CR5）の BORHC ビットによる BORH の設定では、BORH を SMPS ステップダウンコンバータを強制的にバイパスモードにする選択をする必要があります。

このビットは PWR_SCR.CSMPSFBF によってクリアされます。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **WUF5**：ウェイクアップフラグ 5（STM32WB55xx のみで使用可能）

このビットは、ウェイクアップピン WKUP5 でウェイクアップイベントが検出されたときにセットされます。PWR_SCR レジスタの CWUF5 ビットに「1」を書き込むことによってクリアされます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 3 **WUF4**：ウェイクアップフラグ 4

このビットは、ウェイクアップピン WKUP4 でウェイクアップイベントが検出されたときにセットされます。PWR ステータスクリアレジスタ（PWR_SCR）の CWUF4 ビットに「1」を書き込むことによってクリアされます。

ビット 2 **WUF3**：ウェイクアップフラグ 3（STM32WB55xx のみで使用可能）

このビットは、ウェイクアップピン WKUP3 でウェイクアップイベントが検出されたときにセットされます。PWR ステータスクリアレジスタ（PWR_SCR）の CWUF3 ビットに「1」を書き込むことによってクリアされます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 1 **WUF2**：ウェイクアップフラグ 2（STM32WB55xx のみで使用可能）

このビットは、ウェイクアップピン WKUP2 でウェイクアップイベントが検出されたときにセットされます。PWR ステータスクリアレジスタ（PWR_SCR）の CWUF2 ビットに「1」を書き込むことによってクリアされます。このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 0 **WUF1**：ウェイクアップフラグ 1

このビットは、ウェイクアップピン WKUP1 でウェイクアップイベントが検出されたときにセットされます。PWR ステータスクリアレジスタ（PWR_SCR）の CWUF1 ビットに「1」を書き込むことによってクリアされます。

6.6.6 PWR ステータスレジスタ 2（PWR_SR2）

アドレスオフセット：0x014

リセット値：0x0000 0002このレジスタは、STANDBY/SHUTDOWN モード終了時に一部リセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PVMO3	Res.	PVMO1	PVDO	VOSF	REGLPF	REGLPS	Res.	Res.	Res.	Res.	Res.	Res.	SMPSF	SMPSBF
	r		r	r	r	r	r							r	r

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **PVMO3**：ペリフェラル電圧モニタの出力：V_{DDA} と 1.62 V

0：V_{DDA} 電圧が、PVM3 閾値（~ 1.62 V）を超えています。

1：V_{DDA} 電圧が、PVM3 閾値（~ 1.62 V）を下回っています。

注： PVM3 が無効になったとき（PVME3 = 0）に PVMO3 がクリアされます。PVM3 を有効にすると、PVM3 ウェイクアップ時間後、PVM3 出力が有効になります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **PVMO1**：ペリフェラル電圧モニタの出力：V_{DDUSB} と 1.2 V

0：V_{DDUSB} 電圧が、PVM1 閾値（~ 1.2 V）を超えています。

1：V_{DDUSB} 電圧が、PVM1 閾値（~ 1.2 V）を下回っています。

注： PVM1 が無効になったとき（PVME1 = 0）に PVMO1 がクリアされます。PVM1 を有効にすると、PVM1 ウェイクアップ時間後、PVM1 出力が有効になります。

ビット 11 **PVDO**：プログラム可能な電圧検出器の出力

0：V_{DD} または、PVD_IN の電圧レベルが選択した PVD 閾値を超えています。

1：V_{DD} または、PVD_IN の電圧レベルが選択した PVD 閾値を下回っています。

ビット 10 **VOSF**：電圧スケーリングフラグ

電圧スケーリング変更後に内蔵レギュレータがレディ状態になるには、遅延が必要です。VOSF は、レギュレータが PWR 制御レジスタ 1（PWR_CR1）の VOS ビットで定義された電圧レベルに達したことを示します。

0：レギュレータは選択された電圧レンジでレディ状態になります。

1：レギュレータ電圧出力は、必要な電圧レベルに変化します。

ビット 9 **REGLPF**：低電力レギュレータフラグ

このビットは、MCU が低電力 RUN モードである場合に、ハードウェアによってセットされます。MCU が低電力 RUN モードを終了すると、レギュレータがメインモードでレディ状態になるまで、このビットは 1 の状態を維持します。製品の周波数を上げる前に、このビットのポーリングが必須です。

このビットは、レギュレータがレディ状態になると、ハードウェアによってクリアされます。

0：レギュレータはメインモード（MR）でレディ状態です。

1：レギュレータは低消費電力モード（LPR）です。

ビット 8 **REGLPS**：低電力レギュレータ開始

このビットは、パワーオンリセット後または STANDBY/SHUTDOWN 後に低電力レギュレータがレディ状態であるかどうかの情報を提供します。REGLPS ビットがクリアされている状態で STANDBY モードに移行すると、STANDBY モードからのウェイクアップ時間が増加する場合があります。

0：低電力レギュレータは、レディ状態ではありません。

1：低電力レギュレータは、レディ状態です。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SMPSF**：SMPS ステップダウンコンバータの SMPS モードフラグ

このビットは、SMPS ステップ-ダウンコンバータが SMPS モードであることを示します。

0：SMPS ステップダウンコンバータは、レディ状態ではありません。

1：SMPS ステップダウンコンバータは、レディ状態です。

ビット 0 **SMPSBF**：SMPS ステップダウンコンバータのバイパスモードフラグ

このビットは、SMPS ステップダウンコンバータがバイパスモードであることを示します。

0：SMPS ステップダウンコンバータは、バイパスモード（オープンモードまたは SMPS モード）ではありません。

1：SMPS ステップダウンコンバータは、バイパスモードです。

6.6.7 PWR ステータスクリアレジスタ（PWR_SCR）

アドレスオフセット：0x018

リセット値：0x0000 0000

アクセス：このレジスタに書き込むには、通常の APB 書込みに対して、追加の APB サイクルが 3 つ必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CC2HF	C802 AF	CFBLEA F	CCRPE F	C802 WUF	CBLE WUF	CBORHF	CSMPSF BF	Res.	Res.	CWUF5	CWUF4	CWUF3	CWUF2	CWUF1
	w	w	w	w	w	w	w	w			w	w	w	w	w

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **CC2HF**：CPU2 ホールド割込みフラグのクリア

このビットをセットすると PWR_SR1 の C2HF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 13 **C802AF**：802.15.4 動作終了割込みフラグのクリア

このビットをセットすると PWR_SR1 の 802AF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 12 **CBLEAF**：BLE 動作終了割込みフラグのクリア

このビットをセットすると PWR_SR1 の BLEAF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 11 **CCRPEF**：重要無線フェーズの動作終了割込みフラグのクリア

このビットをセットすると PWR_SR1 の CRPEF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 10 **C802WUF**：802.15.4 ウェイクアップ割込みフラグのクリア

このビットをセットすると PWR_SR1 の 802WUF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 9 **CBLEWUF**：BLE ウェイクアップ割込みフラグのクリア

このビットをセットすると PWR_SR1 の BLEWUF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 8 **CBORHF**：BORH 割込みフラグのクリア

このビットをセットすると PWR_SR1 の SBORHF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 7 **CSMPSFBF**：SMPS ステップダウンコンバータ強制バイパス割込みフラグのクリア
このビットをセットすると PWR_SR1 の SMPSFBF フラグがクリアされます。このビットは常に 0 として読み出されます。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CWUF5**：ウェイクアップフラグ 5 のクリア（STM32WB55xx のみで使用可能）
このビットをセットすると PWR_SR1 レジスタの WUF5 フラグがクリアされます。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 3 **CWUF4**：ウェイクアップフラグ 4 のクリア
このビットをセットすると PWR_SR1 レジスタの WUF4 フラグがクリアされます。

ビット 2 **CWUF3**：ウェイクアップフラグ 3 のクリア（STM32WB55xx のみで使用可能）
このビットをセットすると PWR_SR1 レジスタの WUF3 フラグがクリアされます。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 1 **CWUF2**：ウェイクアップフラグ 2 のクリア（STM32WB55xx のみで使用可能）
このビットをセットすると PWR_SR1 レジスタの WUF2 フラグがクリアされます。
このビットは、STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 0 **CWUF1**：ウェイクアップフラグ 1 のクリア
このビットをセットすると PWR_SR1 レジスタの WUF1 フラグがクリアされます。

6.6.8 PWR 制御レジスタ 5（PWR_CR5）

アドレスオフセット：0x01C

リセット値：0x0000 427X（X は出荷時にプログラムされます）。このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタに書き込むには、通常の APB 書込みに対して、追加の APB サイクルが 3 つ必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMPSEN	Res.	Res.	Res.	Res.	Res.	Res.	BORHC	Res.	.SMPSSC[2:0]			SMPSVOS[3:0]			
rw							rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **SMPSEN**：SMPS モードが有効な SMPS ステップダウンコンバータの有効化。
このビットは、SMPS ステップダウンコンバータの動作中の切り替えが有効で、V_{DD} レベルが BORH 閾値を下回る場合に 0 にリセットされます。
0：SMPS ステップダウンコンバータの SMPS モードは無効です。
1：SMPS ステップダウンコンバータの SMPS モードは有効です。

注： アナログ信号のノイズ性能は、SMPS の統合スイッチングの影響を受けることがあります。これを防止するには、アナログ信号を測定する際に、SMPS を動作中にオフにすることができます。

ビット 14:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **BORHC**：BORH 設定の選択
0：BORH はシステムリセットを生成します。
1：BORH は SMPS ステップダウンコンバータを強制的にバイパスモードにします（BORL は引き続きシステムリセットを生成します）。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **SMPSSC**：SMPS ステップダウンコンバータ電源の起動電流の選択

起動電流は最大 80 mA + SMPSSC x 20 mA に制限されています。

ビット 3:0 **SMPSVOS**：SMPS ステップダウンコンバータの電圧出力スケーリング

これらのビットは、オプションバイトローディング後、1.5 V に達するように出荷時のトリミング値で初期化され、その後ファームウェアによって上書きできるようになります。

SMPS ステップダウン出力電圧のステップサイズは 50 mV です。

出荷時のトリミング値 - 0x8 が $V_{FBSMSPS}$ に 1.50 V を与える場合、1.40 V を得るには、この値から 0x2 を減算する必要があります。

– 0x0 = 最小電圧レベル

– 0xF = 最大電圧レベル

出荷時のトリミング値は、アドレス 0x1FFF 7558 ビット [11:8] から取得できます。

6.6.9 PWR ポート A プルアップ制御レジスタ（PWR_PUCRA）

アドレスオフセット：0x020

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PUy**：ポート A プルアップビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。

6.6.10 PWR ポート A プルダウン制御レジスタ（PWR_PDCRA）

アドレスオフセット：0x024

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PDy**：ポート A プルダウンビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PA[y] でプルダウンが有効になります。

6.6.11 PWR ポート B プルアップ制御レジスタ（PWR_PUCRB）

アドレスオフセット：0x028

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PUy**：ポート B プルアップビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。ビット 15:10 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.12 PWR ポート B プルダウン制御レジスタ（PWR_PDCRB）

アドレスオフセット：0x02C

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PDy**：ポート B プルダウンビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PB[y] でプルダウンが有効になります。ビット 15:10 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.13 PWR ポート C プルアップ制御レジスタ（PWR_PUCRC）

アドレスオフセット：0x030

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PUy**：ポート C プルアップビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。ビット 13:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.14 PWR ポート C プルダウン制御レジスタ（PWR_PDCRC）

アドレスオフセット：0x034

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PDy**：ポート C プルダウンビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PC[y] でプルダウンが有効になります。ビット 13:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.15 PWR ポート D プルアップ制御レジスタ（PWR_PUCRD）（STM32WB55xx のみ）

アドレスオフセット：0x038

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PUy**：ポート D プルアップビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。

6.6.16 PWR ポート D プルダウン制御レジスタ（PWR_PDCRD）（STM32WB55xx のみ）

アドレスオフセット：0x03C

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **PDy**：ポート D プルダウンビット y（y = 0 ~ 15）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PD[y] でプルダウンが有効になります。

6.6.17 PWR ポート E プルアップ制御レジスタ（PWR_PUCRE）

アドレスオフセット：0x040

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU4	PU3	PU2	PU1	PU0
											rw	rw	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **PUy**：ポート E プルアップビット y（y = 0 ~ 4）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。ビット 3:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.18 PWR ポート E プルダウン制御レジスタ（PWR_PDCRE）

アドレスオフセット：0x044

リセット値：0x0000 0000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD4	PD3	PD2	PD1	PD0
											rw	rw	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **PDy**：ポート E プルダウンビット y（y = 0 ~ 4）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PE[y] でプルダウンが有効になります。ビット 3:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.19 PWR ポート H プルアップ制御レジスタ（PWR_PUCRH）

アドレスオフセット：0x058

リセット値：0x0000 0000 このレジスタは、RCC_APB1RSTR1 レジスタの PWRRST ビットで STANDBY モードを終了するとリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU3	Res.	PU1	PU0
												rw		rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **PU3**：ポート H プルアップビット 3

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PH[y] でプルアップが有効になります。
対応する PDy ビットもセットされている場合、プルアップは有効になりません。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PUy**：ポート H プルアップビット y（y = 0 ~ 1）（STM32WB55xx のみで使用可能）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに Px[y] でプルアップが有効になります。対応する PDy ビットもセットされている場合、プルアップは有効になりません。ビット 1:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.20 PWR ポート H プルダウン制御レジスタ（PWR_PDCRH）

アドレスオフセット：0x05C

リセット値：0x0000 0000 このレジスタは、RCC_APB1RSTR1 レジスタの PWRRST ビットで STANDBY モードを終了するとリセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD3	Res.	PD1	PD0
												rw		rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **PD3**：ポート H プルダウンビット 3

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PH[y] でプルダウンが有効になります。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PDy**：ポート H プルダウンビット y（y = 0 ~ 1）（STM32WB55xx のみで使用可能）

このビットをセットすると、APC ビットの1つが PWR 制御レジスタ 3（PWR_CR3）および PWR CPU2 制御レジスタ 3（PWR_C2CR3）でセットされたときに PH[y] でプルダウンが有効になります。ビット 1:0 は STM32WB35xx デバイスでは予約済みであることに注意してください。

6.6.21 PWR CPU2 制御レジスタ 1（PWR_C2CR1）

アドレスオフセット：0x080

リセット値：0x0000 0000このレジスタは、ビット [2:0] を除き、STANDBY モードからのウェイクアップ後にリセットされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
802 EWKUP	BLE EWKUP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FPDS	FPDR	Res.	LPMS[2:0]		
rw	rw									rw	rw		rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **802EWKUP**：802.15.4 外部ウェイクアップ信号

このビットをセットすると、802.15.4 コントローラのウェイクアップが強制的に行われます。802.15.4 コントローラが SLEEP モードを終了すると自動的にリセットされます。

0：影響はありません。

1：802.15.4 コントローラを SLEEP モードからウェイクアップします。

ビット 14 **BLEEWKUP**：BLE 外部ウェイクアップ

このビットをセットすると、BLE コントローラのウェイクアップが強制的に行われます。BLE コントローラが SLEEP モードを終了すると自動的にリセットされます。

0：影響なし。

1：BLE コントローラを SLEEP モードからウェイクアップします。

ビット 13:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **FPDS**：CPU2 の LPSleep 時のFlash メモリのパワーダウンモード

このビットは、両方の CPU が SLEEP モードの場合に、Flash メモリをパワーダウンモードまたはアイドルモードのどちらにするかを選択します。Flash メモリは、システムが LPSleep モードであり、CPU1 の PWR_CR1.FPDS ビットによってこれが許可されている場合にのみパワーダウンモードにセットされます。

0：システムが LPSleep モードの場合、Flash メモリはアイドルモードになります。

1：システムが LPSleep モードの場合、Flash メモリはパワーダウンモードになります。

ビット 4 **FPDR**：CPU2 の LPRun 時のFlash メモリのパワーダウンモード

このビットは、このレジスタに最初に（コード 0xC1B0）を書き込むことで、このレジスタビットをアンロックした後、1 のみを書き込むことができます（コードを書き込む間、レジスタビットは更新されません）。LPRun モードのとき、Flash メモリがパワーダウンモードとアイドルモードのどちらで動作するかを選択します。（Flash メモリは、コードが SRAM から実行されている場合にのみパワーダウンモードにすることができます）。Flash メモリは、システムが LPRun モードであり、CPU1 の PWR_CR1.FPDR ビットによってこれが許可されている場合にのみ、パワーダウンモードにセットされます。

0：システムが LPRun モードの場合、Flash メモリはアイドルモードになります。

1：システムが LPRun モードの場合、Flash メモリはパワーダウンモードになります。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **LPMS[2:0]**：CPU2 の低消費電力モード選択

これらのビットは、STANDBY モードを終了するとリセットされません。

これらのビットは、CPU2 がディープスリープ（DEEPSLEEP）モードへ移行するときに、移行する低消費電力モードを選択します。移行したシステムの低消費電力モードは、CPU1 の PWR_CR1.LPMS で設定した低消費電力モードにも依存します。

000：STOP0 モード

001：STOP1 モード

010：STOP2 モード

011：STANDBY モード

1xx：SHUTDOWN モード

注： LPR ビットがセットされると、STOP2 モードを選択できず、STOP2 の代わりに STOP1 モードに移行します。
STANDBY モードでは、PWR 制御レジスタ 3（PWR_CR3）の RRS ビットの設定に応じて、SRAM2 を保持できるかどうかが決まります。

6.6.22 PWR CPU2 制御レジスタ 3（PWR_C2CR3）

アドレスオフセット：0x084

リセット値：0x0000 8000このレジスタは、STANDBY モードを終了する際、リセットされません。

アクセス：このレジスタへのアクセスには、通常の APB アクセスで必要な APB サイクルに対して、追加のサイクルが必要です（書込みは 3 つ、読出しは 2 つ）。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	Res.	Res.	APC	Res.	E802WUP	EBLEWUP	Res.	Res.	Res.	Res.	EWUP5	EWUP4	EWUP3	EWUP2	EWUP1
rw			rw		rw	rw					rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **EIWUL**：CPU2 の内部ウェイクアップライン有効化

0：CPU2 への内部ウェイクアップラインは無効です。

1：CPU2 への内部ウェイクアップラインは有効です。

ビット 14:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **APC**：CPU2 のプルアップおよびプルダウン設定の適用

この CPU2 のビット、または CPU1 の PWR_CR3.APC ビットがセットされると、PWR_PUCRx レジスタおよび PWR_PDCRx レジスタで定義されている I/O プルアップおよびプルダウンの設定が適用されます。両方のビットがクリアされると、PWR_PUCRx および PWR_PDCRx レジスタは I/O に適用されません。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **E802WUP**：CPU2 の 802.15.4 ホストウェイクアップ割込み有効化

0：CPU2 への割込みは無効です。

1：CPU2 への割込みは有効です。

ビット 9 **EBLEWUP**：CPU2 の BLE ホストウェイクアップ割込み有効化

0：CPU2 への割込みは無効です。

1：CPU2 への割込みは有効です。

ビット 8:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **EWUP5**：CPU2 のウェイクアップピン WKUP5 を有効にします（STM32WB55xx のみで使用可能）。

このビットをセットすると、CPU2 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP5 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP5 ビットでアクティブなエッジが設定されます。このビットは STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 3 **EWUP4**：CPU2 のウェイクアップピン WKUP4 を有効にします。

このビットをセットすると、CPU2 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP4 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP4 ビットでアクティブなエッジが設定されます。

ビット 2 **EWUP3**：CPU2 のウェイクアップピン WKUP3 を有効にします（STM32WB55xx のみで使用可能）。
このビットをセットすると、CPU2 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP3 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP3 ビットでアクティブなエッジが設定されます。このビットは STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 1 **EWUP2**：CPU2 のウェイクアップピン WKUP2 を有効にします（STM32WB55xx のみで使用可能）。
このビットをセットすると、CPU2 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP2 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP2 ビットでアクティブなエッジが設定されます。このビットは STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 0 **EWUP1**：CPU2 のウェイクアップピン WKUP1 を有効にします。
このビットをセットすると、CPU2 に立ち上がりまたは立ち下がりエッジが発生した際に、外部ウェイクアップピン WKUP1 が有効になり、STOP、STANDBY、または SHUTDOWN イベントから割込みとウェイクアップをトリガします。PWR 制御レジスタ 4（PWR_CR4）の WP1 ビットでアクティブなエッジが設定されます。

6.6.23 PWR 拡張ステータス／ステータスクリアレジスタ（PWR_EXTSCR）

アドレスオフセット：0x088

リセット値：0x0000 0000

アクセス：このレジスタに書き込むには、通常の APB 書込みに対して、追加の APB サイクルが 3 つ必要です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
C2DS	C1DS	CRPF	Res.	C2STOPF	C2SBF	C1STOPF	C1SBF	Res.	Res.	Res.	Res.	Res.	CCRPF	C2CSSF	C1CSSF
r	r	r		r	r	r	r						w	w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **C2DS**：CPU2 ディープスリープ（DEEPSLEEP）モード
このビットは、CPU2 がディープスリープ（DEEPSLEEP）モードに移行するとき、または C2BOOT によってホールドされているときに、ハードウェアによってセットされます。
0：CPU2 はRUNまたはSLEEP状態です。
1：CPU2 はDEEPSLEEP状態か、C2BOOT によってホールドされています。

ビット 14 **C1DS**：CPU1 ディープスリープ（DEEPSLEEP）モード
このビットは、CPU1 がディープスリープ（DEEPSLEEP）モードに移行するときに、ハードウェアによってセットされます。
0：CPU1 は実行中またはSLEEP状態です。
1：CPU1 はDEEPSLEEP状態です。

ビット 13 **CRPF**：重要無線システムフェーズ

このビットは、無線システムのウェイクアップ時に、ハードウェアによってセットされます。無線システムが低消費電力モードに移行するときにハードウェアによって、または CCRPF 書込み時にソフトウェアによってリセットされます。

0：重要無線システムフェーズではありません。

1：重要無線システムフェーズが進行中です。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **C2STOPF**：CPU2 のシステム STOP フラグ。

このビットはハードウェアによってセットされ、リセットまたは C2CSSF ビットをセットすることでのみクリアされます。

0：システムが STOP モードではありません

1：システムが STOP モードです

ビット 10 **C2SBF**：CPU2 のシステム STANDBY フラグ。

このビットはハードウェアによってセットされ、POR リセットまたは C2CSSF ビットをセットすることでのみクリアされます。

0：システムが STANDBY モードでない場合

1：システムが STANDBY モードの場合

ビット 9 **C1STOPF**：CPU1 のシステム STOP フラグ。

このビットはハードウェアによってセットされ、すべてのリセットまたは C1CSSF ビットをセットすることでのみクリアされます。

0：システムが STOP モードではありません

1：システムが STOP モードです

ビット 8 **C1SBF**：CPU1 のシステム STANDBY フラグ。

このビットはハードウェアによってセットされ、POR リセットまたは C1CSSF ビットをセットすることでのみクリアされます。

0：システムが STANDBY モードでない場合

1：システムが STANDBY モードの場合

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CCRPF**：重要無線システムフェーズのクリア

このビットをセットすると CRPF ビットがクリアされます。

ビット 1 **C2CSSF**：CPU2 STOP STANDBY フラグのクリア

このビットをセットすると C2STOPF および C2SBF ビットがクリアされます。

ビット 0 **C1CSSF**：CPU1 STOP STANDBY フラグのクリア

このビットをセットすると C1STOPF および C1SBF ビットがクリアされます。

6.6.24 PWR レジスタマップとリセット値の表

表 35. PWR レジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	FPDS	FPDR	Res.	LPMS[2:0]		
	リセット値																		0				0	1	0			0	0		0	0	0
0x004	PWR_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USV	Res.	Res.	Res.	PVME3		PVME1	PLS[2:0]			PVDE
	リセット値																						0				0		0	0	0	0	0
0x008	PWR_CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EIWUL	EC2H	E802A	EBLEA	ECRPE	APC	RRS	EBORHSMPSFB		Res.	Res.	EWUP5	EWUP4	EWUP3	EWUP2	EWUP1
	リセット値																	1	0	0	0	0	0	0	0				0	0	0	0	0
0x00C	PWR_CR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2BOOT	Res.	Res.	Res.	Res.	Res.	VBRS	VBE	Res.	Res.	Res.	WP5	WP4	WP3	WP2	WP1
	リセット値																	0						0	0				0	0	0	0	0
0x010	PWR_SR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUFI	C2HF	802AF	BLEAF	CRPEF	802WUF	BLEWUF	BORHF	SMPSFBF	Res.	Res.	WUF5	WUF4	WUF3	WUF2	WUF1
	リセット値																	0	0	0	0	0	0	0	0	0			0	0	0	0	0
0x014	PWR_SR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVMO3	Res.	PVMO1	PVDO	VOSF	REGLPF	REGLPS	Res.	Res.	Res.	Res.	Res.	Res.	SMPSF	SMPSBF
	リセット値																		0		0	0	0	0	0						0	0	0
0x018	PWR_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2HF	C802AF	CBLEAF	CCRPEF	C802WUF	CBLEWUF	CBORHF	CSMPSFBF	Res.	Res.	CWUF5	CWUF4	CWUF3	CWUF2	CWUF1
	リセット値																		0	0	0	0	0	0	0	0			0	0	0	0	0
0x01C	PWR_CR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SMPSEN	Res.	Res.	Res.	Res.	Res.	Res.	BORHC	Res.	SMPS SC[2:0]			SMPS VOS[3:0]			
	リセット値																	0							0		1	1	1	x	x	x	x
0x020	PWR_PUCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	PWR_PDCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	PWR_PUCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	PWR_PDCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030	PWR_PUCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	PWR_PDCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	PWR_PUCRD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 35. PWR レジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x03C	PWR_PDCRD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	PWR_PUCRE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU4	PU3	PU2	PU1	PU0
	リセット値																												0	0	0	0	0
0x044	PWR_PDCRE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD4	PD3	PD2	PD1	PD0
	リセット値																												0	0	0	0	0
0x058	PWR_PUCRH	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU3	Res.	PU1	PU0
	リセット値																													0		0	0
0x05C	PWR_PDCRH	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD3	Res.	PD1	PD0
	リセット値																													0		0	0
0x080	PWR_C2CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	802WKUP	BLEEWKUP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FPDS	FPDR	Res.	LPMS[2:0]		
	リセット値																	0	0									0	0		0	0	0
0x084	PWR_C2CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EIWUL	Res.	Res.	APC	Res.	E802IWUP	EBLEWUP	Res.	Res.	Res.	Res.	EWUP5	EWUP4	EWUP3	EWUP2	EWUP1
	リセット値																	1			0		0	0					0	0	0	0	0
0x088	PWR_EXTSCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2DS	C1DS	CRPF	Res.	C2STOPF	C2SBF	C1STOPF	C1SBF	Res.	Res.	Res.	Res.	Res.	CCRPF	C2CSSF	C1CSSF
	リセット値																	0	0	0		0	0	0	0						0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

7 ペリフェラル相互接続マトリックス

7.1 概要

いくつかのペリフェラルには直接接続できるものがあり、ペリフェラル間の自律通信や同期が相互に可能になります。これにより CPU リソースが節約され、結果として消費電力が低減されます。さらに、これらのハードウェア接続によってソフトウェアの遅延がなくなり、より予測しやすいシステム設計になります。

ペリフェラルに応じて、これらの相互接続は RUN、SLEEP、低電力 RUN および SLEEP、STOP 0、STOP 1 および STOP 2 のモードで動作可能です。

7.2 相互接続マトリックスの実装

表 36. 相互接続マトリックスの実装

機能	STM32WB55xx	STM32WB35xx
RTC_TAMP1	X	-
RTC_TAMP2	X	X
RTC_TAMP3	X	-

7.3 接続の一覧

表 37. ペリフェラル相互接続マトリックス(1) (2)

転送元	転送先									
	TIM1	TIM2	TIM16	TIM17	LPTIM1	LPTIM2	ADC1	COMP1	COMP2	IRTIM
TIM1	-	1	-	-	-	-	2	6	6	-
TIM2	1	-	-	-	-	-	2	6	6	-
TIM16	-	-	-	-	-	-	-	-	-	11
TIM17	1	-	-	-	-	-	-	-	-	11
LPTIM1	-	-	-	-	-	-	-	-	-	-
LPTIM2	-	-	-	-	-	-	-	-	-	-
ADC1	3	-	-	-	-	-	-	-	-	-
温度センサ	-	-	-	-	-	-	8	-	-	-
VBAT	-	-	-	-	-	-	8	-	-	-
VREFINT	-	-	-	-	-	-	8	-	-	-
HSE	-	-	-	4	-	-	-	-	-	-
LSE	-	4	4	-	-	-	-	-	-	-
MSI	-	-	-	4	-	-	-	-	-	-
LSI	-	-	4	-	-	-	-	-	-	-
MCO	-	-	-	4	-	-	-	-	-	-

表 37. ペリフェラル相互接続マトリックス(1) (2) （続き）

転送元	転送先									
	TIM1	TIM2	TIM16	TIM17	LPTIM1	LPTIM2	ADC1	COMP1	COMP2	IRTIM
EXTI	-	-	-	-	-	-	2	-	-	-
RTC	-	-	4	-	5	5	-	-	-	-
COMP1	9	9	9	9	5	5	-	-	-	-
COMP2	9	9	9	9	5	5	-	-	-	-
SYST ERR	10	-	10	10	-	-	-	-	-	-
USB	-	7	-	-	-	-	-	-	-	-

1. 表内の番号は、セクション 7.4：相互接続の詳細の対応するサブセクションへのリンクです。
2. 灰色のセルにある「-」の記号は、相互接続がないことを示します。

7.4 相互接続の詳細

7.4.1 タイマ（TIM1/TIM2/TIM17）からタイマ（TIM1/TIM2）まで

目的

同期や連携した動作のために、いくつかのタイマを内部で相互リンクすることができます。

マスタモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。機能の説明については、セクション 24.3.26：タイマの同期を参照してください。

同期のモードについては次のセクションに詳細が記載されています。

- セクション 24.3.26：タイマの同期（高機能制御タイマ（TIM1）について）
- セクション 25.3.18：タイマと外部トリガの同期（汎用タイマ（TIM2）について）

トリガ信号

出力（マスタから）は、設定可能なタイマイベントに応じた信号 TIMx_TRGO（TIM1 では TIMx_TRGO2）で行われます。入力（スレーブへ）は信号 TIMx_ITR0/ITR1/ITR2/ITR3 で行われます。

TIM1 の入力信号および出力信号は、図 144：高機能制御タイマのブロック図に示されています。

使用可能なマスタ／スレーブ接続を以下に示します。

- 表 161：TIM1 内部トリガ接続
- 表 165：TIM2 内部トリガ接続

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.2 タイマ（TIM1/TIM2）および EXTI から ADC（ADC1）

目的

汎用タイマ（TIM2）、高機能制御タイマ（TIM1）、および EXTI は、ADC トリガイベントを生成するために使用できます。

TIMx 同期についてはセクション 24.3.27：ADC の同期で説明されています。

ADC 同期についてはセクション 16.4.18：外部トリガによる変換およびトリガ極性 （EXTSEL、EXTEN、JEXTSEL、JEXTEN）で説明されています。

トリガ信号

出力（タイマから）は、信号 TIMx_TRGO、TIMx_TRGO2、または TIMx_CCx イベントで行われます。

入力（ADC へ）は信号 EXT[15:0] および JEXT[15:0] で行われます。

タイマと ADC の間の接続は次のモードで提供されます。

- 表 78：ADC1 - レギュラチャネルの外部トリガ
- 表 79：ADC1 - インジェクトチャネルの外部トリガ

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.3 ADC（ADC1）からタイマ（TIM1）まで

目的

ADC1 では、ウォッチドッグ信号を通じて高機能制御タイマ（TIM1）にトリガイベントを提供できます。

ADC アナログウォッチドッグ設定の説明については、セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

タイマのトリガ設定については、セクション 24.3.4：外部トリガ入力を参照してください。

トリガ信号

出力（ADC から）は信号 ADC_AWDx_OUT n = 1、2、3（ADC1 の場合）、x = 1、2、3（ADC の 3 つのウォッチドッグ）で行われ、入力（タイマへ）は信号 TIMx_ETR（外部トリガ）で行われます。

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.4 HSE、LSE、LSI、MSI、MCO、RTC からタイマ（TIM2/TIM16/TIM17）

目的

外部クロック（HSE、LSE）、内部クロック（LSI、MSI）、マイクロコントローラ出力クロック（MCO）、GPIO、および RTC ウェイクアップ割込みは、汎用タイマ（TIM16/17）チャネル 1 への入力として使用できます。

これにより、HSI16/MSI システムクロック（TIM16 および LSE）または LSI（TIM16 および HSE）の較正が可能になります。また、LSI（TIM16 および HSI16 で）または MSI（TIM17 および HSI16 で）オシレータの周波数を正確に測定するためにも使用されます。

ロースピード外部（LSE）オシレータが使用されている場合、追加のハードウェア接続は必要ありません。

この機能については、セクション 8.2.21 : TIM16/TIM17 を使用した内部／外部クロックの測定で説明されています。

外部クロック LSE は、TIM2_ETR ピンで汎用タイマ（TIM2）への入力として使用できます。セクション 8.2.21 : TIM16/TIM17 を使用した内部／外部クロックの測定を参照してください。

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.5 RTC、COMP1、COMP2 から低電力タイマ（LPTIM1/LPTIM2）まで

目的

RTC アラーム A/B、RTC_TAMP1/2/3 入力検出、COMP1/2_OUT は、LPTIM カウンタ（LPTIM1/2）を開始するためのトリガとして使用できます。

トリガ信号

このトリガ機能については、セクション 27.4.6 : トリガマルチプレクサ（および次のセクション）で説明されています。

入力選択については、表 173 : LPTIM1 外部トリガ接続および表 174 : LPTIM2 外部トリガ接続で説明されています。

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP、STOP 0、STOP 1、STOP 2（LPTIM1 のみ）

7.4.6 タイマ（TIM1/TIM2）からコンパレータまで（COMP1/COMP2）

目的

高機能制御タイマ（TIM1）および汎用タイマ（TIM2）は、COMP1/COMP2 へのブランキングウィンドウ入力として使用できます。

ブランキング機能については、セクション 18.3.7 : コンパレータの出力のブランキング機能で説明されています。

ブランキングソースを次に示します。

- セクション 18.6.1：コンパレータ 1 制御／ステータスレジスタ（COMP1_CSR）ビット 20:18 BLANKING[2:0]
- セクション 18.6.2：コンパレータ 2 制御／ステータスレジスタ（COMP2_CSR）ビット 20:18 BLANKING[2:0]

トリガ信号

タイマ出力信号 TIMx_Ocx は、COMP1/COMP2 のブランキングソースへの入力です。

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.7 USB からタイマ（TIM2）まで

目的

USB（FS SOF）は、汎用タイマ（TIM2）へのトリガを生成できます。

TIM2 への USB の接続については、表 165：TIM2 内部トリガ接続で説明されています。

トリガ信号

USB_FS のスタートオブフレーム（SOF）信号によって生成される内部信号です。

アクティブな電力モード

RUN、SLEEP

7.4.8 内部アナログから ADC1

目的

内部温度センサ（VTS）、内部基準電圧（VREFINT）、および VBAT 監視チャネルは、ADC1 入力チャネルに接続されています。

これは次に基づきます。

- セクション 16.2：ADC の主な機能
- セクション 16.4.11：チャネルの選択（SQRx、JSQRx）
- セクション 16.4.30：温度センサ
- *Section 15.9: Battery voltage monitoring*

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.9 コンパレータ（COMP1/COMP2）からタイマ（TIM1/TIM2/TIM16/TIM17）

目的

コンパレータ（COMP1/COMP2）出力値は、タイマ TIM1/TIM2/TIM16/TIM17 入力キャプチャまたは TIMx_ETR 信号に接続できます。

ETR への接続は、セクション 24.3.4：外部トリガ入力を参照してください。

コンパレータ（COMP1/COMP2）出力値は、I/O のオープンドレイン接続を使用する GPIO オルタネート機能選択により、入力ピン TIMx_BKIN または TIMx_BKIN2 でタイマ TIM1 にブレーク入力信号を生成することもできます。

使用可能な接続を以下に示します。

- セクション 24.4.23：TIM1 オプションレジスタ 1（TIM1_OR1）
- セクション 24.4.28：TIM1 オルタネート機能レジスタ 2 （TIM1_AF2）
- セクション 25.4.22：TIM2 オプションレジスタ 1（TIM2_OR1）
- セクション 24.4.27：TIM1 オルタネート機能オプションレジスタ 1 （TIM1_AF1）
- セクション 26.2：TIM16/TIM17 の主な特徴

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.10 システムエラーからタイマ（TIM1/TIM16/TIM17）まで

目的

CSS、CPU ハードフォールト、RAM パリティエラー、Flash ECC ダブルエラー検出、PVD は、タイマ（TIM1/TIM16/TIM17）に向けてタイマブレークの形式でシステムエラーを生成できます。

ブレーク機能の目的は、タイマによって生成される PWM 信号によって駆動する電源スイッチを保護することです。

可能なブレークソースのリストについては、次を参照してください。

- セクション 24.3.16：ブレーク機能の使用（TIM1）
- セクション 26.3.11：ブレーク機能の使用（TIM16/TIM17）
- 図 253：TIM16/TIM17 ブロック図

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

7.4.11 タイマ（TIM16/TIM17）から IRTIM まで

目的

汎用タイマ（TIM16/TIM17）の出力チャネル TIMx_OC1 は、赤外線信号出力の波形を生成するために使用されます。

この機能については、セクション 28：赤外線インタフェース（IRTIM）で説明されています。

アクティブな電力モード

RUN、SLEEP、低電力 RUN、低電力 SLEEP

8 リセットおよびクロック制御（RCC）

8.1 リセット

リセットには次の 3 種類があります。

1. システムリセット
2. 電源リセット
3. バックアップドメインリセット

8.1.1 電源リセット

電源リセットは、次のいずれかのイベントが発生したときに生成されます。

1. ブラウンアウトリセット（BOR）
2. STANDBY モードの終了
3. SHUTDOWN モードの終了

パワーオンリセットまたはパワーダウンリセット（POR/PDR）を含むブラウンアウトリセットは、バックアップドメインを除くすべてのレジスタをリセット値に設定します。

STANDBY モードを終了すると、V_{CORE} ドメインのすべてのレジスタがリセット値にセットされます。V_{CORE} ドメイン以外のレジスタ（RTC、WKUP、IWDG および STANDBY/SHUTDOWN モード制御）は影響を受けません。

SHUTDOWN モードを終了すると、ブラウンアウトリセットが生成され、バックアップドメイン以外のすべてのレジスタがリセットされます。

8.1.2 システムリセット

システムリセットは、説明に特に記載がない限り、すべてのレジスタをリセット値にリセットします。

システムリセットは、次のイベントのいずれかの発生時に生成されます。

1. NRST ピンのローレベル（外部リセット）
2. ウィンドウ型ウォッチドッグイベント（WWDG リセット）
3. 独立型ウォッチドッグイベント（IWDG リセット）
4. ソフトウェア（SW）リセット（ソフトウェアリセットを参照）
5. 低電力モードセキュリティリセット（低電力モードセキュリティリセットを参照）
6. オプションバイトローダリセット（オプションバイトローダリセットを参照）
7. ブラウンアウトリセット

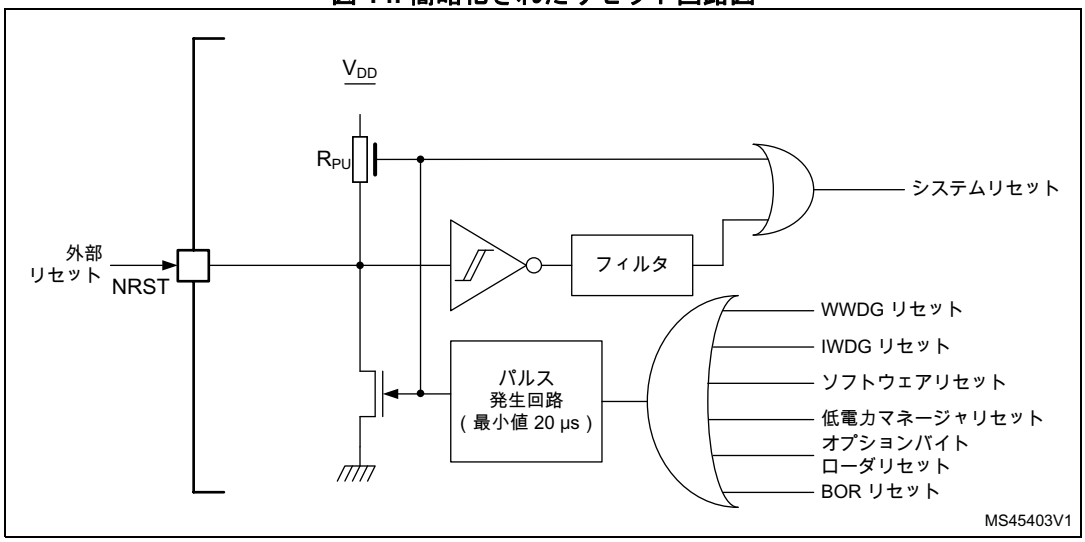
リセットソースは、RCC 制御／ステータスレジスタ（RCC_CSR）のリセットフラグを確認することによって識別できます。

これらのソースは NRST ピンに作用し、遅延フェーズの間、ピンをローに保ちます。CPU1 RESET サービスルーチンベクタは、BOOT0 および BOOT1 を介して選択されます。

デバイスに与えられるシステムリセット信号は、NRST ピンに出力されます。パルス発生回路は、各内部リセットソースについて 20 µs の最小リセットパルス期間を保証します。外部リセットの場合、リセットパルスは NRST ピンがローにアサートされているときに生成されます。

内部リセットの場合、プルアップレジスタで消費電力を低減するために、内部プルアップ R_{PU} が無効化されます。

図 14. 簡略化されたリセット回路図



ソフトウェアリセット

デバイス上でソフトウェアリセットを実行するには、CPU1 のアプリケーション割込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることができます（www.st.com から入手可能な PM0214「STM32 Cortex®-M4 マイクロコントローラと MPU プログラミングマニュアル」を参照）。

デバイス上でソフトウェアリセットを実行するには、CPU2 アプリケーション割込みおよびリセット制御レジスタの SYSRESETREQ ビットをセットすることができます。

低電力モードセキュリティリセット

誤って重要なアプリケーションが低電力モードに移行しないように、2 つの低電力モードセキュリティリセットが使用できます。オプションバイトで有効になっている場合、以下の条件下でリセットを生成します。

1. STANDBY モードへの移行時 : リセットは、ユーザオプションバイトの nRST_STDBY ビットをリセットすることで有効になります。この場合、STANDBY モードへの遷移シーケンスが正常に実行されるたびに、STANDBY モードに移行する代わりにデバイスがリセットされます。
2. STOP モードへの移行時 : リセットは、ユーザオプションバイトの nRST_STOP ビットをリセットすることで有効になります。この場合、STOP モードへの遷移シーケンスが正常に実行されるたびに、STOP モードに移行する代わりにデバイスがリセットされます。
3. SHUTDOWN モードへの移行時 : リセットは、ユーザオプションバイトの nRST_SHDW ビットをリセットすることで有効になります。この場合、SHUTDOWN モードへの遷移シーケンスが正常に実行されるたびに、SHUTDOWN モードに移行する代わりにデバイスがリセットされます。

ユーザオプションバイトの詳細については、セクション 3.4.1 : オプションバイトの説明を参照してください。

オプションバイトローダリセット

FLASH_CR レジスタの OBL_LAUNCH ビットがセットされると、オプションバイトローダリセットが生成されます。このビットは、ソフトウェアによるオプションバイトローディングを起動するために使用されます。

8.1.3 バックアップドメインリセット

バックアップドメインには 2 つの固有のリセットがあります。

バックアップドメインのリセットは、次のいずれかのイベントが発生したときに生成されます。

1. RCC バックアップドメイン制御レジスタ（RCC_BDCR）の BDRST ビットをセットすることでトリガされるソフトウェアリセット
2. V_{DD} または V_{BAT} パワーオン。ただし、両方の電源供給がともにオフ状態であった場合。

バックアップドメインリセットは、LSE オシレータ、RTC、バックアップレジスタ、および RCC バックアップドメイン制御レジスタ にのみ影響します。

8.2 クロック

次の 4 つのクロックソースを使用して、システムクロック（SYSCLK）を駆動できます：

- HSI16（ハイスピード内部）16 MHz RC オシレータクロック
- 100 kHz ～ 48 MHz の MSI（マルチスピード内部）RC オシレータクロック
- HSE 32 MHz オシレータクロック
- PLL クロック

MSI は、4 MHz で設定され、リセットからの起動後、システムクロックとして使用されます。

デバイスには、次の追加のクロックソースがあります。

- LSI1：32 kHz の低速内部 RC。独立型ウォッチドッグを駆動することができ、オプションで STOP および STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します（RF システムの自動ウェイクアップには使用しません）。
- LSI2：32 kHz の低速低ドリフト内部 RC。独立型ウォッチドッグを駆動することができ、オプションで、STOP および STANDBY モードからの自動ウェイクアップに使用される RTC を駆動します。
- LSE：32.768 kHz 低速外部クリスタル。オプションで、STOP モードおよび STANDBY モードからの自動ウェイクアップに使用される RTC または RF システムの自動ウェイクアップ、またはリアルタイムクロック（RTCCLK）を駆動します。
- HSI48：USB フルスピードおよびハードウェア乱数発生器を駆動できる RC 48 MHz 内部クロックソース。

それぞれのクロックソースは、使用しないときに個別にオン／オフを切り替えて、電力消費を最適化可能です。

AHB 周波数（HCLK1、HCLK2、および HCLK4）、高速 APB（PCLK2）、および低速 APB（PCLK1）ドメインの設定に、複数のプリスケーラを使用できます。AHB（HCLK1 および HCLK4）、および PCLK1 および PCLK2 ドメインの最高周波数は 64 MHz です。AHB（HCLK2）ドメインの最大周波数は 32 MHz です。

ほとんどのペリフェラルクロックは、ぞれぞれのバスクロック（HCLK、PLCK）から生成されます。ただし、次のものを除きます。

- USB FS およびハードウェア乱数発生器に使用される 48 MHz クロック。このクロックは、次のいずれかのソースから生成されます（ソフトウェアによって選択される）。
  - PLL VCO（PLLQCLK は RUN モードでのみ使用可能）
  - PLLSAI1 VCO（PLLSAI1QCLK は RUN モードでのみ使用可能）
  - MSI クロック（RUN モードでのみ使用可能）
  - HSI48 内部オシレータ（RUN モードでのみ使用可能）

  MSI クロックが LSE により自動トリミングされた場合、USB FS デバイスで使用できます。

  HSI48 クロックをクロックリカバリシステムと接続して、USB FS 用の適切なクロックとして使用できます（クリスタルレスソリューション）。
- 次の 3 つのうちのいずれかのソースから生成される ADC クロック（ソフトウェアによって選択される）:
  - システムクロック（SYSCLK は RUN モードでのみ使用可能）
  - PLL VCO（PLLAPCLK は RUN モードでのみ使用可能）
  - PLLSAI1 VCO（PLLSAI1RCLK は RUN モードでのみ使用可能）
- 次の 4 つのうちのいずれかのソースから生成される U(S)ART クロック（ソフトウェアによって選択される）:
  - システムクロック（SYSCLK は RUN モードでのみ使用可能）
  - HSI16 クロック（RUN および STOP モードでのみ使用可能）
  - LSE クロック（RUN および STOP モードでのみ使用可能）
  - APB クロック（PCLK は、どの APB が配置されているかによって、U(S)ART は U(S)ARTxEN で有効化されると CRun でのみ使用可能であり、U(S)ARTxSMEN で有効化されると CSleep でのみ使用可能）

  STOP モードからのウェイクアップは、クロックが HSI16 または LSE である場合のみサポートされます。
- 次の 3 つのうちのいずれかのソースから生成される I^2C クロック（ソフトウェアによって選択される）:
  - システムクロック（SYSCLK は RUN モードでのみ使用可能）
  - HSI16 クロック（RUN および STOP モードでのみ使用可能）
  - APB クロック（PCLK は、どの APB でマッピングされているかにより、I^2C は I2CxEN で有効な場合に CRun でのみ使用可能で、I2CxSMEN でも有効な場合に CSleep で使用可能）

  STOP モードからのウェイクアップは、クロックが HSI である場合のみサポートされます。
- 次のうちのいずれかのソースから生成される SAI1 クロック（ソフトウェアによって選択される）:
  - SAI1 の SAI1_EXTCLK に配置される外部クロック
  - PLL VCO（PLLPCLK は RUN モードでのみ使用可能）
  - PLLSAI1 VCO（PLLSAI1PCLK は RUN モードでのみ使用可能）
  - HSI16 クロック（RUN モードでのみ使用可能）

  SAI1 は、データライン上のオーディオ動作を検出するためだけに、HSI16 クロックがマスタである場合に、受信モードで使用することができます。これにより、受信時にオーディオ·データ·フローがない場合に、PLL をオンにすることなく、消費電力を低減することができます。
- 次の 5 つのうちのいずれかのソースから生成される低電力タイマ（LPTIMx）クロック（ソフトウェアによって選択される）:
  - LSI クロック（RUN および STOP モードで LSI1 または LSI2 でのみ使用可能）
  - LSE クロック（RUN および STOP モードでのみ使用可能）

  - HSI16 クロック（RUN モードでのみ使用可能）
  - APB クロック（PCLK は、どの APB が配置されているかによって、LPTIMx は LPTIMxEN で有効化されると CRun でのみ使用可能であり、LPTIMxSMEN で有効化されると CSleep でのみ使用可能）
  - LPTIMx_IN1 に配置される外部クロック（RUN および STOP モードでのみ使用可能）

  STOP モードの機能（ウェイクアップ含む）は、クロックが LSI または LSE である場合または外部クロックモードのときのみサポートされます。
- 次の 3 つのうちのいずれかのソースから生成される RTC および LCD クロック（ソフトウェアによって選択される）
  - LSE クロック
  - LSI クロック（LSI1 または LSI2）
  - 32 分周された HSE クロック

  STOP モードの機能（ウェイクアップ含む）は、クロックが LSI または LSE である場合のみサポートされます。
- IWDG クロックは、常に LSI クロックから生成されます（LSI1 または LSI2）。
- 次の 2 つのうちのいずれかのソースから生成される RF システムウェイクアップクロック（ソフトウェアによって選択される）:
  - LSE クロック
  - 1024 分周された HSE クロック

  STOP モードの機能（ウェイクアップ含む）は、クロックが LSE である場合のみサポートされます。RF システムウェイクアップソースとして HSE/1024 を選択する場合、HSEON ビットは、アプリケーションによってセットする必要があります。
- 次の 2 つのうちのいずれかのソースから生成される RF システムクロック（ハードウェアによって選択される）:
  - HSI16 クロック
  - HSE クロック

  STOP モードの機能は、クロックが HSI16 で、STOPWUCK によってウェイクアップクロックとして選択されている場合にのみサポートされます。

RCC は CPU1 システムタイマ（SysTick）の外部クロックに、8 分周した AHB クロック（HCLK1）を供給します。SysTick は、このクロックか直接 CPU1 クロック（HCLK1）で動作でき、SysTick 制御およびステータスレジスタで設定可能です。

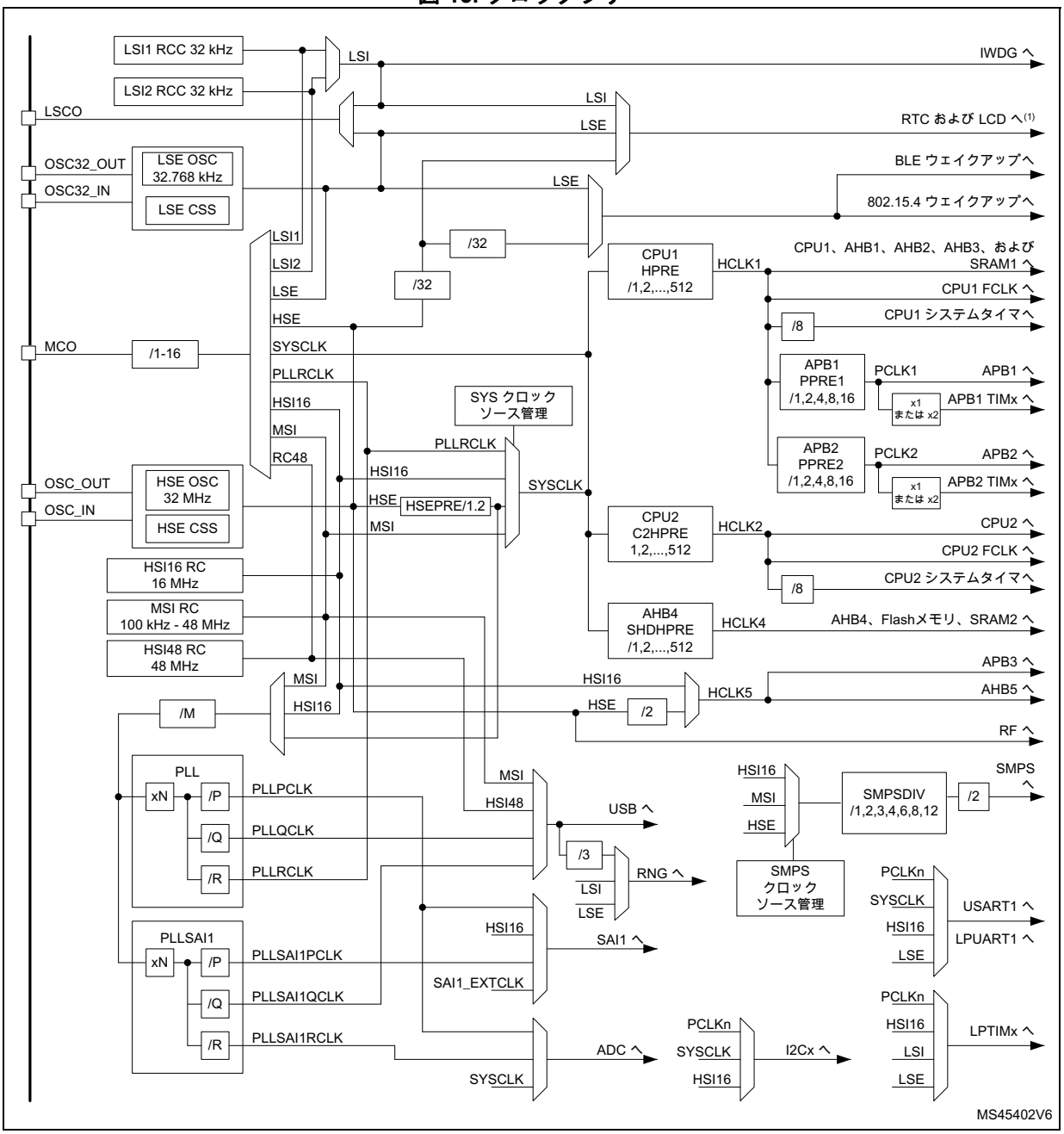
FCLK1 は CPU1 のフリーランニングクロックとして動作します。詳細については、PM0214 を参照してください。

RCC は CPU2 システムタイマ（SysTick）の外部クロックに、8 分周した AHB クロック（HCLK2）を供給します。SysTick は、このクロックか直接 CPU2 クロック（HCLK2）で動作でき、SysTick 制御およびステータスレジスタで設定可能です。

FCLK2 は CPU2 のフリーランニングクロックとして動作します。

クロックツリーの詳細については、青がシステムクロック、CPU、および共有バス用の同期クロック、赤が非同期無線ペリフェラルバスクロックに使用される図 15 で説明されています。

図 15. クロックツリー



1. LCD は、STM32WB55xx デバイスでのみ使用できます。
2. 内部および外部クロックソース特性の詳細については、デバイスのデータシートの「電気的特性」のセクションを参照してください。
3. ADC クロックは、ADC バスインタフェースの AHB クロックから生成し、プログラム可能な係数（1、2、または 4）で分周することができます。プログラム可能な係数が 1 の場合、AHB プリスケーラは 1 でなければなりません。

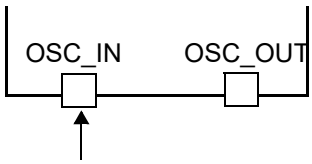
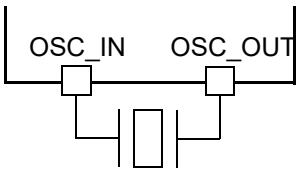
8.2.1 HSE クロック

高速外部クロック信号（HSE）は、次のどちらかのクロックソースから生成できます（図 16 を参照）。

- HSE 外部クリスタル
- HSE ユーザ外部クロック

波形ひずみと発振開始時の安定化までの時間を少なくするために、クリスタルはオシレータのピンのできるだけ近くに配置する必要があります。負荷容量は内蔵されており、周波数の調整に応じて調整できます。

図 16. HSE クロックソース

クロックソース	ハードウェア構成
外部クロック	
クリスタル発振子	

外部クリスタル（HSE クリスタル）

32 MHz の外部オシレータには、メインクロックを非常に高い精度で生成できる利点があり、すべての無線操作で必須です。

関連するハードウェア構成を図 16 に示します。詳細については、*データシート*の電気的特性のセクションを参照してください。

RCC クロック制御レジスタ（RCC_CR）の HSERDY フラグは、HSE オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。RCC クロック割込み有効化レジスタ（RCC_CIER）で有効になっていれば、割込みを生成することができます。

HSE クリスタルは、RCC クロック制御レジスタ（RCC_CR）の HSEON ビットを使用してオン／オフできます。

外部ソース

RCC クロック制御レジスタ（RCC_CR）の HSEON ビットをセットすると選択可能なこのモードでは、周波数 32 MHz の外部クロックソースを用意する必要があります。最大 45 ～ 55% のデューティサイクルを持つ外部クロック信号（正弦波）（データシートを参照）は、OSC_IN ピンを駆動する必要があり、その間 OSC_OUT ピンは未接続に保つ必要があります（図 16 を参照）。

注： **使用可能なピンの詳細については、対応するデバイスデータシートのピン配置のセクションを参照してください。**

周波数の調整

HSE オシレータの周波数は、製造工程でのばらつきと使用したクリスタルのため、チップごとに異なります。ユーザは、RCC クロック HSE レジスタ（RCC_HSECR）の HSETUNE ビットを書き込むことで、アプリケーションに HSE 周波数を調整できます。HSE 周波数は、MCO に HSE クロックを出力することで測定できます。

HSE オシレータのゲインと感度は、RCC クロック HSE レジスタ（RCC_HSECR）の HSEGMC および HSES ビットで制御できます。HSE トリミング手順については、AN5042 を参照してください。

8.2.2 HSI16 クロック

HSI16 クロック信号は、内部 16 MHz オシレータから生成されます。

HSI16 オシレータには、低コストでクロックソースを供給できるという利点があります。同時に、HSE クリスタルオシレータよりもスタートアップ時間を短縮できますが、較正を実施していても、外部クリスタルオシレータやセラミック発振子よりも周波数の精度は劣ります。

HSI16 クロックは、STOP モード（STOP 0、STOP 1、または STOP2）からのウェイクアップ後、システムクロックとして選択できます。セクション 8.3 : 低電力モードを参照してください。これは、HSE クリスタルオシレータに障害がある場合のバックアップクロックソース（補助クロック）としても使用できます。セクション 8.2.11 を参照してください。

RF システムが有効な場合は、STOP モードからのウェイクアップ後に、システムクロックとして HSI16 を選択する必要があります。

STANDBY からの再起動ウェイクアップ後、HSI16 クロックがシステムクロックとして使用されます。

較正

RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、T_A = 25°C で 1 % の精度を確保するよう、製造時に ST 社においてデバイスごとの較正が行われています。

リセット後、工場較正値が RCC 内部クロックソース較正レジスタ（RCC_ICSCR）の HSICAL[7:0] ビットにロードされます。

RC オシレータの速度は、電圧または温度の変動の影響を受けることがあります。ユーザは、RCC 内部クロックソース較正レジスタ（RCC_ICSCR）の HSITRIM ビットを使用して、アプリケーションで HSI16 の周波数をトリミングできます。

HSI16 の周波数変動の測定方法の詳細については、セクション 8.2.21 を参照してください。

RCC クロック制御レジスタ（RCC_CR）の HSIRDY フラグは、HSI16 RC オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI16 RC 出力クロックはリリースされません。

HSI16 RCオシレータ は RCC クロック制御レジスタ（RCC_CR）の HSION ビットを使用してオン／オフの切り替えができます。

HSI16 の信号は、HSE クリスタルオシレータに障害が起きた場合のバックアップソース（補助クロック）としても使用できます。セクション 8.2.11 を参照してください。

8.2.3 MSI クロック

MSI クロック信号は、内部 RC オシレータから生成されます。周波数範囲は、RCC クロック制御レジスタ（RCC_CR）の MSIRANGE[3:0] ビットを使用して、ソフトウェアによって調整することができます。12 種類の周波数範囲：100 kHz、200 kHz、400 kHz、800 kHz、1 MHz、2 MHz、4 MHz（デフォルト値）、8 MHz、16 MHz、24 MHz、32 MHz および 48 MHz を使用できます。

MSI クロックは、リセットからのリスタート後、および SHUTDOWN 低電力モードからのウェイクアップ後に、システムクロックとして使用されます。リセットからのリスタート後に、MSI 周波数はデフォルト値 4 MHz にセットされます。セクション 8.3：低電力モード を参照してください。

MSI クロックは、STOP モード（STOP 0、STOP 1 または STOP 2）からのウェイクアップ後、システムクロックとして選択できます。セクション 8.3：低電力モード を参照してください。これは、HSE クリスタルオシレータに障害がある場合のバックアップクロックソース（補助クロック）としても使用できます。セクション 8.2.11 を参照してください。

さらに、PLL モードで LSE と使用する場合、非常に高精度のクロックソースを提供します。このクロックソースは、USB FS デバイスで使用可能で、PLL に供給することで最高速度 64 MHz でシステムを動作させることができます。

RCC クロック制御レジスタ（RCC_CR）の MSIRDY フラグは、MSI RC が安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、MSI RC 出力クロックは出力されません。MSI RC オシレータは、RCC クロック制御レジスタ（RCC_CR）の MSION ビットを使用してオン／オフの切り替えができます。

LSE によるハードウェア自動較正（PLL モード）

32.768 kHz 外部オシレータがアプリケーションに存在する場合、RCC クロック制御レジスタ（RCC_CR）の MSIPLLEN ビットをセットすると PLL モードで MSI を設定できます。PLL モード設定時、MSI は LSE によって自ら自動較正を行います。このモードは、すべての MSI 周波数範囲に対して使用可能です。48 MHz では、USB FS デバイスで PLL モードの MSI を使用できます。

ソフトウェア較正

MSI RC オシレータの周波数は、製造工程でのばらつきのため、チップごとに異なります。このため、周辺温度（T_A）25 °C で 1% の精度を確保するよう、製造時に ST においてデバイスごとの較正が行われています。リセット後、工場較正値が RCC 内部クロックソース較正レジスタ（RCC_ICSCR）の MSICAL[7:0] ビットにロードされます。アプリケーションが電圧または温度の変動を受ける場合、これが RC オシレータの速度に影響を与えることがあります。アプリケーションの MSI 周波数は、RCC_ICSCR レジスタの MSITRIM[7:0] ビットを使用することでトリミングできます。MSI 周波数変動の測定方法の詳細については、セクション 8.2.21 を参照してください。

8.2.4 HSI48 クロック

HSI48 クロック信号は、内部 48 MHz RC オシレータから生成され、直接 USB、または乱数発生器（ハードウェア乱数発生器）に使用できます。

内部 48 MHz RC オシレータを使用する主な目的は、特殊なクロックリカバリシステム（CRS）回路によって USB ペリフェラルに高精度のクロックを提供することです。CRS では、動作中のオシレータの周波数を自動的かつ迅速に調整するために、USB SOF 信号、LSE、または外部信号を使用できます。これは、システムが STOP または STANDBY モードに移行した直後に無効化されます。CRS が使用されない場合、HSI48 RC オシレータは製造工程でのばらつきの影響を受けるデフォルトの周波数で実行されます。

CRS ペリフェラルの設定および使用方法の詳細については、セクション 40：クロックリカバリシステム（CRS）を参照してください。

クロックリカバリレジスタ（RCC_CRRCR）の HSI48RDY フラグは、HSI48 RC オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、HSI48 RC オシレータ出力クロックはリリースされません。

HSI48 は、クロックリカバリレジスタ（RCC_CRRCR）の HSI48ON ビットを使用してオン／オフできます。

8.2.5 PLL

デバイスは、次の PLL を内蔵しています。PLL、PLLSAI1。各 PLL には、最大 3 つの独立した出力があります。内部 PLL は、HSI、HSE、または MSI 出力クロック周波数を逓倍するために使用できます。PLL 入力周波数は、2.66 ～ 16 MHz である必要があります。選択したクロックソースは、プログラム可能な係数 PLLM によって 1 から 8 に分周され、要求される入力範囲でクロック周波数を供給します。図 15：クロックツリー および RCC PLL 設定レジスタ（RCC_PLLCFGR）を参照してください。

PLL 設定（入力クロックおよび逓倍数の選択）は、PLL を有効にする前に実行する必要があります。PLL が有効になると、これらのパラメータは変更できません。

PLL 設定を変更するには、次の手順に従います。

1. RCC クロック制御レジスタ（RCC_CR）の PLLxxxON を 0 にセットして PLL を無効にします。
2. PLLxxxRDY がクリアされるまで待ちます。PLL が完全に停止します。
3. 任意のパラメータを変更します。
4. PLLxxxON を 1 にセットして PLL を再び有効にします。
5. RCC PLL 設定レジスタ（RCC_PLLCFGR）または RCC PLLSAI1 設定レジスタ（RCC_PLLSAI1CFGR）の PLLPEN、PLLQEN、PLLREN を設定して対象の PLL 出力を有効にします。

RCC クロック割込み有効化レジスタ（RCC_CIER）で有効になっていれば、PLL がレディ状態になると割込みを生成することができます。

PLL 出力周波数は 64 MHz を超えてはなりません。

各 PLL 出力クロックのイネーブルビット（PLLPEN、PLLQEN、PLLREN）は、対応する PLL を停止せずにいつでも変更できます。PLLRCLK がシステムクロックとして使用されている場合は、PLLREN をクリアできません。

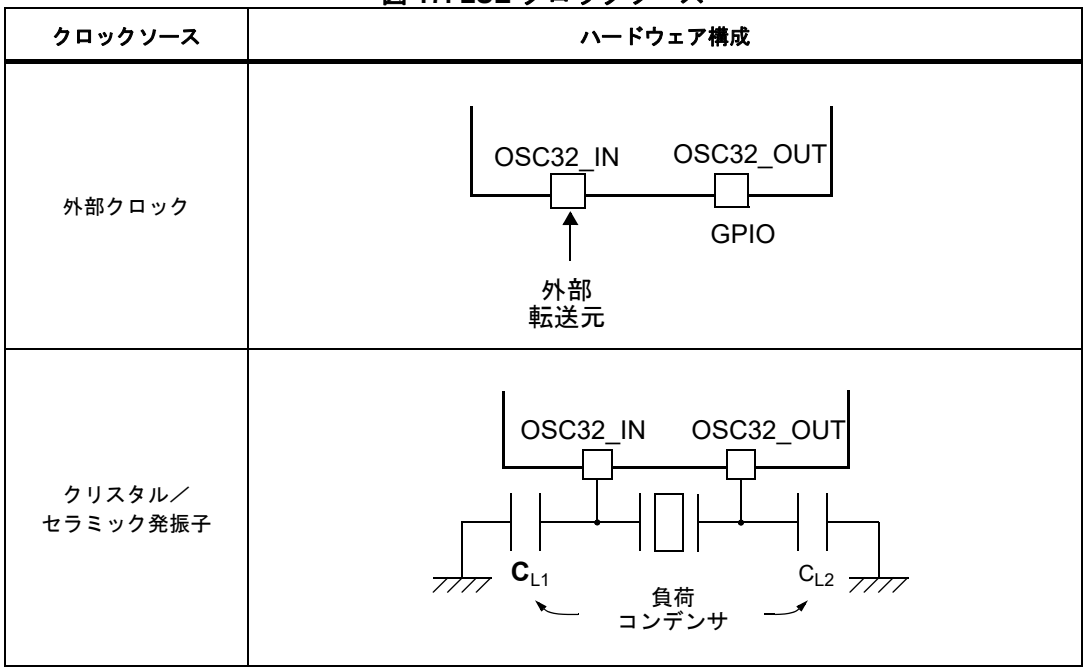
レンジ 2 では、PLL M 分周器入力クロックは 16 MHz を超えてはなりません。RCC クロック制御レジスタ（RCC_CR）の HSEPRE ビットでは、2 で分周された HSE を選択します。

8.2.6 LSE クロック

LSE クリスタルは、32.768 kHz のロースピード外部クリスタルまたはセラミック発振子です。時計／カレンダ、その他のタイミング機能のためのリアルタイムクロックペリフェラル（RTC）に、低電力ながら高精度のクロックソースを供給できるという利点があります。

波形ひずみと発振開始時の安定化までの時間を少なくするために、発振子と負荷コンデンサはオシレータのピンのできるだけ近くに配置する必要があります。負荷コンデンサの値は、選択したオシレータに応じて調整する必要があります。

図 17. LSE クロックソース



LSE クリスタルは、RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSEON ビットを使用してオン／オフの切り替えができます。安定性、短い起動時間、および低い電力消費のバランスを取るために、クリスタルオシレータの駆動能力は、RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSEDRV[1:0] ビットによって、駆動中に変更できます。LSE 駆動は、LSE がオンの場合、より低い駆動能力（LSEDRV = 00）まで低下させることができます。ただし、一旦 LSEDRV が選択されると、LSEON = 1 の場合、駆動能力を上げられません。

RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSERDY フラグは、LSE クリスタルが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、LSE クリスタル出力クロック信号はリリースされません。RCC クロック割込み有効化レジスタ（RCC_CIER）で有効になっていれば、割込みを生成することができます。

外部ソース（LSE バイパス）

SLEEP モードにおける RCC AHB1 ペリフェラルクロック有効レジスタ （RCC_AHB1SMENR）の LSEBYP および LSEBYP ビットをセットすると選択可能なこのモードでは、最大 1 MHz の周波数の外部クロックソースを用意する必要があります。50 % までのデューティサイクルを持つ外部クロック信号（矩形波、正弦波、または三角波）で OSC_32_IN ピンを駆動する必要があり、その間、OSC_32_OUT ピンを GPIO として使用することができます。図 17 を参照してください。

8.2.7 LSI1 クロック

LSI1 RC は、独立型ウォッチドッグ（IWDG）、RTC、LCD、および RF のウェイクアップについて、STOP モードおよび STANDBY モードで動作したままの状態にできる低電力のクロックソースとして動作します。クロック周波数は 32 kHz です。詳細については、データシートの電気的特性のセクションを参照してください。

LSI1 RC は RCC 制御／ステータスレジスタ（RCC_CSR）の LSI1ON ビットを使用してオン／オフの切り替えができます。

RCC 制御／ステータスレジスタ（RCC_CSR）の LSI1RDY フラグは、LSI1 オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。RCC クロック割込み有効化レジスタ（RCC_CIER）で有効になっていれば、割込みを生成することができます。

8.2.8 LSI2 クロック

LSI2 RC は、独立型ウォッチドッグ（IWDG）、RTC、および LCD のウェイクアップについて、STOP モードおよび STANDBY モードで動作したままの状態にできる低ドリフト低電力のクロックソースとして動作します。クロック周波数は最大 32 kHz です。詳細については、データシートの電気的特性のセクションを参照してください。

LSI2 RC は RCC 制御／ステータスレジスタ（RCC_CSR）の LSI2ON ビットを使用してオン／オフの切り替えができます。

RCC 制御／ステータスレジスタ（RCC_CSR）の LSI2RDY フラグは、LSI2 オシレータが安定しているかどうかを示します。起動時、このビットがハードウェアによってセットされるまで、クロックは出力されません。RCC クロック割込み有効化レジスタ（RCC_CIER）で有効になっていれば、割込みを生成することができます。

システムリセット NRST の後、および LSI2 が使用される前に、そのオシレータはトリミング情報を取得する必要があります。ファームウェアは、LSI2 トリミング情報を、ST 出荷時にトリミングされたFlashメモリ位置から、レジスタ RCC_SCR の LSI2TRIM の位置にコピーする必要があります。

8.2.9 システムクロック（SYSCLK）の選択

次の 4 つのクロックソースを使用して、システムクロック（SYSCLK）を駆動できます：

- MSI オシレータ
- HSI16 オシレータ
- HSE オシレータ
- PLLRCLK

レンジ 1 のシステムクロックの最大周波数は 64 MHz です。システムリセット後は、MSI オシレータが 4 MHz でシステムクロックとして選択されています。クロックソースが直接、または PLL を経由してシステムクロックとして使用されているときに、このクロック信号を停止することはできません。

あるクロックソースから別のクロックソースへの切り替えは、切り替え後に使用するクロックソースの準備ができている場合（起動遅延時間を経てクロックが安定している状態、または、PLL がロックされている状態）にのみ行われます。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。RCC 内部クロックソース較正レジスタ（RCC_ICSCR）のステータスビットは、どのクロックの準備ができているか、およびどのクロックがシステムクロックとして使用されているかを示します。

STANDBY モードからのウェイクアップ時には、HSI16 がシステムクロックとして選択されます。

レンジ 2 では、システムクロックは 16 MHz を超えてはなりません。RCC クロック制御レジスタ（RCC_CR）の HSEPRE ビットでは、2 で分周された HSE を選択します。

8.2.10 クロックソースの周波数と電圧スケーリング

表 38 は、製品の電圧レンジに応じたさまざまなクロックソース周波数を示します。

表 38. 最大クロックソース周波数

製品電圧レンジ	クロック周波数			
	MSI	HSI	HSE	PLL/PLLSAI1
レンジ1	48 MHz	16 MHz	32 MHz	64 MHz （VCO max = 344 MHz）
レンジ2	16 MHz レンジ	16 MHz	32 MHz(1)	16 MHz （VCO max = 128 MHz）

1. HSEPRE は、2 分周を選択します。

8.2.11 HSE（CSS）のクロックセキュリティシステム

クロックセキュリティシステムはソフトウェアで有効にできます。この場合、HSE オシレータのスタートアップ遅延時間の後にクロック検出回路が有効になり、オシレータが停止すると検出回路も無効になります。

HSE クロックに異常が検出された場合、HSE オシレータは自動的に無効になり、クロック異常イベントが高機能制御タイマ（TIM1 および TIM16/17）のブレーク入力に送られます。また、ソフトウェアに異常を通知する割込み（クロックセキュリティシステム割込み（CSSI））が生成されるので、MCU は対応処理を行うことができます。CSSI は、CPU1 および CPU2 NMI（ノンマスクブル割込み）の例外ベクタにリンクされています。

注： **HSE CSS を有効にすると、HSE クロックに障害が発生した場合に CSS 割込みが発生し、NMI が自動的に生成されます。NMI は、CSS 割込みペンディングビットがクリアされない限り、無限に実行されます。そのため、NMI 割込みサービスルーチン（ISR）では、RCC クロック割込みクリアレジスタ（RCC_CICR）の CSSC ビットをセットして CSS 割込みをクリアする必要があります。**

HSE オシレータが直接的または間接的にシステムクロックとして使用されている場合（間接的とは、PLL 入力クロックとして使用され、その PLL クロックがシステムクロックとして使用されることを意味する）、障害が検出されると、システムクロックが RCC クロック設定レジスタ（RCC_CFGR）の STOPWUCK の設定に応じて MSI または HSI16 オシレータに切り替えられ、HSE オシレータは無効になります。障害発生時に HSE クロック（分周されているかいないかにかかわらず）がシステムクロックとして使用されている PLL のクロック入力であった場合には、PLL も無効になります。

8.2.12 LSE 上のクロックセキュリティシステム（LSECSS）

LSE のクロックセキュリティシステムは、RCC 制御／ステータスレジスタ（RCC_CSR）の LSECSSON ビットをソフトウェアで書き込むことによって有効にできます。このビットは、ハードウェアリセットまたは RTC ソフトウェアリセット、または LSE で障害検出後にのみ無効にできます。LSECSSON は、LSE と LSI を有効（LSEON および LSI1ON を有効化）かつレディ状態（LSERDY および LSIRDY をハードウェアでセット）にし、RTCSEL で RTC クロックが選択された後で書き込む必要があります。

LSE の CSS は、VBAT を除くすべてのモードで動作します。システムリセット時（パワーオンリセットを除く）でも動作します。外部 32 kHz オシレータで障害が検出された場合、LSE クロックは RTC に供給されなくなりますが、レジスタに対してハードウェアのアクションは実行されません。MSI が PLL モードだった場合、このモードは無効になります。

STANDBY モードでは、ウェイクアップが生成されます。その他のモードでは、ソフトウェアをウェイクアップさせるために割込みを送信できます（RCC クロック割込み有効化レジスタ（RCC_CIER）、RCC クロック割込みフラグレジスタ（RCC_CIFR）、RCC クロック割込みクリアレジスタ（RCC_CICR）を参照）。

その場合、ソフトウェアは、LSECSSON ビットを無効化し、障害のある 32 kHz オシレータを停止（LSEON を無効化）して、RTC クロックソースを変更（クロックなし、または RTCSEL で LSI や HSEを選択）するか、必要なアクションを行いアプリケーションを保護する必要があります。

8.2.13 LSI ソース選択

システムで使用する LSI を LSI1 または LSI2 から選択できます。LSI2ON レジスタビットによって LSI2 がオンになると、LSI2（レディ状態のとき）は必ず LSI ソースとして選択されます。

LSI クロックを中断せずに LSI2 から LSI1 に切り替えるには、LSI1ON レジスタビットによって、まず LSI1 をオンに切り替える必要があります。FW は、LSI2ON レジスタビットの LSI2 を無効にする前に、LSI1RDY レジスタビットで LSI1 がレディ状態であることを確認する必要があります。

8.2.14 SMPS ステップダウン･コンバータ･クロック

SMPS ステップダウン･コンバータ･クロック･ソースは MSI、HSI16、または HSE クロックのいずれかです。これは、RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）の SMPSSEL をプログラムすることで選択されます。システムは、常に SMPS ステップダウン･コンバータ･クロック周波数が 4 ～ 8 MHz になるように設定する必要があります。適切な分周比を SMPSDIV にセットします。SMPS ステップダウンコンバータへのクロックを駆動する前に、さらに 2 分周が固定されています。

システムリセット後、HSI16 が SMPS ステップダウン･コンバータ･クロックとして選択されます。

低電力モード（STOP1、STOP2、STANDBY、または SHUTDOWN）に移行する際、RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）の SMPSSEL で選択された SMPS ステップダウン･コンバータ･クロック･ソースは RCC クロック設定レジスタ（RCC_CFGR）の SW のシステムクロックと同じソースを選択するようにセットする必要があります。STOP モードでは、RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）の SMPSSEL で選択されたクロックソースは、RCC クロック設定レジスタ（RCC_CFGR）の STOPWUCK のシステムクロックと同じソースを選択するようにセットする必要があります。

STANDBY モードからウェイクアップして V_{CORE} 電源を入れると、SMPSSEL での選択に関わらず、HSI16 が SMPS ステップダウン･コンバータ･クロックとして選択されます。

無線システムがアクティブになると、SMPSSEL での選択に関わらず、HSE が SMPS ステップダウン･コンバータ･クロックとして選択されます。

使用する SMPS ステップダウン･コンバータ･クロック･ソースは、RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）の SMPSSWS によって示されます。

あるクロックソースから別のクロックソースへの切り替えは、切り替え後に使用するクロックソースの準備ができている場合（起動遅延時間を経てクロックが安定している状態）にのみ行われます。準備ができていないクロックソースが選択された場合は、クロックソースの準備ができたときに切り替えが行われます。RCC 内部クロックソース較正レジスタ（RCC_ICSCR）のステータスビットはどのクロックの準備ができているかを示し、また SMPSSWS ビットは現在使用されているクロックを SMPS ステップダウン･コンバータ･クロックとして示します。

SMPSDIV の分周比は、SMPSSEL で選択した SMPS ステップダウン･コンバータ･クロック･ソースによって決まります。SMPSSEL で MSI が選択されている場合、選択された MSI の周波数を決定するために MSIRANGE も考慮されます。これにより、同じ SMPS ステップダウンコンバータのクロック周波数を保持することで、クロックソースを別のクロックソースに切り替えることができます。MSI

は、サポートされている SMPS ステップダウンコンバータのクロックとして MSIRANGE がセットされている場合のみ、SMPS ステップダウン･コンバータ･クロック･ソースとして選択できます。

RF システムがアクティブな場合、ハードウェアは現在の SMPSDIV の分周比で HSE ソースを自動的に選択します。

表 39. SMPS ステップダウン･コンバータ･クロック･ソースの選択および分周

SMPSSEL	HSI16	MSI				HSE
SMPSDIV	16 MHz	16 MHz	24 MHz	32 MHz	48 MHz	32 MHz
00	1（8 MHz）	1（8 MHz）	予約済みです。	2（8 MHz）	3（8 MHz）	2（8 MHz）
01	2（4 MHz）	2（4 MHz）	3（4 MHz）	4（4 MHz）	6（4 MHz）	4（4 MHz）
10	予約済みです。					
11	予約済みです。					

8.2.15 ADC クロック

ADC クロックは、システムクロック、、または PLL や PLLSAI1 出力から生成されます。64 MHz に達することができ、その後 ADC1_CCR レジスタを設定することによって、プリスケーラ値 1、2、4、6、8、10、12、16、32、64、128、または 256 で分周できます。これは、AHB クロックと非同期です。代わりに、ADC バスインタフェースの AHB クロックから ADC クロックを生成し、プログラム可能な係数（1、2、または 4）で分周できます。プログラム可能な係数は、ADC1_CCR の CKMODE ビットフィールドを使用して設定されます。

プログラムされた係数が「1」の場合、AHB プリスケーラは「1」にセットする必要があります。

8.2.16 RTC クロック

RTCCLK クロックソースは HSE/32、LSE、または LSI クロックのいずれかです。これは、RCC バックアップドメイン制御レジスタ（RCC_BDCR）の RTCSEL[1:0] ビットをプログラムすることで選択できます。この選択は、バックアップドメインをリセットしない限り変更できません。RTC を正常に動作させるには、PCLK 周波数が常に RTCCLK 周波数以上になるようにシステムを設定する必要があります。

LSE クロックはバックアップドメインに属しますが、HSE と LSI クロックはそうではありません。そのため、次のようになります。

- LSE が RTC クロックとして選択されている場合、V_{DD} 供給がオフになった場合でも、V_{BAT} の供給が保たれている限り、RTC は動作を続けます。
- LSI が RTC クロックとして選択されている場合、V_{DD} 供給がオフになると、RTC の状態は保証されません。
- プリスケーラで分周された HSE クロックが RTC クロックとして使用されている場合、V_{DD} 供給がオフになるか、または内部電圧レギュレータがオフになると（V_{CORE} ドメインからの電力供給が停止される）、RTC の状態は保証されません。

RTC クロックが LSE や LSI の場合、RTC は、システムリセット中でもクロック供給された状態、かつ機能的な状態のままです。

8.2.17 タイマクロック

タイマクロック周波数は、ハードウェアによって自動で設定されます。これには、2 つのケースがあります。

1. APB プリスケーラが 1 の場合、タイマクロック周波数は APB ドメインのクロックと同じ周波数に設定されます。
2. そうでない場合は、APB ドメインの周波数の 2 倍に設定されます。

8.2.18 ウォッチドッグクロック

独立型ウォッチドッグ（IWDG）がハードウェアオプションまたはソフトウェアアクセスによって開始された場合、LSI クロックは強制的にオンになります。

IWDG の起動時に LSI1 オシレータと LSI2 オシレータのいずれも有効になっていない場合は、LSI1 オシレータが強制的にオンになります。LSI1 オシレータの起動時の過渡期間が終わると、このクロックが IWDG に供給されます。

LSI2ON ビットで LSI2 の電源をオンにすると、LSI クロックが LSI1 から LSI2 に切り替えられます。

LSI2 が LSI2ON によって無効にされた場合（IWDG の動作中）、LSI1 オシレータは強制的にオンになります。LSI クロックはレディ状態になると LSI1 に切り替えられ、LSI2 はこの場合にのみ停止します。

8.2.19 ハードウェア乱数発生器のクロック

ハードウェア乱数発生器（RNG）のシードクロックは、USB、LSI、または LSE クロック用に選択された同じクロックから生成されます。

8.2.20 クロック信号出力

- MCO

  マイクロコントローラクロック出力（MCO）機能では、外部 MCO ピンにクロックを出力することができます。クロックシグナルのうちの 1 つを MCO クロックとして選択できます。

  – LSI1（RUN および STOP モードで使用可能）
  – LSI2（RUN および STOP モードで使用可能）
  – LSE（RUN および STOP モードで使用可能）
  – MSI（RUN モードで使用可能）
  – HSI（HSION で有効になっている場合、RUN モードで使用可能）
  – HSI48（RUN モードで使用可能）
  – HSE（RUN モードで使用可能）
  – PLLRCLK（RUN モードで使用可能）
  – SYSCLK（RUN モードで使用可能）

  選択はRCC クロック設定レジスタ（RCC_CFGR）の MCOSEL[3:0] ビットによって制御されます。選択されたクロックは、RCC クロック設定レジスタ（RCC_CFGR）の MCOPRE[2:0] フィールドで分周できます。

  MCO のクロックは、RUN および STOP モードでのみ使用可能で、STANDBY および SHUTDOWN モードでは使用できません。

- LSCO

  LSCO 出力により、外部 LSCO ピンに低速クロックを出力することができます。

  – LSI（LSI1 または LSI2）

  – LSE

  選択は LSCOSEL によって制御され、RCC バックアップドメイン制御レジスタ（RCC_BDCR）の LSCOEN で有効化されます。

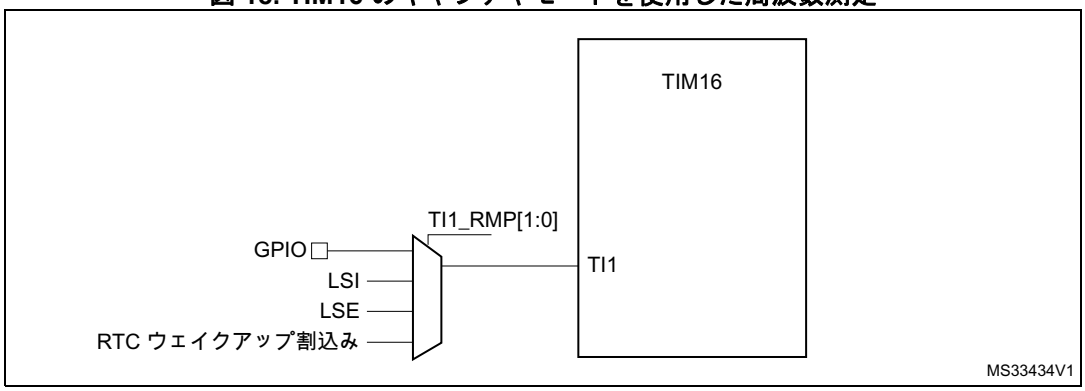
  LSCO のクロックは、RUN、STOP に加え、STANDBY および SHUTDOWN モードの 1 つの GPIO で使用できます。

対応する GPIO ポートの設定レジスタは、オルタネート機能モードに設定されている必要があります。

8.2.21 TIM16/TIM17 を使用した内部／外部クロックの測定

図 18 および図 19 に示すように、TIM16、または TIM17 のチャネル 1 の入力キャプチャを使用して、ボード上のすべてのクロックソースの周波数を間接的に測定することができます。

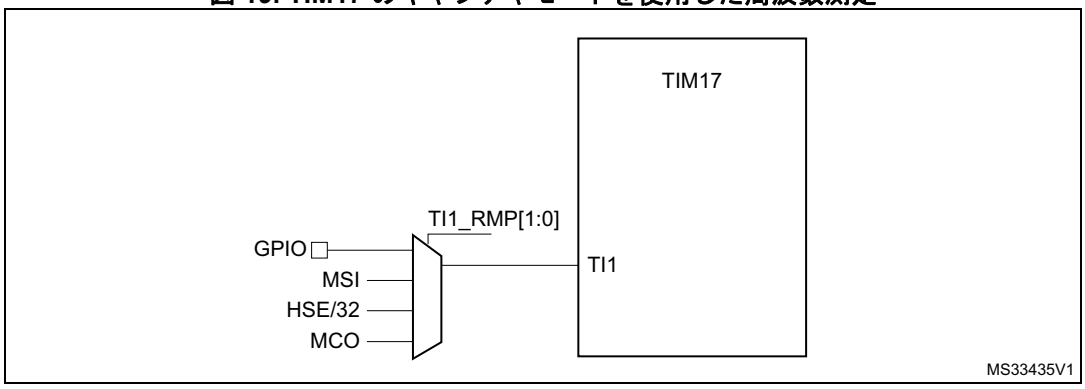
図 18. TIM16 のキャプチャモードを使用した周波数測定



TIM16 の入力キャプチャチャネルは GPIO ラインまたは MCU の内部クロックです。この選択は、TIM16_OR レジスタの TI1_RMP [1:0] ビットで行います。以下を使用できます。

- TIM16 のチャネル 1 は、GPIO に接続されます。デバイスのデータシートのオルタネート機能配置表を参照してください。
- TIM16 のチャネル 1 は、LSI クロックに接続されます。
- TIM16 のチャネル 1 は、LSE クロックに接続されます。
- TIM16 のチャネル 1 は RTC ウェイクアップ割込み信号に接続されます。この場合、RTC 割込みを有効にする必要があります。

図 19. TIM17 のキャプチャモードを使用した周波数測定



タイマ 17 の入力キャプチャチャネルは GPIO ラインまたは MCU の内部クロックです。この選択は、TIM17_OR レジスタの TI1_RMP [1:0] ビットで行います。以下を使用できます。

- TIM17 のチャネル 1 は、GPIO に接続されます。デバイスのデータシートのオルタネート機能配置表を参照してください。
- TIM17 のチャネル 1 は、MSI クロックに接続されます。
- TIM17 のチャネル 1 は、HSE/32 クロックに接続されます。
- TIM17 のチャネル 1 はマイクロコントローラクロック出力（MCO）に接続されます。この選択は、クロック設定レジスタ（RCC_CFGR）の MCOSEL[3:0] ビットで制御されます。

HSI16 および MSI の較正

TIM16 では、LSE をチャネル 1 の入力キャプチャに接続する主な目的は、HSI16 システムクロックと MSI システムクロックを正確に測定できるようにすることです（これには、HSI16 または MSI のどちらかがシステムクロックソースとして使用されている必要があります）。LSE 信号の連続したエッジ間の HSI16（またはMSI）クロックのカウント数により、内部クロックの周期が測定されます。LSE クリスタルの高い精度（通常は数十 ppm）を利用することにより、同じ分解能で内部クロック周波数を判断でき、製造工程、温度、電圧に関連した周波数偏差に対してクロックソースを調整して補正することができます。

MSI および HSI16 の両方のオシレータには、上記の目的のためにユーザがアクセスできる専用の較正ビットがあります。

この基本概念は、相対測定（HSI/LSE 比など）ができることにあり、そのため、精度は 2 つのクロックソース間の比に密接にかかわっています（この比が大きいほど、測定精度は向上します）。

LSE を使用できない場合、可能な限り正確な較正を達成するには、HSE32 を選択することをお勧めします。

ただし、MSI クロック周波数が低い場合（通常は 1 MHz 未満）、十分な解像度を得ることはできません。この場合、以下を推奨します。

- 連続した複数のキャプチャの結果を累積します。
- タイマの入力キャプチャプリスケーラを使用します（8 つの周期ごとに最大 1 キャプチャ）。
- RTC ウェイクアップ割込み信号（RTC クロックが LSE によって駆動される場合）を、チャネル 1 入力キャプチャの入力として使います。これにより測定精度が向上します。このためには、RTC ウェイクアップ割込みを有効にする必要があります。

LSI の較正

LSI の較正は HSI と同じ方法で行いますが、リファレンスクロックを変更します。LSI クロックを TIM16 チャネル 1 の入力キャプチャに接続する必要があります。次に、HSE をシステムクロックソースとして定義し、LSI 信号の連続したエッジ間のクロックカウント数により、内部低速クロック周期が測定されます。

この基本概念は、比較測定（HSE/LSI 比など）ができることにあります。したがって、精度は 2 つのクロックソース間の比に密接に関係し、この比が大きいほど、測定精度は向上します。

8.2.22 ペリフェラルクロック有効化

ほとんどのペリフェラルバスおよびカーネルクロックは、CPU ごとに個別に有効にできます。RCC_AHBxENR と RCC_APBxENRy は CPU1 のペリフェラルクロックを有効にし、RCC_C2_AHBxENR と RCC_C2_APBxENR は CPU2 のペリフェラルクロックを有効にします。ペリフェラルクロックは、それらが有効化された CPU の状態に従います。表 40 を参照してください。

CPU SLEEP モード時のペリフェラルバスクロックの動作は、ペリフェラルクロックの CPU SLEEP モードのイネーブルビットによって制御されます。CPU1 レジスタの場合は RCC_AHBxSMENR および RCC_APBxSMENRy、CPU2 レジスタの場合は RCC_C2_AHBxSMENR および RCC_C2_APBxSMENRy です。SLEEP モード中のペリフェラルバスクロックは、有効化したときの CPU の状態に従います。表 40 を参照してください。

表 40. ペリフェラルクロック有効化

<table>
<tr><th colspan="6">ペリフェラル</th></tr>
<tr><th>xxxEN</th><th>xxxSMEN</th><th>CPU モード</th><th>システムモード</th><th>バスクロック</th><th>カーネルクロック(1)</th></tr>
<tr><td>0</td><td rowspan="2">x</td><td>任意</td><td>任意</td><td>停止</td><td>停止</td></tr>
<tr><td rowspan="6">1</td><td>CRun</td><td>RUN</td><td>クロック</td><td>クロック</td></tr>
<tr><td>0</td><td>CSleep および CStop</td><td>RUN</td><td>停止</td><td>クロック</td></tr>
<tr><td rowspan="4">1</td><td>CSleep</td><td>RUN</td><td>クロック</td><td>クロック</td></tr>
<tr><td rowspan="3">CStop</td><td>RUN</td><td>停止</td><td>クロック</td></tr>
<tr><td rowspan="2">STOP</td><td rowspan="2">停止</td><td>次から選択した場合にクロック
– HSI16
– LSI
– LSE</td></tr>
<tr><td>次から選択した場合に停止
– バスクロック
– SYSCLK
– PLL クロック
– MSI
– HSI48
– PLLSAI1 クロック</td></tr>
<tr><td>STANDBY または SHUTDOWN</td><td>停止</td><td>停止</td></tr>
</table>

1. カーネルクロックは、SAI、I2C、LPTIM、USART、LPUART、USB FS、ハードウェア乱数発生器、および ADC のペリフェラルにのみあります。

ペリフェラルバスクロックがアクティブでない場合、ペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

ペリフェラルバスクロックがアクティブの場合、どちらの CPU が CPU xxxEN ビットでペリフェラルバスクロックを有効にしたかにかかわらず、ペリフェラルには両方の CPU からアクセスできます。ただし、ペリフェラルバスクロックが 1 つの CPU のみによって有効化され、この CPU が低電力モードに移行した場合、ペリフェラルバスクロックは停止し（この CPU xxxSMEN の設定にも依存）、別の CPU のペリフェラルアクセスはサポートされなくなります。したがって、CPU 専用クロックイネーブルでペリフェラルバスクロックを有効にすることを推奨します。

ペリフェラルカーネルクロックがアクティブでない場合、ペリフェラル機能は停止します。

イネーブルビットには、グリッチのないペリフェラルのクロックを生成する同期メカニズムが含まれています。イネーブルビットがセットされてからクロックがアクティブになるまでに、2 クロックサイクルの遅延があります。

注意： **ペリフェラルのクロックを有効にした直後、ソフトウェアは遅延を待ってから、ペリフェラルレジスタにアクセスする必要があります。**

注： **BLE-IP をアクティブにすると、BLE バスと SRAM2 バスインタフェースクロックがアクティブになります。**

8.3 低電力モード

- DMA クロックを含む AHB および APB ペリフェラルクロックは、ソフトウェアで無効にできます。
- SLEEP モードおよび低電力 SLEEP モードでは CPU クロックを停止します。メモリインタフェースクロック（Flashと、SRAM1 および SRAM2 インタフェース）は、ソフトウェアによって SLEEP モード中に停止できます。AHB - APB ブリッジのクロックは、SLEEP モード中にこれらに接続されたペリフェラルのクロックがすべて無効になった場合に、ハードウェアによって無効化されます。
- STOP モード（STOP 0、STOP 1、および STOP 2）では、V_{CORE} ドメインのほとんどのクロックを停止し、PLL、MSI、および HSE オシレータを無効にします。HSI16 は、STOP モードからのウェイクアップを可能する IP（USART1、LPUART1、I2C1、I2C3）によって要求された場合、動作したままの状態にできます。

  すべての U(S)ART、LPUART、および I^2C では、MCU が STOP モードの場合でも、HSI16 オシレータを有効にすることができます（HSI16 が当該ペリフェラルのクロックソースとして選択されている場合）。

  すべての U(S)ART、LPUART、および LPUART は、システムが STOP モードの場合（LSE が当該ペリフェラルのクロックソースとして選択されている場合）で LSE オシレータが有効な場合（LSEON）に、LSE オシレータで駆動することもできます。その場合、LSE は STOP モードで常にオンになります（LSE オシレータをオンにする機能はありません）。

  LPTIM は、システムが STOP モードの場合（LSI が当該ペリフェラルのクロックソースとして選択されている場合）で LSI オシレータが有効な場合（LSI1ON または LSI2ON）に、LSI オシレータで駆動することもできます。
- STANDBY モードおよび SHUTDOWN モードでは、V_{CORE} ドメインのすべてのクロックを停止し、PLL、HSI、MSI、および HSE オシレータを無効にします。

低電力モードは、DBGMCU_CR レジスタに DBG_SLEEP、DBG_STOP、または DBG_STANDBY ビットをセットすることで、デバッグのためにオーバライドすることができます。さらに、EXTI CDBGPWRUPREQ イベントを使用して、STOP モードでデバッグを行うことができます（表 41 を参照）。

表 41. シングルコアの低消費電力デバッグ設定(1)

モード	CDBGPWRUPREQ	DBGMCU			デバッグ
	CPU1	DBG_STANDBY	DBG_STOP	DBG_SLEEP	CPU1
SLEEP	X	X	X	X	有効
STOP0 および STOP1	無効	X	無効	-	無効
	有効				有効
STOP0、STOP1、およびSTOP2	X		有効		有効
STANDBY	X	無効	-	-	無効
		有効			有効

1. X = 使用しないでください。

STOP モード（STOP0、STOP1、または STOP2）を終了する際に、システムクロックは RCC_CFGR レジスタの STOPWUCK ビットのソフトウェア設定に応じて MSI または HSI のいずれかにできます。RF システムが有効になると、STOPWUCK と同様に HSI16 が選択されます。STOP モードを終了するときに STOPWUCK が HSI16 クロックを選択すると、1 分周を選択するために C2HPRE がリセットされます。MSI オシレータの周波数（レンジおよびユーザトリミング）は、STOP モードに移行する前に設定されたものです。HSI16 のユーザトリミングは保たれます。MSI が STOP モードに移行する前に PLL モードだった場合、LSE が STOP モード中オンのままであった場合も、ウェイクアップ後 PLL モード安定時間を待つ必要があります。SMPS ステップダウンコンバータが有効な状態で STOP 0 モードに移行する前に、HSIKERON レジスタビットをセットして、HSI16 をオンにしておく必要があります。

STANDBY モード終了時、システムクロックは HSI です。

SHUTDOWN モード終了時、システムクロックは MSI です。SHUTDOWN モードからのウェイクアップ時の MSI 周波数は 4 MHz です。ユーザトリミングは失われます。

Flashメモリプログラム操作が実行中の場合、Flashメモリインタフェースのアクセスが終了してから、STOPモード、STANDBY モードおよび SHUTDOWN モードに移行します。APB ドメインにアクセス中の場合、APB アクセスが終了してから、STOP モード、STANDBY モードおよび SHUTDOWN モードに移行します。

8.4 RCC レジスタ

8.4.1 RCC クロック制御レジスタ（RCC_CR）

アドレスオフセット：0x000

リセット値：0x0000 0061（POR リセット後）、0x0000 0160（STANDBY リセットからのウェイクアップ後）

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	PLL SAI1RDY	PLL SAI1ON	PLL RDY	PLL オン	Res.	Res.	Res.	HSEP RE	CSS オン	Res.	HSE RDY	HSE オン
				r	rw	r	rw				rw	rs		r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	HSIKE RDY	HSI ASFS	HSI RDY	HSIKER オン	HSI オン	MSIRANGE[3:0]				Res.	MSI PLLEN	MSI RDY	MSI オン
			r	rw	r	rw	rw	rw	rw	rw	rw		rw	r	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **PLLSAI1RDY**：SAI PLL クロックレディフラグ

ハードウェアによってセットされ、PLLSAI1 がロック状態であることを示します。

0：PLLSAI1 アンロック

1：PLLSAI1 ロック

ビット 26 **PLLSAI1ON**：SAI PLL 有効化

PLLSAI1 を有効にするために、ソフトウェアによってセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに移行するときに、ハードウェアによってクリアされます。

0：PLLSAI1 オフ

1：PLLSAI1 ON

ビット 25 **PLLRDY**：システム PLL クロックレディフラグ

ハードウェアによってセットされ、システム PLL がロック状態であることを示します。

0：PLL アンロック

1：PLL ロック

ビット 24 **PLLON**：システム PLL 有効化

PLL を有効にするために、ソフトウェアによってセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに移行するときに、ハードウェアによってクリアされます。PLL クロックがシステムクロックとして使用されている場合、このビットをリセットできません。

0：PLL オフ

1：PLL オン

ビット 23:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **HSEPRE**：HSE システムクロックおよび PLL M 分周器プリスケーラ

HSE クロックの選択時に、システムクロックと PLL M 分周器入力の分周比を制御するために、ソフトウェアによってセット／クリアされます。

0：SYSCLK および PLL M 分周器入力クロックは分周されません（HSE）。

1：SYSCLK および PLL M 分周器入力クロックは 2 分周されます（HSE/2）。

ビット 19 **CSSON**：HSE クロックセキュリティシステム有効化

クロックセキュリティシステムを有効にするために、ソフトウェアによってセットされます。CSSON がセットされているとき、HSE オシレータがレディになると HSE クロック検出回路がハードウェアによって有効化され、HSE クロックの障害が検出された場合ハードウェアによって無効にされます。このビットはセット専用で、リセットによってクリアされます。

0：HSE クロックセキュリティシステムオフ（クロック検出回路オフ）

1：HSE クロックセキュリティシステムオン（HSE オシレータが安定していればクロック検出回路オン、そうでなければオフ）

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **HSERDY**：HSE クロックレディフラグ

HSE オシレータが安定していることを示すために、ハードウェアによってセットされます。

0：HSE オシレータはレディ状態ではありません。

1：HSE オシレータはレディ状態です。

注： HSEON ビットがクリアされると、HSERDY は、HSE クロックの 6 サイクル後にローになります。HSEON ビットの値に関係なく、HSE オシレータは必要なときに RF の要求で開始します。HSEON = 0 および HSERDY = 1 にすることができます。

ビット 16 **HSEON**：HSE クロック有効化

ソフトウェアでセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに入るときに、HSE オシレータを停止するためにハードウェアによってクリアされます。HSE オシレータが直接的または間接的にシステムクロックとして使用されている場合は、このビットをリセットできません。

0：HSE オシレータオフ

1：HSE オシレータオン

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **HSIKERDY**：ペリフェラルリクエストの HSI16 カーネルクロックレディフラグ

HSIKERON またはペリフェラルカーネルクロックリクエストによって有効になったときに、HSI16 オシレータが安定していることを示すために、ハードウェアによってセットされます。HSION がセットされたソフトウェア、または STANDBY からのウェイクアップによって HSI16 が有効になっている場合は、セットされません。

0：HSI16 オシレータはレディ状態ではありません。

1：HSI16 オシレータはレディ状態です。

ビット 11 **HSIASFS**：STOP からの HSI16 自動起動

ソフトウェアでセット／クリアされます。システムウェイクアップクロックが MSI の場合、このビットはシステムウェイクアップと並行してHSI16 をウェイクアップするのに使用されます。

0：MSI でウェイクアップクロックとして STOP モードを終了したときに HSI16 オシレータがハードウェアによって有効になりません。

1：MSI でウェイクアップクロックとして STOP モードを終了したときに HSI16 オシレータがハードウェアによって有効になります。

ビット 10 **HSIRDY**：HSI16 クロックレディフラグ。（STANDBY からのウェイクアップ後、HSI16 がレディ状態になると、このビットは「b1」として読み出されます。）

HSI16 オシレータが安定していることを示すために、ハードウェアによってセットされます。このビットは HSION がセットされたソフトウェア、または STANDBY からのウェイクアップによって HSI16 が有効になっている場合にのみ、セットされます。HSI16 が HSIKERON または IP リクエストによって有効になっている場合はセットされません。

0：HSI16 オシレータはレディ状態ではありません。

1：HSI16 オシレータはレディ状態です。

注： HSION ビットがクリアされると、HSIRDY は HSI16 クロックの 6 サイクル後にローになります。

ビット 9 **HSIKERON**：ペリフェラルカーネルクロックに対して HSI16 を常に有効化

STOP モードでも HSI16 を強制的にオンにするために、ソフトウェアによってセット／クリアされます。HSIKERON によって有効化された HSI16 は、HSI16 でカーネルクロックとして設定された USART、LPUART、および I^2C ペリフェラルにのみ給電できます。STOP モードで HSI16 をオンのままにしておくと、HSI16 起動時間による通信速度の低下を回避できます。このビットは、HSION の値への影響はありません。

0：HSI16 オシレータへの影響はありません。

1：HSI 16 オシレータは、強制的にオンになります（STOP モードの場合も含む）。

ビット 8 **HSION**：HSI16 クロック有効化

ソフトウェアでセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに入るときに、HSI16 オシレータを停止するためにハードウェアによってクリアされます。

STOP モードを終了するときに STOPWUCK = 1 または HSIASFS = 1 の場合、または HSE クリスタルオシレータに障害が発生した場合、HSI16 オシレータを強制的にオンにするために、ハードウェアによってセットされます。

このビットは、HSI16 が直接または間接的にシステムクロックとして使用されている場合に、ハードウェアによってセットされます。

0：HSI16 オシレータオフ

1：HSI16 オシレータオン

ビット 7:4 **MSIRANGE[3:0]**：MSI クロックレンジ

これらのビットは、MSIRANGE がセットされている場合に MSI の周波数レンジを選択するために、ソフトウェアによって設定されます。12 個の周波数レンジを使用できます。

0000：レンジ 0、最大 100 kHz

0001：レンジ 1、最大 200 kHz

0010：レンジ 2、最大 400 kHz

0011：レンジ 3、最大 800 kHz

0100：レンジ 4、最大 1 MHz

0101：レンジ 5、最大 2 MHz

0110：レンジ 6、最大 4 MHz（リセット値）

0111：レンジ 7、最大 8 MHz

1000：レンジ 8、最大 16 MHz

1001：レンジ 9、最大 24 MHz

1010：レンジ 10、最大 32 MHz

1011：レンジ 11、最大 48 MHz

その他：使用不可（ハードウェアの書込み保護）

注： 警告：MSI がオフ（MSION = 0）のとき、またはレディ状態（MSIRDY = 1）のとき MSIRANGE を変更できます。MSI がオンのとき、かつレディ状態ではない（MSION = 1 および MSIRDY = 0）とき MSIRANGE は変更しないでください。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **MSIPLLEN**：MSI クロック PLL 有効化

MSI クロックソースの PLL 部分を有効化／無効化するために、ソフトウェアによってセット／クリアされます。

MSIPLLEN は、LSE を有効（LSEON を有効化）かつレディ状態（ハードウェアにより LSERDY がセット）にした後で有効にする必要があります。LSE がレディ状態ではない場合、MSIPLLEN の有効化を回避するためのハードウェア保護機能があります。

このビットは、LSE を無効（LSEON = 0）にするときや、LSE のクロックセキュリティシステムが LSE 障害を検出したときに、ハードウェアによってクリアされます（RCC_CSR レジスタを参照）。

0：MSI PLL オフ

1：MSI PLL オン

ビット 1 **MSIRDY**：MSI クロックレディフラグ（リセット後、MSI がレディ状態になると、このビットは「b1」として読み出される）

このビットは、MSI オシレータが安定状態であることを示すために、ハードウェアによってセットされます。

0：MSI オシレータはレディ状態ではありません。

1：MSI オシレータはレディ状態です。

注： MSION ビットがクリアされると、MSIRDY は、MSI オシレータクロックの 6 サイクル後にローになります。

ビット 0 **MSION**：MSI クロック有効化

このビットは、ソフトウェアによってセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに入るときに、MSI オシレータを停止するためにハードウェアによってクリアされます。

STANDBY または SHUTDOWN モードを終了するときに、MSI オシレータを強制的にオンにするためにハードウェアによってセットされます。

STOP モードを終了するときに STOPWUCK = 0 の場合、または HSE オシレータに障害が発生した場合、MSI オシレータを強制的にオンにするために、ハードウェアによってセットされます。

直接または間接的にシステムクロックとして使用されている場合に、ハードウェアによってセットされます。

0：MSI オシレータオフ

1：MSI オシレータオン

8.4.2 RCC 内部クロックソース較正レジスタ（RCC_ICSCR）

アドレスオフセット：0x004

リセット値：0x40XX 00XX（X は出荷時にプログラムされます。）

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	HSITRIM[6:0]							HSICAL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSITRIM[7:0]								MSICAL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:24 **HSITRIM[6:0]**：HSI16 クロックトリミング

これらのビットにより、ユーザプログラミング可能なトリミング値が使用でき、この値は HSICAL[7:0]ビットに加算されます。HSI16 の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 64 で、HSICAL 値に追加すると、HSI16 を 16 MHz ± 1 % にトリミングします。

ビット 23:16 **HSICAL[7:0]**：HSI16 クロック較正

これらのビットは起動時に、出荷時にプログラムされた HSI16 較正トリミング値で初期化されます。HSITRIM が書き込まれると、HSICAL が HSITRIM と出荷時トリミング値の合計で更新されます。

ビット 15:8 **MSITRIM[7:0]**：MSI クロックトリミング

これらのビットにより、ユーザによるプログラムが可能なトリミング値が使用でき、この値は MSICAL[7:0] ビットに加算されます。MSI の周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。

デフォルト値は 0 で、MSICAL 値に追加すると、MSI を中間周波数にトリミングします。

ビット 7:0 **MSICAL[7:0]**：MSI クロック較正

これらのビットは起動時に、出荷時にプログラムされた MSI 較正トリミング値で初期化されます。MSITRIM が書き込まれると、MSICAL が MSITRIM と出荷時トリミング値の合計で更新されます。

8.4.3 RCC クロック設定レジスタ（RCC_CFGR）

アドレスオフセット：0x008

リセット値：0x0007 0000（POR リセット後）、0x0007 0001（STANDBY からのウェイクアップ後）

アクセス：0 ≤ ウェイトステート ≤ 2、ワード、ハーフワード、およびバイトアクセス

クロックソースの切り替え中にアクセスが発生した場合に限り、1 または 2 ウェイトステートが挿入されます。

APB または AHB プリスケーラ値の更新中にアクセスが発生した場合、0～15 のウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	MCOPRE[2:0]			MCOSEL[3:0]				Res.	Res.	Res.	Res.	Res.	PPRE2F	PPRE1F	HPREF
	rw	rw	rw	rw	rw	rw	rw						r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STOPWUCK	Res.	PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]				SWS[1:0]		SW[1:0]	
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r	r	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:28 **MCOPRE[2:0]**：マイクロコントローラクロック出力プリスケーラ

これらのビットは、ソフトウェアによってセット／クリアされます。
MCO 出力を有効にする前に、このプリスケーラを変更することを強く推奨します。
000：MCO を 1 分周
001：MCO を 2 分周
010：MCO を 4 分周
011：MCO を 8 分周
100：MCO を 16 分周
その他：設定禁止

ビット 27:24 **MCOSEL[3:0]**：マイクロコントローラクロック出力
ソフトウェアでセット／クリアされます。
0000：MCO 出力無効、MCO にクロックなし
0001：SYSCLK システムクロックの選択
0010：MSI クロックの選択
0011：HSI16 クロックの選択
0100：HSE クロックの選択（安定後）、HSERDY = 1 の後）
0101：メイン PLLRCLK クロックの選択
0110：LSI1 クロックの選択
0111：LSI2 クロックの選択
1000：LSE クロックの選択
1001：内部 HSI48 クロックの選択
1100：HSE クロックの選択（安定前、HSEON = 1 の後）
その他：予約済みです。

注： このクロック出力では、起動時または MCO クロックソースの切り替え時に、切り捨てのサイクルがある場合があります。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **PPRE2F**：PCLK2 プリスケーラフラグ（APB2）
PCLK2 プリスケーラプログラムに確認応答するために、ハードウェアでセット／リセットされます。
新しいプリスケーラの値が PPRE2 にプログラムされたときにリセットされます。プログラムされた値が実際に適用されたときにセットされます。
0：PCLK2 プリスケーラ値はまだ適用されません。
1：PCLK2 プリスケーラの値が適用されます。

ビット 17 **PPRE1F**：PCLK1 プリスケーラフラグ（APB1）
PCLK1 プリスケーラプログラムに確認応答するために、ハードウェアでセット／リセットされます。
新しいプリスケーラの値が PPRE1 にプログラムされたときにリセットされます。プログラムされた値が実際に適用されたときにセットされます。
0：PCLK1 プリスケーラ値はまだ適用されません。
1：PCLK1 プリスケーラの値が適用されます。

ビット 16 **HPREF**：HCLK1 プリスケーラフラグ（CPU1、AHB1、AHB2、AHB3、および SRAM1）
HCLK1 プリスケーラプログラムに確認応答するために、ハードウェアでセット／リセットされます。
新しいプリスケーラの値が HPRE にプログラムされたときにリセットされます。プログラムされた値が実際に適用されたときにセットされます。
0：HCLK1 プリスケーラ値はまだ適用されません。
1：HCLK1 プリスケーラの値が適用されます。

ビット 15 **STOPWUCK**：STOP モードからのウェイクアップおよび CSS バックアップクロックの選択
STOP モード終了時に使用されるシステムクロックを選択するために、ソフトウェアによってセット／クリアされます。
選択されたクロックは、HSE のクロックセキュリティシステムの非常時クロックにも使用されます。警告：HSE クロックセキュリティシステムが RCC クロック制御レジスタ（RCC_CR）レジスタの CSSON によって有効化され、システムクロックが HSE（SWS = 10）または HSE のスイッチがリクエストされている（SW = 10）ときに STOPWUCK を変更しないでください。
0：STOP からのウェイクアップクロックおよび CSS バックアップクロックとして MSI オシレータが選択されます。
1：STOP からのウェイクアップクロックおよび CSS バックアップクロックとして HSI16 オシレータが選択されます。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13:11 **PPRE2[2:0]**：PCLK2 ハイスピードプリスケーラ（APB2）

PCLK2 クロック（APB2）の分周比を制御するために、ソフトウェアによってセット／クリアされます。
プログラムされた PPRE2 プリスケーラ値が適用されたかどうかは、PPRE2F フラグで確認できます。
0xx：HCLK1 は分周されません。
100：HCLK1 は 2 分周されます。
101：HCLK1 は 4 分周されます。
110：HCLK1 は 8 分周されます。
111：HCLK1 は 16 分周されます。

ビット 10:8 **PPRE1[2:0]**：PCLK1 低速プリスケーラ（APB1）

PCLK1 クロック（APB1）の分周比を制御するために、ソフトウェアによってセット／クリアされます。
プログラムされた PPRE1 プリスケーラ値が適用されたかどうかは、PPRE1F フラグで確認できます。
0xx：HCLK1 は分周されません。
100：HCLK1 は 2 分周されます。
101：HCLK1 は 4 分周されます。
110：HCLK1 は 8 分周されます。
111：HCLK1 は 16 分周されます。

ビット 7:4 **HPRE[3:0]**：HCLK1 プリスケーラ（CPU1、AHB1、AHB2、AHB3、および SRAM1）

HCLK1 クロック（CPU1、AHB1、AHB2、AHB3、および SRAM1）の分周比を制御するために、ソフトウェアによってセット／クリアされます。
プログラムされた HPRE プリスケーラ値が適用されたかどうかは、HPREF フラグで確認できます。

注意： デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しく設定し、システム周波数が最大許容周波数を超えないようにします（詳細については、セクション 6.1.6：ダイナミック電圧スケーリングの管理を参照）。これらのビットの書込み動作後、電圧レンジを下げる前に、レジスタビット HPREF を読み出して新しい値が正しく反映されていることを確認する必要があります。

0001：SYSCLK は 3 分周されます。
0010：SYSCLK は 5 分周されます。
0101：SYSCLK は 6 分周されます。
0110：SYSCLK は 10 分周されます。
0111：SYSCLK は 32 分周されます。
1000：SYSCLK は 2 分周されます。
1001：SYSCLK は 4 分周されます。
1010：SYSCLK は 8 分周されます。
1011：SYSCLK は 16 分周されます。
1100：SYSCLK は 64 分周されます。
1101：SYSCLK は 128 分周されます。
1110：SYSCLK は 256 分周されます。
1111：SYSCLK は 512 分周されます。
その他：SYSCLK は分周されません。

ビット 3:2 **SWS[1:0]**：システムクロックスイッチステータス

どのクロックソースがシステムクロックとして使用されているかを示すために、ハードウェアによってセット／クリアされます。
00：MSI オシレータがシステムクロックとして使用されています。
01：HSI16 オシレータがシステムクロックとして使用されています。
10：HSE がシステムクロックとして使用されています。
11：PLL がシステムクロックとして使用されています。

ビット 1:0 **SW[1:0]**：システムクロックスイッチ

システムクロックソース（SYSCLK）を選択するために、ソフトウェアによってセット／クリアされます。SHUTDOWN モードを終了するときに、MSI オシレータを強制的に選択するためにハードウェアによって設定されます。STANDBY モードを終了するときに、HSI16 オシレータを強制的に選択するためにハードウェアによって設定されます。

STOP モードを終了するとき、または HSE オシレータに障害が発生した場合、STOPWUCK に応じて MSI または HSI16 オシレータを強制的に選択するために、ハードウェアによって設定されます。

00：MSI がシステムクロックとして選択されます。

01：HSI16 がシステムクロックとして選択されます。

10：HSE がシステムクロックとして選択されます。

11：PLL がシステムクロックとして選択されます。

注： SW および SWS ビットを変更する際の遅延は、SYSCLK クロックソースの切り替え時に、新しい設定に従って設定されます（前のクロックの最大 3 サイクル）。

8.4.4 RCC PLL 設定レジスタ（RCC_PLLCFGR）

アドレスオフセット：0x00C

リセット値：0x2204 0100

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLL クロック出力を設定するために使用します。

- f（VCO クロック）= f（PLL クロック入力）×（PLLN / PLLM）
- f（PLL_P）= f（VCO クロック）/ PLLP
- f（PLL_Q）= f（VCO クロック）/ PLLQ
- f（PLL_R）= f（VCO クロック）/ PLLR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PLLR[2:0]			PLLREN	PLLQ[2:0]			PLLQEN	Res.	Res.	PLLP[4:0]					PLLPEN
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PLLN[6:0]							Res.	PLLM[2:0]			Res.	Res.	PLLSRC[1:0]	
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw			rw	rw

ビット 31:29 **PLLR[2:0]**：PLLRCLK のためのメイン PLL 分周比

メイン PLL 出力クロック PLLRCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、システムクロックで選択できます。これらのビットに書き込めるのは、PLL が無効な場合だけです。

PLLRCLK 出力クロック周波数 = VCO 周波数 / PLLR、ここで PLLR = 2、3、4、... または 8

[VCO 周波数/（N + 1）]

000：予約済み

001：PLLR = 2

010：PLLR = 3

011：PLLR = 4

100：PLLR = 5

101：PLLR = 6

110：PLLR = 7

111：PLLR = 8

ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットをセットする必要があります。

ビット 28 **PLLREN**：メイン PLL の PLLRCLK 出力有効化

メイン PLL の PLLRCLK 出力（システムクロックとして使用）を有効化するために、ソフトウェアによってセット／リセットされます。

PLL の PLLRCLK 出力がシステムクロックとして使用されている場合は、このビットに書き込めません。

電力を削減するために、PLL の PLLRCLK 出力を使用しない場合は、PLLREN の値を 0 にする必要があります。

0：PLLRCLK 出力は無効です。

1：PLLRCLK 出力は有効です。

ビット 27:25 **PLLQ[2:0]**：PLLQCLK のためのメイン PLL 分周比

メイン PLL 出力クロック PLLQCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、USB とハードウェア乱数発生器のクロックに選択できます。これらのビットに書き込めるのは、PLL が無効なときだけです。

PLLQCLK 出力クロック周波数 = VCO 周波数 / PLLQ、ここで PLLQ = 2、3、4、... または 8 [VCO 周波数 / (N + 1)]

000：予約済み

001：PLLQ = 2

010：PLLQ = 3

011：PLLQ = 4

100：PLLQ = 5

101：PLLQ = 6

110：PLLQ = 7

111：PLLQ = 8

ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットをセットする必要があります。

ビット 24 **PLLQEN**：メイン PLL の PLLQCLK 出力有効化

メイン PLL の PLLQCLK 出力（システムクロックとして使用）を有効化するために、ソフトウェアによってセット／リセットされます。

電力を削減するために、PLL の PLLQCLK 出力を使用しない場合は、PLLQEN の値を 0 にする必要があります。

0：PLLQCLK 出力は無効です。

1：PLLQCLK 出力有効化

ビット 23:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:17 **PLLP[4:0]**：PLLPCLK のためのメイン PLL 分周比。

メイン PLL 出力クロック PLLPCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、SAI1 および ADC に選択できます。これらのビットに書き込めるのは、PLL が無効なときだけです。

PLLPCLK 出力クロック周波数 = VCO 周波数 / PLLP、ここで PLLP = 2、3、4、... または 32 [VCO 周波数 / (N + 1)]

0000：予約済み

00001：PLLP = 2

00010：PLLP = 3

00011：PLLP = 4

00100：PLLP = 5

.....

11111：PLLP = 32

ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットをセットする必要があります。

ビット 16 **PLLPEN**：メイン PLL の PLLPCLK 出力有効化

メイン PLL の PLLPCLK 出力を有効化するために、ソフトウェアによってセット／リセットされます。電力を削減するために、PLL の PLLPCLK 出力を使用しない場合は、PLLPEN の値を 0 にする必要があります。

0：PLLPCLK 出力は無効です。

1：PLLPCLK 出力有効化

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:8 **PLLN[6:0]**：メイン PLL の VCO に対する逓倍数

VCO の逓倍数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL が無効なときだけです。

VCO 出力周波数 = VCO 入力周波数 x PLLN（6 ≤ PLLN ≤ 127）

0000000：PLLN = 0（使用不可）

0000001：PLLN = 1（使用不可）

.....

0000101：PLLN = 5（使用不可）

0000110：PLLN = 6

1111111：PLLN = 127

これらのビットは、VCO 出力周波数が 96～344 MHz の間になるように、ソフトウェアで設定する必要があります。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **PLLM[2:0]**：メイン PLL およびオーディオ PLLSAI1 入力クロックのための分周比

PLL および PLLSAI1 入力クロックを VCO の前で分周するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL がすべて無効なときだけです。

VCO 入力周波数 = PLL 入力クロック周波数 / PLLM、ここで 1 ≤ PLLM ≤ 8

000：PLLM = 1

001：PLLM = 2

010：PLLM = 3

011：PLLM = 4

100：PLLM = 5

101：PLLM = 6

110：PLLM = 7

111：PLLM = 8

これらのビットは、VCO 入力周波数が 2.66～16 MHz の間になるように、ソフトウェアで設定する必要があります。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **PLLSRC[1:0]**：メイン PLL およびオーディオ PLLSAI1 入力クロックソース

PLL および PLLSAI1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLL および PLLSAI1 が無効のときだけです。

電力を削減するために、PLL を使用しない場合は、PLLSRC の値を 00 にする必要があります。

00：PLL および PLLSAI1 にクロックが送信されません。

01：MSI クロックが PLL および PLLSAI1 クロック入力として選択されます。

10：HSI16 クロックが PLL および PLLSAI1 クロック入力として選択されます。

11：HSE クロックが PLL および PLLSAI1 クロック入力として選択されます。

8.4.5 RCC PLLSAI1 設定レジスタ（RCC_PLLSAI1CFGR）

アドレスオフセット：0x010

リセット値：0x2204 0100

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

このレジスタは、次の式に従って PLLSAI1 クロック出力を設定するために使用します。

- f（VCOSAI クロック）= f（PLLSAI1 クロック入力）×（PLLN / PLLM）
- f（PLLSAI1_P）= f（VCOSAI クロック）/ PLLP
- f（PLLSAI1_Q）= f（VCOSAI クロック）/ PLLQ
- f（PLLSAI1_R）= f（VCOSAI クロック）/ PLLR

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PLLR[2:0]			PLLREN	PLLQ[2:0]			PLLQEN	Res.	Res.	PLLP[4:0]					PLLPEN
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PLLN[6:0]							Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw	rw	rw	rw	rw	rw	rw								

ビット 31:29 **PLLR[2:0]：**PLLSAI1RCLK のためのオーディオ PLLSAI1 分周比

オーディオ PLLSAI1 出力クロック PLLSAI1RCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、システムクロックで選択できます。これらのビットに書き込めるのは、PLLSAI1 が無効なときだけです。

PLLSAI1RCLK 出力クロック周波数 = VCO 周波数 / PLLR、ここで PLLR = 2、3、4、... または 8 [VCO 周波数 / (N + 1)]

000：予約済み

001：PLLR = 2

010：PLLR = 3

011：PLLR = 4

100：PLLR = 5

101：PLLR = 6

110：PLLR = 7

111：PLLR = 8

ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットを正しくセットする必要があります。

ビット 28 **PLLREN：**オーディオ PLLSAI1 の PLLSAI1RCLK 出力有効化

オーディオ PLLSAI1 の PLLSAI1RCLK 出力（システムクロックとして使用）を有効化するために、ソフトウェアによってセット／リセットされます。

電力を削減するために、PLLSAI1 の PLLSAI1RCLK 出力を使用しない場合は、PLLREN の値を 0 にする必要があります。

0：PLLSAI1RCLK 出力は無効です。

1：PLLSAI1RCLK 出力は有効です。

ビット 27:25 **PLLQ[2:0]**：PLLSAI1QCLK のためのオーディオ PLLSAI1 分周比

オーディオ PLLSAI1 出力クロック PLLSAI1QCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、USB とハードウェア乱数発生器のクロックに選択できます。これらのビットに書き込めるのは、PLLSAI1 が無効なときだけです。

PLLSAI1QCLK 出力クロック周波数 = VCO 周波数 / PLLQ、ここで PLLQ = 2、3、4、... または 8 [VCO 周波数 / (N + 1)]

000：予約済み

001：PLLQ = 2

010：PLLQ = 3

011：PLLQ = 4

100：PLLQ = 5

101：PLLQ = 6

110：PLLQ = 7

111：PLLQ = 8

ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットを正しくセットする必要があります。

ビット 24 **PLLQEN**：オーディオ PLLSAI1 の PLLSAI1QCLK 出力有効化

オーディオ PLLSAI1 の PLLSAI1QCLK 出力（システムクロックとして使用）を有効化するために、ソフトウェアによってセット／リセットされます。

電力を削減するために、PLLSAI1 の PLLSAI1QCLK 出力を使用しない場合は、PLLQEN の値を 0 にする必要があります。

0：PLLSAI1QCLK 出力は無効です。

1：PLLSAI1QCLK 出力は有効です。

ビット 23:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:17 **PLLP[4:0]**：PLLSAI1PCLK のためのオーディオ PLLSAI1 分周比。

オーディオ PLLSAI1 出力クロック PLLSAI1PCLK の周波数を制御するために、ソフトウェアによってセット／クリアされます。この出力は、SAI1 および ADC に選択できます。これらのビットに書き込めるのは、PLLSAI1 が無効なときだけです。

PLLSAI1PCLK 出力クロック周波数 = VCO 周波数 / PLLP、ここで PLLP = 2、3、4、... または 32 [VCO 周波数 / (N + 1)]

00000：予約済み

00001：PLLP = 2

00010：PLLP = 3

00011：PLLP = 4

00100：PLLP = 5

.....

11111：PLLP = 32

注意： ソフトウェアは、このドメインで 64 MHz を超えないように、これらのビットを正しくセットする必要があります。

ビット 16 **PLLPEN**：オーディオ PLLSAI1 の PLLSAI1PCLK 出力有効化

オーディオ PLLSAI1 の PLLSAI1PCLK 出力を有効化するために、ソフトウェアによってセット／リセットされます。

電力を削減するために、PLL の PLLSAI1PCLK 出力を使用しない場合は、PLLPEN の値を 0 にする必要があります。

0：PLLSAI1PCLK 出力は無効です。

1：PLLSAI1PCLK 出力は有効です。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:8 **PLLN[6:0]：**VCO のためのオーディオ PLLSAI1 逓倍数

VCO の逓倍数を制御するために、ソフトウェアによってセット／クリアされます。これらのビットに書き込めるのは、PLLSAI1 が無効なときだけです。

VCO 出力周波数 = VCO 入力周波数 x PLLN（4 ≤ PLLN ≤ 86）

0000000：PLLN = 0、誤った設定

0000001：PLLN = 1、誤った設定

.....

0000011：PLLN = 3、誤った設定

0000100：PLLN = 4

0000101：PLLN = 5

.....

1010101：PLLN = 85

1010110：PLLN = 86

1010111：PLLN = 87、誤った設定

.....

1111111：PLLN = 127、誤った設定

注意： これらのビットは、VCO 出力周波数が 64～344 MHz の間になるように、ソフトウェアで正しく設定する必要があります。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

8.4.6 RCC クロック割込み有効化レジスタ（RCC_CIER）

アドレスオフセット：0x018

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LSI2 RDYIE	HSI48 RDYIE	LSE CSSIE	Res.	Res.	PLLSAI1 RDYIE	PLL RDYIE	HSE RDYIE	HSI RDYIE	MSI RDYIE	LSE RDYIE	LSI1 RDYIE
				rw	rw	rw			rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **LSI2RDYIE：**LSI2 レディ割込み有効化

LSI2 オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSI2 レディ割込みは無効です。

1：LSI2 レディ割込みは有効です。

ビット 10 **HSI48RDYIE：**HSI48 レディ割込み有効化

内部 HSI48 オシレータによって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSI48 レディ割込みは無効です。

1：HSI48 レディ割込みは有効です。

ビット 9 **LSECSSIE**：LSE クロックセキュリティシステム割込み有効化

LSE のクロックセキュリティシステムによって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSE クロック障害によるクロックセキュリティ割込みは無効です。

1：LSE クロック障害によるクロックセキュリティ割込みは有効です。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PLLSAI1RDYIE**：PLLSAI1 レディ割込み有効化

PLLSAI1 ロックによって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLLSAI1 ロック割込み無効

1：PLLSAI1 ロック割込み有効

ビット 5 **PLLRDYIE**：PLL レディ割込みイネーブル

PLL ロックによって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：PLL ロック割込みは無効です。

1：PLL ロック割込みは有効です。

ビット 4 **HSERDYIE**：HSE レディ割込みイネーブル

HSE オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSE レディ割込みは無効です。

1：HSE レディ割込みは有効です。

ビット 3 **HSIRDYIE**：HSI16 レディ割込み有効化

HSI16 オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：HSI16 レディ割込みは無効です。

1：HSI16 レディ割込みは有効です。

ビット 2 **MSIRDYIE**：MSI レディ割込みイネーブル

MSI オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：MSI レディ割込みは無効です。

1：MSI レディ割込みは有効です。

ビット 1 **LSERDYIE**：LSE レディ割込みイネーブル

LSE オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSE レディ割込みは無効です。

1：LSE レディ割込みは有効です。

ビット 0 **LSI1RDYIE**：LSI1 レディ割込み有効化

LSI1 オシレータの安定化によって発生する割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：LSI1 レディ割込みは無効です。

1：LSI1 レディ割込みは有効です。

8.4.7 RCC クロック割込みフラグレジスタ（RCC_CIFR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LSI2 RDYF	HSI48R DYF	LSE CSSF	CSSF	Res.	PLLSAI1 RDYF	PLL RDYF	HSE RDYF	HSI RDYF	MSI RDYF	LSE RDYF	LSI1 RDYF
				r	r	r	r		r	r	r	r	r	r	r

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **LSI2RDYF**：LSI2 レディ割込みフラグ

LSI2 クロックが安定し、LSI2RDYDIE がセットされているときに、ハードウェアによってセットされます。

LSI2RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSI2 オシレータによるクロックレディ割込みは発生していません。

1：LSI2 オシレータによるクロックレディ割込みが発生しました。

ビット 10 **HSI48RDYF**：HSI48 レディ割込みフラグ

HSI48 クロックが安定し、HSI48ON（RCC クロックリカバリ RC レジスタ（RCC_CRRCR）を参照）の設定に応じて HSI48RDYIE がセットされたときに、ハードウェアによってセットされます。

HSI48RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSI48 オシレータによるクロックレディ割込みは発生していません。

1：HSI48 オシレータによるクロックレディ割込みが発生しました。

ビット 9 **LSECSSF**：LSE クロックセキュリティシステム割込みフラグ

LSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。

LSECSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSE クロック障害によるクロックセキュリティ割込みは発生していません。

1：LSE クロック障害によってクロックセキュリティ割込みが発生しました。

ビット 8 **CSSF**：HSE クロックセキュリティシステム割込みフラグ

HSE オシレータで障害が検出されたときに、ハードウェアによってセットされます。

CSSC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE クロック障害によるクロックセキュリティ割込みは発生していません。

1：HSE クロック障害によってクロックセキュリティ割込みが発生しました。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PLLSAI1RDYF**：PLLSAI1 レディ割込みフラグ

PLLSAI1 がロックされ、PLLSAI1RDYDIE がセットされているときに、ハードウェアによってセットされます。

PLLSAI1RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLLSAI1 ロックによるクロックレディ割込みは発生していません。

1：PLLSAI1 ロックによるクロックレディ割込みが発生しました。

ビット 5 **PLLRDYF**：PLL レディ割込みフラグ

PLL がロックされ、PLLRDYDIE がセットされているときに、ハードウェアによってセットされます。PLLRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：PLL ロックによるクロックレディ割込みは発生していません。

1：PLL ロックによるクロックレディ割込みが発生しました。

ビット 4 **HSERDYF**：HSE レディ割込みフラグ

HSE クロックが安定し、HSERDYDIE がセットされているときに、ハードウェアによってセットされます。

HSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSE オシレータによるクロックレディ割込みは発生していません。

1：HSE オシレータによるクロックレディ割込みが発生しました。

ビット 3 **HSIRDYF**：HSI16 レディ割込みフラグ

HSI16 クロックが安定し、HSION（RCC クロック制御レジスタ（RCC_CR）を参照）の設定に応じて HSIRDYDIE がセットされたときに、ハードウェアによってセットされます。HSION がセットされず、ただしクロックリクエストを通じてペリフェラルによって HSI16 オシレータが有効化された場合、このビットはセットされず、割込みも生成されません。

HSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：HSI16 オシレータによるクロックレディ割込みは発生していません。

1：HSI16 オシレータによるクロックレディ割込みが発生しました。

ビット 2 **MSIRDYF**：MSI レディ割込みフラグ

MSI クロックが安定し、MSIRDYDIE がセットされているときに、ハードウェアによってセットされます。

MSIRDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：MSI オシレータによるクロックレディ割込みは発生していません。

1：MSI オシレータによるクロックレディ割込みが発生しました。

ビット 1 **LSERDYF**：LSE レディ割込みフラグ

LSE クロックが安定し、LSERDYDIE がセットされているときに、ハードウェアによってセットされます。

LSERDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSE オシレータによるクロックレディ割込みは発生していません。

1：LSE オシレータによるクロックレディ割込みが発生しました。

ビット 0 **LSI1RDYF**：LSI1 レディ割込みフラグ

LSI1 クロックが安定し、LSI1RDYDIE がセットされているときに、ハードウェアによってセットされます。

LSI1RDYC ビットをセットすることによって、ソフトウェアによってクリアされます。

0：LSI1 オシレータによるクロックレディ割込みは発生していません。

1：LSI1 オシレータによるクロックレディ割込みが発生しました。

8.4.8 RCC クロック割込みクリアレジスタ（RCC_CICR）

アドレスオフセット：0x020

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LSI2 RDYC	HSI48 RDYC	LSE CSSC	CSSC	Res.	PLLSAI1 RDYC	PLL RDYC	HSE RDYC	HSI RDYC	MSI RDYC	LSE RDYC	LSI1 RDYC
				w	w	w	w		w	w	w	w	w	w	w

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **LSI2RDYC**：LSI2 レディ割込みクリア
このビットは、LSI2RDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：LSI2RDYF がクリアされます。

ビット 10 **HSI48RDYC**：HSI48 オシレータレディ割込みクリア
このビットは、HSI48RDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：HSI48RDYC フラグをクリアします。

ビット 9 **LSECSSC**：LSE クロックセキュリティシステム割込みクリア
このビットは、LSECSSF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：LSECSSF フラグをクリアします。

ビット 8 **CSSC**：HSE クロックセキュリティシステム割込みクリア
このビットは、HSE CSSF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：HSE CSSF フラグをクリアします。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **PLLSAI1RDYC**：PLLSAI1 レディ割込みクリア
このビットは、PLLSAI1RDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：PLLSAI1RDYF フラグをクリアします。

ビット 5 **PLLRDYC**：PLL レディ割込みクリア
このビットは、PLLRDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：PLLRDYF フラグをクリアします。

ビット 4 **HSERDYC**：HSE レディ割込みクリア
このビットは、HSERDYF フラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：HSERDYF フラグをクリアします。

ビット 3 **HSIRDYC**：HSI16 レディ割込みクリア

このビットは、HSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響なし。

1：HSIRDYF フラグをクリアします。

ビット 2 **MSIRDYC**：MSI レディ割込みクリア

このビットは、MSIRDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響なし。

1：MSIRDYF はクリアされます。

ビット 1 **LSERDYC**：LSE レディ割込みクリア

このビットは、LSERDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響なし。

1：LSERDYF がクリアされます。

ビット 0 **LSI1RDYC**：LSI1 レディ割込みクリア

このビットは、LSI1RDYF フラグをクリアするために、ソフトウェアによってセットされます。

0：影響なし。

1：LSI1RDYF がクリアされます。

8.4.9 RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）

アドレスオフセット：0x024

リセット値：0x0000 0301（POR リセット後）、0x0000 0300（STANDBY からのウェイクアップ後）

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	SMPSSWS[1:0]		Res.	Res.	SMPSDIV[1:0]		Res.	Res.	SMPSSEL[1:0]	
						r	r			rw	rw			rw	rw

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **SMPSSWS[1:0]**：SMPS ステップダウン･コンバータ･クロック･スイッチ･ステータス

SMPS が有効な場合に、SMPS ステップダウン･コンバータ･クロックとして使用されるクロックソースを示すために、ハードウェアによってセット／クリアされます。HSE がアクティブになっているときには、SMPSSEL の設定に関係なく、HSE が使用されます。SMPS ステップダウン・コンバータが PWR_CR5.SMPSEN で無効にされている場合、クロックは使用されません。

00：SMPS ステップダウン･コンバータ･クロックとして HSI16 オシレータが使用されます。

01：SMPS ステップダウンコンバータのクロックとして MSI オシレータが使用されます。

10：SMPS ステップダウン･コンバータ･クロックとして HSE が使用されます。

11：クロックは使用されません。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **SMPSDIV[1:0]**：SMPS ステップダウン･コンバータ･クロック･プリスケーラ

SMPS ステップダウン･コンバータ･クロックの分周比を制御するために、ソフトウェアによってセット／クリアされます。SMPS ステップダウン･コンバータ･クロック･プリスケーラ分周比は、SMPSDIV[1:0] と SMPSSEL[1:0] の両方の設定に依存します。表 39 を参照してください。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **SMPSSEL[1:0]**：SMPS ステップダウン･コンバータ･クロック選択。

SMPS ステップダウン･コンバータ･クロック･ソース（SMPSCLK）を選択するために、ソフトウェアによってセット／クリアされます。

00：SMPS ステップダウン･コンバータ･クロックとして HSI16 が選択されます。

01：SMPS ステップダウン･コンバータ･クロックとして MSI が選択されます（MSITRANGE をサポートされている値にセットします。表 39 を参照してください）。

10：SMPS ステップダウン･コンバータ･クロックとして HSE が選択されます。

11：予約済みです。

注： **POR リセットまたは NRST ピンリセット時、または SHUTDOWN からのウェイクアップ時、SMPSSEL はハードウェアによって MSI（値 b01）を選択するように強制されます。STANDBY からのウェイクアップ時、SMPSSEL はハードウェアによって HSI（値 b00）を選択するように強制されます。STOP モードからのウェイクアップ時、SMPSSEL はハードウェアによって RCC_CFGR.STOPWUCK で定義されている MSI または HSI クロックを選択するように強制されます。**

8.4.10 RCC AHB1 ペリフェラルリセットレジスタ（RCC_AHB1RSTR）

アドレスオフセット：0x028

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSC RST
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1 RST	DMA2 RST	DMA1 RST
			rw										rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TSCRST**：タッチセンシングコントローラリセット（STM32WB55xx のみ）

ソフトウェアでセット／クリアされます。

0：影響なし。

1：TSC をリセットします。

このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCRST**：CRC リセット

ソフトウェアでセット／クリアされます。

0：影響なし。

1：CRC をリセットします。

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1RST**：DMAMUX リセット

ソフトウェアでセット／クリアされます。

0：影響なし。

1：DMAMUX1 をリセットします。

ビット 1 **DMA2RST**：DMA2 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：DMA2 をリセットします。

ビット 0 **DMA1RST**：DMA1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：DMA1 をリセットします。

8.4.11 RCC AHB2 ペリフェラルリセットレジスタ（RCC_AHB2RSTR）

アドレスオフセット：0x02C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1RST
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADCRST	Res.	Res.	Res.	Res.	Res.	GPIOHRST	Res.	Res.	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
		rw						rw			rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **AES1RST**：AES1 ハードウェアアクセラレータリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：AES1 をリセットします。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ADCRST**：ADC リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：ADC インタフェースをリセットします。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHRST**：IO ポート H リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート H をリセットします。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **GPIOERST**：IO ポート E リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート E をリセットします。

ビット 3 **GPIODRST :** IO ポート D リセット（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート D をリセットします。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 2 **GPIOCRST :** IO ポート C リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート C をリセットします。

ビット 1 **GPIOBRST :** IO ポート B リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート B をリセットします。

ビット 0 **GPIOARST :** IO ポート A リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IO ポート A をリセットします。

8.4.12 RCC AHB3 および AHB4 ペリフェラルリセットレジスタ（RCC_AHB3RSTR）

アドレスオフセット：0x030

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FlashRST	Res.	Res.	Res.	Res.	IPCCRST	HSEMRST	RNGRST	AES2RST	PKARST
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QUADSPIRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							rw								

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHRST :** Flashインタフェースリセット
このビットは、Flashメモリがパワーダウンした場合にのみセットできます。ソフトウェアでセット／クリアされます。
0：影響なし。
1：Flashインタフェースをリセットします。

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCRST :** IPCC インタフェースリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：IPCC をリセットします。

ビット 19 **HSEMRST**：HSEM リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：HSEM をリセットします。

ビット 18 **RNGRST**：ハードウェア乱数発生器のリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：ハードウェア乱数発生器をリセットします。

ビット 17 **AES2RST**：AES2 ハードウェアアクセラレータリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：AES2 をリセットします。

ビット 16 **PKARST**：PKA ハードウェアアクセラレータリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：PKA をリセットします。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **QUADSPIRST**：Quad SPI メモリインタフェースリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：QUADSPI をリセットします。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

8.4.13 RCC APB1 ペリフェラルリセットレジスタ 1（RCC_APB1RSTR1）

アドレスオフセット：0x038

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1RST	Res.	Res.	Res.	Res.	USBRST	Res.	.CRSRST	I2C3RST	Res.	I2C1RST	Res.	Res.	Res.	Res.	Res.
rw					rw		rw	rw		rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2RST	Res.	Res.	Res.	Res.	.LCDRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2RST
	rw					rw									rw

ビット 31 **LPTIM1RST**：低電力タイマ 1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：LPTIM1 をリセットします。

ビット 30:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **USBRST**：USB FSリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：USB FS をリセットします。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CRSRST**：CRS リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：CRS をリセットします。

ビット 23 **I2C3RST**：I2C3 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：I2C3 をリセットします。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **I2C1RST**：I2C1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：I2C1 をリセットします。

ビット 20:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2RST**：SPI2 リセット（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：影響なし。
1：SPI2 をリセットします。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 13:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **LCDRST**：LCD インタフェースリセット（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：影響なし。
1：LCD をリセットします。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 8:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2RST**：TIM2 タイマリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：TIM2 をリセットします。

8.4.14 RCC APB1 ペリフェラルリセットレジスタ 2（RCC_APB1RSTR2）

アドレスオフセット：0x03C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2 RST	Res.	Res.	Res.	Res.	LPUART1 RST
										rw					rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **LPTIM2RST**：低電力タイマ 2 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：LPTIM2 をリセットします。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1RST**：低電力 UART 1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：LPUART1 をリセットします。

8.4.15 RCC APB2 ペリフェラルリセットレジスタ（RCC_APB2RSTR）

アドレスオフセット：0x040

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1 RST	Res.	Res.	TIM17 RST	TIM16 RST	Res.
										rw			rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 RST	Res.	SPI1 RST	TIM1 RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw											

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **SAI1RST**：シリアルオーディオインタフェース 1（SAI1）リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：SAI1 をリセットします。

ビット 20:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17RST**：TIM17 タイマリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：TIM17 タイマをリセットします。

ビット 17 **TIM16RST**：TIM16 タイマリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：TIM16 タイマをリセットします。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1RST**：USART1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：USART1 をリセットします。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1RST**：SPI1 リセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：SPI1 をリセットします。

ビット 11 **TIM1RST**：TIM1 タイマリセット
ソフトウェアでセット／クリアされます。
0：影響なし。
1：TIM1 タイマをリセットします。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

8.4.16 RCC APB3 ペリフェラルリセットレジスタ（RCC_APB3RSTR）

アドレスオフセット：0x044

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFRST
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RFRST**：無線システム BLE および 802.15.4 のリセット。
ソフトウェアでセット／クリアされます。
0：影響なし。
1：無線システム BLE および 802.15.4 をリセットします。無線システムのリセットステータスは、RCC 制御／ステータスレジスタ（RCC_CSR）の RFRSTS から取得できます。

8.4.17 RCC AHB1 ペリフェラルクロック有効化レジスタ（RCC_AHB1ENR）

アドレスオフセット：0x048

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCEN
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1EN	DMA2EN	DMA1EN
			rw										rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TSCEN**：CPU1 タッチセンシングコントローラクロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU1 の TSC クロック無効
1：CPU1 の TSC クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCEN**：CPU1 CRC クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の CRC クロック無効
1：CPU1 の CRC クロック有効

ビット 11:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1**：CPU1 DMAMUX1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の DMAMUX1 クロック無効
1：CPU1 の DMAMUX1 クロック有効

ビット 1 **DMA2EN**：CPU1 DMA2 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の DMA2 クロックを無効にします。
1：CPU1 の DMA2 クロック有効

ビット 0 **DMA1EN**：CPU1 DMA1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の DMA1 クロック無効
1：CPU1 の DMA1 クロック有効

8.4.18 RCC AHB2 ペリフェラルクロック有効化レジスタ（RCC_AHB2ENR）

アドレスオフセット：0x04C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1EN
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADCEN	Res.	Res.	Res.	Res.	Res.	GPIOHEN	Res.	Res.	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
		rw						rw			rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **AES1EN**：CPU1 AES1 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の AES クロック無効
1：CPU1 の AES クロック有効

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ADCEN**：CPU1 ADC クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の ADC バスとカーネルクロックを無効にします。
1：CPU1 の ADC バスとカーネルクロックを有効にします。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHEN**：CPU1 IO ポート H クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート H クロック無効
1：CPU1 の IO ポート H クロック有効

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **GPIOEEN**：CPU1 IO ポート E クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート E クロック無効
1：CPU1 の IO ポート E クロック有効

ビット 3 **GPIODEN**：CPU1 の IO ポート D クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート D クロック無効
1：CPU1 の IO ポート D クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 2 **GPIOCEN**：CPU1 IO ポート C クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート C クロック無効
1：CPU1 の IO ポート C クロック有効

ビット 1 **GPIOBEN :** CPU1 IO ポート B クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート B クロック無効
1：CPU1 の IO ポート B クロック有効

ビット 0 **GPIOAEN :** CPU1 IO ポート A クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IO ポート A クロック無効
1：CPU1 の IO ポート A クロック有効

8.4.19 RCC AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_AHB3ENR）

アドレスオフセット：0x050

リセット値：0x0208 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FlashEN	Res.	Res.	Res.	Res.	IPCC EN	HSEM EN	RNG EN	AES2 EN	PKA EN
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QUADSPI EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							rw								

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHEN**：CPU1 Flashメモリインタフェースクロック有効化
このビットは、Flashメモリがパワーダウンした場合にのみクリアできます。ソフトウェアでセット／クリアされます。
0：CPU1 のFlashインタフェースクロック無効
1：CPU1 のFlashインタフェースクロック有効

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCEN**：CPU1 IPCC インタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の IPCC クロック無効
1：CPU1 の IPCC クロック有効

ビット 19 **HSEMEN**：CPU1 HSEM クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の HSEM クロック無効
1：CPU1 の HSEM クロック有効

ビット 18 **RNGEN**：CPU1 ハードウェア乱数発生器クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 のハードウェア乱数発生器バスおよびカーネルクロック無効
1：CPU1 のハードウェア乱数発生器バスおよびカーネルクロック有効

ビット 17 **AES2EN**：CPU1 AES2 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の AES2 クロック無効
1：CPU1 の AES2 クロック有効

ビット 16 **PKAEN**：CPU1 PKA アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の PKA クロック無効
1：CPU1 の PKA クロック有効

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **QUADSPIEN**：CPU1 Quad SPI メモリインタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の QUADSPI クロック無効
1：CPU1 の QUADSPI クロック有効

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

8.4.20 RCC APB1 ペリフェラルクロック有効化レジスタ 1（RCC_APB1ENR1）

アドレス：0x058

リセット値：0x0000 0400

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1EN	Res.	Res.	Res.	Res.	USBEN	Res.	CRSEN	I2C3EN	Res.	I2C1EN	Res.	Res.	Res.	Res.	Res.
rw					rw		rw	rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2EN	Res.	Res.	WWDGEN	RTCAPBEN	LCDEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2EN
	rw			rs	rw	rw									rw

ビット 31 **LPTIM1EN**：CPU1 低電力タイマ 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の LPTIM1 バスおよびカーネルクロック無効
1：CPU1 の LPTIM1 バスおよびカーネルクロック有効

ビット 30:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **USBEN**：CPU1 USB FS クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の USB FS バスおよびカーネルクロック無効
1：CPU1 の USB FS バスおよびカーネルクロック有効

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CRSEN**：CPU1 CRS クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の CRS クロック無効
1：CPU1 の CRS クロック有効

ビット 23 **I2C3EN**：CPU1 I2C3 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の I2C3 バスおよびカーネルクロック無効
1：CPU1 の I2C3 バスおよびカーネルクロック有効

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **I2C1EN**：CPU1 I2C1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の I2C1 バスおよびカーネルクロック無効
1：CPU1 の I2C1 バスおよびカーネルクロック有効

ビット 20:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2EN**：CPU1 の SPI2 クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU1 の SPI2 クロック無効
1：CPU1 の SPI2 クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WWDGEN**：CPU1 ウィンドウ型ウォッチドッグクロック有効化
ウィンドウ型ウォッチドッグクロックを有効にするために、ソフトウェアによってセットされます。ハードウェアのシステムリセットによってリセットされます。このビットは、WWDG_SW オプションビットがリセットされたときに、ハードウェアでもセットできます。
0：CPU1 のウィンドウ型ウォッチドッグクロック無効
1：CPU1 のウィンドウ型ウォッチドッグクロック有効

ビット 10 **RTCAPBEN**：CPU1 RTC APB クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の RTC APB クロック無効
1：CPU1 の RTC APB クロック有効

ビット 9 **LCDEN**：CPU1 の LCD クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU1 の LCD クロック無効
1：CPU1 の LCD クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 8:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2EN**：CPU1 の TIM2 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の TIM2 クロック無効
1：CPU1 の TIM2 クロック有効

8.4.21 RCC APB1 ペリフェラルクロック有効化レジスタ 2（RCC_APB1ENR2）

アドレスオフセット：0x05C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2EN	Res.	Res.	Res.	Res.	LPUART1EN
										rw					rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **LPTIM2EN**：CPU1 低電力タイマ 2 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の LPTIM2 バスおよびカーネルクロック無効
1：CPU1 の LPTIM2 バスおよびカーネルクロック有効

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1EN**：CPU1 低電力 UART 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の LPUART1 バスおよびカーネルクロック無効
1：CPU1 の LPUART1 バスおよびカーネルクロック有効

8.4.22 RCC APB2 ペリフェラルクロック有効化レジスタ（RCC_APB2ENR）

アドレス：0x060

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU1 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1EN	Res.	Res.	TIM17EN	TIM16EN	Res.
										rw			rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1EN	Res.	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw											

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **SAI1EN**：CPU1 SAI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の SAI1 バスおよびカーネルクロック無効
1：CPU1 の SAI1 バスおよびカーネルクロック有効

ビット 20:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17EN**：CPU1 の TIM17 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の TIM17 タイマクロック無効
1：CPU1 の TIM17 タイマクロック有効

ビット 17 **TIM16EN**：CPU1 の TIM16 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の TIM16 タイマクロック無効
1：CPU1 の TIM16 タイマクロック有効

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1EN**：CPU1 USART1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の USART1 バスおよびカーネルクロック無効
1：CPU1 の USART1 バスおよびカーネルクロック有効

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1EN**：CPU1 SPI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の SPI1 クロック無効
1：CPU1 の SPI1 クロック有効

ビット 11 **TIM1EN**：CPU1 の TIM1 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU1 の TIM1 タイマクロック無効
1：CPU1 の TIM1P タイマクロック有効

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

8.4.23 SLEEP モードにおける RCC AHB1 ペリフェラルクロック有効レジスタ（RCC_AHB1SMENR）

アドレスオフセット：0x068

リセット値：0x0001 1207

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSC SMEN
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC SMEN	Res.	Res.	SRAM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1SMEN	DMA2SMEN	DMA1SMEN
			rw			rw							rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TSCSMEN**：CPU1 の CSleep モード時のタッチセンシングコントローラクロック有効化（STM32WB55xx のみ）

ソフトウェアでセット／クリアされます。

0：TSC クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：TSC クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCSMEN**：CPU1 の CSleep モード時の CRC クロック有効化

ソフトウェアでセット／クリアされます。

0：CRC クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：CRC クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 11:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **SRAM1SMEN**：CPU1 の CSleep モード時 SRAM1 インタフェースクロック有効化

ソフトウェアでセット／クリアされます。

0：SRAM1 インタフェースクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：SRAM1 インタフェースクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1SMEN**：CPU1 の CSleep モード時の DMAMUX1 クロック有効化

SLEEP モード時、ソフトウェアによってセット／クリアされます。

0：DMAMUX1 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：DMAMUX1 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 1 **DMA2SMEN**：CPU1 の CSleep モード時の DMA2 クロック有効化

SLEEP モード時、ソフトウェアによってセット／クリアされます。

0：DMA2 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：DMA2 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 0 **DMA1SMEN**：CPU1 の CSleep モード時の DMA1 クロック有効化

ソフトウェアでセット／クリアされます。

0：DMA1 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：DMA1 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

8.4.24 SLEEP モードにおける RCC AHB2 ペリフェラルクロック有効レジスタ（RCC_AHB2SMENR）

アドレスオフセット：0x06C

リセット値：0x0001 209F

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1 SMEN
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADC SMEN	Res.	Res.	Res.	Res.	Res.	GPIOHS MEN	Res.	Res.	GPIOES MEN	GPIODS MEN	GPIOCS MEN	GPIOBS MEN	GPIOAS MEN
		rw						rw			rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **AES1SMEN**：CPU1 の CSleep モード時の AES1 アクセラレータクロック有効化

ソフトウェアでセット／クリアされます。

0：AES1 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：AES1 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ADCSMEN**：CPU1 の CSleep および CStop モード時の ADC クロック有効化

ソフトウェアでセット／クリアされます。

0：ADC バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：ADC バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHSMEN**：CPU1 の CSleep モード時の IO ポート H クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート H クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート H クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **GPIOESMEN**：CPU1 の CSleep モード時の IO ポート E クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート E クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート E クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 3 **GPIODSMEN**：CPU1 の CSleep モード時の IO ポート D クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0 : IO ポート D クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート D クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 2 **GPIOCSMEN**：CPU1 の CSleep モード時の IO ポート C クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート C クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート C クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 1 **GPIOBSMEN**：CPU1 の CSleep モード時の IO ポート B クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート B クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート B クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 0 **GPIOASMEN**：CPU1 の CSleep モード時の IO ポート A クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート A クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート A クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

8.4.25 SLEEP モードおよび STOP モードにおける RCC AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_AHB3SMENR）

アドレスオフセット：0x070

リセット値：0x0307 0100

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASHSMEN	SRAM2SMEN	Res.	Res.	Res.	Res.	Res.	RNGSMEN	AES2SMEN	PKASMEN
						rw	rw						rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	QUADSPISMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							rw								

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHSMEN**：CPU1 の CSleep モード時の Flashメモリインタフェースクロック有効化

ソフトウェアでセット／クリアされます。

0：Flashインタフェースクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：Flashインタフェースクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 24 **SRAM2SMEN**：CPU1 の CSleep モード時の SRAM2a および SRAM2b メモリインタフェースクロック有効化

ソフトウェアでセット／クリアされます。

0：SRAM2 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：SRAM2 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **RNGSMEN**：CPU1 の CSleep および CStop モード時のハードウェア乱数発生器クロック有効化

ソフトウェアでセット／クリアされます。

0：ハードウェア乱数発生器バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：ハードウェア乱数発生器バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 17 **AES2MEN**：CPU1 の CSleep モード時の AES2 アクセラレータクロック有効化

ソフトウェアでセット／クリアされます。

0：AES2 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：AES2 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 16 **PKASMEN**：CPU1 の CSleep モード時の PKA アクセラレータクロック有効化

ソフトウェアでセット／クリアされます。

0：PKA クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：PKA クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **QUADSPISMEN**：CPU1 の CSleep モード時の Quad SPI メモリインタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：QUADSPI クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：QUADSPI クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

8.4.26 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効レジスタ 1（RCC_APB1SMENR1）

アドレス：0x078

リセット値：0x85A0：4E01

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1SMEN	Res.	Res.	Res.	Res.	USBSMEN	Res.	CRSSMEN	I2C3SMEN	Res.	I2C1SMEN	Res.	Res.	Res.	Res.	Res.
rw					rw		rw	rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2SMEN	Res.	Res.	WWDGSMEN	RTCAPBSMEN	LCDSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2SMEN
	rw			rw	rw	rw									rw

ビット 31 **LPTIM1SMEN**：CPU1 の CSleep および CStop モード時の低電力タイマ 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：LPTIM1 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：LPTIM1 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 30:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **USBSMEN**：CPU1 の CSleep および CStop モード時の USB FS クロック有効化
ソフトウェアでセット／クリアされます。
0：USB FS バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります
1：USB FS バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CRSSMEN**：CPU1 の CSleep モード時の CRS クロック有効化
ソフトウェアでセット／クリアされます。
0：CRS クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：CRS クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 23 **I2C3SMEN**：CPU1 の CSleep および CStop モード時の I2C3 クロック有効化
ソフトウェアでセット／クリアされます。
0：I2C3 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：I2C3 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **I2C1SMEN**：CPU1 の CSleep および CStop モード時の I2C1 クロック有効化
ソフトウェアでセット／クリアされます。
0：I2C1 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：I2C1 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 20:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2SMEN**：CPU1 の CSleep モード時の SPI2 クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：SPI2 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：SPI2 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **WWDGSMEN**：CPU1 CSleep モード時ウィンドウ型ウォッチドッグクロック有効化
ソフトウェアでセット／クリアされます。このビットは、ハードウェア WWDG_SW オプションがリセットされた場合、ハードウェアで強制的に「1」になります。
0：ウィンドウ型ウォッチドッグクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：ウィンドウ型ウォッチドッグクロックは、CPU1 CSleep モード時はクロックゲーティングにより有効になり、CPU1 CStop モード時は無効になります。

ビット 10 **RTCAPBSMEN**：CPU1 の CSleep モード時の RTC バスクロック有効化
ソフトウェアでセット／クリアされます。
0：RTC バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：RTC バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 9 **LCDSMEN**：CPU1 の CSleep モード時の LCD クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：LCD クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：LCD クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 8:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2SMEN**：CPU1 の CSleep モード時の TIM2 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM2 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM2 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

8.4.27 SLEEP モードにおける RCC APB1 ペリフェラルクロック有効レジスタ 2（RCC_APB1SMENR2）

アドレスオフセット：0x07C

リセット値：0x0000 0021

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2SMEN	Res.	Res.	Res.	Res.	LPUART1SMEN
										rw					rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **LPTIM2SMEN**：CPU1 の CSleep および CStop モード時の低電力タイマ 2 クロック有効化
ソフトウェアでセット／クリアされます。
0：LPTIM2 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：LPTIM2 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1SMEN**：CPU1 の CSleep および CStop モード時の低電力 UART 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：LPUART1 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：LPUART1 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

8.4.28 SLEEP モードにおける RCC APB2 ペリフェラルクロック有効レジスタ（RCC_APB2SMENR）

アドレス：0x080

リセット値：0x0026 5800

アクセス：ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1SMEN	Res.	Res.	TIM17SMEN	TIM16SMEN	Res.
										rw			rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1SMEN	Res.	SPI1SMEN	TIM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw											

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **SAI1SMEN**：CPU1 の CSleep および CStop モード時の SAI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：SAI1 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：SAI1 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 20:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17SMEN**：CPU1 の CSleep モード時の TIM17 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM17 タイマクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM17 タイマクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 17 **TIM16SMEN**：CPU1 の CSleep モード時の TIM16 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM16 タイマクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM16 タイマクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1SMEN**：CPU1 の CSleep および CStop モード時の USART1 クロック有効化
ソフトウェアでセット／クリアされます。
0：USART1 バスクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：USART1 バスクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1SMEN**：CPU1 の CSleep モード時の SPI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：SPI1 クロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：SPI1 クロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 11 **TIM1SMEN**：CPU1 の CSleep モード時の TIM1 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM1 タイマクロックは、CPU1 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM1 タイマクロックは、CPU1 の CSleep モード時はクロックゲーティングによって有効、CPU1 の CStop モード時は無効になります。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

8.4.29 RCC ペリフェラル独立クロック設定レジスタ（RCC_CCIPR）

アドレス：0x088

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNGSEL[1:0]		ADCSEL[1:0]		CLK48SEL [1:0]		Res.	Res.	SAI1SEL[1:0]		LPTIM2SEL [1:0]		LPTIM1SEL[1:0]		I2C3SEL [1:0]	
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	I2C1SEL [1:0]		LPUART1SEL [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART1SEL [1:0]	
		rw	rw	rw	rw									rw	rw

ビット 31:30 **RNGSEL[1:0]**：RNG クロックソース選択

これらのビットは、ハードウェア乱数発生器で使用されるクロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：CLK48SEL で選択したクロックを使用します。

01：LSI クロックを選択します。

10：LSE クロックを選択します。

11：予約済みです。

ビット 29:28 **ADCSEL[1:0]**：ADC クロックソース選択

これらのビットは、ADC インタフェースで使用されるクロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：選択されたクロックがありません。

01：PLLSAI1「R」クロック（PLLSAI1RCLK）が ADC クロックとして選択されます。

10：PLL「P」クロック（PLLPCLK）が ADC クロックとして選択されます。

11：システムクロック（SYSCLK）が ADC クロックとして選択されます。

ビット 27:26 **CLK48SEL[1:0]**：48MHz クロックソース選択

これらのビットは、USB およびハードウェア乱数発生器で使用される 48 MHz クロックソースを選択するために、ソフトウェアによってセット／クリアされます。ハードウェア乱数発生器クロックソースの選択は、RNGSEL でも行います。

00：HSI48 クロックが 48 MHz クロックとして選択されます。

01：PLLSAI1「Q」クロック（PLLSAI1QCLK）が 48 MHz クロックとして選択されます。

10：PLL「Q」クロック（PLLQCLK）が 48 MHz クロックとして選択されます。

11：MSI クロックが 48 MHz クロックとして選択されます。

ビット 25:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:22 **SAI1SEL[1:0]**：SAI1 クロックソースの選択

これらのビットは、SAI1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PLLSAI1「P」クロック（PLLSAI1PCLK）が SAI1 クロックとして選択されます。

01：PLL「P」クロック（PLLPCLK）が SAI1 クロックとして選択されます。

10：HSI16 クロックが SAI1 クロックとして選択されます。

11：外部入力 SAI1_EXTCLK が SAI1 クロックとして選択されます。

注意： 選択されたクロックが外部クロックで、外部クロックが存在しない場合、別のクロックに切り替えできません。

ビット 21:20 **LPTIM2SEL[1:0]**：低電力タイマ 2 クロックソース選択

これらのビットは、LPTIM2 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が LPTIM2 クロックとして選択されます。

01：LSI クロックが LPTIM2 クロックとして選択されます。

10：HSI16 クロックが LPTIM2 クロックとして選択されます。

11：LSE クロックが LPTIM2 クロックとして選択されます。

ビット 19:18 **LPTIM1SEL[1:0]**：低電力タイマ 1 クロックソース選択

これらのビットは、LPTIM1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が LPTIM1 クロックとして選択されます。

01：LSI クロックが LPTIM1 クロックとして選択されます。

10：HSI16 クロックが LPTIM1 クロックとして選択されます。

11：LSE クロックが LPTIM1 クロックとして選択されます。

ビット 17:16 **I2C3SEL[1:0]**：I2C3 クロックソースの選択

これらのビットは、I2C3 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が I2C3 クロックとして選択されます。

01：システムクロック（SYSCLK）が I2C3 クロックとして選択されます。

10：HSI16 クロックが I2C3 クロックとして選択されます。

11：予約済みです。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **I2C1SEL[1:0]**：I2C1 クロックソースの選択

これらのビットは、I2C1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が I2C1 クロックとして選択されます。

01：システムクロック（SYSCLK）が I2C1 クロックとして選択されます。

10：HSI16 クロックが I2C1 クロックとして選択されます。

11：予約済み

ビット 11:10 **LPUART1SEL[1:0]**：LPUART1 クロックソースの選択

これらのビットは、LPUART1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が LPUART1 クロックとして選択されます。

01：システムクロック（SYSCLK）が LPUART1 クロックとして選択されます。

10：HSI16 クロックが LPUART1 クロックとして選択されます。

11：LSE クロックが LPUART1 クロックとして選択されます。

ビット 9:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **USART1SEL[1:0]**：USART1 クロックソースの選択

このビットは、USART1 クロックソースを選択するために、ソフトウェアによってセット／クリアされます。

00：PCLK が USART1 クロックとして選択されます。

01：システムクロック（SYSCLK）が USART1 クロックとして選択されます。

10：HSI16 クロックが USART1 クロックとして選択されます。

11：LSE クロックが USART1 クロックとして選択されます。

8.4.30 RCC バックアップドメイン制御レジスタ（RCC_BDCR）

アドレスオフセット：0x090

リセット値：0x0000 0000（バックアップドメインのパワーオンリセットでのみリセットされるLSCOSEL、LSCOEN、および BDRST を除き、バックアップドメインリセットでリセットされ、STANDBY およびシステムリセットからのウェイクアップではリセットされない）

アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス。
このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

注： **RCC バックアップドメイン制御レジスタ（RCC_BDCR）のビットは、V_{CORE} ドメイン外にあります。このため、リセット後、これらのビットは書込み保護されるので、これらを変更するには、PWR 制御レジスタ 1（PWR_CR1）の DBP ビットをセットする必要があります。詳細については、セクション 6.1.4:バッテリバックアップドメインを参照してください。これらのビット（LSCOSEL、LSCOEN、および BDRST を除く）は、バックアップドメインリセット後にのみリセットされます。内部または外部リセットは、これらのビットに影響しません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST
						rw	rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	Res.	Res.	Res.	Res.	Res.	RTCSEL[1:0]		Res.	LSECSSD	LSECSSON	LSEDRV[1:0]		LSEBYP	LSERDY	LSEON
rw						rw	rw		r	rw	rw	rw	rw	r	rw

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **LSCOSEL**：低速クロック出力選択
ソフトウェアでセット／クリアされます。
0：LSI クロックの選択
1：LSE クロックの選択

ビット 24 **LSCOEN**：低速クロック出力有効化
ソフトウェアでセット／クリアされます。
0：低速クロック出力（LSCO）は無効です。
1：低速クロック出力（LSCO）は有効です。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **BDRST**：バックアップドメインソフトウェアリセット
ソフトウェアでセット／クリアされます。
0：リセットは有効ではありません。
1：バックアップドメイン全体をリセットします。

ビット 15 **RTCEN**：RTC クロック有効化
ソフトウェアでセット／クリアされます。
0：RTC クロックを無効化
1：RTC クロック有効

ビット 14:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **RTCSEL[1:0]**：RTC クロックソース選択

RTC のクロックソースを選択するために、ソフトウェアによってセットされます。RTC クロックソースが選択されると、バックアップドメインがリセットされた場合や、LSE で障害が検出された（LSECSSD がセットされている）場合以外は変更できません。BDRST ビットを使用して、リセットできます。

00：クロックなし。

01：LSE オシレータクロックが RTC クロックとして使用されます。

10：LSI オシレータクロックが RTC クロックとして使用されます。

11：32 分周された HSE オシレータクロックが RTC クロックとして使用されます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LSECSSD**：LSE 障害検出の CSS

外部 32 kHz オシレータ（LSE）のクロックセキュリティシステムによって障害が検出されたときに、ハードウェアによってセットされます。

0：LSE（32 kHz オシレータ）に障害が検出されません。

1：LSE（32 kHz オシレータ）に障害が検出されました。

ビット 5 **LSECSSON**：LSE イネーブルの CSS

LSE（32 kHz オシレータ）のクロックセキュリティシステムを有効にするために、ソフトウェアによってセットされます。

LSECSSON は、LSE オシレータを有効（LSEON ビットを有効化）かつレディ状態（ハードウェアで LSERDY フラグをセット）にし、RTCSEL ビットを選択した後で、有効にする必要があります。

このビットは、一度有効にすると、LSE の障害検出
（LSECSSD = 1）の後を除き、無効にすることはできません。この場合、LSECSSON ビットをソフトウェアで無効にする必要があります。

0：LSE （32 kHz 外部オシレータ）の CSS オフ

1：LSE （32 kHz 外部オシレータ）の CSS オン

ビット 4:3 **LSEDRV[1:0]**：LSE オシレータの駆動能力

LSE オシレータの駆動能力を変調するためにソフトウェアによってセットされます。

00：「Xtal モード」低駆動

01：「Xtal モード」中低駆動

10：「Xtal モード」中高駆動

11：「Xtal モード」高駆動

オシレータは、バイパスモードでない場合、Xtal モードです。

ビット 2 **LSEBYP**：LSE オシレータバイパス

オシレータをバイパスするために、ソフトウェアによってセット／クリアされます。このビットに書き込めるのは、外部 32 kHz オシレータが無効なときだけです（LSEON = 0 および LSERDY = 0）。

0：LSE オシレータはバイパスされません。

1：LSE オシレータはバイパスされます。

ビット 1 **LSERDY**：LSE オシレータはレディ状態です。

外部 32 kHz オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSEON ビットがクリアされた後、LSERDY は、外部低速オシレータクロックの 6 サイクル後にローになります。

0：LSE オシレータはレディ状態ではありません。

1：LSE オシレータはレディ状態です。

ビット 0 **LSEON**：LSE オシレータイネーブル

ソフトウェアでセット／クリアされます。

0：LSE オシレータオフ

1：LSE オシレータオン

8.4.31 RCC 制御／ステータスレジスタ（RCC_CSR）

アドレス：0x094

リセット値：0x0C00 0000（システムリセットによってリセット。POR のみによるリセットフラグを除く。STANDBY からのウェイクアップによってリセットされない）

アクセス：0 ≤ ウェイトステート ≤ 3、ワード、ハーフワード、およびバイトアクセス

このレジスタへの連続したアクセスの場合、ウェイトステートが挿入されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWRRSTF	WWDGRSTF	IWWGRSTF	SFTRSTF	BORRSTF	PINRSTF	OBLRSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	RFRSTS
r	r	r	r	r	r	r		rw							r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RFWKPSEL[1:0]		Res.	Res.	LSI2TRIM [3:0]				Res.	Res.	Res.	Res.	LSI2RDY	LSI2オン	LSI1RDY	LSI1オン
rw	rw			rw	rw	rw	rw					r	rw	r	rw

ビット 31 **LPWRRSTF**：低電力リセットフラグ

STOP、STANDBY または SHUTDOWN モードへの不正な移行によってリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：不正なモードリセットは発生していません。

1：不正なモードリセットが発生しました。

ビット 30 **WWDGRSTF**：ウィンドウ型ウォッチドッグリセットフラグ

ウィンドウ型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ウィンドウ型ウォッチドッグリセットは発生していません。

1：ウィンドウ型ウォッチドッグリセットが発生しました。

ビット 29 **IWDGRSTF**：独立型ウィンドウウォッチドッグリセットフラグ

独立型ウォッチドッグリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：独立型ウォッチドッグリセットは発生していません。

1：独立型ウォッチドッグリセットが発生しました。

ビット 28 **SFTRSTF**：ソフトウェアリセットフラグ

ソフトウェアリセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：ソフトウェアリセットは発生していません。

1：ソフトウェアリセットが発生しました。

ビット 27 **BORRSTF**：BOR フラグ

BOR が発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：BOR は発生していません。

1：BOR が発生しました。

ビット 26 **PINRSTF**：ピンリセットフラグ

NRST ピンに外部リセット信号が入力され、リセットが発生したときに、ハードウェアによってセットされます。

RMVF ビットに書き込むことによってクリアされます。

0：NRST ピンからのリセットは発生していません。

1：NRST ピンからリセットが発生しました。

ビット 25 **OBLRSTF**：オプションバイトローダリセットフラグ
オプションバイトローディングからリセットが発生したときに、ハードウェアによってセットされます。RMVF ビットに書き込むことによってクリアされます。
0：オプションバイトローディングからのリセットは発生していません。
1：オプションバイトローディングからのリセットが発生しました。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **RMVF**：リセットフラグ解除
リセットフラグをクリアするために、ソフトウェアによってセットされます。
0：影響なし。
1：リセットフラグをクリアします。

ビット 22:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **RFRSTS**：無線システム BLE および 802.15.4 のリセットステータス
ハードウェアでセット／クリアされます。
0：無線システム BLE および 802.15.4 はリセット中ではありません。無線システムにアクセスできます。
1：無線システム BLE および 802.15.4 はリセット中です。無線システムにアクセスできません。

ビット 15:14 **RFWKPSEL[1:0]**：RF システムウェイクアップクロックソースの選択
RF システムウェイクアップロジックのクロックソースを選択するために、ソフトウェアによってセットされます。
00：クロックなし。
01：LSE オシレータクロックが RF システムウェイクアップクロックとして使用されます。
10：予約済みです。
11：1024 分周された HSE オシレータクロックが RF システムウェイクアップクロックとして使用されます。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **LSI2TRIM[3:0]**：LSI2 オシレータのトリミング。
注： LSI2TRIM は、LSI2 が無効（LSI2ON = 0）の場合にのみ変更する必要があります。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **LSI2RDY**：LSI2 オシレータはレディ状態です。
LSI2 オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSI2ON ビットがクリアされた後、LSI2RDY は、LSI2 オシレータクロックの 3 サイクル後にローになります。
0：LSI2 オシレータはレディ状態ではありません。
1：LSI2 オシレータはレディ状態です。

ビット 2 **LSI2ON**：LSI2 オシレータの有効化と選択
ソフトウェアでセット／クリアされます。
0：LSI2 オシレータオフ（LSI 上で LSI1 を選択）
1：LSI2 オシレータオン（LSI でレディ選択時は LSI2）

ビット 1 **LSI1RDY**：LSI1 オシレータはレディ状態です。
LSI1 オシレータが安定していることを示すために、ハードウェアによってセット／クリアされます。LSI1ON ビットがクリアされた後、LSI1RDY は、LSI1 オシレータクロックの 3 サイクル後にローになります。このビットは、LSI1 が LSE のクロックセキュリティシステムによってリクエストされたときに LSI1ON = 0 であっても、独立型ウォッチドッグまたは RTC でセットできます。
0：LSI1 オシレータはレディ状態ではありません。
1：LSI1 オシレータはレディ状態です。

ビット 0 **LSI1ON**：LSI1 オシレータ有効化
ソフトウェアでセット／クリアされます。
0：LSI1 オシレータオフ
1：LSI1 オシレータオン

8.4.32 RCC クロックリカバリ RC レジスタ（RCC_CRRCR）

アドレス：0x098

リセット値：0x0000 XXX0（X は出荷時にプログラムされます）。

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HSI48CAL [8:0]									Res.	Res.	Res.	Res.	Res.	HSI48 RDY	HSI48 オン
r	r	r	r	r	r	r	r	r						r	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:7 **HSI48CAL[8:0]**：HSI48 クロック較正

これらのビットは起動時に、出荷時にプログラムされた HSI48 較正トリミング値で初期化されます。これらは読出し専用です。

ビット 6:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **HSI48RDY**：HSI48 クロックレディフラグ

HSI48 オシレータが安定していることを示すために、ハードウェアによってセットされます。このビットは、HSI48 が有効になった場合のみソフトウェアによってHSI48ON をセットします。

0：HSI48 オシレータはレディ状態ではありません。

1：HSI48 オシレータはレディ状態です。

ビット 0 **HSI48ON**：HSI48 クロック有効化

ソフトウェアでセット／クリアされます。

STOP、STANDBY または SHUTDOWN モードに移行するときに、HSI48 を停止するためにハードウェアによってクリアされます。

0：HSI48 オシレータオフ

1：HSI48 オシレータオン

8.4.33 RCC クロック HSE レジスタ（RCC_HSECR）

アドレス：0x09C

リセット値：0x0000 0030 （システムリセットによってリセットされ、STANDBY からのウェイクアップによってリセットされない）

アクセス：書込みアクセスは保護されています。レジスタをアンロックするには、ソフトウェアでこのレジスタにワードアクセスとして KEY（0xCAFE CAFE）を書き込む必要があります。アンロックすると、レジスタに対して 1 回の書込みアクセス（ワード、ハーフワード、またはバイト）を実行できます。その後、再びロックされます。ウェイト状態なし。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	HSETUNE[5:0]						Res.	HSEGMC[2:0]			HSES	Res.	Res.	UNLOCKED
		r	r	r	r	r	r		rw	rw	rw	rw			r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:8 **HSETUNE[5:0]**：HSE コンデンサの調整
ソフトウェアで変更できます。HSE がオンのときは変更しないでください。
0x00：最小負荷容量
0x3F 最大負荷容量

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **HSEGMC[2:0]**：HSE 電流制御
ソフトウェアで変更できます。HSE がオンのときは変更しないでください。
000：最大電流制限 0.18 mA/V
001：最大電流制限 0.57 mA/V
010：最大電流制限 0.78 mA/V
011：最大電流制限 1.13 mA/V
100：最大電流制限 0.61 mA/V
101：最大電流制限 1.65 mA/V
110：最大電流制限 2.12 mA/V
111：最大電流制限 2.84 mA/V

注： HSEGMC 値は g_{mcrit} より大きくなければなりません。この値は、www.st.com から入手可能な AN2867「STM8S, STM8A、および STM32 マイクロコントローラ用発振器設計ガイド」に従って計算する必要があります。

ビット 3 **HSES**：HSE センスアンプ閾値
ソフトウェアで変更できます。HSE がオンのときは変更しないでください。
0：HSE バイアス電流係数 1/2
1：HSE バイアス電流係数 3/4

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **UNLOCKED**：HSE クロック制御レジスタのアンロック
ハードウェアでセット／クリアされます。
0：レジスタがロックされているか、キーがまだプログラムされていない、もしくはレジスタへの書込みアクセスが実行されました。
1：レジスタをアンロックします。キー 0xCAFE CAFE は、このレジスタをアンロックするために書き込まれ、単一データ書込みを有効にします。

8.4.34 RCC 拡張クロックリカバリレジスタ（RCC_EXTCFGR）

アドレス：0x108

リセット値：0x0003 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFCSS	Res.	Res.	C2HPREF	SHDHPREF
											r			r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2HPRE [3:0]				SHDHPRE[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **RFCSS**：無線システム HCLK5 および APB3 が選択されたクロックソースの表示

無線システム HCLK5 および APB3 クロックに選択されたクロックソースを示すために、ハードウェアによってセット／リセットされます。

0：無線システム HCLK5 および APB3 クロックに HSI16 を使用します。

1：無線システム HCLK5 および APB3 クロックに 2 分周された HSE を使用します。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **C2HPREF**：HCLK2 プリスケーラフラグ（CPU2）

HCLK2 プリスケーラプログラムに確認応答するために、ハードウェアでセット／リセットされます。

新しいプリスケーラの値が C2HPRE にプログラムされたときにリセットされます。プログラムされた値が実際に適用されたときにセットされます。

0：HCLK2 プリスケーラ値はまだ適用されません。

1：HCLK2 プリスケーラの値が適用されます。

ビット 16 **SHDHPREF**：HCLK4 共有プリスケーラフラグ（AHB4、Flashメモリ、および SRAM2）

HCLK4 共有プリスケーラプログラムを確認応答するために、ハードウェアでセット／リセットされます。

新しいプリスケーラの値が SHDHPRE にプログラムされたときにリセットされます。プログラムされた値が実際に適用されたときにセットされます。

0：HCLK4 プリスケーラ値はまだ適用されません。

1：HCLK4 プリスケーラの値が適用されます。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **C2HPRE[3:0]**：HCLK2 プリスケーラ（CPU2）

HCLK2 クロック（CPU2）の分周比を制御するために、ソフトウェアによってセット／クリアされます。
プログラムされた C2HPRE プリスケーラ値が適用されたかどうかは、C2HPREF フラグで確認できます。

注意： デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しく設定し、システム周波数が最大許容周波数を超えないようにします（詳細については、セクション 6.1.6：ダイナミック電圧スケーリングの管理を参照）。これらのビットの書込み動作後、電圧レンジを下げる前に、レジスタビット C2HPREF を読み出して新しい値が正しく反映されていることを確認する必要があります。

0001：SYSCLK は 3 分周されます。
0010：SYSCLK は 5 分周されます。
0101：SYSCLK は 6 分周されます。
0110：SYSCLK は 10 分周されます。
0111：SYSCLK は 32 分周されます。
1000：SYSCLK は 2 分周されます。
1001：SYSCLK は 4 分周されます。
1010：SYSCLK は 8 分周されます。
1011：SYSCLK は 16 分周されます。
1100：SYSCLK は 64 分周されます。
1101：SYSCLK は 128 分周されます。
1110：SYSCLK は 256 分周されます。
1111：SYSCLK は 512 分周されます。
その他：SYSCLK は分周されません。

ビット 3:0 **SHDHPRE[3:0]**：HCLK4 共有プリスケーラ（AHB4、Flashメモリ、および SRAM2）

HCLK4 共有クロック（AHB1、Flashメモリ、および SRAM2）の分周比を制御するために、ソフトウェアによってセット／クリアされます。
プログラムされた SHDHPRE プリスケーラ値が適用されたかどうかは、SHDHPREF フラグで確認できます。

注意： デバイスの電圧レンジに応じて、ソフトウェアではこれらのビットを正しく設定し、システム周波数が最大許容周波数を超えないようにします（詳細については、セクション 6.1.6：ダイナミック電圧スケーリングの管理を参照）。これらのビットの書込み動作後、電圧レンジを下げる前に、レジスタビット SHDHPRE を読み出して新しい値が正しく反映されていることを確認する必要があります。

0001：SYSCLK は 3 分周されます。
0010：SYSCLK は 5 分周されます。
0101：SYSCLK は 6 分周されます。
0110：SYSCLK は 10 分周されます。
0111：SYSCLK は 32 分周されます。
1000：SYSCLK は 2 分周されます。
1001：SYSCLK は 4 分周されます。
1010：SYSCLK は 8 分周されます。
1011：SYSCLK は 16 分周されます。
1100：SYSCLK は 64 分周されます。
1101：SYSCLK は 128 分周されます。
1110：SYSCLK は 256 分周されます。
1111：SYSCLK は 512 分周されます。
その他：SYSCLK は分周されません。

8.4.35 RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ（RCC_C2AHB1ENR）

アドレスオフセット：0x148

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCEN
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRCEN	Res.	Res.	SRAM1EN	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1EN	DMA2EN	DMA1EN
			rw			rw							rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TSCEN**：CPU2 タッチセンシングコントローラクロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU2 の TSC クロック無効
1：CPU2 の TSC クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCEN**：CPU2 CRC クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の CRC クロック無効
1：CPU2 の CRC クロック有効

ビット 11:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **SRAM1EN**：CPU2 SRAM1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の SRAM1 クロック無効
1：CPU2 の SRAM1 クロック有効

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1**：CPU2 DMAMUX1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の DMAMUX1 クロック無効
1：CPU2 の DMAMUX1 クロック有効

ビット 1 **DMA2EN**：CPU2 DMA2 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の DMA2 クロック無効
1：CPU2 の DMA2 クロック有効

ビット 0 **DMA1EN**：CPU2 DMA1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の DMA1 クロック無効
1：CPU2 の DMA1 クロック有効

8.4.36 RCC CPU2 AHB2 ペリフェラルクロック有効レジスタ（RCC_C2AHB2ENR）

アドレスオフセット：0x14C

リセット値：0x0000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1EN
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADCEN	Res.	Res.	Res.	Res.	Res.	GPIOHEN	Res.	Res.	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
		rw						rw			rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **AES1EN**：CPU2 AES1 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の AES クロック無効
1：CPU2 の AES クロック有効

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ADCEN**：ADC クロックの有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の ADC バスとカーネルクロックを無効にします。
1：CPU2 の ADC バスとカーネルクロックを有効にします。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHEN**：CPU2 IO ポート H クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート H クロック無効
1：CPU2 の IO ポート H クロック有効

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **GPIOEEN**：CPU2 IO ポート E クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート E クロック無効
1：CPU2 の IO ポート E クロック有効

ビット 3 **GPIODEN**：CPU2 の IO ポート D クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート D クロック無効
1：CPU2 の IO ポート D クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 2 **GPIOCEN**：CPU2 IO ポート C クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート C クロック無効
1：CPU2 の IO ポート C クロック有効

ビット 1 **GPIOBEN**：CPU2 IO ポート B クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート B クロック無効
1：CPU2 の IO ポート B クロック有効

ビット 0 **GPIOAEN**：CPU2 IO ポート A クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IO ポート A クロック無効
1：CPU2 の IO ポート A クロック有効

8.4.37 RCC CPU2 AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_C2AHB3ENR）

アドレスオフセット：0x150

リセット値：0x0208 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FLASHEN	Res.	Res.	Res.	Res.	IPCCEN	HSEMEN	RNGEN	AES2EN	PKAEN
						rw					rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHEN**：CPU2 Flashインタフェースクロック有効化
このビットは、Flashがパワーダウンした場合にのみクリアできます。ソフトウェアでセット／クリアされます。
0：CPU2 のFlashインタフェースクロック無効
1：CPU2 のFlashインタフェースクロック有効

ビット 24:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **IPCCEN**：CPU2 IPCC インタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の IPCC クロック無効
1：CPU2 の IPCC クロック有効

ビット 19 **HSEMEN**：CPU2 HSEM クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の HSEM クロック無効
1：CPU2 の HSEM クロック有効

ビット 18 **RNGEN**：CPU2 ハードウェア乱数発生器クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 のハードウェア乱数発生器バスおよびカーネルクロック無効
1：CPU2 のハードウェア乱数発生器バスおよびカーネルクロック有効

ビット 17 **AES2EN**：CPU2 AES2 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の AES2 クロック無効
1：CPU2 の AES2 クロック有効

ビット 16 **PKAEN**：CPU2 PKA アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の PKA クロック無効
1：CPU2 の PKA クロック有効

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

8.4.38 RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 1（RCC_C2APB1ENR1）

アドレス：0x158

リセット値：0x0000 0400

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 EN	Res.	Res.	Res.	Res.	USB EN	Res.	CRS EN	I2C3 EN	Res.	I2C1 EN	Res.	Res.	Res.	Res.	Res.
rw					rw		rw	rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2 EN	Res.	Res.	Res.	RTCAPB EN	LCD EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2 EN
	rw				rw	rw									rw

ビット 31 **LPTIM1EN**：CPU2 低電力タイマ 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の LPTIM1 バスおよびカーネルクロック無効
1：CPU2 の LPTIM1 バスおよびカーネルクロック有効

ビット 30:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **USBEN**：CPU2 USB FS クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の USB FS バスおよびカーネルクロック無効
1：CPU2 の USB FS バスおよびカーネルクロック有効

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CRSEN**：CPU2 CRS クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の CRS クロック無効
1：CPU2 の CRS クロック有効

ビット 23 **I2C3EN**：CPU2 I2C3 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の I2C3 バスおよびカーネルクロック無効
1：CPU2 の I2C3 バスおよびカーネルクロック有効

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **I2C1EN**：CPU2 I2C1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の I2C1 バスおよびカーネルクロック無効
1：CPU2 の I2C1 バスおよびカーネルクロック有効

ビット 20:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2EN**：CPU2 の SPI2 クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU2 の SPI2 クロック無効
1：CPU2 の SPI2 クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 13:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **RTCAPBEN**：CPU2 RTC APB クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の RTC APB クロック無効
1：CPU2 の RTC APB クロック有効

ビット 9 **LCDEN**：CPU2 の LCD クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0：CPU2 の LCD クロック無効
1：CPU2 の LCD クロック有効
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 8:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2EN**：CPU2 TIM2 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の TIM2 クロック無効
1：CPU2 の TIM2 クロック有効

8.4.39 RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 2（RCC_C2APB1ENR2）

アドレスオフセット：0x15C

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2EN	Res.	Res.	Res.	Res.	LPUART1EN
										rw					rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **LPTIM2EN**：CPU2 低電力タイマ 2 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の LPTIM2 バスおよびカーネルクロック無効
1：CPU2 の LPTIM2 バスおよびカーネルクロック有効

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1EN**：CPU2 低電力 UART 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の LPUART1 バスおよびカーネルクロック無効
1：CPU2 の LPUART1 バスおよびカーネルクロック有効

8.4.40 RCC CPU2 APB2 ペリフェラルクロック有効レジスタ（RCC_C2APB2ENR）

アドレス：0x160

リセット値：0x0000 0000

アクセス：ワード、ハーフワード、およびバイトアクセス

注： **ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1EN	Res.	Res.	TIM17EN	TIM16EN	Res.
										rw			rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1EN	Res.	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw											

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **SAI1EN**：CPU2 SAI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の SAI1 バスおよびカーネルクロック無効
1：CPU2 の SAI1 バスおよびカーネルクロック有効

ビット 20:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17EN**：CPU2 TIM17 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の TIM17 タイマクロック無効
1：CPU2 の TIM17 タイマクロック有効

ビット 17 **TIM16EN**：CPU2 TIM16 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の TIM16 タイマクロック無効
1：CPU2 の TIM16 タイマクロック有効

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1EN**：CPU2 UFSART1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の USART1 バスおよびカーネルクロック無効
1：CPU2 の USART1 バスおよびカーネルクロック有効

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1EN**：CPU2 SPI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の SPI1 クロック無効
1：CPU2 の SPI1 クロック有効

ビット 11 **TIM1EN**：CPU2 TIM1 タイマクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の TIM1 タイマクロック無効
1：CPU2 の TIM1P タイマクロック有効

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

8.4.41 RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3ENR）

アドレスオフセット：0x164

リセット値：0x00000 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

注： ペリフェラルクロックがアクティブでない場合、CPU2 からのペリフェラルレジスタの読出し／書込みアクセスはサポートされません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	802EN	BLEEN
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **802EN**：CPU2 802.15.4 インタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の 802.15.4 クロック無効
1：CPU2 の 802.15.4 クロック有効

ビット 0 **BLEEN**：CPU2 BLE インタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：CPU2 の BLE クロック無効
1：CPU2 の BLE クロック有効

8.4.42 SLEEP モードにおける RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ（RCC_C2AHB1SMENR）

アドレスオフセット：0x168

リセット値：0x0001 1007

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSC SMEN
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC SMEN	Res.	Res.	SRAM1 SMEN	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1 SMEN	DMA2 SMEN	DMA1 SMEN
			rw			rw							rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TSCSMEN**：CPU2 CSleep モード時のタッチセンシングコントローラクロック有効化（STM32WB55xx のみ）

ソフトウェアでセット／クリアされます。

0 : TSC クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : TSC クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CRCSMEN**：CPU2 の CSleep モード時の CRC クロック有効化

ソフトウェアでセット／クリアされます。

0 : CRC クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : CRC クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 11:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **SRAM1SMEN**：CPU2 の CSleep モード時 SRAM1 インタフェースクロック有効

ソフトウェアでセット／クリアされます。

0 : SRAM1 インタフェースクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : SRAM1 インタフェースクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CStop モード時は無効になります。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DMAMUX1SMEN**：CPU2 の CSleep モード時の DMAMUX1 クロック有効化

SLEEP モード時、ソフトウェアによってセット／クリアされます。

0 : DMAMUX1 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : DMAMUX1 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 1 **DMA2SMEN**：CPU2 の CSleep モード時の DMA2 クロック有効化
SLEEP モード時、ソフトウェアによってセット／クリアされます。
0：DMA2 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：DMA2 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 0 **DMA1SMEN**：CPU2 の CSleep モード時の DMA1 クロック有効化
ソフトウェアでセット／クリアされます。
0：DMA1 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：DMA1 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

8.4.43 SLEEP モードにおける RCC CPU2 AHB2 ペリフェラルクロック有効レジスタ（RCC_C2AHB2SMENR）

アドレスオフセット：0x16C

リセット値：0x0001 209F

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1 SMEN
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADC SMEN	Res.	Res.	Res.	Res.	Res.	GPIOHS MEN	Res.	Res.	GPIOES MEN	GPIODS MEN	GPIOCS MEN	GPIOBS MEN	GPIOAS MEN
		rw						rw			rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **AES1SMEN**：CPU2 の CSleep モード時の AES1 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：AES1 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：AES1 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ADCSMEN**：CPU2 の CSleep および CStop モード時の ADC クロック有効化
ソフトウェアでセット／クリアされます。
0：ADC バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：ADC バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 12:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **GPIOHSMEN**：CPU2 の CSleep モード時の IO ポート H クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート H クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート H クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **GPIOESMEN**：CPU2 の CSleep モード時の IO ポート E クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート E クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート E クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 3 **GPIODSMEN**：CPU2 の CSleep モード時の IO ポート D クロック有効化（STM32WB55xx のみ）
ソフトウェアでセット／クリアされます。
0 : IO ポート D クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート D クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。
このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 2 **GPIOCSMEN**：CPU2 の CSleep モード時の IO ポート C クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート C クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート C クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 1 **GPIOBSMEN**：CPU2 の CSleep モード時の IO ポート B クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート B クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート B クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 0 **GPIOASMEN**：CPU2 の CSleep モード時の IO ポート A クロック有効化
ソフトウェアでセット／クリアされます。
0 : IO ポート A クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1 : IO ポート A クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

8.4.44 SLEEP モードにおける RCC CPU2 AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_C2AHB3SMENR）

アドレスオフセット：0x170

リセット値：0x0307 0000

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	FlashSMEN	SRAM2SMEN	Res.	Res.	Res.	Res.	Res.	RNGSMEN	AES2SMEN	PKASMEN
						rw	rw						rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **FLASHSMEN**：CPU2 の CSleep モード時の Flashメモリインタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：Flashメモリインタフェースクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：Flashメモリインタフェースクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 24 **SRAM2SMEN**：CPU2 の CSleep モード時の SRAM2a および SRAM2b インタフェースクロック有効化
ソフトウェアでセット／クリアされます。
0：SRAM2 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：SRAM2 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 23:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **RNGSMEN**：CPU2 の CSleep および CStop モード時のハードウェア乱数発生器クロック有効化
ソフトウェアでセット／クリアされます。
0：ハードウェア乱数発生器バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：ハードウェア乱数発生器バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 17 **AES2SMEN**：CPU2 の CSleep モード時の AES2 アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：AES2 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：AES2 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 16 **PKASMEN**：CPU2 の CSleep モード時の PKA アクセラレータクロック有効化
ソフトウェアでセット／クリアされます。
0：PKA クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：PKA クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

8.4.45 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 1（RCC_C2APB1SMENR1）

アドレス：0x178

リセット値：0x85A0 4601

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1SMEN	Res.	Res.	Res.	Res.	USBSMEN	Res.	CRSSMEN	I2C3SMEN	Res.	I2C1SMEN	Res.	Res.	Res.	Res.	Res.
rw					rw		rw	rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2SMEN	Res.	Res.	Res.	RTCAPBSMEN	.LCDSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2SMEN
	rw				rw	rw									rw

ビット 31 **LPTIM1SMEN**：CPU2 の CSleep および CStop モード時の低電力タイマ 1 クロック有効化
ソフトウェアでセット／クリアされます。
0：LPTIM1 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：LPTIM1 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 30:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **USBSMEN**：CPU2 の CSleep および CStop モード時の USB FS クロック有効化
ソフトウェアでセット／クリアされます。
0：USB FS バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：USB FS バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CRSSMEN**：CPU2 の CSleep モード時の CRS クロック有効化
ソフトウェアでセット／クリアされます。
0：CRS クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：CRS クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 23 **I2C3SMEN**：CPU2 の CSleep および CStop モード時の I2C3 クロック有効化
ソフトウェアでセット／クリアされます。
0：I2C3 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：I2C3 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **I2C1SMEN**：CPU2 の CSleep および CStop モード時の I2C1 クロック有効化
ソフトウェアでセット／クリアされます。
0：I2C1 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：I2C1 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 20:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **SPI2SMEN**：CPU2 CSleep モード時 SPI2 クロック有効化（STM32WB55xx のみ）

ソフトウェアでセット／クリアされます。

0 : SPI2 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : SPI2 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 13:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **RTCAPBSMEN**：CPU2 の CSleep モード時の RTC バスクロック有効化

ソフトウェアでセット／クリアされます。

0 : RTC バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります

1 : RTC バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 9 **LCDSMEN**：CPU2 の CSleep モード時の LCD クロック有効化（STM32WB55xx のみ）

ソフトウェアでセット／クリアされます。

0 : LCD クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : LCD クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

このビットは、STM32WB35xx では予約済みであることに注意してください。

ビット 8:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **TIM2SMEN**：CPU2 の CSleep モード時の TIM2 タイマークロック有効化

ソフトウェアでセット／クリアされます。

0 : TIM2 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : TIM2 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

8.4.46 SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 2（RCC_C2APB1SMENR2）

アドレスオフセット：0x17C

リセット値：0x0000 0021

アクセス：ノーウェイトステート、ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2SMEN	Res.	Res.	Res.	Res.	LPUART1SMEN
										rw					rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **LPTIM2SMEN**：CPU2 の CSleep および CStop モード時の低電力タイマ 2 クロック有効化

ソフトウェアでセット／クリアされます。

0：LPTIM2 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：LPTIM2 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 4:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **LPUART1SMEN**：CPU2 の CSleep および CStop モード時の低電力 UART 1 クロック有効化

ソフトウェアでセット／クリアされます。

0：LPUART1 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1：LPUART1 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

8.4.47 SLEEP モードにおける RCC CPU2 APB2 ペリフェラルクロック有効レジスタ（RCC_C2APB2SMENR）

アドレス：0x180

リセット値：0x0026 5800

アクセス：ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1 SMEN	Res.	Res.	TIM17 SMEN	TIM16 SMEN	Res.
										rw			rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	USART1 SMEN	Res.	SPI1 SMEN	TIM1SME N	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw		rw	rw											

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **SAI1SMEN**：CPU2 の CSleep および CStop モード時の SAI1 クロック有効化
ソフトウェアでセット／クリアされます。
0：SAI1 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：SAI1 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 20:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **TIM17SMEN**：CPU2 の CSleep モード時の TIM17 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM17 タイマクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM17 タイマクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 17 **TIM16SMEN**：CPU2 の CSleep モード時の TIM16 タイマークロック有効化
ソフトウェアでセット／クリアされます。
0：TIM16 タイマクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：TIM16 タイマクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **USART1SMEN**：CPU2 の CSleep および CStop モード時の USART1 クロック有効化
ソフトウェアでセット／クリアされます。
0：USART1 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。
1：USART1 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **SPI1SMEN**：CPU2 の CSleep モード時の SPI1 クロック有効化

ソフトウェアでセット／クリアされます。

0 : SPI1 クロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : SPI1 クロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 11 **TIM1SMEN**：CPU2 の CSleep モード時の TIM1 タイマークロック有効化

ソフトウェアでセット／クリアされます。

0 : TIM1 タイマクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : TIM1 タイマクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

8.4.48 SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3SMENR）

アドレスオフセット：0x184

リセット値：0x00000 0003

アクセス：ワード、ハーフワード、およびバイトアクセス

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	802SMEN	BLESMEN
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **802SMEN**：CPU2 の CSleep モード時の 802.15.4 インタフェースバスクロック有効化

ソフトウェアでセット／クリアされます。

0 : 802.15.4 バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : 802.15.4 バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

ビット 0 **BLESMEN**：CPU2 の CSleep モード時の BLE インタフェースバスクロック有効化

ソフトウェアでセット／クリアされます。

0 : BLE バスクロックは、CPU2 の CSleep モードおよび CStop モード時はクロックゲーティングによって無効になります。

1 : BLE バスクロックは、CPU2 の CSleep モード時はクロックゲーティングによって有効、CPU2 の CStop モード時は無効になります。

注： BLE インタフェースバスクロックは、BLE IP 自体によっても有効になります。

8.4.49 RCC レジスタマップ

次の表に、RCC レジスタマップとリセット値を示します。

表 42. RCC レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RCC_CR	Res.	Res.	Res.	Res.	PLLSAI1RDY	PLLSAI1ON	PLLRDY	PLLON	Res.	Res.	Res.	HSEPRE	CSSON	Res.	HSERDY	HSEON	Res.	Res.	Res.	HSIKERDY	HSIASFS	HSIRDY	HSIKERON	HSION	MSIRANGE [3:0]				Res.	MSIPLLEN	MSIRDY	MSION
	リセット値					0	0	0	0				0	0		0	0				0	0	0	0	0	0	1	1	0		0	0	1
0x004	RCC_ICSCR	Res	HSITRIM[6:0]							HSICAL[7:0]								MSITRIM[7:0]								MSICAL[7:0]							
	リセット値		1	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x
0x008	RCC_CFGR	Res.	MCOPRE [2:0]			MCOSEL[3:0]				Res.	Res.	Res.	Res.	Res.	PPRE2F	PPRE1F	HPREF	STOPWUCK	Res.	PPRE2 [2:0]			PPRE1 [2:0]			HPRE[3:0]				SWS [1:0]		SW [1:0]	
	リセット値		0	0	0	0	0	0	0						1	1	1	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	RCC_PLLCFGR	PLLR[2:0]			PLLREN	PLLQ[2:0]			PLLQEN	Res.	Res.	PLLP[4:0]					PLLPEN	Res.	PLLN[6:0]							Res.	PLLM[2:0]			Res.	Res.	PLLSRC [1:0]	
	リセット値	0	0	1	0	0	0	1	0			0	0	0	1	0	0		0	0	0	0	0	0	1		0	0	0			0	0
0x010	RCC_PLL SAI1CFGR	PLLR[2:0]			PLLREN	PLLQ[2:0]			PLLQEN	Res.	Res.	PLLP[4:0]					PLLPEN	Res.	PLLN[6:0]							Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	1	0	0	0	1	0			0	0	0	1	0	0		0	0	0	0	0	0	1								
0x014	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x018	RCC_CIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSI2RDYIE	HSI48RDYIE	LSECSSIE	Res.	Res.	PLLSAI1RDYIE	PLLRDYIE	HSERDYIE	HSIRDYIE	MSIRDYIE	LSERDYIE	LSI1RDYIE
	リセット値																					0	0	0			0	0	0	0	0	0	0
0x01C	RCC_CIFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSI2RDYF	HSI48RDYF	LSECSSF	CSSF	Res.	PLLSAI1RDYF.	PLLRDYF	HSERDYF	HSIRDYF	MSIRDYF	LSERDYF	LSI1RDYF
	リセット値																					0	0	0	0		0	0	0	0	0	0	0
0x020	RCC_CICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSI2RDYC	HSI48RDYC	LSECSSC	CSSC	Res.	PLLSAI1RDYC	PLLRDYC	HSERDYC	HSIRDYC	MSIRDYC	LSERDYC	LSI1RDYC
	リセット値																					0	0	0	0		0	0	0	0	0	0	0
0x024	RCC_SMPSCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SMPSSWS [1:0]		Res.	Res.	SMPSDIV [1:0]		Res.	Res.	SMPSSEL [1:0]	
	リセット値																							1	1			0	0			0	0
0x028	RCC_AHB1RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCRST	Res.	Res.	Res.	CRCRST.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1RST	DMA2RST	DMA1RST
	リセット値																0				0										0	0	0

表 42. RCC レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x02C	RCC_AHB2RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1RST	Res.	Res.	ADCRST.	Res.	Res.	Res.	Res.	Res.	GPIOHRST	Res.	Res.	GPIOERST	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
	リセット値																0			0						0			0	0	0	0	0
0x030	RCC_AHB3RSTR	Res.	Res.	Res.	Res.	Res.	Res.	FLASHRST	Res.	Res.	Res.	Res.	IPCCRST	HSEMRST	RNGRST	AES2RST	PKARST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	QUADSPIRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値							0					0	0	0	0	0								0								
0x034	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x038	RCC_APB1RSTR1	LPTIM1RST	Res.	Res.	Res.	Res.	USBRST	Res.	CRSRST	I2C3RST	Res.	I2C1RST	Res.	Res.	Res.	Res.	Res.	Res.	SPI2RST	Res.	Res.	Res.	Res.	LCDRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2RST
	リセット値	0					0		0	0		0							0					0									0
0x03C	RCC_APB1RSTR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2RST	Res.	Res.	Res.	Res.	LPUART1RST
	リセット値																											0					0
0x040	RCC_APB2RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1RST	Res.	Res.	TIM17RST	TIM16RST	Res.	Res.	USART1RST	Res.	SPI1RST	TIM1RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値											0			0	0			0		0	0											
0x044	RCC_APB3RSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFRST
	リセット値																																0
0x048	RCC_AHB1ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCEN.	Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1EN	DMA2EN	DMA1EN
	リセット値																0				0										0	0	0
0x04C	RCC_AHB2ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1EN	Res.	Res.	ADCEN	Res.	Res.	Res.	Res.	Res.	GPIOHEN	Res.	Res.	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
	リセット値																0			0						0			0	0	0	0	0
0x050	RCC_AHB3ENR	Res.	Res.	Res.	Res.	Res.	Res.	FlashEN	Res.	Res.	Res.	Res.	IPCCEN	HSEMEN	RNGEN	AES2EN	PKAEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	QUADSPIEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値							1					0	1	0	0	0								0								
0x054	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x058	RCC_APB1ENR1	LPTIM1EN	Res.	Res.	Res.	Res.	USBEN	Res.	CRSEN	I2C3EN	Res.	I2C1EN	Res.	Res.	Res.	Res.	Res.	Res.	SPI2EN	Res.	Res.	WWDGEN	RTCAPBEN	LCDEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2EN
	リセット値	0					0		0	0		0							0			0	1	0									0
0x05C	RCC_APB1ENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2EN	Res.	Res.	Res.	Res.	LPUART1EN
	リセット値																											0					0

表 42. RCC レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x060	RCC_APB2ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1EN	Res.	Res.	TIM17EN	TIM16EN	Res.	Res.	USART1EN	Res.	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値											0			0	0			0		0	0											
0x064	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x068	RCC_ AHB1SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCSMEN	Res.	Res.	Res.	CRCSMEN	Res.	Res.	SRAM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1SMEN	DMA2SMEN	DMA1SMEN
	リセット値																1				1			1							1	1	1
0x06C	RCC_ AHB2SMENR	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	AES1SMEN	Res.	Res.	ADCFSSMEN	Res.	Res	Res	Res.	Res.	GPIOHSMEN	Res	Res.	GPIOESMEN	GPIODSMEN	GPIOCSMEN	GPIOBSMEN	GPIOASMEN
	リセット値																1			1						1			1	1	1	1	1
0x070	RCC _AHB3SMENR	Res.	Res.	Res.	Res.	Res	Res.	FlashSMEN	SRAM2SMEN	Res.	Res.	Res.	Res	Res.	RNGSMEN	AES2SMEN	PKASMEN	Res.	Res.	Res.	Res	Res	Res	Res.	QUADSPISMEN	Res	Res	Res.	Res.	Res.	Res	Res	Res.
	リセット値							1	1						1	1	1								1								
0x074	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x078	RCC _APB1SMENR1	LPTIM1SMEN	Res.	Res.	Res.	Res.	USBSMEN	Res.	CRSSMEN	I2C3SMEN	Res.	I2C1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	SPI2SMEN	Res.	Res.	WWDGSMEN	RTCAPBSMEN	LCDSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2SMEN
	リセット値	1					1		1	1		1							1			1	1	1								1
0x07C	RCC _APB1SMENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2SMEN	Res.	Res.	Res.	Res.	LPUART1SMEN
	リセット値																											1					1
0x080	RCC_ APB2SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1SMEN	Res.	Res.	TIM17SMEN	TIM16SMEN	Res.	Res.	USART1SMEN	Res.	SPI1SMEN	TIM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値											1			1	1			1		1	1											
0x084	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x088	RCC_CCIPR	RNGSEL [1:0]		ADCSEL [1:0]		CLK48SEL [1:0]		Res.	Res.	SA1SEL [1:0]		LPTIM2SEL [1:0]		LPTIM1SEL [1:0]		I2C3SEL [1:0]		Res.	Res.	I2C1SEL [1:0]		LPUART1SEL [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART1SEL [1:0]	
	リセット値	0	0	0	0	0	0			0	0	0	0	0	0	0	0			0	0	0	0									0	0
0x08C	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x090	RCC_BDCR	Res.	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST	RTCEN	Res.	Res.	Res.	Res.	Res.	RTCSEL [1:0]		Res.	LSECSSD	LSECSSON	LSEDRV [1:0]		LSEBYP	LSERDY	LSEON
	リセット値							0	0								0	0						0	0		0	0	0	0	0	0	0

表 42. RCC レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x094	RCC_CSR	LPWRRSTF	WWDGRSTF	IWDGRSTF	SFTRSTF	BORRSTF	PINRSTF	OBLRSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	RFRSTS	RFWKPSEL [1:0].		Res.	Res.	LSI2TRIM [3:0]				Res.	Res.	Res.	LSI2RDY	LSI2ON	LSI1RDY	LSI1ON
	リセット値	0	0	0	0	1	1	0		0							0	0	0			0	0	0	0					0	0	0	0
0x098	RCC_CRRCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSI48CAL [8:0]									Res.	Res.	Res.	Res.	Res.	HSI48RDY	HSI48ON
	リセット値																	x	x	x	x	x	x	x	x	x						0	0
0x09C	RCC_HSECR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSETUNE[5:0]						Res.	HSEGMC [2:0]			HSES	Res.	Res.	UNLOCKED
	リセット値																			0	0	0	0	0	0	0	0	1	1	0	0	0	0
0x0A0 から 0x104	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x108	RCC_EXTCFGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RFCSS	Res.	Res.	C2HPREF	SHDHPREF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	C2HPRE[3:0]				SHDHPRE [3:0]			
	リセット値												0			1	1									0	0	0	0	0	0	0	0
0x10C から 0x144	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x148	RCC _C2AHB1ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCEN	Res.	Res.	Res.	CRCEN	Res.	Res.	SRAM1EN	Res.	Res.	Res.	Res.	Res.	DMAMUX1EN	DMA2EN	DMA1EN
	リセット値																0				0			0						0	0	0
0x14C	RCC _C2AHB2ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1EN	Res.	Res.	ADCEN	Res.	Res.	Res.	Res.	Res.	GPIOHEN	Res.	Res.	GPIOEEN	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
	リセット値																0			0						0			0	0	0	0	0
0x150	RCC _C2AHB3ENR	Res.	Res.	Res.	Res.	Res.	Res.	FlashEN	Res.	Res.	Res.	Res.	IPCCEN	HSEMEN	RNGEN	AES2EN	PKAEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値							1					0	1	0	0	0																
0x154	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x158	RCC _C2APB1ENR1	LPTIM1EN	Res.	Res.	Res.	Res.	USBEN	Res.	CRSEN	.I2C3EN	Res.	I2C1EN	Res.	Res.	Res.	Res.	Res.	Res.	SPI2EN	Res.	Res.	Res.	RTCAPBEN	LCDEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2EN
	リセット値	0					0		0	0		0							0				1	0								0
0x15C	RCC _C2APB1ENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2EN	Res.	Res.	Res.	Res.	LPUART1EN
	リセット値																											0					0
0x160	RCC _C2APB2ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1EN	Res.	Res.	TIM17EN	TIM16EN	Res.	Res.	USART1EN	Res.	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値											0			0	0			0		0	0											

表 42. RCC レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x164	RCC _C2APB3ENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	802EN	BLEEN
	リセット値																															0	0
0x168	RCC _C2AHB1SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSCSMEN	Res.	Res.	Res.	CRCSMEN	Res.	Res.	SRAM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	DMAMUX1SMEN	DMA2SMEN	DMA1SMEN
	リセット値																1				1			0							1	1	1
0x16C	RCC _C2AHB2SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES1SMEN	Res.	Res.	ADCSMEN	Res.	Res.	Res.	Res.	Res.	GPIOHSMEN	Res.	Res.	GPIOESMEN	GPIODSMEN	GPIOCSMEN	GPIOBSMEN	GPIOASMEN
	リセット値																1			1						1			1	1	1	1	1
0x170	RCC _C2AHB33MENR	Res.	Res.	Res.	Res.	Res.	Res.	FlashSMEN	SRAM2SMEN	Res.	Res.	Res.	Res.	Res.	RNGSMEN	AES2SMEN	PKASMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値							1	1						1	1	1																
0x174	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x178	RCC_C2 APB1SMENR1	LPTIM1SMEN	Res.	Res.	Res.	Res.	USBSMEN	Res.	CRSSMEN	I2C3SMEN	Res.	I2C1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	SPI2SMEN	Res.	Res.	Res.	RTCAPBSMEN	LCDSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	TIM2SMEN
	リセット値	1					1		1	1		1							1				1	1									1
0x17C	RCC_C2 APB1SMENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2SMEN	Res.	Res.	Res.	Res.	LPUART1SMEN
	リセット値																											1					1
0x180	RCC_C2 APB2SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SAI1SMEN	Res.	Res.	TIM17SMEN	TIM16SMEN	Res.	Res.	USART1SMEN	Res.	SPI1SMEN	TIM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値											1			1	1			1		1	1											
0x184	RCC_C2 APB3SMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	802SMEN	BLESMEN
	リセット値																															1	1
0x188 から 03FC	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

9 汎用 I/O（GPIO）

9.1 概要

各汎用 I/O ポートにはそれぞれ 4 つの 32 ビット設定レジスタ（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR）、2 つの 32 ビットデータレジスタ（GPIOx_IDR、GPIOx_ODR）、および 1 つの 32 ビットセット／リセットレジスタ（GPIOx_BSRR）があります。さらに、すべての GPIO には、それぞれ 32 ビットロックレジスタ（GPIOx_LCKR）と 2 つの 32 ビットオルタネート機能選択レジスタ（GPIOx_AFRH、GPIOx_AFRL）があります。

9.2 GPIO の主な機能

- 出力状態：プッシュプルまたはオープンドレイン + プルアップ／プルダウン
- 出力データレジスタ（GPIOx_ODR）またはペリフェラル（オルタネート機能出力）からの出力データ
- 各 I/O のスピード選択
- 入力状態：フローティング、プルアップ／プルダウン、アナログ
- 入力データレジスタ（GPIOx_IDR）またはペリフェラル（オルタネート機能入力）への入力データ
- GPIOx_ODR へのビット単位の書込みアクセス用のビットセット／リセットレジスタ（GPIOx_BSRR）
- I/O ポート設定を固定するロック機構（GPIOx_LCKR）
- アナログ機能
- オルタネート機能選択レジスタ
- 2 クロックサイクルで変化可能な高速トグル
- 柔軟性の高いピンの多重化により、I/O ピンを GPIO またはいくつかのペリフェラル機能の 1 つとして使用可能

9.3 GPIO の実装

表 43. GPIO の実装

機能	STM32WB55xx	STM32WB35xx
ポート A	0～15	0～15
ポート B	0～15	0～9
ポート C	0～15	14～15
ポート D	0～15	-
ポート E	0～4	4
ポート H	0～1、および 3	3

9.4 GPIO の機能説明

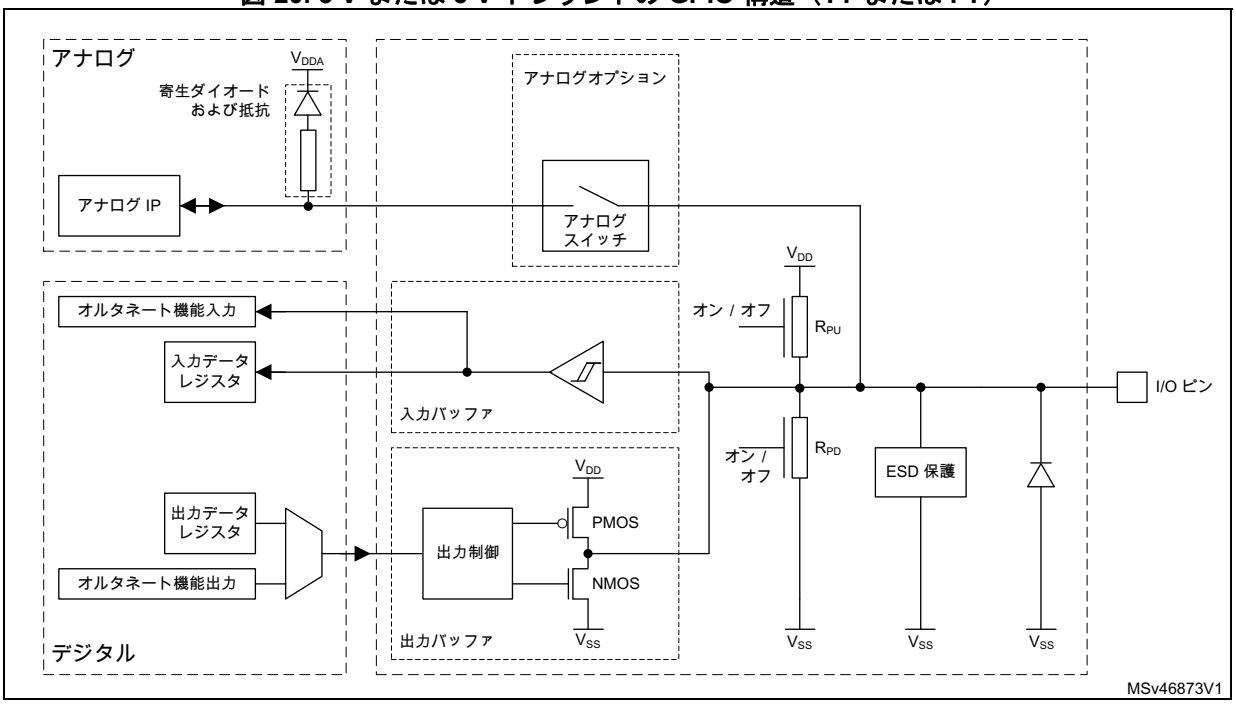
各 I/O ポートの特定のハードウェア特性については、データシートに記載されています。汎用 I/O（GPIO）ポートの各ポートビットは、ソフトウェアによって以下の動作モードを個別に設定できます。

- 入力フローティング
- 入力プルアップ
- 入力プルダウン
- アナログ
- プルアップまたはプルダウン機能を持つ出力オープンドレイン
- プルアップまたはプルダウン機能を持つ出力プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能プッシュプル
- プルアップまたはプルダウン機能を持つオルタネート機能オープンドレイン

各 I/O ポートビットは自由にプログラム可能ですが、I/O ポートレジスタには 32 ビットワード、ハーフワード、またはバイト単位でアクセスする必要があります。GPIOx_BSRR レジスタを使用すると、任意の GPIOx_ODR レジスタにビット単位の読出し／変更アクセスを行うことができます。これにより、読出しと変更アクセスの間に IRQ が発生するリスクを回避できます。

図 20 に、3 V トレラント（TT）および 5 V トレラント（FT）の I/O ポートビットの基本構造を示します。

図 20. 3 V または 5 V トレラントの GPIO 構造（TT または FT）



注： **アナログドメインの寄生ダイオードは V_{DDA} に接続され、保護ダイオードとしては使用できません。**

一部のデータシートやリファレンスマニュアルで V_{DD_FT} と呼ばれる電圧レベルは、ESD 保護ブロック内にあります。

アナログオプションが選択された場合、ピンには V_{DDA} が供給されるため、FT I/O は 5 V トレラントではなくなります。

TT または FT の GPIO ピンには、電源（V_{DD}）に接続された内部保護ダイオードはありません。過電圧に対する物理的な制限はありません。したがって、制限された電圧閾値が必要なアプリケーションでは、外部ダイオードを V_{DD} に接続することを推奨します。

表 44 には、実行可能なポートビットの設定を示します。

表 44. ポートビット設定表(1)

MODE(i) [1:0]	OTYPER(i)	OSPEED(i) [1:0]		PUPD(i) [1:0]		I/O 設定	
01	0	SPEED [1:0]		0	0	GP 出力	PP
	0			0	1	GP 出力	PP + PU
	0			1	0	GP 出力	PP + PD
	0			1	1	予約済みです。	
	1			0	0	GP 出力	OD
	1			0	1	GP 出力	OD + PU
	1			1	0	GP 出力	OD + PD
	1			1	1	予約済み（GP 出力 OD）	
10	0	SPEED [1:0]		0	0	AF	PP
	0			0	1	AF	PP + PU
	0			1	0	AF	PP + PD
	0			1	1	予約済みです。	
	1			0	0	AF	OD
	1			0	1	AF	OD + PU
	1			1	0	AF	OD + PD
	1			1	1	予約済みです。	
00	x	x	x	0	0	入力	フローティング
	x	x	x	0	1	入力	PU
	x	x	x	1	0	入力	PD
	x	x	x	1	1	予約済み（入力フローティング）	
11	x	x	x	0	0	入力／出力	アナログ
	x	x	x	0	1	予約済みです。	
	x	x	x	1	0		
	x	x	x	1	1		

1. GP = 汎用、PP = プッシュプル、PU = プルアップ、PD = プルダウン、OD = オープンドレイン、AF = オルタネート機能

9.4.1 汎用 I/O（GPIO）

リセット中とリセット直後は、オルタネート機能は有効ではなく、ほとんどの I/O ポートはアナログモードに設定されています。

リセット後、デバッグピンはオルタネート機能のプルアップ／プルダウンに設定されています。

- PA15：プルアップ付き入力モードの JTDI
- PA14：プルダウン付き入力モードの JTCK/SWCLK
- PA13：プルアップ付き入力モードの JTMS/SWDAT
- PB4：プルアップ付きの入力モードの NJTRST
- PB3：プルなしハイインピーダンスモードの JTDO

PH3/BOOT0 は、少なくともオプションバイトのローディングが終了するまでリセット中は、入力モードになります。セクション 9.4.15：PH3 を GPIO として使用を参照してください。

ピンが出力として設定されている場合、出力データレジスタ（GPIOx_ODR）に書き込まれた値が I/O ピンに出力されます。出力ドライバをプッシュプルモードまたはオープンドレインモード（ローレベルのみが駆動され、ハイレベルはハイインピーダンス）で使用することができます。

入力データレジスタ（GPIOx_IDR）は、AHB クロックサイクルごとに、I/O ピン上のデータをキャプチャします。

すべての GPIO ピンに、内部ウィークプルアップ抵抗とウィークプルダウン抵抗があり、GPIOx_PUPDR レジスタの値によってこれらを有効化/無効化できます。

9.4.2 I/O ピンオルタネート機能マルチプレクサと配置

デバイスの I/O ピンは、マルチプレクサを介してオンボードのペリフェラル／モジュールに接続され、一度に 1 つのペリフェラルオルタネート機能（AF）のみが 1 つの I/O ピンに接続可能となっています。この方法により、同じ I/O ピンを共有するペリフェラル間での競合を無くすことができます。

各 I/O ピンは、最大16 のオルタネート機能入力（AF0～AF15）を持つマルチプレクサを内蔵しており、これらの入力は、GPIOx_AFRL（ピン 0～7）と GPIOx_AFRH（ピン 8～15）レジスタを介して設定することができます。

- リセット後、マルチプレクサの選択はオルタネート機能 0（AF0）です。I/O は、GPIOx_MODER レジスタを通してオルタネート機能モードで設定されます。
- 各ピンに固有のオルタネート機能割り当てについての詳細は、デバイスデータシートに記載されています。

この柔軟性の高い I/O 多重化アーキテクチャに加え、各ペリフェラルではオルタネート機能がそれぞれの I/O ピンに配置されており、さらに小型のパッケージで使用できるペリフェラルの数を最適化します。

I/O を任意の設定で使用するには、次の手順に従います。

- **デバッグ機能**： 各デバイスのリセット後、これらのピンはデバッガホストによってすぐに使用可能なオルタネート機能ピンとして割り当てられます。
- **GPIO**：必要とする I/O を、GPIOx_MODER レジスタで出力、入力、またはアナログとして設定します。
- **ペリフェラルオルタネート機能**
  - I/O を GPIOx_AFRL または GPIOx_AFRH レジスタの どちらかで必要とする AFx に接続します。
  - タイプ、プルアップ／プルダウン、出力スピードをそれぞれ GPIOx_OTYPER、GPIOx_PUPDR、GPIOx_OSPEEDER レジスタで選択します。
  - 必要とする I/O を、GPIOx_MODER レジスタでオルタネート機能として設定します。

- **追加機能**：
  - ADC、PVD、および COMP については、GPIOx_MODER レジスタのアナログモードで必要とする I/O を設定し、ADC および COMP レジスタで必要な機能を設定します。
  - RTC、WKUPx、オシレータなどの追加機能については、関連する RTC、PWR、および RCC レジスタで必要な機能を設定します。これらの機能は、標準の GPIO レジスタの設定よりも優先されます。

オルタネート機能 I/O ピンの配置に関する詳細は、デバイスデータシートの「オルタネート機能配置」表を参照してください。

9.4.3 I/O ポート制御レジスタ

各 GPIO ポートには 32 ビットメモリマップド制御レジスタが 4 つ（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR）あり、最大 16 個の I/O を設定します。GPIOx_MODER レジスタは I/O モード（入力、出力、AF、アナログ）を選択するために使用されます。GPIOx_OTYPER および GPIOx_OSPEEDR レジスタは、出力タイプ（プッシュプルまたはオープンドレイン）およびスピードを選択するために使用されます。I/O の方向がどちらであっても、GPIOx_PUPDR レジスタは、プルアップ／プルダウンを選択するために使用されます。

9.4.4 I/O ポートデータレジスタ

各 GPIO には、16 ビットメモリマップドデータレジスタが 2 つあります。入力データレジスタ（GPIOx_IDR）と出力データレジスタ（GPIOx_ODR）です。GPIOx_ODR は出力されるデータを格納し、読出し/書込みアクセスが可能です。I/O から入力されるデータは読出し専用の入力データレジスタ（GPIOx_IDR）に格納されます。

レジスタの説明は、セクション 9.5.5 および セクション 9.5.6 を参照してください。

9.4.5 I/O データのビット単位の操作

ビットセット／リセットレジスタ（GPIOx_BSRR）は 32 ビットレジスタで、アプリケーションによる出力データレジスタ（GPIOx_ODR）のビット単位のセット／リセットを可能にします。ビットセットリセットレジスタは GPIOx_ODR の 2 倍のサイズです。

GPIOx_ODR の各ビットには GPIOx_BSRR の 2 つの制御ビットBS(i) と BR(i) が対応します。ビットBS(i) に 1 を書き込むと、対応する ODR(i) ビットが**セット** されます。ビットBR(i) に 1 を書き込むと、対応する ODR(i) ビットが**リセット** されます。

GPIOx_BSRR のいかなるビットに 0 を書き込んでも GPIOx_ODR の対応するビットには影響しません。仮に、GPIOx_BSRR のビットに対してセットおよびリセットの両方を実行しようとした場合、セット動作が優先されます。

GPIOx_BSRR レジスタを使用した GPIOx_ODR 内の個々のビットの変更には、1 回限りの効果しかなく、GPIOx_ODR ビットを固定するものではありません。GPIOx_ODR のビットは常に直接アクセスすることができます。GPIOx_BSRR レジスタによって、ビット単位の不可分操作を行うことができます。

GPIOx_ODR をビットレベルでプログラムする場合は、ソフトウェアで割込みを無効にする必要はありません。1 回の不可分な AHB 書込みアクセスで 1 ビットまたは複数ビットを変更することができます。

9.4.6 GPIO ロック機構

GPIOx_LCKR レジスタへ特定の書込みシーケンスを行うことにより、GPIO 制御レジスタをロックすることができます。ロックされるレジスタは、GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH です。

GPIOx_LCKR レジスタに書き込むには、特定の書込み／読出しシーケンスを行う必要があります。このレジスタのビット 16 に適切な LOCK シーケンスを行う場合、LCKR[15:0] の値を使用して I/O の設定を固定します（この書込みシーケンス中、LCKR[15:0] の値は同じである必要があります）。あるポートビットに LOCK シーケンスが行われると、次の MCU リセットまたはペリフェラルリセットまで、そのポートビットの値を変更できなくなります。GPIOx_LCKR の各ビットによって、制御レジスタ（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL、GPIOx_AFRH）の対応するビットが停止されます。

GPIOx_LCKR ビット 16 を [15:0] ビットと同時に設定する必要があるため、この LOCK シーケンス（セクション 9.5.8 を参照）は、GPIOx_LCKR レジスタへのワード（32 ビット長）アクセスを使用してのみ実行できます。

詳細については、セクション 9.5.8 の LCKR レジスタの説明を参照してください。

9.4.7 I/O オルタネート機能の入力／出力

各 I/O が使用できるオルタネート機能入力／出力の 1 つを選択するため、2 つのレジスタが用意されています。これらのレジスタを使用し、必要に応じて、アプリケーションでオルタネート機能を他のピンに接続することができます。

つまり、GPIOx_AFRL および GPIOx_AFRH オルタネート機能レジスタを使用していくつかの使用可能なペリフェラル機能が、各 GPIO に多重化されることになります。こうして各 I/O に使用可能な機能のどれか 1 つをアプリケーションによって選択できます。AF 選択信号はオルタネート機能入力およびオルタネート機能出力に共通なので、任意の I/O が持つオルタネート機能入力／出力に対し 1 つのチャネルが選択されます。

どの機能が各 GPIO ピンに多重化されているかについてはデバイスデータシートを参照してください。

9.4.8 外部割込み／ウェイクアップライン

すべてのポートに外部割込み機能があります。外部割込みラインを使用するには、ポートを入力モードに設定する必要があります。

セクション 14 : 拡張割込み／イベントコントローラ（EXTI）およびセクション 14.4 : EXTI の機能説明を参照してください。

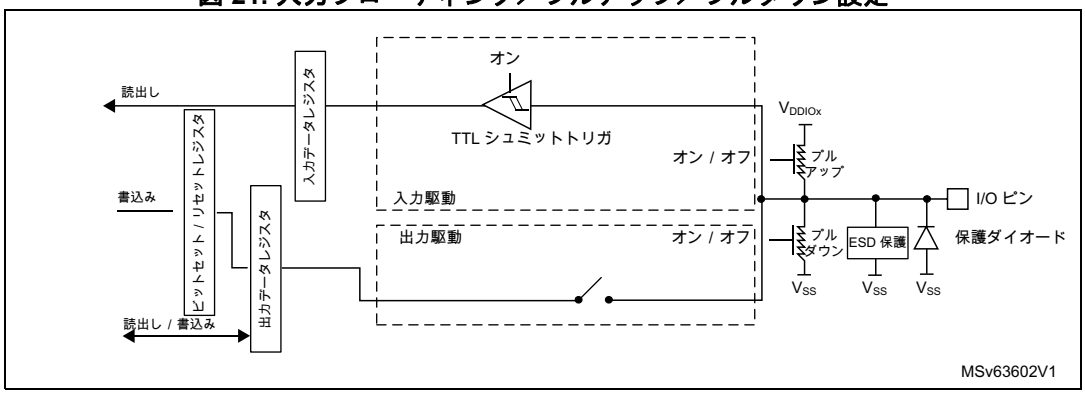
9.4.9 入力設定

I/O ポートが入力としてプログラムされた場合、

- 出力バッファが無効になります。
- シュミットトリガ入力が有効になります。
- GPIOx_PUPDR レジスタの値に応じて、プルアップおよびプルダウン抵抗が有効になります。
- I/O ピン上のデータは、AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。

図 21 は、I/O ポートビットの入力設定を示しています。

図 21. 入力フローティング／プルアップ／プルダウン設定



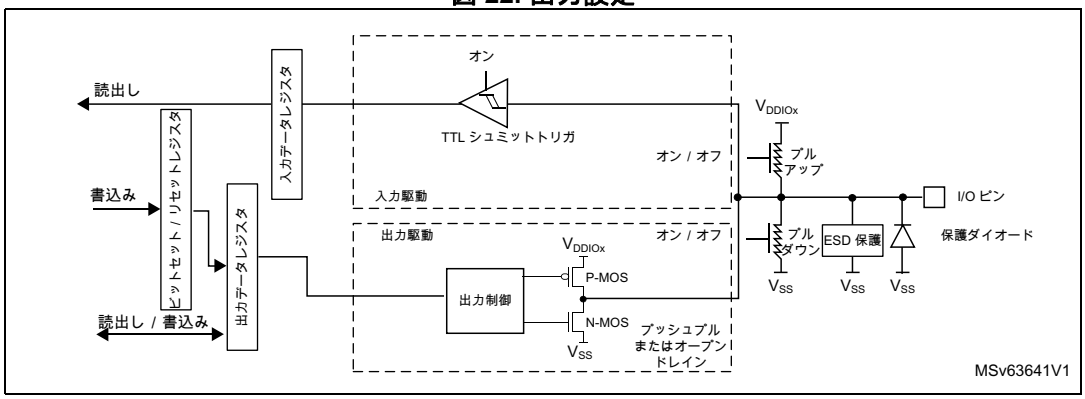
9.4.10 出力設定

I/O ポートが出力としてプログラムされた場合、

- 出力バッファが有効になります。
  - オープンドレインモード：出力レジスタが“0”のときは N-MOS が有効になり、“1”のときポートはハイインピーダンス状態のままです（P-MOS が有効になることはない）。
  - プッシュプルモード：出力レジスタが“0”のときは N-MOS が有効になり、“1”のときは P-MOS が有効になります。
- シュミットトリガ入力が有効になります。
- GPIOx_PUPDR レジスタの値に応じて、プルアップおよびプルダウン抵抗が有効になります。
- I/O ピン上のデータは､AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。
- 出力データレジスタの読出しアクセスによって、最後に書き込まれたデータが得られます。

図 22 は、I/O ポートビットの出力設定を示しています。

図 22. 出力設定



9.4.11 オルタネート機能設定

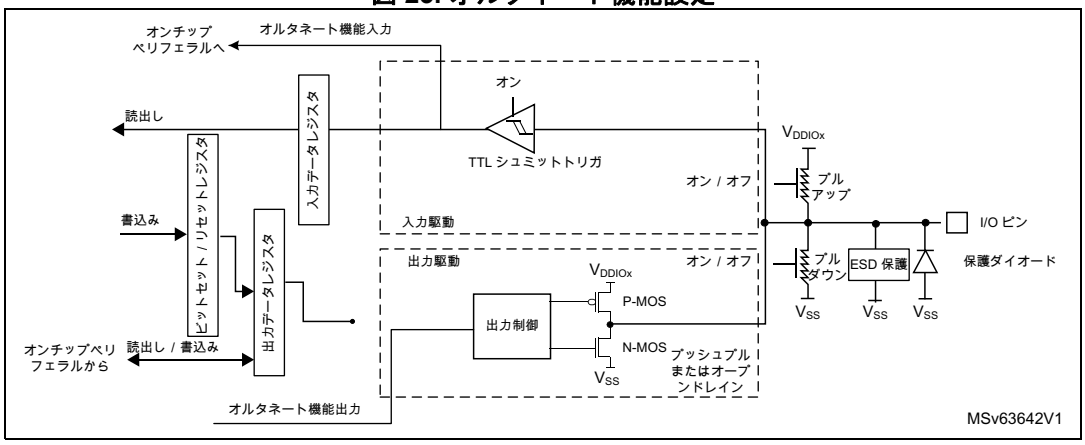
I/O ポートがオルタネート機能としてプログラムされた場合、

- 出力バッファをオープンドレインまたはプッシュプルモードに設定することができます。
- 出力バッファが、ペリフェラル（トランスミッタイネーブルおよびデータ）からの信号で駆動されます。
- シュミットトリガ入力が有効になります。
- ウィークプルアップ抵抗およびプルダウン抵抗が有効になるか否かは、GPIOx_PUPDR レジスタの値によって決まります。
- I/O ピン上のデータは、AHB クロックサイクルごとに入力データレジスタにサンプリングされます。
- 入力データレジスタへの読出しアクセスによって、I/O 状態が得られます。

注： **上述したオルタネート機能の設定は、選択されたオルタネート機能が LCD 機能である場合は行われません。この場合、I/O は、オルタネート機能出力としてプログラムされるので、アナログ設定で説明されているように設定されます。**

図 23 は、I/O ポートビットのオルタネート機能設定 を示しています。

図 23. オルタネート機能設定



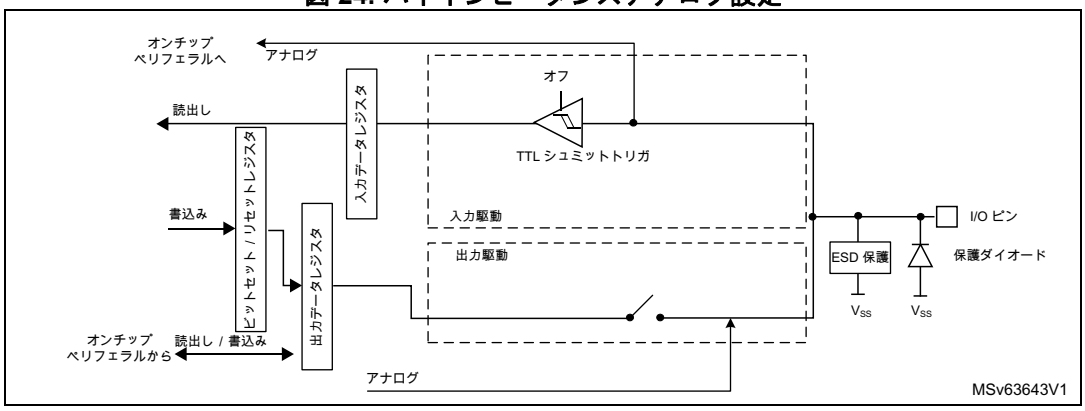
9.4.12 アナログ設定

I/O ポートがアナログとしてプログラムされた場合、

- 出力バッファが無効になります。
- シュミットトリガ入力は無効になり、I/O ピンのどのようなアナログ値に対しても消費電力をゼロに抑えます。シュミットトリガ回路の出力は、常に“0”になります。
- ウィークプルアップ抵抗およびプルダウン抵抗はハードウェアによって無効にされます。
- 入力データレジスタの読出しアクセスを行うと、値“0”が得られます。

図 24 は、I/O ポートビットのハイインピーダンスアナログ入力設定を示しています。

図 24. ハイインピーダンスアナログ設定



9.4.13 LSE オシレータのピンを GPIO として使用

LSE オシレータがスイッチオフされた場合（リセット後のデフォルト状態）、関連のオシレータピンを通常の GPIO として使用することができます。

LSE オシレータがスイッチオンされた場合（RCC_CSR レジスタの LSEON ビットを設定することで）、オシレータは関連ピンを制御しますが、これらのピンの GPIO 設定は無効です。

オシレータがユーザ外部クロックモードに設定されている場合、OSC32_IN ピンのみがクロック入力のために確保されますが、OSC32_OUT ピンは通常の GPIO として使用することができます。

注： **HSE OSC_IN および OSC_OUT ピンは専用のオシレータピンであり、GPIO として使用できません。**

9.4.14 GPIO ピンを RTC 供給ドメインで使用

コア供給ドメインの電源がオフになったとき（デバイスが STANDBY モードに移行したとき）、PC13/PC14/PC15 の GPIO が機能しなくなります。この場合、それらの GPIO 設定が RTC 設定によってバイパスされなければ、これらのピンはアナログ入力モードに設定されます。

RTC による I/O 制御の詳細は、セクション 29.4：RTC の機能説明を参照してください。

9.4.15 PH3 を GPIO として使用

PH3 はブートピン（BOOT0）または GPIO として使用できます。ユーザオプションバイトの nSWBOOT0 ビットに応じて、入力モードからアナログ入力モードに切り替わります。

- nSWBOOT0 = 1 の場合、オプションバイトローディング後
- nSWBOOT0 = 0 の場合、リセット後

9.5 GPIO レジスタ

このセクションには、GPIO レジスタの詳細な説明が記載されています。

レジスタビット、レジスタアドレスオフセット、リセット値の概要は、表 45を参照してください。

ペリフェラルレジスタはワード、ハーフワード、バイトのいずれかのモードで書き込むことができます。

9.5.1 GPIO ポートモードレジスタ（GPIOx_MODER）（x = A ～ E および H）

アドレスオフセット：0x00

リセット値：0xABFF FFFF（ポート A）

リセット値：0xFFFF FEBF（ポート B）

リセット値：ポート C、D 0xFFFF FFFF

リセット値：ポート E 0x0000 03FF

リセット値：ポート H 0x0000 00CF

ポート E[31:10] は予約済み

ポート H[31:8, 5:4] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MODE[15:0][1:0]**：ポート x 設定用 I/O ピン y（y = 15～0）

これらのビットは、I/O モードを設定するために、ソフトウェアによって書き込まれます。

00：入力モード

01：汎用出力モード

10：オルタネート機能モード

11：アナログモード（リセット状態）

9.5.2 GPIO ポート出力タイプレジスタ（GPIOx_OTYPER）（x = A ～ E および H）

アドレスオフセット：0x04

リセット値：0x0000 0000

ポート E[31:5] は予約済み

ポート H[31:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **OT[15:0]**：ポート x 設定用 I/O ピン y（y = 15～0）

これらのビットは、I/O 出力タイプを設定するために、ソフトウェアによって書き込まれます。

0：出力プッシュプル（リセット状態）

1：出力オープンドレイン

9.5.3 GPIO ポート出力スピードレジスタ（GPIOx_OSPEEDR）（x = A ～ E および H）

アドレスオフセット：0x08

リセット値：0x0C00 0000（ポート A）

リセット値：0x0000 00C0（ポート B ）

リセット値：0x0000 0000（他のポート）

ポート E[31:10] は予約済み

ポート H[31:8, 5:4] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **OSPEED[15:0][1:0]**：ポート x 設定用 I/O ピン y（y = 15～0）

これらのビットは、I/O の出力スピードを設定するために、ソフトウェアによって書き込まれます。

00：ロースピード

01：ミディアムスピード

10：高速モード

11：ハイスピード

注： 周波数仕様、およびスピード別の電源や負荷条件については、デバイスデータシートを参照してください。

9.5.4 GPIO ポートプルアップ／プルダウンレジスタ（GPIOx_PUPDR）（x = A ～ E および H）

アドレスオフセット：0x0C

リセット値：0x6400 0000（ポート A）

リセット値：0x0000 0100（ポート B）

リセット値：0x0000 0000（他のポート）

ポート E[31:10] は予約済み

ポート H[31:8, 5:4] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PUPD[15:0][1:0]**：ポート x 設定用 I/O ピン y（y = 15～0）

これらのビットは、I/O のプルアップまたはプルダウンを設定するために、ソフトウェアによって書き込まれます。

00：プルアップ／プルダウンなし
01：プルアップ
10：プルダウン
11：予約済みです。

9.5.5 GPIO ポート入力データレジスタ（GPIOx_IDR）（x = A ～ E および H）

アドレスオフセット：0x10

リセット値：0x0000 XXXX

ポート E[31:5] は予約済み

ポート H[31:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 ID**[15:0]**：ポート x 入力データ用 I/O ピン y（y = 15～0）

これらのビットは読出し専用です。これらのビットには、対応する I/O ポートの入力値が格納されています。

9.5.6 GPIO ポート出力データレジスタ（GPIOx_ODR）（x = A ～ E および H）

アドレスオフセット：0x14

リセット値：0x0000 0000

ポート E[31:5] は予約済み

ポート H[31:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **OD[15:0]**：ポート x 出力データ用 I/O ピン y（y = 15～0）
これらのビットは、ソフトウェアによって読出し／書込みができます。

注： 不可分なビット単位のセット／リセットのために、GPIO ポートビットセット／リセットレジスタ（GPIOx_BSRR）（x = A ～ E および H）への書込みによって、OD ビットを個々にセット／リセットすることができます。

9.5.7 GPIO ポートビットセット／リセットレジスタ（GPIOx_BSRR）（x = A ～ E および H）

アドレスオフセット：0x18

リセット値：0x0000 0000

ポート E[31:21, 15:5] は予約済み

ポート H[31:20, 18, 15:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 **BR[15:0]**：ポート x リセット用 I/O ピン y（y = 15～0）
これらのビットは書込み専用です。これらのビットを読み出すと、値 0x0000 が返されます。
0：対応する ODx ビットの値は変化しません。
1：対応する ODx ビットをリセットします。

注： BSx ビットと BRx ビットの両方がセットされた場合、BSx ビットが優先されます。

ビット 15:0 **BS[15:0]**：ポート x セット用 I/O ピン y（y = 15～0）
これらのビットは書込み専用です。これらのビットを読み出すと、値 0x0000 が返されます。
0：対応する ODx ビットの値は変化しません。
1：対応する ODx ビットをセットします。

9.5.8 GPIO ポート設定ロックレジスタ（GPIOx_LCKR）（x = A ～ E および H）

このレジスタは、ビット 16（LCKK）に正しい書込みシーケンスが行われたときに、ポートビットの設定をロックするために使用されます。ビット [15:0] の値は、GPIO の設定をロックするために使用されます。書込みシーケンスの間は、LCKR[15:0] の値を変更することはできません。あるポートビットに LOCK シーケンスが適用されると、次の MCU リセットまたはペリフェラルリセットまで、このポートビットの値を変更できなくなります。

注： **GPIOx_LCKR レジスタへの書込みには特定の書込みシーケンスが使われます。このロックシーケンスではワードアクセス（32 ビット長）のみ可能です。**

各ロックビットによって、特定の設定レジスタ（制御レジスタおよびオルタネート機能レジスタ）が固定されます。

アドレスオフセット：0x1C

リセット値：0x0000 0000

ポート E[31:17, 15:5] は予約済み

ポート H[31:17, 15:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **LCKK**：ロックキー

このビットは常時読出しができます。ロックキー書込みシーケンスを使用しなければ変更できません。

0：ポート設定ロックキーは無効です。

1：ポート設定ロックキーは有効です。GPIOx_LCKR レジスタは、次の MCU リセットまたはペリフェラルリセットまでロックされます。

ロックキー書込みシーケンス：

書込み LCKR[16] = “1” + LCKR[15:0]

書込み LCKR[16] = “0” + LCKR[15:0]

書込み LCKR[16] = “1” + LCKR[15:0]

読出し LCKR

読出し LCKR[16] = “1”（この読出し操作は任意だが、ロックが有効であることを確認できる。）

注： **ロックキー書込みシーケンスの間は、LCK[15:0] の値を変更することはできません。**

ロックシーケンス中にエラーが発生すると、ロックは中止されます。

ポートの任意のビットの最初のロックシーケンスの後、次の MCU リセットまたはペリフェラルリセットまでは、LCKK ビットのいかなる読出しアクセスに対しても、“1”が返されます。

ビット 15:0 **LCK[15:0]**：ポート x ロック用 I/O ピン y（y = 15～0）

これらのビットは読出し／書込みができますが、書き込めるのは LCKK ビットが“0”のときだけです。

0：ポート設定はロックされません。

1：ポート設定はロックされます。

9.5.9 GPIO オルタネート機能下位レジスタ（GPIOx_AFRL）（x = A ～ E および H）

アドレスオフセット：0x20

リセット値：0x0000 0000

ポート E[31:20] は予約済み

ポート H[31:16, 11:8] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7 [3:0]				AFSEL6 [3:0]				AFSEL5 [3:0]				AFSEL4 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 AFSEL**[7:0][3:0]**：ポート x オルタネート機能選択用 I/O ピン y（y = 7～0）

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0000：AF0
0001：AF1
0010：AF2
0011：AF3
0100：AF4
0101：AF5
0110：AF6
0111：AF7
1000：AF8
1001：AF9
1010：AF10
1011：AF11
1100：AF12
1101：AF13
1110：AF14
1111：AF15

9.5.10 GPIO オルタネート機能上位レジスタ（GPIOx_AFRH）（x = A ～ E および H）

アドレスオフセット：0x24

リセット値：0x0000 0000

ポート E[31:0] は予約済み

ポート H[31:0] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15 [3:0]				AFSEL14 [3:0]				AFSEL13 [3:0]				AFSEL12 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL11 [3:0]				AFSEL10 [3:0]				AFSEL9 [3:0]				AFSEL8 [3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 AFSEL**[15:8][3:0]：**ポート x オルタネート機能選択用 I/O ピン y（y = 15～8）

これらのビットは、オルタネート機能 I/O を設定するために、ソフトウェアによって書き込まれます。

0000：AF0
0001：AF1
0010：AF2
0011：AF3
0100：AF4
0101：AF5
0110：AF6
0111：AF7
1000：AF8
1001：AF9
1010：AF10
1011：AF11
1100：AF12
1101：AF13
1110：AF14
1111：AF15

9.5.11 GPIO ポートビットリセットレジスタ（GPIOx_BRR）（x = A ～ E および H）

アドレスオフセット：0x28

リセット値：0x0000 0000

ポート E[31:5] は予約済み

ポート H[31:4, 2] は予約済み

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **BR[15:0]**：ポート x リセット用 I/O ピン y（y = 15～0）

これらのビットは書込み専用です。これらのビットを読み出すと、値 0x0000 が返されます。

0：対応する ODx ビットの値は変化しません。

1：対応する ODx ビットをリセットします。

9.5.12 GPIO レジスタマップ

次の表に、GPIO レジスタマップとリセット値を示します。

表 45. GPIO レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**GPIOA_MODER**	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]		MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x00	**GPIOB_MODER**	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]		MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	1	1	1	1	1	1
0x00	**GPIOx_MODER**（x = **C, D**）	MODE15 [1:0]		MODE14 [1:0]		MODE13 [1:0]		MODE12 [1:0]		MODE11 [1:0]		MODE10 [1:0]		MODE9 [1:0]		MODE8 [1:0]		MODE7 [1:0]		MODE6 [1:0]		MODE5 [1:0]		MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x00	**GPIOE_MODER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE4 [1:0]		MODE3 [1:0]		MODE2 [1:0]		MODE1 [1:0]		MODE0 [1:0]	
	リセット値																							1	1	1	1	1	1	1	1	1	1
0x00	**GPIOH_MODER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE3 [1:0]		Res.	Res.	MODE1 [1:0]		MODE0 [1:0]	
	リセット値																									1	1			1	1	1	1
0x04	**GPIOx_OTYPER**（x = **A..D**）	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**GPIOE_OTYPER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT4	OT3	OT2	OT1	OT0
	リセット値																												0	0	0	0	0
0x04	**GPIOH_OTYPER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT3	Res.	OT1	OT0
	リセット値																													0		0	0
0x08	**GPIOA_OSPEEDR**	OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]		OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**GPIOB_OSPEEDR**	OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]		OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0x08	**GPIOx_OSPEEDR**（x = **C、D**）	OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]		OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 45. GPIO レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x08	**GPIOE_OSPEEDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x08	**GPIOH_OSPEEDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OSPEED3 [1:0]		Res.	Res.	OSPEED1 [1:0]		OSPEED0 [1:0]	
	リセット値																									0	0			0	0	0	0
0x0C	**GPIOA_PUPDR**	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]		PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**GPIOB_PUPDR**	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]		PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0x0C	**GPIOx_PUPDR** （x = C、D）	PUPD15 [1:0]		PUPD14 [1:0]		PUPD13 [1:0]		PUPD12 [1:0]		PUPD11 [1:0]		PUPD10 [1:0]		PUPD9 [1:0]		PUPD8 [1:0]		PUPD7 [1:0]		PUPD6 [1:0]		PUPD5 [1:0]		PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**GPIOE_PUPDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PUPD4 [1:0]		PUPD3 [1:0]		PUPD2 [1:0]		PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値																							0	0	0	0	0	0	0	0	0	0
0x0C	**GPIOH_PUPDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PUPD3 [1:0]		Res.	Res.	PUPD1 [1:0]		PUPD0 [1:0]	
	リセット値																									0	0			0	0	0	0
0x10	**GPIOx_IDR** （x = **A..D**）	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
	リセット値																	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x10	**GPIOE_IDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID4	ID3	ID2	ID1	ID0
	リセット値																												x	x	x	x	x
0x10	**GPIOH_IDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID3	Res.	ID1	ID0
	リセット値																													x		x	x
0x14	**GPIOx_ODR** （x = **A..D**）	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**GPIOE_ODR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD4	OD3	OD2	OD1	OD0
	リセット値																												0	0	0	0	0
0x14	**GPIOH_ODR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD3	Res.	OD1	OD0
	リセット値																													0		0	0
0x18	**GPIOx_BSRR** （x = **A..D**）	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 45. GPIO レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x18	**GPIOE_BSRR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR4	BR3	BR2	BR1	BR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BS4	BS3	BS2	BS1	BS0
	リセット値												0	0	0	0	0												0	0	0	0	0
0x18	**GPIOH_BSRR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR3	Res.	BR1	BR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BS3	Res.	BS1	BS0
	リセット値													0		0	0													0		0	0
0x1C	**GPIOx_LCKR** (x = **A..D**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**GPIOE_LCKR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK4	LCK3	LCK2	LCK1	LCK0
	リセット値																0												0	0	0	0	0
0x1C	**GPIOH_LCKR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCK3	Res.	LCK1	LCK0
	リセット値																0													0		0	0
0x20	**GPIOx_AFRL** (x = **A..D**)	AFSEL7 [3:0]				AFSEL6 [3:0]				AFSEL5 [3:0]				AFSEL4 [3:0]				AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**GPIOE_AFRL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AFSEL4 [3:0]				AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
	リセット値													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**GPIOH_AFRL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AFSEL3 [3:0]				Res.	Res.	Res.	Res.	AFSEL1 [3:0]				AFSEL0 [3:0]			
	リセット値																	0	0	0	0					0	0	0	0	0	0	0	0
0x24	**GPIOx_AFRH** (x = **A..D**)	AFSEL15 [3:0]				AFSEL14 [3:0]				AFSEL13 [3:0]				AFSEL12 [3:0]				AFSEL11 [3:0]				AFSEL10 [3:0]				AFSEL9 [3:0]				AFSEL8 [3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**GPIOx_BRR** (x = **A..D**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**GPIOE_BRR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR4	BR3	BR2	BR1	BR0
	リセット値																												0	0	0	0	0
0x28	**GPIOH_BRR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BR3	Res.	BR1	BR0
	リセット値																													0		0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

10 システム設定コントローラ（SYSCFG）

10.1 SYSCFG の主な機能

デバイスは一連の設定レジスタを持っています。システム設定コントローラの主な目的は次の通りです。

- メモリ領域の再配置
- 外部割込みラインのGPIO への接続の管理
- 堅牢性の管理機能
- SRAM2 および PKA RAM 書込み保護およびソフトウェア消去の設定
- FPU 割込みの設定
- I/O アナログスイッチの電圧ブースタおよびいくつかの I/O に割り当てられた I^2C 高速モードプラス駆動機能の有効化／無効化
- 割込みプリマスキング

10.2 SYSCFG レジスタ

10.2.1 SYSCFG メモリ再配置レジスタ（SYSCFG_MEMRMP）

このレジスタは、メモリ再配置時の特定の設定に使用されます。

アドレスオフセット：0x000

リセット値：0x0000 000X（X は BOOT0 ピンおよび BOOT1 オプションビットで選択されたメモリモード）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM_MODE[2:0]		
													rw	rw	rw

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **MEM_MODE[2:0]：**メモリマッピング選択

これらのビットによって、アドレス 0x0000 0000 のメモリ内部マッピングを制御します。これらのビットを用いて、ソフトウェアで物理的な再配置を選択し、BOOT モード設定をバイパスします。リセット後、これらのビットは、BOOT0（ピンまたは nSWBOOT0 オプションビットに応じたオプションビット）および BOOT1 オプションビットによって選択された値になります。

000：メインFlashメモリは CPU1 0x00000000 に配置されます。

001：システムFlashメモリは CPU1 0x00000000 に配置されます。

010：予約済みです。

011：SRAM1 は CPU1 0x00000000 に配置されます。

100：予約済みです。

101：予約済みです。

110：QUADSPI メモリは CPU1 0x00000000 に配置されます。

111：予約済みです。

10.2.2 SYSCFG 設定レジスタ 1（SYSCFG_CFGR1）

アドレスオフセット：0x004

リセット値：0x7C00 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FPU_IE[5:0]						Res.	Res.	Res.	I2C3_FMP	Res.	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP
rw	rw	rw	rw	rw	rw				rw		rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOSTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
							rw								

ビット 31:26 **FPU_IE[5:0]**：CPU1 FPU 割込みイネーブルビット

FPU_IE[5]：不正確割込みイネーブル

FPU_IE[4]：入力非正規割込みイネーブル

FPU_IE[3]：オーバーフロー割込みイネーブル

FPU_IE[2]：アンダーフロー割込みイネーブル

FPU_IE[1]：0 分周割込みイネーブル

FPU_IE[0]：無効操作割込みイネーブル

ビット 25:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **I2C3_FMP**：I2C3 高速モードプラス駆動機能有効化

このビットは、AF 選択ビットを通じて選択された I2C3 ピンの Fm+ 駆動モードを有効にします。

0：AF 選択ビットを通じて選択された I2C3 ピンで、Fm+ モードは無効です。

1：AF 選択ビットを通じて選択された I2C3 ピンで、Fm+ モードが有効になります。

ビット 21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **I2C1_FMP**：I2C1 高速モードプラス駆動機能有効化

このビットは、AF 選択ビットを通じて選択された I2C1 ピンの Fm+ 駆動モードを有効にします。

0：AF 選択ビットを通じて選択された I2C1 ピンで、Fm+ モードは無効です。

1：AF 選択ビットを通じて選択された I2C1 ピンで、Fm+ モードが有効になります。

ビット 19 **I2C_PB9_FMP**：PB9 の高速モードプラス（Fm+）駆動機能有効化

このビットは、PB9 の Fm+ 駆動モードを有効にします。

0：PB9 ピンは標準モードで動作します。

1：PB9 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 18 **I2C_PB8_FMP**：PB8 の高速モードプラス（Fm+）駆動機能有効化

このビットは、PB8 の Fm+ 駆動モードを有効にします。

0：PB8 ピンは標準モードで動作します。

1：PB8 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 17 **I2C_PB7_FMP**：PB7 の高速モードプラス（Fm+）駆動機能有効化

このビットは、PB7 の Fm+ 駆動モードを有効にします。

0：PB7 ピンは標準モードで動作します。

1：PB7 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 16 **I2C_PB6_FMP**：PB6 の高速モードプラス（Fm+）駆動機能有効化

このビットは、PB6 の Fm+ 駆動モードを有効にします。

0：PB6 ピンは標準モードで動作します。

1：PB6 ピンで Fm+ モードを有効にし、速度制御をバイパスします。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **BOOSTEN :** I/O アナログスイッチ電圧ブースタ有効化

0 : I/O アナログスイッチが V_{DDA} 電圧によって供給されます。これは、高い V_{DDA} 電圧入力で ADC を使用する場合の推奨設定です。

1 : I/O アナログスイッチが専用の電圧ブースタ（V_{DD} 電圧によって供給）によって供給されます。これは、低い V_{DDA} 電圧入力で ADC を使用する場合の推奨設定です。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

10.2.3 SYSCFG 外部割込み設定レジスタ 1（SYSCFG_EXTICR1）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI3 [2:0]			Res.	EXTI2 [2:0]			Res.	EXTI1 [2:0]			Res.	EXTI0 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI3[2:0]**：EXTI 3 設定ビット

これらのビットは、EXTI3 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[3] ピン
001：PB[3] ピン
010：PC[3] ピン（STM32WB55xx のみ）
011：PD[3] ピン（STM32WB55xx のみ）
100：PE[3] ピン（STM32WB55xx のみ）
101：予約済みです。
110：予約済みです。
111：PH[3] ピン

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI2[2:0]**：EXTI 2 設定ビット

これらのビットは、EXTI2 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[2] ピン
001：PB[2] ピン
010：PC[2] ピン（STM32WB55xx のみ）
011：PD[2] ピン（STM32WB55xx のみ）
100：PE[2] ピン（STM32WB55xx のみ）
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI1[2:0]**：EXTI 1 設定ビット

これらのビットは、EXTI1 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[1] ピン
001：PB[1] ピン
010：PC[1] ピン（STM32WB55xx のみ）
011：PD[1] ピン（STM32WB55xx のみ）
100：PE[1] ピン（STM32WB55xx のみ）
101：予約済みです。
110：予約済みです。
111：PH[1] ピン（STM32WB55xx のみ）

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI0[2:0]**：EXTI 0 設定ビット

これらのビットは、EXTI0 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[0] ピン
001：PB[0] ピン
010：PC[0] ピン（STM32WB55xx のみ）
011：PD[0] ピン（STM32WB55xx のみ）
100：PE[0] ピン（STM32WB55xx のみ）
101：予約済みです。
110：予約済みです。
111：PH[0] ピン（STM32WB55xx のみ）

注： このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

10.2.4 SYSCFG 外部割込み設定レジスタ 2（SYSCFG_EXTICR2）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI7 [2:0]			Res.	EXTI6 [2:0]			Res.	EXTI5 [2:0]			Res.	EXTI4 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI7[2:0]**：EXTI 7 設定ビット

これらのビットは、EXTI7 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[7] ピン
001：PB[7] ピン
010：PC[7] ピン（STM32WB55xx のみ）
011：PD[7] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI6[2:0]**：EXTI 6 設定ビット

これらのビットは、EXTI6 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[6] ピン
001：PB[6] ピン
010：PC[6] ピン（STM32WB55xx のみ）
011：PD[6] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI5[2:0]**：EXTI 5 設定ビット

これらのビットは、EXTI5 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[5] ピン
001：PB[5] ピン
010：PC[5] ピン（STM32WB55xx のみ）
011：PD[5] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI4[2:0]**：EXTI 4 設定ビット

これらのビットは、EXTI4 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[4] ピン
001：PB[4] ピン
010：PC[4] ピン（STM32WB55xx のみ）
011：PD[4] ピン（STM32WB55xx のみ）
100：PE[4] ピン
101：予約済みです。
110：予約済みです。
111：予約済みです。

注：　このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

10.2.5 SYSCFG 外部割込み設定レジスタ 3（SYSCFG_EXTICR3）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI11 [2:0]			Res.	EXTI10 [2:0]			Res.	EXTI9 [2:0]			Res.	EXTI8 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI11[2:0]**：EXTI 11 設定ビット

これらのビットは、EXTI11 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[11] ピン
001：PB[11] ピン（STM32WB55xx のみ）
010：PC[11] ピン（STM32WB55xx のみ）
011：PD[11] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI10[2:0]**：EXTI 10 設定ビット

これらのビットは、EXTI9外部割込みのソース入力をソフトウェアで設定します。

000：PA[10] ピン
001：PB[10] ピン（STM32WB55xx のみ）
010：PC[10] ピン（STM32WB55xx のみ）
011：PD[10] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI9[2:0]**：EXTI 9 設定ビット

これらのビットは、EXTI9 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[9] ピン
001：PB[9] ピン
010：PC[9] ピン（STM32WB55xx のみ）
011：PD[9] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI8[2:0]**：EXTI 8 設定ビット

これらのビットは、EXTI8 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[8] ピン
001：PB[8] ピン
010：PC[8] ピン（STM32WB55xx のみ）
011：PD[8] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

注：　このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

10.2.6 SYSCFG 外部割込み設定レジスタ 4（SYSCFG_EXTICR4）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	EXTI15 [2:0]			Res.	EXTI14 [2:0]			Res.	EXTI13 [2:0]			Res.	EXTI12 [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **EXTI15[2:0]**：EXTI15 設定ビット

これらのビットは、EXTI15 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[15] ピン
001：PB[15] ピン（STM32WB55xx のみ）
010：PC[15] ピン
011：PD[15] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **EXTI14[2:0]**：EXTI14 設定ビット

これらのビットは、EXTI14 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[14] ピン
001：PB[14] ピン（STM32WB55xx のみ）
010：PC[14] ピン
011：PD[14] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **EXTI13[2:0]**：EXTI13 設定ビット

これらのビットは、EXTI13 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[13] ピン
001：PB[13] ピン（STM32WB55xx のみ）
010：PC[13] ピン（STM32WB55xx のみ）
011：PD[13] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **EXTI12[2:0]**：EXTI12 設定ビット

これらのビットは、EXTI12 外部割込みのソース入力を選択するために、ソフトウェアによって書き込まれます。

000：PA[12] ピン
001：PB[12] ピン（STM32WB55xx のみ）
010：PC[12] ピン（STM32WB55xx のみ）
011：PD[12] ピン（STM32WB55xx のみ）
100：予約済みです。
101：予約済みです。
110：予約済みです。
111：予約済みです。

注： このレジスタの一部の I/O ピンは、小型のパッケージでは使用できない場合があります。

10.2.7 SYSCFG SRAM2 制御およびステータスレジスタ（SYSCFG_SCSR）

アドレスオフセット：0x18

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
C2RFD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRAM2BSY	SRAM2ER
														r	rw

ビット 31 **C2RFD**：CPU2 SRAM フェッチ（実行）無効化。

このビットはソフトウェアでセットでき、STANDBY 後のリセットを含むハードウェアリセットでリセットできます。ソフトウェアで 'b0 を書き込んでも影響はありません。

0：SRAM1、SRAM2a、および SRAM2b からの CPU2 フェッチが有効です。CPU2 は SRAM からコードをフェッチして実行できます。

1：SRAM1、SRAM2a、および SRAM2b からの CPU2 フェッチが無効です。SRAM からの任意の CPU2 フェッチによってバスエラーが生成されます。

ビット 30:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SRAM2BSY**：消去操作による SRAM2 および PKA RAM ビジー

0：SRAM2 と PKA RAM のいずれの消去操作も進行中ではありません。
1：SRAM2 および／または PKA RAM の消去操作が進行中です。

ビット 0 **SRAM2ER**：SRAM2 および PKA RAM 消去

このビットをセットすると、ハードウェアの SRAM2 および PKA RAM の消去操作が開始されます。このビットは SRAM2 および PKA RAM の消去操作の終了時に自動的にクリアされます。

注： このビットは、書込み保護されており、正しいキーシーケンスが SYSCFG_SKR レジスタに書き込まれた後のみ書込み可能です。

10.2.8 SYSCFG 設定レジスタ 2（SYSCFG_CFGR2）

アドレスオフセット：0x01C

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPF	Res.	Res.	Res.	Res.	ECCL	PVDL	SPL	CLL
							rc_w1					rs	rs	rs	rs

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **SPF**：SRAM2 パリティエラーフラグ

このビットは、SRAM2 パリティエラーが検出されたときに、ハードウェアによってセットされます。ソフトウェアで「1」を書き込むことによってクリアされます。

0：SRAM2 パリティエラーは検出されていません。

1：SRAM2 パリティエラーが検出されました。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **ECCL**：ECC ロック

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、Flash ECC エラーの TIM1/16/17 のブレーク入力への接続を有効にし、ロックするために使用できます。

0：ECC エラーは、TIM1/16/17 のブレーク入力に接続されていません。

1：ECC エラーは、TIM1/16/17 のブレーク入力に接続されています。

ビット 2 **PVDL**：PVD ロックイネーブルビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、TIM1/16/17 のブレーク入力への PVD 接続と、PWR_CR2 レジスタの PVDE と PLS[2:0] を有効にし、ロックするために使用できます。

0：PVD 割込みは、TIM1/16/17 のブレーク入力に接続されていません。PVDE および PLS[2:0] ビットは、アプリケーションでプログラムできます。

1：PVD 割込みは、TIM1/16/17 のブレーク入力に接続されています。PVDE および PLS[2:0] ビットは読出し専用です。

ビット 1 **SPL**：SRAM2 パリティロックビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、SRAM2 パリティエラー信号の TIM1/16/17 のブレーク入力への接続を有効にし、ロックするために使用できます。

0：SRAM2 パリティエラー信号は TIM1/16/17 のブレーク入力に接続されていません。

1：SRAM2 パリティエラー信号は TIM1/16/17 のブレーク入力に接続されています。

ビット 0 **CLL**：CPU1 LOCKUP（ハードフォールト）出力イネーブルビット

このビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。これは、CPU1 LOCKUP（ハードフォールト）出力の TIM1/16/17 ブレーク入力への接続を有効にし、ロックするために使用できます。

0：CPU1 LOCKUP 出力は TIM1/16/17 のブレーク入力から切断されています。

1：CPU1 LOCKUP 出力は TIM1/16/17 のブレーク入力に接続されています。

10.2.9 SYSCFG SRAM2 書込み保護レジスタ（SYSCFG_SWPR1）

アドレスオフセット：0x020

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
P31WP	P30WP	P29WP	P28WP	P27WP	P26WP	P25WP	P24WP	P23WP	P22WP	P21WP	P20WP	P19WP	P18WP	P17WP	P16WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P15WP	P14WP	P13WP	P12WP	P11WP	P10WP	P9WP	P8WP	P7WP	P6WP	P5WP	P4WP	P3WP	P2WP	P1WP	P0WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs

ビット 31:0 **PxWP**（x = 0〜31）：SRAM2 1 KB ページ x の書込み保護

これらのビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。

0：SRAM2 1 KB ページ x の書込み保護は無効です。

1：SRAM2 1 KB ページ x の書込み保護は有効です。

10.2.10 SYSCFG SRAM2 キーレジスタ（SYSCFG_SKR）

アドレスオフセット：0x024

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
								w	w	w	w	w	w	w	w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **KEY[7:0]**：ソフトウェア消去に対する SRAM2 書込み保護

SYSCFG_CFGR2 レジスタの SRAM2ER ビットの書込み保護をアンロックするには、次の手順が必要です。

1.Key[7:0] に 0xCA を書き込みます。

2.Key[7:0] に 0x53 を書き込みます。

誤ったキーを書き込むと、書込み保護が再度アクティブになります。

10.2.11 SYSCFG SRAM2 書込み保護レジスタ 2（SYSCFG_SWPR2）

アドレスオフセット：0x028

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
P63WP	P62WP	P61WP	P60WP	P59WP	P58WP	P57WP	P56WP	P55WP	P54WP	P53WP	P52WP	P51WP	P50WP	P49WP	P48WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
P47WP	P46WP	P45WP	P44WP	P43WP	P42WP	P41WP	P40WP	P39WP	P38WP	P37WP	P36WP	P35WP	P34WP	P33WP	P32WP
rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs	rs

ビット 31:0 **PxWP**（x = 32 ～ 63）：SRAM2 1 KB ページ x の書込み保護
これらのビットは、ソフトウェアでセットされ、システムリセットでのみクリアされます。
0：SRAM2 1 KB ページ x の書込み保護は無効です。
1：SRAM2 1 KB ページ x の書込み保護は有効です。

10.2.12 SYSCFG CPU1 割込みマスクレジスタ 1（SYSCFG_IMR1）

アドレスオフセット：0x100

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI15IM	EXTI14IM	EXTI13IM	EXTI12IM	EXTI11IM	EXTI10IM	EXTI9IM	EXTI8IM	EXTI7IM	EXTI6IM	EXTI5IM	Res.	Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIM17IM	TIM16IM	TIM1IM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													

ビット 31:21 **xxxIM**：CPU1 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU1 に転送されます。
1.CPU1 のペリフェラル xxx 割込みがマスクされます。

ビット 20:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **xxxIM**：CPU1 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU1 に転送されます。
1.CPU1 のペリフェラル xxx 割込みがマスクされます。

ビット 12:0 予約済みであり、リセット値に保持する必要があります。

10.2.13 SYSCFG CPU1 割込みマスクレジスタ 2（SYSCFG_IMR2）

アドレスオフセット：0x104

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	Res.	PVM3IM	Res.	PVM1IM
											rw		rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **xxxIM**：CPU1 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU1 に転送されます。
1.CPU1 のペリフェラル xxx 割込みがマスクされます。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **xxxIM**：CPU1 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU1 に転送されます。
1.CPU1 のペリフェラル xxx 割込みがマスクされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **xxxIM**：CPU1 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU1 に転送されます。
1.CPU1 のペリフェラル xxx 割込みがマスクされます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

10.2.14 SYSCFG CPU2 割込みマスクレジスタ 1（SYSCFG_C2IMR1）

アドレスオフセット：0x108

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTI15IM	EXTI14IM	EXTI13IM	EXTI12IM	EXTI11IM	EXTI10IM	EXTI9IM	EXTI8IM	EXTI7IM	EXTI6IM	EXTI5IM	EXTI4IM	EXTI3IM	EXTI2IM	EXTI1IM	EXTI0IM
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	ADCIM	COMPIM	AES1IM	RNGIM	PKAIM	Res.	FLASHIM	RCCIM	RTCALARMIM	RTCWKUPIM	Res.	Res.	RTCSTAMPTAMPLSECSSIM
			rw	rw	rw	rw	rw		rw	rw	rw	rw			rw

ビット 31:16 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:3 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

10.2.15 SYSCFG CPU2 割込みマスクレジスタ 2（SYSCFG_C2IMR2）

アドレスオフセット：0x10C

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCD IM	TSC IM	PVD IM	Res.	PVM3 IM	Res.	PVM1 IM
									rw	rw	rw		rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMA MUX1 IM	DMA2 CH7 IM	DMA2 CH6 IM	DMA2 CH5 IM	DMA2 CH4 IM	DMA2 CH3 IM	DMA2 CH2 IM	DMA2 CH1 IM	Res.	DMA1 CH7 IM	DMA1 CH6 IM	DMA1 CH5 IM	DMA1 CH4 IM	DMA1 CH3 IM	DMA1 CH2 IM	DMA1 CH1 IM
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:20 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。
ビット 22:21 は STM32WB35xx デバイスでは予約済みであることに注意してください。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16:8 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **xxxIM**：CPU2 に対するペリフェラル xxx 割込みマスク
0：ペリフェラル xxx 割込みが CPU2 に転送されます。
1.CPU2 のペリフェラル xxx 割込みがマスクされます。

10.2.16 SYSCFG セキュア IP 制御レジスタ（SYSCFG_SIPCR）

アドレスオフセット：0x110

システムリセット値：0x0000 0000

このレジスタは書込みアクセスのセキュリティを提供し、CPU2 によってのみ書き込めます。CPU1 からの書込みアクセスは無視され、バスエラーが生成されます。いかなる読出しアクセスに対しても、レジスタの値が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRNG	SPKA	SAES2	SAES1
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **SRNG**：True RNGのセキュリティの有効化

0：True RNGのセキュリティは無効です（RNG レジスタは CPU1 と CPU2 の両方からアクセスできます）。

1：True RNGのセキュリティは有効です（RNG レジスタには CPU2 のみがアクセスできます。CPU1 による書込みアクセスはバスエラーを生成し、読出しアクセスは 0 の値を返します）。

ビット 2 **SPKA**：PKA セキュリティの有効化

0：PKA セキュリティは無効です（PKA レジスタは CPU1 と CPU2 の両方からアクセスできます）。

1：PKA セキュリティは有効です。PKA レジスタには CPU2 のみがアクセスできます。CPU1 による書込みアクセスはバスエラーを生成し、読出しアクセスは 0 の値を返します。このビットがセットされているときにシステムリセットが発生すると（STANDBY からのウェイクアップによるリセットを含む）、PKA RAM が消去されます。

ビット 1 **SAES2**：AES2 セキュリティの有効化

0：AES2 セキュリティは無効です（AES2 レジスタは CPU1 と CPU2 の両方からアクセスできます）。

1：AES2 セキュリティは有効です。（AES2 レジスタには CPU2 のみがアクセスできます。CPU1 による書込みアクセスはバスエラーを生成し、読出しアクセスは 0 の値を返します）。

ビット 0 **SAES1**：AES1 KEY[7:0] セキュリティの有効化

0：AES1 KEY[7:0] セキュリティは無効です（AES1 KEY[7:0] レジスタは CPU1 と CPU2 の両方からアクセスできます）。

1：AES1 KEY[7:0] セキュリティは有効です（AES1 KEY[7:0] レジスタには CPU2 のみがアクセスできます）。CPU1 による書込みアクセスはバスエラーを生成し、読出しアクセスはゼロの値を返します）。

10.2.17 SYSCFG レジスタマップ

次の表に、SYSCFG レジスタマップとリセット値の一覧を示します。

表 46. SYSCFG レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	SYSCFG_ MEMRMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM_MODE [2:0]		
	リセット値																														x	x	x
0x004	SYSCFG_CFGR1	FPU_IE[5..0]						Res.	Res.	Res.	I2C3_FMP	Res.	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOSTEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	1	1	1	1	1				0		0	0	0	0	0								0								
0x008	SYSCFG_EXTICR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI3 [2:0]			Res.	EXTI2 [2:0]			Res.	EXTI1 [2:0]			Res.	EXTI0 [2:0]		
	リセット値																		0	0	0		0	0	0		0	0	0		0	0	0
0x00C	SYSCFG_EXTICR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI7 [2:0]			Res.	EXTI6 [2:0]			Res.	EXTI5 [2:0]			Res.	EXTI4 [2:0]		
	リセット値																		0	0	0		0	0	0		0	0	0		0	0	0
0x010	SYSCFG_EXTICR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI11 [2:0]			Res.	EXTI10 [2:0]			Res.	EXTI9 [2:0]			Res.	EXTI8 [2:0]		
	リセット値																		0	0	0		0	0	0		0	0	0		0	0	0
0x014	SYSCFG_EXTICR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI15 [2:0]			Res.	EXTI14 [2:0]			Res.	EXTI13 [2:0]			Res.	EXTI12 [2:0]		
	リセット値																		0	0	0		0	0	0		0	0	0		0	0	0
0x018	SYSCFG_SCSR	C2RFD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRAM2BSY	SRAM2ER
	リセット値	0																														0	0
0x01C	SYSCFG_CFGR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPF	Res.	Res.	Res.	Res.	ECCL	PVDL	SPL	CLL
	リセット値																								0					0	0	0	0
0x020	SYSCFG_SWPR	P31WP	P30WP	P29WP	P28WP	P27WP	P26WP	P25WP	P24WP	P23WP	P22WP	P21WP	P20WP	P19WP	P18WP	P17WP	P16WP	P15WP	P14WP	P13WP	P12WP	P11WP	P10WP	P9WP	P8WP	P7WP	P6WP	P5WP	P4WP	P3WP	P2WP	P1WP	P0WP
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	SYSCFG_SKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY							
	リセット値																									0	0	0	0	0	0	0	0
0x028	SYSCFG_SWPR2	P63WP	P62WP	P61WP	P60WP	P59WP	P58WP	P57WP	P56WP	P55WP	P54WP	P53WP	P52WP	P51WP	P50WP	P49WP	P48WP	P47WP	P46WP	P45WP	P44WP	P43WP	P42WP	P41WP	P40WP	P39WP	P38WP	P37WP	P36WP	P35WP	P34WP	P33WP	P32WP
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x100	SYSCFG_IMR1	EXTI15IM	EXTI14IM	EXTI13IM	EXTI12IM	EXTI11IM	EXTI10IM	EXTI9IM	EXTI8IM	EXTI7IM	EXTI6IM	EXTI5IM	Res.	Res.	Res.	Res.	Res.	TIM17IM	TIM16IM	TIM11IM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0						0	0	0													

表 46. SYSCFG レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x104	SYSCFG_IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDIM	Res.	PVM3IM	Res.	PVM1IM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値												0		0		0																
0x108	SYSCFG_C2IMR1	EXTI15IM	EXTI14IM	EXTI13IM	EXTI12IM	EXTI11IM	EXTI10IM	EXTI9IM	EXTI8IM	EXTI7IM	EXTI6IM	EXTI5IM	EXTI4IM	EXTI3IM	EXTI2IM	EXTI1IM	EXTI0IM	Res.	Res.	Res.	ADCIM	COMPIM	AES1IM	RNGIM	PKAIM	Res.	FLASHIM	RCCIM	RTCALARMIM	RTCWKUPIM	Res.	Res.	RTCSTAMPTAMPLSECSSIM
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0				0	0	0	0	0		0	0	0	0			0
0x10C	SYSCFG_C2IMR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCDIM	TSCIM	PVDIM	Res.	PVM3IM	Res.	PVM1IM	DMAMUX1IM	DMA2CH7IM	DMA2CH6IM	DMA2CH5IM	DMA2CH4IM	DMA2CH3IM	DMA2CH2IM	DMA2CH1IM	Res.	DMA1CH7IM	DMA1CH6IM	DMA1CH5IM	DMA1CH4IM	DMA1CH3IM	DMA1CH2IM	DMA1CH1IM
	リセット値										0	0	0		0		0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x110	SYSCFG_SIPCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRNG	SPKA	SAES2	SAES1
	リセット値																													0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

11 ダイレクトメモリアクセスコントローラ（DMA）

11.1 概要

ダイレクトメモリアクセス（DMA）コントローラは、バスマスタとシステムペリフェラルで構成されます。

DMA を使用して、CPU を介さずにメモリマップペリフェラルやメモリの間でプログラム可能なデータ転送を実行します。

DMA コントローラは、シングル AHB マスタバスアーキテクチャを備えています。

DMA、DMA1、および DMA2 の 2 つのインスタンスがあります。

それぞれのチャネルは、1 つ以上のペリフェラルからのメモリアセスリクエストを管理する役割を担っています。各 DMA は DMA リクエスト間の優先順位を操作するためのアービタを内蔵しています。

11.2 DMA の主な機能

- シングル AHB マスタ
- ペリフェラルからメモリ、メモリからペリフェラル、メモリ間、ペリフェラル間のデータ転送
- 転送元および転送先として、Flashメモリ、SRAM、および AHB/APB ペリフェラルなどのオンチップメモリマップデバイスにアクセス
- 個別に設定可能なすべての DMA チャネル：
  - 各チャネルは、ペリフェラルからの DMA リクエスト信号、またはメモリ間転送におけるソフトウェアトリガに関連付けられます。この設定はソフトウェアで行われます。
  - リクエスト間の優先順位はソフトウェアでプログラム可能です（チャネル別に最高、高、中、低の 4 レベル）。またはレベルが等しい場合はハードウェアによって決まります（たとえばチャネル 1 へのリクエストはチャネル 2 へのリクエストよりも優先）。
  - 転送元および転送先の転送サイズ（バイト、ハーフワード、ワード）は個別に設定され、パッキング／アンパッキングをエミュレートします。転送元および転送先のアドレスはデータサイズに合わせる必要があります。
  - サーキュラバッファ管理によるペリフェラルとメモリの間の転送をサポートします。
  - プログラム可能な転送データ数：0～2^{16} - 1
- チャネル別の割込みリクエストの生成。各割込みリクエストは 3 種類の DMA イベント、転送完了、1/2 転送、または転送エラーのいずれかによって生成されます。

11.3 DMA の実装

11.3.1 DMA1 および DMA2

DMA1および DMA2は、次の表に示すハードウェア構成パラメータによって実装されています。

表 47. DMA1 および DMA2 の実装

機能	DMA1	DMA2
チャネル数	7	7

11.3.2 DMA リクエストマッピング

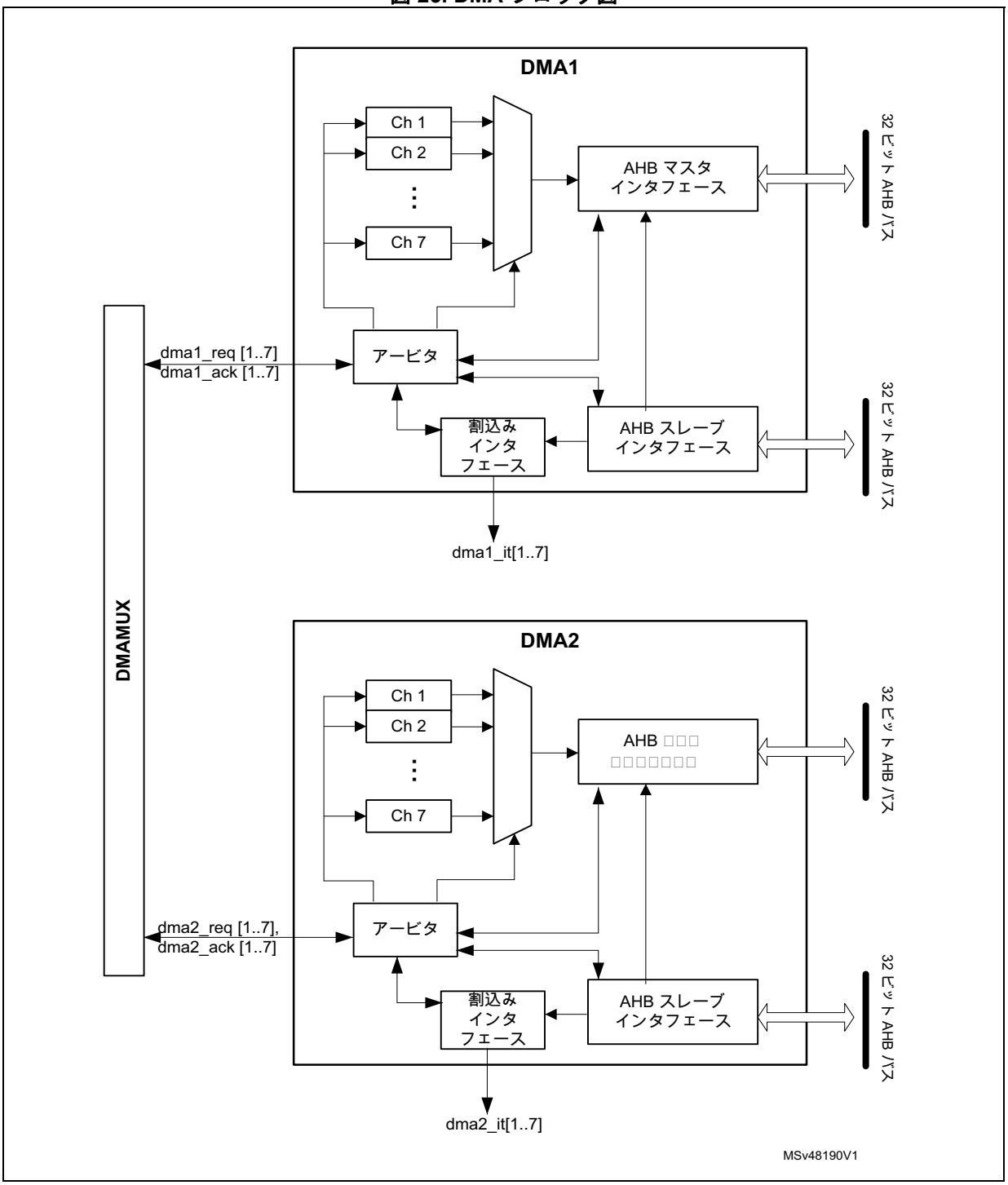
さまざまなリクエストのマッピングについては、DMAMUX セクションを参照してください。

11.4 DMA の機能説明

11.4.1 DMA ブロック図

以下に DMA ブロック図を示します。

図 25. DMA ブロック図



DMA コントローラは、AHB システムバスを他のシステムマスタと共有することでダイレクトメモリ転送を行います。バスマトリックスはラウンドロビンスケジューリングを実装します。DMA リクエストは、CPU と DMA のターゲット転送先が同じである場合に（メモリまたはペリフェラル）、多少のバスサイクルの間、CPU のシステムバスへのアクセスを停止することがあります。

DMA コントローラは、AHB スレーブインタフェースによるその設定に応じて、DMA チャネルと関連の受信リクエストの間のアービトレーションを行います。また、シングル AHB ポートマスタによる DMA データ転送をスケジュールします。

また、チャネルごとの割込みコントローラへの割込みを生成します。

11.4.2 DMA 転送

ソフトウェアは、AHB バス転送シーケンスから成るブロック転送を行うために DMA コントローラをチャネルレベルで設定します。

DMA ブロック転送は、ペリフェラルからリクエストするか、メモリ間転送の場合はソフトウェアでトリガすることができます。

イベントの後、シングル DMA 転送の次の手順が行われます。

1. ペリフェラルは、DMA コントローラにシングル DMA リクエスト信号を送信します。
2. DMA コントローラは、このペリフェラルのリクエストに関連付けられたチャネルの優先順位に応じて、リクエストを処理します。
3. DMA コントローラは、ペリフェラルのリクエストを許可するとすぐに、ペリフェラルに確認応答信号を送信します。
4. ペリフェラルは、DMA コントローラからの確認応答信号を受け取るとすぐにそのリクエストを解除します。
5. ペリフェラルによってリクエストが無効にされると、DMA コントローラは確認応答信号を解除します。

ペリフェラルは、さらにシングルリクエストを送信し、別のシングル DMA 転送を開始することができます。

ペリフェラルが転送元または転送先である場合は、リクエスト／確認応答プロトコルを使用します。たとえば、メモリからペリフェラル転送の場合、ペリフェラルは DMA コントローラにシングルリクエスト信号を送信することによって転送を開始します。次に、DMA コントローラはメモリ内の単一データを読み出し、このデータをペリフェラルに書き込みます。

任意のチャネル x の DMA ブロック転送では、次の転送が繰り返されます。

- 2つの単一データ AHB 転送をカプセル化する、DMA AHB バスマスタ経由のシングル DMA 転送
  - ペリフェラルデータレジスタまたは現在の内部ペリフェラル／メモリアドレスレジスタを介してアドレス指定されたメモリ上の場所からの単一データ読出し（バイト／ハーフワード／ワード）。
    最初のシングル転送に使用される開始アドレスは、ペリフェラル／メモリのベースアドレスで、DMA_CPARx または DMA_CMARx レジスタでプログラムされています。
  - ペリフェラルデータレジスタまたは現在の内部ペリフェラル／メモリアドレスレジスタを介してアドレス指定されたメモリ上の場所からの単一データ書込み（バイト／ハーフワード／ワード）。
    最初の転送に使用される開始アドレスは、ペリフェラル／メモリのベースアドレスで、DMA_CPARx または DMA_CMARx レジスタでプログラムされています。
- プログラムされた DMA_CNDTRx レジスタのポストデクリメント
  このレジスタは、残りの転送データ項目数（AHB の読出し転送に続く書込み転送の数）を含みます。

DMA_CNDTRx が null になるまで、このシーケンスを繰り返します。

注： **AHB マスタバス転送元／転送先のアドレスは、その転送元／転送先に転送されるプログラムされた単一データのサイズに合わせてください。**

11.4.3 DMA アービトレーション

DMA アービタは、異なるチャネル間の優先順位を管理します。

アービタがアクティブなチャネル x を許可すると（ハードウェアによるリクエスト／ソフトウェアによるトリガ）、シングル DMA 転送（AHB の単一データ読出し転送に続く書込み転送など）が発行されます。次に、アービタはそれらのアクティブなチャネルの中から再び優先順位が一番高いものを選びます。

優先順位は 2 段階で管理されます。

- ソフトウェア：各チャネルの優先順位は DMA_CCRx レジスタで次の 4 段階のいずれかに設定します。
  - 最高
  - 高
  - 中
  - 低
- ハードウェア : 2 つのリクエストのソフトウェア優先順位レベルが同じ場合、小さい番号のチャネルが優先されます。たとえば、チャネル 2 はチャネル 4 よりも優先されます。

チャネル x がメモリ間モードのブロック転送用にプログラムされている場合、このチャネル x のシングル DMA 転送間の再アービトレーションが検討されます。同じタイミングで別のアクティブなチャネルがリクエストされた場合、DMA アービタは自動的にもう一方の最優先リクエストチャネルと交互に許可を与えますが、優先順位はメモリ間転送用のチャネルより低いかもしれません。

11.4.4 DMA チャネル

各チャネルは、ある固定アドレスにあるペリフェラルレジスタとメモリアドレスの間の DMA 転送を処理することができます。転送データ項目数はプログラム可能です。転送データ項目数を格納しているレジスタは、転送終了ごとにデクリメントされます。

DMA チャネルはブロック転送レベルでプログラムされます。

プログラム可能なデータサイズ

ペリフェラルおよびメモリに転送される単一データのサイズ（バイト／ハーフワード／ワード）は、それぞれ DMA_CCRx レジスタの PSIZE[1:0] および MSIZE[1:0] フィールドでプログラムすることができます。

ポインタのインクリメント

ペリフェラルおよびメモリのポインタは、DMA_CCRx レジスタの PINC および MINC ビットに応じて、各転送後に自動的にインクリメントすることができます。

インクリメントモード が有効な場合（PINC または MINC = 1)、次の転送のアドレスは、PSIZE[1:0] または MSIZE[1:0] に定義されているデータサイズに応じて、前のアドレスに 1、2、または 4 をインクリメントしたアドレスになります。最初の転送アドレスは、DMA_CPARx または DMA_CMARx レジスタでプログラムされたアドレスとなります。転送中は、これらのレジスタは最初にプログラムされた値を保持します。現在の転送アドレス（現在の内部ペリフェラル／メモリアドレスレジスタ内）に対するソフトウェアによるアクセスはできません。

チャネル x が **ノンサーキュラモード**に設定されている場合、データ転送終了後（転送すべきデータ項目数がゼロに達したとき）、DMA リクエストは処理されません。新たなデータ項目数を DMA_CNDTRx レジスタに再ロードするには、DMA チャネルを無効にする必要があります。

注： **チャネル x が無効になると、DMA レジスタはリセットされません。DMA チャネルレジスタ（DMA_CCRx、DMA_CPARx、DMA_CMARx）は、チャネル設定フェーズでプログラムされた初期値のままです。**

サーキュラモードでは、データ転送終了後、DMA_CNDTRx レジスタには最初にプログラムした値が自動的に再ロードされます。現在の内部アドレスレジスタには、DMA_CPARx および DMA_CMARx レジスタからのベースアドレス値が再ロードされます。

チャネル設定手順

DMA チャネル x の設定には、次の手順が必要です。

1. DMA_CPARx レジスタに、ペリフェラルレジスタアドレスをセットします。
   データは、ペリフェラルイベント後、またはチャネルがメモリ間モードで有効化された後に、このアドレスからメモリに、またはメモリからこのアドレスに移動されます。
2. DMA_CMARx レジスタにメモリアドレスをセットします。
   データは、ペリフェラルイベント後、またはチャネルがメモリ間モードで有効化された後に、メモリへ書き込まれたり、メモリから読み出されたりします。
3. 転送すべきデータの総数を DMA_CNDTRx レジスタに設定します。
   毎回のデータ転送後に、この値はデクリメントされます。
4. 以下に挙げるパラメータを DMA_CCRx レジスタで設定します。
   - チャネルの優先順位
   - データ転送方向
   - サーキュラモード
   - ペリフェラルとメモリのインクリメントモード
   - ペリフェラルとメモリのデータサイズ
   - 1/2転送時、転送完了時、転送エラー時の割込み有効化
5. DMA_CCRx レジスタの EN ビットをセットすることでチャネルを有効にします。

チャネルは、有効になるとすぐに、そのチャネルに接続されているペリフェラルからの DMAリクエストを処理したり、メモリ間ブロック転送を開始することができます。

注： **チャネル設定手順の最後の 2 ステップを DMA_CCRx レジスタへのシングルアクセスの中に含めて、チャネルを設定および有効化しても構いません。**

チャネルの状態とチャネルの無効化

アクティブ状態のチャネル x は有効チャネルです（DMA_CCRx.EN の読出し = 1）。アクティブチャネル x は、ソフトウェアによって有効化され（DMA_CCRx.EN を 1 にセット）、その後に転送エラーが発生していない（DMA_ISR.TEIFx = 0）必要があります。転送エラーがあると、そのチャネルはハードウェアによって自動的に無効化されます（DMA_CCRx.EN = 0）。

以下の 3 種類のユースケースが発生する可能性があります。

- チャネルのサスペンドと再開

  このユースケースは、次の 2 つのアクションに相当します。
  - アクティブチャネルがソフトウェアによって無効化されます（DMA_CCRx.EN = 1 であるのに DMA_CCRx.EN = 0 を書込み）。
  - 他のチャネルレジスタ（DMA_CNDTRx、DMA_CPARx、DMA_CMARx など）を再設定することなく、ソフトウェアがそのチャネルを再度有効化します（DMA_CCRx.EN を 1 にセット）。

このケースには DMA ハードウェアが対応しておらず、残りのデータ転送が正常に実行されるかどうかは保証されません。

- チャネルの停止とアボート

  アプリケーションがもはやそのチャネルを必要としていない場合、このアクティブチャネルはソフトウェアによって無効化できます。チャネルの停止とアボートは行われますが、アボートされた転送元と転送先のバッファ／レジスタに対して、DMA_CNDTRx レジスタの内容は、残りのデータ転送を正しく反映していない可能性があります。

- チャネルのアボートと再開

  このユースケースは、アクティブチャネルを無効化した後にそのチャネルを再設定して再び有効化するというソフトウェアシーケンスに相当します。

  次の条件が満足された場合に、ハードウェアによる対応が行われます。

  – ソフトウェアがチャネルを無効化するときに、そのマスタポートに対して DMA データ転送が同時に発生していないことをアプリケーションが保証します。たとえば、アプリケーションは、DMA モードにあるペリフェラルをまず無効化して、このペリフェラルからの保留中のハードウェア DMAリクエストが存在しないことを保証することができます。

  – ソフトウェアは、以下のようにして、同一の DMA_CCRx レジスタに対して、独立した書込みアクセスを行う必要があります。最初に、チャネルを無効化します。次に、設定の変更が必要であれば、DMA_CCRx を含む次のブロック転送に対してチャネルを再設定します。DMA_CCRx.EN=1 のときには、読出し専用の DMA_CCRx レジスタフィールドが存在します。最後に、チャネルを再び有効化します。

チャネル転送エラーが発生すると、DMA_CCRx レジスタの EN ビットがハードウェアによってクリアされます。DMA_ISR レジスタの TEIFx ビットがセットされるまでは、チャネル x を再有効化するために、この EN ビットをソフトウェアによって再セットすることはできません。

サーキュラモード（メモリからペリフェラル／ペリフェラルからメモリへの転送）

サーキュラモードを使用すると、サーキュラバッファや連続したデータフロー（ADC スキャンモードなど）を処理できます。この機能は、DMA_CCRx レジスタの CIRC ビットを使用して有効にできます。

注： **サーキュラモードはメモリ間転送では使用しないでください。サーキュラモードでのチャネル有効化（CIRC = 1）の前に、ソフトウェアによって DMA_CCRx レジスタの MEM2MEM ビットをクリアしてください。サーキュラモードが有効になると、転送データ数にはチャネル設定段階でプログラミングされた初期値が自動的に再ロードされ、DMA リクエストの処理が続行されます。**

サーキュラ転送を停止するには、DMA チャネルを無効化する前に、ソフトウェアによってペリフェラルによる DMA リクエストの生成を止めさせる必要があります（ADC スキャンモードの中止など）。転送を開始／有効化する前、およびサーキュラ転送の停止後、ソフトウェアによって DMA_CNDTRx の値を明示的にプログラムしてください。

メモリ間モード

DMA チャネルは、ペリフェラルからのリクエストによってトリガされなくても動作できます。このモードはメモリ間モードと呼ばれ、ソフトウェアによって開始されます。

DMA_CCRx レジスタの MEM2MEM ビットがセットされると、チャネルは、有効な場合、転送を開始します。DMA_CNDTRx レジスタがゼロに達すると、転送は停止します。

注： **メモリ間モードはサーキュラモードでは使用しないでください。メモリ間モードでのチャネル有効化（MEM2MEM = 1）の前に、ソフトウェアによって DMA_CCRx レジスタの CIRC ビットをクリアしてください。**

ペリフェラル間モード

DMA チャネルは、以下の場合にペリフェラル間モードで動作可能です。

- DMA チャネルをトリガするために、ペリフェラルからのハードウェアリクエストが選択されている場合。

  このペリフェラルは DMA イニシエータであり、このペリフェラルと別のメモリマップペリフェラル（DMA モードに設定されていないもの）に属するレジスタの間のデータ転送のペースを調整します。
- ペリフェラルリクエストが選択されておらず、DMA チャネルに接続されていない場合

  ソフトウェアは、DMA_CCRx レジスタの MEM2MEM ビットをセットすることにより、レジスタ間の転送を設定します。

転送方向のプログラミング、転送元／転送先の割当て

DMA_CCRx レジスタの DIR ビットには転送方向が設定されます。これにより、転送元／転送先の種類（ペリフェラルやメモリ）に関係なく、その値から転送元と転送先が特定されます。

- **DIR = 1** は、一般にメモリからペリフェラルへの転送を定義します。より一般的には、DIR = 1 の場合
  - **転送元** 属性は、DMA_MARx レジスタ、DMA_CCRx レジスタの MSIZE[1:0] フィールドと MINC ビットで定義します。
    それらの一般的な名称に関係なく、このような「メモリ」のレジスタ、フィールド、およびビットは、ペリフェラル間転送における転送元ペリフェラルを定義するために使用します。
  - **転送先** 属性は、DMA_PARx レジスタ、DMA_CCRx レジスタの PSIZE[1:0] フィールドと PINC ビットで定義します。
    それらの一般的な名称に関係なく、このような「ペリフェラル」のレジスタ、フィールド、およびビットは、メモリ間転送における転送先メモリを定義するために使用します。
- **DIR = 0** は、一般にメペリフェラルからメモリへの転送を定義します。より一般的には、DIR = 0 の場合
  - **転送元** 属性は、DMA_PARx レジスタ、DMA_CCRx レジスタの PSIZE[1:0] フィールドと PINC ビットで定義します。
    それらの一般的な名称に関係なく、このような「ペリフェラル」のレジスタ、フィールド、およびビットは、メモリ間転送における転送元メモリを定義するために使用します。
  - **転送先** 属性は、DMA_MARx レジスタ、DMA_CCRx レジスタの MSIZE[1:0] フィールドと MINC ビットで定義します。
    それらの一般的な名称に関係なく、このような「メモリ」のレジスタ、フィールド、およびビットは、ペリフェラル間転送における転送先ペリフェラルを定義するために使用します。

11.4.5 DMA データの幅、アライメント、およびエンディアン

PSIZE[1:0] と MSIZE[1:0] が等しくない場合、DMA コントローラは、次の表のように一部のデータのアライメントを行います。

表 48. プログラム可能なデータ幅およびエンディアンの動作（PINC = MINC = 1 の場合）

転送元ポートの幅（DIR = 1 ならば MSIZE、そうでなければ PSIZE）	転送先ポートの幅（DIR = 1 ならば PSIZE、そうでなければ MSIZE）	転送するデータ項目の数（NDT）	転送元の内容：アドレス／データ（DIR = 1 の場合は DMA_CMARx、それ以外の場合は DMA_CPARx）	DMA 転送	転送先の内容：アドレス／データ（DIR = 1 の場合は DMA_CPARx、それ以外の場合は DMA_CMARx）
8	8	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1：B0[7:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2：B1[7:0] を 0x1 で読み出し、次に B1[7:0] を 0x1 に書き込みます。 3：B2[7:0] を 0x2 で読み出し、次に B2[7:0] を 0x2 に書き込みます。 4：B3[7:0] を 0x3 で読み出し、次に B3[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3
8	16	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1：B0[7:0] を 0x0 で読み出し、次に 00B0[15:0] を 0x0 に書き込みます。 2：B1[7:0] を 0x1 で読み出し、次に 00B1[15:0] を 0x2 に書き込みます。 3：B2[7:0] を 0x2 で読み出し、次に 00B2[15:0] を 0x4 に書き込みます。 4：B3[7:0] を 0x3 で読み出し、次に 00B3[15:0] を 0x6 に書き込みます。	@0x0 / 00B0 @0x2 / 00B1 @0x4 / 00B2 @0x6 / 00B3
8	32	4	@0x0 / B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: B0[7:0] を 0x0 で読み出し、次に 000000B0[31:0] を 0x0 に書き込みます。 2: B1[7:0] を 0x1 で読み出し、次に 000000B1[31:0] を 0x4 に書き込みます。 3: B2[7:0] を 0x2 で読み出し、次に 000000B2[31:0] を 0x8 に書き込みます。 4: B3[7:0] を 0x3 で読み出し、次に 000000B3[31:0] を 0xC に書き込みます。	@0x0 / 000000B0 @0x4 / 000000B1 @0x8 / 000000B2 @0xC / 000000B3
16	8	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1：B1B0[15:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2：B3B2[15:0] を 0x2 で読み出し、次に B2[7:0] を 0x1 に書き込みます。 3：B5B4[15:0] を 0x4 で読み出し、次に B4[7:0] を 0x2 に書き込みます。 4：B7B6[15:0] を 0x6 で読み出し、次に B6[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B2 @0x2 / B4 @0x3 / B6
16	16	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1：B1B0[15:0] を 0x0 で読み出し、次に B1B0[15:0] を 0x0 に書き込みます。 2：B3B2[15:0] を 0x2 で読み出し、次に B3B2[15:0] を 0x2 に書き込みます。 3：B5B4[15:0] を 0x4 で読み出し、次に B5B4[15:0] を 0x4 に書き込みます。 4：B7B6[15:0] を 0x6 で読み出し、次に B7B6[15:0] を 0x6 に書き込みます。	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6
16	32	4	@0x0 / B1B0 @0x2 / B3B2 @0x4 / B5B4 @0x6 / B7B6	1：B1B0[15:0] を 0x0 で読み出し、次に 0000B1B0[31:0] を 0x0 に書き込みます。 2：B3B2[15:0] を 0x2 で読み出し、次に 0000B3B2[31:0] を 0x4 に書き込みます。 3：B5B4[15:0] を 0x4 で読み出し、次に 0000B5B4[31:0] を 0x8 に書き込みます。 4：B7B6[15:0] を 0x6 で読み出し、次に 0000B7B6[31:0] を 0xC に書き込みます。	@0x0 / 0000B1B0 @0x4 / 0000B3B2 @0x8 / 0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1：B3B2B1B0[31:0] を 0x0 で読み出し、次に B0[7:0] を 0x0 に書き込みます。 2：B7B6B5B4[31:0] を 0x4 で読み出し、次に B4[7:0] を 0x1 に書き込みます。 3：BBBAB9B8[31:0] を 0x8 で読み出し、次に B8[7:0] を 0x2 に書き込みます。 4：BFBEBDBC[31:0] を 0xC で読み出し、次に BC[7:0] を 0x3 に書き込みます。	@0x0 / B0 @0x1 / B4 @0x2 / B8 @0x3 / BC

表 48. プログラム可能なデータ幅およびエンディアンの動作（PINC = MINC = 1 の場合）（続き）

転送元ポートの幅（DIR = 1 ならば MSIZE、そうでなければ PSIZE）	転送先ポートの幅（DIR = 1 ならば PSIZE、そうでなければ MSIZE）	転送するデータ項目の数（NDT）	転送元の内容：アドレス／データ（DIR = 1 の場合は DMA_CMARx、それ以外の場合は DMA_CPARx）	DMA 転送	転送先の内容：アドレス／データ（DIR = 1 の場合は DMA_CPARx、それ以外の場合は DMA_CMARx）
32	16	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1：B3B2B1B0[31:0] を 0x0 で読み出し、次に B1B0[15:0] を 0x0 に書き込みます。 2：B7B6B5B4[31:0] を 0x4 で読み出し、次に B5B4[15:0] を 0x2 に書き込みます。 3：BBBAB9B8[31:0] を 0x8 で読み出し、次に B9B8[15:0] を 0x4 に書き込みます。 4：BFBEBDBC[31:0] を 0xC で読み出し、次に BDBC[15:0] を 0x6 に書き込みます。	@0x0 / B1B0 @0x2 / B5B4 @0x4 / B9B8 @0x6 / BDBC
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC	1：B3B2B1B0[31:0] を 0x0 で読み出し、次に B3B2B1B0[31:0] を 0x0 に書き込みます。 2：B7B6B5B4[31:0] を 0x4 で読み出し、次に B7B6B5B4[31:0] を 0x4 に書き込みます。 3：BBBAB9B8[31:0] を 0x8 で読み出し、次に BBBAB9B8[31:0] を 0x8 に書き込みます。 4：BFBEBDBC[31:0] を 0xC で読み出し、次に BFBEBDBC[31:0] を 0xC に書き込みます。	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC / BFBEBDBC

バイト／ハーフワード書込み転送をサポートしていない AHB ペリフェラルのアドレス指定

DMA コントローラが AHB のバイトまたはハーフワード書込み転送を開始すると、データは AHB マスタの 32ビットデータバス（HWDATA[31:0]）の未使用レーンに複製されます。

AHB スレーブペリフェラルがバイト／ハーフワード書込み転送をサポートしておらず、エラーが 1件も出ていない場合は、DMA コントローラは以下の 2つの例に示されるように 32 HWDATA ビットを書き込みます。

- ハーフワード 0xABCD を書き込むには、DMA コントローラは HWDATA バスをデータサイズのハーフワードで 0xABCDABCD に設定します（AHB マスタバスでは HSIZE = ハーフワード）。
- バイト 0xAB を書き込むには、DMA コントローラは HWDATA バスをデータサイズのバイトで 0xABABABAB に設定します（AHB マスタバスでは HSIZE = バイト）。

AHB/APB ブリッジが AHB 32 ビットスレーブペリフェラルである（HSIZE の値は考慮せず）と仮定した場合、以下のようなやり方で、AHB バイトまたはハーフワード転送を 32 ビット APB 転送に変換します。

- データ「0xB0」を アドレス 0x0、0x1、0x2、または 0x3 のいずれかに書き込む AHB バイト書込み転送は、データ「0xB0B0B0B0」をアドレス 0x0 に書き込む APB ワード書込み転送に変換されます。
- データ「0xB1B0」を アドレス 0x0 または 0x2 に書き込む AHB ハーフワード書込み転送は、データ「0xB1B0B1B0」をアドレス 0x0 に書き込む APB ワード書込み転送に変換されます。

11.4.6 DMA エラー管理

DMA 転送エラーは、予約済みアドレス空間に対する読出しや書込み時に生成されます。DMA 読出しまたは書込みアクセス中に DMA 転送エラーが発生した場合、障害のあるチャネル x は、対応する DMA_CCRx レジスタの EN ビットをハードウェアによってクリアすることにより、自動的に無効化されます。

DMA_ISR レジスタの TEIFx ビットがセットされます。次に、DMA_CCRx レジスタの TEIE ビットがセットされている場合、割込みが生成されます。

DMA_ISR レジスタの TEIFx ビットがクリアされるまでは（DMA_IFCR レジスタの CTEIFx ビットをセットすることによって）、DMA_CCRx レジスタの EN ビットをソフトウェアによって再セット（チャネル x の再有効化）することはできません。

ペリフェラルを含むチャネルを介して転送エラーがソフトウェアに通知されると、ペンディング状態のまたはこの先の DMA リクエストを無効にするために、ソフトウェアはまず DMA モードでこのペリフェラルを停止します。ソフトウェアは、通常、DMA モードで DMA とペリフェラルの両方を次の転送用に再設定することができます。

11.5 DMA 割込み

割込みは、DMA チャネル x ごとの 1/2 転送、転送完了、転送エラーに対して生成されます。高い柔軟性を実現するため、個別の割込みイネーブルビットを使用できます。

表 49. DMA 割込みリクエスト

割込みリクエスト	割込みイベント	イベントフラグ	割込み有効化ビット
チャネル x 割込み	チャネル x の 1/2 転送	HTIFx	HTIEx
	チャネル x の転送完了	TCIFx	TCIEx
	チャネル x の転送エラー	TEIFx	TEIEx
	チャネル x の 1/2 転送、転送完了、または転送エラー	GIFx	-

11.6 DMA レジスタ

レジスタの説明で使用されている略語のリストについては、セクション 1.2 を参照してください。

DMA レジスタには、ワード（32ビット）単位でアクセスする必要があります。

11.6.1 DMA 割込みステータスレジスタ（DMA_ISR）

アドレスオフセット：0x00

リセット値：0x0000 0000

ステータスビットは、ソフトウェアが DMA_IFCR レジスタの対応するクリアビットまたは対応するグローバルクリアビット CGIFx をセットしたときに、ハードウェアによってすべてクリアされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TEIF7**：チャネル 7 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 26 **HTIF7**：チャネル 7 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 25 **TCIF7**：チャネル 7 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 24 **GIF7**：チャネル 7 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 23 **TEIF6**：チャネル 6 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 22 **HTIF6**：チャネル 6 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベント発生

ビット 21 **TCIF6**：チャネル 6 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 20 **GIF6**：チャネル 6 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 19 **TEIF5**：チャネル 5 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 18 **HTIF5**：チャネル 5 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 17 **TCIF5**：チャネル 5 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 16 **GIF5**：チャネル 5 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 15 **TEIF4**：チャネル 4 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 14 **HTIF4**：チャネル 4 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 13 **TCIF4**：チャネル 4 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 12 **GIF4**：チャネル 4 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 11 **TEIF3**：チャネル 3 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 10 **HTIF3**：チャネル 3 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 9 **TCIF3**：チャネル 3 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 8 **GIF3**：チャネル 3 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 7 **TEIF2**：チャネル 2 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 6 **HTIF2**：チャネル 2 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 5 **TCIF2**：チャネル 2 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 4 **GIF2**：チャネル 2 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

ビット 3 **TEIF1**：チャネル 1 の転送エラー（TE）フラグ
0：TE イベントなし
1：TE イベント発生

ビット 2 **HTIF1**：チャネル 1 の 1/2 転送（HT）フラグ
0：HT イベントなし
1：HT イベントが発生しました。

ビット 1 **TCIF1**：チャネル 1 の転送完了（TC）フラグ
0：TC イベントなし
1：TC イベント発生

ビット 0 **GIF1**：チャネル 1 のグローバル割込みフラグ
0：TE、HT、または TC イベントなし
1：TE、HT、または TC イベント発生

11.6.2 DMA 割込みフラグクリアレジスタ（DMA_IFCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

この DMA_IFCR レジスタでチャネル x のグローバルクリアビット CGIFx をセットすると、DMA ハードウェアは、対応する GIFx ビットおよび DMA_ISR レジスタの TEIFx、HTIFx、TCIFx の個々のフラグをクリアします。

この DMA_IFCR レジスタで CTEIFx、CHTIFx、CTCIFx の個々のクリアビッをセットすると、DMA ハードウェアは、対応する個々のフラグ、および DMA_ISR レジスタのグローバルフラグ GIFx をクリアします。ただし、その他の 2 つのフラグがいずれもセットされていないことを条件とします。

フラグクリアビットに 0 を書き込んでも影響はありません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5
				w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **CTEIF7**：チャネル 7 の転送エラーフラグのクリア

ビット 26 **CHTIF7**：チャネル 7 の 1/2 転送フラグのクリア

ビット 25 **CTCIF7**：チャネル 7 の転送完了フラグのクリア

ビット 24 **CGIF7**：チャネル 7 のグローバル割込みフラグのクリア

ビット 23 **CTEIF6**：チャネル 6 の転送エラーフラグのクリア

ビット 22 **CHTIF6**：チャネル 6 の 1/2 転送フラグのクリア

ビット 21 **CTCIF6**：チャネル 6 の転送完了フラグのクリア

ビット 20 **CGIF6**：チャネル 6 のグローバル割込みフラグのクリア

ビット 19 **CTEIF5**：チャネル 5 の転送エラーフラグのクリア

ビット 18 **CHTIF5**：チャネル 5 の 1/2 転送フラグのクリア

ビット 17 **CTCIF5**：チャネル 5 の転送完了フラグのクリア

ビット 16 **CGIF5**：チャネル 5 のグローバル割込みフラグのクリア

ビット 15 **CTEIF4**：チャネル 4 の転送エラーフラグのクリア

ビット 14 **CHTIF4**：チャネル 4 の 1/2 転送フラグのクリア

ビット 13 **CTCIF4**：チャネル 4 の転送完了フラグのクリア

ビット 12 **CGIF4**：チャネル 4 のグローバル割込みフラグのクリア

ビット 11 **CTEIF3**：チャネル 3 の転送エラーフラグのクリア

ビット 10 **CHTIF3**：チャネル 3 の 1/2 転送フラグのクリア

ビット 9 **CTCIF3**：チャネル 3 の転送完了フラグのクリア

ビット 8 **CGIF3**：チャネル 3 のグローバル割込みフラグのクリア

ビット 7 **CTEIF2**：チャネル 2 の転送エラーフラグのクリア

ビット 6 **CHTIF2**：チャネル 2 の 1/2 転送フラグのクリア

ビット 5 **CTCIF2**：チャネル 2 の転送完了フラグのクリア

ビット 4 **CGIF2**：チャネル 2 のグローバル割込みフラグのクリア

ビット 3 **CTEIF1**：チャネル 1 の転送エラーフラグのクリア

ビット 2 **CHTIF1**：チャネル 1 の 1/2 転送フラグのクリア

ビット 1 **CTCIF1**：チャネル 1 の転送完了フラグのクリア

ビット 0 **CGIF1**：チャネル 1 のグローバル割込みフラグのクリア

11.6.3 DMA チャネル x 設定レジスタ（DMA_CCRx）

アドレスオフセット：0x08 + 0x14 * (x - 1)、（x = 1 ～ 7）

リセット値：0x0000 0000

レジスタフィールド／ビット MEM2MEM、PL[1:0]、MSIZE[1:0]、PSIZE[1:0]、MINC、PINC、および DIR は EN = 1 のとき、読出し専用です。

MEM2MEM ビットと CIRC ビットの状態が両方とも同時にハイになってはいけません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **MEM2MEM**：メモリ間モード

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 13:12 **PL[1:0]**：優先順位レベル

00：低

01：中

10：高

11：最優先

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 11:10 **MSIZE[1:0]**：メモリサイズ

このビットは、指定されたメモリへの各 DMA 転送のデータサイズを定義します。

メモリ間モードでは、このビットフィールドは DIR = 1 の場合はメモリ転送元を、DIR = 0 の場合はメモリ転送先を示します。

ペリフェラル間モードでは、このビットフィールドは DIR = 1 の場合はペリフェラル転送元を、DIR = 0 の場合はペリフェラル転送先を示します。

00：8 ビット

01：16 ビット

10：32 ビット

11：予約済みです。

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 9:8 **PSIZE[1:0]**：ペリフェラルサイズ

このビットは、指定されたペリフェラルへの各 DMA 転送のデータサイズを定義します。

メモリ間モードでは、このビットフィールドは DIR = 1 の場合はメモリ転送先を、DIR = 0 の場合はメモリ転送元を示します。

ペリフェラル間モードでは、このビットフィールドは DIR = 1 の場合はペリフェラル転送先を、DIR = 0 の場合はペリフェラル転送元を示します。

00：8 ビット

01：16 ビット

10：32 ビット

11：予約済みです。

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 7 **MINC**：メモリインクリメントモード

このビットは、指定されたメモリへの各 DMA 転送のインクリメントモードを定義します。

メモリ間モードでは、このビットは DIR = 1 の場合はメモリ転送元を、DIR = 0 の場合はメモリ転送先を示します。

ペリフェラル間モードでは、このビットは DIR = 1 の場合はペリフェラル転送元を、DIR = 0 の場合はペリフェラル転送先を示します。

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 6 **PINC**：ペリフェラルインクリメントモード

このビットは、指定されたペリフェラルへの各 DMA 転送のインクリメントモードを定義します。

メモリ間モードでは、このビットは DIR = 1 の場合はメモリ転送先を、DIR = 0 の場合はメモリ転送元を示します。

ペリフェラル間モードでは、このビットは DIR = 1 の場合はペリフェラル転送先を、DIR = 0 の場合はペリフェラル転送元を示します。

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 5 **CIRC**：サーキュラモード

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

ビット 4 **DIR**：データ転送方向

このビットは、必ず"メモリからペリフェラル"モードおよび"ペリフェラルからメモリ"モードでセットしてください。

0：ペリフェラルから読み出します。

– 転送元属性は、PSIZE と PINC、および DMA_CPARx レジスタで定義します。この条件は、メモリ間モードでも有効です。

– 転送先属性は、MSIZE と MINC、および DMA_CMARx レジスタで定義します。この条件は、ペリフェラル間モードでも有効です。

1：メモリから読み出します。

– 転送先属性は、PSIZE と PINC、および DMA_CPARx レジスタで定義します。この条件は、メモリ間モードでも有効です。

– 転送元属性は、MSIZE と MINC、および DMA_CMARx レジスタで定義します。この条件は、ペリフェラル間モードでも有効です。

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

ビット 3 **TEIE**：転送エラー割込み有効化

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

ビット 2 **HTIE**：1/2 転送割込みイネーブル

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

ビット 1 **TCIE**：転送完了割込み有効化

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

ビット 0 **EN**：チャネルイネーブル

チャネル転送エラーが発生すると、このビットはハードウェアによってクリアされます。DMA_ISR レジスタの TEIFx ビットがクリアされるまでは（DMA_IFCR レジスタの CTEIFx ビットをセットすることによって）、このビットをソフトウェアによって再セット（チャネル x の再起動）することはできません。

0：無効

1：有効

注： このビットは、ソフトウェアによってセット／クリアされます。

11.6.4 DMA チャネル x 転送データ数レジスタ（DMA_CNDTRx）

アドレスオフセット：0x0C + 0x14 * (x - 1)、（x = 1 ～ 7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **NDT[15:0]**：転送データ数（0～2^{16} - 1）

チャネルが有効な場合、このビットフィールドはハードウェアによって更新されます。

- このフィールドは、書込み転送に続く各シングル DMA 読出し後にデクリメントされ、残りの転送データ項目数を示します。
- チャネルがサーキュラモードでない場合（DMA_CCRx レジスタの CIRC = 0）、プログラムされた転送データ数に達すると、このフィールドはゼロに保持されます。
- チャネルがサーキュラモードの場合（CIRC = 1）、転送完了時に、このフィールドには前もってプログラムされた値が自動的に再ロードされます。

このビットフィールドがゼロの場合、チャネルの状態（有効／無効）にかかわらず、転送は処理できません。

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用です。

11.6.5 DMA チャネル x ペリフェラルアドレスレジスタ（DMA_CPARx）

アドレスオフセット：0x10 + 0x14 * (x - 1)、（x = 1 ～ 7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **PA[31:0]**：ペリフェラルアドレス

このビットは、データの読出し／書込みが行われるペリフェラルデータレジスタのベースアドレスを含みます。

PSIZE[1:0] = 01（16 ビット）の場合、PA[31:0] のビット 0 は無視されます。アクセスは、自動的にハーフワードアドレスにアライメントされます。

PSIZE[1:0] = 10（32 ビット）の場合、PA[31:0] のビット 1 および 0 は無視されます。アクセスは、自動的にワードアドレスにアライメントされます。

メモリ間モードでは、このビットフィールドは DIR = 1 の場合はメモリ転送先アドレスを、DIR = 0 の場合はメモリ転送元アドレスを示します。

ペリフェラル間モードでは、このビットフィールドは DIR = 1 の場合はペリフェラル転送先アドレスを、DIR = 0 の場合はペリフェラル転送元アドレスを示します。

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

11.6.6 DMA チャネル x メモリアドレスレジスタ（DMA_CMARx）

アドレスオフセット：0x14 + 0x14 * (x - 1)、（x = 1 ～ 7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MA[31:0]**：ペリフェラルアドレス

このビットは、データの読出し／書込みが行われるメモリのベースアドレスを含みます。

MSIZE[1:0] = 01（16 ビット）の場合、MA[31:0] のビット 0 は無視されます。アクセスは、自動的にハーフワードアドレスにアライメントされます。

MSIZE[1:0] = 10（32 ビット）の場合、MA[31:0] のビット 1 および 0 は無視されます。アクセスは、自動的にワードアドレスにアライメントされます。

メモリ間モードでは、このビットフィールドは DIR = 1 の場合はメモリ転送元アドレスを、DIR = 0 の場合はメモリ転送先アドレスを示します。

ペリフェラル間モードでは､このビットフィールドは DIR = 1 の場合はペリフェラル転送元アドレスを、DIR = 0 の場合はペリフェラル転送先アドレスを示します。

注： このビットフィールドは、ソフトウェアによってセット／クリアされます。チャネルが有効な場合（EN = 1）は書き込まないでください。チャネルが有効な場合（EN = 1）は読出し専用ではありません。

11.6.7 DMA レジスタマップ

表 50. DMA レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMA_ISR	Res.	Res.	Res.	Res.	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DMA_IFCR	Res.	Res.	Res.	Res.	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DMA_CCR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	DMA_CNDTR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	DMA_CPAR1	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	DMA_CMAR1	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	予約済みです。	予約済み。																															
0x01C	DMA_CCR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 50. DMA レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x020	DMA_CNDTR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DMA_CPAR2	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	DMA_CMAR2	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	予約済みです。	予約済み。																															
0x030	DMA_CCR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DMA_CNDTR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	DMA_CPAR3	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	DMA_CMAR3	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	予約済みです。	予約済み。																															
0x044	DMA_CCR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x048	DMA_CNDTR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	DMA_CPAR4	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	DMA_CMAR4	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	予約済みです。	予約済み。																															
0x058	DMA_CCR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	DMA_CNDTR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060	DMA_CPAR5	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	DMA_CMAR5	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	予約済みです。	予約済み。																															
0x06C	DMA_CCR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070	DMA_CNDTR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x074	DMA_CPAR6	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x078	DMA_CMAR6	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x07C	予約済みです。	予約済み。																															

表 50. DMA レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x080	DMA_CCR7	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	DMA_CNDTR7	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	NDTR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088	DMA_CPAR7	PA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08C	DMA_CMAR7	MA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、セクション 2.2 を参照してください。

12 DMA リクエストマルチプレクサ（DMAMUX）

12.1 概要

ペリフェラルは DMA リクエスト信号の設定による DMA 転送のリクエストを示します。DMA リクエストは、DMA 確認応答信号を生成する DMA コントローラで処理されるまで保留され、対応する DMA リクエスト信号はネゲートされます。

本書では、DMA リクエスト／確認応答プロトコルに必要な一連の制御信号を明示的に示したり説明したりしていませんが、これは DMA リクエストラインとして参照します。

DMAMUX リクエストマルチプレクサにより、製品のペリフェラルと DMA コントローラの間で DMA リクエストラインをルーティングすることができます。ルーティング機能は、プログラム可能なマルチチャネル DMA リクエストラインマルチプレクサにより確保されます。各チャネルは、DMAMUX 同期入力のイベントで無条件に、または同期的に一意の DMA リクエストラインを選択します。DMAMUX は、入力トリガ信号のプログラム可能なイベントからの DMA リクエストジェネレータとしても使用できます。

DMAMUX 構成の数およびそれらの主な特性は、セクション 12.3.1 で指定されています。

ペリフェラルからの DMA リクエストラインおよび DMAMUX リクエストジェネレータ出力への DMAMUX リクエストマルチプレクサ入力の割り当て、DMA コントローラチャネルへの DMAMUX リクエストマルチプレクサ出力の割り当て、および内部および外部信号への DMAMUX 同期およびトリガ入力の割り当ては、製品の実装に依存しています。これらの詳細は、セクション 12.3.2 で述べられています。

12.2 DMAMUX の主な機能

- 14 チャネルのプログラム可能な DMA リクエストラインマルチプレクサ出力
- 4 チャネルの DMA リクエストジェネレータ
- 20 の DMA リクエストジェネレータへのトリガ入力
- 20 の同期入力
- DMA リクエストジェネレータチャネル：
  - DMA リクエストトリガ入力セレクタ
  - DMA リクエストカウンタ
  - 選択された DMA リクエストトリガ入力のイベントオーバーランフラグ
- DMA リクエストラインマルチプレクサチャネル出力：
  - 36 のペリフェラルからの DMA リクエストラインの入力
  - 1 つの DMA リクエストライン出力
  - 同期入力セレクタ
  - DMA リクエストカウンタ
  - 選択された同期入力のイベントオーバーランフラグ
  - DMA リクエスト連鎖のための 1 つのイベント出力

12.3 DMAMUX の実装

表 51. DMAMUX の実装

機能	STM32WB55xx	STM32WB35xx
DMA リクエスト SPI2	X	-

12.3.1 DMAMUX の構成

DMAMUX は、次の表に記載されているハードウェア設定パラメータで構成されています。

表 52. DMAMUX の構成

機能	DMAMUX
DMAMUX 出力リクエストチャネルの数	14
DMAMUX リクエストジェネレータチャネルの数	4
DMAMUX リクエストトリガ入力の数	20
DMAMUX 同期入力の数	20
DMAMUX ペリフェラルリクエスト入力の数	36

12.3.2 DMAMUX のマッピング

DMAMUX へのリソースの配置は配線接続されています。

DMAMUX は、DMA1 および DMA2 で使用されます。

- DMAMUX のチャネル 0 から 6 は、DMA1 のチャネル 1 から 7 に接続されます。
- DMAMUX のチャネル 7 から 13 は、DMA2 のチャネル 1 から 7 に接続されます。

表 53. DMAMUX：リソースへのマルチプレクサ入力の割り当て

DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース	DMA リクエスト MUX 入力	リソース
1	dmamux_req_gen0	22	TIM1_CH2	43	予約済み
2	dmamux_req_gen1	23	TIM1_CH3	44	予約済み
3	dmamux_req_gen2	24	TIM1_CH4	45	予約済み
4	dmamux_req_gen3	25	TIM1_UP	46	予約済み
5	ADC1	26	TIM1_TRIG	47	予約済み
6	SPI1_RX	27	TIM1_COM	48	予約済み
7	SPI1_TX	28	TIM2_CH1	49	予約済み
8	SPI2_RX	29	TIM2_CH2	50	予約済み
9	SPI2_TX	30	TIM2_CH3	51	予約済み
10	I2C1_RX	31	TIM2_CH4	52	予約済み
11	I2C1_TX	32	TIM2_UP	53	予約済み
12	I2C3_RX	33	TIM16_CH1	54	予約済み
13	I2C3_TX	34	TIM16_UP	55	予約済み
14	USART1_RX	35	TIM17_CH1	56	予約済み
15	USART1_TX	36	TIM17_UP	57	予約済み
16	LPUART1_RX	37	AES1_IN	58	予約済み
17	LPUART1_TX	38	AES1_OUT	59	予約済み
18	SAI1_A	39	AES2_IN	60	予約済み
19	SAI1_B	40	AES2_OUT	61	予約済み
20	QUADSPI	41	予約済み	62	予約済み
21	TIM1_CH1	42	予約済み	63	予約済み

表 54. DMAMUX：リソースへのトリガ入力の割り当て

トリガ入力	リソース	トリガ入力	リソース
0	EXTI ライン 0	16	dmamux_evt0
1	EXTI ライン 1	17	dmamux_evt1
2	EXTI ライン 2	18	LPTIM1_OUT
3	EXTI ライン 3	19	LPTIM2_OUT
4	EXTI ライン 4	20	予約済み
5	EXTI ライン 5	21	予約済み

表 54. DMAMUX：リソースへのトリガ入力の割り当て （続き）

トリガ入力	リソース	トリガ入力	リソース
6	EXTI ライン 6	22	予約済み
7	EXTI ライン 7	23	予約済み
8	EXTI ライン 8	24	予約済み
9	EXTI ライン 9	25	予約済み
10	EXTI ライン 10	26	予約済み
11	EXTI ライン 11	27	予約済み
12	EXTI ライン 12	28	予約済み
13	EXTI ライン 13	29	予約済み
14	EXTI ライン 14	30	予約済み
15	EXTI ライン 15	31	予約済み

表 55. DMAMUX：リソースへの同期入力の割り当て

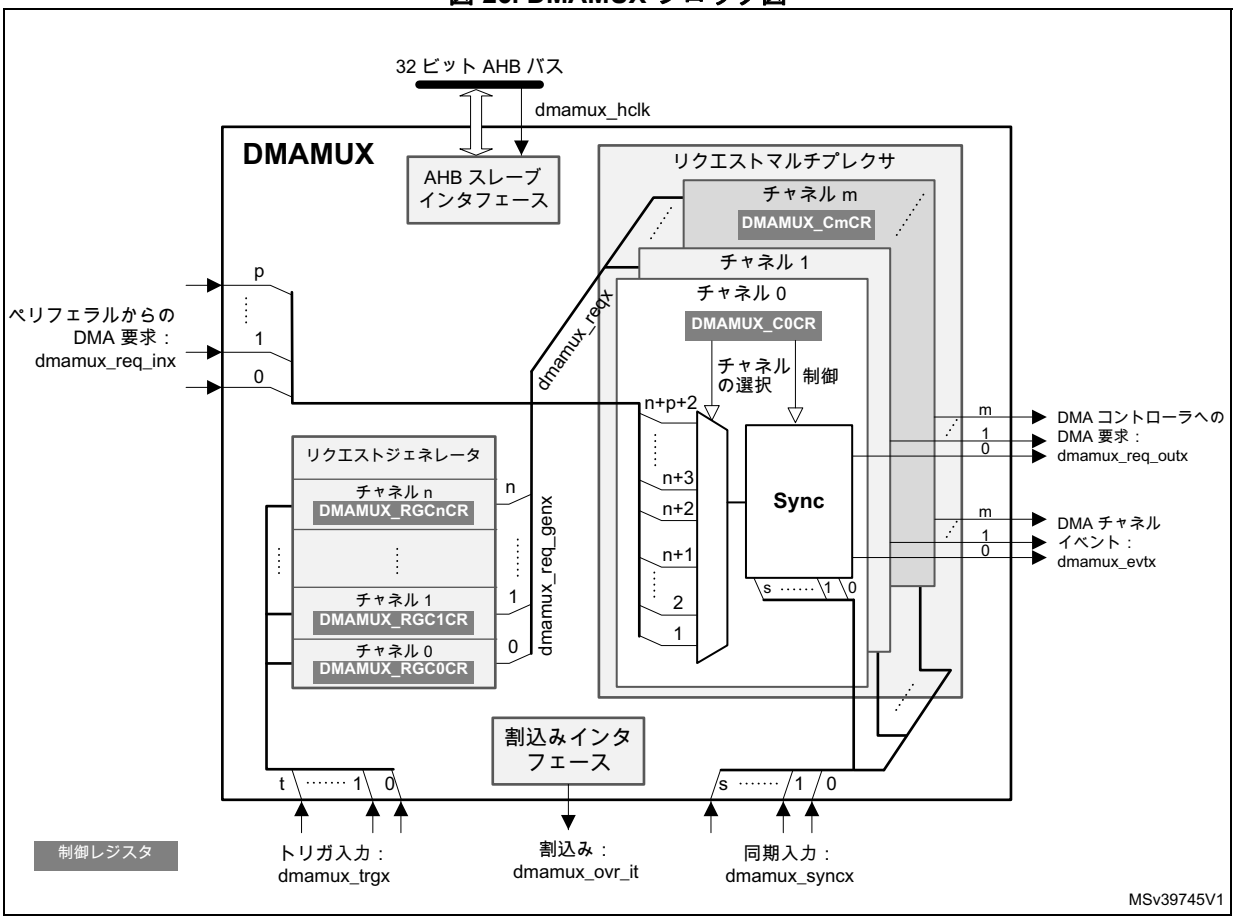
同期入力	リソース	同期入力	リソース
0	EXTI ライン 0	16	dmamux_evt0
1	EXTI ライン 1	17	dmamux_evt1
2	EXTI ライン 2	18	LPTIM1_OUT
3	EXTI ライン 3	19	LPTIM2_OUT
4	EXTI ライン 4	20	予約済み
5	EXTI ライン 5	21	予約済み
6	EXTI ライン 6	22	予約済み
7	EXTI ライン 7	23	予約済み
8	EXTI ライン 8	24	予約済み
9	EXTI ライン 9	25	予約済み
10	EXTI ライン 10	26	予約済み
11	EXTI ライン 11	27	予約済み
12	EXTI ライン 12	28	予約済み
13	EXTI ライン 13	29	予約済み
14	EXTI ライン 14	30	予約済み
15	EXTI ライン 15	31	予約済み

12.4 DMAMUX の機能説明

12.4.1 DMAMUX ブロック図

図 26 に DMAMUX ブロック図を示します。

図 26. DMAMUX ブロック図



DMAMUX には、リクエストラインマルチプレクサとリクエストラインジェネレータの 2 つの主なサブブロックがあります。

実装時の割り当ては次のとおりです。

- ペリフェラル（dmamux_req_inx）および DMAMUX リクエストジェネレータサブブロックのチャネル（dmamux_req_genx）からの DMAMUX リクエストマルチプレクササブブロック入力（dmamux_reqx）
- DMA コントローラのチャネルへの DMAMUX リクエスト出力（dmamux_req_outx）
- DMA リクエストトリガ入力への内部または外部信号（dmamux_trgx）
- 同期入力への内部または外部信号（dmamux_syncx）

12.4.2 DMAMUX 信号

表 56 に DMAMUX 信号をリストします。

表 56. DMAMUX 信号

信号名	説明
dmamux_hclk	DMAMUX AHB クロック
dmamux_req_inx	DMAMUX DMA リクエストライン入力（ペリフェラルから）
dmamux_trgx	DMAMUX DMA リクエストトリガ入力（リクエストジェネレータサブブロックへ）
dmamux_req_genx	DMAMUX リクエストジェネレータサブブロックチャネル出力
dmamux_reqx	DMAMUX リクエストマルチプレクササブブロック入力（ペリフェラルリクエストおよびリクエストジェネレータチャネルから）
dmamux_syncx	DMAMUX 同期入力（リクエストマルチプレクササブブロックへ）
dmamux_req_outx	DMAMUX リクエスト出力（DMA コントローラへ）
dmamux_evtx	DMAMUX イベント出力
dmamux_ovr_it	DMAMUX オーバーラン割込み

12.4.3 DMAMUX チャネル

DMAMUX チャネルは、リクエストマルチプレクサで選択された入力に応じて、追加の DMAMUX リクエストジェネレータチャネルを含めることができる、リクエストマルチプレクサチャネルです。

DMAMUX リクエストマルチプレクサチャネルは、DMA コントローラの単一チャネルへの接続専用です。

チャネル設定手順

DMAMUX の x チャネルと関連する DMA チャネル y を設定するには、次のシーケンスに従ってください。

1. DMA チャネル y をセットし、チャネル y の有効化を除くすべての設定を行います。
2. 関連する DMAMUX y チャネルをセットし、すべての設定を行います。
3. 最後に、DMA y チャネルレジスタの EN ビットをセットして DMA チャネル y を有効にします。

12.4.4 DMAMUX リクエストラインマルチプレクサ

DMAMUX リクエストマルチプレクサには複数のチャネルがあるため、DMA リクエストラインと呼ばれる DMA リクエスト／確認応答制御信号の実際のルーティングが確保されます。

各DMA リクエストラインは、DMAMUX リクエストラインマルチプレクサのすべてのチャネルにそれぞれ並列に接続されます。

DMA リクエストは、ペリフェラルまたは DMAMUX リクエストジェネレータのどちらかから供給されます。

DMAMUX リクエストラインマルチプレクサチャネル x は、DMAMUX_CxCR レジスタの DMAREQ_ID フィールドの設定どおり、DMA リクエストライン番号を選択します。

注： **DMAREQ_IDフィールド が null 値の場合、いずれの DMA リクエストラインも選択されていません。**

注意： **2 つの接続された DMA チャネルが同時にアクティブではないことをアプリケーションが保証している場合を除き、値が Null ではない同じ DMAREQ_ID を異なる x および y の DMAMUX リクエストマルチプレクサチャネルに（DMAMUX_CxCR および DMAMUX_CyCR を介して）プログラムすることはできません。**

DMA リクエスト選択の最上部では、必要に応じて同期モードおよび／またはイベント生成を設定および有効化できます。

同期モードおよびチャネルイベント生成

各 DMAMUX リクエストラインマルチプレクサチャネル x は、DMAMUX_CxCR レジスタの同期有効化（SE）ビットを設定することで、個別に同期することができます。

DMAMUX には複数の同期入力があります。同期入力は、リクエストマルチプレクサのすべてのチャネルに並列に接続されます。

同期入力は、特定のチャネル x の DMAMUX_CxCR レジスタの SYNC_ID フィールドを介して選択されます。

チャネルが同期モードの場合、DMAMUX_CxCR レジスタの SPOL[1:0] フィールドを介して、選択された入力同期信号でプログラム可能な立ち上がり／立ち下がりエッジが検出されると、選択された DMA リクエストラインの入力はマルチプレクサチャネル出力に伝播されます。

さらに、DMAMUX リクエストマルチプレクサの内部には、チャネルリクエスト出力生成とイベント生成に使用できるプログラム可能な DMA リクエストカウンタがあります。チャネル x 出力でのイベント生成は、DMAMUX_CxCR レジスタの EGE ビット（イベント生成イネーブル）を使用して有効化されます。

図 28 に示すように、同期入力の検出されたエッジで、保留中の選択された DMA リクエストラインの入力は DMAMUX マルチプレクサチャネル x 出力に接続されます。

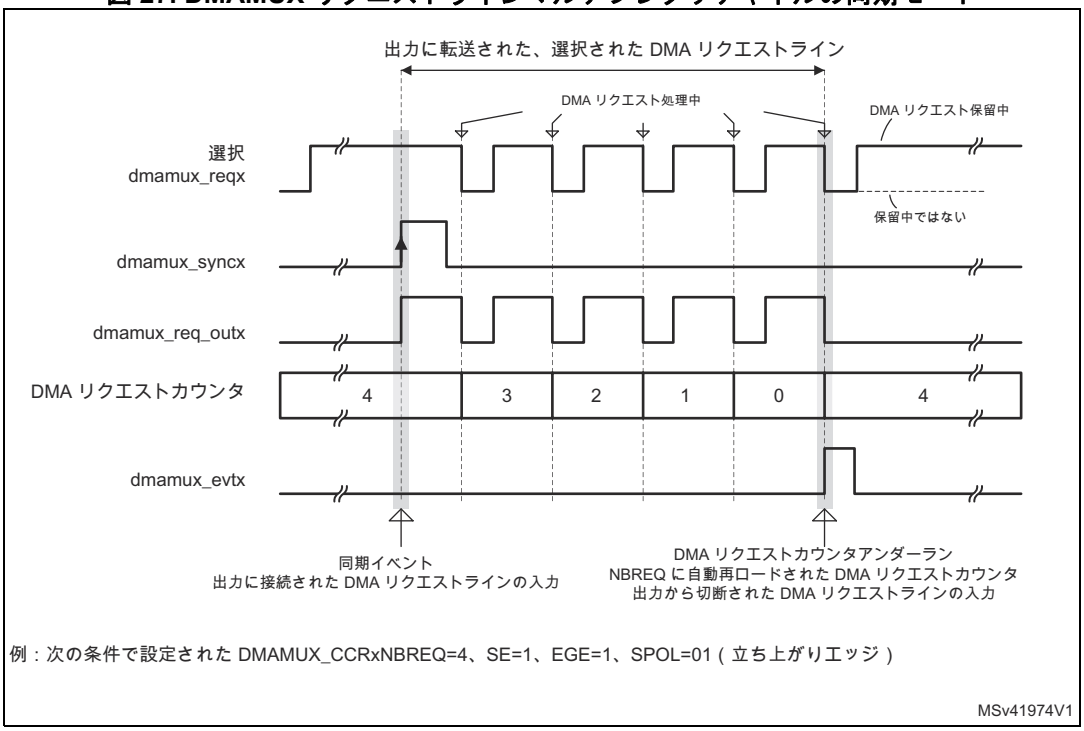
注： **保留中の選択された DMA リクエストラインがないときに同期イベントが発生した場合、そのイベントは破棄されます。続いてアサートされた入力リクエストラインは、同期イベントが再度発生するまで DMAMUX マルチプレクサチャネル出力に接続されません。**

これ以降、接続されている DMAMUX リクエストが DMA コントローラによって処理されるたびに（処理されたリクエストはネゲートされます）、DMAMUX リクエストカウンタがデクリメントされます。アンダーランの際、DMA リクエストカウンタには DMAMUX_CxCR レジスタの NBREQ フィールドの値が自動的にロードされ、DMA リクエストラインの入力はマルチプレクサチャネル x 出力から切断されます。

このため、検出された同期イベントに続いてマルチプレクサチャネル x 出力に転送される DMA リクエストの数は、NBREQ フィールドの値に 1 を加えた数と等しくなります。

注： **NBREQ フィールド値は、対応するマルチプレクサチャネル x の同期イネーブルビット（SE）およびイベント生成イネーブルビット（EGE）の両方が無効である場合にのみ、ソフトウェアによって書き込むことができます。**

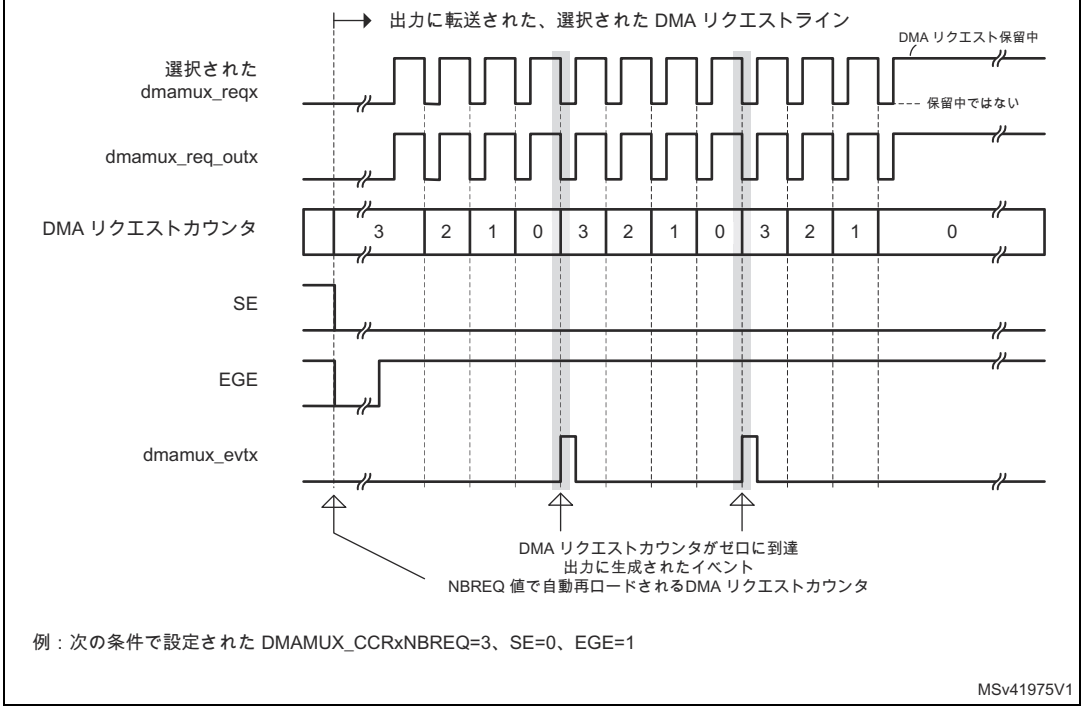
図 27. DMAMUX リクエストラインマルチプレクサチャネルの同期モード



例：次の条件で設定された DMAMUX_CCRxNBREQ=4、SE=1、EGE=1、SPOL=01（立ち上がりエッジ）

MSv41974V1

図 28. DMA リクエストラインマルチプレクサチャネルのイベント生成



例：次の条件で設定された DMAMUX_CCRxNBREQ=3、SE=0、EGE=1

MSv41975V1

図 27 および図 28 に示したように、EGE が有効である場合、DMA リクエストカウンタにプログラムされた NBREQ フィールドの値が自動的に再ロードされると、マルチプレクサチャネルは 1 つの AHB クロックサイクルのパルスとしてチャネルイベントを生成します。

注： **EGE が有効で NBREQ = 0 の場合、各 DMA リクエストが処理されるたびにイベントが発生します。**

注： **同期イベント（エッジ）は、エッジ後の状態が 2 AHB クロックサイクルよりも長く安定している場合に検出されます。**

DMAMUX_CxCR レジスタに書き込む際、同期イベントは 3 AHB クロックサイクルの間、マスクされます。

同期オーバーランおよび割込み

リクエストカウンタアンダーラン（DMAMUX_CxCR レジスタの NBREQ フィールドを介してプログラムされる内部リクエストカウンタ）の前に新しい同期イベントが発生すると、DMAMUX_CSR レジスタの同期オーバーランフラグビット SOFx がセットされます。

注： **リクエストマルチプレクサチャネル x 同期は、DMA コントローラの関連するチャネルの使用完了時に無効にする必要があります（DMAMUX_CxCR.SE = 0）。そうでない場合、新しく同期イベントを検出したときに、DMA コントローラから受信する DMA 確認応答の欠落（すなわち、未処理のリクエスト）によって同期オーバーランが発生します。**

オーバーランフラグ SOFx は、DMAMUX_CFR レジスタの関連するクリア同期オーバーランフラグビット CSOFx をセットすることでリセットされます。

DMAMUX_CxCR レジスタの同期オーバーラン割込みイネーブルビット SOIE がセットされている場合、同期オーバーランフラグがセットされると、割込みが生成されます。

12.4.5 DMAMUX リクエストジェネレータ

DMAMUX リクエストジェネレータでは、DMA リクエストトリガ入力のトリガイベントに続いて、DMA リクエストを生成します。

DMAMUX リクエストジェネレータには複数のチャネルがあります。DMA リクエストトリガ入力は、すべてのチャネルに並列に接続されます。

DMAMUX リクエストジェネレータチャネルの出力は、DMAMUX リクエストラインマルチプレクサへの入力です。

各 DMAMUX リクエストジェネレータチャネル x には、対応する DMAMUX_RGxCR レジスタにイネーブルビット GE （ジェネレータイネーブル）があります。

DMAMUX リクエストジェネレータチャネル x の DMA リクエストトリガ入力は、対応する DMAMUX_RGxCR レジスタの SIG_ID （トリガ信号 ID）フィールドによって選択されます。

DMA リクエストトリガ入力のトリガイベントは立ち上がりエッジと立ち下がりエッジのいずれかです。アクティブなエッジは対応する DMAMUX_RGxCR レジスタの GPOL（ジェネレータ極性）フィールドによって選択されます。

トリガイベント時、対応するジェネレータチャネルでは出力時に DMA リクエストの生成を開始します。DMAMUX で生成されたリクエストが接続されている DMA コントローラによって処理されるたびに（処理されたリクエストはネゲートされます）、内蔵（DMAMUX リクエストジェネレータ内の）DMA リクエストカウンタがデクリメントされます。アンダーランの際、リクエストジェネレータチャネルは DMA リクエストの生成を停止し、次のトリガイベント時に DMA リクエストカウンタはプログラムされた値に自動的に再ロードされます。

このため、トリガイベント後に生成される DMA リクエストの数は GNBREQ + 1 です。

注： **GNBREQ フィールド値は、対応するジェネレータチャネル x のイネーブル GE ビットが無効である場合にのみ、ソフトウェアによって書き込むことができます。**

ハードウェア書込み保護はありません。

トリガイベント（エッジ）は、エッジ後の状態が 2 AHB クロックサイクルよりも長く安定している場合に検出されます。

DMAMUX_RGxCR レジスタに書き込む際、トリガイベントは 3 AHB クロックサイクルの間、マスクされます。

トリガオーバーランおよび割込み

DMAMUX リクエストジェネレータカウンタアンダーラン（DMAMUX_RGxCR レジスタの GNBREQ フィールドを介してプログラムされる内部カウンタ）の前に新しい DMA リクエストトリガイベントが発生し、かつ、リクエストジェネレータチャネル x が GE によって有効化されている場合、リクエストトリガイベントオーバーランフラグビット OFx は、ハードウェアによって DMAMUX_RGSR レジスタにアサートされます。

注： **リクエストジェネレータチャネル x は、DMA コントローラの関連するチャネルの使用完了時に無効にする必要があります（DMAMUX_RGxCR.GE = 0）。そうでない場合、新しくトリガイベントを検出したときに、DMA から受信する確認応答の欠落（すなわち、未処理のリクエスト）によってトリガオーバーランが発生します。**

オーバーランフラグ OFx は、DMAMUX_RGCFR レジスタの関連するクリアオーバーランフラグビット COFx をセットすることでリセットされます。

DMAMUX_RGxCR レジスタの DMA リクエストトリガイベントオーバーラン割込みイネーブルビット OIE がセットされている場合、DMAMUX リクエストトリガオーバーランフラグによって、割込みが生成されます。

12.5 DMAMUX 割込み

次の場合に割込みを生成することができます。

- 各 DMA リクエストラインマルチプレクサチャネルの同期イベントオーバーラン
- 各 DMA リクエストジェネレータチャネルのトリガイベントオーバーラン

それぞれのケースで、チャネルごとの個別の割込みイネーブル、ステータス、およびクリアフラグレジスタビットを使用できます。

表 57. DMAMUX 割込み

割込み信号	割込みイベント	イベントフラグ	クリアビット	イネーブルビット
dmamuxovr_it	DMAMUX リクエストラインマルチプレクサのチャネル x での同期イベントオーバーラン	SOFx	CSOFx	SOIE
	DMAMUX リクエストジェネレータのチャネル x でのトリガイベントオーバーラン	OFx	COFx	OIE

12.6 DMAMUX レジスタ

DMAMUX ベースアドレスについては、レジスタ境界アドレスを記載した表を参照してください。

DMAMUX レジスタは、バイト（8 ビット）、ハーフワード（16 ビット）、ワード（32 ビット）のいずれかの単位でアクセスできます。アドレスはデータサイズに合わせる必要があります。

12.6.1 DMAMUX リクエストラインマルチプレクサチャネル x 設定レジスタ（DMAMUX_CxCR）

アドレスオフセット：0x000 + 0x04 * x（x = 0～ 13）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
						rw	rw			rw	rw	rw	rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **SYNC_ID[4:0]**：同期識別

同期入力を選択します（表 55：DMAMUX：リソースへの同期入力の割り当てを参照）。

ビット 23:19 **NBREQ[4:0]**：転送する DMA リクエストの数から 1 を引いた数

同期イベントの後で DMA コントローラに転送する DMA リクエストの数、および／または出力イベントが生成される前の DMA リクエストの数を定義します。

このフィールドは、SE と EGE ビットの両方がローの場合にのみ書き込む必要があります。

ビット 18:17 **SPOL[1:0]**：同期極性

選択された同期入力のエッジ極性を定義します。

00：イベントなし（同期なし、検出なし）

01：立ち上がりエッジ

10：立ち下がりエッジ

11：立ち上がりおよび立ち下がりエッジ

ビット 16 **SE**：同期有効化

0：同期は無効です。

1：同期は有効です。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EGE**：イベント生成イネーブル

0：イベント生成は無効です。

1：イベント生成は有効です。

ビット 8 **SOIE**：同期オーバーラン割込みイネーブル

0：割込みは無効です。

1：割込みは有効です。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **DMAREQ_ID[5:0]**：DMA リクエストID

DMA リクエストの入力を選択しますリソースへのマルチプレクサ入力の割当てについては、DMAMUX の表を参照してください。

12.6.2 DMAMUX リクエストラインマルチプレクサ割込みチャネルステータスレジスタ（DMAMUX_CSR）

アドレスオフセット：0x080

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SOF13	SOF12	SOF11	SOF10	SOF9	SOF8	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **SOF[13:0]**：同期オーバーランイベントフラグ

このフラグは、DMA リクエストカウンタの値が NBREQ よりも低い場合に、DMA リクエストラインマルチプレクサチャネル x で同期イベントが発生したときにセットされます。

このフラグは、対応する DMAMUX_CFR レジスタの CSOFx ビットに 1 を書き込むことでクリアされます。

12.6.3 DMAMUX リクエストラインマルチプレクサ割込みクリアフラグレジスタ（DMAMUX_CFR）

アドレスオフセット：0x084

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CSOF 13	CSOF 12	CSOF 11	CSOF 10	CSOF 9	CSOF 8	CSOF 7	CSOF 6	CSOF 5	CSOF 4	CSOF 3	CSOF 2	CSOF 1	CSOF 0
		w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **CSOF[13:0]**：同期オーバーランイベントフラグをクリアします。

各ビットに 1 を書き込むと DMAMUX_CSR レジスタの対応するオーバーランフラグ SOFx をクリアします。

12.6.4 DMAMUX リクエストジェネレータチャネル x 設定レジスタ（DMAMUX_RGxCR）

アドレスオフセット：0x100 + 0x04 * x（x = 0〜 3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
							rw				rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:19 **GNBREQ[4:0]**：生成される DMA リクエストの数（1 を引く）

トリガイベント後に生成される DMA リクエストの数を定義します。実際に生成される DMA リクエストの数は GNBREQ + 1 です。

注： このフィールドは、GE ビットが無効のときにのみ書き込む必要があります。

ビット 18:17 **GPOL[1:0]**：DMA リクエストジェネレータトリガ極性

選択されたトリガ入力のエッジ極性を定義します。

00：イベントなし（トリガ検出も生成もなし）

01：立ち上がりエッジ

10：立ち下がりエッジ

11：立ち上がりおよび立ち下がりエッジ

ビット 16 **GE**：DMA リクエストジェネレータチャネル x イネーブル

0：DMA リクエストジェネレータチャネル x は無効です。

1：DMA リクエストジェネレータチャネル x は有効です。

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **OIE**：トリガオーバーラン割込みイネーブル

0：トリガオーバーランイベント発生時の割込みは無効です。

1：トリガオーバーランイベント発生時の割込みは有効です。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **SIG_ID[4:0]**：信号 ID

DMA リクエストジェネレータのチャネル x で使用する DMA リクエストトリガ入力を選択します。

12.6.5 DMAMUX リクエストジェネレータ割込みステータスレジスタ（DMAMUX_RGSR）

アドレスオフセット：0x140

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OF3	OF2	OF1	OF0
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **OF[3:0]**：トリガオーバーランイベントフラグ

このフラグは、リクエストカウンタアンダーラン（DMAMUX_RGxCR レジスタの GNBREQ フィールドを介してプログラムされる内部リクエストカウンタ）の前に、DMA リクエストジェネレータチャネル x で新しいトリガイベントが発生したときにセットされます。

このフラグは、DMAMUX_RGCFR レジスタの対応する COFx ビットに 1 を書き込むことでクリアされます。

12.6.6 DMAMUX リクエストジェネレータ割込みクリアフラグレジスタ（DMAMUX_RGCFR）

アドレスオフセット：0x144

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COF3	COF2	COF1	COF0
												w	w	w	w

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **COF[3:0]**：トリガオーバーランイベントフラグのクリア

各ビットに 1 を書き込むと DMAMUX_RGSR レジスタの対応するオーバーランフラグ OFx をクリアします。

12.6.7 DMAMUX レジスタマップ

次の表に、DMAMUX レジスタとリセット値の一覧を示します。DMAMUX レジスタベースアドレスについては、レジスタ境界アドレス表を参照してください。

表 58. DMAMUX レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMAMUX_C0CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x004	DMAMUX_C1CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x008	DMAMUX_C2CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x00C	DMAMUX_C3CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x010	DMAMUX_C4CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x014	DMAMUX_C5CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x018	DMAMUX_C6CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x01C	DMAMUX_C7CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x020	DMAMUX_C8CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x024	DMAMUX_C9CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x028	DMAMUX_C10CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x02C	DMAMUX_C11CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x030	DMAMUX_C12CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x034	DMAMUX_C13CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	リセット値				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x038 - 0x07C	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x080	DMAMUX_CSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SOF13	SOF12	SOF11	SOF10	SOF9	SOF8	SOF7	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	DMAMUX_CFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSOF13	CSOF12	CSOF11	CSOF10	CSOF9	CSOF8	CSOF7	CSOF6	CSOF5	CSOF4	CSOF3	CSOF2	CSOF1	CSOF0
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088 - 0x0FC	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x100	DMAMUX_RG0CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	リセット値									0	0	0	0	0	0	0	0								0				0	0	0	0	0

表 58. DMAMUX レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x104	DMAMUX_RG1CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	リセット値									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x108	DMAMUX_RG2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	リセット値									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x10C	DMAMUX_RG3CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	リセット値									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x110～0x13C	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.				
0x140	DMAMUX_RGSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OF3	OF2	OF1	OF0
	リセット値																													0	0	0	0
0x144	DMAMUX_RGCFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COF3	COF2	COF1	COF0
	リセット値																													0	0	0	0
0x148～0x3FC	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.				

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

13 ネスト化されたベクタ割込みコントローラ（NVIC）

13.1 NVIC の主な機能

CPU1 NVIC の機能：

- 63 のマスク可能な割込みチャネル（16 本の FPU 割込みラインを持つ Cortex®-M4 は数に含まれていない）
- 16 のプログラム可能な優先レベル（4 ビットの割込み優先順位を使用）
- 遅延時間の少ない例外割込み処理
- 電源管理制御
- システム制御レジスタの実装

CPU2 NVIC の機能：

- 32 のマスク可能な割込みチャネル（16 本の Cortex®-M0+ 割込みラインは数に含まれていない）
- 4 つのプログラム可能な優先レベル（2 ビットの割込み優先順位を使用）
- 遅延時間の少ない例外割込み処理
- 電源管理制御

NVIC とプロセッサコアのインタフェースを密に結合することで、割込み処理の遅延が低減され、後着割込みが効率的に処理されます。

コア例外を含むすべての割込みは、NVIC によって管理されます。例外と NVIC プログラミングの詳細について、Cortex®-M4 の場合は STM32 Cortex®-M4 MCU および MPU のプログラミングマニュアル（PM0214）、Cortex®-M0+ の場合は STM32L0、STM32G0、STM32WL、および STM32WB シリーズの Cortex®-M0+ プログラミングマニュアル（PM0223）を参照してください。

13.2 NVIC の実装

表 59. NVIC の実装

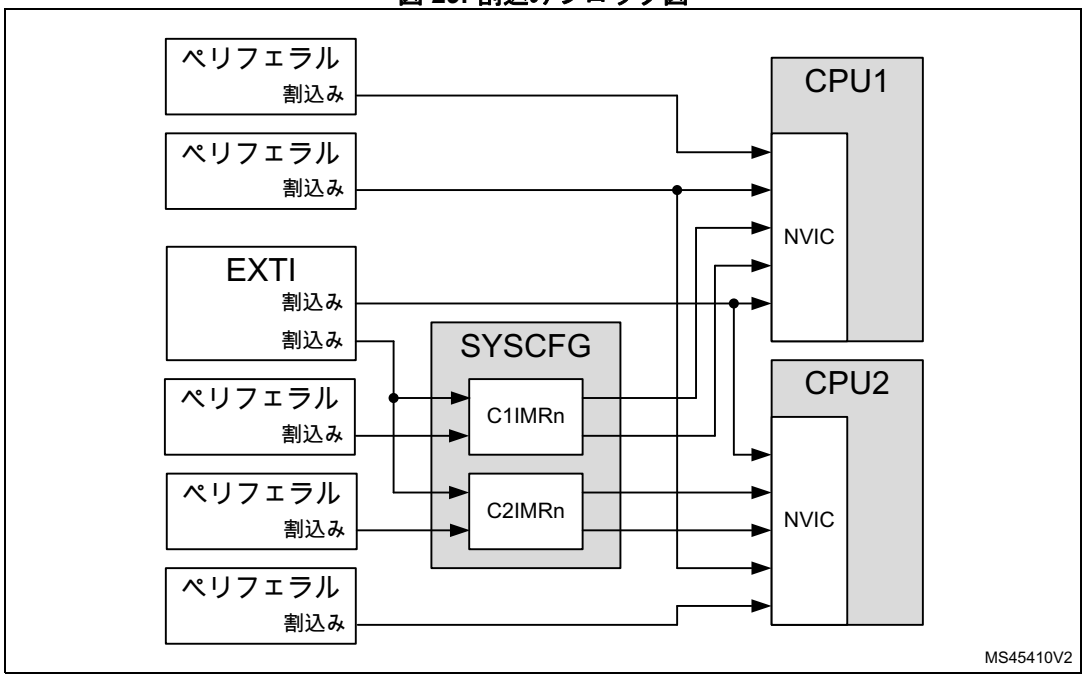
機能	STM32WB55xx	STM32WB35xx
SPI2 割込み	X	-
TSC 割込み	X	-
LCD 割込み	X	-
LCD ウェイクアップ	X	-

13.3 割込みブロック図

さまざまなペリフェラル割込みは、2 つの CPU 間の共有方法に応じて、さまざまな方法で接続されます。ペリフェラルまたは EXTI 割込みが両方の CPU をトリガするのを防ぐには、NVIC でそれらをマスクするか、複数のペリフェラル割込みを共有する NVIC ベクタの場合は、SYSCFG レジスタのプリマスクによってマスクできます。セクション 10：システム設定コントローラ（SYSCFG）を参照してください。

図 29 に割込みブロック図を示します。

図 29. 割込みブロック図



13.4 割込みベクタと例外ベクタ

CPU1 と CPU2 には、それぞれ独自のベクタテーブルがあります。それぞれ表 60 と表 61 を参照してください。ここで、影付きのセルはプロセッサの例外を示します。

表 60. CPU1 ベクタテーブル

位置	優先順位	優先種別	項目（略称）	説明	アドレス
-	-	-	-	予約済み	0x0000 0000
-	-3	固定	リセット	リセット	0x0000 0004
-	-2	固定	NMI	マスク不可（ノン・マスカブル）割込み　HSE CSS、Flash ECC、および SRAM2 パリティ	0x0000 0008
-	-1	固定	HardFault	あらゆる種類の異常	0x0000 000C
-	0	設定可能	MemManager	メモリマネージャ	0x0000 0010
-	1	設定可能	BusFault	プリフェッチ異常、メモリアクセス異常	0x0000 0014
-	2	設定可能	UsageFault	未定義命令または無効状態	0x0000 0018
-	-	-	-	予約済み	0x0000 001C 0x0000 0028
-	3	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
-	4	設定可能	デバッグ	デバッグモニタ	0x0000 0030
-	-	-	-	予約済み	0x0000 0034
-	5	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038
-	6	設定可能	SysTick	システムティックタイマ	0x0000 003C
0	7	設定可能	WWDG	ウィンドウ型ウォッチドッグの早期ウェイクアップ	0x0000 0040
1	8	設定可能	PVD、PVM1、PVM3	EXTI[16]（C1IMR2[20]）経由の PVD EXTI[31]（C1IMR2[16]）経由の PVM1 EXTI[33]（C1IMR2[18]）経由の PVM3	0x0000 0044
2	9	設定可能	TAMP、RTC_STAMP、LSE_CSS	EXTI[18] 経由のタンパ、タイムスタンプ、LSECSS 割込み	0x0000 0048
3	10	設定可能	RTC_WKUP	EXTI[19] 経由の RTC ウェイクアップ割込み	0x0000 004C
4	11	設定可能	Flash	Flashメモリグローバル割込みおよびFlashメモリ ECC シングルエラー割込み	0x0000 0050
5	12	設定可能	RCC	RCC グローバル割込み	0x0000 0054
6	13	設定可能	EXTI0	EXTI[0] 経由の EXTI ライン 0 割込み	0x0000 0058
7	14	設定可能	EXTI1	EXTI[1] 経由の EXTI ライン 1 割込み	0x0000 005C
8	15	設定可能	EXTI2	EXTI[2] 経由の EXTI ライン 2 割込み	0x0000 0060
9	16	設定可能	EXTI3	EXTI[3] 経由の EXTI ライン 3 割込み	0x0000 0064
10	17	設定可能	EXTI4	EXTI[4] 経由の EXTI ライン 4 割込み	0x0000 0068
11	18	設定可能	DMA1_CH1	DMA1 チャネル 1 割込み	0x0000 006C
12	19	設定可能	DMA1_CH2	DMA1 チャネル 2 割込み	0x0000 0070
13	20	設定可能	DMA1_CH3	DMA1 チャネル 3 割込み	0x0000 0074
14	21	設定可能	DMA1_CH4	DMA1 チャネル 4 割込み	0x0000 0078
15	22	設定可能	DMA1_CH5	DMA1 チャネル 5 割込み	0x0000 007C
16	23	設定可能	DMA1_CH6	DMA1 チャネル 6 割込み	0x0000 0080
17	24	設定可能	DMA1_CH7	DMA1 チャネル 7 割込み	0x0000 0084
18	25	設定可能	ADC1	ADC1 グローバル割込み	0x0000 0088

表 60. CPU1 ベクタテーブル （続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
19	26	設定可能	USB_HP	USB 高優先割込み	0x0000 008C
20	27	設定可能	USB_LP	USB 低優先割込み（USB ウェイクアップを含む）	0x0000 0090
21	28	設定可能	C2SEV PWR_C2H	EXTI[40] 経由の CPU2 SEV PWR CPU2 HOLD ウェイクアップ割込み	0x0000 0094
22	29	設定可能	COMP	COMP2 および EXTI[21:20] 経由の COMP1 割込み	0x0000 0098
23	30	設定可能	EXTI[9:5]	EXTI[9:5]（C1IMR1[25:21]）経由の EXTI ライン [9:5] 割込み	0x0000 009C
24	31	設定可能	TIM1_BRK	タイマ 1 ブレーク割込み	0x0000 00A0
25	32	設定可能	TIM1_UP TIM16	タイマ 1 更新（C1IMR1[13]） タイマ 16 グローバル割込み（C1IMR1[14]）	0x0000 00A4
26	33	設定可能	TIM1_TRG_COM TIM17	タイマ 1 トリガと通信（C1IMR1[13]） タイマ 17 グローバル割込み（C1IMR1[15]）	0x0000 00A8
27	34	設定可能	TIM1_CC	タイマ 1 キャプチャ比較割込み	0x0000 00AC
28	35	設定可能	TIM2	タイマ 2 グローバル割込み	0x0000 00B0
29	36	設定可能	PKA	公開鍵アクセラレータ割込み	0x0000 00B4
30	37	設定可能	I2C1_EV	I2C1 イベント割込み	0x0000 00B8
31	38	設定可能	I2C1_ER	I2C1 エラー割込み	0x0000 00BC
32	39	設定可能	I2C3_EV	I2C3 イベント割込み	0x0000 00C0
33	40	設定可能	I2C3_ER	I2C3 エラー割込み	0x0000 00C4
34	41	設定可能	SPI1	SPI 1 グローバル割込み	0x0000 00C8
35	42	設定可能	SPI2	SPI 2 グローバル割込み	0x0000 00CC
36	43	設定可能	USART1	USART1 グローバル割込み	0x0000 00D0
37	44	設定可能	LPUART1	LPUART1 グローバル割込み	0x0000 00D4
38	45	設定可能	SAI1	SAI1 A および B グローバル割込み	0x0000 00D8
39	46	設定可能	TSC	TSC グローバル割込み	0x0000 00DC
40	47	設定可能	EXTI[15:10]	EXTI[15:10]（C1IMR1[31:26]）経由の EXTI ライン [15:10] 割込み	0x0000 00E0
41	48	設定可能	RTC_ALARM	EXTI[17] 経由の RTC アラーム（A および B）割込み	0x0000 00E4
42	49	設定可能	CRS_IT	CRS 割込み	0x0000 00E8
43	50	設定可能	PWR_SOTF PWR_BLEACT PWR_802ACT PWR_RFPHASE	PWR 切り替え動作中割込み PWR BLE 動作終了割込み PWR 802.15.4 アクティビティ終了割込み PWR 重要無線フェーズ終了割込み	0x0000 00EC
44	51	設定可能	IPCC_C1_RX_IT	IPCC CPU1 RX 占有割込み	0x0000 00F0
45	52	設定可能	IPCC_C1_TX_IT	IPCC CPU1 TX 開放割込み	0x0000 00F4
46	53	設定可能	HSEM	セマフォ割込み 0～ CPU1	0x0000 00F8
47	54	設定可能	LPTIM1	LPtimer 1 グローバル割込み	0x0000 00FC
48	55	設定可能	LPTIM2	LPtimer 2 グローバル割込み	0x0000 0100
49	56	設定可能	LCD	LCD グローバル割込み	0x0000 0104

表 60. CPU1 ベクタテーブル （続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
50	57	設定可能	QUADSPI	QUADSPI グローバル割込み	0x0000 0108
51	58	設定可能	AES1	AES1 グローバル割込み	0x0000 010C
52	59	設定可能	AES2	AES2 グローバル割込み	0x0000 0110
53	60	設定可能	True RNG	真性乱数発生器割込み	0x0000 0114
54	61	設定可能	FPU	浮動小数点ユニット割込み	0x0000 0118
55	62	設定可能	DMA2_CH1	DMA2_channel 1 割込み	0x0000 011C
56	63	設定可能	DMA2_CH2	DMA2_channel 2 割込み	0x0000 0120
57	64	設定可能	DMA2_CH3	DMA2_channel 3 割込み	0x0000 0124
58	65	設定可能	DMA2_CH4	DMA2_channel 4 割込み	0x0000 0128
59	66	設定可能	DMA2_CH5	DMA2_channel 5 割込み	0x0000 012C
60	67	設定可能	DMA2_CH6	DMA2_channel 6 割込み	0x0000 0130
61	68	設定可能	DMA2_CH7	DMA2_channel 7 割込み	0x0000 0134
62	69	設定可能	DMAMUX1_OVR	DMAMUX1 オーバーラン割込み	0x0000 0138

表 61. CPU2 ベクタテーブル

位置	優先順位	優先種別	項目（略称）	説明	アドレス
-	-	-	-	予約済み	0x0000 0000
-	-3	固定	リセット	リセット	0x0000 0004
-14	-2	固定	NMI	マスク不可（ノン・マスカブル）割込み　HSE CSS、Flash ECC、および SRAM2 パリティ	0x0000 0008
-13	-1	固定	HardFault	あらゆる種類の異常	0x0000 000C
-	-	-	-	予約済み	0x0000 0010 0x0000 0028
-5	0	設定可能	SVCall	SWI 命令によるシステムサービスコール	0x0000 002C
-	-	-	-	予約済み	0x0000 0030 0x0000 0034
-2	1	設定可能	PendSV	ペンディング可能なシステムサービスリクエスト	0x0000 0038
-1	2	設定可能	SysTick	システムティックタイマ	0x0000 003C
0	3	設定可能	-	予約済み	0x0000 0040
1	4	設定可能	PVD、PVM1、PVM3	EXTI[16]（C2IMR2[20]）経由の PVD EXTI[31]（C2IMR2[16]）経由の PVM1 EXTI[33]（C2IMR2[18]）経由の PVM3	0x0000 0044
2	5	設定可能	RTC_WKUP、TAMP、RTC_STAMP LSE_CSS、 RTC_ALARM	EXTI[19] 経由の RTC ウェイクアップ割込み（C2IMR1[3]） タンパ、タイムスタンプ EXTI[18] 経由の LSECSS 割込み（C2IMR1[0]） EXTI[17] 経由の RTC アラーム（A および B）割込み（C2IMR1[4]）	0x0000 0048
3	6	設定可能	USB_HP、USB_LP CRS_IT	USB 高優先割込み、USB 低優先割込み（USB ウェイクアップを含む） CRS 割込み	0x0000 004C
4	7	設定可能	RCC FLASH C1SEV	RCC グローバル割込み（C2IMR1[5]） Flashメモリグローバル割込みおよびFlashメモリ ECC シングルエラー割込み（C2IMR1[6]） EXTI[41] 経由の CPU1 SEV	0x0000 0050
5	8	設定可能	EXTI[1:0]	EXTI[1:0] 経由の EXTI ライン 1:0 割込み（C2IMR1[17:16]）	0x0000 0054
6	9	設定可能	EXTI[3:2]	EXTI[3:2] 経由の EXTI ライン 3:2 割込み（C2IMR1[19:18]）	0x0000 0058
7	10	設定可能	EXTI[15:4]	EXTI[15:4] 経由の EXTI ライン 15:4 割込み（C2IMR1[31:20]）	0x0000 005C
8	11	設定可能	TSC 802_IT0	TSC グローバル割込み（C2IMR2[21]） 802.15.4 割込み 0	0x0000 0060
9	12	設定可能	DMA1_CH [3:1]	DMA1 チャネル 3:1 割込み（C2IMR2[2:0]）	0x0000 0064
10	13	設定可能	DMA1_CH [7:4]	DMA1 チャネル 7:4 割込み（C2IMR2[6:3]）	0x0000 0068
11	14	設定可能	DMA2_CH [7:1] DMAMUX1_OVR	DMA2 チャネル 7:1 割込み（C2IMR2[14:8]） DMAMUX1 オーバーラン割込み（C2IMR2[15]）	0x0000 006C

表 61. CPU2 ベクタテーブル （続き）

位置	優先順位	優先種別	項目（略称）	説明	アドレス
12	15	設定可能	ADC1 COMP	ADC1 グローバル割込み（C2IMR1[12]） EXTI[21:20] 経由の COMP1 および COMP2 割込み（C2IMR1[11]）	0x0000 0070
13	16	設定可能	LPTIM1	LP タイマ 1 グローバル割込み	0x0000 0074
14	17	設定可能	LPTIM2	LP タイマ 2 グローバル割込み	0x0000 0078
15	18	設定可能	TIM1_BRK、TIM1_UP、TIM1_TRG_COM、TIM1_CC	タイマ 1 ブレーク、更新、トリガと通信、キャプチャ比較割込み	0x0000 007C
16	19	設定可能	TIM2	タイマ 2 グローバル割込み	0x0000 0080
17	20	設定可能	TIM16	タイマ 16 グローバル割込み	0x0000 0084
18	21	設定可能	TIM17	タイマ 17 グローバル割込み	0x0000 0088
19	22	設定可能	IPCC_C2_RX_IT IPCC_C2_TX_IT HSEM	IPCC CPU2 RX 占有割込み IPCC CPU2 TX 開放割込み セマフォ割込み 1～ CPU2	0x0000 008C
20	23	設定可能	PKA True RNG AES1	公開鍵アクセラレータ割込み（C2IMR1[8]） 真性乱数発生器割込み（C2IMR1[9]） AES1 グローバル割込み（C2IMR1[10]）	0x0000 0090
21	24	設定可能	AES2	AES2 グローバル割込み	0x0000 0094
22	25	設定可能	LCD 802_IT1	LCD グローバル割込み（C2IMR2[22]） 802.15.4 割込み 1	0x0000 0098
23	26	設定可能	I2C1_EV I2C1_ER	I2C1 イベント割込み I2C1 エラー割込み	0x0000 009C
24	27	設定可能	I2C3_EV I2C3_ERV	I2C3 イベント割込み I2C3 エラー割込み	0x0000 00A0
25	28	設定可能	SPI1	SPI1 グローバル割込み	0x0000 00A4
26	29	設定可能	SPI2	SPI2 グローバル割込み	0x0000 00A8
27	30	設定可能	USART1	USART1 グローバル割込み	0x0000 00AC
28	31	設定可能	LPUART1	LPUART グローバル割込み	0x0000 00B0
29	32	設定可能	SAI1	SAI1 A および B グローバル割込み	0x0000 00B4
30	33	設定可能	BLE_BLUE_IT BLE_RFC_IT BLE_RFFMS_IT BLE_HOST_WKUP	BLE コントローラ割込み BLE 無線制御割込み BLE 無線状態割込み BLE ホストウェイクアップ割込み	0x0000 00B8
31	34	設定可能	802_IT2 802_HOST_WKUP	802.15.4 割込み 2 802.15.4 ホストウェイクアップ割込み	0x0000 00BC

13.5 割込み一覧

デバイスのウェイクアップソースを表 62 に示します。ウェイクアップは、その発生元に応じて、さまざまなタイプに従って処理されます。詳細については、セクション 14.5：EXTI の機能的挙動を参照してください。

ウェイクアップソースの中には、CPU へのイベントを生成できるものがあります。イベント 列を参照してください。

CPU1 または CPU2 をウェイクアップするためのウェイクアップソース機能をリストに示します。ウェイクアップ列を参照してください。

CPU の割込み処理については、セクション 13：ネスト化されたベクタ割込みコントローラ（NVIC）を参照してください。

ウェイクアップ処理については、セクション 14：拡張割込み／イベントコントローラ（EXTI）を参照してください。

表 62. ウェイクアップ割込み表

EXTI 番号	項目（略称）	説明	EXTI タイプ	イベント	ウェイクアップ
0	EXTI[0]	SYSCFG からの EXTI ライン 0	設定可能 A	はい	CPU1 および CPU2
1	EXTI[1]	SYSCFG からの EXTI ライン 1	設定可能 A	はい	CPU1 および CPU2
2	EXTI[2]	SYSCFG からの EXTI ライン 2	設定可能 A	はい	CPU1 および CPU2
3	EXTI[3]	SYSCFG からの EXTI ライン 3	設定可能 A	はい	CPU1 および CPU2
4	EXTI[4]	SYSCFG からの EXTI ライン 4	設定可能 A	はい	CPU1 および CPU2
5	EXTI[5]	SYSCFG からの EXTI ライン 5	設定可能 A	はい	CPU1 および CPU2
6	EXTI[6]	SYSCFG からの EXTI ライン 6	設定可能 A	はい	CPU1 および CPU2
7	EXTI[7]	SYSCFG からの EXTI ライン 7	設定可能 A	はい	CPU1 および CPU2
8	EXTI[8]	SYSCFG からの EXTI ライン 8	設定可能 A	はい	CPU1 および CPU2
9	EXTI[8]	SYSCFG からの EXTI ライン 9	設定可能 A	はい	CPU1 および CPU2
10	EXTI[10]	SYSCFG からの EXTI ライン 10	設定可能 A	はい	CPU1 および CPU2
11	EXTI[11]	SYSCFG からの EXTI ライン 11	設定可能 A	はい	CPU1 および CPU2
12	EXTI[12]	SYSCFG からの EXTI ライン 12	設定可能 A	はい	CPU1 および CPU2
13	EXTI[13]	SYSCFG からの EXTI ライン 13	設定可能 A	はい	CPU1 および CPU2
14	EXTI[14]	SYSCFG からの EXTI ライン 14	設定可能 A	はい	CPU1 および CPU2
15	EXTI[15]	SYSCFG からの EXTI ライン 15	設定可能 A	はい	CPU1 および CPU2
16	PVD	PVD ライン	設定可能 A	いいえ	CPU1 および CPU2
17	RTC_ALARM	RTC アラーム（A および B）割込み	設定可能 A	はい	CPU1 および CPU2
18	TAMP、RTC_STAMP、LSE_CSS	RTC タンパ割込み RTC タイムスタンプ割込み RCC LSECSS 割込み	設定可能 A	はい	CPU1 および CPU2
19	RTC_WKUP	RTC ウェイクアップ割込み	設定可能 A	はい	CPU1 および CPU2
20	COMP1	COMP1 ライン	設定可能 A	はい	CPU1 および CPU2
21	COMP2	COMP2 ライン	設定可能 A	はい	CPU1 および CPU2
22	I2C1 ウェイクアップ	I2C1 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2

表 62. ウェイクアップ割込み表 （続き）

EXTI 番号	項目（略称）	説明	EXTI タイプ	イベント	ウェイクアップ
23	I2C3 ウェイクアップ	I2C3 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
24	USART1	USART1 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
25	LPUART1	LPUART1 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
26	予約済み	-	-	-	-
27	予約済み	-	-	-	-
28	USB ウェイクアップ	USB ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
29	LPTIM1 ウェイクアップ	LP タイマ 1 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
30	LPTIM2 ウェイクアップ	LP タイマ 2 ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
31	PVM1	PVM1 ライン	設定可能 A	いいえ	CPU1 および CPU2
32	予約済み	-	-	-	-
33	PVM3	PVM3 ライン	設定可能 A	いいえ	CPU1 および CPU2
34	予約済み	-	-	-	-
35	予約済み	-	-	-	-
36	IPCC CPU1 割込み	IPCC CPU1 RX 占有および TX 開放割込み	ダイレクト C	いいえ	CPU1(1)
37	IPCC CPU2 割込み	IPCC CPU2 RX 占有および TX 開放割込み	ダイレクト C	いいえ	CPU2(2)
38	HSEM 割込み 0	CPU1 のセマフォ割込み 0	ダイレクト C	いいえ	CPU1 (1)
39	HSEM 割込み 1	CPU2 のセマフォ割込み 1	ダイレクト C	いいえ	CPU2 (2)
40	C2SEV	CPU2 SEV ライン	設定可能 A	はい	CPU1(3)
41	C1SEV	CPU1 SEV ライン	設定可能 A	はい	CPU2(4)
42	Flash割込み	Flash ECC およびグローバル割込み	ダイレクト C	いいえ	CPU1 および CPU2
43	LCD ウェイクアップ	LCD ウェイクアップ	ダイレクト B	いいえ	CPU1 および CPU2
44	HSE CSS 割込み	RCC HSE CSS 割込み	ダイレクト C	いいえ	CPU1 および CPU2
45	BLE 割込み	BLE、RADIO、および RF_FSM 割込み	ダイレクト B	いいえ	CPU2 (2)
46	802 割込み	802.15.4 Int0 および Int1 割込み	ダイレクト B	いいえ	CPU2 (2)
47	予約済み	-	-	-	-
48	CDBGPWRUPREQ	デバッグパワーアップのリクエストウェイクアップ	ダイレクト	いいえ	CPU1 および CPU2

1. 正しい動作のためには、CPU1 がこのダイレクトイベントを使用する前に、EXTI ダイレクトイベントの C2IMRx.IMn ビットを 0 にセットする必要があります。
2. 正しい動作のためには、CPU2 がこのダイレクトイベントを使用する前に、EXTI ダイレクトイベントの C1IMRx.IMn ビットを 0 にセットする必要があります。
3. 正しい動作のためには、CPU1 がこの設定可能なイベントを使用する前に、EXTI の設定可能なイベントの C2IMRx.IMn ビットと C2EMRx.EMn ビットの両方を 0 にセットする必要があります。
4. 正しい動作のためには、CPU2 がこの設定可能なイベントを使用する前に、EXTI の設定可能なイベントの C1IMRx.IMn ビットと C1EMRx.EMn ビットの両方を 0 にセットする必要があります。

14 拡張割込み／イベントコントローラ（EXTI）

拡張割込み／イベントコントローラ（EXTI）は、設定可能なイベントおよびダイレクトイベントの入力によって個々の CPU およびシステムのウェイクアップを管理します。電源制御にウェイクアップリクエストを供給し、CPU の割込みコントローラに割込みリクエストを生成し、CPU イベント入力へのイベントを生成します。各 CPU に対して CPU イベント信号を生成するために追加のイベント生成ブロック（EVG）が必要です。

EXTI ウェイクアップリクエストにより、システムは STOP モードから、CPU は CSTOP および CSTANDBY からウェイクアップすることができます。

RUN モードでも、割込みリクエストとイベントリクエスト生成の両方を使用できます。

14.1 EXTI の主な機能

EXTI の主な機能は以下のとおりです。

- 49 の入力イベントをサポート
- 2 つの CPU をサポート
- すべてのイベント入力でシステムをウェイクアップ可能
- ペリフェラルに関連付けられたウェイクアップフラグがないイベントは、EXTI にフラグを持ち、EXTI から CPU への割込みを生成
- CPU ウェイクアップイベントを生成するために一部のイベントを使用可能

非同期イベント入力は下記の 2 つのグループに分類されます。

- 設定可能なイベント（パルスを生成できる I/O またはペリフェラルからの信号）
  - 設定可能なイベントには、以下の特徴があります。
    - 選択可能なアクティブトリガエッジ
    - 割込みペンディングステータスレジスタビット。
    - CPU のウェイクアップ、割込み、およびイベント生成を調整するために使用される個々の割込みおよびイベント生成マスク
    - SW トリガの可能性
- ダイレクトイベント（ペリフェラルでクリアする必要がある関連フラグを持つペリフェラルからの割込みおよびウェイクアップソース）
  - ダイレクトイベントには、以下の特徴があります。
    - 固定立ち上がりエッジアクティブトリガ
    - EXTI に割込みペンディングステータスレジスタビットなし（割込みペンディングステータスフラグは、イベントを生成するペリフェラルから供給される）
    - CPU のウェイクアップ、およびイベント生成を調整するために使用される個々の割込みおよびイベント生成マスク
    - SW トリガの可能性なし

14.2 EXTI の実装

表 63. EXTI の実装

機能	STM32WB55xx	STM32WB35xx
入力イベント	0～48	0～42、44～48

14.3 EXTI ブロック図

図 30 に示すように、EXTI は AHB インタフェースを介してアクセスされるレジスタブロック、イベント入力トリガブロック、およびマスキングブロックから成ります。

レジスタブロックは、すべての EXTI レジスタを含んでいます。

イベント入力トリガブロックは、イベント入力エッジのトリガロジックを供給します。

マスキングブロックは、異なるウェイクアップ、割込み、およびイベントの出力とそのマスキングに、イベント入力を供給します。

図 30. EXTI ブロック図

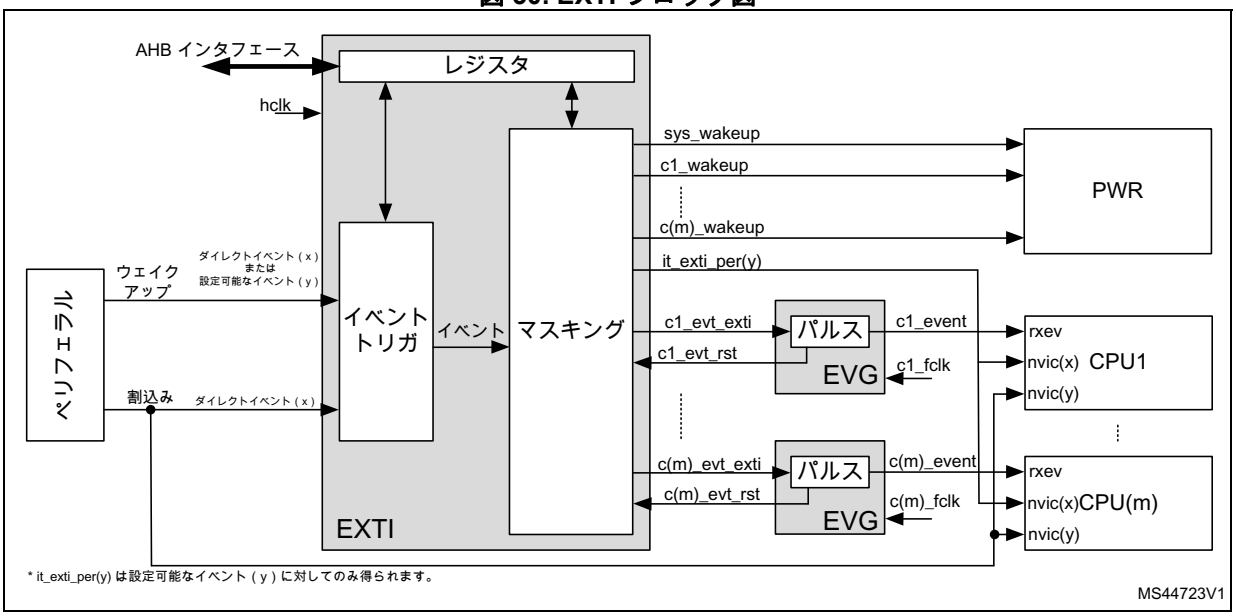


表 64. EXTI ピンの概要

ピン名	I/O	説明
AHB インタフェース	I/O	EXTI レジスタのバスインタフェース。1 つのイベントにセキュリティ設定が許可されると、AHB インタフェースはセキュアアクセスをサポート。
hclk	I	AHB バスクロックおよび EXTI システムクロック。
設定可能なイベント（y）	I	ペリフェラルに関連する割込みおよびフラグを持たないペリフェラルからの非同期ウェイクアップイベント。
ダイレクトイベント（x）	I	ペリフェラルに関連する割込みおよびフラグを持つペリフェラルからの同期および非同期ウェイクアップイベント。
it_exti_per（y）	O	設定可能なイベント（y）に関連する CPU1 から CPU(m) への割込み。
c(m)_evt_exti	O	hclk に同期した CPU(m) 向けのハイレベル対応イベント出力。（m= 1 から 2）
c(m)_evt_rst	I	c(m)_evt_exti をクリアするための非同期リセット入力。（m= 1 から 2）
sys_wakeup	O	ck_sys および hclk 用の PWR への非同期システムウェイクアップリクエスト。
c(m)_wakeup	O	CPU(m) 用 PWR へのウェイクアップリクエスト、hclk と同期。（m= 1 から 2）

表 65. EVG ピンの概要

ピン名	I/O	説明
c_fclk	I	CPU フリーランニングクロック。
c_evt_in	I	CPU クロックに非同期の、EXTI からのハイレベル対応イベント入力。
c_event	O	CPU クロックに同期したイベントパルス。
c_evt_rst	O	CPU クロックに同期したイベントリセット信号。

14.3.1 ペリフェラルと CPU 間の EXTI 接続

システムが STOP モードまたは CPU が CSTOP モードのときにウェイクアップイベントまたは割込みイベントを生成できるペリフェラルは、EXTI に接続されます。

- パルスを生成する、またはペリフェラルに割込みステータスビットがないペリフェラルのウェイクアップ信号は、EXTI の設定可能なイベント入力に接続されます。これらのイベントに、EXTI はクリアする必要があるステータスペンディングビットを供給します。CPU に割り込むのはステータスビットに関連した EXTI 割込みです。
- ペリフェラルからクリアする必要があるペリフェラルのステータスビットを持つペリフェラルの割込みやウェイクアップ信号は、EXTI のダイレクトイベント入力に接続されます。EXTI にはステータスペンディングビットはありません。割込みまたはウェイクアップは、ペリフェラルの CPU によってクリアされます。これはCPU に直接割込みをかけるペリフェラル割込みです。

EXTI の設定可能なイベント割込みは、各 CPU(m)の各割込みコントローラに接続されます。

専用の EXTI/EVG CPU(m) イベントは、各 CPU(m) rxev 入力に接続されます。

EXTI の CPU(m) ウェイクアップ信号は PWR ブロックに接続され、システムおよび CPU(m) サブシステムバスクロックをウェイクアップするために使用されます。

14.4 EXTI の機能説明

EXTI のイベント入力タイプとウェイクアップターゲットに応じて、異なるロジックの実装が使用されます。適用可能な機能は、レジスタビットで制御されます。

- 立ち上がりエッジの選択によるアクティブなトリガエッジの有効化
  EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR1）、
  EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR2）、
  立ち下がりエッジの選択
  EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR1）、
  EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR2）。
- ソフトウェアトリガ
  EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER1）、
  EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER2）。
- 割込みペンディングフラグ
  EXTI ペンディングレジスタ（EXTI_PR1）、
  EXTI ペンディングレジスタ（EXTI_PR2）を参照してください。
- CPU ウェイクアップおよび割込み有効化
  割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR1）、
  割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR1）、
  割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR2）、
  割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR2）。
- CPU ウェイクアップおよびイベント有効化
  イベントマスクレジスタによる EXTI CPU ウェイクアップEXTI_EMR1）、
  イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR1）
  イベントマスクレジスタによる EXTI CPU ウェイクアップEXTI_EMR2）、
  イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR2）。

表 66. EXTI イベント入力設定およびレジスタ制御

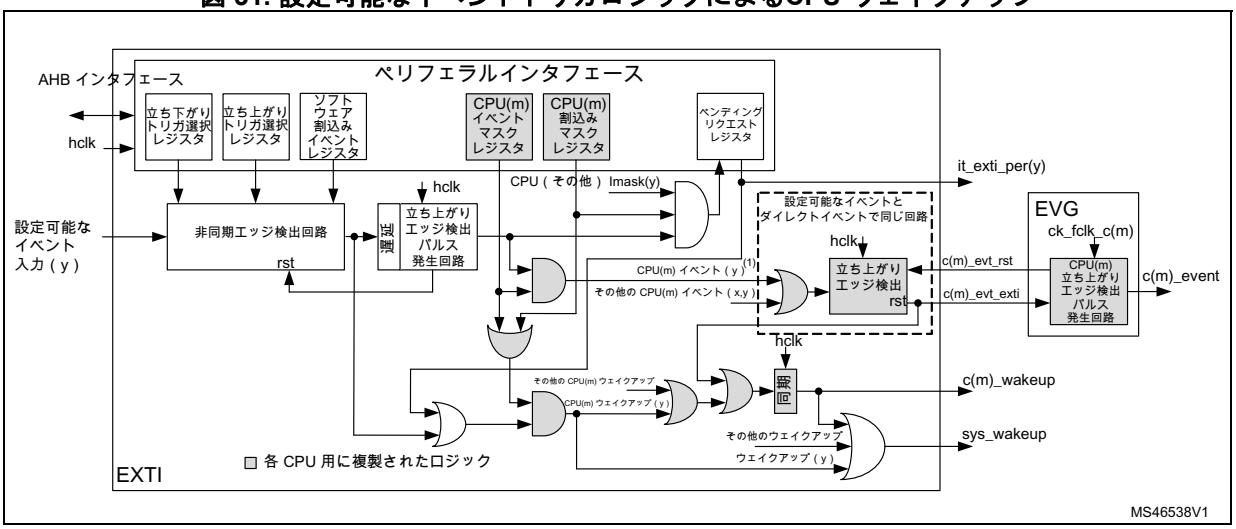
イベント入力タイプ	ロジックの実装	EXTI_RTSR	EXTI_FTSR	EXTI_SWIER	EXTI_PR	EXTI_CmIMR	EXTI_CmEMR(1)
設定可能	設定可能なイベント入力のウェイクアップロジック	x	x	x	x	x	x
ダイレクト	ダイレクトイベント入力のウェイクアップロジック	-	-	-	-	x	x

1. 設定「rxev 生成」が有効になっている入力イベントに対してのみ。

14.4.1 EXTI の設定可能なイベント入力ウェイクアップ

図 31 は、CPU(m) サブシステムバスクロックをウェイクアップさせ、EXTI ペンディングフラグを生成し、また CPU(m) および CPU(m) ウェイクアップイベントに割込みをかける、設定可能なイベント入力に関連したロジックを詳しく表しています。

図 31. 設定可能なイベントトリガロジックによるCPU ウェイクアップ



1. CPU の rxev を生成する c(n)_event をサポートしている入力イベントに対してのみ。

ソフトウェア割込みイベントレジスタによって、対応するレジスタビットを書き込むことで、エッジ選択の設定に関係なく、設定可能なイベントをソフトウェアでトリガできます。

システムは、立ち上がりエッジおよび立ち下がりエッジの選択レジスタにより、設定可能なイベントのアクティブトリガエッジとしてどちらかまたは両方のエッジを有効にし、選択することができます。

各 CPU は専用の割込みマスクレジスタおよび専用のイベントマスクレジスタを備えています。有効化されたイベントにより、CPU にイベントが生成されます。CPU のすべてのイベントの論理和がとられ、ひとつの CPU イベント信号に集約されます。イベントペンディングレジスタ（EXTI_PR）は、マスクされていない CPU イベントにはセットされません。

設定可能なイベントには、CPU と共有される固有の割込みペンディングリクエストレジスタが割り当てられます。ペンディングレジスタは、マスクされていない割込みについてのみセットされます。設定可能なイベントごとに、共通の割込みがすべての CPU に供給されます。設定可能なイベント割込みは EXTI_PR レジスタでソフトウェアによって確認されなければなりません。

CPU(m) 割込みまたは CPU(m) イベントが有効化されると、非同期エッジ検出回路は、クロック遅延および立ち上がりエッジ検出パルス発生回路によってリセットされます。これにより、EXTI hclk クロックは、非同期エッジ検出回路がリセットされる前にウェイクアップされることが保証されます。

注： **検出された設定可能なイベント割込みペンディングリクエストは、CPU によりクリアされることがあります。割込みペンディングリクエストがアクティブである限り、システムは低電力モードに入ることができません。**

14.4.2 EXTI のダイレクトイベント入力ウェイクアップ

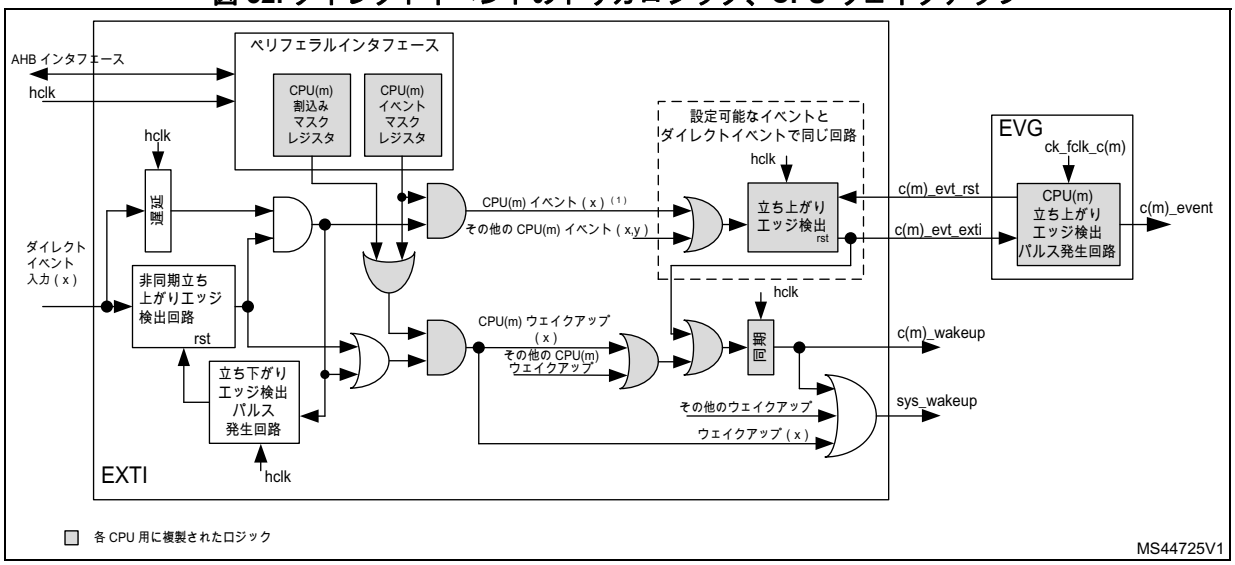
図 32 は、システムをウェイクアップするダイレクトイベント入力に関連するロジックについて、詳しく表しています。

ダイレクトイベントには関連する EXTI 割込みがありません。EXTI はシステムクロックと CPU サブシステムクロックをウェイクアップするだけで、CPU ウェイクアップイベントを生成することができます。ダイレクトウェイクアップイベントに関連するペリフェラル同期割込みは、CPU をウェイクアップします。

EXTI のダイレクトイベントは CPU イベントを生成できます。この CPU イベントが CPU をウェイクアップします。CPU イベントは、関連するペリフェラルの割込みフラグがセットされる前に、発生することがあります。

注： **ダイレクトイベントは、イベントを生成するペリフェラルでクリアになります。CPU(m) クロックが動作する前に、CPU(m) によって有効になったダイレクトイベント入力が別の CPU によってクリアされた場合、CPU(m) は CPU(m) 割込みも CPU(m) イベントも受信せず、ウェイクアップしません。ただし、システムは RUN モードのままで、CPU(m) クロックを生成します。このため、CPU(m) ダイレクトイベントは他の CPU でクリアしてはなりません。**

図 32. ダイレクトイベントのトリガロジック、CPU ウェイクアップ



1. CPU の rxev を生成する c(n)_event をサポートしている入力イベントに対してのみ。

14.5 EXTI の機能的挙動

ダイレクトイベント入力は、ウェイクアップイベントを生成する各ペリフェラルで有効にされます。設定可能なイベントは、少なくとも 1 つのトリガエッジを有効にすることで有効になります。

イベント入力が有効になると、CPU(m) ウェイクアップの生成は CPU(m) 割込みマスクおよび CPU(m) イベントマスクの条件により決定されます。

表 67. マスキングの機能

CPU 割込み有効 EXTI_CmIMR.IMn	CPU イベントの有効化 EXTI_CmEMR.EMn	設定可能なイベント入力 EXTI_PR.PIFn	exti（n）割込み(1)	CPU(m) イベント	CPU(m) ウェイクアップ
すべての CPU で 0	0	いいえ	マスク	マスク	マスク
	1		マスク	はい	はい
任意の CPU で 1	0	ステータスラッチ	はい	マスク	はい(2)
	1		可能	可能	可能

1. 1 つの exti(n) 割込みがすべての CPU に送信されます。CPU(m) に割込みが必要ない場合、exti(n) は CPU(m) 割込みコントローラ内でマスクしなければなりません。
2. CPU(m) 割込みが EXTI_CmIMR.IMn で有効化されている場合のみ。

設定可能なイベント入力の場合、イベント入力時にイネーブルエッジが発生すると、イベントリクエストが生成されます。関連する CPU(m) 割込みがマスクされていない場合、対応するペンディングビット EXTI_PR.PIFn がセットされ、CPU(m) サブシステムがウェイクアップされ、CPU 割込み信号がアクティブになります。EXTI_PR.PIFn ペンディングビットは、ソフトウェアで「1」を書き込んで、クリアする必要があります。これによって CPU 割込みもクリアされます。

ダイレクトイベント入力の場合、関連するペリフェラルで有効にすると、イベントリクエストが立ち上がりエッジでのみ生成されます。EXTI には対応する CPU ペンディングビットはありません。関連する CPU(m) 割込みがマスクされていない場合、対応する CPU サブシステムがウェイクアップされます。CPU はペリフェラル同期割込みによってウェイクアップされ（割り込まれ）ます。

イベントを生成するには、CPU(m) イベントのマスクを解除しなければなりません。イベント入力時にイネーブルエッジが発生すると、CPU(m) イベントパルスが生成されます。イベントペンディングビットはありません。

設定可能なイベント入力の場合、ソフトウェア割込み／イベントレジスタ EXTI_SWIER に「1」を書き込む際にソフトウェアによってイベントリクエストを生成することができ、これによってイベント時に立ち上がりエッジが生成されます。エッジイベントペンディングビットは、EXTI_RTSR の設定にかかわりなく、EXTI_PR にセットされます。

14.6 EXTI レジスタ

EXTI レジスタマップは、表 68 に示すように分割されます。

表 68. EXTI レジスタマップセクション

アドレス	説明
0x000 - 0x01C	一般の設定可能なイベント [31:0] の設定
0x020 - 0x03C	一般の設定可能なイベント [63:32] の設定
0x040 - 0x05C	一般の設定可能なイベント [95:64] の設定
0x080 - 0x0BC	CPU1 入力イベント設定
0x0C0 - 0x0FC	CPU2 入力イベントの設定

すべてのレジスタには、ワード（32 ビット）、ハーフワード（16 ビット）、およびバイト（8 ビット）単位でアクセスできます。

14.6.1 EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR1）

アドレスオフセット：0x000

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RT31	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT21	RT20	RT19	RT18	RT17	RT16
rw										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT15	RT14	RT13	RT12	RT11	RT10	RT9	RT8	RT7	RT6	RT5	RT4	RT3	RT2	RT1	RT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **RT31**：設定可能なイベント入力 31 の立ち上がりトリガイベント設定ビット (1)。
0：入力ラインの（イベントと割込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち上がりトリガは有効です。

ビット 30:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:0 **RT[21:0]**：設定可能なイベント入力 x（x = 21～0）の立ち上がりトリガイベント設定ビット(1)。
0：入力ラインの（イベントと割込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち上がりトリガは有効です。

1. 設定可能なイベント入力はエッジトリガであるため、これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書込み中に設定可能なイベント入力で立ち上がりエッジが発生した場合、関連するペンディングビットはセットされません。同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

14.6.2 EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR1）

アドレスオフセット：0x004

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FT31	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT21	FT20	FT19	FT18	FT17	FT16
rw										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FT15	FT14	FT13	FT12	FT11	FT10	FT9	FT8	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **FT31**：設定可能なイベント入力 31 の立ち下がりトリガイベント設定ビット (1)。
0：入力ラインの（イベントと割込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち下がりトリガは有効です。

ビット 30:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:0 **FT[21:0]**：設定可能なイベント入力 x（x = 21～0）の立ち下がりトリガイベント設定ビット(1)。
0：入力ラインの（イベントと割込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち下がりトリガは有効です。

1. 設定可能なイベント入力はエッジトリガであるため、これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書込み中に設定可能なイベント入力で立ち下がりエッジが発生した場合、関連するペンディングビットはセットされません。同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

14.6.3 EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER1）

アドレスオフセット：0x008

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SWI31	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI21	SWI20	SWI19	SWI18	SWI17	SWI16
rw										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWI15	SWI14	SWI13	SWI12	SWI11	SWI10	SWI9	SWI8	SWI7	SWI6	SWI5	SWI4	SWI3	SWI2	SWI1	SWI0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **SWI31**：イベント 31 のソフトウェア割込み
ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。読出し時に必ず 0 を返します。
0：0 を書き込んでも、ビットの値は変化しません。
1：このビットに 1 を書き込むと、イベント 31 で立ち上がりエッジイベントをトリガします。
このビットは、ハードウェアによって自動的にクリアされます。

ビット 30:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:0 **SWI[21:0]**：イベント x のソフトウェア割込み（x = 21～0）

ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。読出し時に必ず 0 を返します。

0：0 を書き込んでも、ビットの値は変化しません。

1：このビットに 1 を書き込むと、イベント x で立ち上がりエッジイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

14.6.4 EXTI ペンディングレジスタ（EXTI_PR1）

アドレスオフセット：0x00C

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PIF31	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PIF21	PIF20	PIF19	PIF18	PIF17	PIF16
rc_w1										rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIF15	PIF14	PIF13	PIF12	PIF11	PIF10	PIF9	PIF8	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31 **PIF31**：設定可能なイベント入力 31 のペンディングビット。

0：トリガリクエストは発生していません。

1：選択されたトリガリクエストが発生しました。

このビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

ビット 30:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:0 **PIF[21:0]**：設定可能なイベント入力 x（x = 21～0）ペンディングビット。

0：トリガリクエストは発生していません。

1：選択されたトリガリクエストが発生しました。

このビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

14.6.5 EXTI 立ち上がりトリガ選択レジスタ（EXTI_RTSR2）

アドレスオフセット：0x020

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	RT41	RT40	Res.	Res.	Res.	Res.	Res.	Res.	RT33	Res.
						rw	rw							rw	

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **RT41**：設定可能なイベント入力 41 の立ち上がりトリガイベント設定ビット (1)

0：入力ラインの（イベントと割込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち上がりトリガは有効です。

ビット 8 **RT40**：設定可能なイベント入力 40 の立ち上がりトリガイベント設定ビット (1)

0：入力ラインの（イベントと割込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち上がりトリガは有効です。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **RT33**：設定可能なイベント入力 33 の立ち上がりトリガイベント設定ビット(1)

0：入力ラインの（イベントと割込みについて）立ち上がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち上がりトリガは有効です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

1. 設定可能なイベント入力はエッジトリガであるため、これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書込み中に設定可能なイベント入力で立ち上がりエッジが発生した場合、関連するペンディングビットはセットされません。同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

14.6.6 EXTI 立ち下がりトリガ選択レジスタ（EXTI_FTSR2）

アドレスオフセット：0x024

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	FT41	FT40	Res.	Res.	Res.	Res.	Res.	Res.	FT33	Res.
						rw	rw							rw	

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **FT41**：設定可能なイベント入力 41 の立ち下がりトリガイベント設定ビット (1)

0：入力ラインの（イベントと割込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち下がりトリガは有効です。

ビット 8 **FT40**：設定可能なイベント入力 40 の立ち下がりトリガイベント設定ビット (1)

0：入力ラインの（イベントと割込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち下がりトリガは有効です。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **FT33**：設定可能なイベント入力 33 の立ち下がりトリガイベント設定ビット(1)

0：入力ラインの（イベントと割込みについて）立ち下がりトリガは無効です。
1：入力ラインの（イベントと割込みについて）立ち下がりトリガは有効です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

1. 設定可能なイベント入力はエッジトリガであるため、これらの入力でグリッチが生成されないようにする必要があります。レジスタへの書込み中に設定可能なイベント入力で立ち下がりエッジが発生した場合、関連するペンディングビットはセットされません。同じ設定可能なイベント入力に対して、立ち上がりエッジトリガと立ち下がりエッジトリガを設定することができます。この場合、両方のエッジでトリガ条件が生成されます。

14.6.7 EXTI ソフトウェア割込みイベントレジスタ（EXTI_SWIER2）

アドレスオフセット：0x028

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	SWI41	SWI40	Res.	Res.	Res.	Res.	Res.	Res.	SWI33	Res.
						rw	rw							rw	

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **SWI41**：イベント 41 のソフトウェア割込み

ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。読出し時に必ず 0 を返します。

0：0 を書き込んでも、ビットの値は変化しません。

1：このビットに 1 を書き込むと、イベント 41 で立ち上がりエッジイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

ビット 8 **SWI40**：イベント 40 のソフトウェア割込み

ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。読出し時に必ず 0 を返します。

0：0 を書き込んでも、ビットの値は変化しません。

1：このビットに 1 を書き込むと、イベント 40 で立ち上がりエッジイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SWI33**：イベント 33 のソフトウェア割込み

ソフトウェア割込みは、EXTI_RTSR および EXTI_FTSR の設定とは無関係に生成されます。読出し時に必ず 0 を返します。

0：0 を書き込んでも、ビットの値は変化しません。

1：このビットに 1 を書き込むと、イベント 33 で立ち上がりエッジイベントをトリガします。

このビットは、ハードウェアによって自動的にクリアされます。

ビット 0 予約済みであり、リセット値に保持する必要があります。

14.6.8 EXTI ペンディングレジスタ（EXTI_PR2）

アドレスオフセット：0x02C

リセット値：0x0000 0000

設定可能なイベントに対するレジスタビットのみが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	PIF41	PIF40	Res.	Res.	Res.	Res.	Res.	Res.	PIF33	Res.
						rc_w1	rc_w1							rc_w1	

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **PIF41**：設定可能なイベント入力 41 のペンディングビット

0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。

このビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

ビット 8 **PIF40**：設定可能なイベント入力 40 のペンディングビット

0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。

このビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **PIF33**：設定可能なイベント入力 33 のペンディングビット

0：トリガリクエストは発生していません。
1：選択されたトリガリクエストが発生しました。

このビットは、選択されたエッジイベントまたは EXTI_SWIER ソフトウェアトリガが設定可能なイベントラインに到着したときにセットされます。このビットは、ビットに 1 を書き込むことによってクリアされます。

ビット 0 予約済みであり、リセット値に保持する必要があります。

14.6.9 割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR1）

アドレスオフセット：0x080

リセット値：0x7FC0 0000

設定可能なイベントおよびダイレクトイベントに対するレジスタビットが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IM31	IM30	IM29	IM28	IM27	IM26	IM25	IM24	IM23	IM22	IM21	IM20	IM19	IM18	IM17	IM16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM15	IM14	IM13	IM12	IM11	IM10	IM9	IM8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IM[31:0]：**イベント入力 x の割込みマスクによる CPU ウェイクアップ（x = 31:0）(1)(2)。

0：ライン x からの割込みリクエストによるウェイクアップはマスクされます。

1：ライン x からの割込みリクエストによるウェイクアップはマスクされません。

1. デフォルトで割込みを無効にするために、設定可能なイベント入力のリセット値は「0」に設定されます。
2. デフォルトで割込みを有効にするために、ダイレクトイベント入力のリセット値は「1」にセットされます。

14.6.10 割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR1）

アドレスオフセット：0x0C0

リセット値：0x7FC0 0000

設定可能なイベントおよびダイレクトイベントに対するレジスタビットが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IM31	IM30	IM29	IM28	IM27	IM26	IM25	IM24	IM23	IM22	IM21	IM20	IM19	IM18	IM17	IM16
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM15	IM14	IM13	IM12	IM11	IM10	IM9	IM8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IM[31 :0]：**イベント入力 x の割込みマスクによる CPU2 ウェイクアップ（x = 31～0）(1)(2)。

0：ライン x からの割込みリクエストによるウェイクアップはマスクされます。

1：ライン x からの割込みリクエストによるウェイクアップはマスクされません。

1. デフォルトで割込みを無効にするために、設定可能なイベント入力のリセット値は「0」に設定されます。
2. デフォルトで割込みを有効にするために、ダイレクトイベント入力のリセット値は「1」にセットされます。

14.6.11 イベントマスクレジスタによる EXTI CPU ウェイクアップEXTI_EMR1）

アドレスオフセット：0x084

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM21	EM20	EM19	EM18	EM17	Res.
										rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EM15	EM14	EM13	EM12	EM11	EM10	EM9	EM8	EM7	EM6	EM5	EM4	EM3	EM2	EM1	EM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:17 **EM[21:17]**：イベント入力 x のイベント生成マスクによる CPU ウェイクアップ（x = 21～17）
0：ライン x からのイベント生成によるウェイクアップはマスクされます。
1：ライン x からのイベント生成によるウェイクアップはマスクされません。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EM[15:0]**：イベント入力 x のイベント生成マスクによる CPU ウェイクアップ（x = 15～0）
0：ライン x からのイベント生成によるウェイクアップはマスクされます。
1：ライン x からのイベント生成によるウェイクアップはマスクされません。

14.6.12 イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR1）

アドレスオフセット：0x0C4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM21	EM20	EM19	EM18	EM17	Res.
										rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EM15	EM14	EM13	EM12	EM11	EM10	EM9	EM8	EM7	EM6	EM5	EM4	EM3	EM2	EM1	EM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:17 **EM[21:17]**：イベント入力 x のイベント生成マスクによる CPU2 ウェイクアップ（x = 21～17）
0：ライン x からのイベント生成によるウェイクアップはマスクされます。
1：ライン x からのイベント生成によるウェイクアップはマスクされません。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **EM[15:0]**：イベント入力 x のイベント生成マスクによる CPU2 ウェイクアップ（x = 15～0）
0：ライン x からのイベント生成によるウェイクアップはマスクされます。
1：ライン x からのイベント生成によるウェイクアップはマスクされません。

14.6.13 割込みマスクレジスタによる EXTI CPU ウェイクアップ（EXTI_IMR2）

アドレスオフセット：0x090

リセット値：0x0001 FCFD

設定可能なイベントおよびダイレクトイベントに対するレジスタビットが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM48
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM47	IM46	IM45	IM44	IM43	IM42	IM41	IM40	IM39	IM38	IM37	IM36	IM35	IM34	IM33	IM32
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:0 **IM[48:32]**：イベント入力 x の割込みマスクによる CPU ウェイクアップ（x = 48～32）(1)(2)

0：ライン x からの割込みリクエストによるウェイクアップはマスクされます。
1：ライン x からの割込みリクエストによるウェイクアップはマスクされません。

1. デフォルトで割込みを無効にするために、設定可能なイベント入力のリセット値は「0」に設定されます。
2. デフォルトで割込みを有効にするために、ダイレクトイベント入力のリセット値は「1」にセットされます。

14.6.14 割込みマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2IMR2）

アドレスオフセット：0x0D0

リセット値：0x0001 FCFD

設定可能なイベントおよびダイレクトイベントに対するレジスタビットが含まれています。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM48
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM47	IM46	IM45	IM44	IM43	IM42	IM41	IM40	IM39	IM38	IM37	IM36	IM35	IM34	IM33	IM32
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:0 **IM[48:32]**：イベント入力 x の割込みマスクによる CPU ウェイクアップ（x = 48～32）(1)(2)

0：ライン x からの割込みリクエストによるウェイクアップはマスクされます。
1：ライン x からの割込みリクエストによるウェイクアップはマスクされません。

1. デフォルトで割込みを無効にするために、設定可能なイベント入力のリセット値は「0」に設定されます。
2. デフォルトで割込みを有効にするために、ダイレクトイベント入力のリセット値は「1」にセットされます。

14.6.15 イベントマスクレジスタによる EXTI CPU ウェイクアップEXTI_EMR2）

アドレスオフセット：0x094

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EM41	EM40	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						rw	rw								

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EM41**：イベント入力 41 のイベント生成マスクによる CPU ウェイクアップ

0：ライン 41 からのイベント生成によるウェイクアップはマスクされます。
1：ライン 41 からのイベント生成によるウェイクアップはマスクされません。

ビット 8 **EM40**：イベント入力 40 のイベント生成マスクによる CPU ウェイクアップ

0：ライン 40 からのイベント生成によるウェイクアップはマスクされます。
1：ライン 40 からのイベント生成によるウェイクアップはマスクされません。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

14.6.16 イベントマスクレジスタによる EXTI CPU2 ウェイクアップ（EXTI_C2EMR2）

アドレスオフセット：0x0D4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EM41	EM40	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						rw	rw								

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EM41**：イベント入力 41 のイベント生成マスクによる CPU2 ウェイクアップ

0：ライン 41 からのイベント生成によるウェイクアップはマスクされます。
1：ライン 41 からのイベント生成によるウェイクアップはマスクされません。

ビット 8 **EM40**：イベント入力 40 のイベント生成マスクによる CPU2 ウェイクアップ

0：ライン 40 からのイベント生成によるウェイクアップはマスクされます。
1：ライン 40 からのイベント生成によるウェイクアップはマスクされません。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

14.6.17 EXTI レジスタマップ

次の表に、EXTI レジスタマップとリセット値を示します。

表 69. EXTI レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	**EXTI_RTSR1**	RT[31]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT[21:0]																					
	リセット値	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	**EXTI_FTSR1**	FT[31]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT[21:0]																					
	リセット値	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	EXTI_SWIER1	SWI[31]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI[21:0]																					
	リセット値	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	**EXTI_PR1**	PIF[31]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PIF[21:0]																					
	リセット値	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010-0x01C	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x020	**EXTI_RTSR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	RT33	Res.
	リセット値																							0	0							0	
0x024	**EXTI_FTSR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	FT33	Res.
	リセット値																							0	0							0	
0x028	**EXTI_SWIER2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	SWI33	Res.
	リセット値																							0	0							0	
0x02C	**EXTI_PR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PIF[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	PIF33	Res.
	リセット値																							0	0							0	
0x030-0x07C	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x080	**EXTI_IMR1**	IM[31:0]																															
	リセット値	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	EXTI_EMR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM[21:17]					Res.	EM[15:0]															
	リセット値											0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088-0x08C	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x090	**EXTI_IMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM[48:32]																
	リセット値																1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	1
0x094	**EXTI_EMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																							0	0								
0x098-0x0BC	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

表 69. EXTI レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0C0	**EXTI_C2IMR1**	IM[31:0]																															
	リセット値	0	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C4	**EXTI_C2EMR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM[21:17]					Res.	EM[15:0]															
	リセット値											0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C8-0x0CC	予約済み	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x0D0	**EXTI_C2IMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM[48:32]																
	リセット値																1	1	1	1	1	1	1	0	0	1	1	1	1	1	1	0	1
0x0D4	**EXTI_C2EMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM[41:40]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																							0	0								

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

15 Quad SPI インタフェース（QUADSPI）

15.1 概要

QUADSPI は、Single、Dual、または Quad SPI Flash メモリを対象とする特殊な通信インタフェースです。このインタフェースは、次の 3 つのモードのいずれかで動作できます。

- インダイレクトモード：すべての動作は QUADSPI レジスタを使用して実行されます。
- 自動ステータスポーリングモード：外部Flash　メモリステータスレジスタが定期的に読み出され、フラグのセット時に割込みを生成することができます。
- メモリマップドモード：外部Flash　メモリはデバイスのアドレス空間に配置され、システムによって内部メモリであるかのようにみなされます。

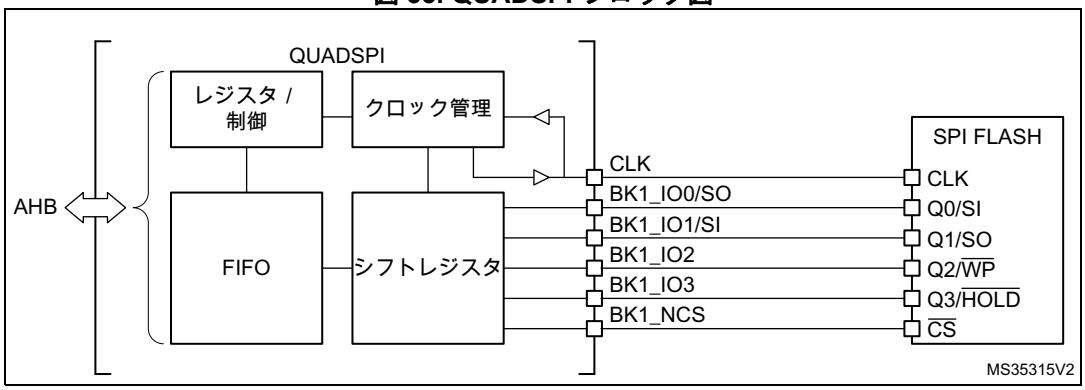
15.2 QUADSPI の主な機能

- 3 つの機能モード：インダイレクト、自動ステータスポーリング、メモリマップド
- SDR および DDR サポート
- インダイレクトモードとメモリ-マップドモードの両方で完全にプログラム可能な OP コード
- インダイレクトモードとメモリ　-　マップドモードの両方で完全にプログラム可能なフレームフォーマット
- 受信および送信用の内蔵 FIFO
- 8、16、32 ビットのデータアクセスを許可
- インダイレクトモードで動作するための DMA チャネル
- FIFO 閾値、タイムアウト、動作完了、アクセスエラーによる割込み生成

15.3 QUADSPI の機能説明

15.3.1 QUADSPI ブロック図

図 33. QUADSPI ブロック図



15.3.2 QUADSPI ピン

次の表に、Flash メモリとのインタフェース用の QUADSPI のピンを示します。

表 70. QUADSPI ピン

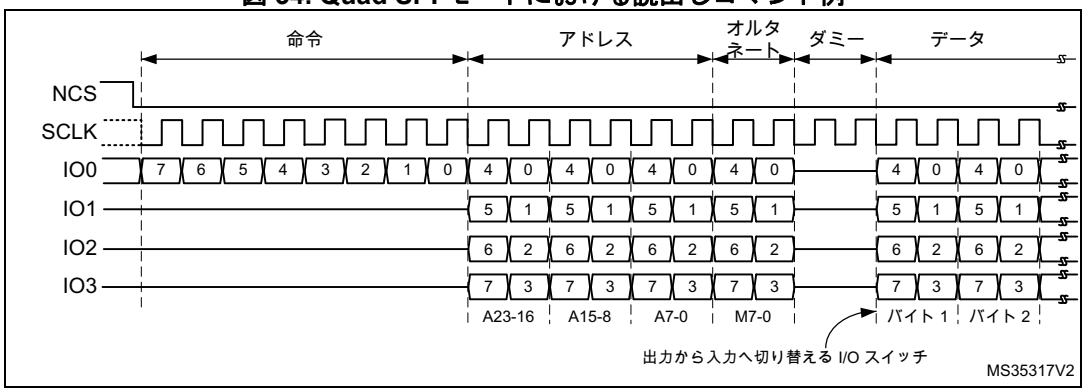
信号名	信号タイプ	説明
CLK	デジタル出力	Flash メモリへのクロック
BK1_IO0/SO	デジタル入出力	デュアル／クワッドモードでの双方向 I/O またはシングルモードでのシリアル出力
BK1_IO1/SI	デジタル入出力	デュアル／クワッドモードでの双方向 I/O またはシングルモードでのシリアル入力
BK1_IO2	デジタル入出力	クワッドモードでの双方向 I/O
BK1_IO3	デジタル入出力	クワッドモードでの双方向 I/O
BK1_NCS	デジタル出力	チップセレクト（アクティブロー）

15.3.3 QUADSPI コマンドシーケンス

QUADSPI はコマンドを使用してFlash メモリと通信します。各コマンドには、命令、アドレス、オルタネートバイト、ダミー、データの 5 つのフェーズが含まれます。これらのフェーズのいずれかをスキップするように設定することができますが、命令、アドレス、オルタネートバイト、データの少なくとも 1 つのフェーズが必要です。

NCS は各コマンドの開始前に立ち下がり、各コマンドの終了後に再び立ち上がります。

図 34. Quad SPI モードにおける読出しコマンド例



命令フェーズ

このフェーズでは、QUADSPI_CCR[7:0] レジスタの INSTRUCTION ビットフィールドに設定された 8 ビットの命令がFlash メモリに送信され、実行すべき動作のタイプが指定されます。

ほとんどのFlash メモリは IO0/SO 信号（Single SPI モード）から同時に 1 ビットの命令しか受信できませんが、命令フェーズでは、オプションで、同時に 2 ビット（Dual SPI モードの IO0/IO1 経由）、または 4 ビット（Quad SPI モードの IO0/IO1/IO2/IO3 経由）を送信することができます。この設定には、QUADSPI_CCR[9:8] レジスタの IMODE[1:0] ビットフィールドを使用することができます。

IMODE = 00 の場合、命令フェーズはスキップされますので、コマンドシーケンスはアドレスフェーズが存在する場合はそこから開始されます。

アドレスフェーズ

アドレスフェーズでは、動作のアドレスを示す 1～4 バイトがFlash メモリに送信されます。送信されるアドレスバイト数は、QUADSPI_CCR[13:12] レジスタの ADSIZE[1:0] ビットフィールドに設定されます。インダイレクトモードと自動ステータスポーリングモードでは、送信されるアドレスバイトは QUADSPI_AR レジスタの ADDRESS[31:0] ビットフィールドに指定されます。一方、メモリマップドモードの場合は、アドレスはAHB（Cortex から、または DMA から）経由で直接与えられます。

アドレスフェーズで同時に送信できるのは、1 ビット（Single SPI モードの SO 経由）、2 ビット（Dual SPI モードの IO0/IO1 経由）、または 4 ビット（Quad SPI モードの IO0/IO1/IO2/IO3 経由）です。この設定には、QUADSPI_CCR[11:10] レジスタの ADMODE[1:0] ビットフィールドを使用することができます。

ADMODE = 00 の場合、アドレスフェーズはスキップされますので、コマンドシーケンスは次のフェーズが存在する場合は直接そこに進みます。

オルタネートバイトフェーズ

オルタネートバイトフェーズでは、一般に動作モードを制御する 1～4 バイトがFlash メモリに送信されます。送信されるオルタネートバイト数は、QUADSPI_CCR[17:16] レジスタの [1:0] ビットフィールドに設定されます。送信されるバイトは QUADSPI_ABR レジスタで指定されます。

オルタネートバイトフェーズで同時に送信できるのは、1 ビット（Single SPI モードの SO 経由）、2 ビット（Dual SPI モードの IO0/IO1 経由）、または 4 ビット（Quad SPI モードの IO0/IO1/IO2/IO3 経由）です。この設定には、QUADSPI_CCR[15:14] レジスタの ABMODE[1:0] ビットフィールドを使用することができます。

ABMODE = 00 の場合、オルタネートバイトフェーズはスキップされますので、コマンドシーケンスは次のフェーズが存在する場合は直接そこに進みます。

場合によっては、オルタネートバイトフェーズ中にフルバイトではなく 2 分の 1 バイト（4 ビット）を送信する必要があるかもしれません。たとえば、デュアルモード使用時で、オルタネートバイトに 2 サイクルだけが使われる場合などです。この場合、ファームウェアによって Quad モード（ABMODE=11）を使用し、ALTERNATE のビット 7 および 3 を 1（IO3 ラインをハイで保持）に、ビット 6 および 2 を 0（IO2 ラインをローで保持）にセットしてバイトを送信できます。送信される 4 ビットの上位 2 ビットは ALTERNATE のビット 4:3 にセットされ、下位 2 ビットはビット 1 および 0 にセットされます。例えば、4 ビットの値 2（0010）が IO0/IO1 で送信される場合、ALTERNATE は 0x8A（1000_1010）にセットされている必要があります。

ダミーサイクルフェーズ

ダミーサイクルフェーズでは、データの送受信は一切なく、1～31 サイクルが実行されます。これは、より高いクロック周波数が使われいてる場合に、データフェーズの準備をする時間をFlash メモリに与えるためです。このフェーズ中に実行されるサイクル数は、QUADSPI_CCR[22:18] レジスタの DCYC[4:0] ビットフィールドで指定されます。SDR モードと DDR モードのどちらでも、この持続時間はフル CLK サイクル数として指定されます。

DCYC = 00 の場合、ダミーサイクルフェーズはスキップされますので、コマンドシーケンスはデータフェーズが存在する場合は直接そこに進みます。

ダミーサイクルフェーズの動作モードは DMODE によって決まります。

データ信号を出力モードから入力モードへ変更するのに十分な「ターンアラウンド」時間を確保するために、デュアルまたはクワッドモードを使用してFlash メモリからデータを受信する場合、少なくとも 1 ダミーサイクルが必要です。

データフェーズ

データフェーズ中は、Flash メモリに対して何バイトでも送受信することができます。

インダイレクトモードと自動ステータスポーリングモードでは、送受信するバイト数は QUADSPI_DLR レジスタで指定されます。

インダイレクト書込みモードでは、Flash メモリに送信されるデータを QUADSPI_DR レジスタに書き込む必要があります。インダイレクト読出しモードでは、Flash メモリから受信したデータは QUADSPI_DR レジスタから読み出して取得できます。

メモリマップドモードでは、読み出されるデータは、直接 AHB を経由して Cortex または DMA へ送り戻されます。

データフェーズで同時に送受信できるのは、1 ビット（Single SPI モードの SO/SI 経由）、2 ビット（Dual SPI モードの IO0/IO1 経由）、または 4 ビット（Quad SPI モードの IO0/IO1/IO2/IO3 経由）です。この設定には、QUADSPI_CCR[15:14] レジスタの ABMODE[1:0] ビットフィールドを使用することができます。

DMODE = 00 の場合、データフェーズはスキップされますので、コマンドシーケンスは NCS を立ち上げることですぐに終了します。この設定はインダイレクト書込みモードのみで使用してください。

15.3.4 QUADSPI シングルインタフェースプロトコルモード

Single SPI モード

このレガシー SPI モードでは、1 シングルビットの順次送受信のみが可能です。このモードでは、データは SO 信号（I/O を IO0 と共有）を経由して Flash メモリへ送信されます。Flash メモリからのデータは、SI 信号（I/O を IO1 と共有）を経由して受信されます。

QUADSPI_CCR レジスタのそれぞれのフェーズに対応するフィールド（IMODE/ADMODE/ABMODE/DMODE）を”01”にセットすることで、このモードを使用できるよう、フェーズごとに個別に設定することができます。

各フェーズを Single SPI モードに設定する場合：

- IO0（SO）は出力モードです。
- IO1（SI）は入力モードです（ハイインピーダンス）。
- IO2は出力モードで、強制的に 0に設定されます。
- IO3は出力モードで、強制的に 1に設定されます（ホールド機能を無効にするため）。

これは、DMODE = 01 であれば、ダミーフェーズにも該当します。

Dual-SPI モード

Dual-SPI モードでは、IO0/IO1 信号を経由して 2 ビットが同時に送受信されます。

QUADSPI_CCR レジスタのそれぞれのフェーズに対応するフィールド（IMODE/ADMODE/ABMODE/DMODE）を“10”にセットすることで、この Dual-SPI モードを使用できるよう、フェーズごとに個別に設定することができます。

各フェーズを Dual-SPI モードに設定する場合：

- IO0/IO1 は、データフェーズの読出し動作時はハイインピーダンス（入力）ですが、他のすべての場合は出力です。
- IO2は出力モードで、強制的に 0に設定されます。
- IO3は出力モードで、強制的に 1に設定されます。

ダミーフェーズでは、DMODE = 01 の場合、IO0/IO1 は常にハイインピーダンスです。

Quad-SPI モード

Quad-SPI モードでは、IO0/IO1/IO2/IO3 信号を経由して 4 ビットが同時に送受信されます。

QUADSPI_CCR レジスタのそれぞれのフェーズに対応するフィールド（IMODE/ADMODE/ABMODE/DMODE）を“11”にセットすることで、この Quad-SPI モードを使用できるよう、フェーズごとに個別に設定することができます。

このモードに設定されている各フェーズでは、IO0/IO1/IO2/IO3 はすべてデータフェーズの読出し動作時はハイインピーダンス（入力）ですが、他のすべての場合は出力です。

ダミーフェーズでは、DMODE = 11 の場合、IO0/IO1/IO2/IO3 はすべて常にハイインピーダンスです。

IO2 と IO3 は Quad-SPI モードでのみ使用されます。Quad-SPI モードを使用できるように設定されたフェーズが 1 つもない場合、IO2 および IO3 に対応するピンは QUADSPI がアクティブなときでも、他の機能に使用することができます。

SDR モード

DDRM ビット（QUADSPI_CCR[31]）は、デフォルトで 0 に設定されており、QUADSPI はシングルデータレート（SDR）モードで動作します。

SDR モードでは、QUADSPI が IO0/SO、IO1、IO2、IO3 信号を駆動する場合、これらの信号は CLK の立ち下がりエッジでのみ遷移します。

SDR モードでデータを受信する場合、QUADSPI は Flash メモリも CLK の立ち下がりエッジを使用してデータを送信するとみなします。デフォルトでは（SSHIFT = 0 の場合）、信号は次の CLK の（立ち上がり）エッジを使用してサンプリングされます。

DDR モード

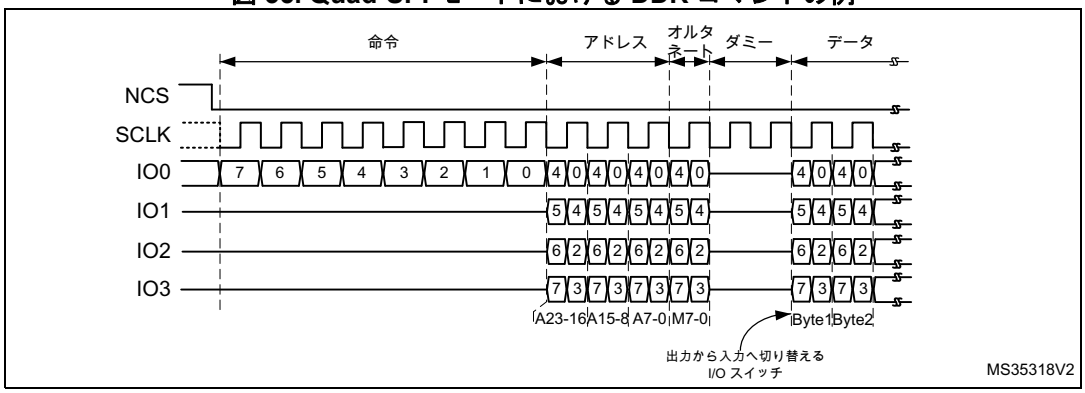
DDRM ビット（QUADSPI_CCR[31]）が 1 にセットされている場合、QUADSPI はダブルデータレート（DDR）モードで動作します。

DDR モードでは、QUADSPI がアドレス／オルタネートバイト／データフェーズで IO0/SO、IO1、IO2、IO3 信号を駆動している場合、CLK 立ち下がりエッジおよび立ち上がりエッジのそれぞれでビットを送信します。

命令フェーズは DDRM の影響は受けません。命令は常に CLK 立ち下がりエッジを使用して送信されます。

DDR モードでデータを受信する場合、QUADSPI は Flash メモリも CLK 立ち上がりおよび立ち下がりエッジの両方を使用してデータを送信するとみなします。DDRM = 1 の場合、ファームウェアは SSHIFT （QUADSPI_CR のビット 4）をクリアする必要があります。したがって、信号は 1/2 CLK サイクル後にサンプリングされます（下図の逆エッジで）。

図 35. Quad-SPI モードにおける DDR コマンドの例



15.3.5 QUADSPI インダイレクトモード

インダイレクトモードでは、QUADSPI レジスタに書き込むことでコマンドが開始され、データレジスタへの書込み／読出しによってデータが転送されます。その方法はその他の通信ペリフェラルの場合と同様です。

FMODE = 00（QUADSPI_CCR[27:26]）の場合、QUADSPI はインダイレクト書込みモードです。このモードでは、データフェーズ中に Flash メモリへのバイトの送信が行われます。データは、データレジスタ（QUADSPI_DR）への書込みによって提供されます。

FMODE = 01 の場合、QUADSPI はインダイレクト読出しモードです。このモードでは、データフェーズ中にFlash メモリからのバイトの受信が行われます。データは、QUADSPI_DR の読出しによって復旧されます。

送受信するバイト数はデータ長レジスタ（QUADSPI_DLR）で指定されます。
QUADSPI_DLR = 0xFFFF_FFFF（すべて"1"）の場合、データ長は不定長と見なされ、QUADSPI は Flash メモリの終了（FSIZE によって定義される）までデータを転送し続けるのみです。転送されるバイトが無い場合は、DMODE（QUADSPI_CCR[25:24]）を"00"にセットする必要があります。

QUADSPI_DLR = 0xFFFF_FFFF かつ FSIZE = 0x1F（4 GB の Flash メモリを示す最大値）の場合、このような特殊なケースでは、転送は無限に続けられ、アボートリクエスト後または QUADSPI の無効化後にやっと停止します。最後のメモリアドレスが読み出された後も（アドレス 0xFFFF_FFFF で）、アドレス = 0x0000_0000 で読出しが続けられます。

プログラムされた送信または受信バイト数に達すると、TCF がセットされ、TCIE = 1 であれば割込みが生成されます。データ数が定義されていない場合、外部 SPI メモリの限界に達した時点で、QUADSPI_CR に定義されている Flash メモリのサイズに応じて TCF がセットされます。

コマンド開始のトリガ

コマンドは、基本的に、ファームウェアがそのコマンドに必要な最期の情報を提供するとすぐに開始されます。インダイレクトモードでコマンドを開始する方法は、QUADSPI の設定に応じて、3 通りあります。コマンドは以下の動作の直後に開始されます。

- アドレスを必要としない場合（ADMODE = 00）およびファームウェアによるデータの提供を必要としない場合（FMODE = 01 または DMODE = 00）は、INSTRUCTION[7:0]（QUADSPI_CCR）への書込み動作直後
- アドレスを必要とする場合（ADMODE ≠ 00）およびファームウェアによるデータの提供を必要としない場合（FMODE = 01 または DMODE = 00）は、ADDRESS[31:0]（QUADSPI_AR）への書込み動作直後
- ファームウェアによるデータの提供を必要とする場合（FMODE = 00 および DMODE ! = 00）は、DATA[31:0]（QUADSPI_DR）への書込み動作直後

オルタネートバイトレジスタ（QUADSPI_ABR）への書込みが通信開始をトリガすることはありません。オルタネートバイトが必要である場合、事前にプログラムしておく必要があります。

コマンドが開始されたらすぐに、BUSY（QUADSPI_SR のビット 5）が自動的にセットされます。

FIFO およびデータの管理

インダイレクトモードでは、データは QUADSPI に内蔵されている 32バイト FIFO を通ります。FLEVEL[5:0] （QUADSPI_SR[13:8]）は、現在 FIFO に保持されているバイト数を示します。

インダイレクト書込みモード（FMODE = 00）では、ファームウェアは QUADSPI_DR に書き込む時点で FIFO にデータを追加します。書込みにより FIFO に追加されるバイト数は、ワード書込みで 4 バイト、ハーフワード書込みで 2 バイト、バイト書込みで 1 バイトです。ファームウェアが FIFO に追加するバイト数が多すぎる（DL[31:0] によって示される数より多い）場合、余分なバイトは、書込み動作の終了時（TCF がセットされるとき）に FIFO から一掃されます。

QUADSPI_DR へのバイト／ハーフワードアクセスは、32 ビットレジスタの最下位バイト／ハーフワードにのみ実行されます。

FTHRES[4:0] を使用して FIFO 閾値が定義されます。閾値に達すると、FTF（FIFO 閾値フラグ）がセットされます。インダイレクト読出しモードでは、FIFO から読み出される有効バイト数が閾値を超えると FTF がセットされます。また、FTHRES の設定に関わらず、Flash メモリから最後のバイトが読み出された後に FIFO 内にデータが残っている場合も FTF がセットされます。インダイレクト書込みモードでは、FIFO 内の空のバイト数が閾値を超えると FTF がセットされます。

FTIE = 1 の場合、FTF がセットされた時点で割込みが発生します。DMAEN = 1 の場合、FTF がセットされた時点で DMA 転送が開始されます。閾値条件が真でなくなる（CPU または DMA によって十分なデータが転送された後）とすぐに、ハードウェアによって FTF がクリアされます。

15.3.6 QUADSPI 自動ステータスポーリングモード

自動ステータスポーリングモードでは、QUADSPI は定期的にコマンドを開始させて、定義された数のステータスバイト（最大 4）を読み出します。受信バイトをマスクして、ステータスビットの一部を分離することができます。また、選択されたビットに値が定義されている場合は割込みを生成することができます。

Flash メモリへのアクセス方法はインダイレクト読出しモードの場合と同様です。アドレスを必要としない場合（AMODE = 00）は、QUADSPI_CCR が書き込まれるとすぐにアクセスが開始されます。反対にアドレスを必要とする場合は、QUADSPI_AR が書き込まれた時点で最初のアクセスが始まります。この時点で BUSY がハイになり、周期的なアクセスが実行される間もハイのままです。

MASK[31:0]（QUADSPI_PSMAR）の内容を使用して、自動ステータスポーリングモードにおける Flash メモリからのデータがマスクされます。MASK[n] = 0 の場合、リザルトのビット n はマスクされ、考慮されません。MASK[n] = 1 かつ bit[n] の値が MATCH[n]（QUADSPI_PSMAR）の値と同じである場合、bit n との一致が見られます。

ポーリング一致モードビット（PMM、QUADSPI_CR のビット 23）が 0 の場合、「AND」一致モードがアクティブになります。つまり、ステータス一致フラグ（SMF）は、マスクされていないすべてのビットで一致が検出された場合にのみセットされます。

PMM = 1 の場合、「OR」一致モードがアクティブになります。つまり、SMF は、マスクされていない任意のビットで一致が検出された場合にセットされます。

SMIE = 1 の場合に SMF がセットされると、割込みが呼び出されます。

自動ステータスポーリングモード停止（APMS）ビットがセットされている場合、一致が検出されるとすぐに動作は停止し、BUSY フラグが 0 になります。あるいは、BUSY は 1 のままで、アボートが検出されるか QUADSPI が無効化される（EN = 0）まで周期的なアクセスが継続します。

データレジスタ（QUADSPI_DR）には、最後に受信したステータスバイト（FIFO の無効化）が含まれます。データレジスタの内容は、一致ロジックで使用されるマスキングの影響を受けません。FTF ステータスビットは新たなステータスの読出しが完了するとすぐにセットされ、データが読み出された直後にクリアされます。

15.3.7 QUADSPI メモリマップドモード

メモリマップドモードに設定された場合、外部 SPI デバイスは内部メモリとみなされます。

QUADSPI ペリフェラルを正しく設定し、有効にする前に Quad-SPI Flashバンク領域にアクセスすることは禁じられています。

Flash メモリの容量がもっと大きい場合でも、アドレス指定できるのは 256 MB までです。

FSIZE で規定されている範囲外のアドレスにアクセスすると、256 MB の範囲内であっても、バスエラーが発生します。このエラーの影響は、アクセスを試みたバスマスタに依存します。

- Cortex CPU の場合は、有効時バスフォールト例外（またはバスフォールト無効時にハードフォールト例外）が発生します。
- DMA の場合は、DMA 転送エラーが発生し、対応する DMA チャネルが自動的に無効になります。

バイト、ハーフワード、およびワードアクセスはすべてサポートされます。

XIP（Execute In Place）動作のサポートが実装されています。この場合、QUADSPI は次のアクセスを予測し、あらかじめ次のアドレスのバイトをロードします。その後のアクセスが実際に連続したアドレスに対して行われる場合、値がすでにプリフェッチされているので、アクセスは高速で完了します。

デフォルトでは、QUADSPI がプリフェッチ動作を停止することはなく、Flash メモリへのアクセスが長時間なくても、前の読出し動作はアクティブな状態を保ち、NCS もローに保持されます。NCS がローのときにFlash メモリはより多く電力を消費する傾向があるため、FIFO がプリフェッチデータでフルになっている場合は、アクセスのない状態で TIMEOUT[15:0]（QUADSPI_LPTR）のサイクル周期が経過したあとで NCS が開放されるように、アプリケーションはタイムアウトカウンタ（TCEN=1、QUADSPI_CR のビット 3）の起動を要求する場合があります。

最初のメモリマップドアクセスが発生するとすぐに、BUSY はハイになります。プリフェッチ動作の影響で、BUSY の立ち下がりは、タイムアウトが起こる、アボートが検出される、またはペリフェラルが無効化されるまで起こりません。

15.3.8 QUADSPI Flash メモリの設定

デバイス設定レジスタ（QUADSPI_DCR）を使用して、外部 SPI Flash メモリの特性を指定することができます。

FSIZE[4:0] ビットフィールドは、次の式を使用して外部メモリのサイズを定義します。

Flash メモリ内のバイト数 $= 2^{[FSIZE+1]}$

FSIZE+1 はFlash メモリのアドレスを指定するために必要とされる有効なアドレスビット数です。Flash メモリの容量はインダイレクトモードでは最大 4 GB（32 ビットを使用してアドレス指定）ですが、メモリマップドモードにおけるアドレス指定可能な空間は 256 MB に制限されます。

QUADSPI が 2 つのコマンドを実行する場合、一方のコマンドはもう一方のコマンドの直後に実行され、デフォルトでは 1 CLK サイクル中の 2 つのコマンドの間にハイレベルの NCS を立ち上げます。Flash メモリがコマンド間により長い時間を必要とする場合、CSHT ビットフィールドを使用して、NCS がハイに保たれなければならない最小の CLK サイクル数（最大 8）を指定することができます。

クロックモード（CKMODE）ビットは、コマンド間の CLK 信号ロジックレベルを示します（NCS = 1 の場合）。

15.3.9 QUADSPI 遅延データサンプリング

デフォルトでは、QUADSPI がFlash メモリに駆動されているデータのサンプリングを行うタイミングは、Flash メモリが信号を駆動してから 1/2 CLK サイクル後です。

外部信号の遅延が発生した場合、それは後でデータをサンプリングする際に有用となるかもしれません。SSHIFT（QUADSPI_CR のビット 4）を使用することで、データのサンプリングを 1/2 CLK サイクルだけシフトすることができます。

クロックのシフトは、DDR モードではサポートされていません。DDRM ビットがセットされた時点で SSHIFT をクリアする必要があります。

15.3.10 QUADSPI の設定

QUADSPI の設定は次の 2 つのフェーズで行われます。

1. QUADSPI ペリフェラル設定
2. QUADSPI Flash メモリの設定

QUADSPI は、設定および有効化が行われると、インダイレクト、自動ステータスポーリング、メモリマップドモードの 3 つの動作モードのいずれかで使用することができます。

QUADSPI の設定

QUADSPI は QUADSPI_CR を使用して設定します。ユーザは、受信データに対してクロックプリスケーラ分周比とサンプリングシフトを設定します。

DDR モードは DDRM ビットによって設定することができます。Quad-SPI インタフェースを DDR モードに設定する場合、カーネルクロックの内部分周器は 2 以上の分周比に設定する必要があります。このモードを有効にすると、アドレスおよびオルタネートバイトが両方のクロックエッジに送信され、両方のクロックエッジでデータの送受信が行われます。DDRM ビットの設定にかかわらず、命令は常に SDR モードで送信されます。

DMA リクエストは DMAEN ビットを設定することで有効化されます。割込みを使用する場合、それぞれのイネーブルビットもこのフェーズ中にセットされます。

DMA リクエスト生成または割込み生成の FIFO レベルは FTHRES ビットで設定されます。

タイムアウトの発生が必要な場合、TCEN ビットをセットして、QUADSPI_LPTR レジスタにタイムアウト値を設定することができます。

QUADSPI Flash メモリの設定

対象の外部Flash メモリに関連するパラメータは QUADSPI_DCR レジスタによって設定されます。ユーザは FSIZE ビットでFlash メモリのサイズを、CSHT ビットでチップセレクトハイ時間の最小値を、MODE ビットで機能モード（モード 0 またはモード 3）を設定します。

15.3.11 QUADSPI の用途

動作モードは FMODE[1:0]（QUADSPI_CCR[27:26])を使用して選択されます。

インダイレクトモード

FMODE が 00 に設定されている場合、インダイレクト書込みモードが選択され、データを Flash メモリに送信することができます。FMODE ＝ 01 に設定されている場合、インダイレクト読出しモードが選択され、データをFlash メモリから読み出すことができます。

QUADSPI がインダイレクトモードで使用される場合、フレームは次のように構成されます。

1. QUADSPI_DLR に、読み出される／書き込まれるデータのバイト数を指定します。
2. QUADSPI_CCR に、フレームフォーマット、モード、および命令コードを指定します。
3. QUADSPI_ABR に、アドレスフェーズの直後に送信されるオプションのオルタネートバイトを指定します。
4. QUADSPI_CR に、動作モードを指定します。FMODE = 00（インダイレクト書込みモード）で DMAEN = 1 の場合、QUADSPI_AR は QUADSPI_CR の前に指定する必要があります。そうしないと、QUADSPI_AR が更新される前に、DMA によって QUADSPI_DR が書き込まれる可能性があります（DMA コントローラがすでに有効になっている場合）。
5. QUADSPI_AR に、ターゲットアドレスを指定します。
6. QUADSPI_DR により FIFO に対してデータの読出し／書込みを行います。

QUADSPI_CR に書き込む場合は次の設定値を指定してください。

- イネーブルビット（EN）を 1 にセット
- RAM へのデータ転送用の DMA 有効ビット（DMAEN）
- タイムアウトカウンタイネーブルビット（TCEN）
- サンプリングシフト設定（SSHIFT）
- FTF フラグをセットするタイミングを示す FIFO 閾値レベル（FTRHES）
- 割込みイネーブル
- 自動ステータスポーリングモードのパラメータ：一致モードおよび STOP モード（FMODE=11 のとき有効）
- クロックプリスケーラ

QUADSPI_CCR に書き込む場合は次のパラメータを指定してください。

- INSTRUCTION ビットによる命令バイト
- IMODE ビット（1、2、または 4 ライン）により命令を送信する方法
- ADMODE ビット（なし、または 1、2、4 ライン）によりアドレスを送信する方法
- ADSIZE ビットによるアドレスサイズ（8、16、24、または 32 ビット）
- ABMODE ビット（なし、または 1、2、4 ライン）によりオルタネートバイトを送信する方法
- ABSIZE ビットによるオルタネートバイト数（1、2、3、または 4）
- DBMODE ビットによるダミーバイト有無
- DCYC ビットによるダミーバイト数
- DMODE ビットによるデータの送受信方法（なし、または 1、2、4 ライン）

QUADSPI_AR と QUADSPI_DR のどちらも特定のコマンドに関して更新する必要がない場合、QUADSPI_CCR が書き込まれるとすぐにコマンドシーケンスが開始されます。これは、ADMODE と DMODE がどちらも 00 である場合、またはインダイレクト読出しモード（FMODE=01）で ADMODE が 00 の場合に該当します。

アドレスを必要とする場合（ADMODE が 00 以外）で、データレジスタに書き込む必要がない場合（FMODE = 01 または DMODE = 00）、QUADSPI_AR が書き込まれてアドレスが更新されるとすぐにコマンドシーケンスが開始されます。

データ転送時（FMODE = 00 かつ DMODE! = 00）、QUADSPI_DR による FIFO への書込みによって通信の開始がトリガされます。

自動ステータスポーリングモード

このモードは、FMODE ビットフィールド（QUADSPI_CCR[27:26]）を 10 にセットすることで有効になります。このモードでは、プログラムされたフレームが送信され、定期的にデータが取得されます。

各フレームに読み込まれるデータの最大量は 4 バイトです。QUADSPI_DLR でもっと大量のデータが要求されても、そのリクエストは無視され、4 バイトだけが読み出されます。

QUADSPI_PISR レジスタには周期性が指定されます。

ステータスデータが取得されると、そのデータを内部で処理することができます。

- ステータス一致フラグをセットし、有効になっていれば割込みを生成する。
- ステータスバイトの周期的な取得を自動的に停止する。

受信した値は QUADSPI_PSMKR に格納されている値でマスクし、QUADSPI_PSMAR に格納されている値で論理和または論理積をとることができます。

一致する場合、ステータス一致フラグがセットされ、有効になっていれば割込みが生成されます。また、AMPS ビットがセットされている場合、QUADSPI は自動的に停止する可能性があります。

いずれにしろ、一番最後に取得した値は QUADSPI_DR で使用可能です。

メモリマップドモード

メモリマップドモードでは、外部Flash メモリは内部メモリとみなされますが、アクセス中にいくらかの遅延があります。このモードでは外部Flash メモリに対して読出し動作のみが許可されます。

メモリマップドモードに移行するには、QUADSPI_CCR の FMODE を 11 にセットします。

プログラムされた命令およびフレームは、マスタがメモリマップド空間にアクセスしているときに送信されます。

FIFO は、リニア読出しを予測するプリフェッチバッファとして使用されます。このモードでの QUADSPI_DR へのアクセスはすべてゼロで返されます。

QUADSPI_DLR は、メモリマップドモードでは意味を持ちません。

15.3.12 1 回限りの命令の送信

一部のFlash メモリ（例：Winbound）は、最初のコマンドシーケンスでのみ命令を送信し、その後のコマンドは直接アドレスから開始されるモードを提供します。SIOO ビット（QUADSPI_CCR[28]）を使用して、そのような機能を活用することができます。

SIOO はすべての機能モードで有効です（インダイレクト、自動ステータスポーリング、メモリマップド）。SIOO ビットがセットされている場合、QUADSPI_CCR への書込み後の最初のコマンドに対してのみ命令が送信されます。その後のコマンドシーケンスは、命令フェーズでは、QUADSPI_CCR への書込みがあるまでスキップされます。

IMODE = 00（命令なし）の場合、SIOO は効果がありません。

15.3.13 QUADSPI エラー管理

次の場合に、エラーが生成される可能性があります。

- インダイレクトモードまたは自動ステータスポーリングモードでは、QUADSPI_AR に間違ったアドレスがプログラムされている場合（QUADSPI_DCR の FSIZE[4:0] で定義されている Flash メモリのサイズによる）、TEF がセットされ、有効になっていれば割込みが生成されます。

  また、インダイレクトモードでは、アドレスおよびデータ長がFlash メモリのサイズを超えている場合は、アクセスがトリガされるとすぐに TEF がセットされます。
- メモリマップドモードでは、マスタによる範囲外のアクセスが行われた場合または QUADSPI が無効な場合は、誤ったバスマスタリクエストへの応答としてバスエラーが生成されます。

  メモリマップドモードが無効なときにマスタがメモリマップド空間にアクセスすると、誤ったバスマスタリクエストへの応答としてバスエラーが生成されます。

15.3.14 QUADSPI の BUSY ビットおよびアボート機能

QUADSPI が Flash メモリでの動作を開始すると、BUSY ビットが QUADSPI_SR に自動的にセットされます。

インダイレクトモードでは、QUADSPI が要求されたコマンドシーケンスを完了し、FIFO が空になると、BUSY がリセットされます。

自動ステータスポーリングモードでは、一致（APMS = 1 のとき）またはアボートの検出により、最後の周期的なアクセスが完了して初めて BUSY ビットはローになります。

メモリマップドモードでの最初のアクセス後、タイムアウトイベントまたはアボートの検出により、BUSY ビットはローになります。

QUADSPI_CR レジスタの ABORT ビットをセットすることによって、動作を中止することができます。アボートが完了すると、BUSY および ABORT は自動的にリセットされ、FIFO が一掃されます。

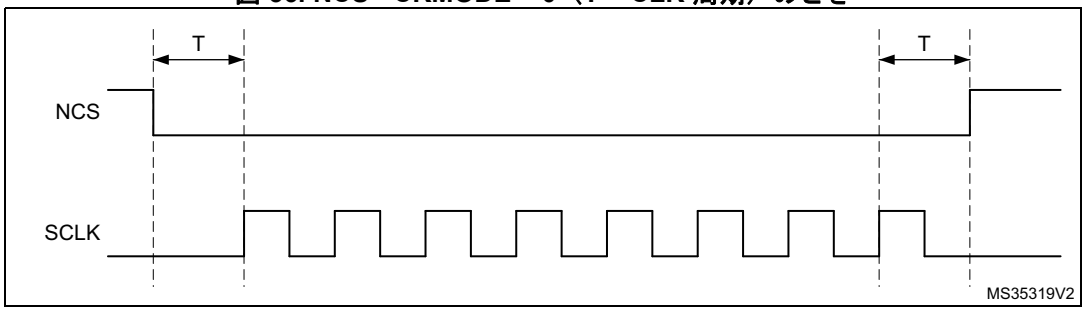
注： **Flash メモリには、ステータスレジスタへの書込み動作が中止された場合に誤動作するものもあります。**

15.3.15 NCS の動作

デフォルトでは NCS はハイで、外部 Flash メモリは選択解除されています。NCS の立ち下がりは動作が始まる前に、立ち上がりは動作終了の直後に起こります。

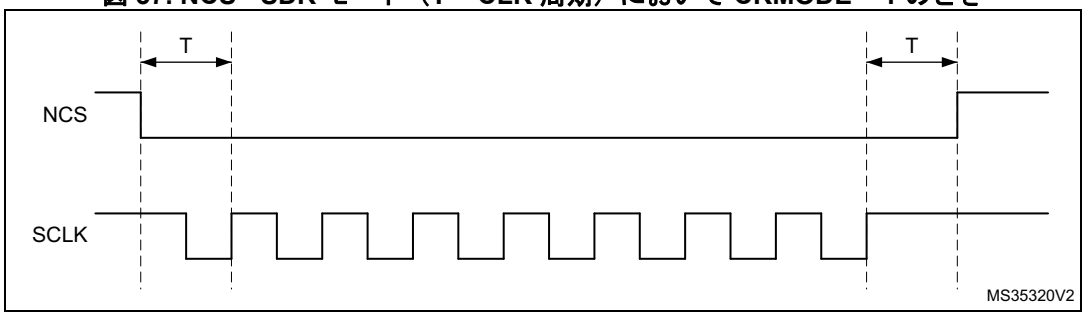
CKMODE = 0（「モード 0」で、この状態では進行中の動作がない場合は CLK がローに保持されいてる）のとき、NCS の立ち下がりは動作の最初の CLK エッジ立ち上がりの 1 CLK サイクル前に、NCS の立ち上がりは動作の最後の CLK エッジ立ち上がりから 1 CLK サイクル後に起こります（次の図を参照）。

図 36. NCS - CKMODE = 0（T = CLK 周期）のとき



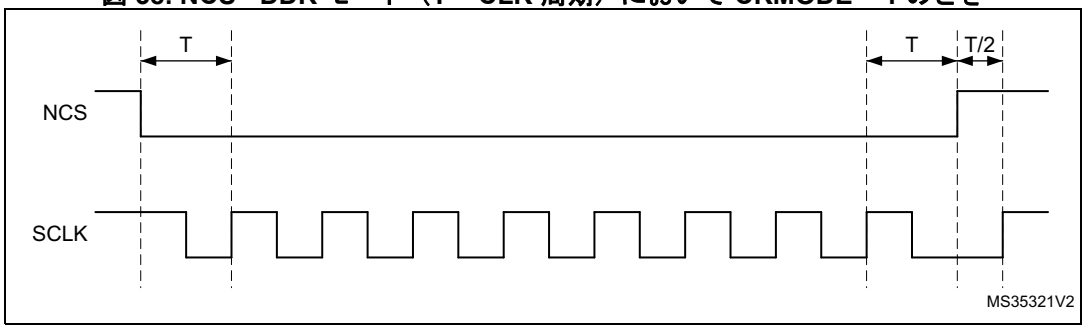
CKMODE = 1（「モード 3」で、この状態では進行中の動作がない場合に CLK がハイになる）、かつ DDRM = 0（SDR モード）のとき、NCS の立ち下がりは動作の最初の CLK エッジ立ち上がりの 1 CLK サイクル前にさらに立ち下がり、NCS の立ち上がりは動作の最後の CLK エッジ立ち上がりから 1 CLK サイクル後に立ち上がります（次の図を参照）。

図 37. NCS - SDR モード（T = CLK 周期）において CKMODE = 1 のとき



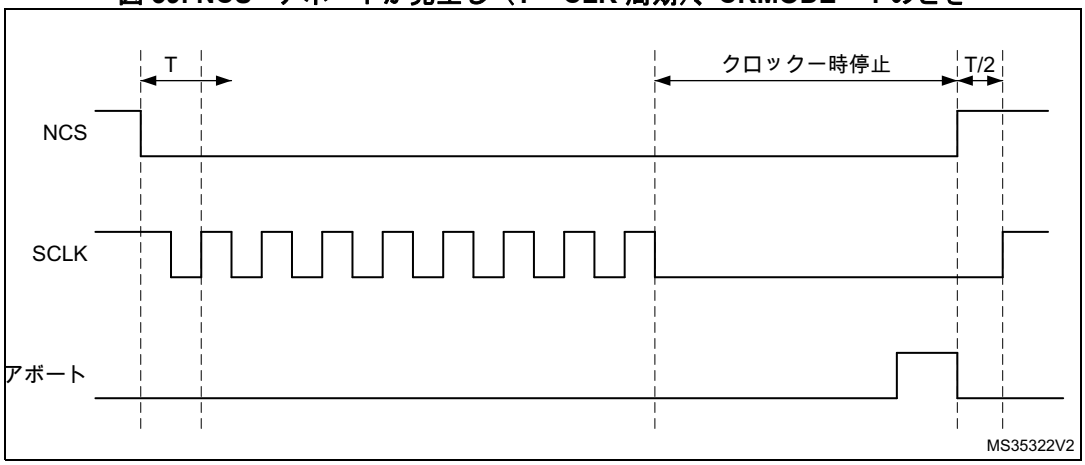
CKMODE = 1（モード 3）かつ DDRM = 1（DDR モード）の場合、NCS の立ち下がりは動作の最初の CLK エッジ立ち上がりの 1 CLK サイクル前に、NCS の立ち上がりは動作の最後のアクティブ CLK エッジ立ち上がりから 1 CLK サイクル後に起こります（次の図を参照）。DDR 動作は立ち下がりエッジで終わらなければならないため、NCS が立ち上がるとき CLK はローとなり、その後 CLK は 1/2 CLK サイクルだけ後ろ向きに立ちあがります。

図 38. NCS - DDR モード（T = CLK 周期）において CKMODE = 1 のとき



読出し動作で FIFO がフルのまま、または書込み動作で FIFO が空のままであれば、ファームウェアが FIFO を処理するまでその動作は停止し、CLK はローのままとなります。動作が停止した時点でアボートが発生した場合、アボートが要求された直後に NCS の立ち上がりが起こり、CLK は 1/2 CLK サイクル後に立ち上がります（図 39 を参照）。

図 39. NCS - アボートが発生し（T = CLK 周期）、CKMODE = 1 のとき



15.4 QUADSPI 割込み

割込みは次のイベントによって生成できます。

- タイムアウト
- ステータス一致
- FIFO 閾値
- 転送完了
- 転送エラー

高い柔軟性を実現するため、個別の割込みイネーブルビットを使用できます。

表 71. QUADSPI 割込みリクエスト

割込みイベント	イベントフラグ	有効制御ビット
タイムアウト	TOF	TOIE
ステータス一致	SMF	SMIE
FIFO 閾値	FTF	FTIE
転送完了	TCF	TCIE
転送エラー	TEF	TEIE

15.5 QUADSPI レジスタ

15.5.1 QUADSPI 制御レジスタ（QUADSPI_CR）

アドレスオフセット：0x000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRESCALER[7:0]								PMM	APMS	Res.	TOIE	SMIE	FTIE	TCIE	TEIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	FTHRES[4:0]					Res.	Res.	Res.	SSHIFT	TCEN	DMAEN	ABORT	EN
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 31:24 **PRESCALER[7:0]**：クロックプリスケーラ

このビットフィールドは、クロック（値 + 1）に基づいて CLK を生成するスケーラ係数を定義します。

0：F_{CLK} = F、QUADSPI CLK（迂回されたプリスケーラ）として直接的に使用される クロック

1：F_{CLK} = F/2

2：F_{CLK} = F/3

.....

255：F_{CLK} = F/256

クロック分周比が奇数の場合、CLK のデューティサイクルは 50% ではありません。クロック信号は、ハイに保持された時間より 1 サイクル分長く、ローに保持されます。

Quad-SPI インタフェースを DDR モードに設定する場合、プリスケーラは 2 以上の分周比に設定する必要があります。

注： このビットフィールドは、BUSY が 0 のときにのみ修正できます。

ビット 23 **PMM**：ポーリング一致モード

このビットは、自動ステータスポーリングモード時に「一致」を決定するために使用する必要のある方法を示します。

0：AND 一致モードSMF は、Flash メモリから受信したマスクされていないすべてのビットが一致レジスタの対応するビットと一致している場合に、セットされます。

1：OR 一致モードSMF は、Flash メモリから受信したマスクされていないビットのいずれかが一致レジスタの対応するビットと一致している場合に、セットされます。

注： このビットは、BUSY が 0 のときにのみ修正できます。

ビット 22 **APMS**：自動ステータスポーリングモード停止

このビットは、一致後に自動ステータスポーリングを停止するかどうかを決定します。

0：自動ステータスポーリングモードは、アボートまたは QUADSPI の無効化によってのみ停止されます。

1：自動ステータスポーリングモードは、一致が検出されるとすぐに停止されます。

注： このビットは、BUSY が 0 のときにのみ修正できます。

ビット 21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **TOIE**：タイムアウト割込み有効化

このビットは、タイムアウト割込みを有効にします。

0：割込みは無効です。

1：割込みは有効です。

ビット 19 **SMIE**：ステータス一致割込み有効化

このビットは、ステータス一致割込みを有効にします。

0：割込みは無効です。

1：割込みは有効です。

ビット 18 **FTIE**：FIFO 閾値割込み有効

このビットは、FIFO 閾値割込みを有効にします。

0：割込みは無効です。

1：割込みは有効です。

ビット 17 **TCIE**：転送完了割込み有効化

このビットは、転送完了割込みを有効にします。

0：割込みは無効です。

1：割込みは有効です。

ビット 16 **TEIE**：転送エラー割込み有効化

このビットは、転送エラー割込みを有効にします。

0：割込みは無効です。

1：割込みは有効です。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **FTHRES[4:0]**：FIFO 閾値レベル

このビットフィールドでは、FIFO 閾値フラグ（QUADSPI_SR レジスタの FTF ビット）がセットされる FIFO 内のバイトの閾値数をインダイレクトモードで定義します。

0：インダイレクト書込みモード（FMODE = 00）では、FIFO またはインダイレクト読出しモード（FMODE = 01）で空きバイトの位置が 1 つ以上残っている場合に FTF がセットされ、FIFO から読み出すことができる有効なバイトが 1 つ以上ある場合に FTF がセットされます。

1：インダイレクト書込みモード（FMODE = 00）では、FIFO またはインダイレクト読出しモード（FMODE = 01）で空きバイトの位置が 2 つ以上残っている場合に FTF がセットされ、FIFO から読み出すことができる有効なバイトが 2 つ以上ある場合に FTF がセットされます。

.....

31：インダイレクト書込みモード（FMODE = 00）では、FIFO またはインダイレクト読出しモード（FMODE = 01）で 32 個の空きバイトの位置が残っている場合に FTF がセットされ、FIFO から読み出すことができる 32 個の有効なバイトがある場合に FTF がセットされます。

DMAEN = 1 の場合、対応するチャネル用の DMA コントローラは FTHRES 値を変更する前に無効にする必要があります。.

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **SSHIFT**：サンプリングシフト

デフォルトでは、QUADSPI はFlash メモリによるデータ駆動の 1/2 CLK サイクル後にデータをサンプリングします。このビットを使用することで、外部信号遅延を考慮して、後でデータをサンプリングすることできます。

0：シフトなし

1：1/2 サイクルのシフト

ファームウェアは、DDR モード（DDRM = 1）では SSHIFT = 0 であることを予測する必要があります。

注： このビットフィールドは、BUSY が 0 のときにのみ修正できます。

ビット 3 **TCEN**：タイムアウトカウンタ有効化

このビットは、メモリマップドモードが選択されている（FMODE = 11)場合にのみ有効です。ある一定の時間アクセスがない場合（この時間は TIMEOUT[15:0]（QUADSPI_LPTR）によって定義されます)、このビットをアクティブにすることで NCS がリリースされます（これにより消費電力が削減されます)。このビットは、タイムアウトカウンタを有効にします。

デフォルトでは、QUADSPI がプリフェッチ動作を停止することはなく、Flash メモリへのアクセスが長時間なくても、前の読出し動作はアクティブな状態を保ち、NCS もローに保持されます。NCS がローのときにFlash メモリはより多く電力を消費する傾向があるため、FIFO がプリフェッチデータでフルになっている場合は、アクセスのない状態で TIMEOUT[15:0]（QUADSPI_LPTR）のサイクル周期が経過したあとで NCS が開放されるように、アプリケーションはタイムアウトカウンタ（TCEN=1、QUADSPI_CR のビット 3）の起動を要求する場合があります。

0：タイムアウトカウンタは無効です。したがって、NCS はメモリマップドモードにおける 1 回のアクセス後は無限にアクティブなままです。

1：タイムアウトカウンタは有効です。したがって、NCS は、インアクティブなFlash メモリの TIMEOUT[15:0] サイクル後にメモリマップドモードでリリースされます。

注： このビットは、BUSY が 0 のときにのみ修正できます。

ビット 2 **DMAEN**：DMA 有効化

インダイレクトモードでは、DMA を使用して、QUADSPI_DR レジスタ経由でデータを入出力することができます。DMA 転送は、FTF（FIFO 閾値フラグ）がセットされた時点で開始されます。

0：インダイレクトモードでは DMA は無効です。

1：インダイレクトモードでは DMA は有効です。

ビット 1 **ABORT**：アボートリクエスト

このビットは進行中のコマンドシーケンスを停止します。すべてのアボートが完了すると自動的にリセットされます。このビットは現在の転送を中止させます。

自動ステータスポーリングまたはメモリマップドモードでは、このビット APM または DM ビットもリセットします。

0：アボートは要求されていません。

1：アボートが要求されています。

ビット 0 **EN**：QUADSPI. 有効化

0：QUADSPI は無効です。

1：QUADSPI は有効です。

15.5.2 QUADSPI デバイス設定レジスタ（QUADSPI_DCR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSIZE[4:0]				
											rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CSHT[2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	CKMODE
					rw	rw	rw								rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20:16 **FSIZE[4:0]**：Flash メモリサイズ

このビットフィールドは、次の式を使用して外部メモリのサイズを定義します。

Flash メモリ内のバイト数 = $2^{[FSIZE+1]}$

FSIZE+1 は Flash メモリのアドレスを指定するために必要とされる有効なアドレスビット数です。Flash メモリの容量はインダイレクトモードでは最大 4 GB（32 ビットを使用してアドレス指定）ですが、メモリマップドモードにおけるアドレス指定可能な空間は 256 MB に制限されます。

注： このビットフィールドは、BUSY が 0 のときにのみ修正できます。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **CSHT[2:0]**：チップセレクトハイ時間

CSHT+1 は、Flash メモリに対して発行されるコマンド間でチップセレクト（NCS）がハイに保たれなければならない CLK サイクルの最小数を定義します。

0：NCS は、Flash メモリコマンド間の少なくとも 1 サイクルの間はハイに保持されます。

1：NCS は、Flash メモリコマンド間の少なくとも 2 サイクルの間はハイに保持されます。

.....

7：NCS は、Flash メモリコマンド間の少なくとも 8 サイクルの間はハイに保持されます。

注： このビットフィールドは、BUSY が 0 のときにのみ修正できます。

ビット 7:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CKMODE**：モード 0／モード 3

このビットは、コマンド間での CLK のレベルを示します（NCS = 1 のとき）。

0：CLK は NCS がハイである間はローに保持される必要があります（チップセレクトがリリースされる）。これは、モード 0　と呼ばれます。

1：CLK は NCS がハイである間はハイに保持される必要があります（チップセレクトがリリースされる）。これは、モード 3　と呼ばれます。

注： このビットフィールドは、BUSY が 0 のときにのみ修正できます。

15.5.3 QUADSPI ステータスレジスタ（QUADSPI_SR）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	FLEVEL[5:0]						Res.	Res.	BUSY	TOF	SMF	FTF	TCF	TEF
		r	r	r	r	r	r			r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:8 **FLEVEL[5:0]**：FIFO レベル

このビットフィールドは FIFO 内に保持されている有効バイト数を示します。FIFO が空の場合、FLEVEL = 0、フルになっている場合、32です。メモリマップドモードおよび自動ステータスポーリングモードでは、FLEVEL はゼロです。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **BUSY**：ビジー

このビットは動作が進行中のときにセットされます。このビットは、Flash メモリの動作が終わり、FIFO が空になると自動的にクリアされます。

ビット 4 **TOF**：タイムアウトフラグ

このビットは、タイムアウトが発生するとセットされます。CTOF に 1 を書き込むことによってクリアされます。

ビット 3 **SMF**：ステータス一致フラグ

このビットは、マスクされていない受信データが一致レジスタ（QUADSPI_PSMAR）の対応するビットと一致している場合に、自動ステータスポーリングモードでセットされます。CSMF に 1 を書き込むことによってクリアされます。

ビット 2 **FTF**：FIFO 閾値フラグ

インダイレクトモードでは、このビットは FIFO 閾値に達したときに、またはFlash メモリからの読出し完了後に FIFO 内にデータが残っている場合にセットされます。閾値条件が真でなくなるとすぐに自動的にクリアされます。

自動ステータスポーリングモードでは、このビットはステータスレジスタが読み出されるたびにセットされ、データレジスタが読み出された時点でクリアされます。

ビット 1 **TCF**：転送完了フラグ

このビットは、プログラムされたデータ数が転送されたときにインダイレクトモードでセットされるか、または転送が中止されたときにいずれかのモードでセットされます。また、CTCF に 1 を書き込むことによってクリアされます。

ビット 0 **TEF**：転送エラーフラグ

このビットは、インダイレクトモードで無効なアドレスにアクセスされているときに、インダイレクトモードでセットされます。CTEF に 1 を書き込むことによってクリアされます。

15.5.4 QUADSPI フラグクリアレジスタ（QUADSPI_FCR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTOF	CSMF	Res.	CTCF	CTEF
											w	w		w	w

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CTOF**：タイムアウトフラグのクリア

このビットに 1 を書き込むと、QUADSPI_SR の TOF フラグがクリアされます。

ビット 3 **CSMF**：ステータス一致フラグのクリア

このビットに 1 を書き込むと、QUADSPI_SR の SMF フラグがクリアされます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CTCF**：転送完了フラグのクリア

このビットに 1 を書き込むと、QUADSPI_SR の TCF フラグがクリアされます。

ビット 0 **CTEF**：転送エラーフラグのクリア

このビットに 1 を書き込むと、QUADSPI_SR の TEF フラグがクリアされます。

15.5.5 QUADSPI データ長レジスタ（QUADSPI_DLR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DL[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DL[31:0]**：データ長

インダイレクトモードおよび自動ステータスポーリングモードで取得されるデータ数（値 + 1）。自動ステータスポーリングモードの場合、3 以下の値（4 バイトを示す）を使用する必要があります。

インダイレクトモードがすべて"1"の場合は、不定長を意味します。この場合、FSIZE によって定義されているメモリの終了まで QUADSPI は継続します。

0x0000_0000：1 バイトが転送されます。

0x0000_0001：2 バイトが転送されます。

0x0000_0002：3 バイトが転送されます。

0x0000_0003：4 バイトが転送されます。

.....

0xFFFF_FFFD：4,294,967,294（4G-2）バイトが転送されます。

0xFFFF_FFFE：4,294,967,295（4G-1）バイトが転送されます。

0xFFFF_FFFF：不定長 -- すべてのバイトがFlash メモリの終了（FSIZE によって定義）まで転送されます。FSIZE = 0x1F の場合、読出しが無限に続けられます。

このビットフィールドはメモリマップドモード（FMODE = 10）では効果がありません。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.6 QUADSPI 通信設定レジスタ（QUADSPI_CCR）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DDRM	Res.	Res.	SIOO	FMODE[1:0]		DMODE[1:0]		Res.	DCYC[4:0]					ABSIZE[1:0]	
rw			rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABMODE[1:0]		ADSIZE[1:0]		ADMODE[1:0]		IMODE[1:0]		INSTRUCTION[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **DDRM**：データレートモードを倍にします。

このビットは、アドレス、オルタネートバイト、およびデータフェーズの DDR モードをセットします。

0：DDR モードが無効の場合

1：DDR モードが有効な場合

注： このビットは、BUSY が 0 のときにのみ書込みができます。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28 **SIOO**：モードにつき 1 回のみ命令を送信します。
IMODE = 00 のとき、このビットは無効です。詳細については、セクション 15.3.12 を参照してください。
0：トランザクションごとに命令を送信します。
1：最初のコマンドに対してのみ命令を送信します。
注： このビットは、BUSY が 0 のときにのみ書込みができます。

ビット 27:26 **FMODE[1:0]**：機能モード
このビットフィールドは、動作の QUADSPI 機能モードを定義します。
00：インダイレクト書込みモード
01：インダイレクト読出しモード
10：自動ステータスポーリングモード
11：メモリマップドモード
DMAEN = 1 の場合、対応するチャネル用の DMA コントローラは FMODE 値を変更する前に無効にする必要があります。
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 25:24 **DMODE[1:0]**：データモード
このビットフィールドは、動作のデータフェーズのモードを次のように定義します。
00：データはありません。
01：データは 1 本のライン上にあります。
10：データは 2 本のライン上にあります。
11：データは 4 本のライン上にあります。
また、このビットフィールドは動作のダミーフェーズモードも決定します。
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:18 **DCYC[4:0]**：ダミーサイクル数
このビットフィールドは、ダミーフェーズの処理時間を定義します。SDR モードと DDR モードの両方で、CLK サイクルの数を指定します（0～31）。
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 17:16 **ABSIZE[1:0]**：オルタネートバイトサイズ
このビットは、オルタネートバイトのサイズを定義します。
00：8 ビットオルタネートバイト
01：16 ビットオルタネートバイト
10：24 ビットオルタネートバイト
11：32 ビットオルタネートバイト
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 15:14 **ABMODE[1:0]**：オルタネートバイトモード
このビットフィールドは、動作のオルタネートバイトフェーズのモードを定義します。
00：オルタネートバイトはありません。
01：オルタネートバイトは 1 本のライン上にあります。
10：オルタネートバイトは 2 本のライン上にあります。
11：オルタネートバイトは 4 本のライン上にあります。
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 13:12 **ADSIZE[1:0]**：アドレスサイズ
このビットはアドレスサイズを定義します。
00：8 ビットアドレス
01：16 ビットアドレス
10：24 ビットアドレス
11：32 ビットアドレス
注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 11:10 **ADMODE[1:0]**：アドレスモード

このビットフィールドは、動作のアドレスフェーズのモードを定義します。

00：アドレスはありません。

01：アドレスは 1 本のライン上にあります。

10：アドレスは 2 本のライン上にあります。

11：アドレスは 4 本のライン上にあります。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 9:8 **IMODE[1:0]**：命令モード

このビットフィールドは、動作の命令フェーズのモードを定義します。

00：命令はありません。

01：命令は 1 本のライン上にあります。

10：命令は 2 本のライン上にあります。

11：命令は 4 本のライン上にあります。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

ビット 7:0 **INSTRUCTION[7:0]**：命令

外部 SPI デバイスに送信される命令。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.7 QUADSPI アドレスレジスタ（QUADSPI_AR）

アドレスオフセット：0x018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDRESS[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRESS[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **ADDRESS[31:0]**：アドレス

このビットフィールドは、外部Flash メモリに送信されるアドレスを含みます。

このビットフィールドへの書込みは、BUSY = 1 または FMODE = 11（メモリマップドモード）の場合は無視されます。

15.5.8 QUADSPI オルタネートバイトレジスタ（QUADSPI_ABR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALTERNATE[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ALTERNATE[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **ALTERNATE[31:0]**：オルタネートバイト

アドレスの直後に外部 SPI デバイスに送信されるオプションのデータ

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.9 QUADSPI データレジスタ（QUADSPI_DR）

アドレスオフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATA[31:0]**：データ

外部 SPI デバイスに対して送受信されるデータ

インダイレクト書込みモードでは、このレジスタに書き込まれたデータはいったん FIFO に格納されてから、データフェーズ時にFlash メモリに送信されます。FIFO がフルの場合、書き込まれるデータ量を受け入れるだけの十分な空間が FIFO にできるまで、書込み動作は停止されます。

インダイレクト読出しモードでは、このレジスタを読み出すことで（FIFO 経由）、Flash メモリから受信したデータが提供されます。FIFO のバイト数が読出し動作で要求したバイト数ほど多くない場合で、BUSY = 1 のとき、データ量が十分になるか、転送が完了するかのいずれか早く起こるほうまで、読出し動作は停止されます。

自動ステータスポーリングモードでは、このレジスタはFlash メモリから読み出された最後のデータを格納します（マスキングなし）。

このレジスタへのワード、ハーフワード、バイトアクセスはサポートされます。インダイレクト書込みモードでの書込みにより FIFO に追加されるバイト数は、バイト書込みで 1 バイト、ハーフワード書込みで 2 バイト、ワード書込みで 4 バイトです。同様に、インダイレクト読出しモードでの読出しにより FIFO から削除されるバイト数は、バイト読出しで 1 バイト、ハーフワード読出しで 2 バイト、ワード読出しで 4 バイトです。インダイレクトモードでのアクセスは、このレジスタのボトムに整列されなければなりません。つまり、バイト読出しでは DATA[7:0] が、ハーフワード読出しでは DATA[15:0] が読み出されます。

15.5.10 QUADSPI ポーリングステータスマスクレジスタ（QUADSPI _PSMKR）

アドレスオフセット：0x024

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MASK[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MASK[31:0]**：ステータスマスク

自動ステータスポーリングモードで受信したステータスバイトに適用されるマスク。

ビット n の場合

0：自動ステータスポーリングモードで受信したデータのビット n はマスクされ、その値は一致ロジックでは考慮されません。

1: 自動ステータスポーリングモードで受信したデータのビット n はマスクされず、その値は一致ロジックで考慮されます。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.11 QUADSPI ポーリングステータス一致レジスタ（QUADSPI_PSMAR）

アドレスオフセット：0x028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MATCH[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MATCH[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **MATCH[31:0]**：ステータス一致

一致を得るためにマスクされたステータスレジスタと比較される値

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.12 QUADSPI ポーリングインターバルレジスタ（QUADSPI_PIR）

アドレスオフセット：0x02C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERVAL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **INTERVAL[15:0]**：ポーリングインターバル

自動ステータスポーリングフェーズ時の 2 回の読出し間の CLK サイクル数。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.13 QUADSPI 低電力タイムアウトレジスタ（QUADSPI_LPTR）

アドレスオフセット：0x030

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMEOUT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **TIMEOUT[15:0]**：タイムアウト期間

メモリマップドモードでのアクセス終了のたびに、QUADSPI はその後のバイトをプリフェッチし、それらを FIFO に保持します。このビットフィールドは、FIFO がフルになってから NCS を立ち上げるまでに QUADSPI が待つ CLK サイクルの数を示し、Flash メモリを消費電力がより少ない状態にします。

注： このビットフィールドは、BUSY が 0 のときにのみ書込みができます。

15.5.14 QUADSPI レジスタマップ

表 72. QUADSPI レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	QUADSPI_CR	PRESCALER[7:0]								PMM	APMS	Res.	TOIE	SMIE	FTIE	TCIE	TEIE	Res.	Res.	Res.	FTHRES[4:0]					Res.	Res.	Res.	SSHIFT	TCEN	DMAEN	ABORT	EN
	リセット値	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0				0	0	0	0	0				0	0	0	0	0
0x004	QUADSPI_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSIZE[4:0]					Res.	Res.	Res.	Res.	Res.	CSHT			Res.	Res.	Res.	Res.	Res.	Res.	Res.	CKMODE
	リセット値												0	0	0	0	0						0	0	0								0
0x008	QUADSPI_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLEVEL[5:0]						Res.	Res.	BUSY	TOF	SMF	FTF	TCF	TEF
	リセット値																			0	0	0	0	0	0			0	0	0	0	0	0
0x00C	QUADSPI_FCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTOF	CSMF	Res.	CTCF	CTEF
	リセット値																												0	0		0	0
0x010	QUADSPI_DLR	DL[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	QUADSPI_CCR	DDRM	Res.	Res.	SIOO	FMODE [1:0]		DMODE [1:0]		Res.	DCYC[4:0]					ABSIZE [1:0]		ABMODE [1:0]		ADSIZE [1:0]		ADMODE [1:0]		IMODE [1:0]		INSTRUCTION[7:0]							
	リセット値	0			0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	QUADSPI_AR	ADDRESS[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x01C	QUADSPI_ABR	ALTERNATE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	QUADSPI_DR	DATA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	QUADSPI_ PSMKR	MASK[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	QUADSPI_ PSMAR	MATCH[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	QUADSPI_PIR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INTERVAL[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030	QUADSPI_ LPTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIMEOUT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、セクション 2.2 を参照してください。

16 アナログデジタルコンバータ（ADC）

16.1 概要

ADC は、12 ビットの逐次比較型アナログデジタルコンバータで構成されています。

ADC には、最大 19 の多重化チャネルがあります。さまざまなチャネルの A/D 変換は、シングル、連続、スキャン、または不連続モードで行うことができます。ADC の結果は、左詰めまたは右詰めで 16 ビットのデータレジスタに格納されます。

ADC は AHB バスに配置され、データを高速で処理できます。

アナログウォッチドッグ機能により、入力電圧が、ユーザ定義の上限値または下限値から逸脱していないかを、アプリケーションで検出することができます。

組込みのオーバーサンプリング回路により、CPU の計算負荷を軽減しながらアナログ性能を高めることができます。

低周波数で非常に低い消費電力を可能にするために、効率的な低電力モードが実装されています。

16.2 ADC の主な機能

- ハイパフォーマンス機能
  - 12、10、8、または 6 ビットに設定可能な分解能
  - ADC 変換時間は AHB バスクロック周波数から独立
  - 分解能を下げることで変換時間を短縮可
  - シングルエンドまたは差動入力を管理
  - 高速データ処理を可能にする AHB スレーブバスインタフェース
  - 自己較正
  - チャネル単位でプログラム可能なサンプリング時間
  - 最大 4 つのインジェクトチャネル（アナログ入力をレギュラまたはインジェクトチャネルへ完全に割り当て設定可能）
  - 高速コンテキスト切り替えを可能にするためにインジェクトチャネルの内容を準備するハードウェアによる支援
  - 組み込みのデータコヒーレンシによるデータ配置
  - データは、レギュラチャネル変換において、DMA で管理可能
  - 4 つのインジェクトチャネル専用のデータレジスタ
- オーバーサンプリング回路
  - 16 ビットデータレジスタ
  - 2～256 倍までオーバーサンプリング比を調整可能
  - 最大 8 ビットまでプログラム可能なデータシフト
- 低電力機能
  - 低周波数での動作時に ADC 消費電流を低減するための速度適応型低電力モード
  - 最適な ADC 性能を維持しながら、低いバス周波数を適用可能
  - 低 AHB バスクロック周波数アプリケーション（自動遅延モード）で ADC オーバーランを避けるための自動制御を提供

- 外部アナログ入力チャネルの数
  - GPIO パッドから最大 5 つの高速チャネル
  - GPIO パッドから最大 11 個の低速チャネル
- さらに、複数の専用の内部チャネル
  - 内部基準電圧（V_{REFINT}）は ADC1 に接続
  - 内部温度センサ（V_{TS}）は ADC1 に接続
  - V_{BAT} 監視チャネル（$V_{BAT}/3$）は ADC1 に接続
- 変換開始は、次のように開始可能
  - レギュラ変換とインジェクト変換の両方について、ソフトウェアによって開始
  - レギュラ変換とインジェクト変換の両方について、極性が設定可能なハードウェアトリガによって開始（内部タイマイベントまたは GPIO 入力イベント）
- 変換モード
  - ADC では単一チャネルの変換、または一連のチャネルをスキャン可能
  - シングルモードは、選択された入力をトリガごとに1回変換します。
  - 連続モードは、選択された入力を連続的に変換します。
  - 不連続モード
- ADC レディ時、サンプリング終了時、（レギュラまたはインジェクト）変換終了時、（レギュラまたはインジェクト）シーケンス変換終了時、アナログウォッチドッグ 1、2、3、またはオーバーランイベント時に割込みを生成
- 3 つのアナログウォッチドッグ
- ADC 入力電圧範囲：$V_{REF-} \leq V_{IN} \leq V_{REF+}$

図 40 に、1 つの ADC のブロック図を示します。

16.3 ADC の実装

表 73. ADC の機能

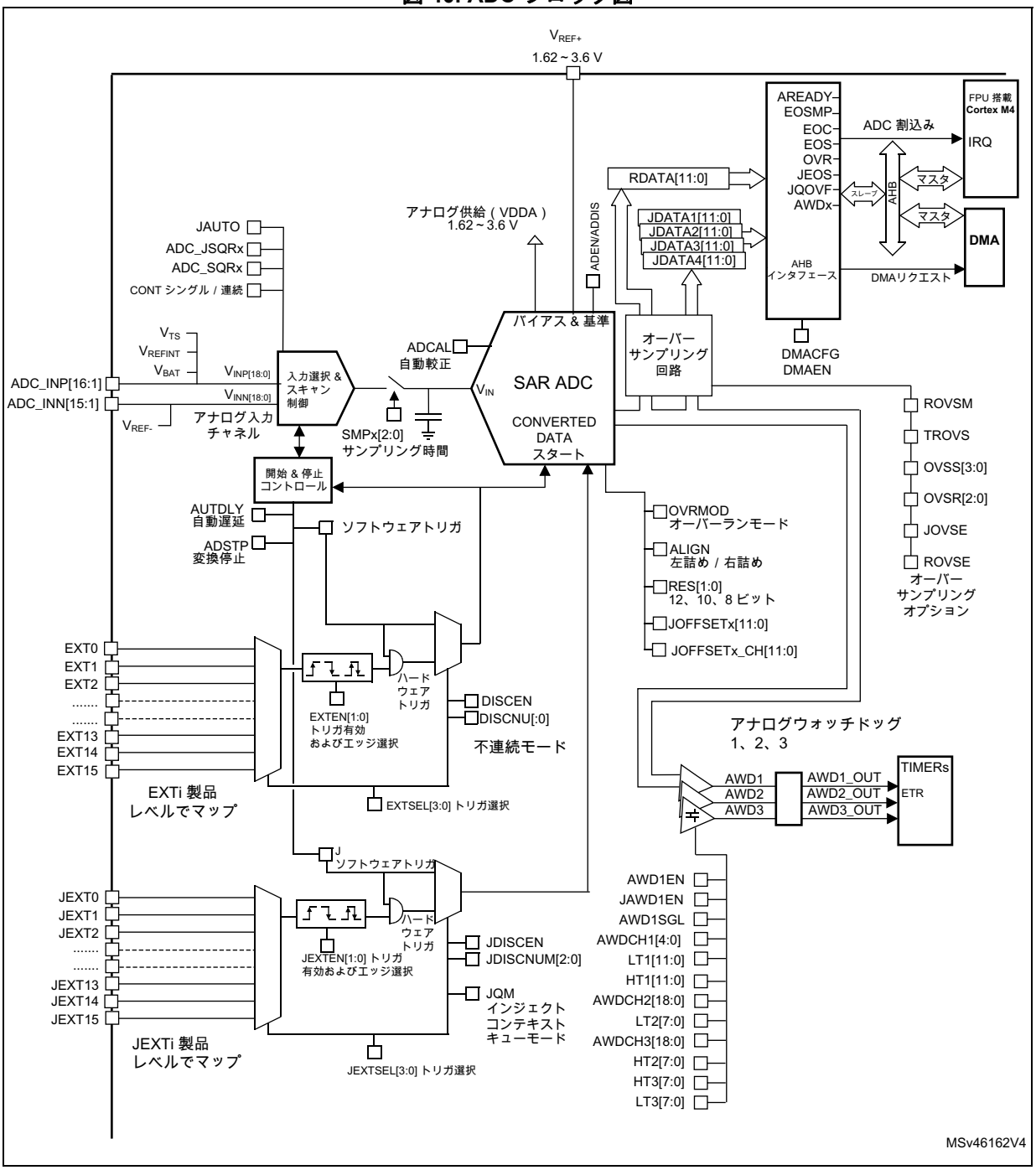
機能	STM32WB55xx	STM32WB35xx
ADC1_INN	1～15	5～12、および 15
ADC1_INP	1～16	5～13、15～16

16.4 ADC の機能説明

16.4.1 ADC ブロック図

図 40 に ADC ブロック図を、表 75 に ADC ピンの説明を示します。

図 40. ADC ブロック図



16.4.2 ADC ピンおよび内部信号

表 74. ADC 内部入力／出力信号

内部信号名	信号タイプ	説明
EXT[15:0]	入力	レギュラ変換の最大 16 個の外部トリガ入力（オンチップタイマに接続可能）。
JEXT[15:0]	入力	インジェクト変換の最大 16 個の外部トリガ入力（オンチップタイマに接続可能）。
ADC_AWDx_OUT	出力	オンチップタイマに接続された内部アナログウォッチドッグの出力信号（x = アナログウォッチドッグ番号 1、2、3）
VTS	入力	内部温度センサからの出力電圧
V_{REFINT}	入力	内部基準電圧からの出力電圧
V_{BAT}	入力電源供給	外部バッテリ電圧供給

表 75. ADC の入出力ピン

ピン名	信号タイプ	コメント
VREF+	入力、アナログ基準電圧正	A/D コンバータのハイレベル／正基準電圧
VDDA	入力、アナログ電源供給	V_{DDA} に等しいアナログ電源供給
VREF−	入力、アナログ基準電圧負	ADC のローレベル／負基準電圧。V_{REF-} は内部的に V_{SSA} に接続されています。
VSSA	入力、アナログ供給グラウンド	アナログ電源のグランド。専用の V_{SSA} ピンがないデバイスパッケージでは、V_{SSA} は内部的に V_{SS} に接続されています。
$V_{INP}i$	正のアナログ入力チャネル	ADC1_INP*i* 外部チャネルまたは内部チャネルのいずれかに接続されます。この入力はシングルエンドモードで変換されます。
$V_{INN}i$	負のアナログ入力チャネル	V_{REF-} または外部チャネル（ADC1_INNi および ADC1_INP[i+1]）のいずれかに接続されます。
ADC1_INNi	負の外部アナログ入力信号	最大 15 チャネルのアナログ入力 詳細については、セクション 16.4.4 : ADC1 接続性を参照してください。
ADC1_INPi	正の外部アナログ入力信号	最大 16 チャネルのアナログ入力 詳細については、セクション 16.4.4 : ADC1 接続性を参照してください。

16.4.3 ADC クロック

デュアルクロックドメインアーキテクチャ

デュアルクロックドメインアーキテクチャは、ADC クロックが AHB バスクロックから独立していることを意味します。

入力クロックは、で、2 つの異なるクロックソースから選択できます（図 41：ADC クロック構成を参照）。

1. ADC クロックには、次のクロックソースから生成される特定のクロックソースを使用できます。
   - システムクロック
   - PLLSAI1（シングル ADC 実装）

   ADC 専用クロックの生成方法の詳細については、RCC のセクションを参照してください。この構成を選択するには、ADCx_CCR レジスタのビット CKMODE[1:0] をリセットする必要があります。
2. ADC クロックは、ADC バスインタフェースの AHB クロックから生成し、プログラム可能な係数（1、2、または 4）で分周することができます。このモードでは、プログラム可能な分周比を選択できます（ビット CKMODE[1:0] に従って /1、2、または 4）。

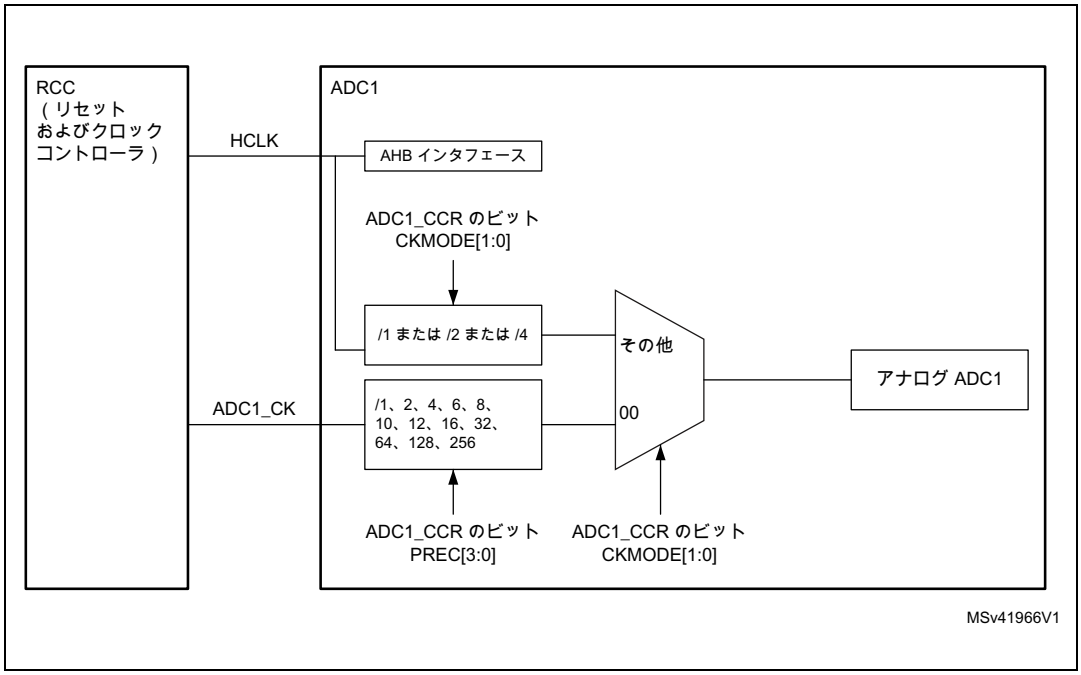
   この構成を選択するには、ADCx_CCR レジスタのビット CKMODE[1:0] が 00 以外の値である必要があります。

注： **オプション 2 では、AHB プリスケーラが設定されている（RCC_CFGR レジスタの HPRE[3:0] = 0xxx）場合のみ、プリスケーラ係数を 1（CKMODE[1:0] = 01）にできます。**

オプション 1 には、選択された AHB クロック構成にかかわらず、最大の ADC クロック周波数に到達できるという利点があります。ADC クロックは、最終的には1、2、4、6、8、12、16、32、64、128、256 の比率で分周できます。このとき、ADCx_CCR レジスタの PRESC[3:0] ビットで設定されたプリスケーラを使用します。

オプション 2 には、クロックドメインの再同期を迂回するという利点があります。これは、ADC がタイマによってトリガされるときと、アプリケーションが ADC の確実で精密なトリガを必要とする場合に便利です（そうしない場合、2 つのクロックドメイン間の再同期によってトリガの瞬間の時間の不確実性が高まります）。

図 41. ADC クロック構成



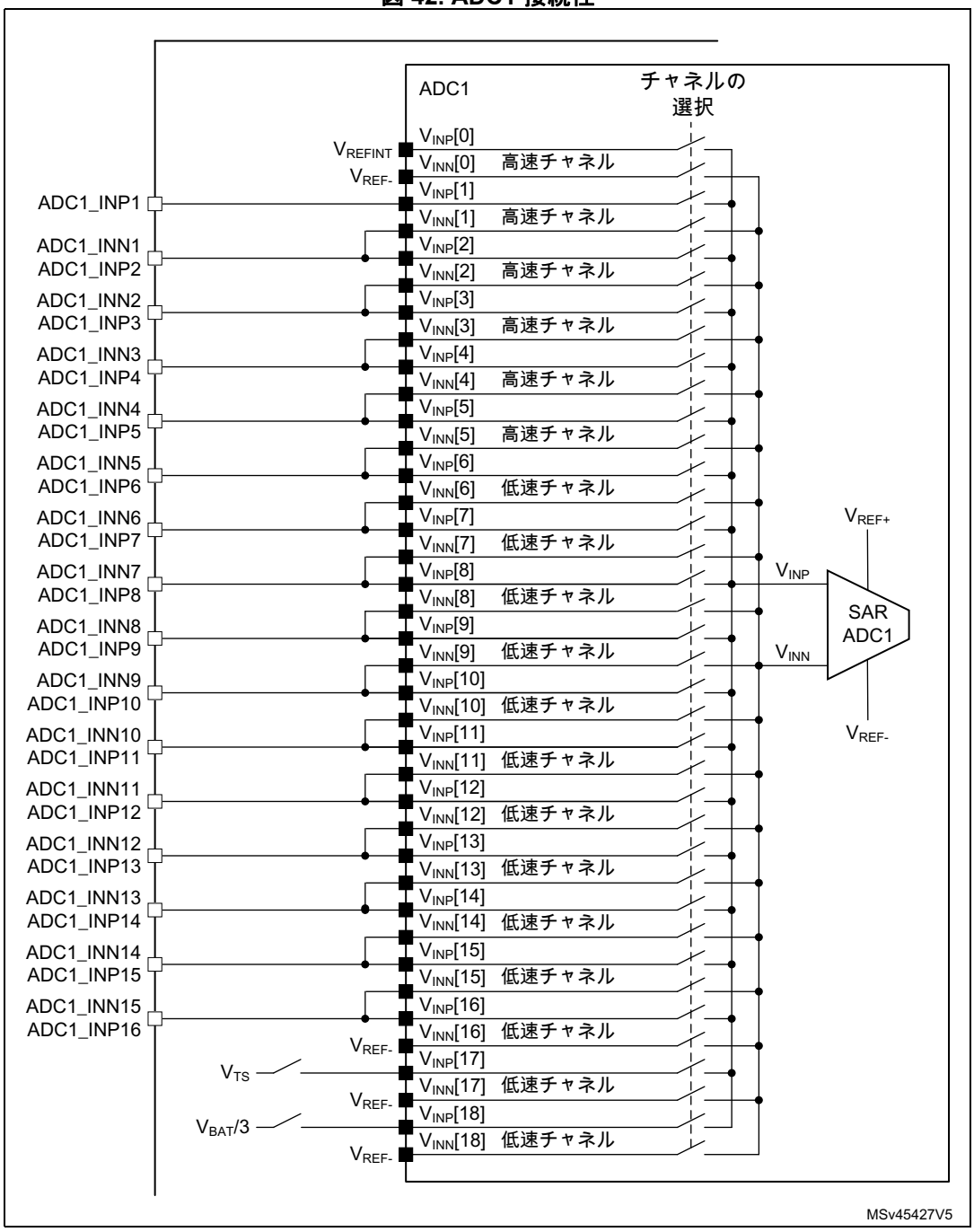
ADC クロックと AHB クロックの間におけるクロック比の制約

通常、ADC クロックと AHB クロックの間で注意すべき制約はありませんが、インジェクトチャネルがプログラムされている場合は例外です。この場合、次の比率に注意する必要があります。

- すべてのチャネルの分解能が 12 ビットまたは 10 ビットである場合、$F_{HCLK} \geq F_{ADC} / 4$
- いくつかのチャネルの分解能が 8 ビットである場合（それを下回る分解能のチャネルがない場合）、$F_{HCLK} \geq F_{ADC} / 3$
- いくつかのチャネルの分解能が 6 ビットである場合、$F_{HCLK} \geq F_{ADC} / 2$

16.4.4 ADC1 接続性

図 42. ADC1 接続性



16.4.5 スレーブ AHB インタフェース

ADC は、制御／ステータスレジスタおよびデータアクセスのために AHB スレーブポートを実装しています。AHB インタフェースの機能を次に示します。

- ワード（32 ビット）アクセス
- シングルサイクルレスポンス
- レジスタへのすべての読出し／書込みアクセスに対してゼロウェイトステートの応答。

AHB スレーブインタフェースでは分割／再試行リクエストをサポートしておらず、また AHB エラーも発生しません。

16.4.6 ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）

デフォルトでは、リーク電流を低減するために電源が内部的にオフになっている（ADC_CR レジスタのビット DEEPPWD のリセット状態が 1 である）場合、ADC はディープパワーダウンモードになります。

ADC の動作を開始するには、以下のシーケンスに従います。

1. DEEPPWD ビットをクリアして、ディープパワーダウンモードを終了します。
2. ADVREGEN をセットすることによって、ADC 電圧レギュレータを有効にします。
3. ADC を設定するための起動時間を待ちます（起動時間の値については、デバイスのデータシートを参照）。

ADC の動作が完了すると、ADC を無効化できます（ADEN = 0）。ADC 電圧レギュレータを無効にすることでも節電できます。これは、ビット ADVREGEN に 0 を書き込んで実行します。

そして、リーク電流を削減してさらに節電するには、ADC_CR レジスタでビット DEEPPWD = 1 をセットして ADC ディープパワーダウンモードに再移行することもできます。これは特に STOP モードに移行する前に有益です。

注： **DEEPPWD = 1 を書き込むと、ADC 電圧レギュレータは自動的に無効になり、ビット ADVREGEN が自動的にクリアされます。**

内部電圧レギュレータが無効なとき（ADVREGEN = 0）には、内部アナログ較正が保持されます。

ADC ディープパワーダウンモード（DEEPPWD = 1）では、内部アナログ較正が失われ、較正を再起動するか、以前に保存した較正係数を再適用する必要があります（セクション 16.4.8 : 較正（ADCAL、ADCALDIF、ADC_CALFACT）を参照）。

STOP 2 モードに入る前に、ADDIS をセットし、ADVREGEN をクリアすることによって、ADC を無効にする必要があります。

16.4.7 シングルエンドおよび差動入力のチャネル

ADC_DIFSEL レジスタの DIFSEL[i] ビットをプログラムすることで、チャネルを、シングルエンド入力または差動入力のいずれかに設定できます。この設定は、ADC が無効（ADEN = 0）のときに書き込む必要があります。シングルエンドチャネルに対応する DIFSEL[i] ビットは常に 0 にプログラムすることに注意してください。

シングルエンド入力モードで、チャネル「i」に変換されるアナログ電圧は、$V_{INP[i]}$ に等しい ADCy_INPx 外部電圧（正の入力）と V_{REF-}（負の入力）の差です。

差動入力モードで、チャネル「i」に変換されるアナログ電圧は、$V_{INP[i]}$ に等しい ADCy_INPx 外部電圧の正の入力と、$V_{INN[i]}$ に等しい ADCy_INNx の負の入力との差です。

差動モードでの入力電圧の範囲は、V_{REF-}～V_{REF+} です。これは 2 x V_{REF+} のフルスケール範囲になります。$V_{INP[i]}$ が V_{REF-} に等しいとき、$V_{INN[i]}$ は V_{REF+} に等しく、最大負入力差動電圧（V_{REF-}）は 0x000 の ADC 出力に対応します。$V_{INP[i]}$ が V_{REF+} に等しいとき、$V_{INN[i]}$ は V_{REF-} に等しく、最大正入力差動電圧（V_{REF+}）は 0xFFF の ADC 出力に対応します。$V_{INP[i]}$ と $V_{INN[i]}$ が互いに接続されている場合、ゼロ入力差動電圧は 0x800 の ADC 出力に対応します。

差動モードの ADC 感度は、シングルエンドモードの 2 倍小さくなります。

ADC が差動モードに設定されている場合、両方の入力を（V_{REF+}）/ 2 の電圧でバイアスする必要があります。許容されるコモンモード入力電圧 V_{CMIN} については、デバイスのデータシートを参照してください。

入力信号は差分とみなされます（共通モードの電圧は固定する必要があります）。

内部チャネル（V_{TS} および V_{REFINT} など）はシングルエンドモードのみで使用されます。

への入力チャネルの接続方法の詳細については、セクション 16.4.4: ADC1 接続性を参照してください。

注意： **差動入力モードでチャネル「i」を設定する場合、負の入力電圧 $V_{INN[i]}$ は別のチャネルに接続されます。その結果、このチャネルはシングルエンドモードや差動モードでは使用できなくなり、この先変換するために設定してはなりません。**

16.4.8 較正（ADCAL、ADCALDIF、ADC_CALFACT）

ADC は、ADC のパワーオン／オフシーケンスを含むすべての較正シーケンスを駆動する、自動較正手順を提供しています。この処理時、ADC は、次の ADC のパワーオフまで ADC に内部で適用される、7 ビット幅の較正係数を計算します。較正処理時、アプリケーションでは ADC を使用してはならず、較正が完了するまで待つ必要があります。

較正は、すべての ADC 動作に先立って行われます。較正は、プロセスまたはバンドギャップのばらつきによりチップごとに異なるオフセットエラーを削除します。

シングルエンド入力変換に適用される較正係数は、差動入力変換に適用される係数とは異なります。

- シングルエンド入力変換に適用される較正を起動する前に、ADCALDIF = 0 を書き込みます。
- 差動入力変換に適用される較正を起動する前に、ADCALDIF = 1 を書き込みます。

較正は、ビット ADCAL = 1 をセットすることによって、ソフトウェアによって開始されます。較正は、ADC が無効のとき（ADEN = 0 のとき）だけ開始できます。すべての較正シーケンス時、ADCAL ビットは 1 のままです。較正が完了すると、ハードウェアによってクリアされます。このとき、関連する較正係数は、アナログ ADC と、ADC_CALFACT レジスタのビット CALFACT_S[6:0] または CALFACT_D[6:0] に内部的に格納されます（シングルエンドであるか差動入力較正であるかによって異なる）。

ADC が無効の場合（ADEN = 0）、内部アナログ較正が保持されます。ただし、ADC が長時間無効である場合は、ADC を再度有効にする前に、新しい較正サイクルを実行することを推奨します。

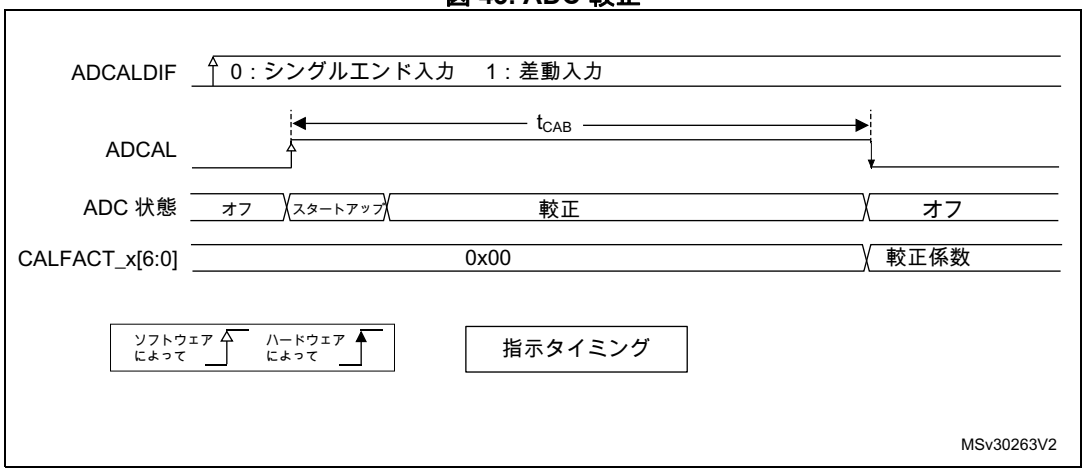
内部アナログ較正は ADC の電源がオフになるたびに失われます（たとえば、製品が STANDBY または VBAT モードになった場合）。この場合、ADC の再較正に時間をかけるのを避けるためには、ソフトウェアが前回の較正時に較正係数を保存していた場合にかぎり、再較正せずに ADC_CALFACT レジスタに較正係数を再度書き込むことができます。

ADC が有効であり、変換中でない場合（ADEN = 1 かつ ADSTART = 0 かつ JADSTART = 0）、較正係数を書き込むことができます。その場合、次の変換開始時に、較正係数がアナログ ADC に自動的にインジェクトされます。このローディングは透過的であり、変換開始のサイクル遅延は増加しません。V_{REF+} 電圧が 10% を超えて変化した場合、再較正することを推奨します。

ソフトウェアでの ADC の較正手順

1. DEEPPWD = 0、ADVREGEN = 1 であり、ADC 電圧レギュレータの起動時間が経過していることを確認します。
2. ADEN = 0 であることを確認します。
3. ADCALDIF = 0 （シングルエンド入力）または ADCALDIF = 1 （差動入力）にセットして、この較正の入力モードを選択します。
4. ADCAL をセットします。
5. ADCAL = 0 になるまで待ちます。
6. 較正係数を ADC_CALFACT レジスタから読み出すことができます。

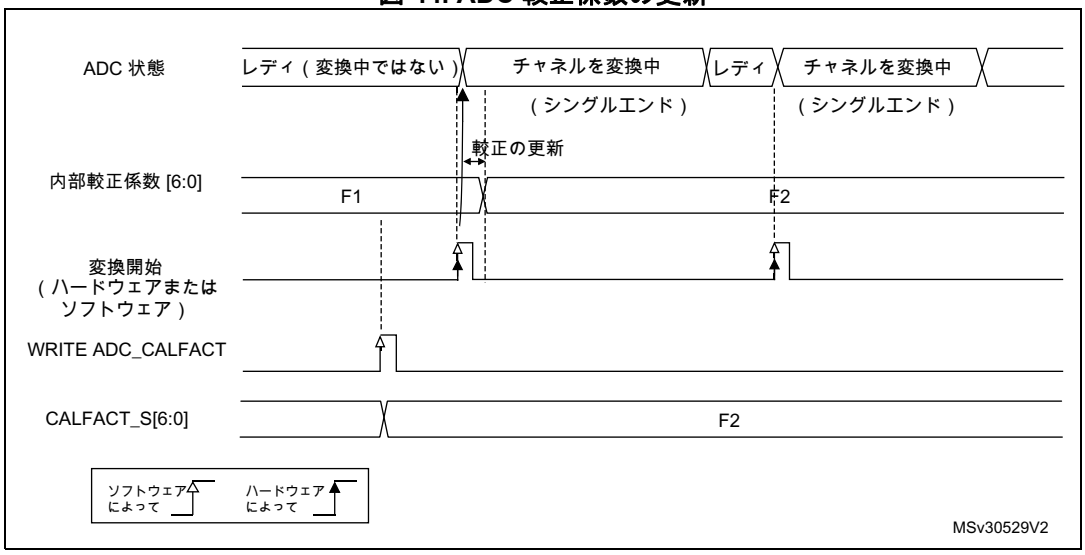
図 43. ADC 較正



ソフトウェアでの ADC への較正係数の再インジェクト手順

1. ADEN = 1 かつ ADSTART = 0 かつ JADSTART = 0 である（ADC が有効で変換中でない）ことを確認します。
2. 新しい較正係数で CALFACT_S および CALFACT_D を書き込みます。
3. 変換を起動すると、較正係数がアナログ ADC にインジェクトされます。これは、内部アナログ較正係数が、シングルエンド入力チャネルの場合はビット CALFACT_S、差動入力チャネルの場合はビット CALFACT_D に格納された較正係数と異なる場合にのみ有効です。

図 44. ADC 較正係数の更新

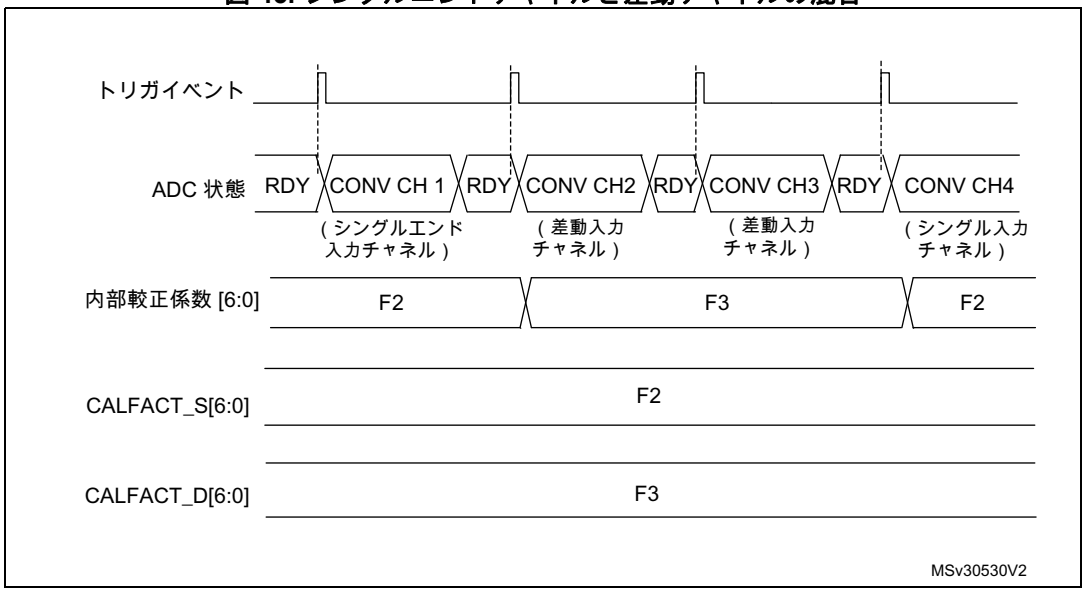


シングル ADC によるシングルエンドおよび差動アナログ入力の変換

ADC で、差動入力とシングルエンド入力の両方を変換することを想定している場合、ADCALDIF = 0 と ADCALDIF = 1 の 2 つの較正を実行する必要があります。手順は、次のとおりです。

1. ADC を無効にします。
2. シングルエンド入力モードで ADC を較正します（ADCALDIF = 0）。これにより、レジスタ CALFACT_S[6:0] が更新されます。
3. 差動入力モードで ADC を較正します（ADCALDIF = 1）。これにより、レジスタ CALFACT_D[6:0] が更新されます。
4. ADC を有効化し、チャネルを設定して変換を起動します。シングルエンド入力チャネルから差動入力チャネル（またはその逆）に切り替えられるたびに、アナログ ADC では自動的に較正が行われます。

図 45. シングルエンドチャネルと差動チャネルの混合



16.4.9 ADC オン / オフ制御（ADEN、ADDIS、ADRDY）

最初に、セクション 16.4.6 : ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）で説明している手順に従ってください。

一度 DEEPPWD = 0 および ADVREGEN = 1 になると ADC を有効化することができ、図 46 にあるように、ADC は正確な変換を開始する前に、安定時間 t_{STAB} を必要とします。ADC は、次の 2 つの制御ビットによって有効化または無効化されます。

- ADC は、ADEN = 1 によって有効化されます。ADC の動作準備ができると、ADRDY フラグがセットされます。
- ADC は、ADDIS = 1 によって無効化されます。アナログ ADC が実質的に無効になると、ADEN および ADDIS はハードウェアによって自動的にクリアされます。

その後、ADSTART = 1 をセットすることによって（セクション 16.4.18 : 外部トリガによる変換およびトリガ極性 （EXTSEL、EXTEN、JEXTSEL、JEXTEN）を参照）、またはトリガが有効な場合に外部トリガイベントが発生したときに、レギュラ変換を開始できます。

JADSTART = 1 をセットすることによって、またはインジェクトトリガが有効な場合に外部インジェクトトリガイベントが発生したときに、インジェクト変換を開始できます。

ソフトウェアでの ADC の有効化手順

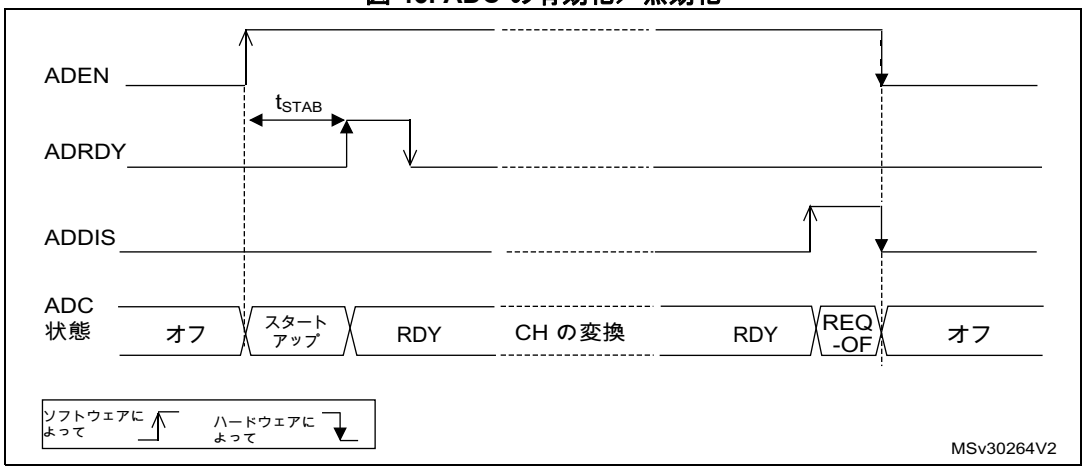
1. ADC_ISR レジスタの ADRDY ビットに 1 を書き込んでクリアします。
2. ADEN をセットします。
3. ADRDY = 1 になるまで待ちます（ADRDY は ADC 起動時間後にセットされます）。これは、対応する割込みを使用することで実行できます（ADRDYIE = 1 をセットします）。
4. ADC_ISR レジスタの ADRDY ビットに 1 を書き込んでクリアします（オプション）。

注意： **ADCAL がセットされているとき、および、ADCAL ビットがハードウェアによってクリアされた（較正の終了）後の 4 ADC クロックサイクル中は、ADEN ビットをセットできません。**

ソフトウェアでの ADC の無効化手順

1. ADSTART = 0 かつ JADSTART = 0 であることを確認し、変換が実行中でないことを確認します。必要な場合は、ADSTP = 1 および JADSTP = 1 にセットして、実行中のレギュラ変換とインジェクト変換を停止し、ADSTP = 0 および JADSTP = 0 になるまで待ちます。
2. ADDIS をセットします。
3. アプリケーションによって必要とされる場合、ADEN = 0 になり、アナログ ADC が実質的に無効になるまで待ちます（ADEN = 0 になると、ADDIS は自動的にリセットされます）。

図 46. ADC の有効化／無効化



16.4.10 ADC 制御ビット書込み時の制約

ソフトウェアでは、ADC が無効である場合のみ（ADEN は 0 である必要があります）、ADC クロック（RCC セクションを参照）、ADC_DIFSEL レジスタの DIFSEL[i] 制御ビット、および ADC_CR レジスタの制御ビット ADCAL と ADEN を設定して有効化するために、RCC 制御ビットを書き込むことができます。

ADC が有効であり、ADC を無効にするための保留中のリクエストがない場合のみ（ADEN=1 かつ ADDIS=0 である必要があります）、ソフトウェアは ADC_CR レジスタの制御ビット ADSTART、JADSTART、および ADDIS を書き込むことができます。

ADC_CFGR、ADC_SMPRx、ADC_SQRy、ADC_JDRy、ADC_OFRy、ADC_OFCHRy、および ADC_IER レジスタのその他のすべての制御ビットについては、次のとおりです。

- レギュラ変換の設定に関連する制御ビットについては、ADC が有効（ADEN = 1）であり、実行中のレギュラ変換がない（ADSTART = 0）場合のみ、ソフトウェアでこれらを書き込むことができます。
- インジェクト変換の設定に関連する制御ビットについては、ADC が有効（ADEN = 1）であり、実行中のインジェクト変換がない（JADSTART = 0）場合のみ、ソフトウェアでこれらを書き込むことができます。

ADC が有効で、変換可能の場合、および ADC を無効にするための保留中のリクエストがない場合のみ（ADSTART = 1 または JADSTART = 1、かつ ADDIS = 0）、ソフトウェアは ADC_CR レジスタの制御ビット ADSTP または JADSTP を書き込むことができます。

ソフトウェアは、ADC が有効である場合（ADEN = 1）、いつでもレジスタ ADC_JSQR を書き込むことができます。詳細については、セクション 16.7.16：ADC インジェクトシーケンスレジスタ（ADC_JSQR）を参照してください。

注： **これらの禁止された書込みアクセスを防ぐハードウェア保護はありません。ADCの挙動は不明な状態になる場合があります。この状況を回復するには、ADC を無効にする必要があります（ADEN と ADC_CR レジスタのすべてのビットをクリアします）。**

16.4.11 チャネルの選択（SQRx、JSQRx）

最大 19 の多重化チャネルがあります。

- GPIO パッドからの最大 11 個の低速アナログ入力（ADC1_INP/INN[6:16]）
  製品によっては、すべてを GPIO パッドで使用できるわけではありません。
- ADC は、次の内部アナログ入力に接続されています。
  - 内部基準電圧（V_{REFINT}）は ADC1_INP0 に接続されています。
  - 内部温度センサ（V_{TS}）は ADC1_INP17 に接続されています。
  - V_{BAT} 監視チャネル（$V_{BAT}/3$）は ADC1_INP18 に接続されています。

注： **内部アナログチャネルのうちの 1 つを変換するには、最初に ADCx_CCR レジスタのビット VREFEN、CH17SEL、または CH18SEL をプログラムして、対応するアナログソースを有効化する必要があります。**

変換は、レギュラとインジェクトの 2 つのグループに構成することができます。各グループは、任意のチャネルに対して任意の順序で行うことができる一連の変換で構成されます。たとえば、次のような順で変換順を設定することができます：ADC1_INP/INN3、ADC1_INP/INN8、ADC1_INP/INN2、ADC1_INN/INP2、ADC1_INP/INN0、ADC1_INP/INN2、ADC1_INP/INN2、ADC1_INP/INN15.

- **レギュラグループ**は、最大 16 の変換で構成されます。レギュラチャネルと変換シーケンス内での順序は、ADC_SQRy レジスタで選択する必要があります。レギュラグループの合計変換数は、ADC_SQR1 レジスタの L[3:0] ビットに書き込む必要があります。
- **インジェクトグループ**は、最大 4 つの変換で構成されます。インジェクトチャネルと変換シーケンス内での順序は、ADC_JSQR レジスタで選択する必要があります。インジェクトグループの合計変換数は、ADC_JSQR レジスタの L[1:0] ビットに書き込む必要があります。

レギュラ変換が実行される可能性がある場合は、ADC_SQRy レジスタを変更しないでください。この場合、最初に ADSTP = 1 を書き込んで、ADC レギュラ変換を停止する必要があります（セクション 16.4.17：実行中の変換の停止（ADSTP、JADSTP）を参照）。

JADSTART が セットされているとき（インジェクト変換実行中）にソフトウェアが ADC_JSQR レジスタを動作中に変更できるのは、コンテキストキューが有効になっている（ADC_CFGR レジスタの JQDIS = 0）場合だけです。セクション 16.4.21：インジェクト変換のコンテキストのキューを参照してください。

16.4.12 チャネル単位でプログラム可能なサンプリング時間（SMPR1、SMPR2）

変換を開始する前に、ADC は測定する電圧ソースと ADC の内蔵サンプリングコンデンサの間の直接接続を確立する必要があります。このサンプリング時間は、入力電圧ソースが内蔵コンデンサを入力電圧レベルまでチャージできるだけの十分な長さが必要です。

各チャネルは、ADC_SMPR1 および ADC レジスタの SMP[2:0] ビットを使用してプログラムすることで異なるサンプリング時間でサンプリングできます。したがって、次のサンプリング時間の値から選択することができます。

- SMP = 000：2.5 ADC クロックサイクル
- SMP = 001：6.5 ADC クロックサイクル
- SMP = 010：12.5 ADC クロックサイクル
- SMP = 011：24.5 ADC クロックサイクル
- SMP = 100：47.5 ADC クロックサイクル
- SMP = 101：92.5 ADC クロックサイクル
- SMP = 110：247.5 ADC クロックサイクル
- SMP = 111：640.5 ADC クロックサイクル

合計変換時間は、次のように計算されます。

T_{CONV} = サンプリング時間 + 12.5 ADC クロックサイクル

例：

F_{ADC_CLK} = 30 MHz、サンプリング時間 = 2.5 ADC クロックサイクル：

T_{CONV} = （2.5 + 12.5）ADC クロックサイクル = 15 ADC クロックサイクル = 500 ns

ADC は、ステータスビット EOSMP をセットすることによって、サンプリングフェーズの終了を示します（レギュラ変換のみ）。

サンプリング時間の制約

各チャネルで、SMP[2:0] ビットはデータシートの ADC 特性セクションで指定された最小サンプリング時間を考慮してプログラムする必要があります。

I/O アナログスイッチ電圧ブースタ

V_{DDA} 電圧が低すぎる場合に、I/O アナログスイッチの抵抗が増加します。したがって、サンプリング時間はそれに応じて調整する必要があります（対応する電気特性についてはデバイスのデータシートを参照してください）。SYSCFG_CFGR1 レジスタの BOOSTEN ビットで内部電圧ブースタを有効にすることによって、低い V_{DDA} 電圧でもこの抵抗を最小化できます。

16.4.13 シングル変換モード（CONT = 0）

シングル変換モードでは、ADC はすべてのチャネルを一度変換します。CONT ビットが 0 の時、次のいずれかによってこのモードが開始します。

- ADC_CR レジスタの ADSTART ビットをセット（レギュラチャネル）
- ADC_CR レジスタの JADSTART ビットをセット（インジェクトチャネル）
- 外部ハードウェアトリガイベント（レギュラまたはインジェクトチャネル）

レギュラシーケンス内で、各変換の完了後、

- 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
- EOC （レギュラ変換の完了）フラグがセットされます。
- EOCIE ビットがセットされている場合、割込みが生成されます。

インジェクトシーケンス内で、各変換の完了後、

- 変換データは 4 つの 16 ビット ADC_JDRy レジスタのうちの 1 つに格納されます。
- JEOC （インジェクト変換の完了）フラグがセットされます。
- JEOCIE ビットがセットされている場合、割込みが生成されます。

レギュラシーケンスの完了後、

- EOS （レギュラシーケンスの完了）フラグがセットされます。
- EOSIE ビットがセットされている場合、割込みが生成されます。

インジェクトシーケンスの完了後、

- JEOS （インジェクトシーケンスの完了）フラグがセットされます。
- JEOSIE ビットがセットされている場合、割込みが生成されます。

次に、ADC は、新しい外部レギュラトリガまたは外部インジェクトトリガが発生するか、ADSTART または JADSTART ビットが再びセットされるまで停止します。

注： **単一チャネルを変換するには、長さが 1 のシーケンスをプログラムします。**

16.4.14 連続変換モード（CONT = 1）

このモードはレギュラチャネルにのみ適用されます。

連続変換モードでは、ソフトウェアまたはハードウェアのレギュラトリガイベントが発生すると、ADC はチャネルのレギュラ変換を一度すべて実行し、自動的に再起動して、シーケンスの各変換を連続的に実行します。CONT ビットが 1 の時、外部トリガまたは ADC_CR レジスタの ADSTART ビットをセットすることによって、このモードが開始されます。

レギュラシーケンス内で、各変換の完了後、

- 変換されたデータは 16 ビットの ADC_DR レジスタに格納されます。
- EOC（end of conversion）フラグがセットされます。
- EOCIE ビットがセットされている場合、割込みが生成されます。

変換シーケンスの完了後、

- EOS （シーケンス完了）フラグがセットされます。
- EOSIE ビットがセットされている場合、割込みが生成されます。

次に、新しいシーケンスをすぐに再開して、ADC は変換シーケンスを連続的に繰り返します。

注：**単一チャネルを変換するには、長さが 1 のシーケンスをプログラムします。**

不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方をセットすることは禁じられています。

インジェクトチャネルを連続して変換することはできません。唯一の例外は、連続モードに設定されたレギュラチャネルの後にインジェクトチャネルを自動的に変換するよう設定されている（JAUTO ビットを使用）場合です。自動インジェクションモードのセクションを参照してください。

16.4.15 変換の開始（ADSTART、JADSTART）

ソフトウェアは、ADSTART = 1 をセットすることによって ADC レギュラ変換を開始します。

ADSTART がセットされると、変換は、

- EXTEN[1:0] = 00（ソフトウェアトリガ）の場合、すぐに開始します。
- EXTEN[1:0] が 00 ではない場合、選択されたレギュラハードウェアトリガの次のアクティブエッジで開始します。

ソフトウェアは、JADSTART = 1 をセットすることによって ADC インジェクト変換を開始します。

JADSTART がセットされると、変換は、

- JEXTEN[1:0] = 00（ソフトウェアトリガ）の場合、すぐに開始します。
- JEXTEN[1:0] が 00 ではない場合、選択されたインジェクトハードウェアトリガの次のアクティブエッジで開始します。

注：**自動インジェクションモード（JAUTO = 1）では、ADSTART ビットを使用してレギュラ変換を開始し、続いて自動インジェクト変換を行います（JADSTART はクリアされたままでなければなりません）。**

ADSTART および JADSTART では、ADC の動作が実行中かどうかを示す情報も提供しています。ADSTART = 0 および JADSTART = 0 が両方とも真であり、ADC がアイドルであることを示しているときには、ADC を再設定できます。

次のときに、ADSTART はハードウェアによってクリアされます。

- シングルモード時のソフトウェアのレギュラトリガ（CONT = 0、EXTSEL = 0x0）
  - レギュラ変換シーケンスの終了時（EOS のアサート）、または DISCEN = 1 の場合のサブグループ処理の終了時
- すべての場合に（CONT=x、EXTSEL=x）
  - ソフトウェアによってアサートされた ADSTP 手順の実行後。

注： **連続モード（CONT = 1）では、シーケンスは自動的に再起動されるので、EOS がアサートされても、ADSTART はハードウェアによってクリアされません。**

シングルモードでハードウェアトリガが選択されたとき（CONT = 0 かつ EXTSEL ≠ 0x00）、次のハードウェアトリガイベントで ADSTART の再リセットを必要としないソフトウェアを支援するために、EOS がアサートされても、ADSTART はハードウェアによってクリアされません。これにより、さらなるハードウェアトリガの見落としを防ぐことができます。

次のときに、JADSTART はハードウェアによってクリアされます。

- シングルモード時のソフトウェアのインジェクトトリガ（JEXTSEL = 0x0）
  - インジェクト変換シーケンスの終了時（JEOS のアサート）、または JDISCEN = 1 の場合のサブグループ処理の終了時
- すべての場合に（JEXTSEL=x）
  - ソフトウェアによってアサートされた JADSTP 手順の実行後。

注： **ソフトウェアトリガが選択されているとき、EOC フラグがまだハイの場合に ADSTART ビットをセットしてはいけません。**

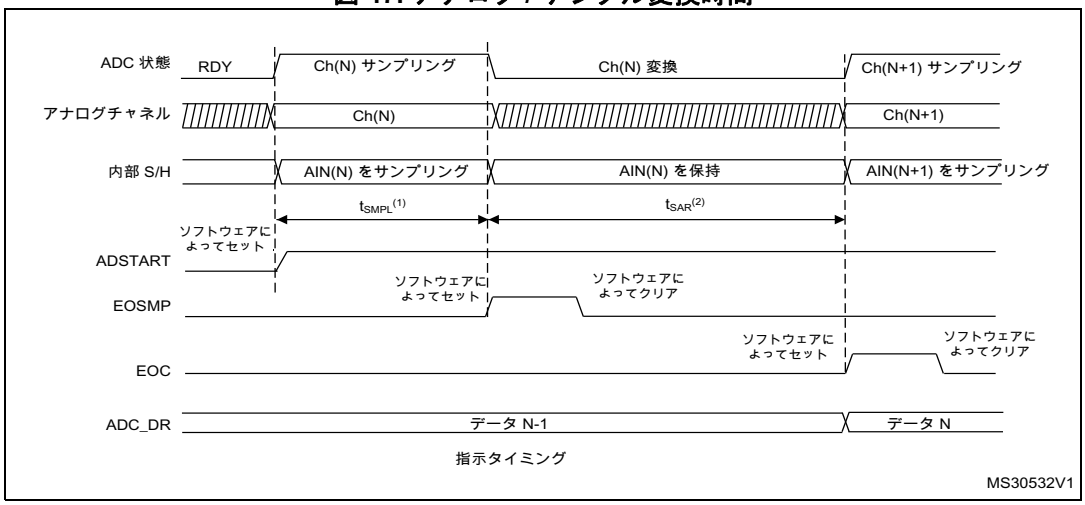
16.4.16 ADC のタイミング

変換の開始から変換の終了までの経過時間は、設定されたサンプリング時間に逐次比較時間（データ分解能に依存）を加えた合計です。

$T_{CONV} = T_{SMPL} + T_{SAR} = [2.5\ _{|min} + 12.5\ _{|12bit}] \times T_{ADC_CLK}$

$T_{CONV} = T_{SMPL} + T_{SAR} = 83.33\ ns\ _{|min} + 416.67\ ns\ _{|12bit} = 500.0\ ns$（$F_{ADC_CLK} = 30\ MHz$ の場合）

図 47. アナログ / デジタル変換時間



1. T_{SMPL} は SMP[2:0] に依存します。
2. T_{SAR} は RES[2:0] に依存します。

16.4.17 実行中の変換の停止（ADSTP、JADSTP）

ソフトウェアは、ADSTP = 1 をセットすることによって実行中のレギュラ変換を、また JADSTP = 1 をセットすることによって実行中のインジェクト変換を停止することができます。

変換を停止すると、実行中の ADC 動作がリセットされます。これによって ADC 動作が再設定され（チャネル選択やトリガの変更など）、新しい動作の準備ができます。

レギュラ変換の実行中に、インジェクト変換を停止することもできる点に注意してください（その逆も可能）。これにより、たとえば、レギュラ変換の実行中にインジェクト変換シーケンスやトリガを再設定することができます（その逆も可能）。

ADSTP ビットがソフトウェアによってセットされると、実行中のレギュラ変換はアボートされ、部分的な結果は破棄されます（ADC_DR レジスタは現在の変換では更新されません）。

JADSTP ビットがソフトウェアによってセットされると、実行中のインジェクト変換はアボートされ、部分的な結果は破棄されます（ADC_JDRy レジスタは現在の変換では更新されません）。スキャンシーケンスも中止され、リセットされます（ADC を再起動すると、新しいシーケンスが再開されることを意味します）。

この手順が完了すると、ADSTP/ADSTART ビット（レギュラ変換の場合）、または JADSTP/JADSTART ビット（インジェクト変換の場合）がハードウェアによってクリアされ、ソフトウェアは ADC が完全に停止する前にビットがリセットされるまで ADSTART（または JADSTART）をポーリングする必要があります。

注： **自動インジェクションモード（JAUTO = 1）では、ADSTP ビットをセットすると、レギュラ変換とインジェクト変換の両方がアボートされます（JADSTP を使用してはいけません）。**

図 48. 実行中のレギュラ変換の停止

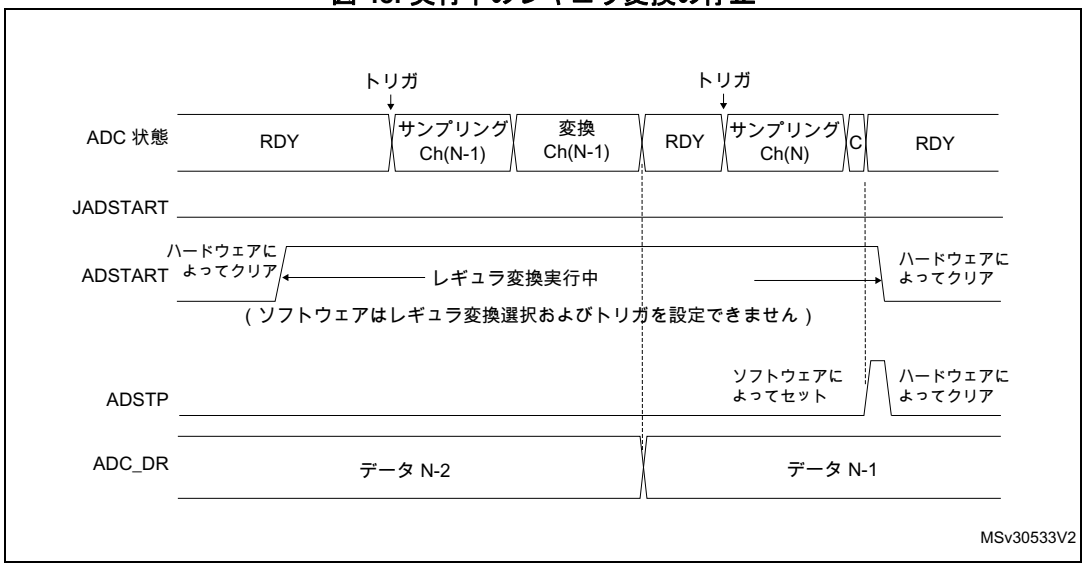
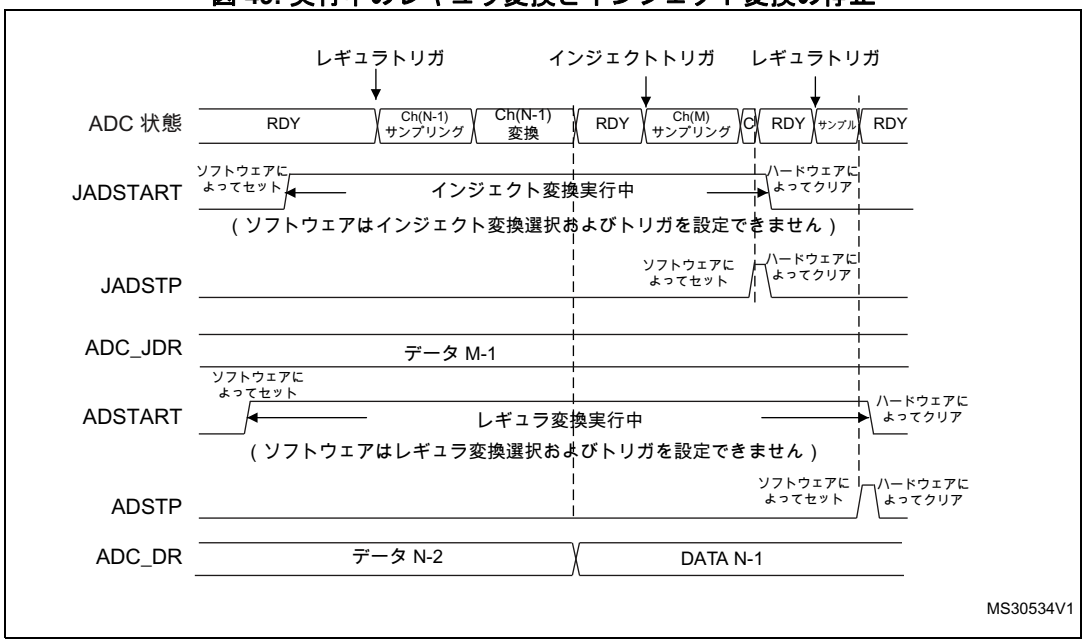


図 49. 実行中のレギュラ変換とインジェクト変換の停止



16.4.18 外部トリガによる変換およびトリガ極性（EXTSEL、EXTEN、JEXTSEL、JEXTEN）

変換または変換シーケンスは、ソフトウェアによって、または外部イベント（タイマキャプチャや入力ピンなど）によってトリガできます。EXTEN[1:0] 制御ビット（レギュラ変換の場合）または JEXTEN[1:0] ビット（インジェクト変換の場合）が 00 以外の場合、外部イベントは選択した極性で変換をトリガすることができます。

インジェクトキューが有効である場合（ビット JQDIS = 0）、インジェクトされたソフトウェアのトリガはできません。

レギュラトリガ選択は、一度ソフトウェアでビット ADSTART = 1 をセットすると有効になります。インジェクトトリガ選択は、一度ソフトウェアでビット JADSTART = 1 をセットすると有効になります。

変換中に発生したハードウェアトリガは無視されます。

- ビット ADSTART = 0 の場合、発生したレギュラハードウェアトリガは無視されます。
- ビット JADSTART = 0 の場合、発生したインジェクトハードウェアトリガは無視されます。

表 76 に EXTEN[1:0] と JEXTEN[1:0] の値とトリガ極性の対応を示します。

表 76. レギュラ外部トリガのトリガ極性の設定

EXTEN[1:0]	転送元
00	ハードウェアトリガ検出が無効になり、ソフトウェアトリガ検出が有効になります。
01	立ち上がりエッジで検出するハードウェアトリガ
10	立ち下がりエッジで検出するハードウェアトリガ
11	立ち上がりエッジと立ち下がりエッジの両方でハードウェアトリガを検出します。

注： **レギュラトリガの極性は動作中に変更することはできません。**

表 77. インジェクト外部トリガのトリガ極性の設定

JEXTEN[1:0]	転送元
00	– JQDIS = 1（キュー無効）の場合：ハードウェアトリガ検出が無効になり、ソフトウェアトリガ検出が有効になります。 – JQDIS = 0（キュー有効）の場合、ハードウェアおよびソフトウェアトリガ検出は無効になります。
01	立ち上がりエッジで検出するハードウェアトリガ
10	立ち下がりエッジで検出するハードウェアトリガ
11	立ち上がりエッジと立ち下がりエッジの両方でハードウェアトリガを検出します。

注： **キューが有効（JQDIS = 0）になっている場合、インジェクトトリガの極性は動作中に予想して変更できます。セクション 16.4.21：インジェクト変換のコンテキストのキュー を参照してください。**

EXTSEL および JEXTSEL 制御ビットでは、レギュラおよびインジェクトグループの変換をトリガできるイベントを 16 のイベントから選択します。

レギュラグループ変換は、インジェクトトリガによって中断することが可能です。

注： **レギュラトリガの選択は動作中に変更することはできません。**
インジェクトトリガの選択は動作中に予想して変更できます。セクション 16.4.21：445 ページのインジェクト変換のコンテキストのキューを参照してください。

表 78 から表 79 では、レギュラ変換とインジェクト変換に使用できる 3 つの ADC のすべての外部トリガを示します。

表 78. ADC1 - レギュラチャネルの外部トリガ

名前	転送元	タイプ	EXTSEL[3:0]
EXT0	TIM1_CC1	オンチップタイマからの内部信号	0000
EXT1	TIM1_CC2	オンチップタイマからの内部信号	0001
EXT2	TIM1_CC3	オンチップタイマからの内部信号	0010
EXT3	TIM2_CC2	オンチップタイマからの内部信号	0011
EXT4	-	-	0100
EXT5	-	-	0101
EXT6	EXTI ライン 11	外部ピン	0110
EXT9	TIM1_TRGO	オンチップタイマからの内部信号	1001
EXT10	TIM1_TRGO2	オンチップタイマからの内部信号	1010
EXT11	TIM2_TRGO	オンチップタイマからの内部信号	1011
EXT13	-	-	1101
EXT14	-	-	1110

表 79. ADC1 - インジェクトチャネルの外部トリガ

名前	転送元	タイプ	JEXTSEL[3:0]
JEXT0	TIM1_TRGO	オンチップタイマからの内部信号	0000
JEXT1	TIM1_CC4	オンチップタイマからの内部信号	0001
JEXT2	TIM2_TRGO	オンチップタイマからの内部信号	0010
JEXT3	TIM2_CH1	オンチップタイマからの内部信号	0011
JEXT4	-	-	0100
JEXT5	-	-	0101
JEXT6	EXTI ライン 15	外部ピン	0110
JEXT8	TIM1_TRGO2	オンチップタイマからの内部信号	1000
JEXT14	-	-	1110
JEXT15	-	-	1111

16.4.19 インジェクトチャネルの管理

トリガインジェクションモード

トリガインジェクションを使用するには、ADC_CFGR レジスタの JAUTO ビットがクリアされていなければなりません。

1. 外部トリガによって、または、ADC_CR レジスタの ADSTART ビットをセットすることによって、レギュラチャネルグループの変換を開始します。
2. レギュラチャネルグループの変換中に外部インジェクトトリガが発生した場合、または ADC_CR レジスタの JADSTART ビットがセットされた場合、現在の変換はリセットされ、インジェクトチャネルシーケンススイッチが起動されます（すべてのインジェクトチャネルが一度変換されます）。
3. その後、レギュラチャネルグループのレギュラ変換が、最後に中断されたレギュラ変換から再開されます。
4. インジェクト変換中にレギュライベントが発生した場合、インジェクト変換は中断されず、インジェクトシーケンスの終了時にレギュラシーケンスが実行されます。図 50 に対応するタイミング図を示します。

注： **トリガインジェクションを使用する場合は、トリガイベントの間隔がインジェクションシーケンスより長くなるようにしなければなりません。たとえば、シーケンスの長さが 30 ADC クロックサイクルの場合（2.5 クロック周期のサンプリング時間を持つ 2 つの変換）、トリガの最小間隔は 31 ADC クロックサイクルでなければなりません。**

自動インジェクションモード

ADC_CFGR レジスタの JAUTO ビットがセットされている場合、レギュラグループチャネルの変換後、インジェクトグループチャネルが自動的に変換されます。これを使用して、ADC_SQRy レジスタおよび ADC_JSQR レジスタにプログラミングされた最大 20 回の変換シーケンスを実行することができます。

このモードでは、レギュラ変換を開始し、続いてインジェクト変換を開始するために ADC_CR レジスタの ADSTART ビットをセットする必要があります（JADSTART はクリアされたままでなければなりません）。ADSTP ビットをセットすると、レギュラ変換とインジェクト変換の両方がアボートされます（JADSTP ビットを使用することはできません）。

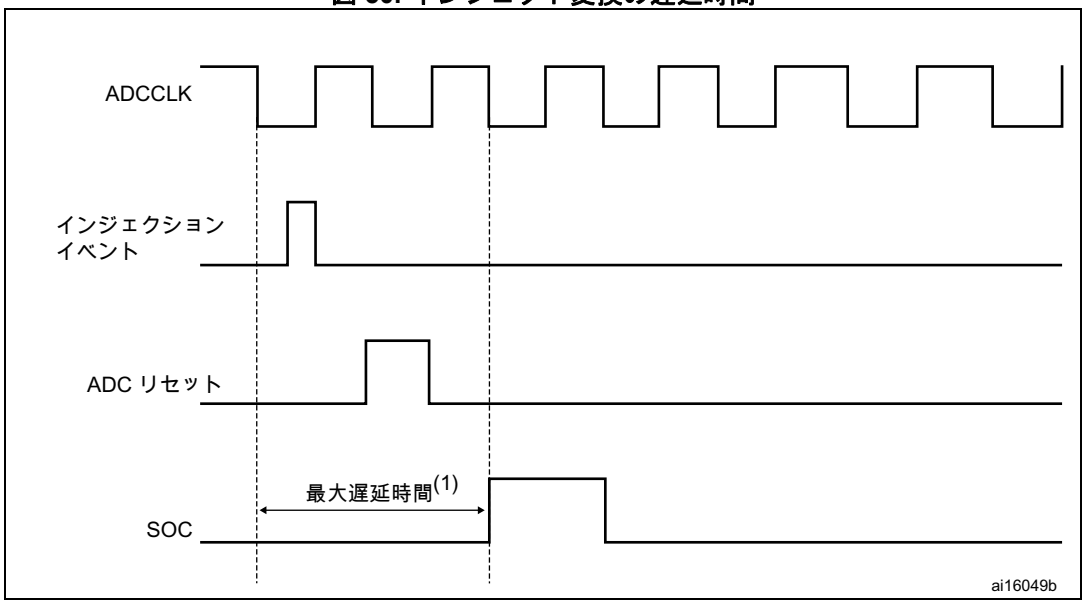
このモードでは、インジェクトチャネルの外部トリガは無効でなければなりません。

JAUTO ビットに加えて CONT ビットもセットされている場合、レギュラチャネルに続いてインジェクトチャネルが連続して変換されます。

注： **自動インジェクトモードと不連続モードを同時に使用することはできません。**

JAUTO モードで、レギュラシーケンスのデータをエクスポートする際に DMA を使用する場合は、サーキュラモードでプログラムする必要があります（DMA_CCRx レジスタの CIRC ビットをセット）。CIRC ビットがリセットされると（シングルショットモード）、DMA 転送完了イベントによって JAUTO シーケンスが停止されます。

図 50. インジェクト変換の遅延時間



1. 最大遅延時間の値は、デバイスのデータシートの電気特性に記載されています。

16.4.20 不連続モード（DISCEN、DISCNUM、JDISCEN）

レギュラグループモード

このモードは、ADC_CFGR レジスタの DISCEN ビットをセットすることによって有効になります。

これを使用して、ADC_SQRy レジスタで選択された変換シーケンスの一部である短い n 回（n ≤ 8）の変換シーケンス（サブグループ）を変換できます。n の値は、ADC_CFGR レジスタの DISCNUM[2:0] ビットに書き込むことによって指定されます。

外部トリガが発生すると、ADC_SQRy レジスタで選択された次の n 回の変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_SQR1 レジスタの L[3:0] ビットによって定義されます。

例：

- DISCEN = 1、n = 3、変換されるチャネル = 1、2、3、6、7、8、9、10、11
  - 1 番目のトリガ：変換されるチャネルは 1、2、3 です（各変換で EOC イベントが生成されます）。
  - 2 番目のトリガ：変換されるチャネルは 6、7、8 です（各変換で EOC イベントが生成されます）。
  - 3 番目のトリガ：変換されるチャネルは 9、10、11 です（各変換で EOC イベントが生成されます）。EOS イベントはチャネル 11 の変換後に生成されます。
  - 4 番目のトリガ：変換されるチャネルは 1、2、3 です（各変換で EOC イベントが生成されます）。
  - .....
- DISCEN = 0、変換されるチャネル = 1、2、3、6、7、8、9、10、11
  - 1 番目のトリガ：シーケンス全体、すなわち、チャネル 1、次いで 2、3、6、7、8、9、10、および 11 が変換されます。各変換後に EOC イベントが生成され、最後の変換後には EOS イベントも生成されます。
  - 後続のすべてのトリガイベントによって、シーケンス全体が再起動されます。

注： **上記の例で示したチャネル番号は、マイクロコントローラによっては使用できない場合があります。**

レギュラグループが不連続モードで変換されるときには、ロールオーバーは発生しません（シーケンスの最後のサブグループの変換は n 回以下です）。

すべてのサブグループが変換されると、次のトリガでは、最初のサブグループの変換が開始されます。上の例では、4 番目のトリガで最初のサブグループのチャネル 1、2、および 3 が再変換されます。

不連続モードと連続モードの両方を有効にすることはできません。この場合（DISCEN = 1、CONT = 1 の場合）、ADC は連続モードが無効化されたかのように挙動します。

インジェクトグループモード

このモードは、ADC_CFGR レジスタの JDISCEN ビットをセットすることによって有効になります。ADC_JSQR レジスタで選択されたシーケンスを、外部インジェクトトリガイベント後に 1 チャネルずつ変換します。これは、「n」が 1 に固定されたレギュラチャネルの不連続モードに相当します。

外部トリガが発生すると、ADC_JSQR レジスタで選択された次のチャネル変換が開始され、シーケンス内のすべての変換が行われるまで続きます。合計シーケンス長は、ADC_JSQR レジスタの JL[1:0] ビットによって定義されます。

例：

- JDISCEN = 1、変換されるチャネル = 1、2、3
  - 1 番目のトリガ：チャネル 1 が変換されます（JEOC イベントが生成されます）。
  - 2 番目のトリガ：チャネル 2 が変換されます（JEOC イベントが生成されます）。
  - 3 番目のトリガ：チャネル 3 が変換され、JEOC イベントと JEOS イベントが生成されます。
  - .....

注： **上記の例で示したチャネル番号は、マイクロコントローラによっては使用できない場合があります。**

すべてのインジェクトチャネルが変換されると、次のトリガでは、最初のインジェクトチャネルの変換が開始されます。上の例では、4 番目のトリガで最初のインジェクトチャネル 1 が再変換されます。

自動インジェクトモードと不連続モードの両方を同時に使用することはできません。JAUTO のセット時には、ビット DISCEN と JDISCEN はクリアされたままでなければなりません。

16.4.21 インジェクト変換のコンテキストのキュー

コンテキストのキューは、次のインジェクト変換シーケンスに最大 2 つのコンテキストを予測して実装されます。この機能を有効にするには、ADC_CFGR レジスタの JQDIS ビットをリセットする必要があります。コンテキストキューが有効になっている場合、ハードウェアトリガによる変換のみ可能です。

このコンテキストの構成は次のとおりです。

- インジェクトトリガの設定（ADC_JSQR レジスタの JEXTEN[1:0] ビット および JEXTSEL ビット）
- インジェクトシーケンスの定義（ADC_JSQR レジスタの JSQx[4:0] ビット および JL[1:0] ビット）

コンテキストのすべてのパラメータは 1 つの ADC_JSQR レジスタ 内に定義され、このレジスタには最大 2 セットのパラメータのバッファ化を可能にする 2 つのバッファのキューが実装されます。

- JSQR レジスタは、インジェクト変換の実行中など、いつでも書き込むことができます。
- JSQR レジスタに書き込まれる各データは、コンテキストのキューに格納されます。
- 最初に、キューは空であり、JSQR レジスタへの最初の書込みアクセスによってコンテキストがすぐに変更され、ADC ではインジェクトトリガを受信する準備ができます。
- 一度インジェクトシーケンスが完了すると、キューは消費され、キューに格納された次の JSQR パラメータに従ってコンテキストが変化します。この新しいコンテキストは、次のインジェクト変換シーケンスに適用されます。

- キューのオーバーフローは、キューがフル状態のときにJSQR レジスタに書き込むと発生します。このオーバーフローは、フラグ JQOVF のアサーションによって示されます。オーバーフローが発生すると、オーバーフローを作成した JSQR レジスタの書込みアクセスは無視され、コンテキストのキューは変更されません。JQOVFIE ビットがセットされている場合は、割込みを生成することができます。
- キューが空になると、ADC_CFGR レジスタの制御ビット JQM の値に応じて、2 つの挙動が考えられます。
  - JQM = 0 の場合、キューは ADC を有効化した直後に空になりますが、実行動作中に空になることはありません。キューは常に最後のアクティブコンテキストを維持し、さらに有効なインジェクトシーケンスの開始を最後のアクティブコンテキストに応じて処理します。
  - JQM = 1 の場合、キューはインジェクトシーケンス終了後、またはキューのフラッシュ時に空になります。このとき、キュー内にコンテキストはなく、ハードウェアトリガは無効になります。そのため、ソフトウェアが新しいインジェクトコンテキストを JSQR レジスタに再度書き込むまで、さらなるハードウェアインジェクトトリガは無視されます。
- JSQR レジスタを読み出すと、その時点でアクティブな現在の JSQR コンテキストが返されます。JSQR コンテキストが空である場合、JSQR は 0x0000 として読み出されます。
- キューは、JADSTP = 1 をセットしてインジェクト変換を停止した場合、または ADDIS = 1 をセットして ADC を無効化した場合にフラッシュされます。
  - JQM = 0 の場合、キューは最後のアクティブコンテキストによって維持されます。
  - JQM = 1 の場合、キューは空になり、トリガは無視されます。

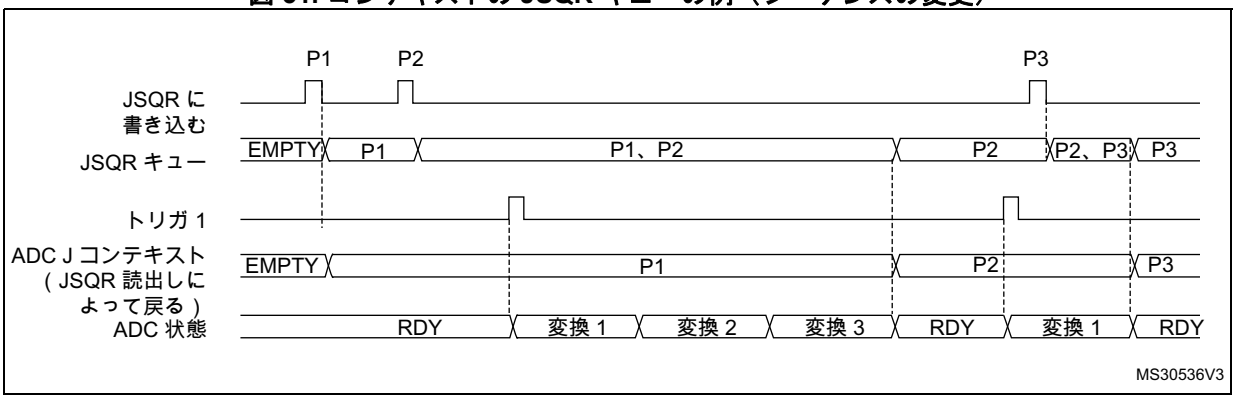
注： **不連続モードで設定された場合（ビット JDISCEN = 1）、コンテキストを変更し、キューを消費するのはインジェクトシーケンスの最後のトリガのみです。1 番目のトリガではキューを消費するだけですが、次の不連続モードの例に示すように、その他のトリガは引き続き有効なトリガとなります（両方のコンテキストにおいて長さは 3）。**

- **1 番目のトリガ、不連続。シーケンス 1：コンテキスト 1 を消費、1 番目の変換を実行**
- **2 番目のトリガ、不連続。シーケンス 1：2 番目の変換**
- **3 番目のトリガ、不連続。シーケンス 1：3 番目の変換**
- **4 番目のトリガ、不連続。シーケンス 2：コンテキスト 2 を消費、1 番目の変換を実行**
- **5 番目のトリガ、不連続。シーケンス 2：2 番目の変換**
- **6 番目のトリガ、不連続。シーケンス 2：3 番目の変換**

トリガまたはシーケンスのコンテキストを変更する場合の挙動

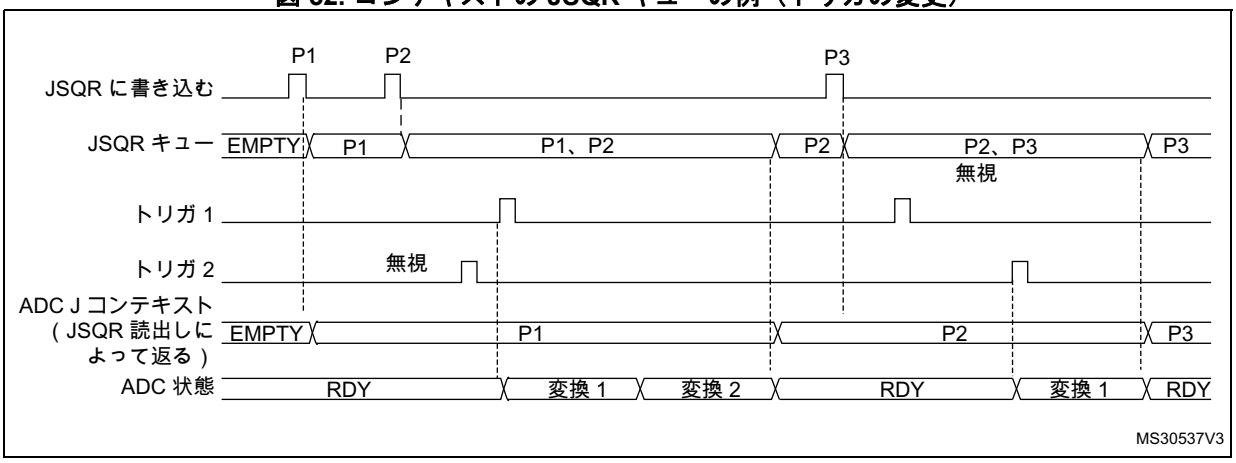
図 51 と 図 52 に、シーケンスまたはトリガを変更する際のコンテキストのキューの挙動を示します。

図 51. コンテキストの JSQR キューの例（シーケンスの変更）



1. パラメータ：
   P1：3 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：4 つの変換のシーケンス、ハードウェアトリガ 1

図 52. コンテキストの JSQR キューの例（トリガの変更）

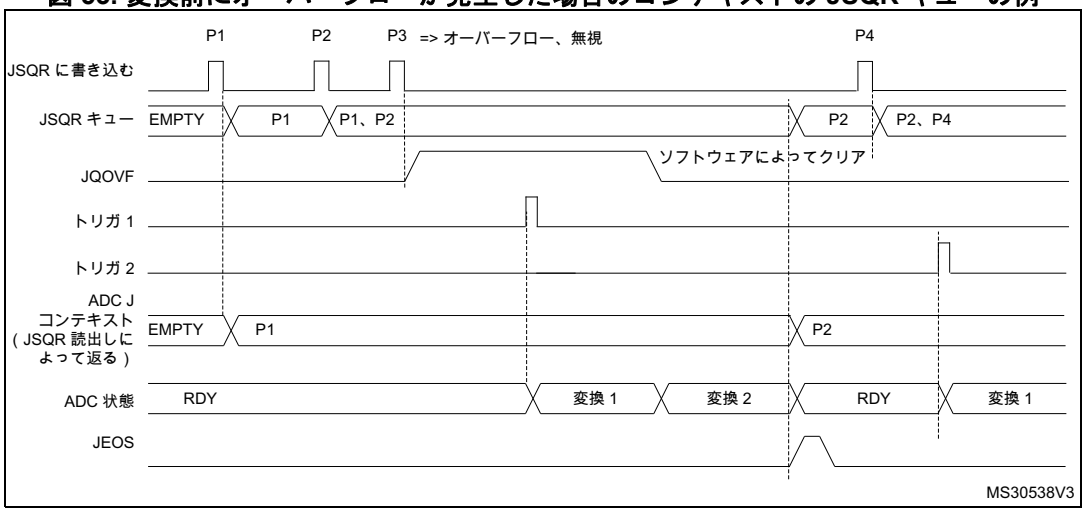


1. パラメータ：
   P1：2 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 2
   P3：4 つの変換のシーケンス、ハードウェアトリガ 1

コンテキストのキュー：キューのオーバーフローが発生した場合の挙動

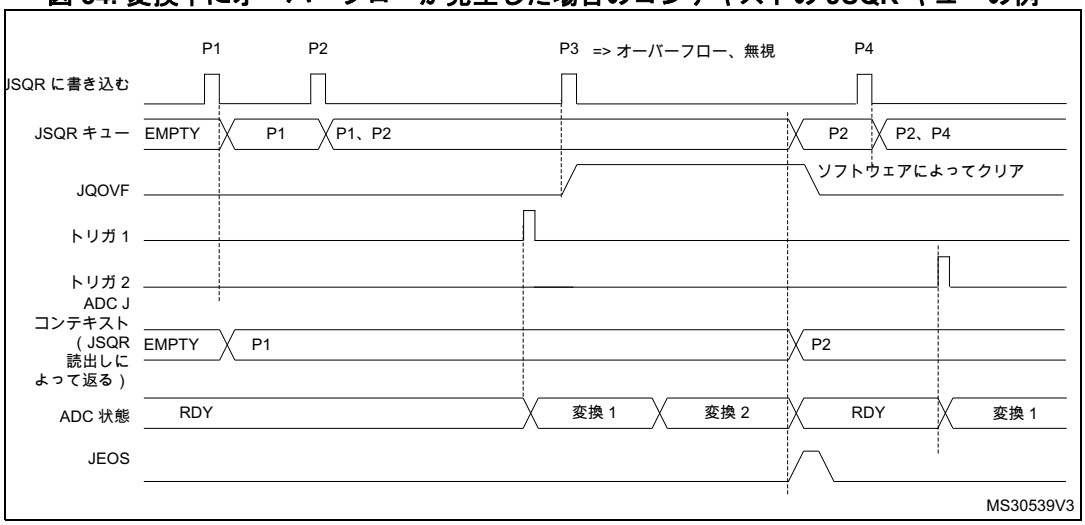
図 53 と 図 54 に、変換前または変換中にオーバーフローが発生した場合のコンテキストのキューの挙動を示します。

図 53. 変換前にオーバーフローが発生した場合のコンテキストの JSQR キューの例



1. パラメータ：
   P1：2 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 2
   P3：3 つの変換のシーケンス、ハードウェアトリガ 1
   P4：4 つの変換のシーケンス、ハードウェアトリガ 1

図 54. 変換中にオーバーフローが発生した場合のコンテキストの JSQR キューの例



1. パラメータ：
   P1：2 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 2
   P3：3 つの変換のシーケンス、ハードウェアトリガ 1
   P4：4 つの変換のシーケンス、ハードウェアトリガ 1

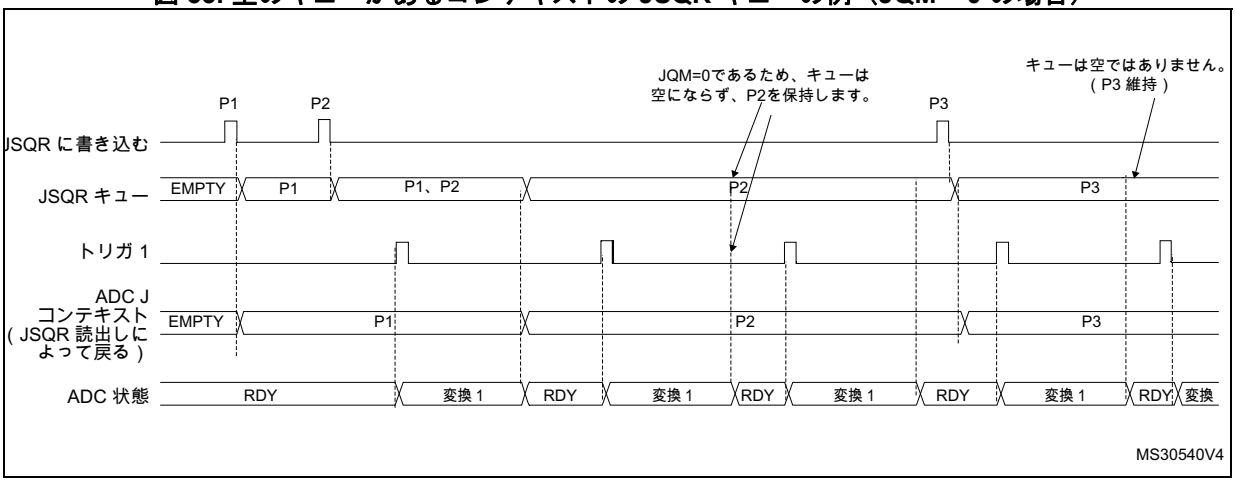
次のようにキューのオーバーフローを管理することを推奨します。

- JSQR レジスタへの各 P コンテキストの書込み後、JQOVFフラグ は書込みが無視されたかどうかを示します（割込みを生成することができます）。
- 一度前のコンテキスト P2 のフラグ JEOS がセットされた場合のみ、3 番目のコンテキスト（P3）を書き込んでキューのオーバーフローを避けます。これにより、前のコンテキストが消費され、キューがフル状態ではないことを確認できます。

コンテキストのキュー：キューが空になった場合の挙動

図 55 と 図 56 に、JQM = 0 または 1 の場合にキューが空になる際のコンテキストのキューの挙動を示します。

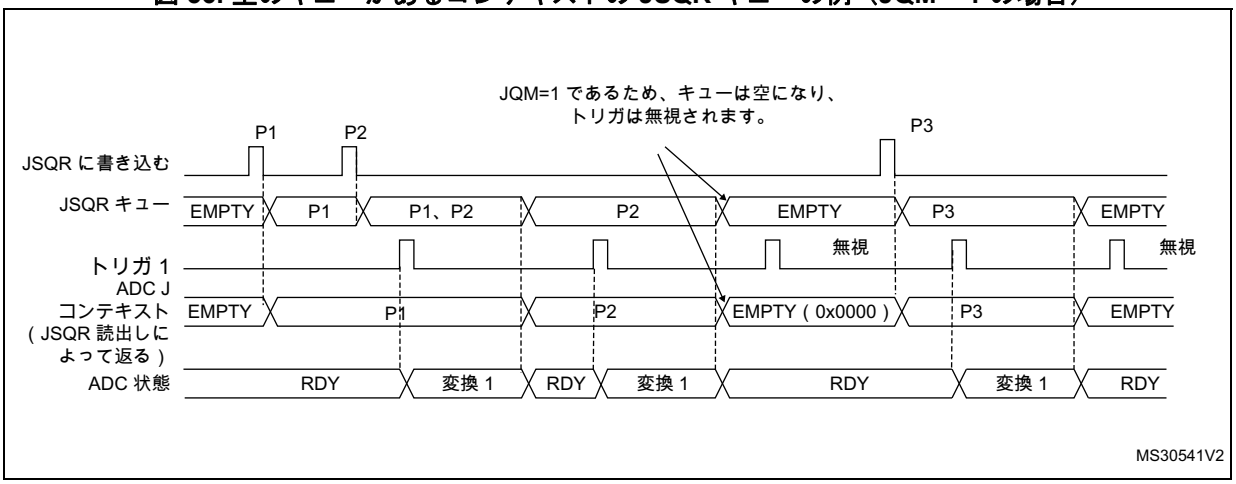
図 55. 空のキューがあるコンテキストの JSQR キューの例（JQM = 0 の場合）



1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

注： **P3 を書き込む際、コンテキストはすぐに変更されます。ただし、内部での再同期のため、遅延が発生します。また、P3 を書き込んだ後または前にトリガが発生すると、コンテキスト P2 を考慮して変換が発生する可能性があります。この状況を避けるために、ユーザはすぐに適用される新しいコンテキストを書き込む際に ADC トリガが発生していないことを確認する必要があります。**

図 56. 空のキューがあるコンテキストの JSQR キューの例（JQM = 1 の場合）

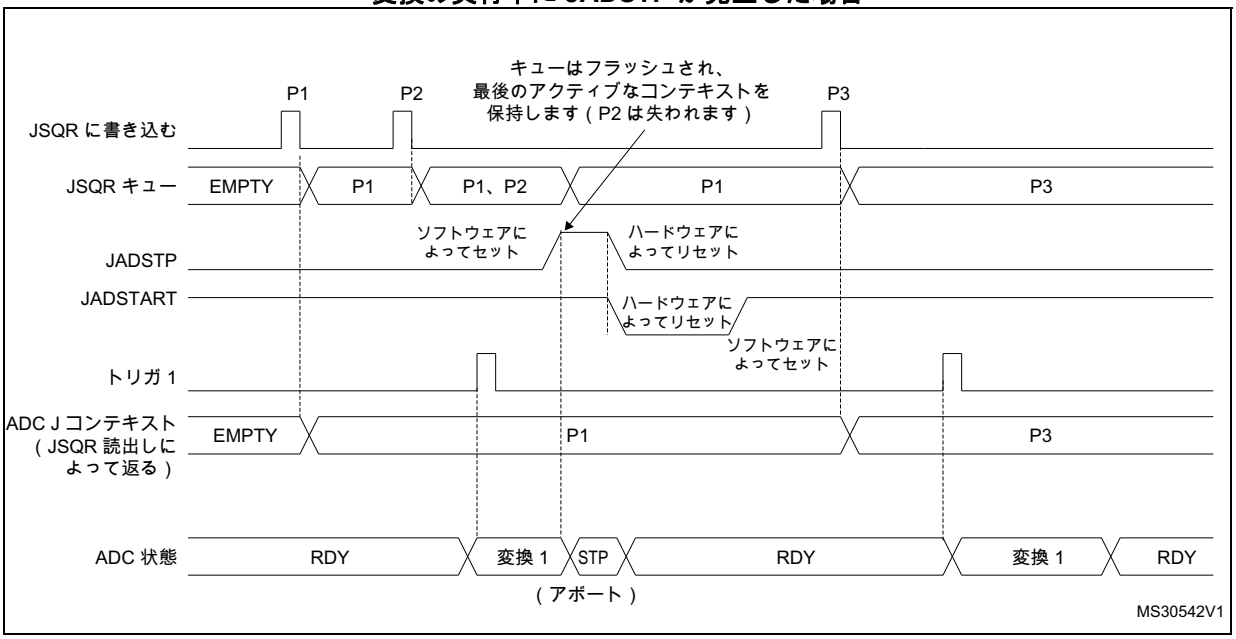


1. パラメータ：
P1：1 つの変換のシーケンス、ハードウェアトリガ 1
P2：1 つの変換のシーケンス、ハードウェアトリガ 1
P3：1 つの変換のシーケンス、ハードウェアトリガ 1

コンテキストのキューのFlash

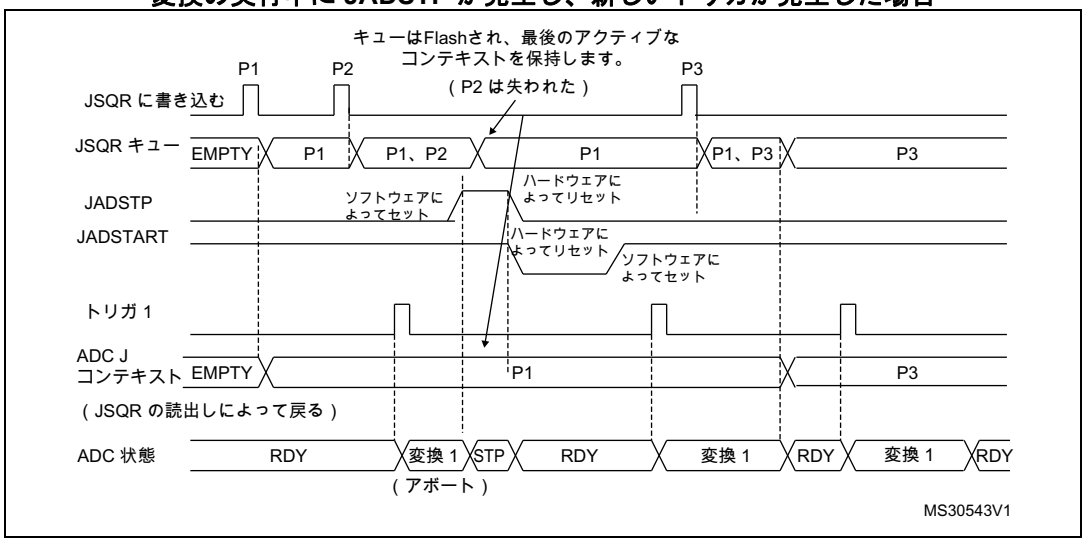
次の図に、キューがFlashされた場合のさまざまな状況におけるコンテキストのキューの挙動を示します。

図 57. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）変換の実行中に JADSTP が発生した場合



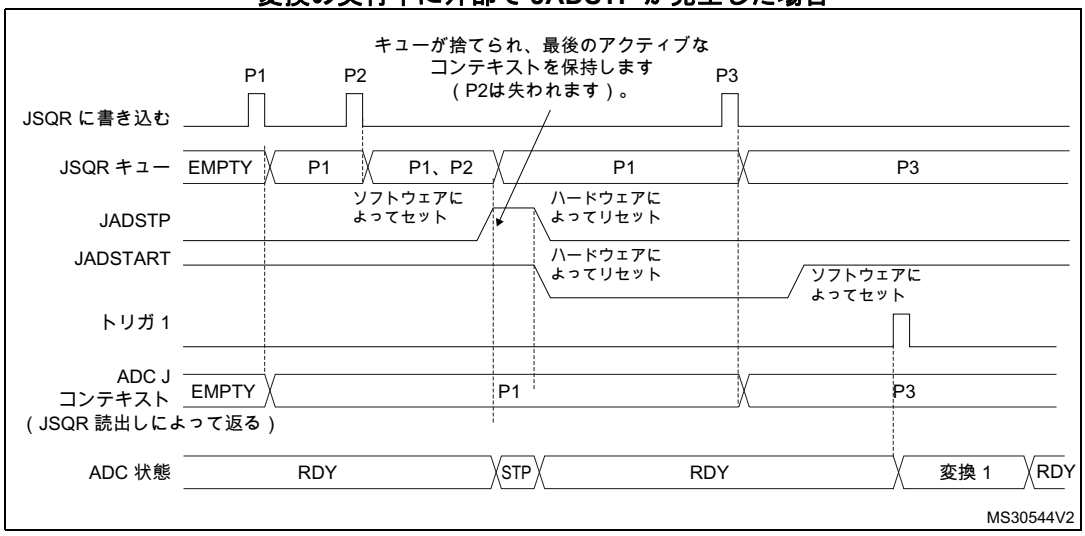
1. パラメータ：
P1：1 つの変換のシーケンス、ハードウェアトリガ 1
P2：1 つの変換のシーケンス、ハードウェアトリガ 1
P3：1 つの変換のシーケンス、ハードウェアトリガ 1

図 58. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）変換の実行中に JADSTP が発生し、新しいトリガが発生した場合



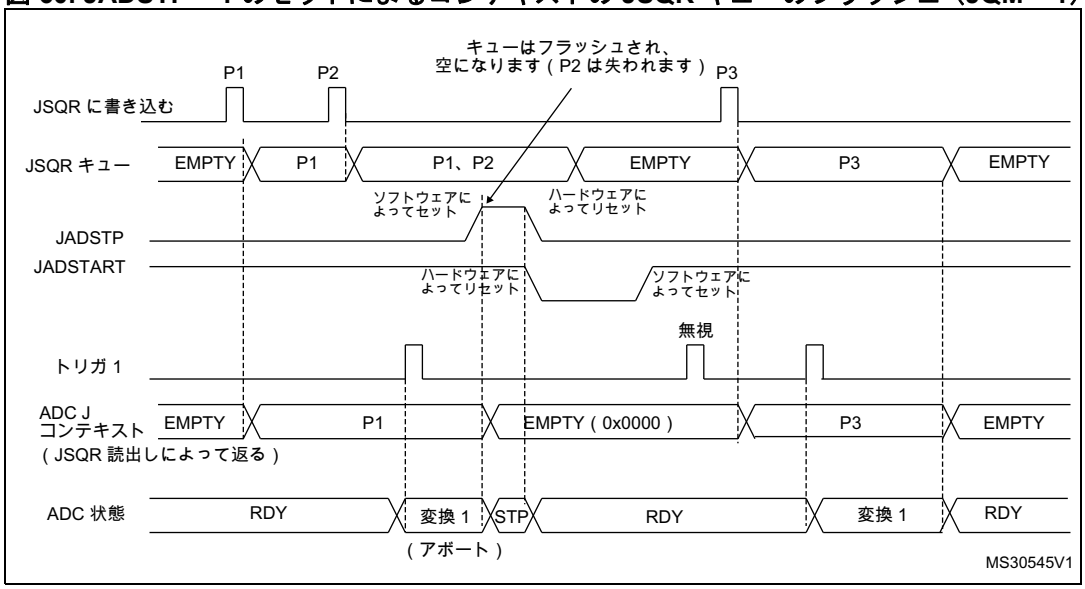
1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

図 59. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）変換の実行中に外部で JADSTP が発生した場合



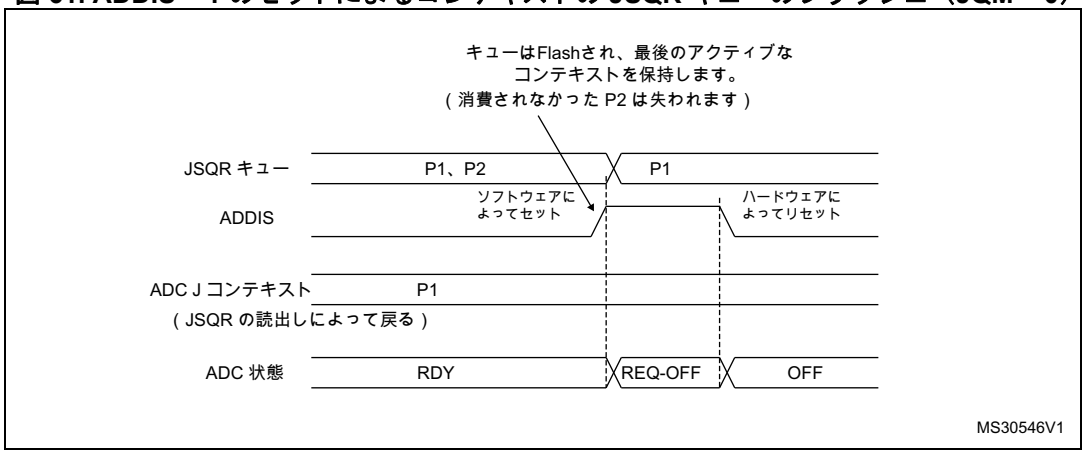
1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

図 60. JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 1）



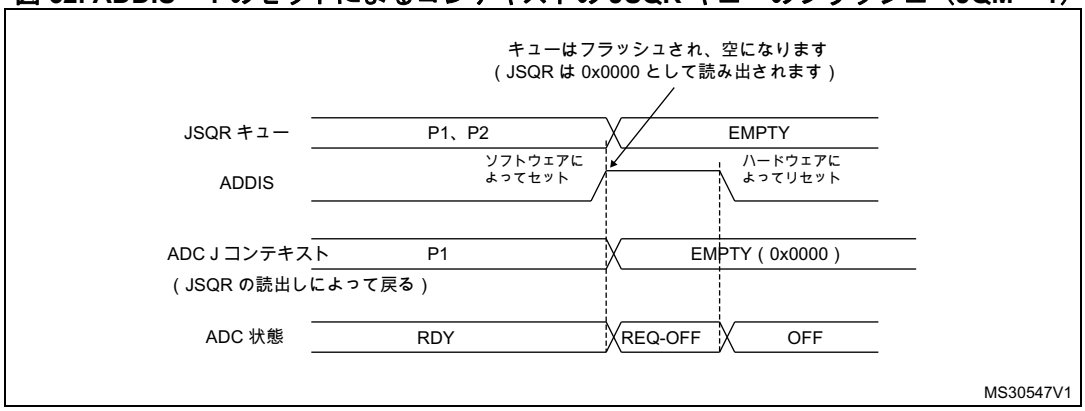
1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

図 61. ADDIS = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）



1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

図 62. ADDIS = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 1）



1. パラメータ：
   P1：1 つの変換のシーケンス、ハードウェアトリガ 1
   P2：1 つの変換のシーケンス、ハードウェアトリガ 1
   P3：1 つの変換のシーケンス、ハードウェアトリガ 1

コンテキストのキュー：空のキューでの ADC 開始

最初のコンテキストが ADC 初期化の時点で不明である場合、空のキューで ADC 操作を開始するには次の手順に従う必要があります。この手順は、JQM ビットがリセットされているときのみ適用可能です。

5. 00 ではない JEXTEN[1:0] でダミーの JSQR を書き込みます（ソフトウェア変換のトリガを除く）。
6. JADSTART をセットします。
7. JADSTP をセットします。
8. JADSTART がリセットされるまで待ちます。
9. JADSTART をセットします。

キューの無効化

ADC_CFGR レジスタでビット JQDIS = 1 にセットすることによって、キューを無効化できます。

16.4.22 プログラム可能な分解能（RES）- 高速変換モード

ADC の分解能を下げることによって、高速変換を行うことができます。

分解能は、制御ビット RES[1:0] をプログラムすることによって、12、10、8、または 6 ビットに設定できます。図 67、図 68、図 69、および 図 70 に、分解能とデータの整列に対する変換結果のフォーマットを示します。

分解能を下げることによって変換時間を高速にでき、高いデータ精度を必要としないアプリケーションに有効です。表 80 のように、これによって逐次比較ステップの間に変換時間は短縮されます。

表 80. T_{SAR} タイミングは分解能に依存

RES（ビット）	T_{SAR}（ADC クロックサイクル）	T_{SAR}（ns）（F_{ADC}=30 MHz 時）	T_{CONV}（ADC クロックサイクル）（サンプリング時間 = 2.5 ADC クロックサイクル）	T_{CONV} (ns)（F_{ADC}= 30 MHz 時）
12	12.5 ADC クロックサイクル	416.67 ns	15 ADC クロックサイクル	500.0 ns
10	10.5 ADC クロックサイクル	350.0 ns	13 ADC クロックサイクル	433.33 ns
8	8.5 ADC クロックサイクル	203.33 ns	11 ADC クロックサイクル	366.67 ns
6	6.5 ADC クロックサイクル	216.67 ns	9 ADC クロックサイクル	300.0 ns

16.4.23 変換の終了、サンプリングフェーズの終了（EOC、JEOC、EOSMP）

ADC は各レギュラ変換の終了（EOC）イベントと各インジェクト変換の終了（JEOC）イベントをアプリケーションに通知します。

ADC は、新しいレギュラ変換データが ADC_DR レジスタで使用可能になるとすぐに EOC フラグをセットします。EOCIE ビットがセットされている場合は、割込みを生成することができます。EOC フラグは、ソフトウェアによって 1 を書き込むことによって、または ADC_DR を読み出すことによってクリアされます。

ADC は、新しいインジェクト変換データが ADC_JDRy レジスタの 1 つで使用可能になるとすぐに JEOC フラグをセットします。JEOCIE ビットがセットされている場合は、割込みを生成することができます。JEOC フラグは、ソフトウェアによって 1 を書き込むことによって、または対応する ADC_JDRy レジスタを読み出すことによってクリアされます。

さらに、ADC は、ステータスビット EOSMP をセットすることによって、サンプリングフェーズの終了を示します（レギュラ変換のみ）。EOSMP フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。EOSMPIE ビットがセットされている場合は、割込みを生成することができます。

16.4.24 変換シーケンスの終了（EOS、JEOS）

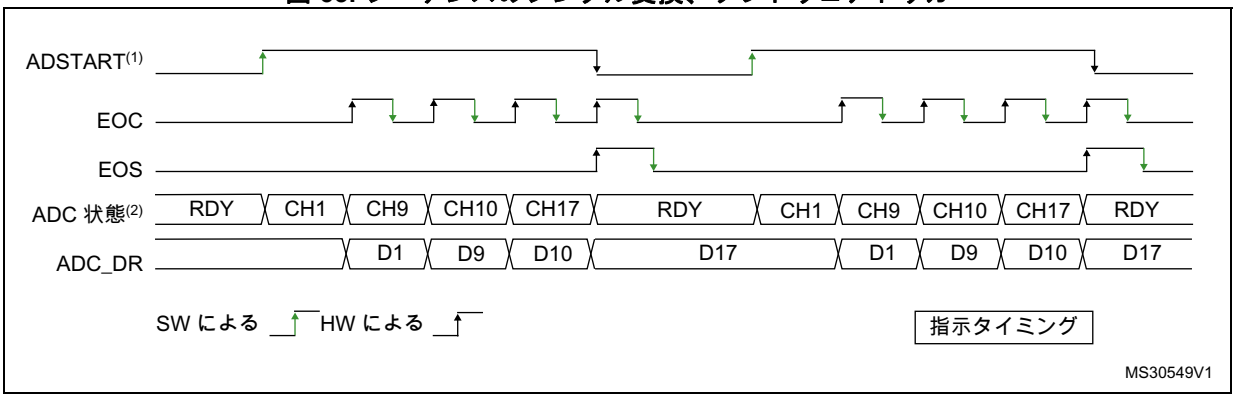
ADC は各レギュラシーケンスの終了（EOS）と各インジェクトシーケンスの終了（JEOS）イベントをアプリケーションに通知します。

ADC は、レギュラ変換シーケンスの最後のデータが ADC_DR レジスタで使用可能になるとすぐに、EOS フラグをセットします。EOSIE ビットがセットされている場合は、割込みを生成することができます。EOS フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

ADC は、インジェクト変換シーケンスの最後のデータが完了するとすぐに、JEOS フラグをセットします。JEOSIE ビットがセットされている場合は、割込みを生成することができます。JEOS フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

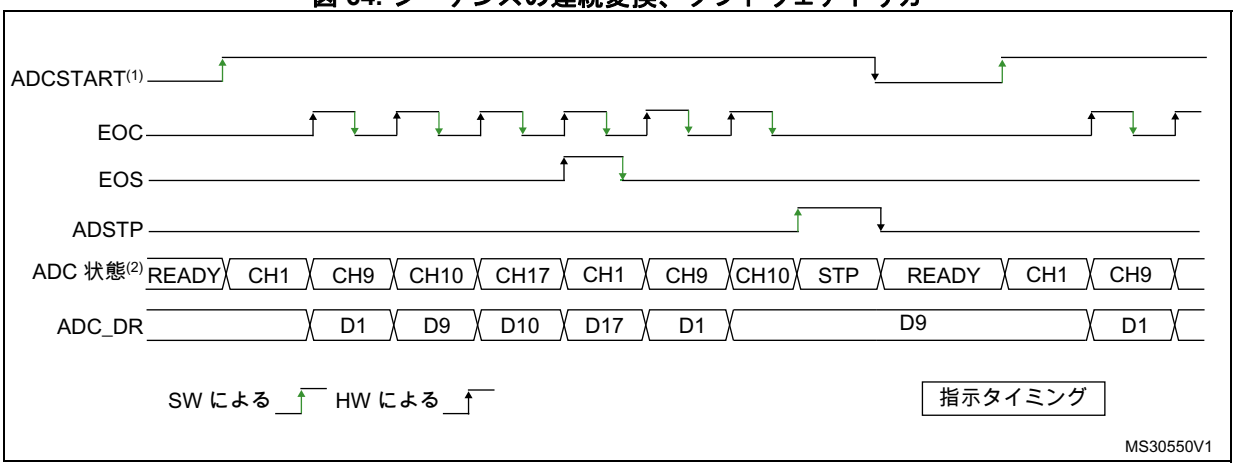
16.4.25 タイミング図の例（シングル／連続モード、ハードウェア／ソフトウェアトリガ）

図 63. シーケンスのシングル変換、ソフトウェアトリガ



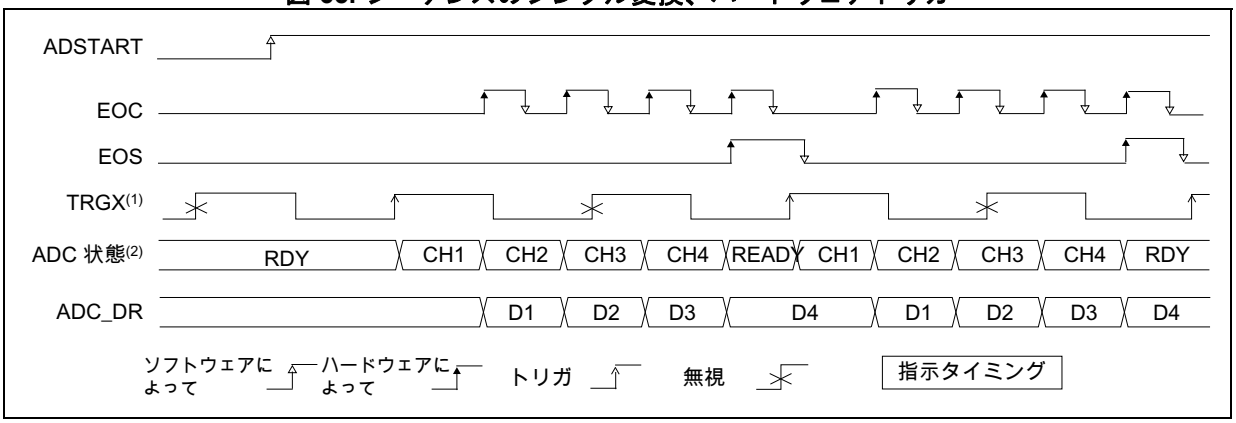
1. EXTEN[1:0] = 00、CONT = 0
2. 選択されたチャネル = 1、9、10、17；AUTDLY = 0

図 64. シーケンスの連続変換、ソフトウェアトリガ



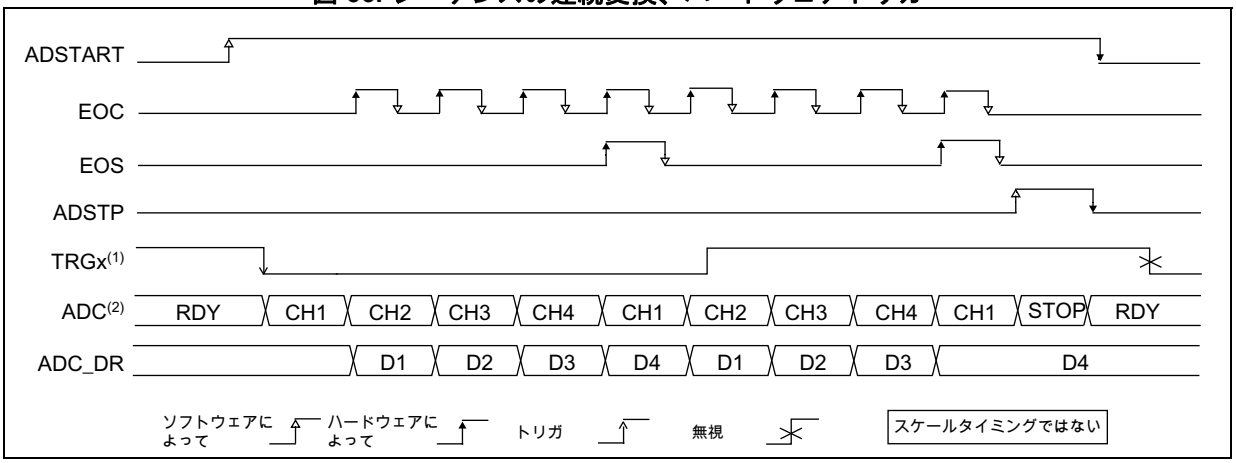
1. EXTEN[1:0] = 00、CONT = 1
2. 選択されたチャネル = 1、9、10、17；AUTDLY = 0

図 65. シーケンスのシングル変換、ハードウェアトリガ



1. TRGx（オーバー周波数）がトリガソースとして選択されます（EXTEN[1:0] = 01、CONT = 0）。
2. 選択されたチャネル = 1、2、3、4；AUTDLY = 0。

図 66. シーケンスの連続変換、ハードウェアトリガ



1. TRGx がトリガソースとして選択されます（EXTEN[1:0] = 10、CONT = 1）。
2. 選択されたチャネル = 1、2、3、4；AUTDLY = 0。

16.4.26 データ管理

データレジスタ、データの配置およびデータオフセット（ADC_DR、OFFSETy、OFFSETy_CH、ALIGN）

データおよび配置

各レギュラ変換チャネルの終了時（EOC イベントの発生時）、変換データの結果は 16 ビット幅の ADC_DR データレジスタに格納されます。

各インジェクト変換チャネルの終了時（JEOC イベントの発生時）、変換データの結果は対応する 16 ビット幅の ADC_JDRy データレジスタに格納されます。

ADC_CFGR レジスタの ALIGN ビットは、変換後に格納されるデータの配置を選択します。データは、図 67、図 68、図 69、および 図 70 に示すように、右詰めまたは左詰めに配置できます。

特殊なケース：左詰めの場合、分解能が 6 ビットに設定されている場合を除き、データはハーフワード単位に配置されます。この場合、図 69 および図 70 に示すように、データはバイト単位に配置されます。

注： **左詰めは、オーバーサンプリングモードでサポートされません。ROVSE ビットおよび／または JOVSE ビットがセットされている場合、ALIGN ビット値は無視され、ADC は右詰めデータのみ提供します。**

オフセット

オフセット y （y = 1、2、3、4）は、ADC_OFRy レジスタにビット OFFSETy_EN = 1 をセットすることでチャネルに適用されます。オフセットを適用するチャネルは、ADC_OFRy レジスタの OFFSETy_CH[4:0] ビットにプログラムされます。この場合、変換された値はOFFSETy[11:0] ビットに書き込まれたユーザ定義のオフセットによって減算されます。結果は負の値になることがあり、そのため読出しデータは符号付きで、SEXT ビットは拡張符号値を表します。

注： **オフセット補正は、オーバーサンプリングモードでサポートされません。ROVSE および／または JOVSE ビットがセットされている場合、ADC_OFRy レジスタの OFFSETy_EN ビットの内容は無視されます（リセットとみなされます）。**

表 83 に、アナログウォッチドッグ 1 に可能なすべての分解能での比較方法を示します。

表 81. オフセット計算対データ分解能

分解能（ビット RES[1:0]）	元の変換データとオフセット間での減算：		結果	コメント
	元の変換データ、左詰め	オフセット		
00 : 12 ビット	DATA[11:0]	OFFSET[11:0]	符号付き 12 ビットデータ	-
01 : 10 ビット	DATA[11:2],00	OFFSET[11:0]	符号付き 10 ビットデータ	ユーザは OFFSET[1:0] を 00 に設定する必要があります。
10 : 8 ビット	DATA[11:4],0000	OFFSET[11:0]	符号付き 8 ビットデータ	ユーザは OFFSET[3:0] を 0000 に設定する必要があります。
11 : 6 ビット	DATA[11:6],000000	OFFSET[11:0]	符号付き 6 ビットデータ	ユーザは OFFSET[5:0] を 000000 に設定する必要があります。

チャネル “i” に対して ADC_DR （レギュラチャネル）または ADC_JDRy （インジェクトチャネル、y = 1、2、3、4）からデータを読み出す場合：

- 対応するチャネルのオフセットの 1 つが有効（ビット OFFSETy_EN = 1）である場合、読出しデータは符号付きです。
- このチャネルの 4 つのオフセットに有効なものがない場合、読出しデータは符号なしです。

図 67、図 68、図 69、および 図 70 に、符号付きおよび符号なしのデータの配置を示します。

図 67. 右詰め（オフセット無効、符号なしの値）

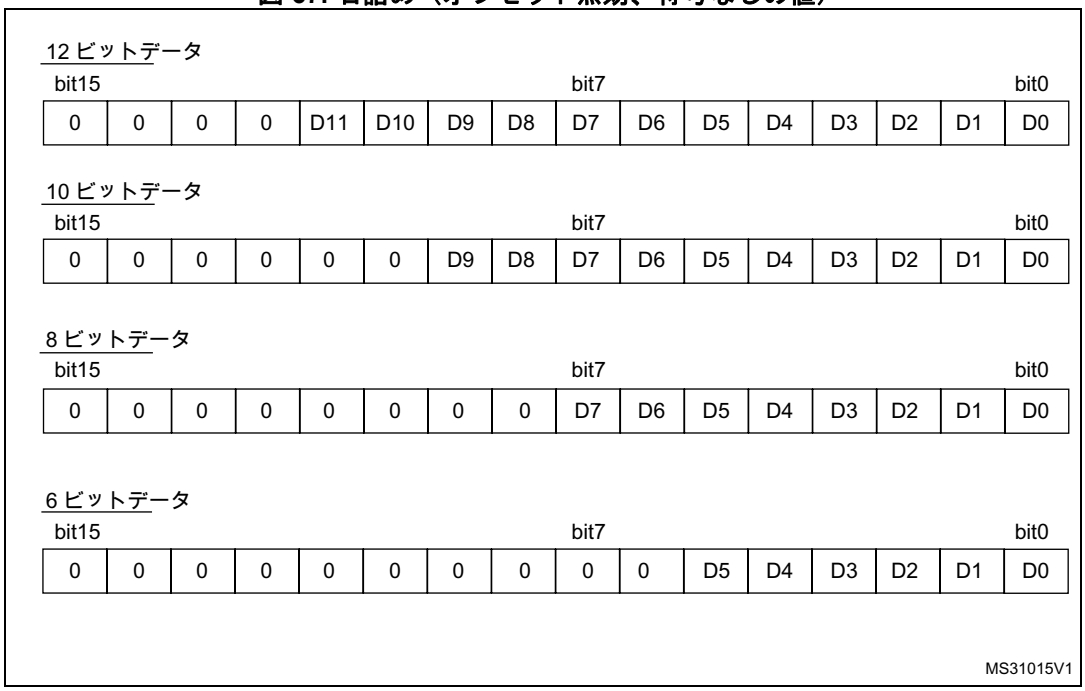


図 68. 右詰め（オフセット有効、符号付きの値）

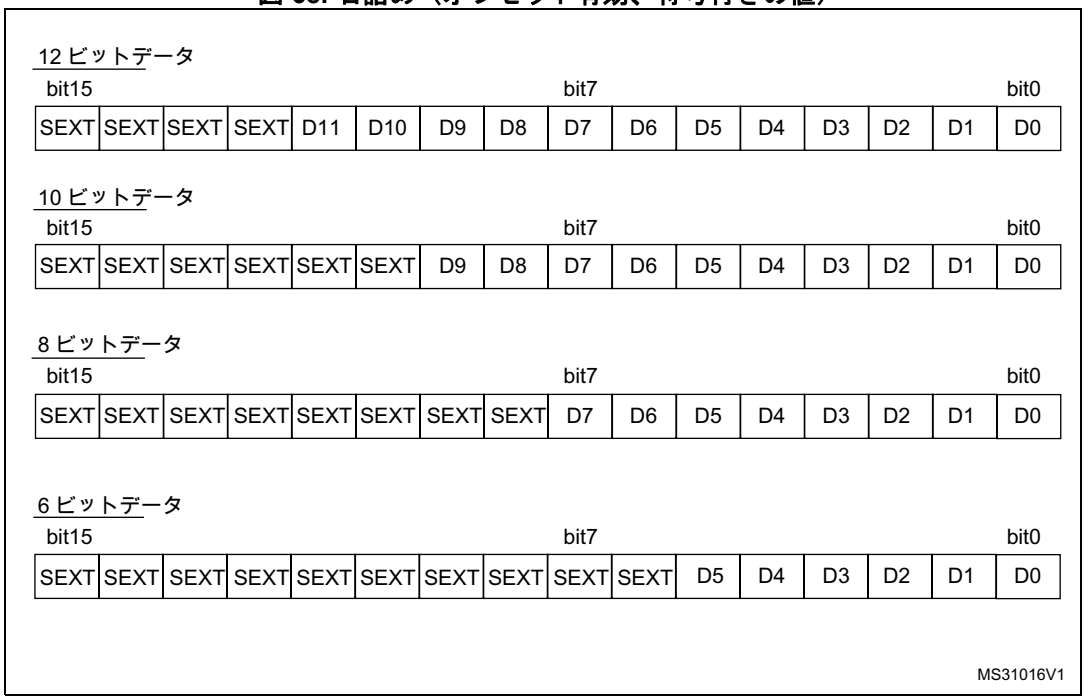


図 69. 左詰め（オフセット無効、符号なしの値）

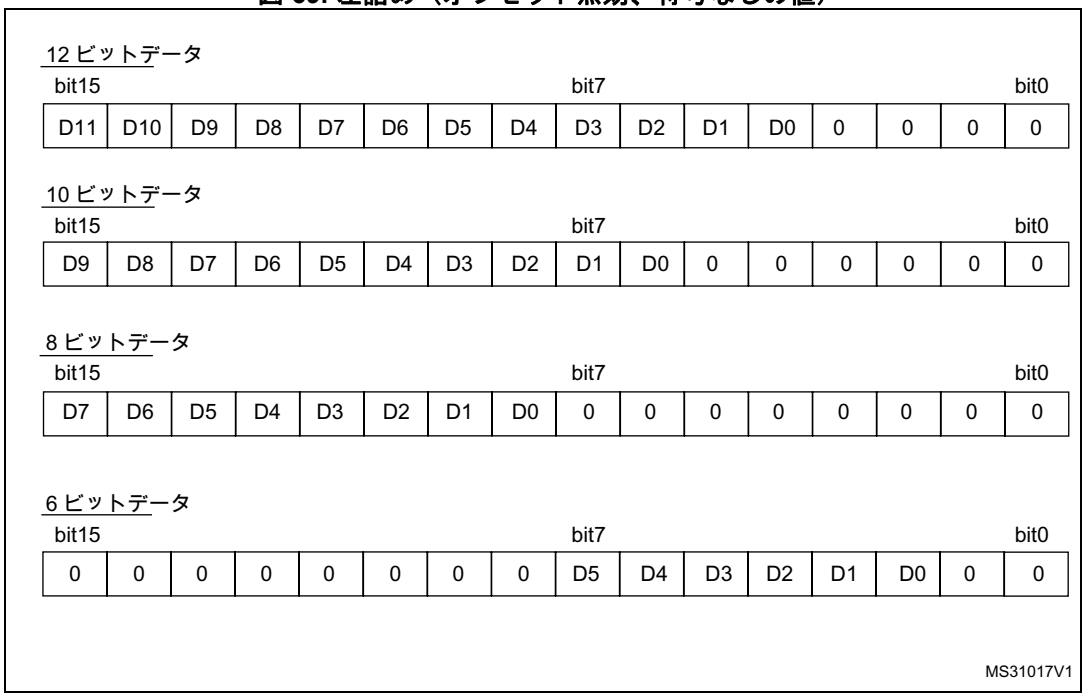
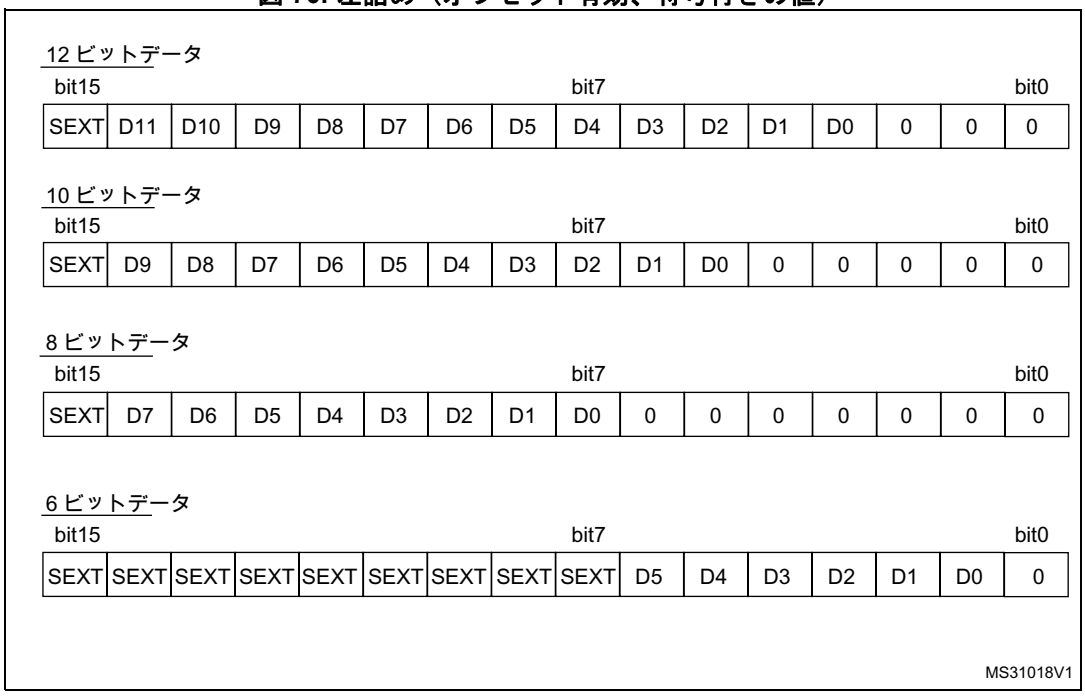


図 70. 左詰め（オフセット有効、符号付きの値）



ADC オーバーラン（OVR、OVRMOD）

オーバーランフラグ（OSR）は、新しい変換データが使用可能になる前に、（CPU または DMA によって）レギュラ変換データが読み出されていなかったときに、バッファオーバーランイベントが発生したことを通知します。

OVR フラグは、新しい変換が完了した時点で EOC フラグが 1 のままであった場合にセットされます。ビット OVRIE = 1 の場合、割込みを生成することができます。

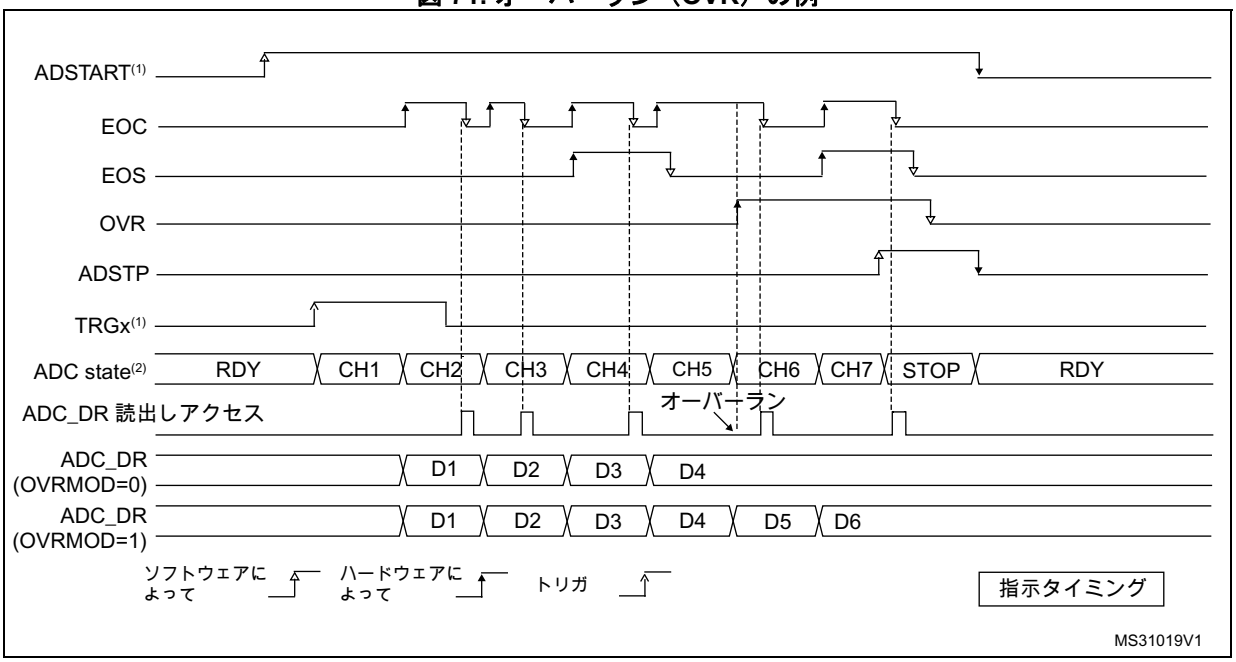
オーバーラン条件が発生すると、ADC は動作し続け、ソフトウェアがビット ADSTP = 1 をセットすることによってシーケンスの停止およびリセットを決めるまで、変換を続行できます。

OVR フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

制御ビット OVRMOD をプログラムすることによって、オーバーランイベントが発生したときにデータが保存されるか上書きされるかを設定できます。

- OVRMOD = 0：オーバーランイベントが発生しても、データレジスタは上書きされません。古いデータは保持され、新しい変換は破棄され、失われます。OVR が 1 のままの場合、その後の変換は行われますが、結果データは破棄されます。
- OVRMOD = 1：データレジスタは最後の変換結果で上書きされ、以前の未読データは失われます。OVR が 1 のままの場合、その後の変換は通常どおり動作し、ADC_DR レジスタは常に最新の変換データを含みます。

図 71. オーバーラン（OVR）の例



注： **インジェクトチャネルでは、4 つのインジェクトチャネルにそれぞれ専用のデータレジスタがあるため、オーバーランを検出する機能はありません。**

DMA を使用しない変換シーケンスの管理

変換が十分遅い場合、ソフトウェアで変換シーケンスを処理することができます。この場合、ソフトウェアは EOC フラグと関連の割込みを使用して、各データを処理する必要があります。変換が終了するごとに、EOC はセットされ、ADC_DR レジスタを読み出すことができます。オーバーランイベントをエラーとして管理するには、OVRMOD を 0 に設定する必要があります。

オーバーランなしでの DMA を使用しない変換の管理

毎回データの読出しをせずに ADC に 1 つまたは複数のチャネルを変換させると便利な場合があります（たとえば、アナログウォッチドッグがある場合）。この場合、OVRMOD ビットを 1 に設定する必要があり、ソフトウェアは OVR フラグを無視する必要があります。オーバーランイベントが発生しても ADC は変換を続行し、ADC_DR レジスタは常に最新の変換を含みます。

DMA を使用した変換の管理

変換されたチャネルの値は特定のデータレジスタに格納されるので、複数のチャネルの変換には DMA の使用が便利です。これによって、ADC_DR レジスタにすでに格納されているデータの損失を防ぐことができます。

DMA モードが有効なとき（ADC_CFGR レジスタの DMAEN ビットが セットされている、チャネルの各変換の後、DMA リクエストが生成されます。これにより、変換されたデータをADC_DR レジスタからソフトウェアで選択した場所へ転送することができます。

これにもかかわらず、DMA が DMA 転送リクエストを時間内に処理できなかったためにオーバーランが発生した場合（OVR = 1）、ADC は DMA リクエストの生成を停止し、新しい変換に対応するデータは DMA によって転送されません。これは、RAM に転送されるすべてのデータを有効とみなすことができることを意味します。

OVRMOD ビットの設定に応じて、データは保存または上書きされます（セクション : ADC オーバーラン（OVR、OVRMOD）を参照してください）。

DMA 転送リクエストは、ソフトウェアが OVR ビットをクリアするまでブロックされます。

アプリケーションの用途に応じて 2 つの DMA モードがあり、ADC_CFGR レジスタのビット DMACFG で設定されます。

- DMA ワンショットモード（DMACFG = 0）。
  このモードは、DMA が固定数のデータを転送するようにプログラムされた場合に適しています。
- DMA サーキュラモード（DMACFG = 1）
  このモードは、DMA をサーキュラモードでプログラムする場合に適しています。

DMA ワンショットモード（DMACFG = 0）

このモードでは、ADC は新しい変換データが使用可能になるたびに DMA 転送リクエストを生成し、変換が再び開始された場合でも、DMA が最後の DMA 転送に達すると（転送完了割込みが発生すると）（DMA のセクションを参照）、DMA リクエストの生成を停止します。

DMA 転送完了後（DMA コントローラで設定されたすべての転送後）:

- ADC データレジスタの内容が停止されます。
- 実行中の変換は中止され、その部分的な結果は破棄されます。
- DMA コントローラに対する新しいDMA リクエストは発行されません。これによって、開始された変換がある場合のオーバーランエラーの生成を回避します。
- スキャンシーケンスは中止され、リセットされます。
- DMA は停止します。

DMA サーキュラモード（DMACFG = 1）

このモードでは、DMA が最後の DMA 転送に達した場合でも、ADC は新しい変換データがデータレジスタで使用可能になるたびに DMA 転送リクエストを生成します。これにより、DMA を連続的なアナログ入力データストリームを処理するようにサーキュラモードに設定できます。

16.4.27 動的低電力機能

自動遅延変換モード（AUTDLY）

ADC は、AUTDLY 設定ビットによって制御されている自動遅延変換モードを実装しています。自動遅延変換は、ソフトウェアを単純化する場合だけでなく、ADC オーバーランが発生するリスクのある低周波数のクロックで動作しているアプリケーションのパフォーマンスを最適化する場合に便利です。

AUTDLY = 1 の場合、新しい変換は同じグループの前のデータがすべて処理された場合にのみ開始できます。

- レギュラ変換の場合 : ADC_DR レジスタの読出し後、または EOC ビットのクリア後（図 72 を参照）
- インジェクト変換の場合 : JEOS ビットのクリア後（図 73 を参照）

これは、データを読み出すシステムの速度に ADC の速度を自動的に適応させる方法です。

遅延は、各レギュラ変換後（DISCEN = 0 か 1 かにかかわらず）、およびインジェクト変換の各シーケンス後（JDISCEN = 0 か 1 かにかかわらず）に挿入されます。

注 : **遅延は、インジェクトシーケンスの各変換の間には挿入されません（最後の変換を除く）。**

変換時、この遅延中に発生した（同じ変換グループに対する）ハードウェアトリガイベントは無視されます。

注 : **ソフトウェアトリガは、変換を再開するために、この遅延中に ADSTART ビットまたは JADSTART ビットをセットできるようにしている点で、ハードウェアトリガとは異なります。新しい変換を起動する前にデータを読み出すかどうかは、ソフトウェアに依存します。**

遅延は、異なるグループの変換（レギュラ変換に続いてインジェクト変換、またはその逆）の間には挿入されません。

- レギュラ変換の自動遅延中にインジェクトトリガが発生すると、すぐにインジェクト変換が開始されます（図 73 を参照）。
- インジェクトシーケンスが完了すると、新しいレギュラ変換を開始する前に、ADC は前のレギュラ変換の遅延を待ちます（終了していない場合）（図 75 を参照）。

自動インジェクトモード（JAUTO = 1）では挙動が少し異なり、前のインジェクト変換シーケンスの自動遅延が終了した場合（JEOS がクリアされた場合）にのみ新しいレギュラ変換を開始することができます。これは、新しいシーケンスを開始する前に、ソフトウェアが特定のシーケンスのデータをすべて読み出すことができるようにするためです（図 76 を参照）。

自動遅延モード（JAUTO = 1、CONT = 1、および AUTDLY = 1）と組み合わされた連続自動インジェクションモードの変換を停止するには、次の手順に従います。

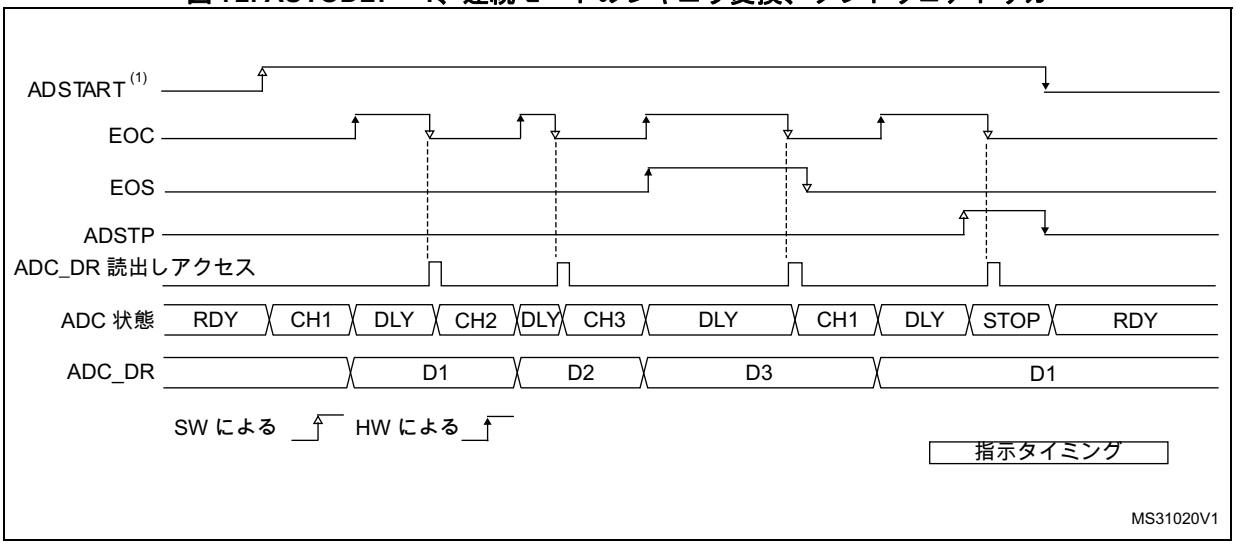
1. JEOS = 1 になるまで（リスタートされる変換がなくなるまで）待ちます。
2. JEOS をクリアします。
3. ADSTP をセットします。
4. レギュラデータを読み出します。

この手順に従わない場合、ADSTP がセットされた後で JEOS がクリアされると、新しいレギュラシーケンスが再開されます。

AUTDLY モードでは、すでに実行中のレギュラシーケンス中、またはシーケンスの最後のレギュラ変換後の遅延中に発生した場合、ハードウェアレギュラトリガイベントは無視されます。ただし、この遅延後に発生した場合は、後続の遅延のインジェクトシーケンス中に発生した場合でも、保留とみなされます。その後、インジェクトシーケンスの遅延終了時に変換が開始されます。

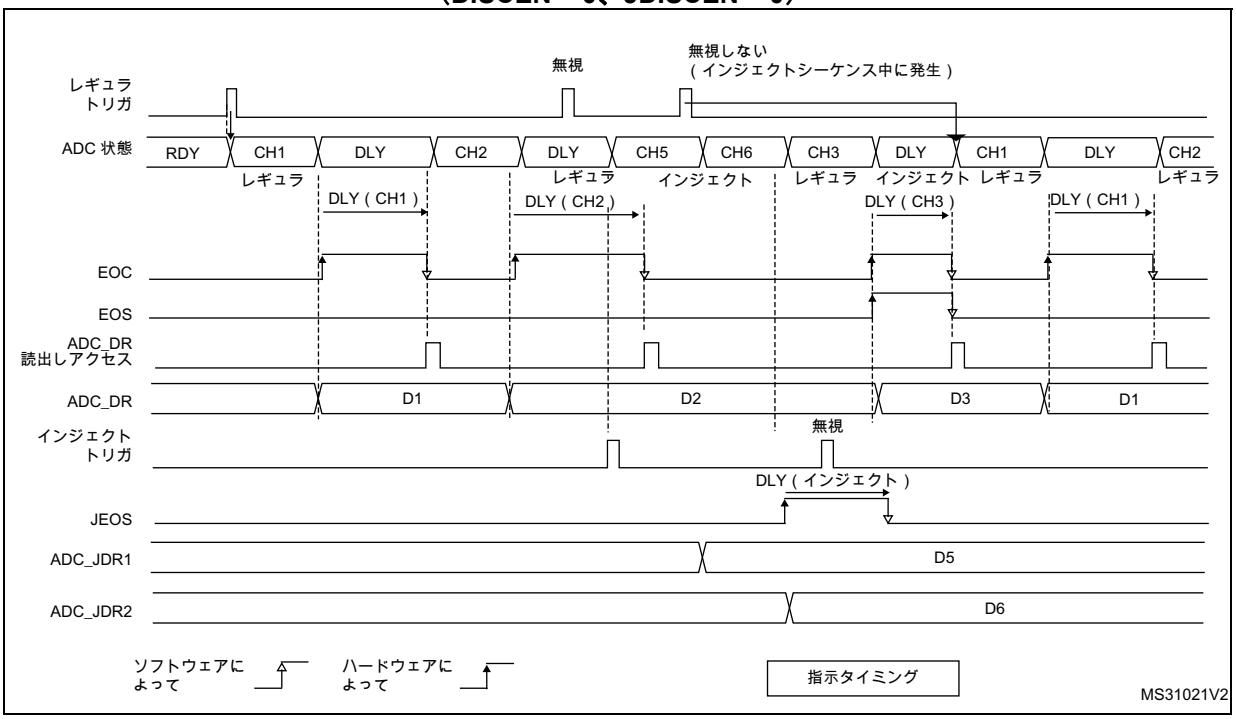
AUTDLY モードでは、すでに実行中のインジェクトシーケンス中、またはシーケンスの最後のインジェクト変換後の遅延中に発生した場合、ハードウェアインジェクトトリガイベントは無視されます。

図 72. AUTODLY = 1、連続モードのレギュラ変換、ソフトウェアトリガ



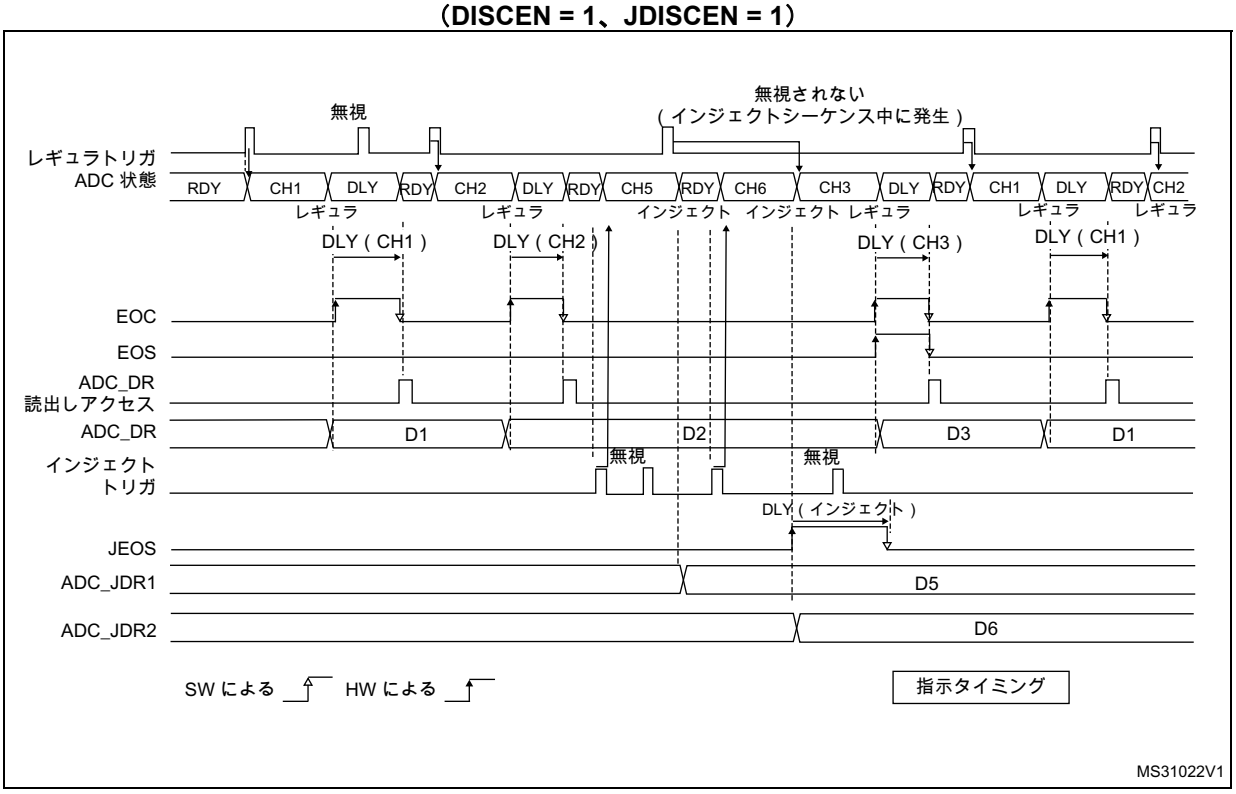
1. AUTDLY = 1。
2. レギュラ設定：EXTEN[1:0] = 00 （ソフトウェアトリガ）、CONT = 1、CHANNELS = 1、2、3。
3. インジェクト設定：無効。

図 73. AUTODLY = 1、インジェクト変換によって中断されたレギュラハードウェア変換（DISCEN = 0、JDISCEN = 0）



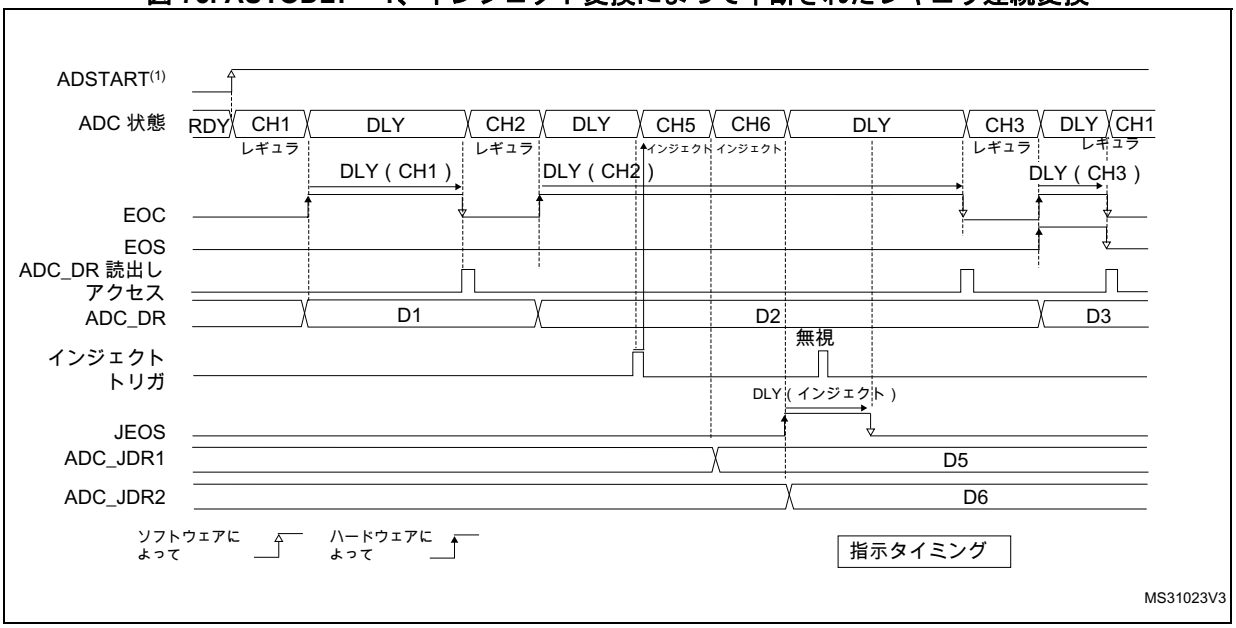
1. AUTDLY = 1
2. レギュラ設定：EXTEN[1:0] = 01 （ハードウェアトリガ）、CONT = 0、DISCEN = 0、CHANNELS = 1、2、3
3. インジェクト設定：JEXTEN[1:0] = 01（ハードウェアトリガ）、JDISCEN = 0、CHANNELS = 5、6

図 74. AUTODLY = 1、インジェクト変換によって中断されたレギュラハードウェア変換（DISCEN = 1、JDISCEN = 1）



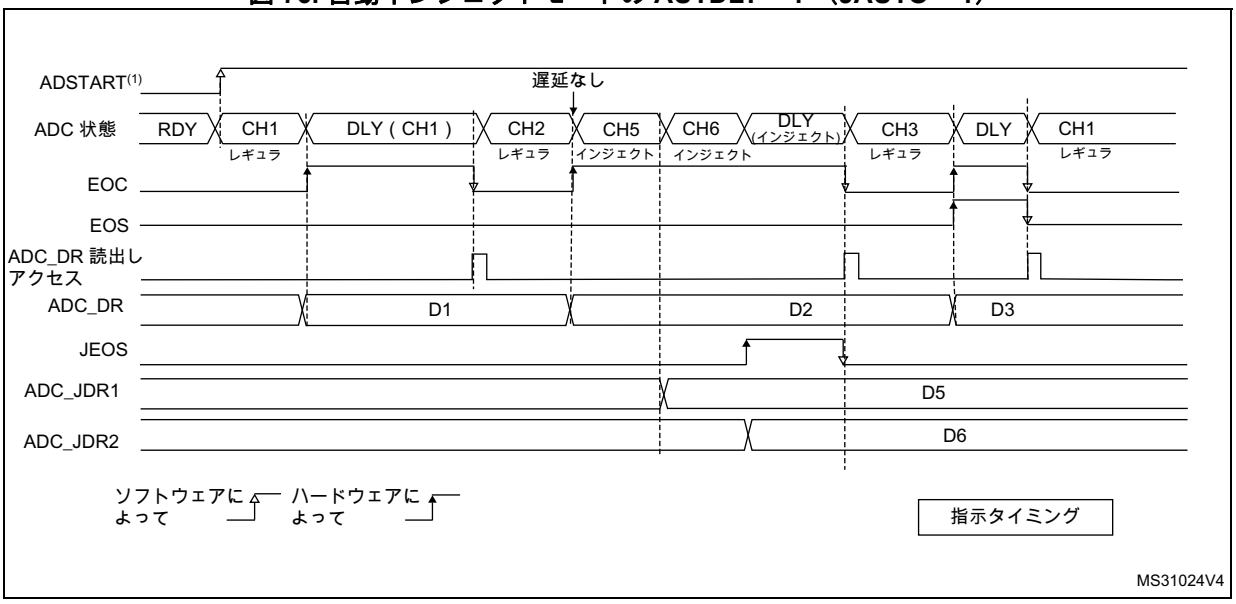
1. AUTDLY = 1
2. レギュラ設定：EXTEN[1:0] = 01 （ハードウェアトリガ）、CONT = 0、DISCEN = 1、DISCNUM = 1、CHANNELS = 1、2、3
3. インジェクト設定：JEXTEN[1:0] = 01（ハードウェアトリガ）、JDISCEN = 1、CHANNELS = 5、6

図 75. AUTODLY = 1、インジェクト変換によって中断されたレギュラ連続変換



1. AUTDLY = 1
2. レギュラ設定：EXTEN[1:0] = 00 （ソフトウェアトリガ）、CONT = 1、DISCEN = 0、CHANNELS = 1、2、3
3. インジェクト設定：JEXTEN[1:0] = 01（ハードウェアトリガ）、JDISCEN = 0、CHANNELS = 5、6

図 76. 自動インジェクトモードの AUTDLY = 1 （JAUTO = 1）

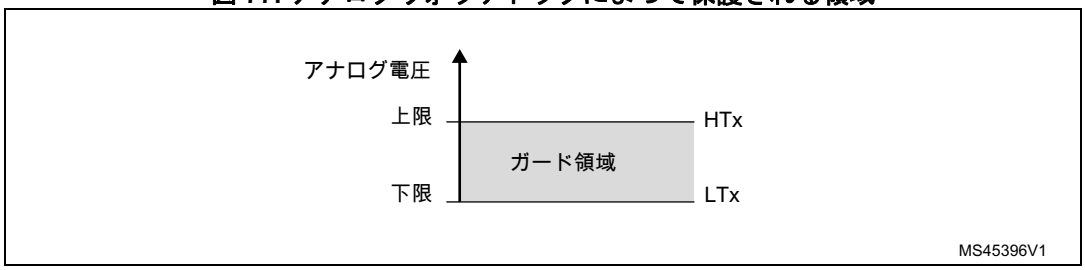


1. AUTDLY = 1
2. レギュラ設定：EXTEN[1:0] = 00 （ソフトウェアトリガ）、CONT = 1、DISCEN = 0、CHANNELS = 1、2
3. インジェクト設定：JAUTO = 1、CHANNELS = 5、6

16.4.28 アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）

3 つの AWD アナログウォッチドッグは、設定された電圧範囲（ウィンドウ）内に一部のチャネルが留まっているかどうかを監視します。

図 77. アナログウォッチドッグによって保護される領域



AWDx フラグと割込み

ADC_IER レジスタの AWDxIE （x = 1、2、3）をセットすることによって、3 つのアナログウォッチドッグでそれぞれ割込みを有効にできます。

AWDx （x = 1、2、3）フラグは、ソフトウェアによって 1 を書き込むことによってクリアされます。

ADC 変換結果は配置される前に低閾値および高閾値と比較されます。

アナログウォッチドッグ 1 の説明

AWD アナログウォッチドッグ 1 は、ADC_CFGR レジスタの AWD1EN ビットをセットすることによって有効になります。ウォッチドッグは、選択された 1 つのチャネルまたはすべての有効チャネル (1) が設定された電圧範囲（ウィンドウ）内にとどまっているかどうかを監視します。

表 82 に、1 つまたは複数のチャネル上でアナログウォッチドッグを有効にするためにどのようにして ADC_CFGR レジスタを設定するかを示します。

表 82. アナログウォッチドッグチャネル選択

アナログウォッチドッグによって保護されるチャネル	AWD1SGL ビット	AWD1EN ビット	JAWD1EN ビット
なし	x	0	0
すべてのインジェクトチャネル	0	0	1
すべてのレギュラチャネル	0	1	0
すべてのレギュラおよびインジェクトチャネル	0	1	1
1 つの(1) インジェクトチャネル	1	0	1
1 つの (1) レギュラチャネル	1	1	0
1 つの (1) レギュラまたはインジェクトチャネル	1	1	1

1. AWD1CH[4:0] ビットによって選択されます。チャネルは、適切なレギュラまたはインジェクトシーケンスで変換されるようにプログラムする必要があります。

アナログウォッチドッグ（AWD1）ステータスビットは、ADC によって変換されたアナログ電圧が低閾値を下回るか、高閾値を上回る場合にセットされます。

これらの閾値は、アナログウォッチドッグ 1 の ADC_TR1 レジスタの HT1[11:0] ビットおよび LT1[11:0] ビットでプログラムされます。12 ビット未満の分解能でデータを変換するときには（RES[1:0] ビットに従って）、内部比較は常に 12 ビット全体の元の変換データ（左詰め）に対して実行されるため、プログラムされた閾値の LSB はクリアされたままである必要があります。

表 83 に、アナログウォッチドッグ 1 に可能なすべての分解能での比較方法を示します。

表 83. アナログウォッチドッグ 1 の比較

分解能（ビット RES[1:0]）	アナログウォッチドッグ比較：		コメント
	元の変換データ、左詰め	閾値	
00：12 ビット	DATA[11:0]	LT1[11:0] および HT1[11:0]	-
01：10 ビット	DATA[11:2],00	LT1[11:0] および HT1[11:0]	ユーザは LT1[1:0] と HT1[1:0] を 00 に設定する必要があります。
10：8 ビット	DATA[11:4],0000	LT1[11:0] および HT1[11:0]	ユーザは LT1[3:0] と HT1[3:0] を 0000 に設定する必要があります。
11：6 ビット	DATA[11:6],000000	LT1[11:0] および HT1[11:0]	ユーザは LT1[5:0] と HT1[5:0] を 000000 に設定する必要があります。

アナログウォッチドッグ 2 および 3 の説明

2 番目と 3 番目のアナログウォッチドッグはより柔軟で、AWDxCH[18:0]（x = 2、3）の対応するビットをプログラムすることにより、いくつかの選択されたチャネルをガードすることができます。

対応するウォッチドッグは、AWDxCH[18:0]（x = 2、3）の任意のビットがセットされると有効になります。

これらは 8 ビットの分解能に制限され、閾値の最上位の8ビットのみを HTx[7:0] と LTx[7:0] にプログラムすることができます。表 84 に、可能なすべての分解能での比較方法を示します。

表 84. アナログウォッチドッグ 2 および 3 の比較

分解能（ビット RES[1:0]）	アナログウォッチドッグ比較：		コメント
	元の変換データ、左詰め	閾値	
00：12 ビット	DATA[11:4]	LTx[7:0] および HTx[7:0]	DATA[3:0] はこの比較に適していません
01：10 ビット	DATA[11:4]	LTx[7:0] および HTx[7:0]	DATA[3:2] はこの比較に適していません
10：8 ビット	DATA[11:4]	LTx[7:0] および HTx[7:0]	-
11：6 ビット	DATA[11:6],00	LTx[7:0] および HTx[7:0]	ユーザは LTx[1:0] と HTx[1:0] を 00 に設定する必要があります

ADCy_AWDx_OUT 信号出力生成

各アナログウォッチドッグは、一部のオンチップタイマに ETR 入力（外部トリガ）が直接接続された内部ハードウェア信号 ADCy_AWDx_OUT （y=ADC の数、x=ウォッチドッグの数）と関連付けられています。ETR として ADCy_AWDx_OUT 信号を選択する方法を理解するには、オンチップタイマのセクションを参照してください。

ADCy_AWDx_OUT は、関連付けられたアナログウォッチドッグが有効になった時にアクティブ化されます。

- ADCy_AWDx_OUT は、ガードされた変換がプログラムされた閾値の外にある場合にセットされます。
- ADCy_AWDx_OUT は、次のガードされた変換がプログラムされた閾値内にある場合、終了後にリセットされます（次のガードされた変換がプログラムされた閾値の外にある場合は 1 のまま維持されます）。
- ADCy_AWDx_OUT は ADC を無効にする場合にもリセットされます（ADDIS = 1 に設定する場合）。レギュラまたはインジェクト変換の停止（ADSTP = 1 または JADSTP = 1 に設定）は、ADCy_AWDx_OUT の生成にまったく影響しない点に注意してください。

注： **AWDx フラグは、ハードウェアによってセットされ、ソフトウェアによってリセットされます。AWDx フラグは、ADCy_AWDx_OUT の生成にまったく影響しません（ソフトウェアによって AWDx フラグがクリアされず、このフラグが 1 のまま維持される間、ADCy_AWDx_OUT をトグルできます）。**

図 78. ADCy_AWDx_OUT 信号生成（すべてのレギュラチャネル）

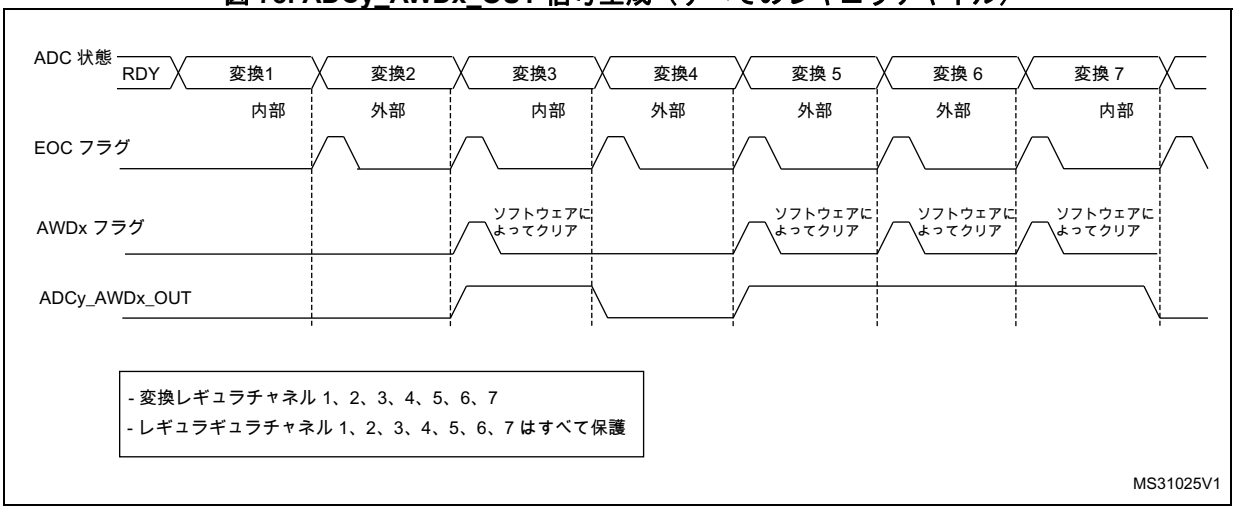


図 79. ADCy_AWDx_OUT 信号生成（ソフトウェアによって AWDx フラグがクリアされない場合）

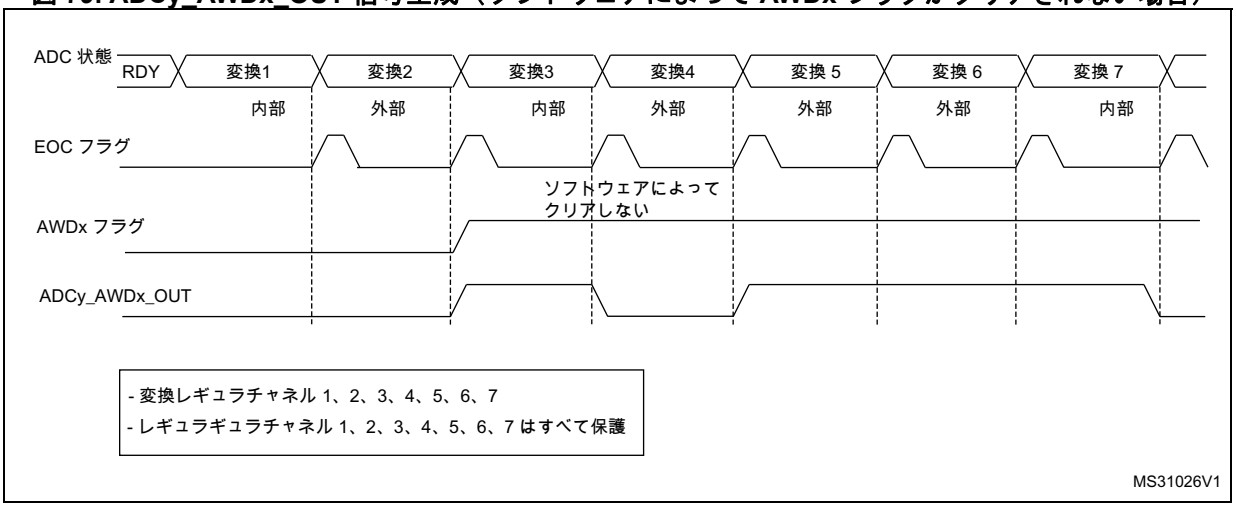


図 80. ADCy_AWDx_OUT 信号生成（1 つのレギュラチャネル）

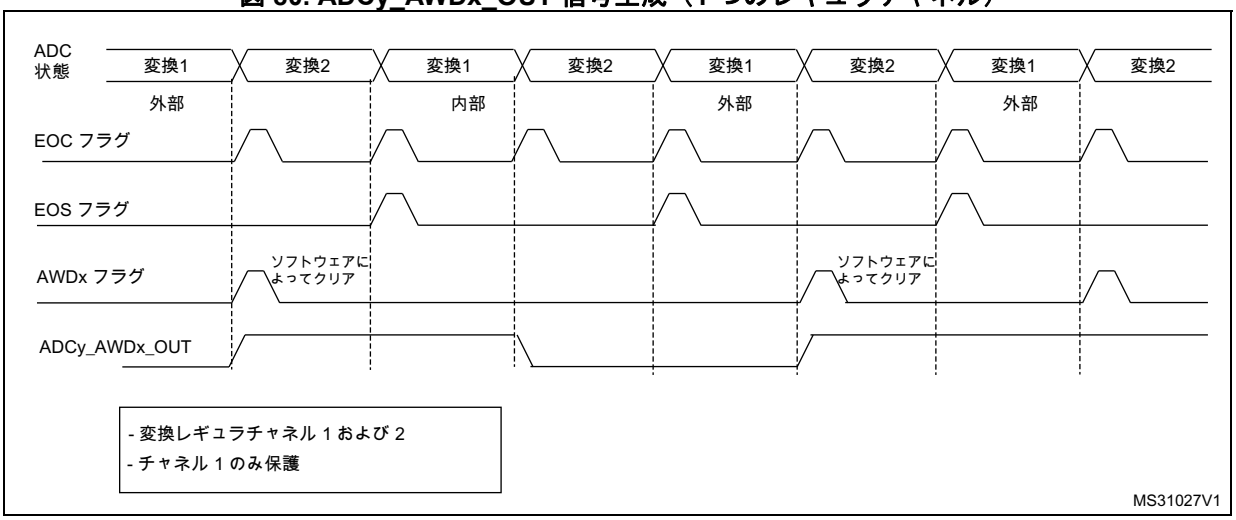
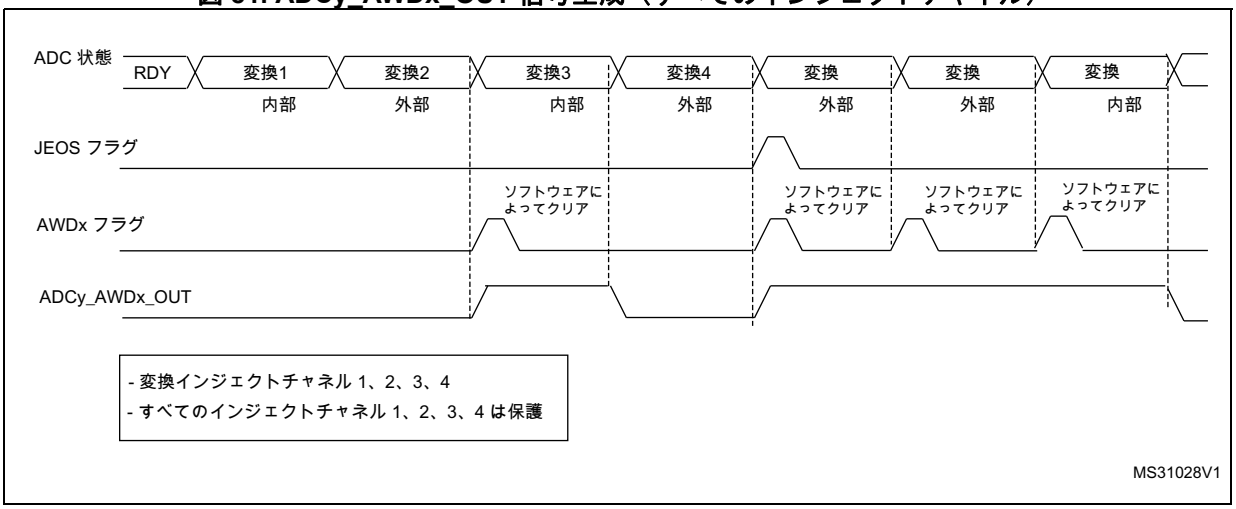


図 81. ADCy_AWDx_OUT 信号生成（すべてのインジェクトチャネル）



16.4.29 オーバーサンプリング回路

オーバーサンプリングユニットは、データの前処理を実行して、CPU の負荷を軽減します。複数の変換を処理して、最大 16 ビット幅の単一データに平均化できます。

以下の形式で結果を提供します。N および M は調整可能です。

$$\text{Result} = \frac{1}{M} \times \sum_{n=0}^{n=N-1} \text{Conversion}(t_n)$$

平均化、データレートの削減、SNR の向上、基本的フィルタリングをハードウェアによって実行できます。

オーバーサンプリング比 N は、ADC_CFGR2 レジスタの OVFS[2:0] ビットによって定義され、その範囲は 2～256倍 です。分周係数 M は、最大 8 ビットの右ビットシフトから成っており、ADC_CFGR2 レジスタの OVSS[3:0] ビットを使用して定義します。

合計ユニットは最大 20 ビット（256 x 12 ビットの結果）の結果をもたらし、最初に右へシフトされます。最下位 16 ビットまで切り詰められ、シフトによって残った最下位ビットを使用して最も近い値に丸められてから ADC_DR データレジスタに転送されます。

注 : **シフト後の中間結果が 16 ビットを超える場合、結果は飽和なしで単純に切り詰められます。**

図 82. 20 ビットから 16 ビットへの結果の切り詰め

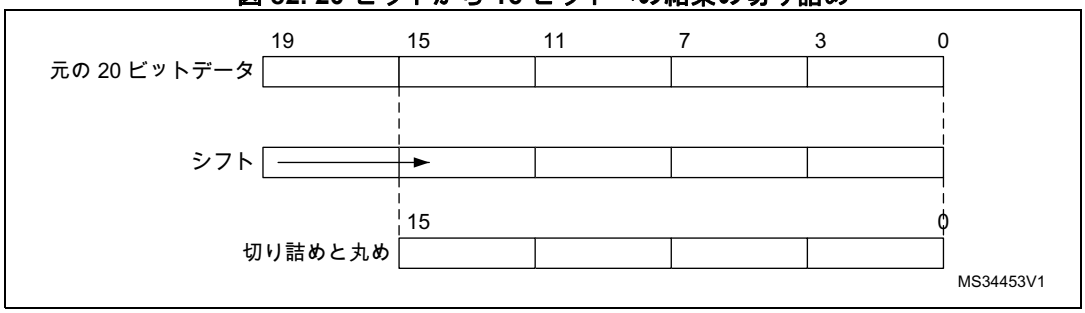


図 83 に、元の 20 ビットの累積データから最終的な 16 ビットの結果への処理の数値例を示します。

図 83. 5 ビットシフトと丸めの数値例



表 85 に、元の変換データが 0xFFF の場合のさまざまな N と M の組み合わせでのデータフォーマットを示します。

表 85. 最大出力結果対 N と M（灰色のセルは切り詰め）

オーバーサンプリング比	最大の元データ	シフトなし OVSS = 0000	1 ビットシフト OVSS = 0001	2 ビットシフト OVSS = 0010	3 ビットシフト OVSS = 0011	4 ビットシフト OVSS = 0100	5 ビットシフト OVSS = 0101	6 ビットシフト OVSS = 0110	7 ビットシフト OVSS = 0111	8 ビットシフト OVSS = 1000
2x	0x1FFE	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040	0x020
4x	0x3FFC	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040
8x	0x7FF8	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080
16x	0xFFF0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100
32x	0x1FFE0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200
64x	0x3FFC0	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400
128x	0x7FF80	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800
256x	0xFFF00	0xFF00	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF

オーバーサンプリングモードでの変換タイミングに変更はありません。サンプル時間はオーバーサンプリングシーケンス全体を通じて一定に保たれます。新しいデータは N 回の変換ごとに提供され、同等遅延は N x T_{CONV} = N x（t_{SMPL} + t_{SAR}）に等しくなります。フラグは、次のようにセットされます。

- サンプリングフェーズの終了（EOSMP）は、各サンプリングフェーズ後にセットされます。
- 変換の終了（EOC）は、N 回の変換ごとに発生し、オーバーサンプリングされた結果が使用可能になります。
- シーケンスの終了（EOS）は、オーバーサンプリングされたデータのシーケンスが完了すると発生します（すなわち、N x シーケンス長の変換合計後）。

オーバーサンプリング時の ADC 動作モードのサポート

オーバーサンプリングモードでは、ほとんどの ADC 動作モードが維持されます。

- シングルまたは連続モードの変換
- ソフトウェアまたはトリガによる ADC 変換の開始
- 変換中の ADC の停止（中止）
- オーバーラン検出時の CPU または DMA 経由でのデータの読出し
- 低電力モード（AUTDLY）
- プログラム可能な分解能：この場合、削減された変換値（ADC_CFGR1 レジスタの RES[1:0] ビットに従って）の累積、切り詰め、丸め、およびシフトは、12 ビット変換と同様に行われます。

注： **オーバーサンプリングされたデータを操作するときには、配置モードは使用できません。ADC_CFGR1 の ALIGN ビットは無視され、データは常に右詰めで提供されます。**

オフセット補正は、オーバーサンプリングモードでサポートされません。ROVSE および／または JOVSE ビットがセットされている場合、ADC_OFRy レジスタの OFFSETy_EN ビットの内容は無視されます（リセットとみなされます）。

アナログウォッチドッグ

アナログウォッチドッグ機能は保持されますが、次のような違いがあります。

- RES[1:0] ビットは無視され、比較は常に 12 ビットの値 HT[11:0] および LT[11:0] を使用して行われます。
- 比較は、16 ビットのオーバーサンプリングされた結果の上位 12 ビット ADC_DR[15:4] に対して行われます。

注：**高いシフト値を使用するときには注意が必要です。これによって比較範囲が小さくなるからです。たとえば、オーバーサンプリングされた結果が 4 ビットシフトされた場合、12 ビットの右詰めデータになり、有効なアナログウォッチドッグ比較が行われるのは、8 ビットに対してだけです。比較は ADC_DR[11:4] と HT[0:7] / LT[[0:7] の間で行われ、HT[11:8] / LT[11:8] はリセットする必要があります。**

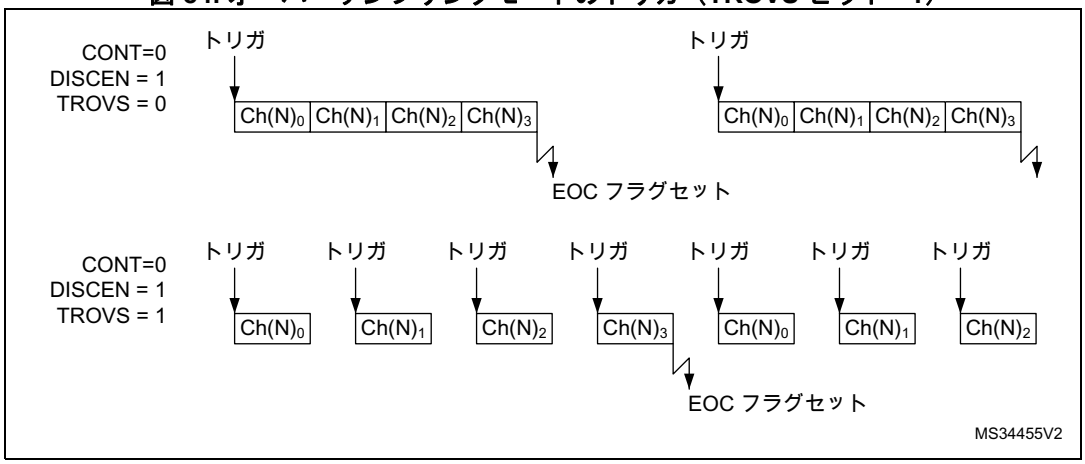
トリガモード

平均化回路は、基本的なフィルタリング目的で使用することもできます。あまり強力なフィルタではありませんが（ロールオフが低速であり、阻止帯域減衰が限られる）、ノッチフィルタとして使用して、周期的なノイズ周波数を低減できます（一般に主電源またはスイッチモードの電源が原因）。この目的のために、ADC_CFGR2 の TROVS ビットで特定の不連続モードを有効にして、変換時間に依存せずに、オーバーサンプリング周波数をユーザが定義できるようにできます。

下記の図 84 に、不連続モード中にトリガに反応して変換を開始する方法を示します。

TROVS ビットがセットされている場合、DISCEN ビットの内容は無視され、1 とみなされます。

図 84. オーバーサンプリングモードのトリガ（TROVS ビット =1）



オーバーサンプリング時のインジェクトおよびレギュラシーケンサ管理

オーバーサンプリングモードでは、インジェクトおよびレギュラシーケンサに異なる動作を行わさせることができます。シーケンサを同時に使用する必要がある場合、それら両方を制限付きでオーバーサンプリングを有効にできます（これは、独自の累算ユニットに関連します）。

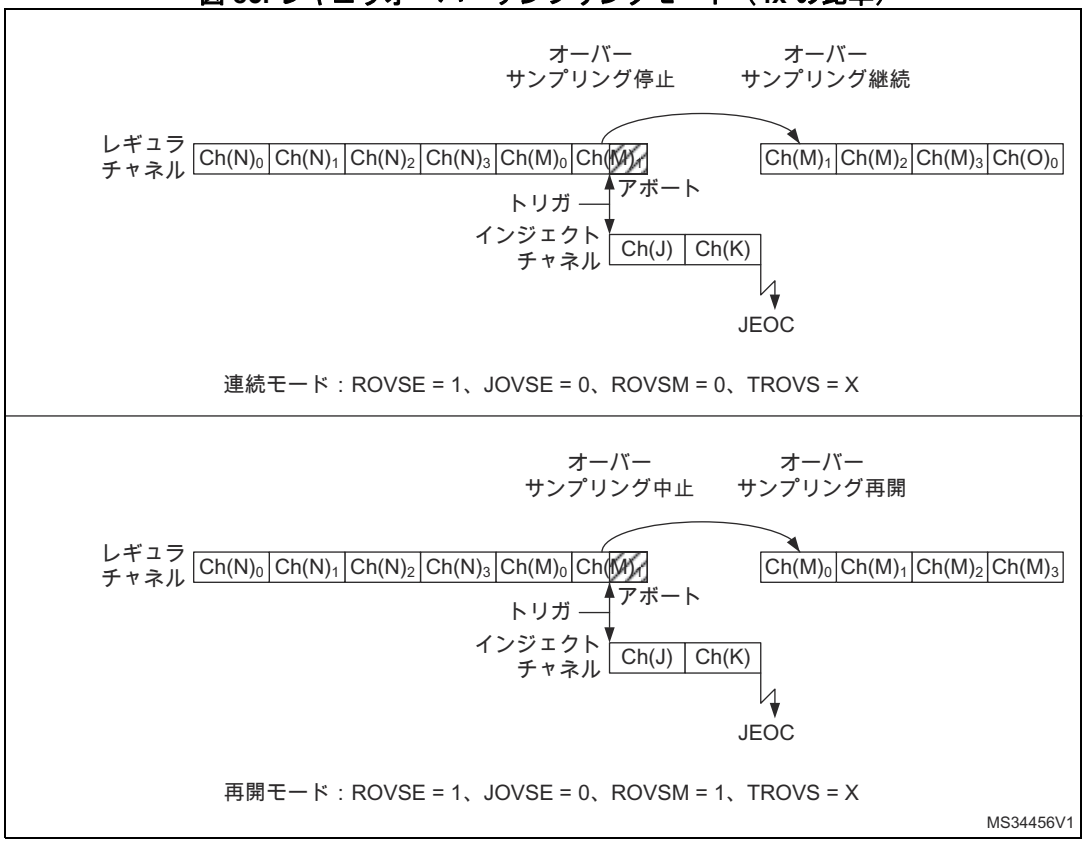
オーバーサンプリングレギュラチャネルのみ

レギュラオーバーサンプリングモードビット ROVSM は、インジェクト変換によって割込みが発生した場合のレギュラサンプリングシーケンスの再開方法を定義します。

- 連続モードでは、最後の有効なデータ（インジェクトトリガによる変換中止リクエストの前）から累算を再開します。これにより、インジェクションの頻度に関係なく、オーバーサンプリングを完了できます（トリガ間で最低 1 回のレギュラ変換を完了できます）。
- 再開モードでは、累算が 0 から再開します（前の変換結果は無視されます）。このモードでは、オーバーサンプリングに使用されるすべてのデータが 1 つの時間スロット内で連続で変換されたことを保証できます。オーバーサンプリング時間を超えるインジェクショントリガ時間がかかることに注意が必要です。この条件が満たされない場合、オーバーサンプリングを完了できず、レギュラシーケンサはブロックされます。

図 85 では、4 倍のオーバーサンプリング比の例を示しています。

図 85. レギュラオーバーサンプリングモード（4x の比率）



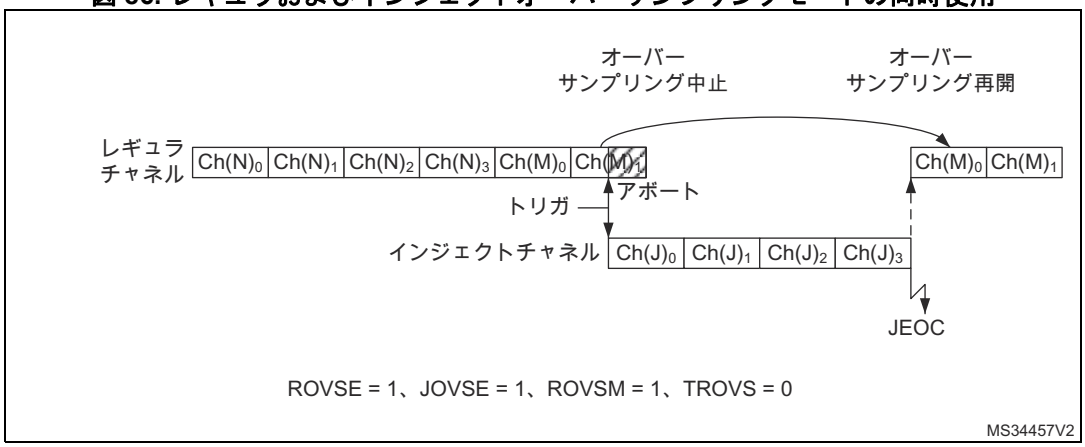
オーバーサンプリングインジェクトチャネルのみ

インジェクトオーバーサンプリングモードビット JOVSE は、インジェクトシーケンサでの変換専用のオーバーサンプリングを有効にします。

オーバーサンプリングレギュラおよびインジェクトチャネル

ROVSE ビットおよび JOVSE ビットの両方をセットできます。この場合、レギュラオーバーサンプリングモードは以下の図 86 に示すように、強制的に再開モードになります（ROVSM ビット無視）。

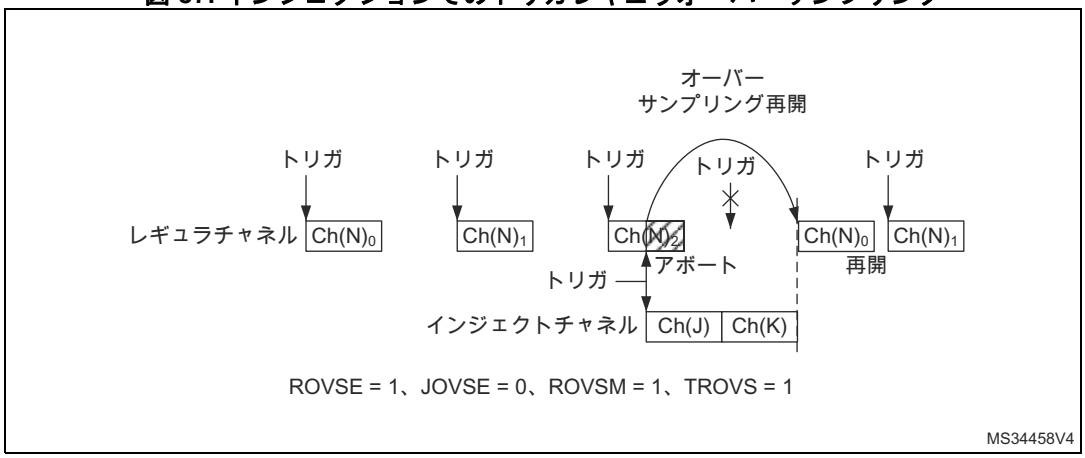
図 86. レギュラおよびインジェクトオーバーサンプリングモードの同時使用



インジェクト変換でのトリガレギュラオーバーサンプリングモード

インジェクト変換でのトリガレギュラオーバーサンプリングモードが可能です。この場合、インジェクトモードオーバーサンプリングモードは無効になり、ROVSM ビットは無視されます（再開モードが強制されます）。JOVSE ビットをリセットする必要があります。動作については、以下の図 87 に示します。

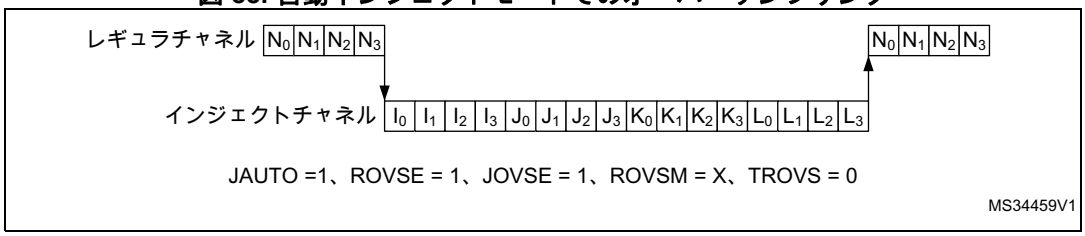
図 87. インジェクションでのトリガレギュラオーバーサンプリング



自動インジェクトモード

自動インジェクトシーケンスをオーバーサンプリングして、レジスタにすべての変換結果を格納し、DMA リソースを保存できます。このモードは、レギュラおよびインジェクトオーバーサンプリング両方がアクティブの状態でのみ使用可能です。JAUTO = 1、ROVSE = 1 および JOVSE = 1 の場合です。その他の組み合わせはサポートされません。ROVSM ビットは自動インジェクトモードでは無視されます。以下の図 88 に、変換シーケンスの方法を示します。

図 88. 自動インジェクトモードでのオーバーサンプリング



TROVS ビットを使用してトリガモードを有効にすることもできます。この場合、ADC は次のように設定する必要があります。JAUTO = 1、DISCEN = 0、JDISCEN = 0、ROVSE = 1、JOVSE = 1 および TROVSE = 1。

16.4.30 温度センサ

温度センサを使用して、デバイスの接合温度（Tj）を測定できます。温度センサは、センサの出力電圧をデジタル値に変換するために ADC 入力チャネルに内部接続されます。使用しないときには、センサをパワーダウンモードにすることができます。サポートする温度範囲は -40～125 °C です。

図 89 に、温度センサおよび ADC 間の接続のブロック図を示します。

温度センサの出力電圧は、温度に比例して変化します。このラインのオフセットは、プロセスのばらつきにより、チップごとに異なります（チップ間で最大 45 °C）。

較正されていない内部温度センサは、温度の絶対値の代わりに温度変化を検出するアプリケーションに適しています。温度センサの測定精度を高めるために、生産時に ST によって各デバイスの較正値がシステムメモリに格納されています。

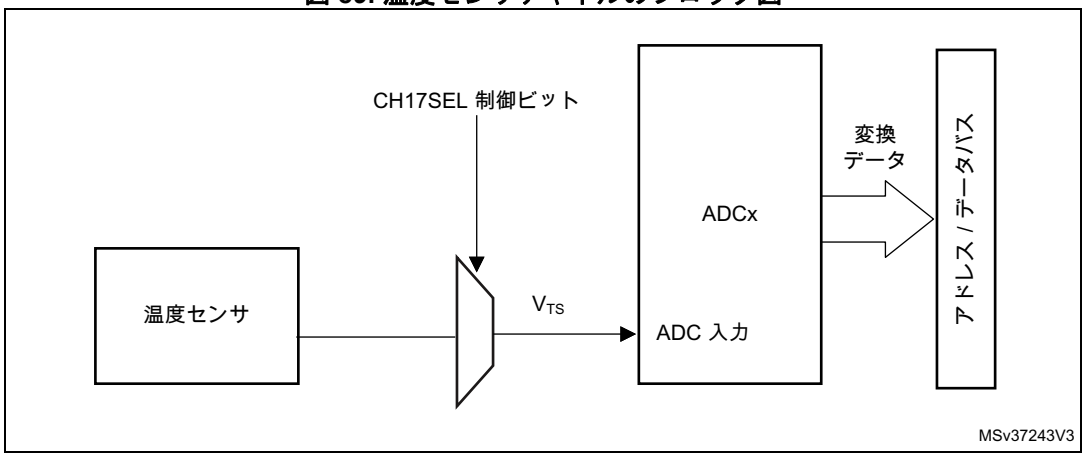
製造プロセス中に、温度センサと内部電圧基準の較正データがシステムメモリ領域に格納されます。ユーザアプリケーションはこれらを読み出して、温度センサまたは内部基準の精度の向上に使用できます（詳しい情報はデータシートを参照してください。）。

温度センサは、センサの出力電圧をデジタル値に変換するために ADC 入力チャネルに内部接続されます。内部温度センサの変換時に適用するサンプリング時間の値については、デバイスデータシートの電気的特性のセクションを参照してください。

使用しないときには、センサをパワーダウンモードにすることができます。

図 89 に、温度センサのブロック図を示します。

図 89. 温度センサチャネルのブロック図



温度の読出し

温度センサを使用するには :

1. V_{TS} に接続する ADC 入力チャネルを選択します。
2. 適切なサンプリング時間をプログラムします（デバイスデータシートの電気的特性のセクションを参照）。
3. ADCx_CCR レジスタの CH17SEL ビットをセットして、温度センサをパワーダウンモードからウェイクアップします。
4. ADC 変換を開始します。
5. A/D コンバータデータレジスタの V_{TS} データを読み出します。
6. 次の式を使用して、実際の温度を計算します。

$$\text{Temperature (in °C)} = \frac{\text{TS_CAL2_TEMP} - \text{TS_CAL1_TEMP}}{\text{TS_CAL2} - \text{TS_CAL1}} \times (\text{TS_DATA} - \text{TS_CAL1}) + \text{TS_CAL1_TEMP}$$

ここで、

- TS_CAL2 は、TS_CAL2_TEMP で得られた温度センサの較正値です。
- TS_CAL1 は、TS_CAL1_TEMP で得られた温度センサの較正値です。
- TS_DATA は、ADC によって変換された実際の温度センサの出力値です。

  TS_CAL1 および TS_CAL2 較正ポイントの詳細については、デバイスデータシートを参照してください。

注 : **センサがパワーダウンモードからウェイクアップして、正しいレベルで V_{TS} を出力できるようになるまでには時間がかかります（スタートアップ時間）。ADC にも起動後のスタートアップ時間があるので、遅延を最小にするには、ADEN ビットと CH17SEL ビットを同時にセットしてください。**

上記の式は、TS_CAL1/TS_CAL2 値と同じ V_{REF+} 電圧で測定した TS_DATA に対するものです。V_{REF+} が異なる場合、式を調整する必要があります。たとえば、V_{REF+} = 3.3 V で、TS_CAL データは V_{REF+}= 3.0 V で取得されている場合、TS_DATA は TS_DATA x (3.3/3.0) に置換する必要があります。

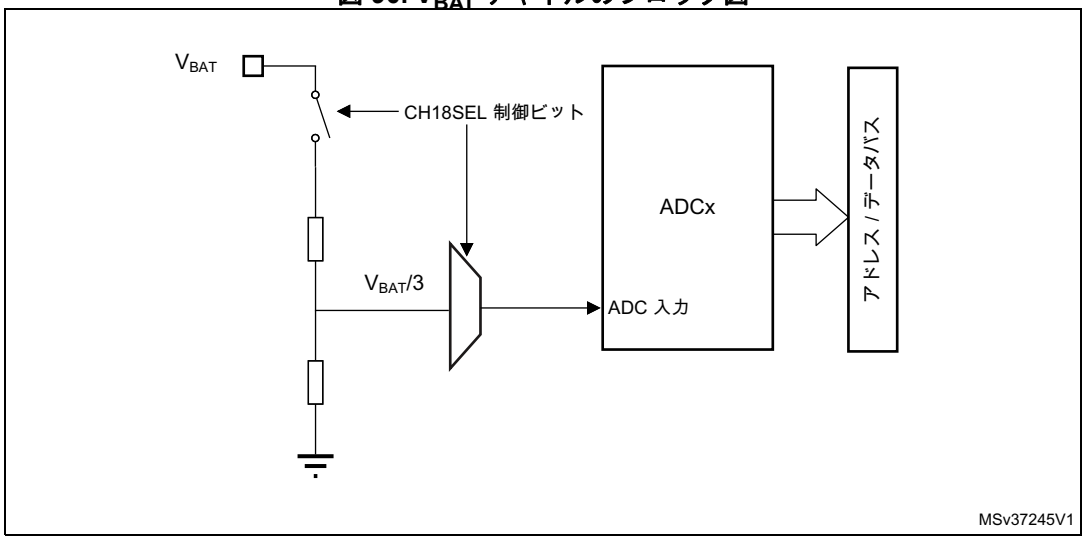
16.4.31 V_{BAT} 電源監視

ADCx_CCR レジスタの CH18SEL ビットはバッテリ電圧に切り替えるために使用します。V_{BAT} 電圧は V_{DDA} より高くなることがあるので、ADC の正しい動作を確保するために、V_{BAT} ピンはブリッジ 3 分圧回路に内部接続されています。このブリッジは、CH18SEL ビットがセットされると自動的に有効になり、V_{BAT}/3 を ADC 入力チャネルに接続します。結果として、変換されたデジタル値は V_{BAT} 電圧の 1/3 です。不要なバッテリ消費を避けるには、ADC 変換を行うときだけ、ブリッジ分圧回路を有効にすることが推奨されます。

V_{BAT} /3 電圧の変換時に適用するサンプリング時間の値については、デバイスデータシートの電気的特性を参照してください。

下の図に、V_{BAT} センシング機能のブロック図を示します。

図 90. V_{BAT} チャネルのブロック図



1. V_{BAT}/3 の内部チャネルの変換を有効にするには、CH18SEL ビットをセットする必要があります。

16.4.32 内部電圧基準の監視

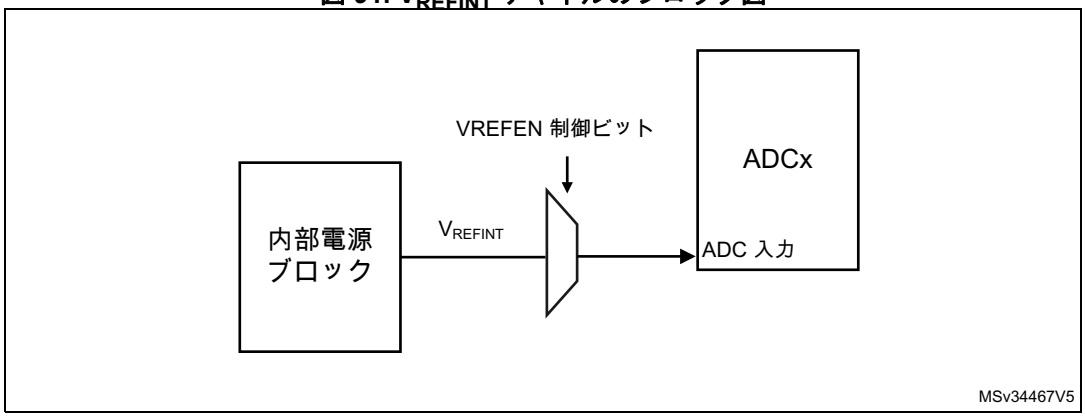
ADC V_{REF+} 電圧レベルを評価するための基準点を得るために、内部電圧基準（V_{REFINT}）を監視することができます。

内部電圧基準は、ADC1 の入力チャネル 0 （ADC1_INP0）に内部的に接続されます。

内部電圧基準の変換時に適用するサンプリング時間の値については、製品のデータシートの電気的特性のセクションを参照してください。

図 91 に、V_{REFINT} センシング機能のブロック図を示します。

図 91. V_{REFINT} チャネルのブロック図



1. 内部チャネル（V_{REFINT}）の変換を有効にするには、ADCx_CCR レジスタに VREFEN ビットをセットする必要があります。

内部基準電圧を使用した実際の V_{REF+} 電圧の計算

デバイスに印加される電源電圧は、ばらつきがあり、または正確にはわからないことがあります。V_{DDA} が V_{REF+} に接続されているときには、実際の V_{DDA} 電圧を内蔵内部基準電圧 (V_{REFINT}) を使用して計算することが可能です。V_{REFINT} と、製造プロセス時に V_{DDA_Charac} で ADC によって得られた較正データを使用して、実際の V_{DDA} 電圧レベルを評価することができます。

デバイスに印加される実際の V_{REF+} 電圧は、次の式で求められます。

$$V_{REF+} = V_{REF+_Charac} \times VREFINT_CAL / VREFINT_DATA$$

ここで、

- V_{REF+_Charac} は、製造工程中に V_{REFINT} で特性評価された V_{REF+} 電圧の値です。これはデバイスのデータシートで指定されています。
- VREFINT_CAL は、V_{REFINT} の較正値です。
- VREFINT_DATA は、ADC によって変換された実際の V_{REFINT} の出力値です。

電源に相対的な ADC 測定値から絶対電圧値への変換

ADC は、V_{REF+} と、変換されるチャネルに印加される電圧との比に対応するデジタル値を提供するように設計されています。

ほとんどのアプリケーションでは、V_{DDA} 値は未知であり、ADC によって変換された値は右詰めされます。この場合、この比を V_{DDA} に依存しない電圧に変換する必要があります。

$$V_{CHANNELx} = \frac{V_{REF+}}{FULL_SCALE} \times ADC_DATA$$

V_{REF+} を上記の式で置き換えることによって、絶対電圧値を次の計算式で求めることができます。

$$V_{CHANNELx} = \frac{V_{REF+_Charac} \times VREFINT_CAL \times ADC_DATA}{VREFINT_DATA \times FULL_SCALE}$$

V_{REF+} が既知であり、ADC によって変換された値が右詰めされるアプリケーションでは、次の式を使用して、絶対電圧値を求めることができます。

$$V_{CHANNELx} = \frac{V_{REF+}}{FULL_SCALE} \times ADC_DATA$$

ここで、

- V_{REF+_Charac} は、製造工程中に V_{REFINT} で特性評価された V_{REF+} 電圧の値です。
- VREFINT_CAL は、V_{REFINT} の較正値です。
- ADC_DATA は、チャネル x で ADC によって測定された値です（右詰め）。
- VREFINT_DATA は、ADC によって変換された実際の V_{REFINT} の出力値です。
- FULL_SCALE は、ADC 出力の最大デジタル値です。たとえば、12 ビット分解能では 2^{12} - 1 = 4095 になり、8 ビット分解能では 2^8 - 1 = 255 になります。

注： **ADC 測定が 16 ビット右詰め以外の出力形式を使用して行われる場合、計算を行う前に、すべてのパラメータを互換性のある形式に変換しておく必要があります。**

16.5 低電力モードでの ADC

表 86. 低電力モードが ADC に与える影響

モード	説明
SLEEP	影響はありません。 DMA リクエストは機能しています。
低電力 RUN	影響はありません。
低電力 SLEEP	影響はありません。 DMA リクエストは機能しています。
STOP 0 / STOP 1	ADC は動作できません。状態は保持されます。 ADC は、電力消費を下げるためにペリフェラルを事前に無効にすることが推奨されるスタティック電流を消費します。
STOP 2	ADC は動作できません。状態は保持されます。 ADC レギュレータはハードウェアによって無効にされます。 STOP 2 モードに入る前に ADC とレギュレータを無効にする必要があります。
STANDBY	ADC はパワーダウンされ、STANBY または SHUTDOWN モード終了後に再初期化する必要があります。
SHUTDOWN	

16.6 ADC 割込み

次の場合に割込みを生成できます。

- ADC パワーアップ後、ADC の準備ができたとき（ADRDY フラグ）
- レギュラグループの任意の変換終了時（EOC フラグ）
- レギュラグループの任意の変換シーケンス終了時（EOS フラグ）
- インジェクトグループの任意の変換終了時（JEOC フラグ）
- インジェクトグループの任意の変換シーケンス終了時（JEOS フラグ）
- アナログウォッチドッグ検出の発生時（AWD1、AWD2、および AWD3 フラグ）
- サンプリングフェーズ終了の発生時（EOSMP フラグ）
- データオーバーランの発生時（OVR フラグ）
- インジェクトシーケンスのコンテキストキューのオーバーフロー時（JQOVF フラグ）

高い柔軟性を実現するため、個別の割込みイネーブルビットを使用できます。

表 87. ADC 割込み

割込みイベント	イベントフラグ	有効制御ビット
ADC レディ	ADRDY	ADRDYIE
レギュラグループの変換終了	EOC	EOCIE
レギュラグループの変換シーケンスの終了	EOS	EOSIE
インジェクトグループの変換終了	JEOC	JEOCIE
インジェクトグループの変換シーケンスの終了	JEOS	JEOSIE
アナログウォッチドッグ 1 のステータスビットのセット	AWD1	AWD1IE
アナログウォッチドッグ 2 のステータスビットのセット	AWD2	AWD2IE
アナログウォッチドッグ 3 のステータスビットのセット	AWD3	AWD3IE
サンプリングフェーズの終了	EOSMP	EOSMPIE
オーバーラン	OVR	OVRIE
インジェクトコンテキストキューのオーバーフロー	JQOVF	JQOVFIE

16.7 ADC レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

16.7.1 ADC 割込みおよびステータスレジスタ（ADC_ISR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	JQOVF	AWD3	AWD2	AWD1	JEOS	JEOC	OVR	EOS	EOC	EOSMP	ADRDY
					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **JQOVF**：インジェクトコンテキストキューのオーバーフロー

このビットは、コンテキストのインジェクトキューのオーバーフローが発生したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。詳細については、セクション 16.4.21：インジェクト変換のコンテキストのキューを参照してください。

0：インジェクトコンテキストキューのオーバーフローは発生していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：インジェクトコンテキストキューのオーバーフローが発生しました。

ビット 9 **AWD3**：アナログウォッチドッグ 3 フラグ

このビットは、変換された電圧が、ADC_TR3 レジスタのフィールド LT3[7:0] および HT3[7:0] でプログラムされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0：アナログウォッチドッグ 3 イベントは発生していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：アナログウォッチドッグ 3 イベントが発生しました。

ビット 8 **AWD2**：アナログウォッチドッグ 2 フラグ

このビットは、変換された電圧が、ADC_TR2 レジスタのフィールド LT2[7:0] および HT2[7:0] でプログラムされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0：アナログウォッチドッグ 2 イベントは発生していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：アナログウォッチドッグ 2 イベントが発生しました。

ビット 7 **AWD1**：アナログウォッチドッグ 1 フラグ

このビットは、変換された電圧が、ADC_TR1 レジスタのフィールド LT1[11:0] および HT1[11:0] でプログラムされた値を逸脱したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0：アナログウォッチドッグ 1 イベントは発生していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：アナログウォッチドッグ 1 イベントが発生しました。

ビット 6 **JEOS**：インジェクトチャネルのシーケンス終了フラグ

このビットは、グループ内のすべてのインジェクトチャネル変換が終了したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0：インジェクト変換シーケンスは完了していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：インジェクト変換シーケンスが完了しました。

ビット 5 **JEOC**：インジェクトチャネルの変換終了フラグ

このビットは、チャネルの各インジェクト変換の終了時に、新しいデータが対応する ADC_JDRy レジスタで使用可能になったときに、ハードウェアによってセットされます。ソフトウェアによって 1 を書き込むことによって、または対応する ADC_JDRy レジスタを読み出すことによってクリアされます。

0：インジェクトチャネル変換は完了していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：インジェクトチャネル変換が完了しました。

ビット 4 **OVR**：ADC オーバーランです。

このビットは、レギュラチャネルでオーバーランが発生したときにハードウェアによってセットされ、EOC フラグがすでにセットされているときに新しい変換が完了したことを意味します。ソフトウェアで 1 を書き込むことによってクリアされます。

0：オーバーランは発生していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：オーバーランが発生しました。

ビット 3 **EOS**：レギュラシーケンス終了フラグ

このビットは、レギュラチャネルシーケンスの変換が終了したときに、ハードウェアによってセットされます。ソフトウェアで 1 を書き込むことによってクリアされます。

0：レギュラ変換シーケンスは完了していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：レギュラ変換シーケンスが完了しました。

ビット 2 **EOC**：変換終了フラグ

このビットは、チャネルの各レギュラ変換の終了時に、新しいデータが ADC_DR レジスタで使用可能になったときに、ハードウェアによってセットされます。ソフトウェアによって 1 を書き込むことによって、または ADC_DR レジスタを読み出すことによってクリアされます。

0：レギュラチャネル変換は完了していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：レギュラチャネル変換が完了しました。

ビット 1 **EOSMP**：サンプリング終了フラグ

このビットは、任意のチャネル（レギュラチャネルのみ）の変換中、サンプリングフェーズの終了時にハードウェアによってセットされます。

0：サンプリングフェーズは終了していません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：サンプリングフェーズは終了しました。

ビット 0 **ADRDY**：ADC レディ

このビットは、ADC が有効にされた後（ビット ADEN = 1）、ADC が変換リクエストを受け入れる準備ができた状態に達したときに、ハードウェアによってセットされます。

ソフトウェアで 1 を書き込むことによってクリアされます。

0：ADC はまだ変換を開始する準備ができていません（またはフラグイベントはソフトウェアによってすでに確認され、クリアされています）。

1：ADC は変換を開始する準備ができました。

16.7.2 ADC 割込み有効レジスタ（ADC_IER）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	JQOVFIE	AWD3IE	AWD2IE	AWD1IE	JEOSIE	JEOCIE	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **JQOVFIE**：インジェクトコンテキストキューのオーバーフロー割込みイネーブル

このビットは、インジェクトコンテキストキューのオーバーフローの割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：インジェクトコンテキストキューのオーバーフロー割込みは無効です。

1：インジェクトコンテキストキューのオーバーフロー割込みは有効です。JQOVF ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 9 **AWD3IE**：アナログウォッチドッグ 3 割込みイネーブル

このビットは、アナログウォッチドッグ 2 割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：アナログウォッチドッグ 3 割込みは無効です。

1：アナログウォッチドッグ 3 割込みは有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 8 **AWD2IE**：アナログウォッチドッグ 2 割込みイネーブル

このビットは、アナログウォッチドッグ 2 割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：アナログウォッチドッグ 2 割込みは無効です。

1：アナログウォッチドッグ 2 割込みは有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 7 **AWD1IE**：アナログウォッチドッグ 1 割込みイネーブル

このビットは、アナログウォッチドッグ 1 割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：アナログウォッチドッグ 1 割込みは無効です。

1：アナログウォッチドッグ 1 割込みは有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 6 **JEOSIE**：インジェクト変換シーケンス終了割込みイネーブル

このビットは、インジェクト変換シーケンス終了時の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：JEOS 割込み無効

1：JEOS 割込みは有効です。JEOS ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 5 **JEOCIE**：インジェクト変換終了割込みイネーブル

このビットは、インジェクト変換終了時の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：JEOC 割込みは無効です。

1：JEOC 割込みは有効です。JEOC ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 4 **OVRIE**：オーバーラン割込みイネーブル

このビットは、レギュラ変換のオーバーラン割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：オーバーラン割込みは無効です。

1：オーバーラン割込みは有効です。OVR ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 3 **EOSIE**：レギュラ変換シーケンス終了割込みイネーブル

このビットは、レギュラ変換シーケンス終了時の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：EOS 割込み無効

1：EOS 割込みは有効です。EOS ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 2 **EOCIE**：レギュラ変換終了割込みイネーブル

このビットは、レギュラ変換終了時の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：EOC 割込みは無効です。

1：EOC 割込みは有効です。EOC ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 1 **EOSMPIE**：レギュラ変換のサンプリング終了フラグ割込みイネーブル

このビットは、レギュラ変換のサンプリングフェーズ終了時の割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：EOSMP 割込みは無効です。

1：EOSMP 割込みは有効です。EOSMP ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 0 **ADRDYIE**：ADC レディ割込みイネーブル

このビットは、ADC レディ割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：ADRDY 割込み無効

1：ADRDY 割込みは有効です。ADRDY ビットがセットされると、割込みが生成されます。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

16.7.3 ADC 制御レジスタ（ADC_CR）

アドレスオフセット：0x08

リセット値：0x2000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAL	ADCALDIF	DEEPPWD	ADVREGEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs	rw	rw	rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JADSTP	ADSTP	JADSTART	ADSTART	ADDIS	ADEN
										rs	rs	rs	rs	rs	rs

ビット 31 **ADCAL**：ADC 較正

このビットは、ADC の較正を開始するためにソフトウェアによってセットされます。最初にADCALDIF ビットをプログラムして、この較正がシングルエンドまたは差動入力モードに適用されるかどうかを確認します。

較正の完了後、ハードウェアによってクリアされます。

0：較正が完了しました。

1：ADC を較正するには、1 を書き込みます。1 として読み出されたときには、較正が実行中であることを意味します。

注： ソフトウェアは、ADEN = 0 のときだけ ADCAL をセットして、較正を起動することができます。

ソフトウェアは、ADEN = 1 かつ ADSTART = 0 かつ JADSTART = 0 である（ADC が有効であり、変換中でない）ときだけ、ADC_CALFACT を書き込むことによって較正係数を更新できます。

ビット 30 **ADCALDIF**：較正の差動モード

このビットは、較正のシングルエンド入力または差動入力モードを設定するために、ソフトウェアによってセット／クリアされます。

0：ADCAL を書き込むと、シングルエンド入力モードで較正が起動されます。

1：ADCAL を書き込むと、差動入力モードで較正が起動されます。

注： ソフトウェアは、ADC が無効で較正されていないときだけ（ADCAL = 0、JADSTART = 0、JADSTP = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）、このビットを書き込むことができます。

ビット 29 **DEEPPWD**：ディープパワーダウンイネーブル

このビットは、ADC をディープパワーダウンモードにするために、ソフトウェアによってセット／クリアされます。

0：ADC のディープパワーダウンモードは無効です。

1：ADC のディープパワーダウンモードは有効です（デフォルトのリセット状態）。

注： ソフトウェアは、ADC が無効なときだけ（ADCAL = 0、JADSTART = 0、JADSTP = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）、このビットを書き込むことができます。

ビット 28 **ADVREGEN**：ADC 電圧レギュレータイネーブル

これらのビットは、ADC 電圧レギュレータを有効にするために、ソフトウェアによってセットされます。較正の起動や ADC の有効化などの操作を実行する前に、まずは ADC 電圧レギュレータを有効にし、ソフトウェアはレギュレータの起動時間まで待つ必要があります。

0：ADC 電圧レギュレータは無効です。

1：ADC 電圧レギュレータは有効です。

ADC 電圧レギュレータの有効化および無効化シーケンスの詳細については、セクション 16.4.6：ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）を参照してください。

ソフトウェアは、ADC が無効のときのみ（ADCAL = *0*、JADSTART = *0*、ADSTART = *0*、ADSTP = *0*、ADDIS = *0*、および ADEN = *0*）、このビットフィールドをプログラムできます。

ビット 27:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **JADSTP**：ADC インジェクト変換停止コマンド

このビットは、実行中のインジェクト変換を停止および破棄するためにソフトウェアによってセットされます（JADSTP コマンド）。

変換が効果的に破棄され、ADC インジェクトシーケンスとトリガを再設定できる場合に、ハードウェアによってクリアされます。これで、ADC は新しいインジェクト変換の開始（JADSTART コマンド）を受け入れる準備ができます。

0：ADC インジェクト変換停止コマンドは実行中ではありません。

1：実行中の ADC インジェクト変換を停止するには、1 を書き込みます。1 として読み出されたときには、ADSTP コマンドが実行中であることを意味します。

注： ソフトウェアは、JADSTART = 1 かつ ADDIS = 0 である（ADC が有効であり、最終的にインジェクト変換が変換され、ADC を無効にする保留中のリクエストがない）ときだけ、JADSTP をセットできます。

自動インジェクションモード（JAUTO = 1）では、ADSTP ビットをセットすると、レギュラ変換とインジェクト変換の両方がアボートされます（JADSTP は使用しないでください）。

ビット 4 **ADSTP**：ADC レギュラ変換停止コマンド

このビットは、実行中のレギュラ変換を停止および破棄するためにソフトウェアによってセットされます（ADSTP コマンド）。

変換が効果的に破棄され、ADC レギュラシーケンスとトリガを再設定できる場合に、ハードウェアによってクリアされます。これで、ADC は新しいレギュラ変換の開始（ADSTART コマンド）を受け入れる準備ができます。

0：ADC レギュラ変換停止コマンドは実行中ではありません。

1：実行中の ADC レギュラ変換を停止するには、1 を書き込みます。1 として読み出されたときには、ADSTP コマンドが実行中であることを意味します。

注： ソフトウェアは、ADSTART = 1 かつ ADDIS = 0 である（ADC が有効であり、最終的にレギュラ変換が変換され、ADC を無効にする保留中のリクエストがない）ときだけ、ADSTP をセットできます。

自動インジェクションモード（JAUTO = 1）では、ADSTP ビットをセットすると、レギュラ変換とインジェクト変換の両方がアボートされます（JADSTP は使用しないでください）。

ビット 3 **JADSTART**：ADC インジェクト変換開始

このビットは、インジェクトチャネルの ADC 変換を開始するためにソフトウェアによってセットされます。設定ビット JEXTEN[1:0] に応じて、変換はただちに開始されるか（ソフトウェアトリガ設定）またはインジェクトハードウェアトリガイベントが発生（ハードウェアトリガ設定）したときに開始されます。

次のときに、ハードウェアによってクリアされます。

– シングル変換モードでは、ソフトウェアトリガが選択されたとき（JEXTSEL = *0*x0）：インジェクト変換シーケンス終了（JEOS）フラグのアサート時。

– すべての場合：JADSTP コマンドの実行後、JADSTP ビットがハードウェアによってクリアされると同時に。

0：ADC インジェクト変換は実行中ではありません。

1：インジェクト変換を開始するには、1 を書き込みます。1 として読み出されたときには、ADC が動作中であり、最終的にインジェクトチャネルが変換されることを意味します。

注： ソフトウェアは、ADEN = 1 かつ ADDIS = 0 である（ADC が有効であり、ADC を無効にする保留中のリクエストがない）ときだけ、JADSTART をセットできます。

自動インジェクションモード（JAUTO = 1）では、ADSTART ビットのセットによってレギュラおよび自動インジェクト変換を開始します（JADSTART はクリアされたままでなければなりません）。

ビット 2 **ADSTART**：ADC レギュラ変換開始

このビットは、レギュラチャネルの ADC 変換を開始するためにソフトウェアによってセットされます。設定ビット EXTEN[1:0] に応じて、変換はただちに開始されるか（ソフトウェアトリガ設定）またはレギュラハードウェアトリガイベントが発生（ハードウェアトリガ設定）したときに開始されます。

次のときに、ハードウェアによってクリアされます。

– シングル変換モードでは、ソフトウェアトリガが選択されたとき（EXTSEL = *0*x0）：レギュラ変換シーケンス終了（EOS）フラグのアサート時。

– すべての場合：ADSTP コマンドの実行後、ADSTP ビットがハードウェアによってクリアされると同時に。

0：ADC レギュラ変換は実行中ではありません。

1：レギュラ変換を開始するには、1 を書き込みます。1 として読み出されたときには、ADC が動作中であり、最終的にレギュラチャネルが変換されることを意味します。

注： ソフトウェアは、ADEN = 1 かつ ADDIS = 0 である（ADC が有効であり、ADC を無効にする保留中のリクエストがない）ときだけ、ADSTART をセットできます

自動インジェクションモード（JAUTO = 1）では、ADSTART ビットのセットによってレギュラおよび自動インジェクト変換を開始します（JADSTART はクリアされたままでなければなりません）。

ビット 1 **ADDIS**：ADC 無効化コマンド

このビットは、ADC を無効にして（ADDIS コマンド）、パワーダウン状態（OFF 状態）にするためにソフトウェアによってセットされます。

ADC が効果的に無効化されると、ハードウェアによってクリアされます（ADEN もこの時点でハードウェアによってクリアされます）。

0：ADDIS コマンドは実行中ではありません。

1：ADC を無効にするには、1 を書き込みます。1 として読み出されたときには、ADDIS コマンドが実行中であることを意味します。

注： ソフトウェアは、ADEN = 1 で ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、ADDIS をセットできます。

ビット 0 **ADEN**：ADC イネーブル制御

このビットは、ADC を有効にするために、ソフトウェアによってセットされます。フラグ ADRDY がセットされると、ADC は動作する準備ができています。

ADDIS コマンドの実行後、ADC が無効になるとハードウェアによってクリアされます。

0：ADC は無効です（OFF 状態）。

1：ADC を有効にするには、1 を書き込みます。

注： ソフトウェアは、1 にセットする必要がある ADVREGEN ビットを除き、ADC_CR レジスタのすべてのビットが 0 のとき（ADCAL = 0、JADSTART = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）だけ、ADEN をセットできます（また、ソフトウェアは、電圧レギュレータの起動時間まで待っていなければなりません）。

16.7.4 ADC 設定レジスタ（ADC_CFGR）

アドレスオフセット：0x0C

リセット値：0x8000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
JQDIS	AWD1CH [4:0]					JAUTO	JAWD1 EN	AWD1 EN	AWD1S GL	JQM	JDISCE N	DISCNUM[2:0]			DISC EN
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	AUT DLY	CONT	OVR MOD	EXTEN[1:0]		EXTSEL 3	EXTSEL 2	EXTSEL 1	EXTSEL 0	ALIGN	RES[1:0]		Res.	DMA CFG	DMA EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 31 **JQDIS**：インジェクトキューディセーブル

これらのビットは、インジェクトキューメカニズムを無効にするために、ソフトウェアによってセット／クリアされます。

0：インジェクトキューは有効です。

1：インジェクトキューは無効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（レギュラ変換とインジェクト変換がどちらも実行中でない）ときのみ、このビットに書き込むことができます。

JQDIS ビットをセットまたはリセットすることで、インジェクトキューはFlashされ、JSQR レジスタはクリアされます。

ビット 30:26 **AWD1CH[4:0]**：アナログウォッチドッグ 1 チャネル選択

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグによって保護される入力チャネルを選択します。

00000：AWD1 によって監視されている ADC アナログ入力チャネル 0

00001：AWD1 によって監視されている ADC アナログ入力チャネル 1

.....

10010：AWD1 によって監視されている ADC アナログ入力チャネル 18

その他。予約済み。使用できません。

注： 一部のチャネルは物理的に接続されていません。対応する AWD1CH[4:0] 設定をリセット値に保持してください。

AWD1CH で選択したチャネルは、SQRi または JSQRi レジスタでも選択する必要があります。

ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 25 **JAUTO**：自動インジェクトグループ変換

このビットは、レギュラグループ変換の後、自動インジェクトグループ変換を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：自動インジェクトグループ変換は無効です。

1：自動インジェクトグループ変換は有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（レギュラ変換とインジェクト変換がどちらも実行中でない）ときのみ、このビットに書き込むことができます。

ビット 24 **JAWD1EN**：アナログウォッチドッグ 1 有効（インジェクトチャネル）

このビットは、ソフトウェアによってセット／クリアされます。

0：インジェクトチャネルのアナログウォッチドッグ 1 は無効です。

1：インジェクトチャネルのアナログウォッチドッグ 1 は有効です。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 23 **AWD1EN**：アナログウォッチドッグ 1 有効（レギュラチャネル）

このビットは、ソフトウェアによってセット／クリアされます。

0：レギュラチャネルのアナログウォッチドッグ 1 は無効です。

1：レギュラチャネルのアナログウォッチドッグ 1 は有効です。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 22 **AWD1SGL**：ウォッチドッグ 1 を単一チャネルまたはすべてのチャネルで有効にします。

このビットは、AWD1CH[4:0] ビットによって指定されたチャネルまたはすべてのチャネルに対するアナログウォッチドッグを有効にするために、ソフトウェアによってセット／クリアされます。

0：すべてのチャネルでアナログウォッチドッグ 1 は有効です。

1：単一チャネルでアナログウォッチドッグ 1 は有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 21 **JQM**：JSQR キューモード

このビットは、ソフトウェアによってセット／クリアされます。

空のキューの管理方法について定義します。

0：JSQR モード 0：キューは空にならず、JSQR に最後に書き込んだ設定を保持します。

1：JSQR モード 1：キューは空である場合もありますが、このとき、インジェクトシーケンスのソフトウェア／ハードウェアトリガは、最後の有効なインジェクトシーケンスの完了後、すぐに両方とも内部的に無効化されます。

詳細については、セクション 16.4.21：インジェクト変換のコンテキストのキューを参照してください。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 20 **JDISCEN**：インジェクトチャネルの不連続モード

このビットは、グループのインジェクトチャネルに対する不連続モードを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：インジェクトチャネルの不連続モードは無効です。

1：インジェクトチャネルの不連続モードは有効です。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、このビットに書き込むことができます。

自動インジェクトモードと不連続モードの両方を同時に使用することはできません。JAUTO のセット時には、ビット DISCEN と JDISCEN はクリアされたままでなければなりません。

ビット 19:17 **DISCNUM[2:0]**：不連続モードチャネルカウント

これらのビットは、外部トリガの受信後に、不連続モードで変換されるレギュラチャネルの数を定義するために、ソフトウェアによって書き込まれます。

000：1 チャネル

001：2 チャネル

.....

111：8 チャネル

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 16 **DISCEN**：レギュラチャネルの不連続モード

このビットは、レギュラチャネルの不連続モードを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：レギュラチャネルの不連続モードは無効です。

1：レギュラチャネルの不連続モードは有効です。

注： 不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方をセットすることは禁じられています。

自動インジェクトモードと不連続モードの両方を同時に使用することはできません。JAUTO のセット時には、ビット DISCEN と JDISCEN はクリアされたままでなければなりません。

ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **AUTDLY**：遅延変換モード

このビットは、自動遅延変換モードを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：自動遅延変換モードはオフです。

1：自動遅延変換モードはオンです。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 13 **CONT**：レギュラ変換のシングル／連続変換モード

このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされた場合、それがクリアされるまで連続的にレギュラ変換が行われます。

0：シングル変換モード

1：連続変換モード

注： 不連続モードと連続モードの両方を有効にすることはできません。DISCEN = 1 と CONT = 1 の両方をセットすることは禁じられています。

ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 12 **OVRMOD**：オーバーランモード

このビットは、ソフトウェアによってセット／クリアされ、データオーバーランを管理する方法を設定します。

0：オーバーランが検出されたとき、ADC_DR レジスタの古いデータが保存されます。

1：オーバーランが検出されたとき、ADC_DR レジスタは最後の変換結果で上書きされます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 11:10 **EXTEN[1:0]**：レギュラチャネルの外部トリガ有効および極性選択

これらのビットは、外部トリガ極性を選択しレギュラグループのトリガを有効にするために、ソフトウェアによってセット／クリアされます。

00：ハードウェアトリガ検出は無効です（変換はソフトウェアによって起動できます）。

01：立ち上がりエッジでハードウェアトリガを検出します。

10：立ち下がりエッジでハードウェアトリガを検出します。

11：立ち上がりエッジと立ち下がりエッジの両方でハードウェアトリガを検出します。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 9:6 **EXTSEL[3:0]**：レギュラグループの外部トリガ選択

これらのビットは、レギュラグループの変換の開始をトリガするために使用される外部イベントを選択します。

0000：イベント 0
0001：イベント 1
0010：イベント 2
0011：イベント 3
0100：イベント 4
0101：イベント 5
0110：イベント 6
0111：イベント 7
.....
1111：イベント 15

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 5 **ALIGN**：データの配置

このビットは、右詰めまたは左詰めを選択するために、ソフトウェアによってセット／クリアされます。セクション ：データレジスタ、データの配置およびデータオフセット（ADC_DR、OFFSETy、OFFSETy_CH、ALIGN）を参照してください。

0：右詰め
1：左詰め

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 4:3 **RES[1:0]**：データ分解能

これらのビットは、変換の分解能を選択するために、ソフトウェアによって書き込まれます。

00：12 ビット
01：10 ビット
10：8 ビット
11：6 ビット

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **DMACFG**：ダイレクトメモリアクセス設定

このビットは、2 つの DMA 動作モードを選択するためにソフトウェアによってセット／クリアされ、DMAEN = *1* のときのみ有効です。

0：DMA ワンショットモードが選択されています。
1：DMA サーキュラモードが選択されています。

詳細については、セクション ：DMA を使用した変換の管理を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 0 **DMAEN**：ダイレクトメモリアクセス有効

このビットは、DMA リクエストの生成を有効にするために、ソフトウェアによってセット／クリアされます。これにより、DMA を使用して変換データを自動的に管理できます。詳細については、セクション ：DMA を使用した変換の管理を参照してください。

0：DMA は無効です。
1：DMA は有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

16.7.5 ADC 設定レジスタ 2（ADC_CFGR2）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	ROVSM	TROVS	OVSS[3:0]				OVSR[2:0]			JOVSE	ROVSE
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **ROVSM**：レギュラオーバーサンプリングモード

このビットは、レギュラオーバーサンプリングモードを選択するために、ソフトウェアによってセット／クリアされます。

0：連続モード：インジェクト変換がトリガされると、オーバーサンプリングが一時的に停止され、インジェクションシーケンス後に続行されます（オーバーサンプリングバッファはインジェクションシーケンス中、維持されます）。

1：再開モード：インジェクト変換がトリガされると、現在のオーバーサンプリングが中止され、インジェクションシーケンス後に最初から再開されます（オーバーサンプリングバッファはインジェクションシーケンス開始によって 0 になります）。

注： ソフトウェアは、ADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 9 **TROVS**：トリガレギュラオーバーサンプリング

このビットは、トリガオーバーサンプリングを有効にするために、ソフトウェアによってセット／クリアされます。

0：チャネルのオーバーサンプリング変換はすべて、トリガ後に連続的に行われます。

1：チャネルのオーバーサンプリング変換ごとに新しいトリガが必要です。

注： ソフトウェアは、ADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 8:5 **OVSS[3:0]**：オーバーサンプリングシフト

このビットフィールドは、そのままのオーバーサンプリング結果に適用する右シフトを定義するために、ソフトウェアによってセット／クリアされます。

0000：シフトなし
0001：1 ビットシフト
0010：2 ビットシフト
0011：3 ビットシフト
0100：4 ビットシフト
0101：5 ビットシフト
0110：6 ビットシフト
0111：7 ビットシフト
1000：8 ビットシフト
その他のコードは予約済み

注： ソフトウェアは、ADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 4:2 **OVSR[2:0]**：オーバーサンプリング比

このビットフィールドは、オーバーサンプリング比を定義するために、ソフトウェアによってセット／クリアされます。

000：2x

001：4x

010：8x

011：16x

100：32x

101：64x

110：128x

111：256x

注： ソフトウェアは、ADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 1 **JOVSE**：インジェクトオーバーサンプリング有効化

このビットは、インジェクトオーバーサンプリングを有効にするために、ソフトウェアによってセット／クリアされます。

0：インジェクトオーバーサンプリングは無効です。

1：インジェクトオーバーサンプリングは有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 0 **ROVSE**：レギュラオーバーサンプリング有効化

このビットは、レギュラオーバーサンプリングを有効にするために、ソフトウェアによってセット／クリアされます。

0：レギュラオーバーサンプリングは無効です。

1：レギュラオーバーサンプリングは有効です。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

16.7.6 ADC サンプル時間レジスタ 1（ADC_SMPR1）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	SMP9 [2:0]			SMP8 [2:0]			SMP7 [2:0]			SMP6 [2:0]			SMP5 [2:1]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP5[0]	SMP4 [2:0]			SMP3 [2:0]			SMP2 [2:0]			SMP1 [2:0]			SMP0 [2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29:0 **SMPx[2:0]：**チャネル x サンプリング時間選択（x = 9〜0）

これらのビットは、各チャネルのサンプリング時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプルサイクル中は、チャネル選択ビットを変更することはできません。

000：2.5 ADC クロックサイクル
001：6.5 ADC クロックサイクル
010：12.5 ADC クロックサイクル
011：24.5 ADC クロックサイクル
100：47.5 ADC クロックサイクル
101：92.5 ADC クロックサイクル
110：247.5 ADC クロックサイクル
111：640.5 ADC クロックサイクル

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

一部のチャネルは物理的に接続されていません。対応する SMPx[2:0] 設定をリセット値に保持してください。

16.7.7 ADC サンプル時間レジスタ 2（ADC_SMPR2）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	SMP18 [2:0]			SMP17 [2:0]			SMP16 [2:0]			SMP15 [2:1]	
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMP15[0]	SMP14 [2:0]			SMP13 [2:0]			SMP12 [2:0]			SMP11 [2:0]			SMP10 [2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26:0 **SMPx[2:0]**：チャネル x サンプリング時間選択（x = 18～10）

これらのビットは、各チャネルのサンプリング時間を個別に選択するために、ソフトウェアによって書き込まれます。サンプリングサイクル中は、チャネル選択ビットを変更することはできません。

000：2.5 ADC クロックサイクル
001：6.5 ADC クロックサイクル
010：12.5 ADC クロックサイクル
011：24.5 ADC クロックサイクル
100：47.5 ADC クロックサイクル
101：92.5 ADC クロックサイクル
110：247.5 ADC クロックサイクル
111：640.5 ADC クロックサイクル

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

一部のチャネルは物理的に接続されていません。対応する SMPx[2:0] 設定をリセット値に保持してください。

16.7.8 ADC ウォッチドッグ閾値レジスタ 1（ADC_TR1）

アドレスオフセット：0x20

リセット値：0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT1 [11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT1 [11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **HT1[11:0]**：アナログウォッチドッグ 1 高閾値

これらのビットは、アナログウォッチドッグ 1 の高閾値を定義するために、ソフトウェアによって書き込まれます。

セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **LT1[11:0]**：アナログウォッチドッグ 1 低閾値

これらのビットは、アナログウォッチドッグ 1 の低閾値を定義するために、ソフトウェアによって書き込まれます。

セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

16.7.9 ADC ウォッチドッグ閾値レジスタ 2（ADC_TR2）

アドレスオフセット：0x24

リセット値：0x00FF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HT2 [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LT2 [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **HT2[7:0]**：アナログウォッチドッグ 2 高閾値

これらのビットは、アナログウォッチドッグ 2 の高閾値を定義するために、ソフトウェアによって書き込まれます。

セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **LT2[7:0]**：アナログウォッチドッグ 2 低閾値

これらのビットは、アナログウォッチドッグ 2 の低閾値を定義するために、ソフトウェアによって書き込まれます。

セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

16.7.10 ADC ウォッチドッグ閾値レジスタ 3（ADC_TR3）

アドレスオフセット：0x28

リセット値：0x00FF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HT3 [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LT3 [7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:16 **HT3[7:0]**：アナログウォッチドッグ 3 高閾値

これらのビットは、アナログウォッチドッグ 3 の高閾値を定義するために、ソフトウェアによって書き込まれます。

セクション 16.4.28：アナログウィンドウウォッチドッグ（AWD1EN、JAWD1EN、AWD1SGL、AWD1CH、AWD2CH、AWD3CH、AWD_HTx、AWD_LTx、AWDx）を参照してください。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **LT3[7:0]**：アナログウォッチドッグ 3 低閾値

これらのビットは、アナログウォッチドッグ 3 の低閾値を定義するために、ソフトウェアによって書き込まれます。

このウォッチドッグでは、LT3 の 8 ビットを変換データの 最上位の8ビットと比較します。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

16.7.11 ADC レギュラシーケンスレジスタ 1（ADC_SQR1）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SQ4 [4:0]					Res.	SQ3 [4:0]					Res.	SQ2[4]
			rw	rw	rw	rw	rw		rw	rw	rw	rw	rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ2 [3:0]				Res.	SQ1 [4:0]					Res.	Res.	L[3:0]			
rw	rw	rw	rw		rw	rw	rw	rw	rw			rw	rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **SQ4[4:0]**：レギュラシーケンスの 4 番目の変換

これらのビットには、レギュラ変換シーケンス内の 4 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:18 **SQ3[4:0]**：レギュラシーケンスの 3 番目の変換

これらのビットには、レギュラ変換シーケンス内の 3 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16:12 **SQ2[4:0]**：レギュラシーケンスの 2 番目の変換

これらのビットには、レギュラ変換シーケンス内の 2 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:6 **SQ1[4:0]**：レギュラシーケンスの 1 番目の変換

これらのビットには、レギュラ変換シーケンス内の 1 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 5:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **L[3:0]**：レギュラチャネルシーケンス長

これらのビットは、レギュラチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

0000：1 変換
0001：2 変換
.....
1111：16 変換

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

注： 一部のチャネルは物理的に接続されていないため、変換用に選択してはなりません。

16.7.12 ADC レギュラシーケンスレジスタ 2（ADC_SQR2）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SQ9 [4:0]					Res.	SQ8 [4:0]					Res.	SQ7[4]
			rw	rw	rw	rw	rw		rw	rw	rw	rw	rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ7 [3:0]				Res.	SQ6 [4:0]					Res.	SQ5 [4:0]				
rw	rw	rw	rw		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **SQ9[4:0]**：レギュラシーケンスの 9 番目の変換

これらのビットには、レギュラ変換シーケンス内の 9 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:18 **SQ8[4:0]**：レギュラシーケンスの 8 番目の変換

これらのビットには、レギュラ変換シーケンス内の 8 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16:12 **SQ7[4:0]**：レギュラシーケンスの 7 番目の変換

これらのビットには、レギュラ変換シーケンス内の 7 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:6 **SQ6[4:0]**：レギュラシーケンスの 6 番目の変換

これらのビットには、レギュラ変換シーケンス内の 6 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **SQ5[4:0]**：レギュラシーケンスの 5 番目の変換

これらのビットには、レギュラ変換シーケンス内の 5 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

注： 一部のチャネルは物理的に接続されていないため、変換用に選択してはなりません。

16.7.13 ADC レギュラシーケンスレジスタ 3（ADC_SQR3）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SQ14 [4:0]					Res.	SQ13 [4:0]					Res.	SQ12[4]
			rw	rw	rw	rw	rw		rw	rw	rw	rw	rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ12 [3:0]				Res.	SQ11 [4:0]					Res.	SQ10 [4:0]				
rw	rw	rw	rw		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **SQ14[4:0]**：レギュラシーケンスの 14 番目の変換

これらのビットには、レギュラ変換シーケンス内の 14 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:18 **SQ13[4:0]**：レギュラシーケンスの 13 番目の変換

これらのビットには、レギュラ変換シーケンス内の 13 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16:12 **SQ12[4:0]**：レギュラシーケンスの 12 番目の変換

これらのビットには、レギュラ変換シーケンス内の 12 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:6 **SQ11[4:0]**：レギュラシーケンスの 11 番目の変換

これらのビットには、レギュラ変換シーケンス内の 11 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **SQ10[4:0]**：レギュラシーケンスの 10 番目の変換

これらのビットには、レギュラ変換シーケンス内の 10 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

注： 一部のチャネルは物理的に接続されていないため、変換用に選択してはなりません。

16.7.14 ADC レギュラシーケンスレジスタ 4（ADC_SQR4）

アドレスオフセット：0x3C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	SQ16 [4:0]					Res.	SQ15 [4:0]				
					rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:6 **SQ16[4:0]**：レギュラシーケンスの 16 番目の変換

これらのビットには、レギュラ変換シーケンス内の 16 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **SQ15[4:0]**：レギュラシーケンスの 15 番目の変換

これらのビットには、レギュラ変換シーケンス内の 15 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 である（レギュラ変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

注： 一部のチャネルは物理的に接続されていないため、変換用に選択してはなりません。

16.7.15 ADC レギュラデータレジスタ（ADC_DR）

アドレスオフセット：0x40

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **RDATA[15:0]**：変換されたレギュラデータ

これらのビットは読出し専用です。これらは、最後の変換されたレギュラチャネルの変換結果を含んでいます。セクション 16.4.26：データ管理に示すように、データは左詰めまたは右詰めされています。

16.7.16 ADC インジェクトシーケンスレジスタ（ADC_JSQR）

アドレスオフセット：0x4C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	JSQ4 [4:0]					Res.	JSQ3 [4:0]					Res.	JSQ2 [4:2]		
	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ2 [1:0]		Res.	JSQ1 [4:0]					JEXTEN[1:0]		JEXTSEL[3:0]				JL[1:0]	
rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:26 **JSQ4[4:0]**：インジェクトシーケンスの 4 番目の変換

これらのビットには、インジェクト変換シーケンス内の 4 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24:20 **JSQ3[4:0]**：インジェクトシーケンスの 3 番目の変換

これらのビットには、インジェクト変換シーケンス内の 3 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18:14 **JSQ2[4:0]**：インジェクトシーケンスの 2 番目の変換

これらのビットには、インジェクト変換シーケンス内の 2 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **JSQ1[4:0]**：インジェクトシーケンスの 1 番目の変換

これらのビットには、インジェクト変換シーケンス内の 1 番目として割り当てられたチャネル番号（0～18）がソフトウェアによって書き込まれます。

注： ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 7:6 **JEXTEN[1:0]**：インジェクトチャネルの外部トリガ有効および極性選択

これらのビットは、外部トリガ極性を選択しインジェクトグループのトリガを有効にするために、ソフトウェアによってセット／クリアされます。

00：JQDIS = 0（キュー有効）の場合、ハードウェアおよびソフトウェアトリガ検出は無効になります。

00：JQDIS = 1（キュー無効）の場合、ハードウェアトリガ検出は無効です（変換はソフトウェアによって起動できます）。

01：立ち上がりエッジでハードウェアトリガを検出します。

10：立ち下がりエッジでハードウェアトリガを検出します。

11：立ち上がりエッジと立ち下がりエッジの両方でハードウェアトリガを検出します。

注：　ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

JQM = 1 で、コンテキストのキューが空である場合、インジェクトシーケンスのソフトウェアおよびハードウェアトリガは両方とも内部的に無効化されます（セクション 16.4.21：インジェクト変換のコンテキストのキューを参照）。

ビット 5:2 **JEXTSEL[3:0]**：インジェクトグループの外部トリガ選択

これらのビットは、インジェクトグループの変換の開始をトリガするために使用される外部イベントを選択します。

0000：イベント 0

0001：イベント 1

0010：イベント 2

0011：イベント 3

0100：イベント 4

0101：イベント 5

0110：イベント 6

0111：イベント 7

.....

1111：イベント 15

注：　ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

ビット 1:0 **JL[1:0]**：インジェクトチャネルシーケンス長

これらのビットは、インジェクトチャネル変換シーケンスの合計変換数を定義するために、ソフトウェアによって書き込まれます。

00：1 変換

01：2 変換

10：3 変換

11：4 変換

注：　ソフトウェアは、JADSTART = 0 である（インジェクト変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

注：　一部のチャネルは物理的に接続されていないため、変換用に選択してはなりません。

16.7.17 ADC オフセット y レジスタ（ADC_OFRy）

アドレスオフセット：0x60 + 0x04 * (y-1)（y = 1 から 4）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OFFSET_EN	OFFSET_CH[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw										

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	OFFSET[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **OFFSET_EN**：オフセット y イネーブル

このビットは、OFFSETy[11:0] ビットにプログラムされたオフセットを有効または無効にするために、ソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、このビットに書き込むことができます。

ビット 30:26 **OFFSET_CH[4:0]**：データオフセット y のチャネル選択

このビットは、OFFSETy[11:0] ビットにプログラムされたオフセットが適用されるチャネルを定義するために、ソフトウェアによって書き込まれます。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

一部のチャネルは物理的に接続されていないため、データオフセット y 用に選択してはなりません。

ビット 25:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **OFFSET[11:0]**：OFFSETy_CH[4:0] ビットにプログラムされたチャネルのデータオフセット y

これらのビットは、チャネル（レギュラまたはインジェクトのどちらか）を変換するときに元の変換データから引かれるオフセット y を定義するために、ソフトウェアによって書き込まれます。データオフセット y を適用するチャネルは、ビット OFFSETy_CH[4:0] ビットにプログラムする必要があります。変換結果は、ADC_DR レジスタ（レギュラ変換）または ADC_JDRyi レジスタ（インジェクト変換）から読み出すことができます。

注： ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

複数のオフセット（OFFSETy）が同じチャネルを指している場合、減算時には最小の x を持つオフセットのみが考慮されます。

例：OFFSET1_CH[4:0]=4 かつ OFFSET2_CH[4:0]=4 である場合、これはチャネル 4 を変換するときに減算される OFFSET1[11:0] です。

16.7.18 ADC インジェクトチャネル y データレジスタ（ADC_JDRy）

アドレスオフセット：0x80 + 0x04 * (y - 1)（y = 1 から 4）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **JDATA[15:0]**：インジェクトデータ

これらのビットは読出し専用です。これらのビットには、インジェクトチャネル y の変換結果が格納されます。セクション 16.4.26：データ管理に示すように、データは左詰めまたは右詰めされています。

16.7.19 ADC アナログウォッチドッグ 2 設定レジスタ（ADC_AWD2CR）

アドレスオフセット：0xA0

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2CH[18:16]		
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD2CH [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:0 **AWD2CH[18:0]**：アナログウォッチドッグ 2 チャネル選択

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグ 2 によって保護される入力チャネルを有効化して選択します。

AWD2CH[i] = 0：ADC アナログ入力チャネル i は AWD2 によって監視されません。

AWD2CH[i] = 1：ADC アナログ入力チャネル i は AWD2 によって監視されます。

AWD2CH[18:0] = 000..0 である場合、アナログウォッチドッグ 2 は無効になります。

注： **AWD2CH で選択したチャネルは、SQRi または JSQRi レジスタでも選択する必要があります。**

ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

一部のチャネルは物理的に接続されていないため、アナログウォッチドッグ用に選択してはなりません。

16.7.20 ADC アナログウォッチドッグ 3 設定レジスタ（ADC_AWD3CR）

アドレスオフセット：0xA4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3CH[18:16]		
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD3CH [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:0 **AWD3CH[18:0]**：アナログウォッチドッグ 3 チャネル選択

これらのビットは、ソフトウェアによってセット／クリアされます。アナログウォッチドッグ 3 によって保護される入力チャネルを有効化して選択します。

AWD3CH[i] = 0：ADC アナログ入力チャネル i は AWD3 によって監視されません。

AWD3CH[i] = 1：ADC アナログ入力チャネル i は AWD3 によって監視されます。

AWD3CH[18:0] = 000..0 である場合、アナログウォッチドッグ 3 は無効になります。

注： AWD3CH で選択したチャネルは、SQRi または JSQRi レジスタでも選択する必要があります。

ソフトウェアは、ADSTART = 0 かつ JADSTART = 0 である（変換が実行中でない）ときのみ、これらのビットに書き込むことができます。

一部のチャネルは物理的に接続されていないため、アナログウォッチドッグ用に選択してはなりません。

16.7.21 ADC 差動モード選択レジスタ（ADC_DIFSEL）

アドレスオフセット：0xB0

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DIFSEL[18:16]		
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIFSEL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	r

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:0 **DIFSEL[18:0]**：チャネル（18 ～ 0）の差動モード

これらのビットは、ソフトウェアによってセット／クリアされます。これにより、チャネルの設定をシングルエンドモードまたは差動モードから選択できます。

DIFSEL[i] = 0：ADC アナログ入力チャネルはシングルエンドモードで設定されます。

DIFSEL[i] = 1：ADC アナログ入力チャネル i は差動モードで設定されます。

注： シングルエンド I/O ポートまたは内部チャネルに接続されたチャネルに対応する DIFSEL ビットは、リセット値（シングルエンド入力モード）に保持されなければなりません。

ソフトウェアは、ADC が無効なときだけ（ADCAL = 0、JADSTART = 0、JADSTP = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）、これらのビットを書き込むことができます。

16.7.22 ADC 較正係数（ADC_CALFACT）

アドレスオフセット：0xB4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT_D[6:0]						
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT_S[6:0]						
									rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **CALFACT_D[6:0]**：差動モードでの較正係数

これらのビットは、ハードウェアまたはソフトウェアによって書き込まれます。

差動入力較正が完了すると、ハードウェアによって較正係数で更新されます。

ソフトウェアは、これらのビットに新しい較正係数を書き込むことができます。新しい較正係数がアナログ ADC に格納されている現在のものと異なる場合は、新しい差動較正の起動時に適用されます。

注： ソフトウェアは、ADEN = 1、ADSTART = 0、および JADSTART = 0 のときのみ（ADC が有効であり、較正中でなく、変換中でない）、これらのビットに書き込むことができます。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **CALFACT_S[6:0]**：シングルエンドモードの較正係数

これらのビットは、ハードウェアまたはソフトウェアによって書き込まれます。

シングルエンド入力較正が完了すると、ハードウェアによって較正係数で更新されます。

ソフトウェアは、これらのビットに新しい較正係数を書き込むことができます。新しい較正係数がアナログ ADC に格納されている現在のものと異なる場合は、新しいシングルエンド較正の起動時に適用されます。

注： ソフトウェアは、ADEN = 1、ADSTART = 0、および JADSTART = 0 のときのみ（ADC が有効であり、較正中でなく、変換中でない）、これらのビットに書き込むことができます。

16.8 ADC 共通レジスタ

これらのレジスタは、マスタおよびスレーブ ADC に共通の制御およびステータスレジスタを定義します。

16.8.1 ADC 共通ステータスレジスタ（ADC_CSR）

アドレスオフセット：0x300

リセット値：0x0000 0000

このレジスタにより、別の ADC のステータスビットの状態を確認することができます。ただし、これは読出し専用で、別の ADC のステータスビットをクリアすることはできません。その代わり、対応する ADC_ISR レジスタに 0 を書き込むことによって各ステータスビットをクリアする必要があります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	JQOVF_MST	AWD3_MST	AWD2_MST	AWD1_MST	JEOS_MST	JEOC_MST	OVR_MST	EOS_MST	EOC_MST	EOSMP_MST	ADRDY_MST
					r	r	r	r	r	r	r	r	r	r	r

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **JQOVF_MST**：マスタ ADC のインジェクトコンテキストキューのオーバーフローフラグ
このビットは対応する ADC_ISR レジスタの JQOVF ビットのコピーです。

ビット 9 **AWD3_MST**：マスタ ADC のアナログウォッチドッグ 3 フラグ
このビットは対応する ADC_ISR レジスタの AWD3 ビットのコピーです。

ビット 8 **AWD2_MST**：マスタ ADC のアナログウォッチドッグ 2 フラグ
このビットは対応する ADC_ISR レジスタの AWD2 ビットのコピーです。

ビット 7 **AWD1_MST**：マスタ ADC のアナログウォッチドッグ 1 フラグ
このビットは対応する ADC_ISR レジスタの AWD1 ビットのコピーです。

ビット 6 **JEOS_MST**：マスタ ADC のインジェクトシーケンスの終了フラグ
このビットは対応する ADC_ISR レジスタの JEOS ビットのコピーです。

ビット 5 **JEOC_MST**：マスタ ADC のインジェクト変換の終了フラグ
このビットは対応する ADC_ISR レジスタの JEOC ビットのコピーです。

ビット 4 **OVR_MST**：マスタ ADC のオーバーランフラグ
このビットは対応する ADC_ISR レジスタの OVR ビットのコピーです。

ビット 3 **EOS_MST**：マスタ ADC のレギュラシーケンスの終了フラグ
このビットは対応する ADC_ISR レジスタの EOS ビットのコピーです。

ビット 2 **EOC_MST**：マスタ ADC のレギュラ変換の終了フラグ
このビットは対応する ADC_ISR レジスタの EOC ビットのコピーです。

ビット 1 **EOSMP_MST**：マスタ ADC のサンプリングフェーズの終了フラグ
このビットは対応する ADC_ISR レジスタの EOSMP ビットのコピーです。

ビット 0 **ADRDY_MST**：マスタ ADC レディ
このビットは対応する ADC_ISR レジスタの ADRDY ビットのコピーです。

16.8.2 ADC 共通制御レジスタ（ADC_CCR）

アドレスオフセット：0x308

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH18SEL	CH17SEL	VREFEN	PRESC[3:0]				CKMODE[1:0]	
							rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **CH18SEL**：CH18 選択

このビットは、チャネル 18 を制御するために、ソフトウェアによってセット／クリアされます。

0：V_{BAT} チャネルは無効です。

1：V_{BAT} チャネルは有効です。

ビット 23 **CH17SEL**：CH17 選択

このビットは、チャネル 17 を制御するために、ソフトウェアによってセット／クリアされます。

0：温度センサチャネルは無効です。

1：温度センサチャネルは有効です。

ビット 22 **VREFEN**：V_{REFINT} 有効化

このビットは、V_{REFINT} チャネルを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：V_{REFINT} チャネルは無効です。

1：V_{REFINT} チャネルは有効です。

ビット 21:18 **PRESC[3:0]**：ADC プリスケーラ

これらのビットは、ADC へのクロックの周波数を選択するために、ソフトウェアによってセット／クリアされます。クロックはすべての ADC に共通です。

0000：ADC 入力クロックは分周されません。
0001：ADC 入力クロックが 2 分周されます。
0010：ADC 入力クロックが 4 分周されます。
0011：ADC 入力クロックが 6 分周されます。
0100：ADC 入力クロックが 8 分周されます。
0101：ADC 入力クロックが 10 分周されます。
0110：ADC 入力クロックが 12 分周されます。
0111：ADC 入力クロックが 16 分周されます。
1000：ADC 入力クロックが 32 分周されます。
1001：ADC 入力クロックが 64 分周されます。
1010：ADC 入力クロックが 128 分周されます。
1011：ADC 入力クロックが 256 分周されます。
その他：予約済み

注： ソフトウェアは、ADC が無効なときだけ（ADCAL = 0、JADSTART = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）、これらのビットに書き込むことができます。CKMODE[1:0] = 00 である場合のみ、ADC プリスケーラ値が適用されます。

ビット 17:16 **CKMODE[1:0]**：ADC クロックモード

これらのビットは、ADC クロックスキーム（マスタとスレーブの両方の ADC に共通）を定義するために、ソフトウェアによってセット／クリアされます。

00：CK_ADCx（x = 123）（非同期クロックモード）。製品レベルで生成されます（セクション 6：リセットおよびクロック制御（RCC）を参照）。

01：HCLK/1 （同期クロックモード）。この設定は、AHB クロックプリスケーラがセットされた場合で（RCC_CFGR レジスタの HPRE[3:0] = 0xxx）、システムクロックが 50% のデューティサイクルを持つ場合にのみ有効にする必要があります。

10：HCLK/2 （同期クロックモード）。

11：HCLK/4 （同期クロックモード）。

すべての同期クロックモードにおいて、タイマトリガから変換開始までの遅延にジッタはありません。

注： ソフトウェアは、ADC が無効なときだけ（ADCAL = 0、JADSTART = 0、ADSTART = 0、ADSTP = 0、ADDIS = 0、および ADEN = 0）、これらのビットに書き込むことができます。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

16.9 ADC レジスタマップ

表 88. ADC レジスタマップとリセット値

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**ADC_ISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JQOVF	AWD3	AWD2	AWD1	JEOS	JEOC	OVR	EOS	EOC	EOSMP	ADRDY
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x04	**ADC_IER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JQOVFIE	AWD3IE	AWD2IE	AWD1IE	JEOSIE	JEOCIE	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x08	**ADC_CR**	ADCAL	ADCALDIF	DEEPPWD	ADVREGEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JADSTP	ADSTP	JADSTART	ADSTART	ADDIS	ADEN
	リセット値	0	0	1	0																							0	0	0	0	0	0
0x0C	**ADC_CFGR**	JQDIS	AWD1CH [4:0]					JAUTO	JAWD1EN	AWD1EN	AWD1SGL	JQM	JDISCEN	DISCNUM [2:0]			DISCEN	Res.	AUTDLY	CONT	OVRMOD	EXTEN[1:0]		EXTSEL3	EXTSEL2	EXTSEL1	EXTSEL0	ALIGN	RES [1:0]		Res.	DMACFG	DMAEN
	リセット値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0			0	0
0x10	**ADC_CFGR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ROVSM	TROVS	OVSS[3:0]				OVSR [2:0]			JOVSE	ROVSE
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x14	**ADC_SMPR1**	Res.	Res.	SMP9 [2:0]			SMP8 [2:0]			SMP7 [2:0]			SMP6 [2:0]			SMP5 [2:0]			SMP4 [2:0]			SMP3 [2:0]			SMP2 [2:0]			SMP1 [2:0]			SMP0 [2:0]	
	リセット値			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**ADC_SMPR2**	Res.	Res.	Res.	Res.	Res.	SMP18 [2:0]			SMP17 [2:0]			SMP16 [2:0]			SMP15 [2:0]			SMP14 [2:0]			SMP13 [2:0]			SMP12 [2:0]			SMP11 [2:0]			SMP10 [2:0]	
	リセット値						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	予約済みです。	Res.																															
0x20	**ADC_TR1**	Res.	Res.	Res.	Res.	HT1 [11:0]												Res.	Res.	Res.	Res.	LT1 [11:0]												
	リセット値					1	1	1	1	1	1	1	1	1	1	1	1					0	0	0	0	0	0	0	0	0	0	0	0
0x24	**ADC_TR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HT2[7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LT2 [7:0]							
	リセット値									1	1	1	1	1	1	1	1									0	0	0	0	0	0	0	0
0x28	**ADC_TR3**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HT3[7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LT3 [7:0]							
	リセット値									1	1	1	1	1	1	1	1									0	0	0	0	0	0	0	0

表 88. ADC レジスタマップとリセット値 （続き）

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x2C	予約済みです。	Res.																															
0x30	**ADC_SQR1**	Res.	Res.	Res.	SQ4 [4:0]					Res.	SQ3 [4:0]					Res.	SQ2 [4:0]					Res.	SQ1 [4:0]					Res.	Res.	L[3:0]			
	リセット値				0	0	0	0	0		0	0	0	0	0		0	0	0	0	0		0	0	0	0	0			0	0	0	0
0x34	**ADC_SQR2**	Res.	Res.	Res.	SQ9 [4:0]					Res.	SQ8 [4:0]					Res.	SQ7 [4:0]					Res.	SQ6 [4:0]					Res.	SQ5 [4:0]				
	リセット値				0	0	0	0	0		0	0	0	0	0		0	0	0	0	0		0	0	0	0	0			0	0	0	0	0
0x38	**ADC_SQR3**	Res.	Res.	Res.	SQ14 [4:0]					Res.	SQ13 [4:0]					Res.	SQ12 [4:0]					Res.	SQ11 [4:0]					Res.	SQ10 [4:0]				
	リセット値				0	0	0	0	0		0	0	0	0	0		0	0	0	0	0		0	0	0	0	0			0	0	0	0	0
0x3C	**ADC_SQR4**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SQ16 [4:0]					Res.	SQ15 [4:0]				
	リセット値																						0	0	0	0	0		0	0	0	0	0
0x40	**ADC_DR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	レギュラ RDATA[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44-0x48	予約済みです。	Res.																															
0x4C	**ADC_JSQR**	Res.	JSQ4 [4:0]					Res.	JSQ3 [4:0]					Res.	JSQ2 [4:0]					Res.	JSQ1 [4:0]					JEXTEN[1:0]	JEXTSEL [3:0]				JL[1:0]		
	リセット値		0	0	0	0	0		0	0	0	0	0		0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0
0x50-0x5C	予約済みです。	Res.																															
0x60	**ADC_OFR1**	OFFSET1_EN	OFFSET1_CH[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OFFSET1 [11:0]										
	リセット値	0	0	0	0	0	0																0	0	0	0	0	0	0	0	0	0	0
0x64	**ADC_OFR2**	OFFSET2_EN	OFFSET2_CH[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OFFSET2 [11:0]										
	リセット値	0	0	0	0	0	0																0	0	0	0	0	0	0	0	0	0	0
0x68	**ADC_OFR3**	OFFSET3_EN	OFFSET3_CH[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OFFSET3 [11:0]										
	リセット値	0	0	0	0	0	0																0	0	0	0	0	0	0	0	0	0	0
0x6C	**ADC_OFR4**	OFFSET4_EN	OFFSET4_CH[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OFFSET4 [11:0]										
	リセット値	0	0	0	0	0	0																0	0	0	0	0	0	0	0	0	0	0
0x70-0x7C	予約済みです。	Res.																															
0x80	**ADC_JDR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JDATA1 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x84	**ADC_JDR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JDATA2 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x88	**ADC_JDR3**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JDATA3 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8C	**ADC_JDR4**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JDATA4 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8C-0x9C	予約済みです。	Res.																															
0xA0	**ADC_AWD2CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2CH [18:0]																		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 88. ADC レジスタマップとリセット値 （続き）

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA4	**ADC_AWD3CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3CH [18:0]																		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xA8-0xAC	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0xB0	**ADC_DIFSEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DIFSEL[18:0]																		
	リセット値														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xB4	**ADC_CALFACT**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT_D[6:0]							Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT_S[6:0]						
	リセット値										0	0	0	0	0	0	0										0	0	0	0	0	0	0

表 89. ADC レジスタマップとリセット値（マスタおよびスレーブ ADC 共通レジスタ）オフセット = 0x300

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**ADC_CSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JQOVF_MST	AWD3_MST	AWD2_MST	AWD1_MST	JEOS_MST	JEOC_MST	OVR_MST	EOS_MST	EOC_MST	EOSMP_MST	ADRDY_MST
	リセット値																						0	0	0	0	0	0	0	0	0	0	0
0x04	予約済みです。	Res.																															
0x08	**ADC_CCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH18SEL	CH17SEL	VREFEN	PRESC[3:0]				CKMODE[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値								0	0	0	0	0	0	0	0	0																

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

17 電圧基準バッファ（VREFBUF）

17.1 概要

デバイスには電圧基準バッファが搭載されており、ADC の電圧基準や、VREF+ ピンを介した外部コンポーネントの電圧基準としても使用できます。VREF+ ピンがパッケージの VDDA ピンと二重結合されている場合、電圧基準バッファは使用できず、無効にしておく必要があります（パッケージのピンの説明については、データシートを参照してください）。

17.2 VREFBUF の実装

表 90. VREFBUF の実装

機能	STM32WB55xx	STM32WB35xx
VREFBUF	X	-

17.3 VREFBUF の機能説明

内部電圧基準バッファは次の 2 つの電圧[(a)] をサポートしており、VREFBUF_CSR レジスタの VRS ビットで設定します。

- VRS = 0：V_{REF_OUT1} 約 2.048 V
- VRS = 1：V_{REF_OUT2} 約 2.5 V

内部電圧基準は ENVR および HIZ ビットの設定に応じて 4 つの個別モードに設定できます。これらのモードを以下の表に示します。

表 91. VREF バッファモード

ENVR	HIZ	VREF バッファ設定
0	0	VREFBUF バッファオフモード： – V_{REF+} ピンが V_{SSA} にプルダウン
0	1	外部電圧基準モード（デフォルト値）： – VREFBUF バッファオフ – V_{REF+} ピンは入力モード
1	0	内部電圧基準モード – VREFBUF バッファオン – V_{REF+} ピンは VREFBUF バッファ出力に接続
1	1	ホールドモード： – VREF は出力バッファなしで有効、VREF+ ピン電圧は外部コンデンサで保持 – VRR の検出は無効で、VRR ビットは最後の状態を保持

a. V_{DDA} の最小電圧は VRS の設定に依存します。製品データシートを参照してください。

VREFBUF_CSR レジスタの ENVR ビットをセットし、HIZ ビットをクリアすることで VREFBUF を有効化した後、ユーザは電圧基準出力が期待値に達したことを示す VRR ビットがセットされるまで待つ必要があります。

17.4 VREFBUF のトリミング

VREFBUF の出力電圧は ST によって工場で較正されています。VRS = 1 をセットした場合、較正データはリセット時に自動的に TRIM レジスタにロードされます。VRS = 0 をセットした場合、ソフトウェアは読出し専用のシステムメモリ領域（Flash メモリ）から TRIM レジスタへ較正データをコピーする必要があります。

また、TRIM レジスタのビットを変更することによって、出力電圧のトリミングを行うことができます。

表 92. VREFBUF のトリミングデータ

較正値名	説明	メモリアドレス
VREF_SC0	VRS = 0 の場合の VREFBUF のトリミング値	0x1FFF 75F0
VREF_SC1	VRS = 1 の場合の VREFBUF のトリミング値	0x1FFF 7530

17.5 VREFBUF レジスタ

17.5.1 VREFBUF 制御およびステータスレジスタ（VREFBUF_CSR）

アドレスオフセット：0x00

リセット値：0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR
												r	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **VRR**：電圧基準バッファ レディ

0：電圧基準バッファ出力がレディ状態ではありません。

1：電圧基準バッファ出力がリクエストされたレベルに達しました。

ビット 2 **VRS**：電圧基準スケール

このビットは、電圧基準バッファによって生成される値を選択します。

0：電圧基準が V_{REF_OUT1}（約 2.048 V）にセットされます。

1：電圧基準が V_{REF_OUT2}（約 2.5 V）にセットされます。

ビット 1 **HIZ**：ハイインピーダンスモード

このビットによって、V_{REF+} ピンを接続／切断するためのアナログスイッチを制御します。

0：V_{REF+} ピンが 電圧基準バッファ出力に内部接続されます。

1：V_{REF+} ピンをハイインピーダンスにします。

ENVR ビットの設定に応じたモード説明については、表 91：VREF バッファモードを参照してください。

ビット 0 **ENVR**：電圧基準バッファモード有効化

このビットは、電圧基準バッファモードの有効化に使用されます。

0：内部電圧基準モード無効化（外部電圧基準モード）

1：内部電圧基準モード（基準バッファ有効化またはホールドモード）有効化

17.5.2 VREFBUF 較正制御レジスタ（VREFBUF_CCR）

アドレスオフセット：0x04

リセット値：0x0000：00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
										rw	rw	rw	rw	rw	rw

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **TRIM[5:0]**：トリミングコード

VRS = 1（2.5V）の場合、これらのビットは、生産試験中に Flash メモリに格納されたトリミング値でリセットした後に自動的に初期化されます。

VRS = 0（2.048V）の場合、ソフトウェアは読出し専用のシステムメモリ領域（Flash メモリ）から TRIM[5:0] ビットフィールドへ較正データをコピーする必要があります。これらのビットに書き込むことで、内部基準電圧バッファを調整できます。

注： ユーザアプリケーションがトリミングを行う場合、トリミングコードは、000000 から 111111 まで昇順で開始する必要があります。

17.5.3 VREFBUF レジスタマップ

次の表に、VREFBUF レジスタマップとリセット値を示します。

表 93. VREFBUF レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**VREFBUF_CSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR
	リセット値																													0	0	1	0
0x04	VREFBUF_CCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
	リセット値																											x	x	x	x	x	x

レジスタ境界アドレスについては、セクション 2.2 を参照してください。

18 コンパレータ（COMP）

18.1 概要

このデバイスには、2 個の超低消費電力コンパレータの COMP1 および COMP2 が内蔵されています。

コンパレータは以下のようなさまざまな機能に使用できます。

- アナログ信号によってトリガされる低電力モードからのウェイクアップ
- アナログ信号調節
- タイマからの PWM 出力を組み合わせたサイクル-バイ-サイクルでの電流制御ループ

18.2 COMP の主な機能

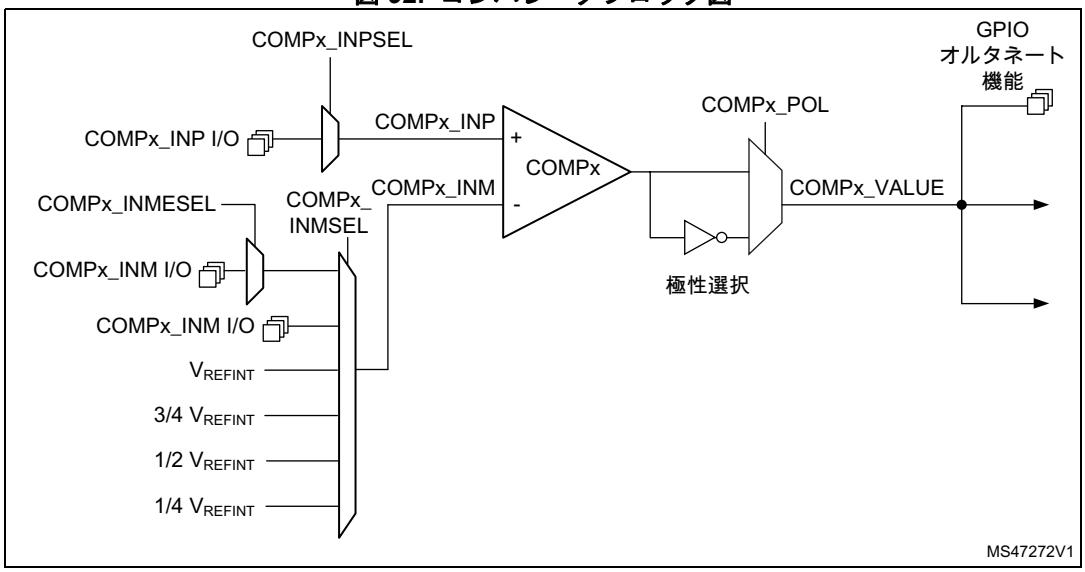
- 各コンパレータは、電圧を柔軟に選択できるように、次のような設定可能な正負入力を備えています。
  - マルチプレクス I/O ピン
  - スケーラ（バッファ付き分圧器）が提供する内部基準電圧および 3 つの約数（1/4、1/2、3/4）
- プログラム可能なヒステリシス
- プログラム可能なスピード／消費電力
- 出力先を I/O またはトリガに使用するタイマ入力に変更することができます。
  - 高速なPWM 停止のためのブレークイベント
- ブランキングソースとともにコンパレータ出力
- 2 個のコンパレータをウィンドウコンパレータで結合することができます。
- 各コンパレータは、SLEEP および STOP モードからのウェイクアップ（EXTI コントローラ経由）を備えた割込み生成機能を持っています。

18.3 COMP の機能詳細

18.3.1 COMP ブロック図

コンパレータのブロック図を 図 92に示します。

図 92. コンパレータブロック図



18.3.2 COMP ピンおよび内部信号

コンパレータ入力として使用される I/O は、GPIO レジスタのアナログモードで設定する必要があります。

コンパレータの出力は、データシートの「オルタネート機能配置」表に示されているオルタネート機能チャネルを使用して I/O に接続することができます。

出力先を、以下の目的に使用される各種タイマ入力に内部で変更することも可能です。

- BKIN および BKIN2 入力を使用した PWM 信号の緊急停止
- OCREF_CLR 入力を使用したサイクル-バイ-サイクル電流制御
- タイミング測定のためのキャプチャ入力

コンパレータの出力先を内部および外部から一斉に変更することが可能です。

表 94. COMP1 正入力の割り当て

COMP1_INP	COMP1_INPSEL
PC5（STM32WB55xx でのみ使用可能）	00
PB2	01
PA1	10

表 95. COMP1 負入力の割り当て

COMP1_INM	COMP1_INMSEL [2:0]	COMP1_INMESEL [1:0]
¼ V_{REFINT}	000	N. A.(1)
½ V_{REFINT}	001	N. A. (1)
¾ V_{REFINT}	010	N. A. (1)
V_{REFINT}	011	N. A. (1)
予約済みです。	100	N. A. (1)
予約済みです。	101	N. A. (1)
PA9	110	N. A. (1)
PC4（STM32WB55xx でのみ使用可能）	111	00
PA0	111	01
PA4	111	10
PA5	111	11

1. N. A. : 影響されません。

表 96. COMP2 正入力の割り当て

COMP2_INP	COMP2_INPSEL
PB4	00
PB6	01
PA3	10

表 97. COMP2 負入力の割り当て

COMP2_INM	COMP2_INMSEL [2:0]	COMP2_INMESEL [1:0]
¼ V_{REFINT}	000	N.A.(1)
½ V_{REFINT}	001	N.A. (1)
¾ V_{REFINT}	010	N.A. (1)
V_{REFINT}	011	N.A. (1)
予約済みです。	100	N.A. (1)
予約済みです。	101	N.A. (1)
PB3	110	N.A. (1)
PB7	111	00
PA2	111	01
PA4	111	10
PA5	111	11

1. N. A. : 影響されません。

18.3.3 COMP のリセットおよびクロック

クロックコントローラによって提供される COMP クロックは、APB2 クロックと同期しています。

RCC コントローラには、クロックイネーブル制御ビットは提供されていません。リセットおよびクロックイネーブルビットは COMP と SYSCFG に共通です。

重要：極性選択ロジックおよびポートへの出力先変更は、APB2 クロックから個別に機能します。これにより、コンパレータは STOP モードでも機能することができます。

18.3.4 コンパレータのロック機構

コンパレータは、過電流保護や熱保護などの安全上の目的で使用されます。特定の機能安全要件があるようなアプリケーションの場合、万一誤ったレジスタへのアクセスやプログラムカウンタの破壊が起こった場合に、コンパレータのプログラミングが絶対に変更されないようにすることが必要です。

このような目的で、コンパレータの制御レジスタおよびステータスレジスタを書込み保護することができます（読出し専用）。

プログラミングが完了したら、COMPx の LOCK ビットを 1 にセットすることができます。これにより、COMPx の LOCK ビットを含む レジスタ全体が読出し専用になります。

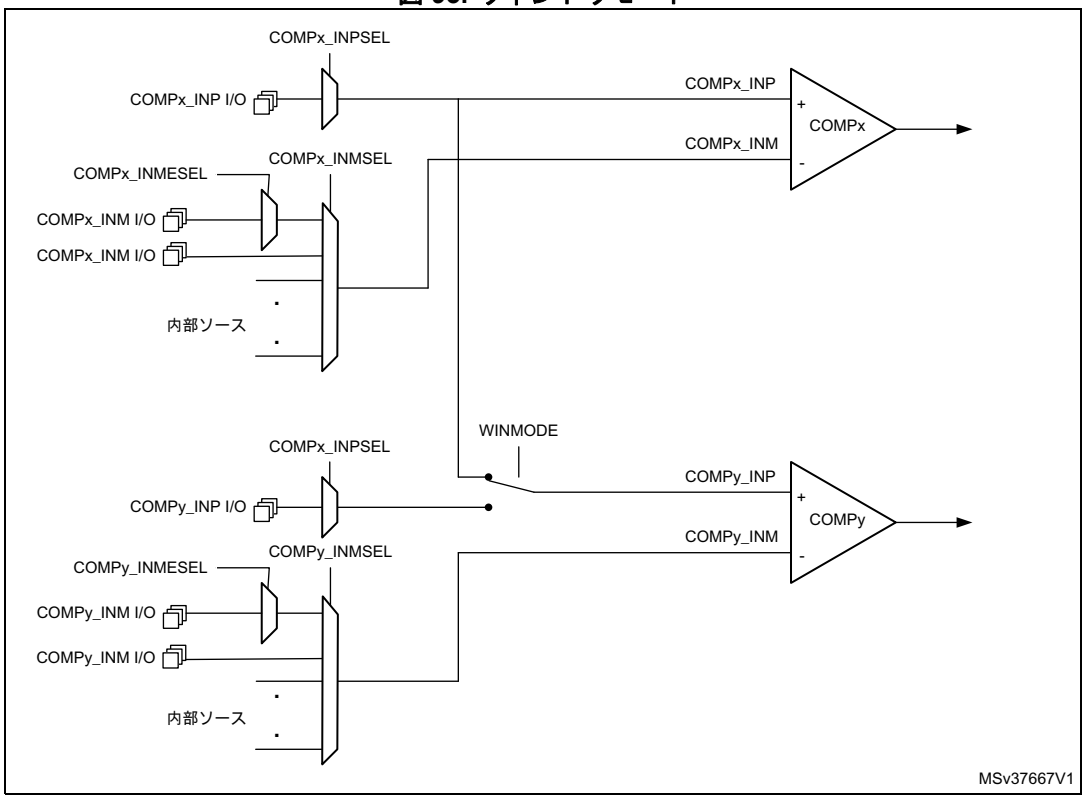
書込み保護は MCU リセットによってのみリセット可能です。

18.3.5 ウィンドウコンパレータ

ウィンドウコンパレータの目的は、アナログ電圧が下限および上限閾値によって定義された指定の電圧範囲内にあるかどうか監視することです。

2 個の内蔵コンパレータは、ウィンドウコンパレータの作成に使用されます。監視されるアナログ電圧は、ともに接続されたコンパレータの非反転（正）入力に接続され、上限および下限閾値の電圧はコンパレータの反転（負）入力に接続されます。2 個の非反転入力は、WINMODE ビットを有効化することで、内部的に一緒に接続されるので、1 つの IO を他の目的のために確保できます。

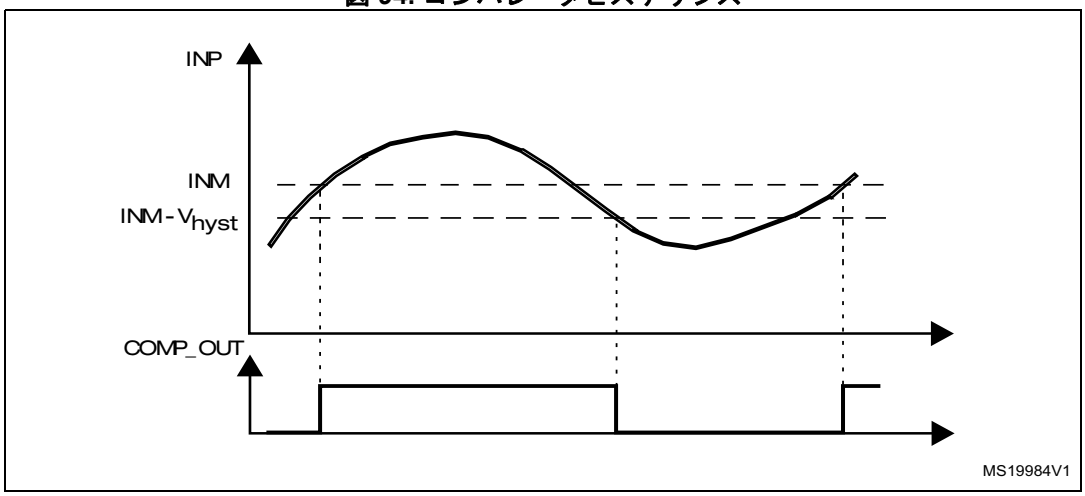
図 93. ウィンドウモード



18.3.6 ヒステリシス

コンパレータには、ノイズの多い信号での疑似出力遷移を避けるために、プログラム可能なヒステリシスが含まれています。不要な場合は、ヒステリシスを無効にすることができます（低電力モードを終了する場合など）。これにより、外部コンポーネントを使用してヒステリシス値を強制できます。

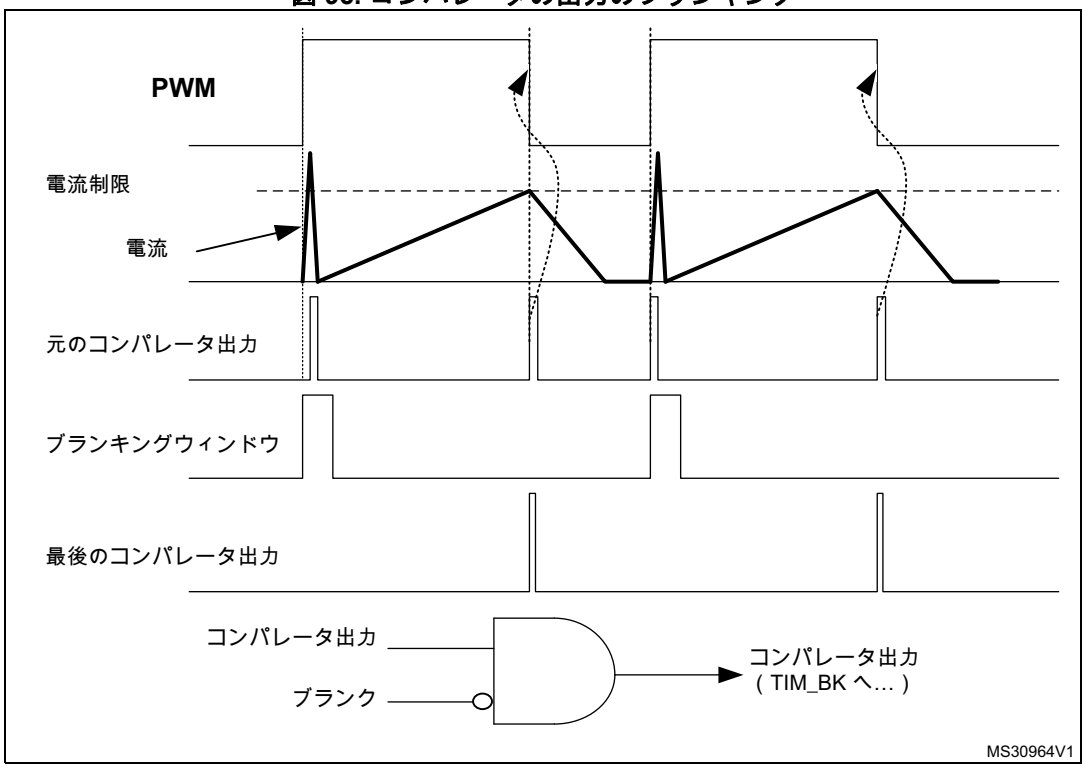
図 94. コンパレータヒステリシス



18.3.7 コンパレータの出力のブランキング機能

ブランキング機能の目的は、PWM 周期の開始時に短絡電流スパイクでトリップするために現在のレギュレーションを防ぐことです（通常は電源スイッチのアンチパラレルダイオードのリカバリ電流）。タイマ出力比較信号であるブランキングウィンドウの選択から構成されています。選択はソフトウェアで行われます（考えられるブランキング信号のコンパレータレジスタの説明を参照）。次に、必要なコンパレータの出力を供給するために、相補ブランキング信号とコンパレータの出力の論理積が取られます。次の図に示す例を参照してください。

図 95. コンパレータの出力のブランキング



18.3.8 COMP 電力とスピードモード

COMP1 および COMP2 の電力消費と伝搬遅延を調節して、特定のアプリケーションに最適なトレードオフを実現させることができます。

COMPx_CSR レジスタのビット PWRMODE[1:0] は次のようにプログラムできます：

00：ハイスピード／フル電力

01 または 10：中速／中電力

11：低速／超低電力

18.4 COMP 低電力モード

表 98. 低電力モードでのコンパレータの動作

モード	説明
SLEEP	コンパレータへの影響はありません。 コンパレータ割込みによって、デバイスは SLEEP モードから復帰します。
低電力 RUN	影響はありません。
低電力 SLEEP	影響はありません。COMP 割込みによって、デバイスは低電力 SLEEP モードから復帰します。
STOP 0	コンパレータへの影響はありません。 コンパレータ割込みによって、デバイスは STOP モードから復帰します。
STOP 1	
STOP 2	
STANDBY	COMP レジスタはパワーダウンされ、STANBY または SHUTDOWN モード終了後に再度初期化する必要があります。
SHUTDOWN	

18.5 COMP 割込み

コンパレータの出力は拡張割込み／イベントコントローラに内部的に接続されます。各コンパレータには専用の EXTI ラインがあり、割込みまたはイベントを生成することができます。低電力モードを終了するときにも同じ方法が使用されます。

詳細については、割込みおよびイベントのセクションを参照してください。

COMPx 割込みを有効にするには、次のシーケンスが必要です。

1. 割込みモードで COMPx 出力イベントに対応する EXTI ラインを設定して有効にし、立ち上がり、立ち下がり、または両方のエッジ感度を選択します。
2. 対応する EXTI ラインにマップされた NVIC IRQ チャネルを設定し、有効にします。
3. COMPx を有効にします。

表 99. 割込み制御ビット

割込みイベント	イベントフラグ	有効制御ビット	SLEEP モードの終了	STOP モードの終了	STANDBY モードの終了
COMP1 出力	COMP1_CSR の VALUE	EXTI 経由	可能	はい	N/A
COMP2 出力	COMP2_CSR の VALUE	EXTI 経由	可能	はい	N/A

18.6 COMP レジスタ

18.6.1 コンパレータ 1 制御／ステータスレジスタ（COMP1_CSR）

COMP1_CSR は、コンパレータ 1 の制御／ステータスレジスタです。このレジスタは、コンパレータ 1 に関するすべてのビット／フラグを格納しています。

アドレスオフセット：0x00

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	INMESEL[1:0]		Res.	SCAL EN	BRG EN	Res.	BLANKING[2:0]			HYST[1:0]	
rs	r				rw	rw		rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLA RITY	Res.	Res.	Res.	Res.	Res.	Res.	INP SEL[1:0]		INMSEL[2:0]			PWRMODE[1:0]		Res.	EN
rw							rw	rw	rw	rw	rw	rw	rw		rw

ビット 31 **LOCK**：COMP1_CSR レジスタロックビット

このビットは、ソフトウェアでセットされ、ハードウェアシステムリセットでクリアされます。このビットは、コンパレータ 1 制御レジスタ COMP1_CSR[31:0] の内容全体をロックします。

0：コンパレータ 1 の COMP1_CSR[31:0] ビットは読出し／書込み用です。

1：コンパレータ 1 の COMP1_CSR[31:0] ビットは読出し専用です。

ビット 30 **VALUE**：コンパレータ 1 出力ステータスビット

このビットは読出し専用です。このビットは、POLARITY ビットの影響を考慮して現在のコンパレータ 1 出力を反映します。

ビット 29:27 予約済みであり、リセット値に保持する必要があります。

ビット 26:25 **INMESEL[1:0]**：コンパレータ 1 負入力拡張選択ビット。

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、INMSEL = 111 の場合にコンパレータの負入力に接続される拡張 GPIO 入力を選択します。

00：PC4（STM32WB55xx でのみ使用可能）

01：PA0

10：PA4

11：PA5

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **SCALEN**：電圧スケーライネーブルビット

このビットは、ソフトウェアによってセット／クリアされます。このビットにより、コンパレータ 1 の負入力で使用できる V_{REFINT} 分圧器の出力を有効にします。

0：バンドギャップスケーラは無効です（COMP2_CSR レジスタの SCALEN ビットもリセットされている場合）。

1：バンドギャップスケーラは有効です。

ビット 22 **BRGEN**：スケーラブリッジ有効化

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットは、スケーラのブリッジを有効にします。

0：スケーラ抵抗ブリッジは無効です（COMP2_CSR レジスタの BRGEN ビットもリセットされている場合）。

1：スケーラレジスタブリッジは有効です。

SCALEN がセットされ、BRGEN がリセットされている場合、BG 電圧基準は使用できますが、1/4 BGAP、1/2 BGAP、3/4 BGAP は使用できません。BGAP の値が、1/4 BGAP、1/2 BGAP、3/4 BGAP の代わりに送信されます。

SCALEN および BRGEN がセットされている場合、1/4 BGAP、1/2 BGAP、3/4 BGAP、および BGAP の電圧基準が使用できます。

ビット 21 予約済みであり、リセット値に保持する必要があります。

ビット 20:18 **BLANKING[2:0]**：コンパレータ 1 ブランキングソース選択ビット

これらのビットによってコンパレータ 1 出力のブランキングを制御するタイマ出力を選択します。

000：ブランキングなし

001：TIM1 OC5 がブランキングソースとして選択されます。

010：TIM2 OC3 がブランキングソースとして選択されます。

その他の値は予約済みです。

ビット 17:16 **HYST[1:0]**：コンパレータ 1 ヒステリシス選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、コンパレータ 1 のヒステリシス電圧を選択します。

00：ヒステリシスなし

01：低ヒステリシス

10：中ヒステリシス

11：高ヒステリシス

ビット 15 **POLARITY**：コンパレータ 1 極性選択ビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットは コンパレータ 1 の極性を反転させます。

0：コンパレータ 1 の出力値は反転されません。

1：コンパレータ 1 の出力値は反転されます。

ビット 14:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:7 **INPSEL[1:0]**：コンパレータ 1 正入力選択ビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。

00：外部 I/O - PC5（STM32WB55xx でのみ使用可能）

01：PB2

10：PA2

11：予約済み

ビット 6:4 **INMSEL[2:0]**：コンパレータ 1 負入力選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、コンパレータ 1 の負入力に接続される入力を選択します。

000 = 1/4 V_{REFINT}

001 = 1/2 V_{REFINT}

010 = 3/4 V_{REFINT}

011 = V_{REFINT}

100 = 予約済み

101 = 予約済み

110 = PA9

111 = INMESEL ビットで選択された GPIOx

ビット 3:2 **PWRMODE[1:0]**：コンパレータ 1 の電力モード

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、コンパレータ 1 の電力／スピードを制御します。

00 : ハイスピード

01 または 10 : ミディアムスピード

11 : 超低電力

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EN**：コンパレータ 1 イネーブルビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットはコンパレータ 1 をスイッチオンします。

0：コンパレータ 1 はスイッチオフされています。

1：コンパレータ 1 はスイッチオンされています。

18.6.2 コンパレータ 2 制御／ステータスレジスタ（COMP2_CSR）

COMP2_CSR は、コンパレータ 2 の制御／ステータスレジスタです。このレジスタは、コンパレータ 2 に関するすべてのビット／フラグを格納しています。

アドレスオフセット：0x04

システムリセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	INMESEL[1:0]		Res.	SCAL EN	BRG EN	Res.	BLANKING[2:0]			HYST[1:0]	
rs	r				rw	rw		rw	rw		rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLA RITY	Res.	Res.	Res.	Res.	Res.	WIN MODE	INPSEL[1:0]		INMSEL[2:0]			PWRMODE[1:0]		Res.	EN
rw						rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31 **LOCK**：CSR レジスタロックビット

このビットは、ソフトウェアでセットされ、ハードウェアシステムリセットでクリアされます。このビットは、コンパレータ 2 制御レジスタ COMP2_CSR[31:0] の内容全体をロックします。

0：コンパレータ 2 の COMP2_CSR[31:0] ビットは読出し／書込み用です。

1：コンパレータ 2 の COMP2_CSR[31:0] ビットは読出し専用です。

ビット 30 **VALUE**：コンパレータ 2 出力ステータスビット

このビットは読出し専用です。このビットは、POLARITY ビットの影響を考慮して現在のコンパレータ 2 出力を反映します。

ビット 29:27 予約済みであり、リセット値に保持する必要があります。

ビット 26:25 **INMESEL[1:0]**：コンパレータ 2 負入力拡張選択ビット。

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、INMSEL = 111 の場合にコンパレータの負入力に接続される拡張 GPIO 入力を選択します。

00：PB7

01：PA2

10：PA4

11：PA5

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **SCALEN**：電圧スケーライネーブルビット

このビットは、ソフトウェアによってセット／クリアされます。このビットにより、コンパレータ 2 の負入力で使用できる V_{REFINT} 分圧器の出力を有効にします。

0：バンドギャップスケーラは無効です（COMP1_CSR レジスタの SCALEN ビットもリセットされている場合）。

1：バンドギャップスケーラは有効です。

ビット 22 **BRGEN：**スケーラブリッジ有効化

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットは、スケーラのブリッジを有効にします。

0：スケーラレジスタブリッジは無効です（COMP1_CSR レジスタの BRGEN ビットもリセットされている場合）。

1：スケーラレジスタブリッジは有効です。

SCALEN がセットされ、BRGEN がリセットされている場合、BG 電圧基準は使用できますが、1/4 BGAP、1/2 BGAP、3/4 BGAP は使用できません。BGAP の値が、1/4 BGAP、1/2 BGAP、3/4 BGAP の代わりに送信されます。

SCALEN および BRGEN がセットされている場合、1/4 BGAP、1/2 BGAP、3/4 BGAP、および BGAP の電圧基準が使用できます。

ビット 21 予約済みであり、リセット値に保持する必要があります。

ビット 20:18 **BLANKING[2:0]：**コンパレータ 2 ブランキングソース選択ビット

これらのビットによってコンパレータ 2 出力のブランキングを制御するタイマ出力を選択します。

000：ブランキングなし

001：TIM1 OC5 がブランキングソースとして選択されます。

010：TIM2 OC3 がブランキングソースとして選択されます。

その他の値は予約済みです。

ビット 17:16 **HYST[1:0]：**コンパレータ 2 ヒステリシス選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。コンパレータ 2 のヒステリシス電圧を選択します。

00：ヒステリシスなし

01：低ヒステリシス

10：中ヒステリシス

11：高ヒステリシス

ビット 15 **POLARITY：**コンパレータ 2 極性選択ビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットは コンパレータ 2 の極性を反転させます。

0：コンパレータ 2 の出力値は反転されません。

1：コンパレータ 2 の出力値は反転されます。

ビット 14:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **WINMODE**：ウィンドウモード選択ビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットは、コンパレータのウィンドウモードを選択します。セットされると、コンパレータの正入力がともに接続されます。

0：コンパレータ 2 の正入力はコンパレータ 1 に接続されていません。

1：コンパレータ 2 の正入力はコンパレータ 1 の正入力に接続されています。

ビット 8:7 **INPSEL[1:0]**：コンパレータ 2 正入力選択ビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。

00：PB4

01：PB6

10：PA3

11：予約済み

ビット 6:4 **INMSEL[2:0]**：コンパレータ 2 負入力選択ビット

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、コンパレータ 2 の負入力に接続される入力を選択します。

000 = 1/4 V_{REFINT}

001 = 1/2 V_{REFINT}

010 = 3/4 V_{REFINT}

011 = V_{REFINT}

100 = 予約済み

101 = 予約済み

110 = PB3

111 = INMESEL ビットで選択された GPIOx

ビット 3:2 **PWRMODE[1:0]**：コンパレータ 2 の電力モード

これらのビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。これらのビットは、コンパレータ 2 の電力／スピードを制御します。

00 : ハイスピード

01 または 10 : ミディアムスピード

11 : 超低電力

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EN**：コンパレータ 2 イネーブルビット

このビットは、ソフトウェアによってセット／クリアされます（LOCK がセットされていない場合のみ）。このビットはコンパレータ 2 をスイッチオンします。

0 : コンパレータ 2 はスイッチオフされています。

1 : コンパレータ 2 はスイッチオンされています。

18.6.3 COMP レジスタマップ

次の表に コンパレータ レジスタの一覧を示します。

表 100. COMP レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**COMP1_CSR**	LOCK	VALUE	Res.	Res.	Res.	INMESEL		Res.	SCALEN	BRGEN.	Res.	BLANKING			HYST		POLARITY.	Res.	Res.	Res.	Res.	Res.	Res.	INPSEL		INMSEL			PWRMODE		Res.	EN
	リセット値	0	0				0	0		0	0		0	0	0	0	0	0							0	0	0	0	0	0	0		0
0x04	**COMP2_CSR**	LOCK	VALUE	Res.	Res.	Res.	INMESEL		Res.	SCALEN	BRGEN	Res.	BLANKING			HYST		POLARITY.	Res.	Res.	Res.	Res.	Res.	WINMODE	INPSEL		INMSEL			PWRMODE		Res.	EN
	リセット値	0	0				0	0		0	0		0	0	0	0	0	0						0	0	0	0	0	0	0	0		0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

19 液晶ディスプレイコントローラ（LCD）

このセクションは STM32WB55xx デバイスにのみ適用されます。

19.1 LCD の概要

LCD コントローラは、最大 8 つのコモン端子と最大 44 のセグメント端子を持つモノクロ受動液晶ディスプレイ（LCD）のデジタルコントローラ／ドライバであり、176（44x4）または 320（40x8）LCD 画素（ピクセル）を駆動します。端子の正確な数は、データシートに示されているように、デバイスのピン数に依存します。

LCD は、可視または不可視になる複数のセグメント（ピクセルまたは完全な記号）で構成されます。各セグメントは、2 つの電極間に配置された液晶分子の層で構成されます。閾値電圧より大きな電圧が液晶の両端に印加されると、セグメントは可視になります。液晶への電気泳動効果（ディスプレイを劣化させる）を避けるには、セグメント電圧は交流である必要があります。さらに、直流（DC）の発生を避けるために、セグメントにまたがる波形を生成する必要があります。

用語

バイアス：LCD を駆動するときに使用される電圧レベルの数。
1/（LCD ディスプレイの駆動に使用される電圧レベルの数 - 1）として定義されます。

ブースト回路：コントラストコントローラ回路

コモン：複数のセグメント（44 セグメント）に接続される電気的接続端子

デューティ比：1/（対象の LCD ディスプレイのコモン端子の数）として定義される数

フレーム：セグメントに書き込まれる 1 周期分の波形

フレームレート：1 秒あたりのフレーム数（1 秒あたりに LCD セグメントが通電される回数）

LCD（Liquid Crystal Display：液晶ディスプレイ）：セグメントに直接つながる端子を持つ受動ディスプレイパネル

セグメント：最小表示要素（LCD ディスプレイ上に文字を作り出すための 1 つのバーまたはドット）

19.2 LCD の主な機能

- 柔軟性の高いフレームレート制御
- スタティック、1/2、1/3、1/4、および 1/8 のデューティをサポート
- スタティック、1/2、1/3、および 1/4 のバイアスをサポート
- 表示されるデータの整合性に影響を与えることなく、LCD_RAM レジスタ内のデータをアプリケーションファームウェアによっていつでも更新できるダブルバッファメモリ
  - ピクセル情報（アクティブ／非アクティブ）を含む最大 16 x 32 ビットレジスタの LCD データ RAM。
- V_{LCDmin} から V_{LCDmax} までソフトウェアで選択可能な LCD 出力電圧（コントラスト）
- 外部アナログコンポーネントは不要です。
  - V_{DD} より高い内部 V_{LCD} 電圧を生成するために組み込まれたステップアップコンバータ
  - 外部と内部の V_{LCD} 電圧ソースをソフトウェアで選択。外部ソースの場合、内部増幅回路は無効になり、消費電力を削減します。

  - 中間の V_{LCD} 電圧を生成するために組み込まれた抵抗ネットワーク
  - LCD　パネルに必要な容量電荷に合わせて消費電力を適合させるために、ソフトウェアによって設定できる抵抗回路網の構成
  - LCD 駆動能力を高める電圧出力バッファを搭載。
- 次の 2 つの方法で調整できるコントラスト：
  - 内部ステップアップコンバータを使用しているときには、ソフトウェアによって V_{LCD} を V_{LCDmin} と V_{LCDmax} の間で調整できます。
  - フレーム間のデッドタイムをプログラム可能（最大 8 つのフェーズ周期）
- 低消費電力モードの完全サポート：LCD コントローラは、SLEEP、LOW-POWER RUN、LOW-POWER SLEEP、および STOP モードで表示でき、または完全に無効にして消費電力を低減できます。
- 消費電力と EMI（電磁妨害）を削減するために組み込まれた位相反転
- LCD データ RAM を更新するときに、ソフトウェアを同期するためのフレーム開始割込み
- 点滅機能：
  - 最大 1、2、3、4、8、またはすべてのピクセルを設定可能な周波数で点滅するようにプログラム可能
  - 約 0.5 Hz、1 Hz、2 Hz、または 4 Hz を実現するためにソフトウェアで調整可能な点滅周波数
- 使用される LCD セグメントとコモンピンは、GPIO オルタネート機能として設定する必要があり、使用されないセグメントとコモンピンは GPIO または別のペリフェラルオルタネート機能に使用できます。

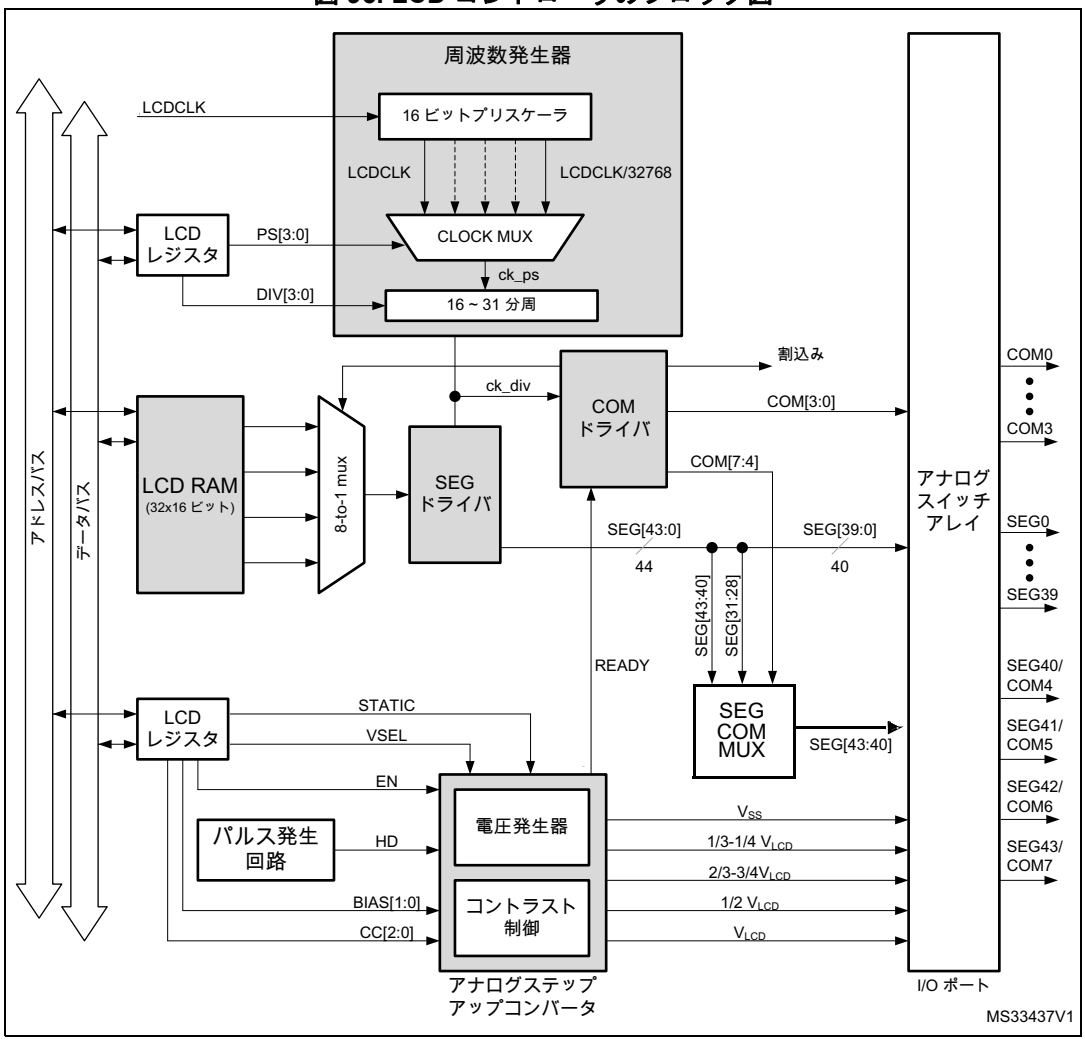
注： **LCD が内部ステップアップコンバータに依存しているときには、VLCD ピンをコンデンサ経由で V_{SS} に接続してください。その一般的な値は 1 µF です（詳細については、データシートの C_{EXT} 値を参照してください）。**

19.3 LCD の機能説明

19.3.1 概要

LCD コントローラには 5 つのメインブロックがあります（図 96 を参照）。

図 96. LCD コントローラのブロック図



注： **LCDCLK は RTCCLK と同じです。リファレンスマニュアルの RCC セクションの RTC/LCD クロックの説明を参照してください。**

周波数発生器により、32 kHz から 1 MHz までの LCD 入力クロック周波数（LCDCLK）から開始されるさまざまな LCD フレームレートを設定できます。

次の 3 つのクロックソースを使用して、LCD クロック（LCDCLK/RTCCLK）を提供できます。

- 32 kHz 低速外部 RC（LSE）
- 32 kHz 低速内部 RC（LSI）
- 32 分周の高速外部（HSE）

19.3.2 周波数発生器

このクロックソースが安定していなければ、正確な LCD タイミングを得られず、LCD セグメント間の DC 電圧オフセットを最小化できません。入力クロック LCDCLK は、1 から 2^{15}x 31 までの値で分周できます（セクション 19.6.2 を参照）。周波数発生器は、プリスケーラ（16 ビットリップルカウンタ）と 16～31 のクロック分周器で構成されます。LCD_FCR の PS[3:0] によって、$2^{PS[3:0]}$ で分周された LCDCLK が選択されます。よりきめ細かな分解能が必要な場合は、LCD_FCR の DIV[3:0] を使用して、クロックをさらに 16～31 分周できます。このように周波数を大まかに調整した後、クロックをカウンタで直線的に調整することによって微調整できます。周波数発生器ブロックの出力は f_{ck_div} であり、LCD コントローラ全体のタイムベースを構成しています。ck_div 周波数は、LCD フェーズ周波数と等しく、フレーム周波数ではありません（スタティックデューティの場合のみ等しくなります）。フレーム周波数（f_{frame}）は f_{ck_div} をアクティブなコモン端子の数で除算することによって（またはデューティの場合は乗算することによって）求められます。したがって、周波数発生器の入力クロック周波数（f_{LCDCLK}）と出力クロック周波数 f_{ck_div} の関係は、次のとおりです。

$$f_{ckdiv} = \frac{f_{LCDCLK}}{2^{PS} \times (16 + DIV)}$$

$$f_{frame} = f_{ckdiv} \times duty$$

このため、周波数発生器は柔軟性が非常に高くなっています。フレームレートの計算例を下の表に示します。

表 101. フレームレートの計算例

LCDCLK	PS[3:0]	DIV[3:0]	デューティ	デューティ	f_{frame}
32.768 kHz	3	1	136	1/8	30.12 Hz
32.768 kHz	4	1	272	1/4	30.12 Hz
32.768 kHz	4	6	352	1/3	31.03 Hz
32.768 kHz	5	1	544	1/2	30.12 Hz
32.768 kHz	6	1	1088	スタティック	30.12 Hz
32.768 kHz	1	4	40	1/8	102.40 Hz
32.768 kHz	2	4	80	1/4	102.40 Hz
32.768 kHz	2	11	108	1/3	101.14 Hz
32.768 kHz	3	4	160	1/2	102.40 Hz
32.768 kHz	4	4	320	スタティック	102.40 Hz
1.00 MHz	6	3	1216	1/8	102.80 Hz
1.00 MHz	7	3	2432	1/4	102.80 Hz
1.00 MHz	7	10	3328	1/3	100.16 Hz
1.00 MHz	8	3	4864	1/2	102.80 Hz
1.00 MHz	9	3	9728	スタティック	102.80 Hz

フレーム周波数は約 30 Hz ～ 100 Hz の範囲内で選択する必要があります。これは、消費電力と許容可能なリフレッシュレートの間の妥協点です。さらに、専用の点滅プリスケーラで点滅周波数を選択します。この周波数は、次のように定義されます。

$f_{BLINK} = f_{ck_div}/2^{(BLINKF + 3)}$、

BLINKF[2:0] = 0, 1, 2, ...,7

得られる点滅周波数は、0.5 Hz、1 Hz、2 Hz、または 4 Hz の範囲内です。

19.3.3 コモンドライバ

コモン信号は、コモンドライバブロックによって生成されます（図 96 を参照）。

COM 信号バイアス

各 COM 信号の波形は同じですが、位相は異なります。対応するフレームサイクルの位相でのみ最大信振幅 V_{LCD} または V_{SS} になりますが、他の位相での信号振幅は次のとおりです。

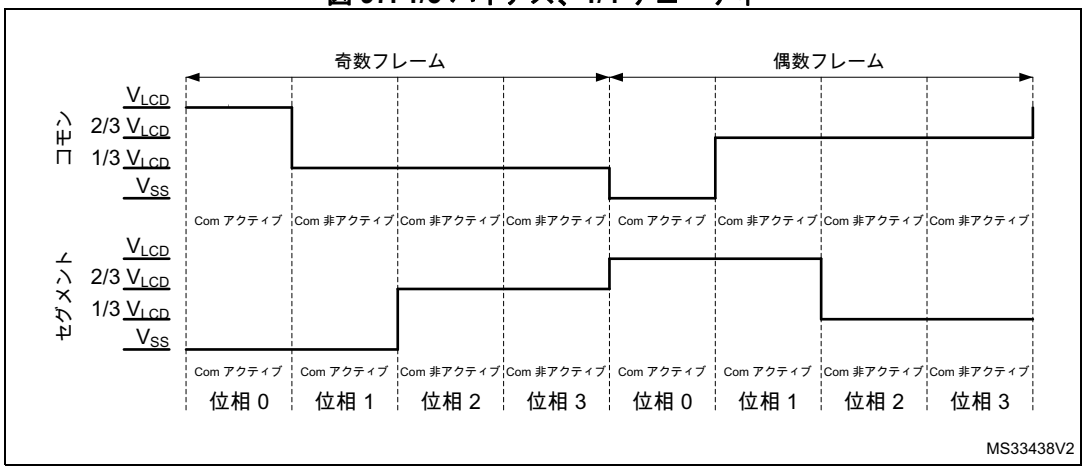
- 1/4 バイアスの場合、1/4 V_{LCD} または 3/4 V_{LCD}
- 1/3 バイアスの場合、1/3 V_{LCD} または 2/3 V_{LCD}
- 1/2 バイアスの場合、1/2 V_{LCD}

1/2、1/3、および 1/4 バイアスモードの選択は、LCD_CR の BIAS[1:0] で行うことができます。

ピクセルに対応するコモンラインとセグメントラインの両方が同じ位相内でアクティブのときに、すなわち、コモンとセグメントの電圧差がこの位相で最大になったときに、ピクセルはアクティブになります。EMI を削減するために、コモン信号は位相反転されます。

下図に示されているように、位相反転の場合、各奇数サイクルの終わりに 1/2 V_{LCD} の平均電圧になります。

図 97. 1/3 バイアス、1/4 デューティ



1/2 バイアス（BIAS = 01）の場合、VLCD ピンは、偶数および奇数フレームについて、ノード b 上で 1/2 V_{LCD} に等しい中間電圧を生成します（図 100 を参照）。

COM 信号デューティ

LCD_CR の DUTY[2:0] に応じて、COM 信号は、スタティックデューティ（図 99 を参照）、1/2 デューティ（図 100 を参照）、1/3 デューティ（図 101 を参照）、1/4 デューティ（図 102 を参照）、または 1/8 デューティ（図 103 を参照）で生成されます。

COM[*n*] *n*[0～7] は、奇数フレームの位相 *n* でアクティブなので、COM ピンは V_{LCD} に駆動されます。

偶数フレームの位相 *n* では、COM ピンは V_{SS} に駆動されます。

1/3 または 1/4 バイアスの場合、COM[*n*] は n 以外の位相では非アクティブなので、COM ピンは、奇数フレームでは 1/3（1/4）V_{LCD} に駆動され、偶数フレームでは 2/3（3/4）V_{LCD} に駆動されます。

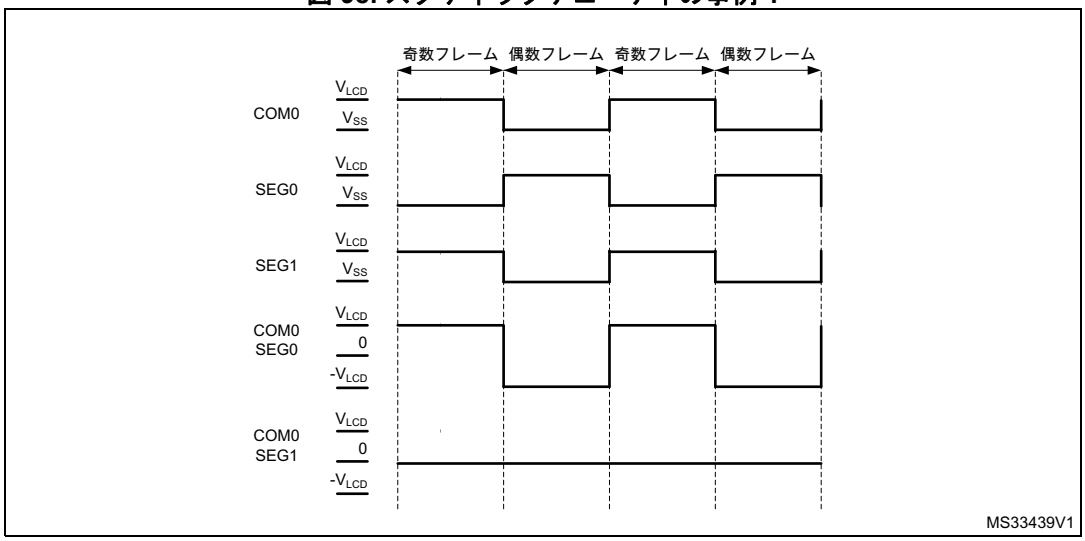
1/2 バイアスの場合、COM[*n*] が n 以外の位相で非アクティブな場合、COM ピンは常に（奇数フレームと偶数フレームで）、1/2 V_{LCD} に駆動されます。

スタティックデューティが選択されると、セグメントラインは多重化されないので、各セグメント出力は 1 ピクセルに対応します。このように、最大 44 ピクセルだけが駆動されます。COM[0] は、COM[7:1] が使用されていないときには常にアクティブであり、V_{SS} に駆動されます。

LCD_CR の LCDEN がリセットされると、すべてのコモンラインが V_{SS} にプルダウンされ、LCD_SR の ENS フラグは 0 になります。スタティックデューティとは、COM[0] が常にアクティブであり、セグメントラインとコモンラインについて次の 2 つの電圧レベルだけが使用されることを意味します。V_{LCD} および V_{SS}。ピクセルは、対応する SEG ラインが COM と反対の電圧の場合にアクティブであり、電圧が等しいときに非アクティブです。このようにして、LCD のコントラストは最大になります（図 98、図 99 を参照）。

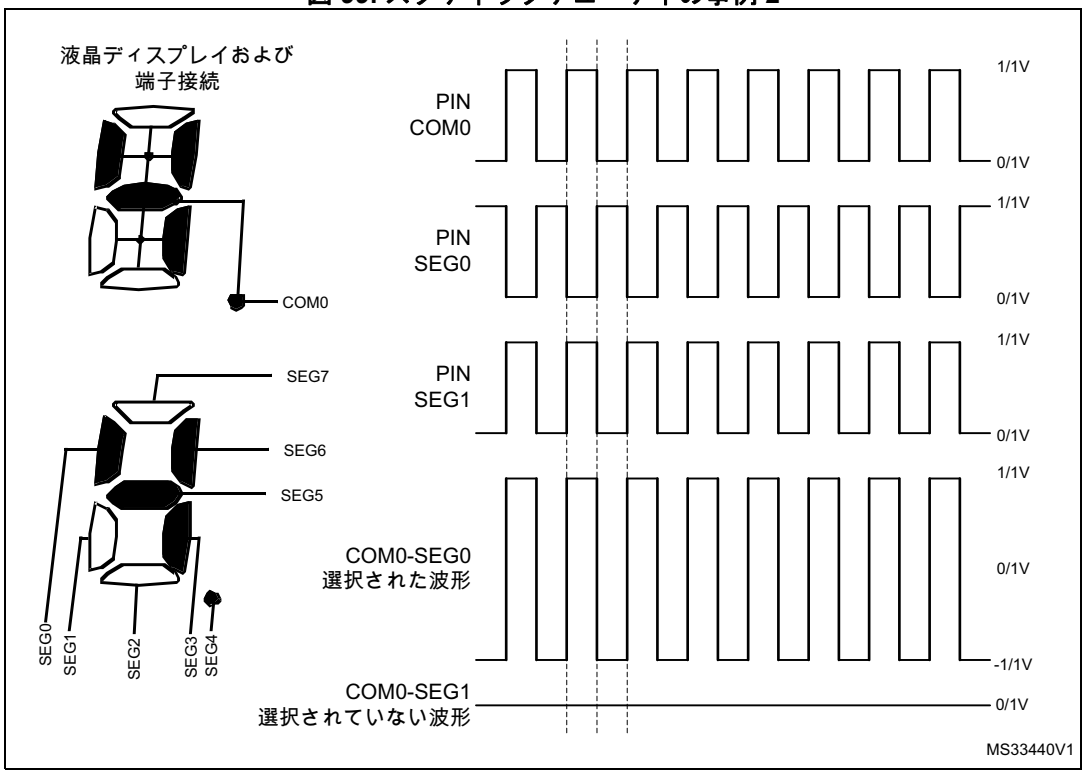
以下の図で、ピクセル 0 は有効、ピクセル 1 は無効です。

図 98. スタティックデューティの事例 1



各フレームの位相は 1 つだけなので、f_{frame} は f_{LCD} に等しくなります。1/4 デューティが選択された場合、フレームには 4 つの位相があり、COM[0] は位相 0 でアクティブであり、COM[1] は位相 1 でアクティブであり、COM[2] は位相 2 でアクティブであり、COM[3] は位相 3 でアクティブです。

図 99. スタティックデューティの事例 2

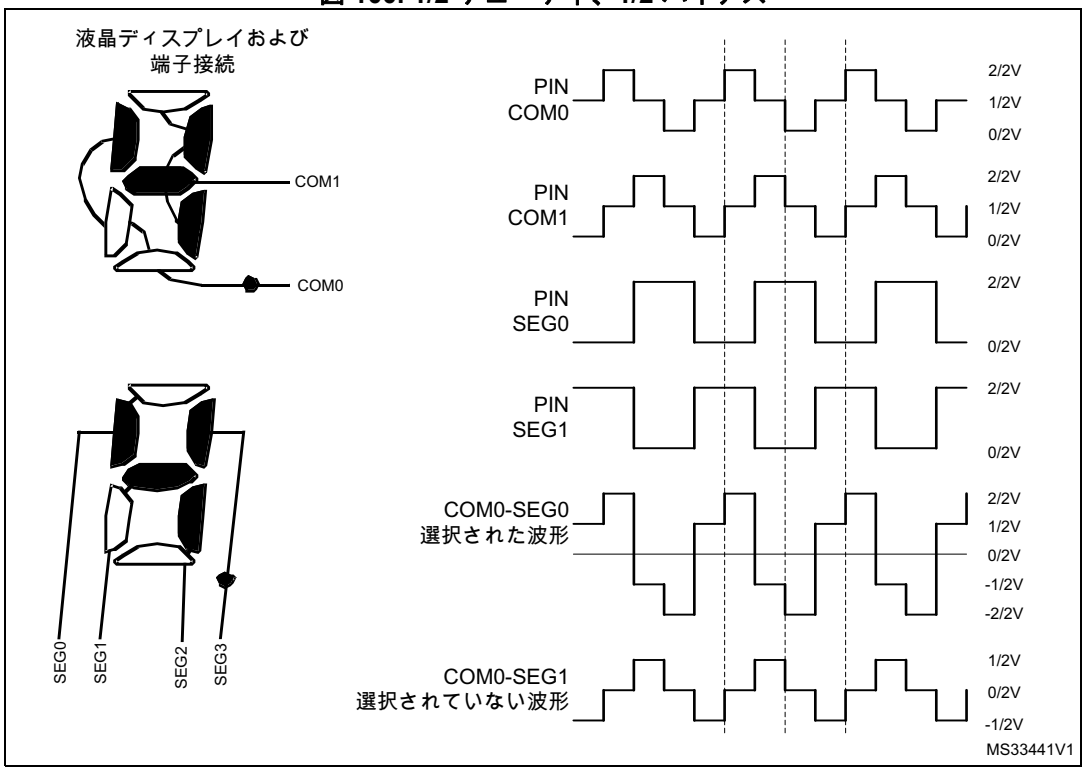


このモードでは、セグメント端子が多重化され、それぞれが 4 つのピクセルを制御します。ピクセルは、対応する SEG ラインと COM ラインの両方が同じ位相でアクティブなときだけアクティブになります。1/4 デューティの場合、COM[0] に接続されているピクセル 0 を非アクティブにするには、COM[0] がアクティブなときに、位相 0 中に SEG[0] を非アクティブにする必要があります。COM[1] に接続されているピクセル 0 をアクティブにするには、COM[1] がアクティブなときに、位相 1 中に SEG[0] をアクティブにする必要があります（図 102 を参照）。COM[0] に接続されているピクセル 0 から 43 までをアクティブにするには、COM[0] がアクティブなときに、位相 0 中に SEG[0:43] をアクティブにする必要があります。これらの考え方は、他のピクセルにも適用できます。

8 対 1 マルチプレクサ

COM[0] がアクティブなとき、コモンドライバブロックは、最初の 2 つの RAM レジスタ位置の内容を選択するために、図 96 に示されている 8 対 1 マルチプレクサも駆動します。COM[7] がアクティブなとき、8 対 1 マルチプレクサの出力は、最後の 2 つの RAM 位置の内容です。

図 100. 1/2 デューティ、1/2 バイアス



19.3.4 セグメントドライバ

セグメントドライバブロックは、コモンドライバブロックによって各位相で駆動される 8 対 1 マルチプレクサからのピクセルデータに従って、SEG ラインを制御します。

1/4 または 1/8 デューティの場合

COM[0] がアクティブなとき、COM[0] に接続されているピクセルに関するピクセル情報（アクティブ／非アクティブ）（最初の 2 つの LCD_RAM 位置の内容）は、8 対 1 マルチプレクサに送られます。

SEG[*n*] ピン *n* [0～43] は、奇数フレームの位相 0 で V_{SS} に駆動されます（COM[0] がアクティブのときにピクセル *n* がアクティブであることを示します）。

SEG[*n*] ピンは、偶数フレームの位相 0 で V_{LCD} に駆動されます。ピクセル *n* が非アクティブの場合、SEG[*n*] ピンは、奇数フレームでは 2/3 (2/4) V_{LCD} に、または偶数フレームでは 1/3 (2/4) V_{LCD} に駆動されます（V_{LCD} パッドで電流反転）（図 97 を参照）。

1/2 バイアスでは、ピクセルが非アクティブの場合、SEG[*n*] ピンは、奇数フレームでは V_{LCD} に、偶数フレームでは V_{SS} に駆動されます。

LCD コントローラが無効なとき（LCD_CR の LCDEN がクリア）、SEG ラインは V_{SS} にプルダウンされます。

図 101. 1/3 デューティ、1/3 バイアス

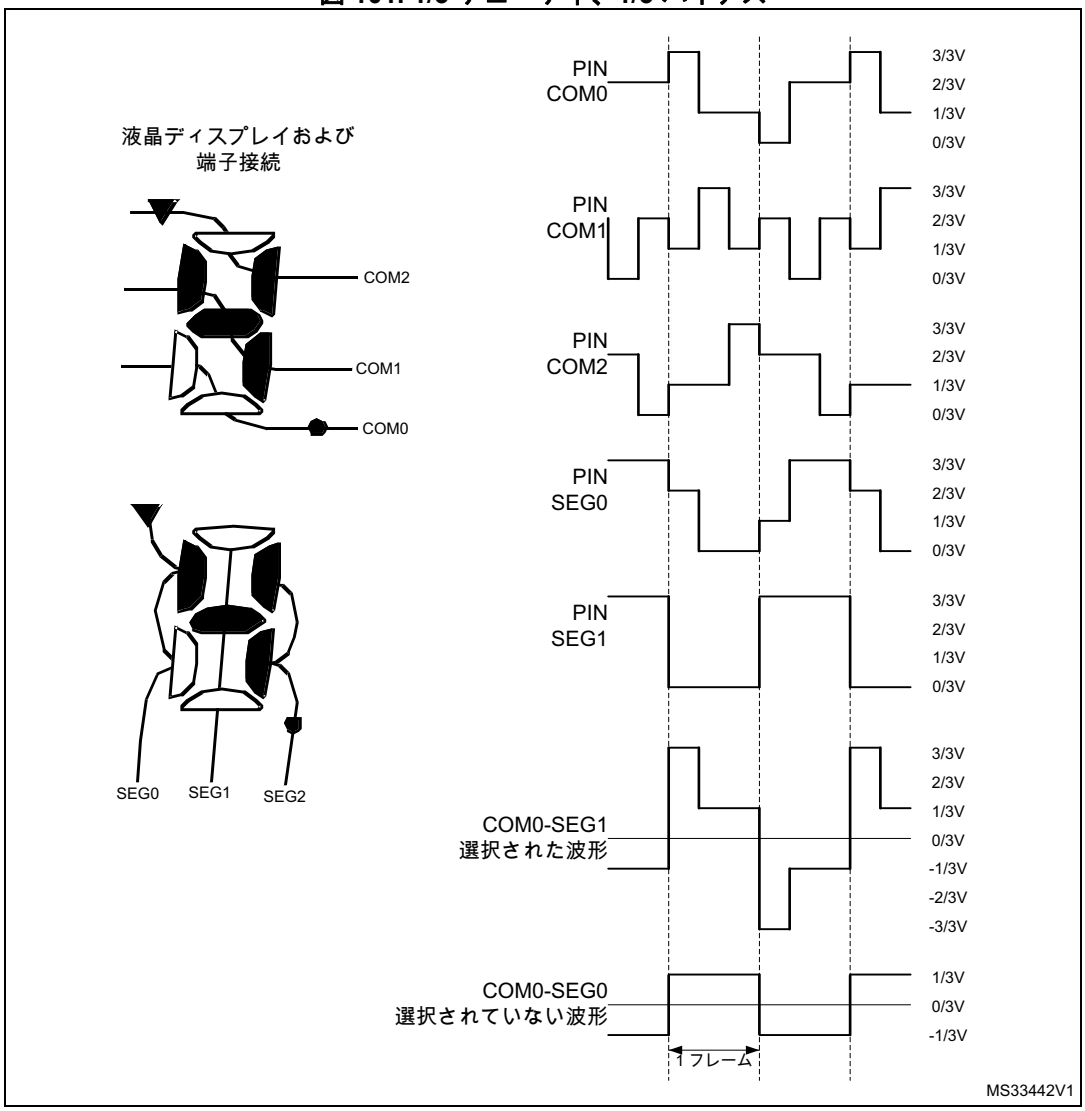


図 102. 1/4 デューティ、1/3 バイアス

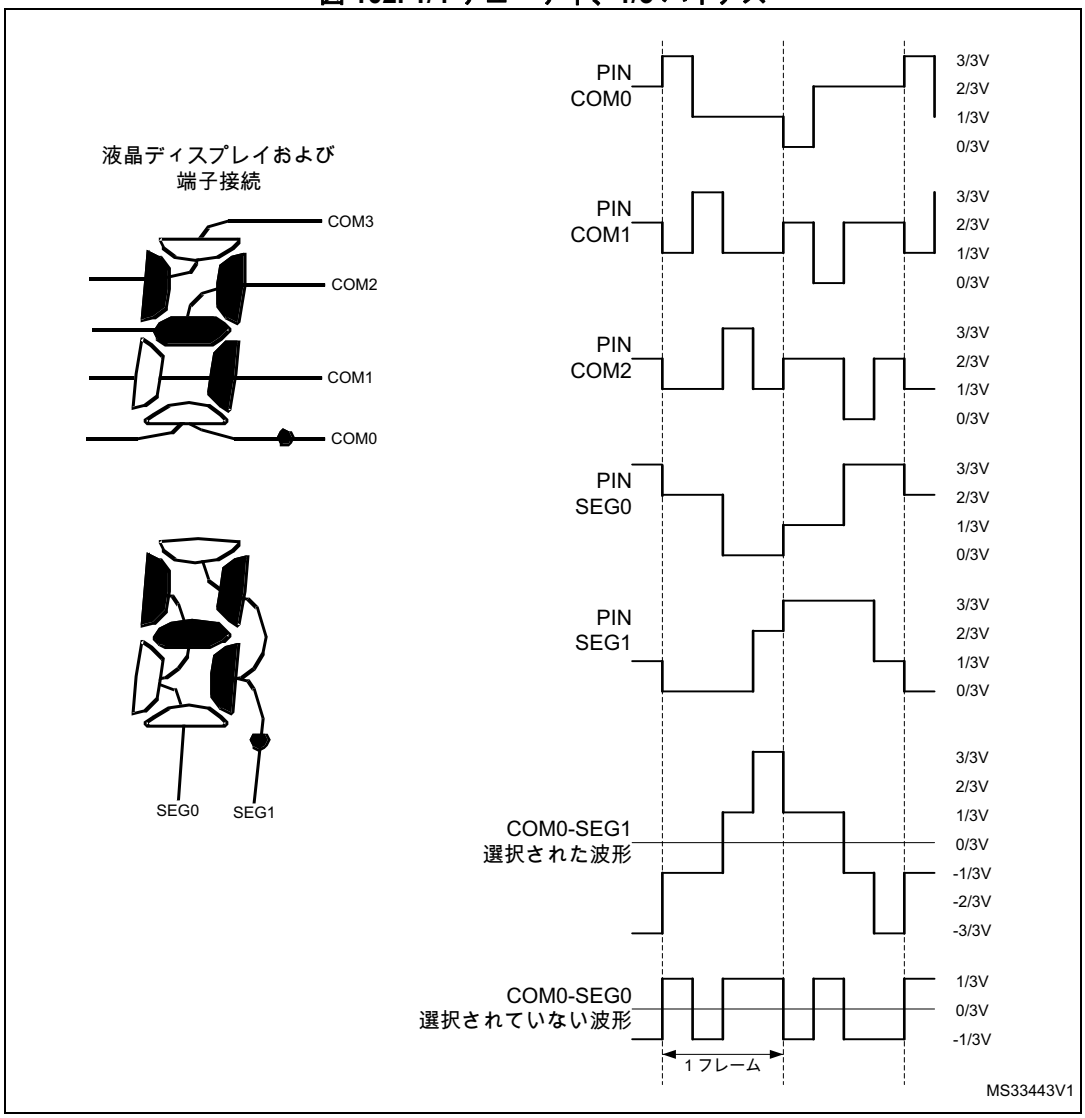
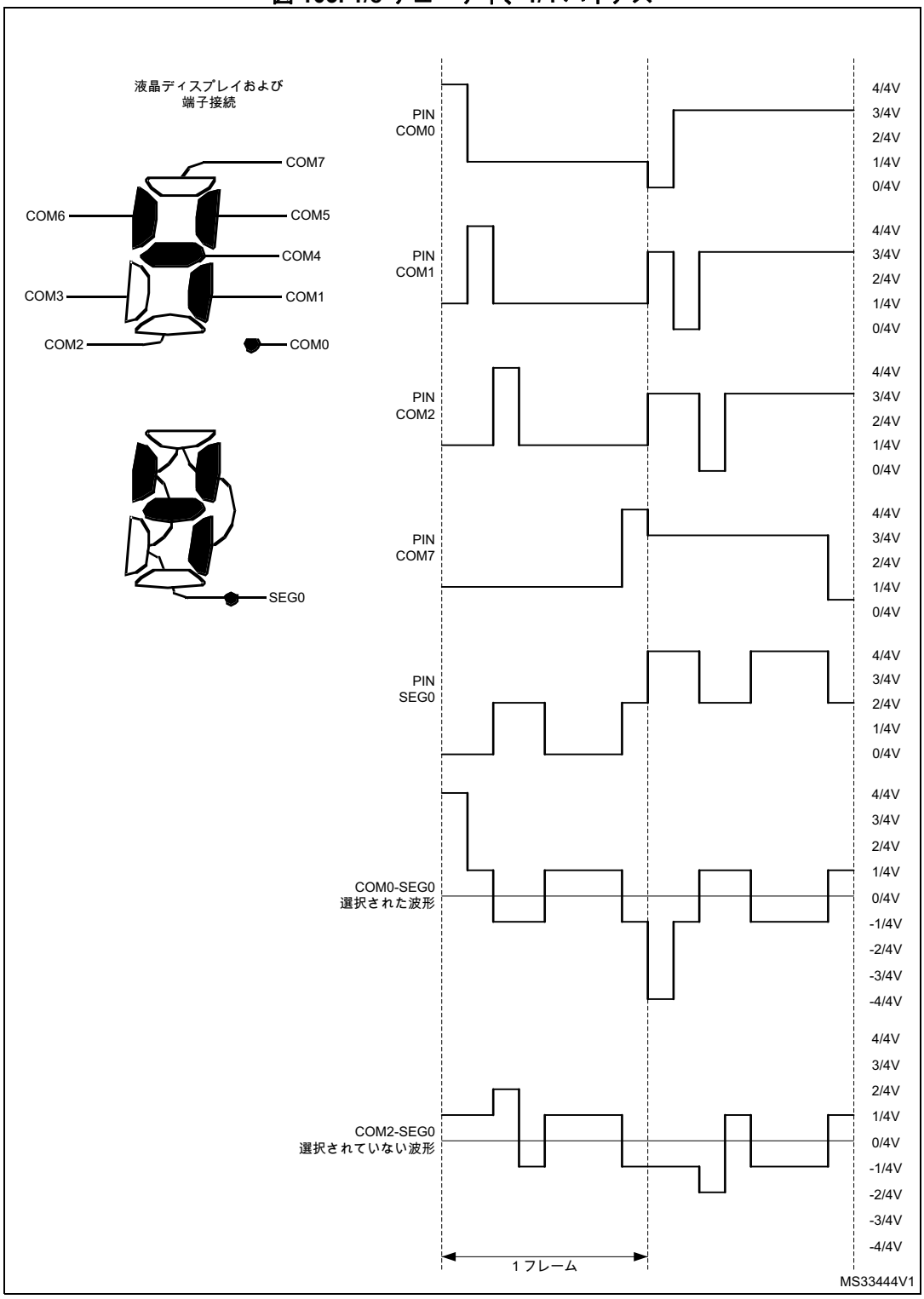


図 103. 1/8 デューティ、1/4 バイアス



点滅

セグメントドライバはプログラム可能な点滅機能も実装して、一部のピクセルを特定の周波数で連続的に点灯することができます。点滅モードは、LCD_FCR の BLINK[1:0] で設定でき、最大 1、2、4、8、またはすべてのピクセルを点滅することができます（セクション 19.6.2 を参照）。点滅周波数は、LCD_FCR の BLINKF[2:0] を使用して、8 つの値から選択できます。

下の表に、さまざまな点滅周波数の例を示します（ck_div 周波数の係数として）。

表 102. 点滅周波数

BLINKF[2:0]			ck_div 周波数（LCDCLK 周波数 32.768 kHz）			
			32 Hz	64 Hz	128 Hz	256 Hz
0	0	0	4.0 Hz	N/A	N/A	N/A
0	0	1	2.0 Hz	4.0 Hz	N/A	N/A
0	1	0	1.0 Hz	2.0 Hz	4.0 Hz	N/A
0	1	1	0.5 Hz	1.0 Hz	2.0 Hz	4.0 Hz
1	0	0	0.25 Hz	0.5 Hz	1.0 Hz	2.0 Hz
1	0	1	N/A	0.25 Hz	0.5 Hz	1.0 Hz
1	1	0	N/A	N/A	0.25 Hz	0.5 Hz
1	1	1	N/A	N/A	N/A	0.25 Hz

19.3.5 電圧発生器とコントラスト制御

LCD 電源

LCD 電源は、内部ステップアップコンバータから、または VLCD ピンに印加される外部電圧から取られます。内部または外部電圧ソースは、LCD_CR の VSEL を使用して選択できます。外部ソースを選択した場合、内部ブースト回路（ステップアップコンバータ）は無効になり、消費電力を削減します。

ステップアップコンバータを V_{LCD} ソースとして選択したときには、LCD_FCR（セクション 19.6.2 を参照）内の CC[2:0]（コントラスト制御）によって、V_{LCD} 値を V_{LCDmin} から V_{LCDmax} までの幅広い値のセットから選択できます。新しい V_{LCD} 値は、新しいフレームの開始ごとに有効になります。

外部電源が V_{LCD} ソースとして選択されたときには、V_{LCD} 電圧を V_{LCDmin} から V_{LCDmax} の範囲から選ぶ必要があります（データシートを参照）。その場合、フレーム間のデッドタイムをプログラムすることによってコントラストを制御できます（デッドタイム を参照）。

使用する LCD 電源によっては、LCD を設定するために特定のソフトウェアシーケンスを実行する必要があります。LCD コントローラは、設定シーケンスを行う前は無効と見なされます。

内部ステップアップコンバータが使用されている場合（VLCD ピンにコンデンサ C_{EXT} が必要です）：

- VLCD ピンを、GPIO_AFR レジスタでオルタネート機能 LCD として設定します。
- 外部コンデンサ C_{EXT} がチャージされるのを待ちます（VLCD ピンに接続された C_{EXT}、C_{EXT} = 1 µF で約 2 ms）
- LCD_CR の VSEL をリセットすることによって、電圧ソースを内部ソースにセットします。
- LCD_CR の LCDEN をセットすることによって、LCD コントローラを有効にします。

LCD 外部電源ソースが使用される場合：

- LCD_CR の VSEL をセットすることによって、電圧ソースを外部ソースにセットします。
- VLCD ピンを、GPIO_AFR でオルタネート機能 LCD として設定します。

- LCD_CR の LCDEN をセットすることによって、LCD コントローラを有効にします。

LCD 中間電圧

LCD 中間電圧レベルは、図 104 で示すように内部レジスタ分周器ネットワークで生成されます。

LCD 電圧発生器は、V_{SS} と V_{LCD} の間の中間電圧レベルを発行します。

- 1/3 バイアスの場合、1/3 V_{LCD} および 2/3 V_{LCD}
- 1/4 バイアスの場合、1/4 V_{LCD}、2/4 V_{LCD} および 3/4 V_{LCD}
- 1/2 バイアスの場合、1/2 V_{LCD} のみ

LCD ドライブ選択

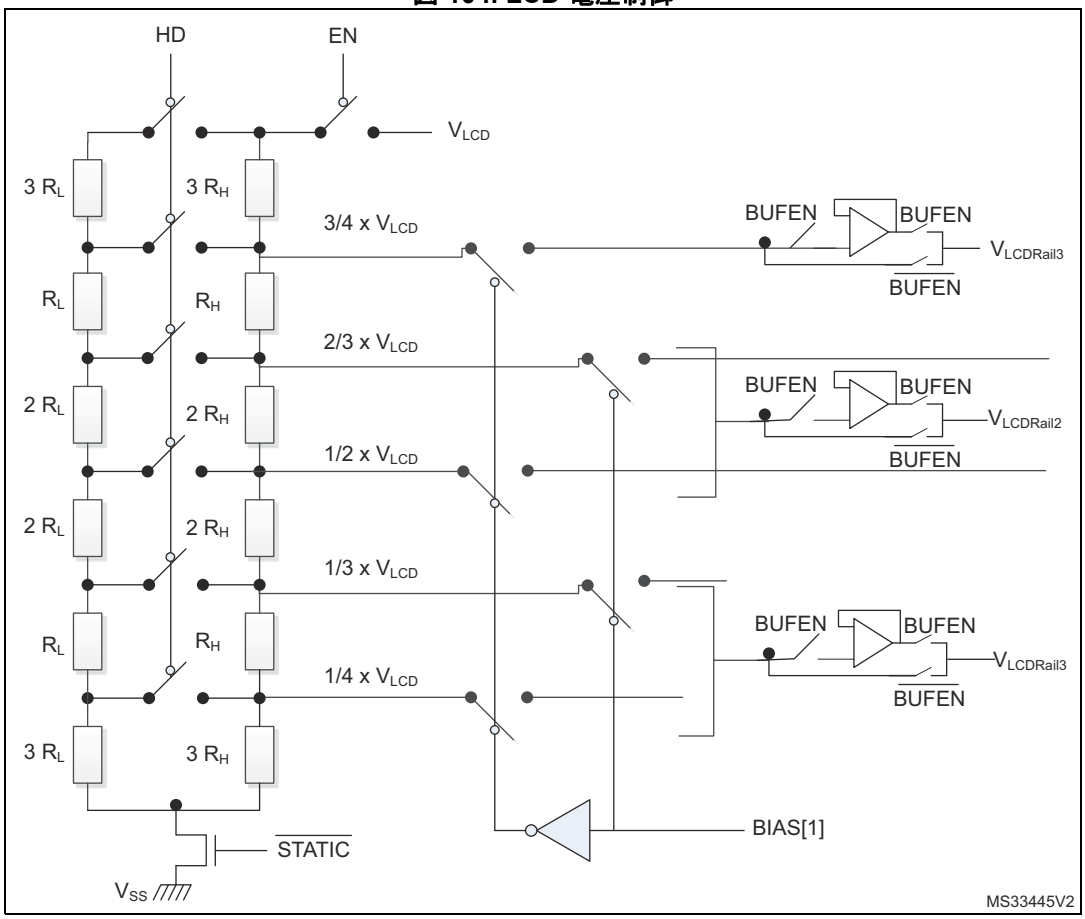
低値抵抗（R_L）の回路と高値抵抗（R_H）の回路の 2 つの抵抗ネットワークが、それぞれ、遷移時の電流を増加するために、およびスタティック状態の消費電力を削減するために使用されます。

EN スイッチは次のルールに従います（図 104 を参照）。

- LCD_CR の LCDEN がセットされると、EN スイッチが閉じます。
- LCD_CR の LCDEN をクリアすると、フレーム全体が奇数プラス偶数とみなされる 0 以外の中間電圧レベルを避けるために、EN スイッチは偶数フレームの終わりで開きます。

LCD_FCR の PON[2:0]（パルスオン期間）は、コモンおよびセグメントラインのレベルが変化したときに HD（高駆動）スイッチを通じて R_L が有効になる時間を設定します（図 104 を参照）。駆動時間が短いと消費電力を削減できますが、内部抵抗が高いディスプレイは、十分なコントラストを達成するために長い駆動時間を必要とすることがあります。

図 104. LCD 電圧制御



1. R_{LN} および R_{HN} はそれぞれ低値抵抗ネットワークと高値抵抗ネットワークです。

LCD_FCR の HD を使用して、R_{LN} 分圧器を常にオンにしておくことができます（セクション 19.6.2 を参照）。

HD スイッチは次のルールに従います。

- HD と PON[2:0] が LCD_FCR でリセットされた場合、HD スイッチは開きます。
- LCD_FCR で HD がリセットされ、LCD_FCR の PON[2:0] が 00 以外の場合、HD スイッチは PON[2:0] で定義されたパルス数の間だけ閉じます。
- LCD_FCR で HD = 1 の場合、HD スイッチは常に閉じられます。

LCDEN が有効になった後、LCD_SR の RDY がセットされて、電圧レベルが安定していることと、LCD コントローラが動作を開始できることを示します。

バッファモード

LCD_CR の BUFEN をセットして電圧出力バッファが有効になると、バッファにより LCD 静電容量負荷で許容値を超えて抵抗ブリッジに負荷がかかったり、電圧生成が妨げられたりしないようになるため、LCD 駆動能力が向上します。その結果、中間電圧レベルがより安定し、LCD ピクセルに供給される RMS 電圧が改善されます。

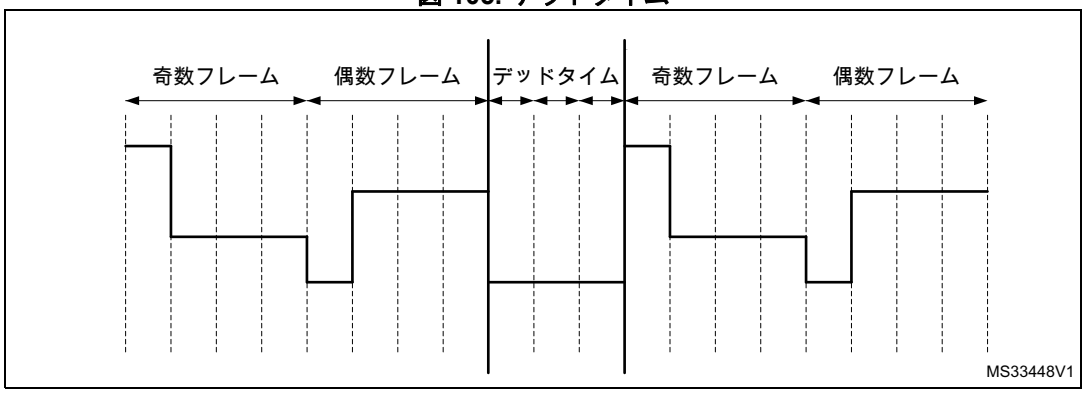
バッファモードでは、中間電圧が高値抵抗ブリッジ R_{HN} によって生成され、消費電力が低減されます。低値抵抗ブリッジ R_{LN} は、HD または PON[2:0] の設定が何であれ、自動的に無効になります。

バッファは V_{LCD} の供給源（内部または外部）とは関係なく使用できますが、LCD コントローラが有効化されていない場合のみ、有効または無効にできます。

デッドタイム

CC[2:0] の使用に加えて、各フレーム間のデッドタイムをプログラムすることによって、コントラストを制御できます。デッドタイム中、COM および SEG の値は V_{SS} になります。LCD_FCR の DEAD[2:0] を使用して、最大 8 フェーズ期間の時間をプログラムできます。このデッドタイムは、フレームレートを変更せずにコントラストを下げます。

図 105. デッドタイム



19.3.6 ダブルバッファメモリ

ダブルバッファメモリを使用することにより、LCD コントローラは表示される情報のコヒーレンシを確保でき、割込みを使用して LCD_RAM の変更を制御する必要がありません。

アプリケーションソフトウェアは APB インタフェースを通じて最初のバッファレベル（LCD_RAM）にアクセスできます。ソフトウェアでは LCD_RAM を変更すると、LCD_SR の UDR をセットします。この UDR フラグ（Update Display Request）は、更新された情報を 2 番目のバッファレベル（LCD_DISPLAY）に移動するように要求します。

この動作はフレームと同期して（次のフレームの開始時に）行われます。更新が完了するまで、LCD_RAM は書込み保護され、UDR フラグはハイのままです。更新が完了すると、別のフラグ（UDD: Update Display Done）がセットされ、LCD_FCR の UDDIE がセットされている場合は割込みが発生します。

LCD_DISPLAY を更新するための所要時間は、最悪の場合、1 奇数フレームと 1 偶数フレームです。

ディスプレイが有効（LCDEN = 1）になるまで、更新は発生しません（UDR = 1 かつ UDD = 0）。

19.3.7 COM および SEG の多重化

出力ピン対デューティモード

出力ピンは、次のもので構成されます。

- SEG[43:0]
- COM[3:0]

デューティ設定に応じて、COM および SEG 出力ピンは異なる機能を持つことができます。

- スタティック、1/2、1/3、および 1/4 デューティモードでは、最大 44 本の SEG ピンと、それぞれ 1、2、3、および 4 本の COM ピンがあります。
- 1/8 デューティモード（DUTY[2:0] = 100）では、COM[7:4] 出力は SEG[43:40] ピンで使用でき、使用可能なセグメント数が 40 に減ります。

再配置機能（小型のパッケージ向け）

さらに、LCD_CR の MUX_SEG をセットして、4 セグメントの再配置が可能です。これは、特に外部ピンの少ない小さなデバイスデバイスタイプを使用する際に役立ちます。

MUX_SEG がセットされると、出力ピン SEG[43:40] は、SEG[31:28] と同じ機能になります。

この機能は、1/8 デューティモードが選択されていない場合のみ使用できます。

データシートのピン配置のセクションを参照して、この機能が使用できるか確認してください。

対象のパッケージについては、次の SEG/COM 多重化ピンを使用できるか確認してください（n = 対象のパッケージのセグメント数）。

- LCD_SEG[n-1]/LCD_COM7/LCD_SEG[31]
- LCD_SEG[n-2]/LCD_COM6/LCD_SEG[30]
- LCD_SEG[n-3]/LCD_COM5/LCD_SEG[29]
- LCD_SEG[n-4]/LCD_COM4/LCD_SEG[28]

デューティおよび再配置に対する COM および SEG 機能の概要

COM および SEG 機能のすべての多重化の方法を、以下の表に示します。

表 103. 再配置機能

DUTY	MUX_SEG	WLCSP100	VFQFPN68	UFQFPN48	出力ピン	機能
1/8	N/A	40x8	-	-	COM[3:0]	COM[3:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	COM[7:4]
					SEG[39:0]	SEG[39:0]

表 103. 再配置機能 （続き）

DUTY	MUX_SEG	WLCSP100	VFQFPN68	UFQFPN48	出力ピン	機能
1/4	0	44x4	-	-	COM[3:0]	COM[3:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[43:40]
					SEG[39:0]	SEG[39:0]
	1	40x4	-	-	COM[3:0]	COM[3:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[31:28]
					SEG[39:32]	SEG[39:32]
					SEG[31:28]	未使用
					SEG[27:0]	SEG[27:0]
	0	-	28x4	-	COM[3:0]	COM[3:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[42:40]
					SEG[24:0]	SEG[24:0]
	1	-	28x4	-	COM[3:0]	COM[3:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[30:28]
					SEG[24:0]	SEG[24:0]
	N/A	-	-	13x4	COM[3:0]	COM[3:0]
					SEG[21]	SEG[21]
					SEG[17:16]	SEG[17:16]
					SEG[9:0]	SEG[9:0]

表 103. 再配置機能 （続き）

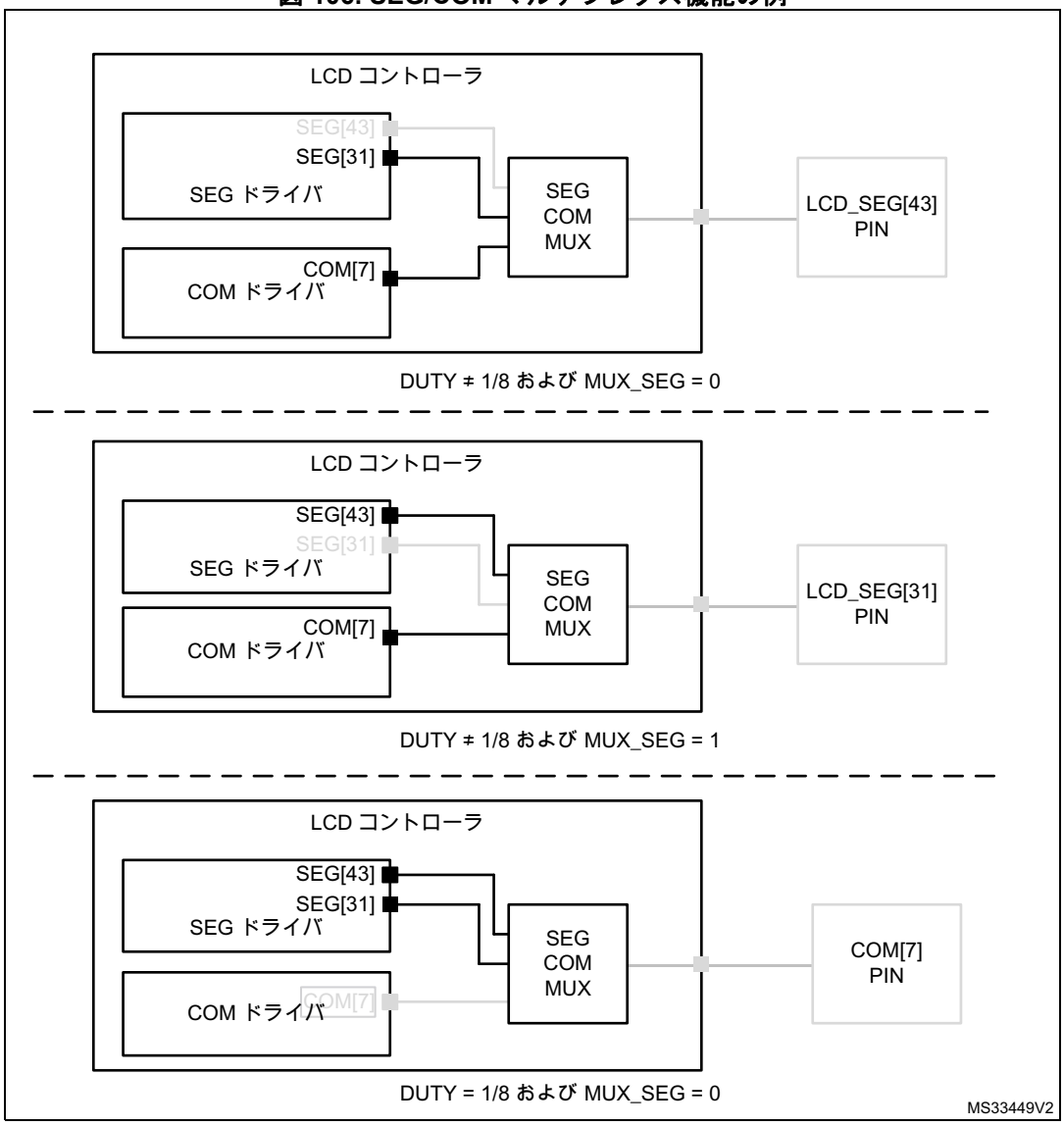
DUTY	MUX_SEG	WLCSP100	VFQFPN68	UFQFPN48	出力ピン	機能
1/3	0	44x3	-	-	COM[3]	未使用
					COM[2:0]	COM[2:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[43:40]
					SEG[39:0]	SEG[39:0]
	1	40x3	-	-	COM[3]	未使用
					COM[2:0]	COM[2:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[31:28]
					SEG[39:32]	SEG[39:32]
					SEG[31:28]	未使用
					SEG[27:0]	SEG[27:0]
	0	-	28x3	-	COM[3]	未使用
					COM[2:0]	COM[2:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[42:40]
					SEG[24:0]	SEG[24:0]
	1	-	28x3	-	COM[3]	未使用
					COM[2:0]	COM[2:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[30:28]
					SEG[24:0]	SEG[24:0]
	N/A	-	-	13x3	COM[3]	未使用
					COM[2:0]	COM[2:0]
					SEG[21]	SEG[21]
					SEG[17:16]	SEG[17:16]
					SEG[9:0]	SEG[9:0]
1/2	0	44x2	-	-	COM[3:2]	未使用
					COM[1:0]	COM[1:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[43:40]
					SEG[39:0]	SEG[39:0]
	1	40x2	-	-	COM[3:2]	未使用
					COM[1:0]	COM[1:0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[31:28]
					SEG[39:32]	SEG[39:32]
					SEG[31:28]	未使用
					SEG[27:0]	SEG[27:0]

表 103. 再配置機能 （続き）

DUTY	MUX_SEG	WLCSP100	VFQFPN68	UFQFPN48	出力ピン	機能
1/2	0	-	28x2	-	COM[3:2]	未使用
					COM[1:0]	COM[1:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[42:40]
					SEG[24:0]	SEG[24:0]
	1	-	28x2	-	COM[3:2]	未使用
					COM[1:0]	COM[1:0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[30:28]
					SEG[24:0]	SEG[24:0]
	N/A	-	-	13x2	COM[3:2]	未使用
					COM[1:0]	COM[1:0]
					SEG[21]	SEG[21]
					SEG[17:16]	SEG[17:16]
					SEG[9:0]	SEG[9:0]
STATIC	0	44x1	-	-	COM[3:1]	未使用
					COM[0]	COM[0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[43:40]
					SEG[39:0]	SEG[39:0]
	1	40x1	-	-	COM[3:1]	未使用
					COM[0]	COM[0]
					SEG[43:40]/SEG[31:28]/COM[7:4]	SEG[31:28]
					SEG[39:32]	SEG[39:32]
					SEG[31:28]	未使用
					SEG[27:0]	SEG[27:0]
	0	-	28x1	-	COM[3:1]	未使用
					COM[0]	COM[0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[42:40]
					SEG[24:0]	SEG[24:0]
	1	-	28x1	-	COM[3:1]	未使用
					COM[0]	COM[0]
					SEG[42:40]/SEG[30:28]/COM[6:4]	SEG[30:28]
					SEG[24:0]	SEG[24:0]
STATIC	N/A	-	-	13x1	COM[3:1]	未使用
					COM[0]	COM[0]
					SEG[21]	SEG[21]
					SEG[17:16]	SEG[17:16]
					SEG[9:0]	SEG[9:0]

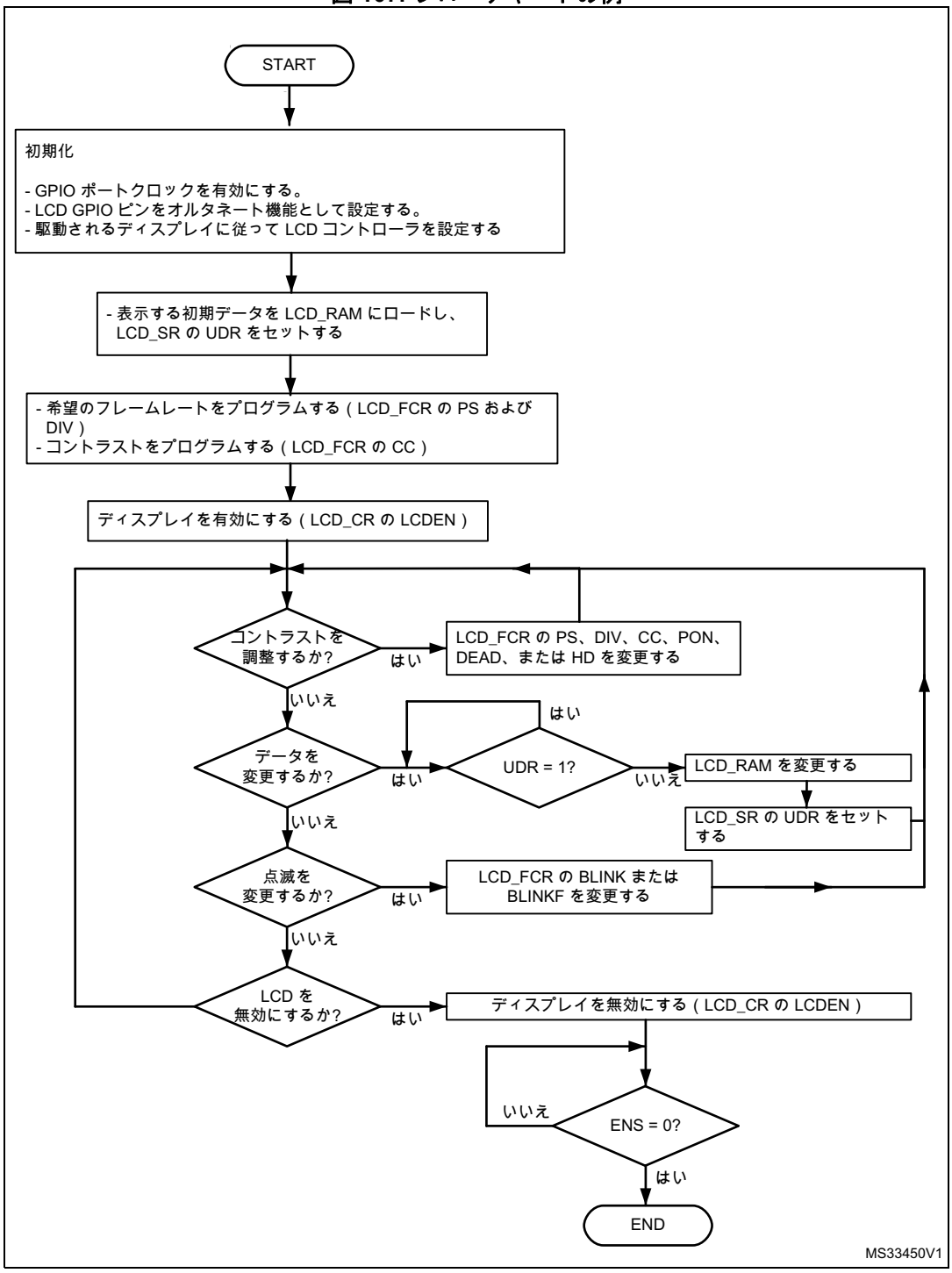
下図は外部ピンへの信号接続を示す例です。

図 106. SEG/COM マルチプレクス機能の例



19.3.8 フローチャート

図 107. フローチャートの例



19.4 LCD 低消費電力モード

LCD コントローラは、STOP モードで表示するか、完全に無効にして、消費電力を削減できます。

19.5 LCD 割込み

次の表に、LCD 割込みリクエストの一覧を示します。

表 104. LCD 割込みリクエスト

割込みイベント	イベントフラグ	イベントフラグ 割込みのクリア方法	割込み有効制御ビット
フレーム開始（SOF）	SOF	SOFC = 1 を書き込む。	SOFIE
ディスプレイ更新終了（UDD）	UDD	UDDC = 1 を書き込む。	UDDIE

フレーム開始（SOF）

LCD_FCR で SOFIE（Start Of Frame Interrupt Enable）がセットされている場合、LCD フレーム開始割込みが実行されます。SOF は、対応する割込み処理ベクトルを実行するときに LCD_CLR の SOFC に 1 を書き込むことによってクリアされます。

ディスプレイ更新終了（UDD）

LCD_FCR で UDDIE（Upadate Display Done Interrupt Enable）がセットされている場合、LCD ディスプレイ更新割込みが実行されます。UDD は、対応する割込み処理ベクトルを実行するときに LCD_CLR の UDDC に 1 を書き込むことによってクリアされます。

製品実装に応じて、これらの割込みイベントのすべてで同じ割込みベクトルを共有するか（LCD グローバル割込み）、2 つの割込みベクトル（LCD SOF 割込みと LCD UDD 割込み）にグループ化することができます。詳細については、表 60：CPU1 ベクタテーブルを参照してください。

LCD 割込みを有効にするには、次のシーケンスが必要です。

1. NVIC で LCD IRQ チャネルを設定し、有効にします。
2. 割込みを生成するように LCD を設定します。

19.6 LCD レジスタ

これらのレジスタは、ワード（32 ビット）単位でアクセスされます。

19.6.1 LCD 制御レジスタ（LCD_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

VSEL、MUX_SEG、BIAS、DUTY、および BUFEN ビットフィールドは、LCD が有効なときには（LCD_SR の ENS = 1）、書込み保護されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUFEN	MUX_SEG	BIAS[1:0]		DUTY[2:0]			VSEL	LCDEN
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **BUFEN**：電圧出力バッファ有効化

このビットは、より高い駆動能力のための電圧出力バッファを有効化／無効化するために使用されます。

0：出力バッファが無効になります。

1：出力バッファが有効になります。

ビット 7 **MUX_SEG**：マルチプレクスセグメント有効化

このビットは SEG ピンの再配置を有効にするために使用します。4 つの SEG ピンを SEG[31:28] で多重化できます。セクション 19.3.7 を参照してください。

0：SEG ピンの多重化は無効です。

1：SEG[31:28] が SEG[43:40] と多重化されます。

ビット 6:5 **BIAS[1:0]**：バイアスセレクタ

これらのビットによって、使用されるバイアスが決まります。11 は禁止されています。

00：バイアス 1/4

01：バイアス 1/2

10：バイアス 1/3

11：予約済みです。

ビット 4:2 **DUTY[2:0]**：デューティ選択

これらのビットによって、デューティサイクルが決まります。値 101、110、および 111 は禁止されています。

000：スタティックデューティ

001：1/2 デューティ

010：1/3 デューティ

011：1/4 デューティ

100：1/8 デューティ

その他：予約済みです。

ビット 1 **VSEL**：電圧ソース選択

このビットによって、LCD の電圧ソースが決まります。

0：内部ソース（電圧ステップアップコンバータ）

1：外部ソース（VLCD ピン）

ビット 0 **LCDEN**：LCD コントローラ有効

このビットは、LCD コントローラ／ドライバを有効にするために、ソフトウェアによってセットされます。次のフレームの開始時に LCD をオフにするためにソフトウェアによってクリアされます。LCD が無効になると、すべての COM および SEG ピンが V_{SS} に駆動されます。

0：LCD コントローラ無効

1：LCD コントローラ有効

19.6.2 LCD フレーム制御レジスタ（LCD_FCR）

アドレスオフセット：0x04

リセット値：0x0000 0000

このレジスタはいつでも更新できますが、新しい値は次のフレームの開始時にのみ適用されます（デバイスの動作にすぐに影響する UDDIE、SOFIE を除きます）。CC[2:0] の新しい値もすぐに適用されますが、デバイスに対する効果は、電圧発生器によって次のフレームの開始時まで遅延されます。

このレジスタを読み出すと、現在のフレームの表示に使用された設定ではなく、レジスタに書き込まれた最後の値が得られます。

BUFEN が LCD_CR でセットされると、HD や PON[2:0] の設定にかかわらず、低抵抗分圧器ネットワークは自動的に無効になります。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	PS[3:0]				DIV[3:0]				BLINK[1:0]	
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLINKF[2:0]			CC[2:0]			DEAD[2:0]			PON[2:0]			UDDIE	Res.	SOFIE	HD
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:22 **PS[3:0]**：PS 16 ビットプリスケーラ

これらのビットは、PS 16 ビットプリスケーラの分周比を定義するために、ソフトウェアによって書き込まれます。

ck_ps = LCDCLK/($2^{PS[3:0]}$)。セクション 19.3.2 を参照してください。

0000 : ck_ps = LCDCLK

0001 : ck_ps = LCDCLK/2

0002 : ck_ps = LCDCLK/4

.....

1111 : ck_ps = LCDCLK/32768

ビット 21:18 **DIV[3:0]**：DIV クロック分周器

これらのビットは、DIV 分周器の分周比を定義するために、ソフトウェアによって書き込まれます（セクション 19.3.2 を参照）。

0000 : ck_div = ck_ps/16

0001 : ck_div = ck_ps/17

0002 : ck_div = ck_ps/18

.....

1111 : ck_div = ck_ps/31

ビット 17:16 **BLINK[1:0]**：点滅モード選択

00：点滅は無効

01：SEG[0]、COM[0] で点滅有効（1 ピクセル）

10：SEG[0]、すべての COM で点滅有効（プログラムされたデューティに応じて最大 8 ピクセル）

11：すべての SEG とすべての COM で点滅有効（すべてのピクセル）

ビット 15:13 **BLINKF[2:0]**：点滅周波数選択

000：$f_{LCD}/8$

001：$f_{LCD}/16$

010：$f_{LCD}/32$

011：$f_{LCD}/64$

100：$f_{LCD}/128$

101：$f_{LCD}/256$

110：$f_{LCD}/512$

111：$f_{LCD}/1024$

ビット 12:10 **CC[2:0]**：コントラスト制御

これらのビットは、V_{LCD} 最大電圧の 1 つを指定します（V_{DD} とは無関係に）。2.60 V から 3.51 V までの範囲です。

000：V_{LCD0}

001：V_{LCD1}

010：V_{LCD2}

011：V_{LCD3}

100：V_{LCD4}

101：V_{LCD5}

110：V_{LCD6}

111：V_{LCD7}

注： *V_{LCDx}* 値については、データシートを参照してください。

ビット 9:7 **DEAD[2:0]**：デッドタイム期間

これらのビットは、フレーム間のデッドタイムの長さを設定するために、ソフトウェアによって書き込まれます。フレームレートを変更せずにコントラストを下げるために、デッドタイム中、COM および SEG 電圧レベルは 0 V に保持されます。

000：デッドタイムなし

001：1 位相周期のデッドタイム

010：2 位相周期のデッドタイム

.....

111：7 位相周期のデッドタイム

ビット 6:4 **PON[2:0]**：パルス ON 期間

これらのビットは、パルス期間を ck_ps パルス数で定義するために、ソフトウェアによって書き込まれます。パルスが短いと消費電力を削減できますが、内部抵抗が高いディスプレイは、十分なコントラストを達成するために長いパルスを必要とすることがあります。

パルスはプリスケールされた LCD クロック周期の 1/2 より長くはならないことに注意してください。

000：0

001：1/ck_ps

010：2/ck_ps

011：3/ck_ps

100：4/ck_ps

101：5/ck_ps

110：6/ck_ps

111：7/ck_ps

LCDCLK = 32.768 kHz、PS=0x03 での PON 期間の例：

000：0 µs

001：244 µs

010：488 µs

011：782 µs

100：976 µs

101：1.22 ms

110：1.46 ms

111：1.71 ms

ビット 3 **UDDIE**：ディスプレイ更新終了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：LCD ディスプレイ更新終了割込み無効

1：LCD ディスプレイ更新終了割込み有効

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SOFIE**：フレーム開始割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：LCD フレーム開始割込み無効

1：LCD フレーム開始割込み有効

ビット 0 **HD**：高駆動有効

このビットは、低抵抗分圧器を有効にするために、ソフトウェアによって書き込まれます。高い内部抵抗を持つディスプレイは、十分なコントラストを達成するために、より長い駆動時間を必要とすることがあります。このようなとき、ある程度の消費電力の増加が許される場合には、このビットが便利です。

0：永続的な高駆動無効。

1：永続的な高駆動有効。HD = 1 の場合、PON[2:0] は 001 にプログラムしなければなりません。

19.6.3 LCD ステータスレジスタ（LCD_SR）

アドレスオフセット：0x08

リセット値：0x0000 0020

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCRSF	RDY	UDD	UDR	SOF	ENS
										r	r	r	rs	r	r

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **FCRSF**：LCD フレーム制御レジスタ同期フラグ

このビットは、LCDCLK ドメインで LCD_FCR レジスタが更新されるたびに、ハードウェアによってセットされます。LCD_FCR レジスタに書き込んだときに、ハードウェアによってクリアされます。

0：LCD フレーム制御レジスタは同期されていません。

1：LCD フレーム制御レジスタは同期されました。

ビット 4 **RDY**：レディフラグ

このビットは、ハードウェアによってセット／クリアされます。ステップアップコンバータのステータスを示します。

0：レディでない状態

1：ステップアップコンバータは有効であり、正しい電圧を提供する準備ができています。

ビット 3 **UDD**：ディスプレイ更新終了

このビットは、ハードウェアによってセットされます。LCD_CLR の UDDC に 1 を書き込むことによってクリアされます。ビットのセットは、クリアに優先します。

0：イベントはありません。

1：ディスプレイ更新リクエストが終了しました。LCD_FCR の UDDIE = 1 の場合、UDD 割込みが発生します。

注： デバイスが STOP モードの場合（PCLK が提供されない）、UDDIE = 1 の場合でも UDD は割込みを生成しません。ディスプレイが有効でない場合、UDD 割込みは発生しません。

ビット 2 **UDR**：ディスプレイ更新リクエスト

ソフトウェアが LCD_RAM を変更するたびに、更新されたデータを 2 番目のレベルのバッファに転送するために、このビットをセットする必要があります。このビットは、更新が終了するまでセットされたままとなります。この間、LCD_RAM は書込み保護されます。

0：影響なし。

1：ディスプレイ更新リクエスト

注： ディスプレイが無効なときには、すべての LCD_DISPLAY 位置について更新が行われます。ディスプレイが有効なときには、コモンがアクティブな位置についてのみ（DUTY に依存）、更新が行われます。たとえば、DUTY = 1/2 の場合、COM0 および COM1 の LCD_DISPLAY のみが更新されます。

このビットに 0 を書き込むか、すでに 1 のときに 1 を書き込んでも、効果はありません。このビットは、ハードウェアによってのみクリアできます。LCDEN = 1 のときのみクリアできます。

ビット 1 **SOF**：フレーム開始フラグ

このビットは、ディスプレイデータが更新されると同時に、新しいフレームの開始時にハードウェアによってセットされます。LCD_CLR の SOFC に 1 を書き込むことによってクリアされます。ビットのクリアは、セットに優先します。

0：イベントはありません。

1：フレーム開始イベントが発生しました。SOFIE がセットされていると、LCD SOF 割込みが生成されます。

ビット 0 **ENS**：LCD 有効ステータス

このビットは、ハードウェアによってセット／クリアされます。LCD コントローラのステータスを示します。

0：LCD コントローラ無効

1：LCD コントローラ有効

注： このビットは、LCD_CR の LCDEN が 0 から 1 になると同時にセットされます。無効化すると、実際の LCD ステータスを反映します。最終表示フレームの終了で 0 になります。

19.6.4 LCD クリアレジスタ（LCD_CLR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UDDC	Res.	SOFC	Res.
												w		w	

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **UDDC**：ディスプレイ更新終了クリア

このビットは、LCD_SR の UDD をクリアするために、ソフトウェアによって書き込まれます。

0：影響なし。

1：UDD フラグをクリア。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SOFC**：フレーム開始フラグクリア

このビットは、LCD_SR の SOF をクリアするために、ソフトウェアによって書き込まれます。

0：影響なし。

1：SOF フラグをクリア。

ビット 0 予約済みであり、リセット値に保持する必要があります。

19.6.5 LCD ディスプレイメモリ（LCD_RAMx）

アドレスオフセット：0x14 + 0x4 * x （x = 0、2、4、6、8、10、12、14）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SEGMENT_DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEGMENT_DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **SEGMENT_DATA[31:0]**：

各ビットは、LCDディスプレイの 1 ピクセルに対応します。

0：ピクセルは非アクティブ

1：ピクセルはアクティブ

19.6.6 LCD ディスプレイメモリ（LCD_RAMx）

アドレスオフセット：0x14 + 0x4 * x （x = 1、3、5、7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	SEGMENT_DATA[43:32]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **SEGMENT_DATA[43:32]**：
各ビットは、LCDディスプレイの 1 ピクセルに対応します。
0：ピクセルは非アクティブ
1：ピクセルはアクティブ

19.6.7 LCD ディスプレイメモリ（LCD_RAMx）

アドレスオフセット：0x14 + 0x4 * x （x = 9、11、13、15）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEGMENT_DATA[39:32]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **SEGMENT_DATA[39:32]**：
各ビットは、LCDディスプレイの 1 ピクセルに対応します。
0：ピクセルは非アクティブ
1：ピクセルはアクティブ

19.6.8 LCD レジスタマップ

表 105. LCD レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	LCD_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUFEN	MUX_SEG	BIAS[1:0]		DUTY [2:0]			VSEL	LCDEN
	リセット値																								0	0	0	0	0	0	0	0	0
0x04	LCD_FCR	Res.	Res.	Res.	Res.	Res.	Res.	PS[3:0]				DIV[3:0]				BLINK[1:0]		BLINKF [2:0]			CC[2:0]			DEAD[2:0]			PON [2:0]			UDDIE	Res.	SOFIE	HD
	リセット値							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0
0x08	LCD_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCRSF	RDY	UDD	UDR	SOF	ENS
	リセット値																											1	0	0	0	0	0
0x0C	LCD_CLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UDDC	Res.	SOFC	Res.
	リセット値																													0		0	
0x14	LCD_RAM（COM0）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S43	S42	S41	S40	S39	S38	S37	S36	S35	S34	S33	S32
																						0	0	0	0	0	0	0	0	0	0	0	0
0x1C	LCD_RAM（COM1）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S43	S42	S41	S40	S39	S38	S37	S36	S35	S34	S33	S32
																						0	0	0	0	0	0	0	0	0	0	0	0
0x24	LCD_RAM（COM2）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S43	S42	S41	S40	S39	S38	S37	S36	S35	S34	S33	S32
																						0	0	0	0	0	0	0	0	0	0	0	0
0x2C	LCD_RAM（COM3）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S43	S42	S41	S40	S39	S38	S37	S36	S35	S34	S33	S32
																						0	0	0	0	0	0	0	0	0	0	0	0

表 105. LCD レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x34	LCD_RAM（COM4）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S39	S38	S37	S36	S35	S34	S33	S32
																										0	0	0	0	0	0	0	0
0x3C	LCD_RAM（COM5）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S39	S38	S37	S36	S35	S34	S33	S32
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	LCD_RAM（COM6）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S39	S38	S37	S36	S35	S34	S33	S32
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	LCD_RAM（COM7）	S31	S30	S29	S28	S27	S26	S25	S24	S23	S22	S21	S20	S19	S18	S17	S16	S15	S14	S13	S12	S11	S10	S09	S08	S07	S06	S05	S04	S03	S02	S01	S00
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	S39	S38	S37	S36	S35	S34	S33	S32
		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレス表については、セクション 2.2 を参照してください。

20 タッチセンシングコントローラ（TSC）

このセクションは STM32WB55xx デバイスにのみ適用されます。

20.1 概要

タッチセンシングコントローラを使用することで、どんなアプリケーションにも簡単に静電容量検出機能を追加することができます。静電容量検出技術とは、誘電材料（ガラス、プラスチックなど）により直接触れることがないよう保護されている電極の近くに近づけた指を検出することができる技術です。指（または何らかの導電性物体）によって発生する静電容量の変化は、表面電荷移動取得原理に基づき、実証済みの方法で測定されます。

タッチセンシングコントローラは、STMTouch タッチ検出ファームウェアライブラリによってフルサポートされています。この無料で利用できるライブラリにより、タッチ検出機能がエンドアプリケーションに確実に実装されます。

20.2 TSC の主な機能

タッチセンシングコントローラは、以下のような主な機能を備えています。

- 実績のある安定した表面電荷移動取得原理を採用。
- シールドなしで最大 28 本の静電容量検出チャネルに対応。
- シールドがグループ 7（推奨モード）で使用される場合、最大 6 本の静電容量検出チャネルに対応。
- スペクトル拡散機能により、ノイズの多い環境でのシステムの安定性が向上。
- 電荷移動取得シーケンスのハードウェア完全管理
- プログラム可能な電荷移動周波数
- プログラム可能なサンプリングコンデンサの I/O ピン
- プログラム可能なチャネルの I/O ピン
- 最大カウント値をプログラムできるので、チャネル障害時の取得時間の延長を回避。
- 割込み機能を持つ専用の取得完了フラグおよび最大カウントエラーフラグ
- 最高 3 本の静電容量検出チャネルに対して 1 個のサンプリングコンデンサとすることで、システム構成部品の個数を削減。
- 近接、タッチキー、リニア、およびロータリタイプのタッチセンサに対応。
- STMTouch タッチ検出ファームウェアライブラリで動作。

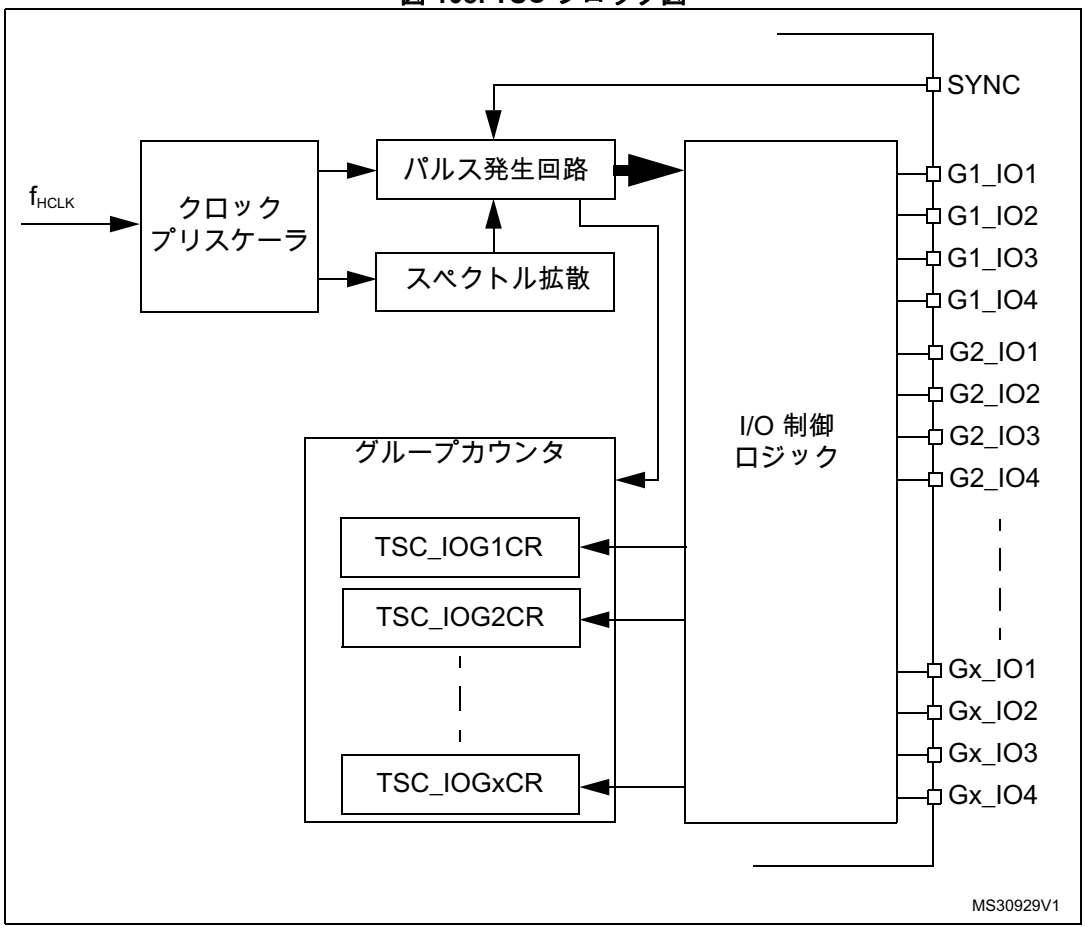
注： **静電容量検出チャネルの本数は、パッケージのサイズ、および使用可能なI/Oがあるかどうかによって決まります。**

20.3 TSC の機能説明

20.3.1 TSC ブロック図

タッチセンシングコントローラのブロック図を図 108 に示します。

図 108. TSC ブロック図



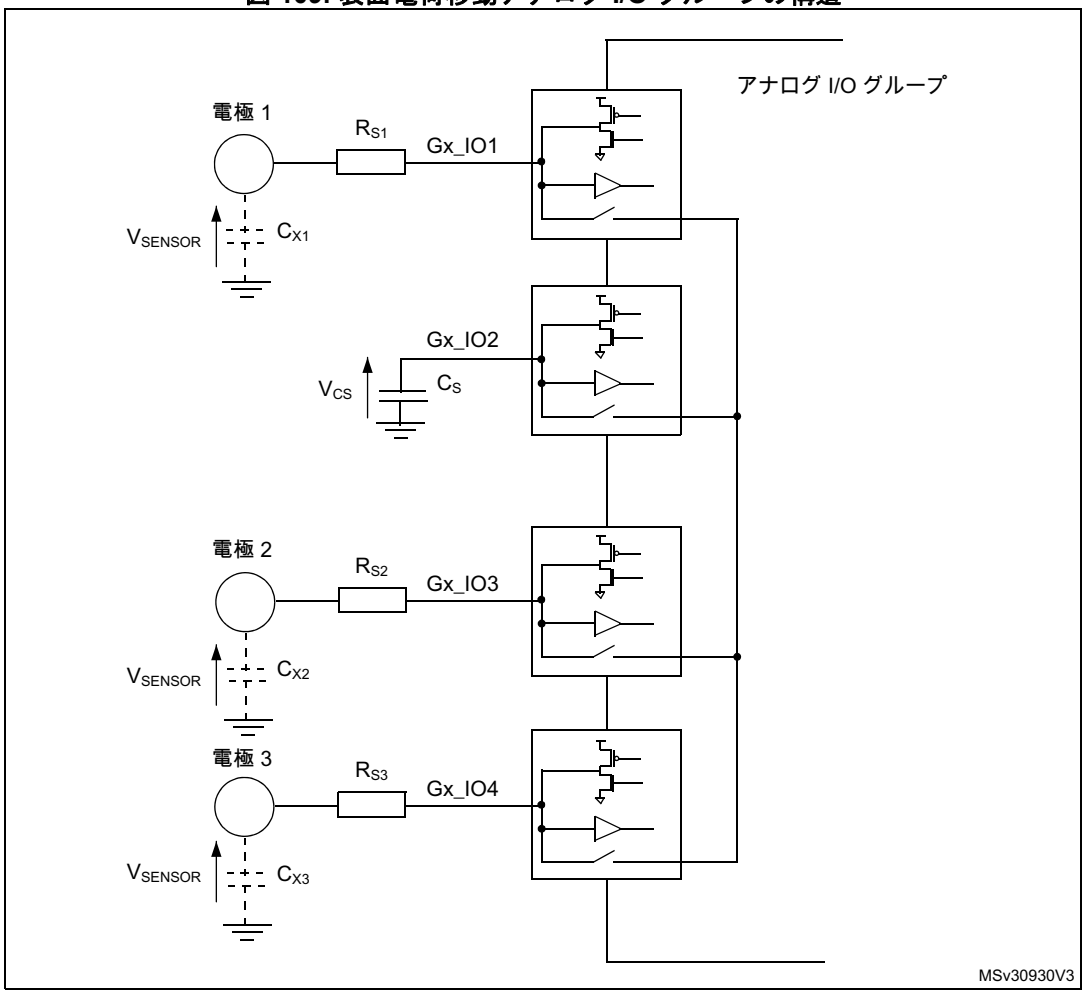
20.3.2 表面電荷移動取得の概要

表面電荷移動取得は、静電容量を計測するための実績のある、安定した効果的な方法です。この方法では、シングルエンド電極型で動作するために最低限必要な数の外部コンポーネントが使用されます。この取得は、最大 4 つの GPIO から成るアナログ I/O グループを中心に設計されています（図 109 を参照）。いくつかのアナログ I/O グループを使用することができ、それにより複数の静電容量検出チャネルを同時に取得し、サポートできる静電容量検出チャネルの数を増やすことができます。1 つのアナログ I/O グループ内で行われる静電容量検出チャネルの取得はシーケンシャルです。

GPIO のうちの 1 つは、サンプリングコンデンサ C_S 専用です。1 つのアナログ I/O グループでは、一度に 1 つのサンプリングコンデンサ I/O だけを有効にしてください。

残りの GPIO は電極に使用され、一般にチャネルと呼ばれます。特定のニーズ（近接検出など）については、1 つのアナログ I/O グループで同時に 1 つ以上のチャネルを有効にすることができます。

図 109. 表面電荷移動アナログ I/O グループの構造



注： **Gx_IOy の x はアナログ I/O グループの番号、y は選択したグループ内での GPIO の番号を表します。**

表面電荷移動取得の基本動作は、電極の静電容量（C_X）を充電することと、蓄積された電荷の一部をサンプリングコンデンサ（C_S）へ移動することです。このシーケンスは、C_S の電圧が所定の閾値（弊社の場合、V_{IH}）に達するまで繰り返されます。閾値に達するために必要な電荷移動の回数は、電極の静電容量の大きさで直接表されます。

表 106 に、静電容量検出チャネル 1 の電荷移動取得シーケンスの詳細を示します。C_S の電圧が所定の閾値に達するまで、状態 3～7 は、繰り返されます。その他のチャネルの取得にも同じシーケンスが適用されます。電極のシリアルレジスタ R_S によって、この方法の ESD（静電気放電）イミュニティが向上します。

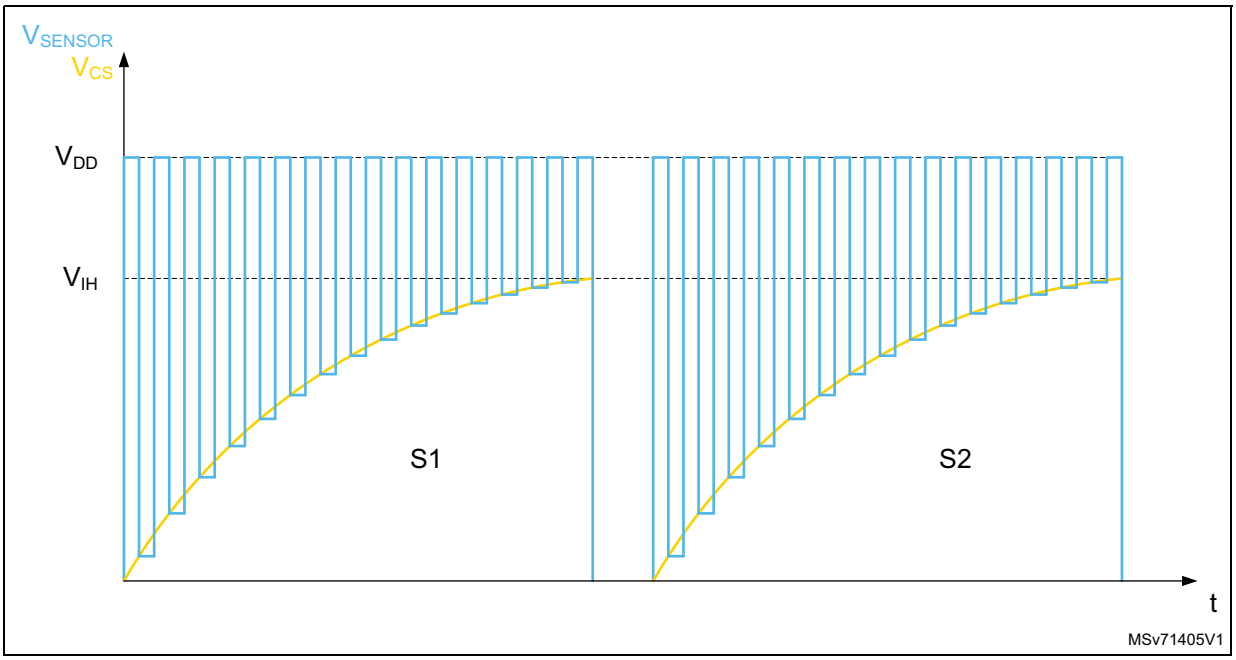
表 106. 取得シーケンスの概要

状態	Gx_IO1（チャネル）	Gx_IO2（サンプリング）	Gx_IO3（チャネル）	Gx_IO4（チャネル）	状態の説明
1	入力フローティング（アナログスイッチ閉）	出力オープンドレインロー（アナログスイッチ閉）	入力フローティング（アナログスイッチ閉）		すべての C_X および C_Sを放電。
2	入力フローティング				デッドタイム
3	出力プッシュプルハイ	入力フローティング			C_{X1} を充電
4	入力フローティング				デッドタイム
5	入力フローティング（アナログスイッチ閉）		入力フローティング		C_{X1} から C_S への電荷移動
6	入力フローティング				デッドタイム
7	入力フローティング				C_S の電圧を測定

注： **Gx_IOy の x はアナログ I/O グループの番号、y は選択したグループ内での GPIO の番号を表します。**

サンプリングコンデンサ C_S の電圧の経時変化を以下に示します（V_{SENSOR} と V_{CS} の定義については、図 109 を参照してください）。

図 110. サンプリングコンデンサの電圧の変化



20.3.3 リセットおよびクロック

TSC クロックソースは AHB クロック（HCLK）です。2 個のプログラム可能なプリスケーラを使用して、パルス発生回路およびスペクトル拡散内部クロックを生成します。

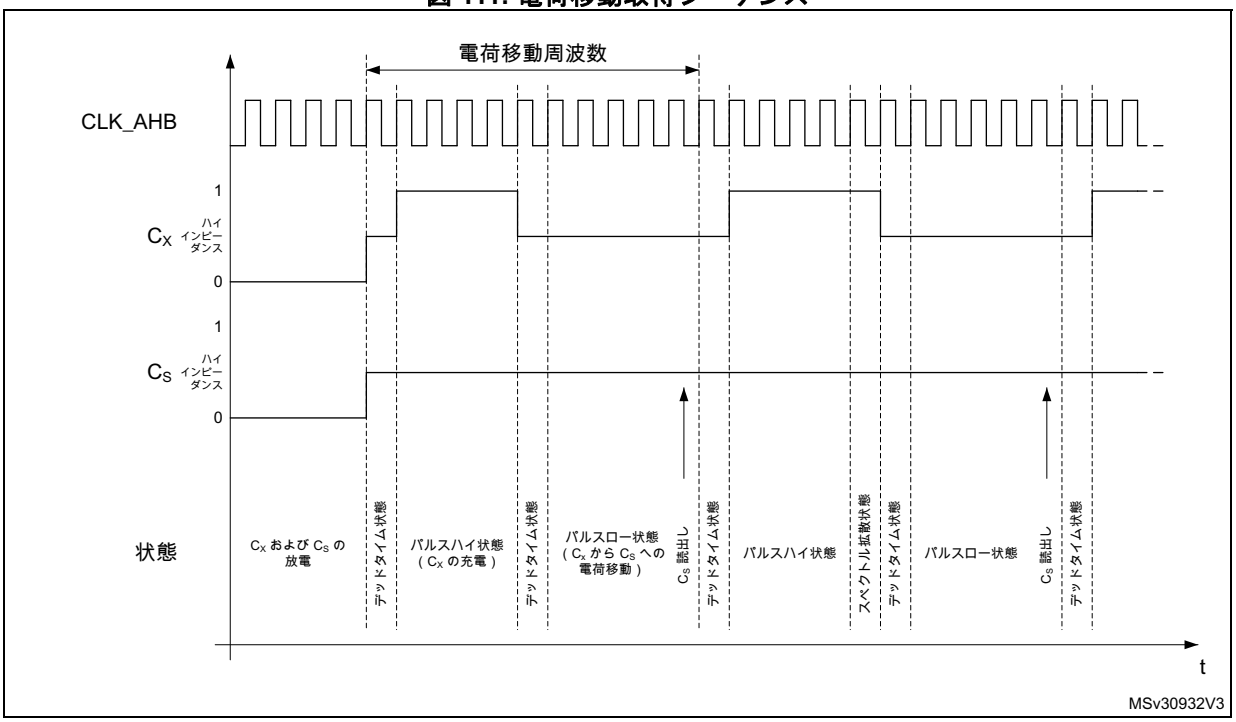
- パルス発生回路クロック（PGCLK）は、TSC_CR レジスタの PGPSC[2:0] ビットを使用して定義されます。
- スペクトル拡散クロック（SSCLK）は、TSC_CR レジスタの SSPSC ビットを使用して定義されます。

リセットおよびクロックコントローラ（RCC）は、タッチセンシングコントローラのクロックを有効にし、このペリフェラルをリセットするための専用ビットを提供します。詳細については、セクション 8：リセットおよびクロック制御（RCC）を参照してください。

20.3.4 電荷移動取得シーケンス

電荷移動取得シーケンスの例を図 111 に示します。

図 111. 電荷移動取得シーケンス



より高い柔軟性を得るために、電荷移動周波数は完全に設定可能です。パルスのハイ状態（C_X の充電）およびパルスのロー状態（C_X から C_S への電荷の移動）のどちらも、継続時間は TSC_CR レジスタの CTPH[3:0] ビットおよび CTPL[3:0] ビットを使用して定義できます。パルスのハイ状態およびロー状態の継続時間の標準範囲は、500 ns～2 µs です。電極の静電容量を正確に測定するには、C_X が常にフル充電となるように、パルスのハイ状態の継続時間を設定する必要があります。

電荷移動取得シーケンスを最適化するため、パルスのハイ状態とロー状態の間にデッドタイムが挿入されます。デッドタイムとは、サンプリングコンデンサの I/O とチャネルの I/O の両方が入力フローティング状態にある時間のことです。この状態の継続時間は HCLK の 2 周期です。

スペクトル拡散機能が有効であれば、パルスのハイ状態の最後に SSCLK クロックの周期の変数が追加されます。

サンプリングコンデンサの I/O の読出しは、C_S の電圧が所定の閾値に達したかどうかを確認するために、パルスのロー状態の最後に行われます。

注： **次の TSC 制御レジスタ設定は禁止されています。**

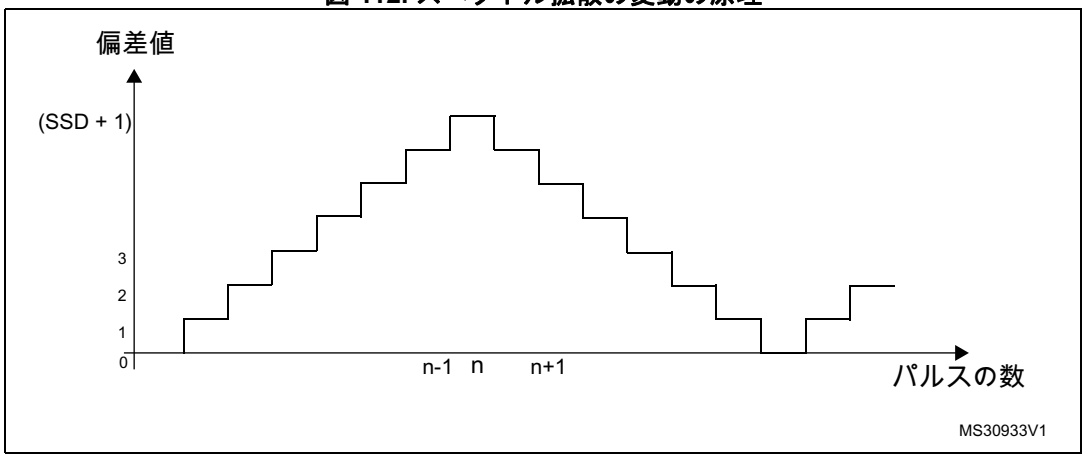
- **ビット PGPSC を“000”に、ビット CTPL を“0000”にセットすること**
- **ビット PGPSC を“000”に、ビット CTPL を“0001”にセットすること**
- **ビット PGPSC を“001”に、ビット CTPL を“0000”にセットすること**

20.3.5 スペクトル拡散機能

スペクトル拡散機能により、電荷移動周波数の変動が生成されます。これは、ノイズの多い環境において電荷移動取得の安定性を向上させ、さらに誘導放出を低減するために行われます。周波数の最大変動幅は、公称電荷移動周期の 10～50 % です。たとえば、公称電荷移動周波数が 250 kHz（4 µs）の場合、典型的なスペクトル拡散偏差は 10 %（400 ns）であり、この値から最小電荷移動周波数（227 kHz 以下）が導き出されます。

実際には、スペクトル拡散とは、以下に示す原理を用いて、SSCLK 周期の変数を パルスのハイ状態に追加することを言います。

図 112. スペクトル拡散の変動の原理



次の表に、異なる HCLK 設定での最大周波数偏差を示します。

表 107. スペクトル拡散偏差と AHB クロック周波数

f_{HCLK}	スペクトル拡散の刻み	スペクトル拡散最大偏差
32 MHz	31.25 ns	8206 ns

スペクトル拡散機能は、TSC_CR レジスタの SSE ビットを使用して有効／無効にできます。周波数偏差は、TSC_CR レジスタの SSPSC および SSD[6:0] ビットを介して、デバイス HCLK クロック周波数および選択された電荷移動周波数を収容できるように設定することも可能です。

20.3.6 最大カウントエラー

最大カウントエラーは、静電容量検出チャネルの障害により取得時間が長くなるのを防ぎます。アナログ I/O グループのカウンタに対して最大カウント値を指定するのがこのエラーです。この最大カウント値は TSC_CR レジスタの MCV[2:0] ビットを使用して指定されます。取得グループのカウンタがこの最大値に到達するとすぐに、処理中の取得は停止し、取得完了（EOAF ビット）および最大カウントエラー（MCEF ビット）の両方のフラグがセットされます。対応する取得完了（EOAIE ビット）や最大カウントエラー（MCEIE ビット）の割込みイネーブルビットがセットされている場合は、割込みも生成することができます。

20.3.7 サンプリングコンデンサ I/O および チャネル I/O のモード選択

タッチセンシングコントローラによる GPIO の制御を可能にするには、標準の GPIO レジスタおよび GPIOxAFR レジスタを介して、対応するオルタネート機能を有効にする必要があります。

TSC によって制御される GPIO モードは、TSC_IOSCR および TSC_IOCCR レジスタを使用して定義されます。

処理中の取得がない場合、タッチセンシングコントローラによって制御されるすべての I/O はデフォルト状態です。取得の処理中は、未使用 I/O（サンプリングコンデンサ I/O としても、チャネル I/O としても定義されない）のみがデフォルト状態です。TSC_CR レジスタの IODEF ビットは、デフォルト状態にある I/O の設定を定義します。次の表にモードに応じた I/O の設定を示します。

表 108. モードおよび IODEF ビットの値に応じた I/O の状態

IODEF ビット	取得ステータス	未使用 I/O モード	チャネル I/O モード	サンプリングコンデンサ I/O モード
0（出力プッシュプルロー）	いいえ	出力プッシュプルロー	出力プッシュプルロー	出力プッシュプルロー
0（出力プッシュプルロー）	進行中	出力プッシュプルロー	-	-
1（入力フローティング）	いいえ	入力フローティング	入力フローティング	入力フローティング
1（入力フローティング）	進行中	入力フローティング	-	-

未使用 I/O モード

未使用 I/O は、TSC ペリフェラルによって制御される GPIO に対応しますが、電極 I/O としても、サンプリングコンデンサ I/O としても定義されません。

サンプリングコンデンサ I/O モード

TSC ペリフェラルによるサンプリングコンデンサ I/O の制御を可能にするには、まず対応する GPIO をオルタネート出力オープンドレインモードにセットし、次に TSC_IOSCR レジスタの対応する Gx_IOy ビットをセットする必要があります。

1 つのアナログ I/O グループでは、一度に 1 つのサンプリングコンデンサのみを有効にしてください。

チャネル I/O モード

TSC ペリフェラルによるチャネル I/O の制御を可能にするには、まず対応する GPIO をオルタネート出力プッシュプルモードにセットし、次に TSC_IOCCR レジスタの対応する Gx_IOy ビットをセットする必要があります。

より高い等価電極表面が要求される、あるいは取得プロセスを高速化する近接検出では、同じアナログ I/O グループに属するいくつかのチャネルを有効にし、同時に取得することが可能です。

注： **取得フェーズの間、および TSC ペリフェラルのオルタネート機能が有効でない場合でも、TSC_IOSCR または TSC_IOCCR ビットがセットされたらすぐに、タッチセンシングコントローラによって、対応する GPIO アナログスイッチが自動的に制御されます。**

20.3.8 取得モード

タッチセンシングコントローラには 2 種類の取得モードがあります。

- 通常の取得モード:TSC_CR レジスタの START ビットがセットされるとすぐに取得を開始します。
- 同期取得モード：TSC_CR レジスタの START ビットをセットすることで取得が有効になりますが、取得の開始は、立ち下がり／立ち上がりエッジおよび SYNC 入力ピンのハイレベルが検出されたときのみです。このモードは、CPU 負荷を追加することなく、静電容量検出チャネルの取得を外部信号に同期させる場合に役立ちます。

TSC_IOGCSR レジスタの GxE ビットで、どのアナログ I/O グループを有効（対応するカウンタがカウントされる状態）にするかを指定します。無効なアナログ I/O グループの C_S 電圧は監視されず、このグループは取得完了フラグのトリガに加わりません。ただし、無効なアナログ I/O グループにいくつかのチャネルが含まれる場合は、それらはパルスを出力します。

有効なアナログ I/O グループの C_S 電圧が所定の閾値に達すると、TSC_IOGCSR レジスタの対応する GxS ビットがセットされます。すべての有効なアナログ I/O グループの取得が完了した（すべての有効なアナログ I/O グループのすべての GxS ビットがセットされた）時点で、TSC_ISR レジスタの EOAF フラグがセットされます。TSC_IER レジスタの EOAIE ビットがセットされている場合、割込みリクエストが生成されます。

最大カウントエラーが検出された場合、処理中の取得は停止し、TSC_ISR レジスタの EOAF フラグと MCEF フラグの両方がセットされます。対応するビット（TSCIER レジスタの EOAIE および MCEIE ビット）がセットされていれば、両方のイベントに対して割込みリクエストを生成できます。最大カウントエラーが検出された場合、有効なアナログ I/O グループの残りの GxS ビットはセットされませんので注意してください。

割込みフラグをクリアするには、TSC_ICR レジスタの対応する EOAIC ビットと MCEIC ビットをセットする必要があります。

アナログ I/O グループのカウンタは、新しい取得が開始された時点でクリアされます。カウンタは、取得完了と同時に、対応するチャネルで生成された電荷移動サイクルの数に更新されます。

20.3.9 I/O ヒステリシスおよびアナログスイッチの制御

より高い柔軟性を提供するために、タッチセンシングコントローラを使用することで、各 Gx_IOy のシュミットトリガヒステリシスおよびアナログスイッチを制御することができます。タッチセンシングコントローラが有効であると仮定すれば、I/O 制御モードの状態（標準の GPIO レジスタまたはその他のペリフェラルによって制御されている）にかかわらず、この制御は実行可能です。この制御は、異なる取得シーケンスを実行したり、他の目的のために実行する際に役立つことがあります。

システムの誤検出を防ぐ目的で、
TSC_IOHCR レジスタの対応する Gx_IOy ビットをリセットすることによって、TSC によって制御される GPIO のシュミットトリガヒステリシスを無効にする必要があります。

20.4 TSC 低電力モード

表 109. 低消費電力モードが TSC に与える影響

モード	説明
SLEEP	影響はありません。ペリフェラル割込みによって、デバイスは SLEEP モードを終了します。
低電力 RUN	影響はありません。
低電力 SLEEP	影響はありません。ペリフェラル割込みによって、デバイスは低電力 SLEEP モードから復帰します。
STOP 0 / STOP 1	ペリフェラルレジスタの内容は保たれます。
STOP 2	
STANDBY	パワーダウン状態です。ペリフェラルは、STANBY または SHUTDOWN モード終了後に再初期化する必要があります。
SHUTDOWN	

20.5 TSC 割込み

表 110. 割込み制御ビット

割込みイベント	有効制御ビット	イベントフラグ	フラッグビットのクリア	SLEEPモードの終了	STOPモードの終了	STANDBYモードの終了
取得完了	EOAIE	EOAIF	EOAIC	可能	不可	不可
最大カウントエラー	MCEIE	MCEIF	MCEIC	可能	不可	不可

20.6 TSC レジスタ

レジスタの説明で使用されている略語のリストについては、リファレンスマニュアルの 60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスすることができます。

20.6.1 TSC 制御レジスタ（TSC_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CTPH[3:0]				CTPL[3:0]				SSD[6:0]							SSE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSPSC	PGPSC[2:0]			Res.	Res.	Res.	Res.	MCV[2:0]			IODEF	SYNC POL	AM	START	TSCE
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **CTPH[3:0]**：電荷移動パルスハイ

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、電荷移動パルスのハイ状態（C_X の充電）の継続時間を定義します。

0000：1x t_{PGCLK}
0001：2x t_{PGCLK}
.....
1111：16x t_{PGCLK}

注： 取得処理中はこれらのビットを変更しないでください。

ビット 27:24 **CTPL[3:0]**：電荷移動パルスロー

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、電荷移動パルスのロー状態（C_X から C_S への電荷の移動）の継続時間を定義します。

0000：1x t_{PGCLK}
0001：2x t_{PGCLK}
.....
1111：16x t_{PGCLK}

注： 取得処理中はこれらのビットを変更しないでください。

注： 一部の設定は禁止されています。詳細については、セクション 20.3.4：電荷移動取得シーケンスを参照してください。

ビット 23:17 **SSD[6:0]**：スペクトル拡散偏差

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、SSCLK クロックの周期の変数を電荷移動パルスのハイ状態に追加する際のスペクトル拡散偏差を定義します。

0000000：1x t_{SSCLK}
0000001：2x t_{SSCLK}
.....
1111111：128x t_{SSCLK}

注： 取得処理中はこれらのビットを変更しないでください。

ビット 16 **SSE**：スペクトル拡散イネーブル

このビットは、スペクトル拡散機能を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：スペクトル拡散機能は無効です。

1：スペクトル拡散機能は有効です。

注： 取得処理中はこのビットを変更しないでください。

ビット 15 **SSPSC**：スペクトル拡散プリスケーラ

このビットは、ソフトウェアによってセット／クリアされます。このビットは、スペクトル拡散クロック（SSCLK）の生成に使用される AHB クロック分周器を選択します。

0：f_{HCLK}

1：f_{HCLK} /2

注： 取得処理中はこのビットを変更しないでください。

ビット 14:12 **PGPSC[2:0]**：パルス発生回路プリスケーラ

これらのビットはソフトウェアによってセット／クリアされます。これらのビットは、パルス発生回路クロック（PGCLK）の生成に使用される AHB クロック分周器を選択します。

000：f_{HCLK}

001：f_{HCLK} /2

010：f_{HCLK} /4

011：f_{HCLK} /8

100：f_{HCLK} /16

101：f_{HCLK} /32

110：f_{HCLK} /64

111：f_{HCLK} /128

注： 取得処理中はこれらのビットを変更しないでください。

注： 一部の設定は禁止されています。詳細については、セクション 20.3.4：電荷移動取得シーケンスを参照してください。

ビット 11:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:5 **MCV[2:0]**：最大カウント値

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、最大カウントエラーが生成される前に生成され得る電荷移動パルスの最大数を定義します。

000：255

001：511

010：1023

011：2047

100：4095

101：8191

110：16383

111：予約済み

注： 取得処理中はこれらのビットを変更しないでください。

ビット 4 **IODEF**：I/O デフォルトモード

このビットは、ソフトウェアによってセット／クリアされます。このビットは、処理中の取得がない場合に、すべての TSC I/O の設定を定義します。処理中の取得がある場合、このビットは、すべての未使用 I/O （サンプリングコンデンサ I/O やチャネル I/O として定義されていない）の設定を定義します。

0：I/O は強制的に出力プッシュプルローにされます。

1：I/O は入力フローティング状態です。

注： 取得処理中はこのビットを変更しないでください。

ビット 3 **SYNCPOL**：同期ピンの極性

このビットは、同期入力ピンの極性を選択するために、ソフトウェアによってセット／クリアされます。

0：立ち下がりエッジのみ

1：立ち上がりエッジおよびハイレベル

ビット 2 **AM**：取得モード

このビットは、取得モードを選択するために、ソフトウェアによってセット／クリアされます。

0：通常の取得モード（START ビットがセットされた直後に取得を開始）

1：同期取得モード（START ビットがセットされ、かつ選択された信号が SYNC 入力ピンで検出された場合に、取得を開始）

注： 取得処理中はこのビットを変更しないでください。

ビット 1 **START**：新しい取得を開始します。

このビットは、新しい取得を開始するために、ソフトウェアによってセットされます。このビットは、取得が完了した直後にハードウェアによって、または処理中の取得をキャンセルするためにソフトウェアによってクリアされます。

0：取得は開始されていません。

1：新しい取得を開始します。

ビット 0 **TSCE**：タッチセンシングコントローライネーブル

このビットは、タッチセンシングコントローラを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：タッチセンシングコントローラは無効です。

1：タッチセンシングコントローラは有効です。

注： タッチセンシングコントローラが無効の場合、TSC レジスタの設定は無効です。

20.6.2 TSC 割込み有効レジスタ（TSC_IER）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEIE	EOAIE
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **MCEIE**：最大カウントエラー割込みイネーブル

このビットは、最大カウントエラーの割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：最大カウントエラー割込みは無効です。

1：最大カウントエラー割込みは有効です。

ビット 0 **EOAIE**：取得完了割込みイネーブル

このビットは、取得完了割込みを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：取得完了割込みは無効です。

1：取得完了割込みは有効です。

20.6.3 TSC 割込みクリアレジスタ（TSC_ICR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEIC	EOAIC
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **MCEIC**：最大カウントエラー割込みクリア

このビットは、最大カウントエラーフラグをクリアするためにソフトウェアによってセットされ、フラグがリセットされた時点でハードウェアによってクリアされます。“0”を書き込んでも、ビットの値は変化しません。

0：影響なし。

1：TSC_ISR レジスタの対応する MCEF をクリアします。

ビット 0 **EOAIC**：取得完了割込みクリア

このビットは、取得完了フラグをクリアするためにソフトウェアによってセットされ、フラグがリセットされた時点でハードウェアによってクリアされます。“0”を書き込んでも、ビットの値は変化しません。

0：影響なし。

1：TSC_ISR レジスタの対応する EOAF をクリアします。

20.6.4 TSC 割込みステータスレジスタ（TSC_ISR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEF	EOAF
														r	r

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **MCEF**：最大カウントエラーフラグ

このビットは、アナログ I/O グループのカウンタが指定された最大カウント値に達すると、ハードウェアによってセットされます。このビットは、ソフトウェアで TSC_ICR レジスタの MCEIC ビットに“1”を書き込むことによってクリアされます。

0：最大カウントエラー（MCE）は検出されていません。

1：最大カウントエラー（MCE）が検出されました。

ビット 0 **EOAF**：取得完了フラグ

このビットは、すべての有効なグループの取得が完了した（すべての有効なアナログ I/O グループのすべての GxS ビットがセットされた、または最大カウントエラーが検出された）時点で、ハードウェアによってセットされます。このビットは、ソフトウェアで TSC_ICR レジスタの EOAIC ビットに“1”を書き込むことによってクリアされます。

0：取得は処理中または開始されていません。

1：取得は完了しました。

20.6.5 TSC I/O ヒステリシス制御レジスタ（TSC_IOHCR）

アドレスオフセット：0x10

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:0 **Gx_IOy**：Gx_IOy シュミットトリガヒステリシスモード

これらのビットは、Gx_IOy シュミットトリガヒステリシスを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Gx_IOy シュミットトリガヒステリシスは無効です。

1：Gx_IOy シュミットトリガヒステリシスは有効です。

注： これらのビットは、I/O 制御モードの状態にかかわらず（標準の GPIO レジスタによって制御されていても）、I/O シュミットトリガヒステリシスを制御します。

20.6.6 TSC I/O アナログスイッチ制御レジスタ（TSC_IOASCR）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:0 **Gx_IOy**：Gx_IOy アナログスイッチイネーブル

これらのビットは、Gx_IOy アナログスイッチを有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：Gx_IOy アナログスイッチは無効（開）です。

1：Gx_IOy アナログスイッチは有効（閉）です。

注： これらのビットは、I/O 制御モードの状態にかかわらず（標準の GPIO レジスタによって制御されていても）、I/O アナログスイッチを制御します。

20.6.7 TSC I/O サンプリング制御レジスタ（TSC_IOSCR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:0 **Gx_IOy**：Gx_IOy サンプリングモード

これらのビットは、Gx_IOy をサンプリングコンデンサ I/O として設定するために、ソフトウェアによってセット／クリアされます。1 つのアナログ I/O グループでは、1 つの I/O だけをサンプリングコンデンサとして定義してください。

0：Gx_IOy は未使用です。

1：Gx_IOy はサンプリングコンデンサとして使用されます。

注： 取得処理中はこれらのビットを変更しないでください。

取得フェーズの間、および TSC ペリフェラルのオルタネート機能が有効でない場合でも、TSC_IOSCR ビットがセットされたらすぐに、タッチセンシングコントローラによって、対応する GPIO アナログスイッチが自動的に制御されます。

20.6.8 TSC I/O チャネル制御レジスタ（TSC_IOCCR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:0 **Gx_IOy**：Gx_IOy チャネルモード

これらのビットは、Gx_IOy をチャネル I/O として設定するために、ソフトウェアによってセット／クリアされます。

0：Gx_IOy は未使用です。

1：Gx_IOy はチャネルとして使用されます。

注： 取得処理中はこれらのビットを変更しないでください。

取得フェーズの間、および TSC ペリフェラルのオルタネート機能が有効でない場合でも、TSC_IOCCR ビットがセットされたらすぐに、タッチセンシングコントローラによって、対応する GPIO アナログスイッチが自動的に制御されます。

20.6.9 TSC I/O グループ制御ステータスレジスタ（TSC_IOGCSR）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	G7S	G6S	G5S	G4S	G3S	G2S	G1S
									r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	G7E	G6E	G5E	G4E	G3E	G2E	G1E
									rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **GxS**：アナログ I/O グループ x ステータス

これらのビットは、対応する有効なアナログ I/O グループ x で取得が完了した時点で、ハードウェアによってセットされます。これらのビットは、新しい取得が開始した時点で、ハードウェアによってクリアされます。

0：アナログ I/O グループ x での取得は、処理中または開始されていません。

1：アナログ I/O グループ x での取得は完了しました。

注： 最大カウントエラーが検出された場合、有効なアナログ I/O グループの残りの GxS ビットはセットされません。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **GxE**：アナログ I/O グループ x イネーブル

これらのビットは、対応するアナログ I/O グループ x での取得を有効（カウンタがカウントされる状態）にするために、ソフトウェアによってセット／クリアされます。

0：アナログ I/O グループ x での取得は無効です。

1：アナログ I/O グループ x での取得は有効です。

20.6.10 TSC I/O グループ x カウンタレジスタ（TSC_IOGxCR）

x はアナログ I/O グループの番号を表します。

アドレスオフセット：0x30 + 0x04 * x、（x = 1 から 7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CNT[13:0]													
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:0 **CNT[13:0]**：カウンタ値

これらのビットは、アナログ I/O グループ x の取得を完了させる（C_S の電圧が閾値に達する）ために、そこで生成された電荷移動サイクルの数を表します。

20.6.11 TSC レジスタマップ

表 111. TSC レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	TSC_CR	CTPH[3:0]				CTPL[3:0]				SSD[6:0]							SSE	SSPSC	PGPSC[2:0]			Res.	Res.	Res.	Res.	MCV [2:0]			IODEF	SYNCPOL	AM	START	TSCE
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0
0x0004	TSC_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEIE	EOAIE
	リセット値																															0	0
0x0008	TSC_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEIC	EOAIC
	リセット値																															0	0
0x000C	TSC_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCEF	EOAF
	リセット値																															0	0
0x0010	TSC_IOHCR	Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1	G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
	リセット値					1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x0014	予約済みです。																																
0x0018	TSC_IOASCR	Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1	G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	予約済みです。																																
0x0020	TSC_IOSCR	Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1	G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0024	予約済みです。																																
0x0028	TSC_IOCCR	Res.	Res.	Res.	Res.	G7_IO4	G7_IO3	G7_IO2	G7_IO1	G6_IO4	G6_IO3	G6_IO2	G6_IO1	G5_IO4	G5_IO3	G5_IO2	G5_IO1	G4_IO4	G4_IO3	G4_IO2	G4_IO1	G3_IO4	G3_IO3	G3_IO2	G3_IO1	G2_IO4	G2_IO3	G2_IO2	G2_IO1	G1_IO4	G1_IO3	G1_IO2	G1_IO1
	リセット値					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x002C	予約済みです。																																
0x0030	TSC_IOGCSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	G7S	G6S	G5S	G4S	G3S	G2S	G1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	G7E	G6E	G5E	G4E	G3E	G2E	G1E
	リセット値										0	0	0	0	0	0	0										0	0	0	0	0	0	0
0x0034	TSC_IOG1CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0038	TSC_IOG2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x003C	TSC_IOG3CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 111. TSC レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0040	TSC_IOG4CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0044	TSC_IOG5CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0048	TSC_IOG6CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004C	TSC_IOG7CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[13:0]													
	リセット値																			0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

21 真性乱数発生器（RNG）

21.1 概要

RNG は、完全エントロピー出力を 32 ビットサンプルとしてアプリケーションに提供する真性乱数発生器です。ライブエントロピーソース（アナログ）と内部conditioning component(条件付けコンポーネント)から構成されています。

RNG は、ライブエントロピーソースとして作用する NIST 準拠の決定論的乱数発生器（DRBG）の構築に使用できます。

RNG の真性乱数発生器は、ドイツ BSI 文書の統計的検定 AIS-31 (T0～T8) 規格に従って試験を行いました。

21.2 RNG の主な機能

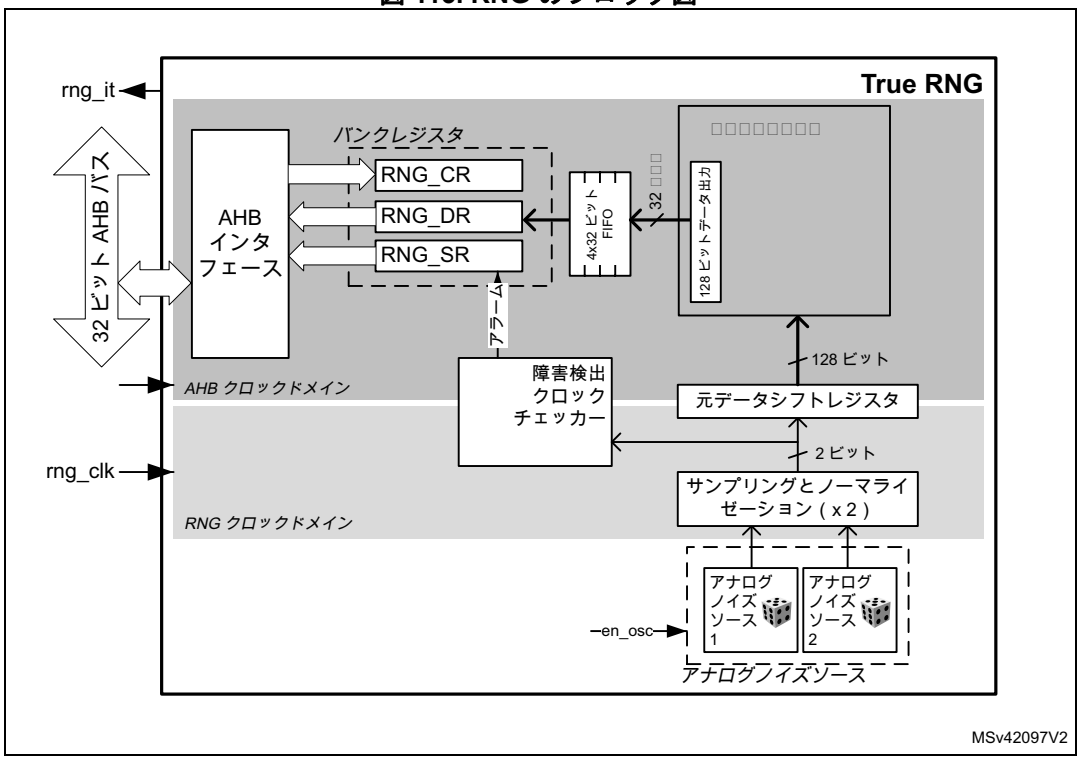
- RNG は、アナログエントロピーソースを高品質の条件付け技術によって処理して得られた 32 ビットの真性乱数を供給します。
- NIST の構成では、値が 213 サイクルを超えている（213 サイクルを除く）場合、16x $\frac{f_{AHB}}{f_{RNG}}$ AHB クロックサイクルごとに 4 つの 32 ビットのランダムサンプルを生成します。
- 関連したエラー管理を使った連続した基本的な健全性試験が内蔵されており使用可能です。
  - 非常に低いサンプリングクロック検出および反復カウント試験が搭載されています。
- 無効化して消費電力を低減することができます。
- 32 ビットワードのシングルアクセスでのみアクセス可能な AMBA® AHB スレーブペリフェラルが搭載されています（それ以外は AHB バスエラーが発生し、書込みアクセスは無視されます）。

21.3 RNG の機能説明

21.3.1 RNG ブロック図

図 113 に RNG ブロック図を示します。

図 113. RNG のブロック図



21.3.2 RNG 内部信号

表 112 では、RNG をより良く理解するために内部の信号のリストを記載しております。STM32（パッド上）の入出力の信号ではありません。

表 112. RNG 内部入力／出力信号

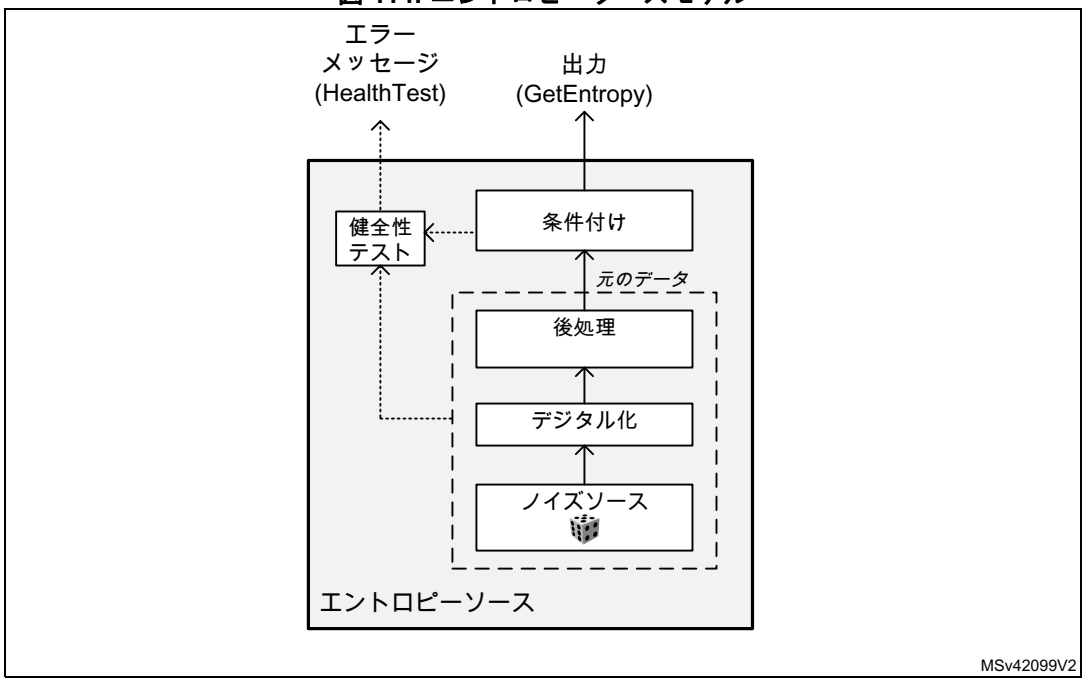
信号名	信号タイプ	説明
rng_it	デジタル出力	RNG グローバル割込みリクエスト
rng_hclk	デジタル入力	AHB クロック
rng_clk	デジタル入力	RNG 専用クロック、rng_hclk と非同期

21.3.3 乱数の生成

真性乱数発生器（RNG）は、決定論的な間隔で AHB インタフェースを介して真にランダムなデータを伝送します。その境界内で、RNG は図 114 に示すようなエントロピー·ソース·モデルを実装しています。

そこには、アナログノイズソース、後処理を伴うデジタル化ステージ、条件付けアルゴリズム、健全性監視ブロック、およびエントロピーソースとの相互作用に使用される 2 つのインタフェース、すなわち GetEntropy と HealthTest が含まれています。

図 114. エントロピーソースモデル



上に図示されたコンポーネントの詳細を以下に示します。

ノイズソース

ノイズソースは、非決定論的なエントロピーを生成する構成要素のノイズソースで、これは出力の不確実性に関連したものです（デジタル化されたノイズソースやソースデータ）。以下の要素で構成されます。

- それぞれXORされたフリーランのリングオシレータの出力 3 つに基づく 2 個のアナログノイズソースセクション 21.3.8 : RNG の低消費電力時の取り扱いに記載しているとおり、電力低減のためにそれらのアナログオシレータは無効化できます。
- 専用クロック入力（rng_clk）でクロックされたこれらの出力のサンプリングステージでは、2 ビットの元データ出力を伝えます。

ノイズソースサンプリングは、AHB インタフェースクロック周波数（rng_hclk）に対して独立しています。

注： **セクション 21.6 : RNG エントロピーソース検証では、推奨される RNG クロック周波数が示されています。**

後処理

真性乱数ノイズソースから取得されるサンプル値は、2 ビットのビット列から成ります。このノイズソース出力はバイアスされるため、RNG が許容レベルまでそのバイアスを軽減する後処理コンポーネントを実行します。

より具体的に言えば、ノイズソースの 2 ビットそれぞれに対して、RNG は、サンプルノイズソースと反転したサンプルノイズソースからビットを半分ずつ取得します。こうして、ソースが“0”より“1”を多く生成する（またはその逆の）場合、フィルタされます。

条件付け

RNG の条件付けコンポーネントは、結果として得られる固定長ビット列出力（128ビット）のエントロピー率を増加させる決定論的機能です。

32 ビット以上の元データが受信され、出力 FIFO を再フィルする必要がある場合に、後処理計算がトリガされることにも注意してください。したがって、64 RNG クロックサイクル後にアプリケーションによって RNG 128 ビット FIFO が空になる場合に、RNG 出力エントロピーは最大となります。

2 つの乱数生成の間に必要な時間、RNG を初期化してから最初のサンプルを利用できるまでに必要な時間については、セクション 21.5：RNG 処理時間に記載しています。

条件付けコンポーネントは、より高速な AHB クロックによりクロック制御されます。

出力バッファ

データ出力バッファは、条件付けコンポーネントから出力された 32 ビットワードを 4 つまで格納できます。RNG_DR レジスタを通じて出力 FIFO から 4 ワード読み出されると、128 ビット条件付け出力レジスタの内容は出力 FIFO にプッシュされ、新たな条件付けが自動的に始まります。213 AHB クロックサイクル後に、新たな 4 ワードが条件付け出力レジスタに追加されます。

乱数が RNG_DR レジスタを介して使用できるときは必ず、DRDY フラグが 0 から 1 に変わります。このフラグは、RNG_DR レジスタから 4 ワード読み出した後、出力バッファが空になるまで“1”のままになります。

注： **割込みが有効の場合、このデータレディフラグが 0 から 1 に遷移するときに割込みが生成されます。その後、上記で説明したように割込みは RNG によって自動的にクリアされます。**

健全性チェック

このコンポーネントはエントロピーソース全体（そのノイズソースとともに）を開始し、その後期待通りに実行し、高い確立と信頼性ですばやく不具合の取り込みを保証することを確実にします。

RNG は、以下のような健全性チェック機能を実行します。

1. ノイズソースの出力で無制限に実行する Continuous health tests（連続した健全性テスト）
   - 繰り返しのカウントテスト、エラーフラグは以下の場合:
   a) ノイズソースの 1 つが 64 ビット以上連続して一定値（“0”または“1”）または、2 つのビットパターン（“01”や“10”）を 32 ビット以上連続して提供しました。
   b) 両方のノイズソースが 32 ビット以上連続して一定値（“0”または“1”）または、2 つのビットパターン（“01”や“10”）を 16 ビット以上連続して提供しました。
2. ベンダ固有の連続した試験
   - リアルタイムの「遅すぎる」サンプリングクロック検出回路。1 つの RNG クロックサイクルが 32 で分周された AHB クロックサイクルより小さい場合にエラーフラグを立てます。

エラーコンディションが検出された時に、RNG_SR レジスタの CECS および SECS ステータスビットに表示されます。詳細はセクション 21.3.7：エラー管理を参照してください。

注： **エラーが検出された場合、割込みを生成することができます。**

21.3.4 RNG 初期化

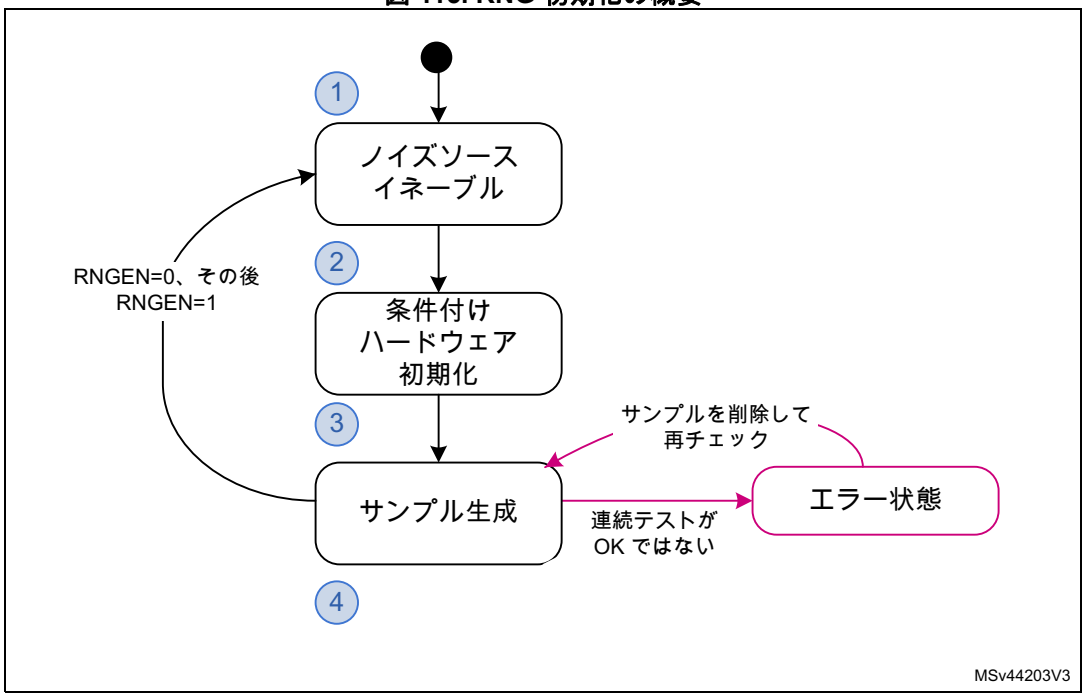
図 115 に RNG の簡易ステートマシンを図示します。

RNG を有効化した後（RNG_CR の RNGEN = 1）、以下の一連のイベントが発生します。

1. アナログノイズソースが有効になり、その直後にロジックがアナログ出力のサンプリングを開始し、128 ビット条件付けシフトレジスタに入力します。
2. 条件付けロジックが有効になり、後処理の内容が 2 つの 128 ノイズソースビットを用いて初期化されます。
3. 条件付けステージ内部入力データバッファに 128 ビット再入力され、条件付けラウンドが 1 回実行されます。その後、出力バッファには後処理の結果が入力されます。
4. 出力バッファは RNG の使用方法に応じて自動的に再入力されます。

関連する初期化時間については、セクション 21.5：RNG 処理時間を参照してください。

図 115. RNG 初期化の概要



21.3.5 RNG 動作

通常動作

割込みを使用して RNG を作動させるには、次の手順を推奨します。

1. RNG_CR レジスタの IE ビットをセットすることによって、割込みを有効にします。同時に、RNGEN = 1 にセットすることにより、RNG を有効にします。
2. 乱数の準備ができたとき、またはエラーが発生したとき、割込みが生成されるようになります。そのため、割込みごとに次をチェックします。
   - 発生したエラーはありません。RNG_SR レジスタで SEIS および CEIS ビットを 0 にセットする必要があります。
   - 乱数が準備できています。RNG_SR レジスタで DRDY ビットを 1 にセットする必要があります。
   - 上記 2 つの条件に当てはまる場合、最大で連続 4 回まで RNG_DR レジスタの内容が読み出せるようになります。条件付け出力バッファに有効なデータがある場合には、アプリケーションによってさらに 4 ワード読み出すことができます（この場合には DRDY ビットはハイのままです）。上記の条件のどちらかまたは両方に当てはまらない場合、RNG_DR レジスタを読み出さないでください。エラーが発生した場合には、セクション 21.3.7 に記載されたリカバリシーケンスを使用する必要があります。

ポーリングモードで RNG を作動させるには、次の手順を推奨します。

1. RNG_CR レジスタの RNGEN ビットを“1”にセットして、乱数発生を有効にします。
2. RNG_SR レジスタを読み出し、次を確認します。
   - 発生したエラーはありません（SEIS および CEIS ビットは 0 にセットされていなければなりません）。
   - 乱数が準備できています（DRDY ビットは 1 にセットされていなければなりません）。
3. 上記の条件に当てはまる場合、最大で連続 4 回まで RNG_DR レジスタの内容を読み出します。条件付け出力バッファに有効なデータがある場合にはアプリケーションによってさらに 4 ワード読み出すことができます（この場合には DRDY ビットはハイのままです）。上記の条件のどちらかまたは両方に当てはまらない場合、RNG_DR レジスタを読み出さないでください。エラーが発生した場合には、セクション 21.3.7 に記載されたリカバリシーケンスを使用する必要があります。

注： **データが準備できていない場合（DRDY = 0）、RNG_DR は 0 を返します。**
RNG_DR がゼロではないことを常に確認することをお勧めします。ゼロの場合、RNG_SR ポーリングと RND_DR 出力読出しの間にシードエラーが発生した（まれなイベント）ことを意味するからです。

低電力動作

消費電力がアプリケーションに対して懸念となる場合、セクション 21.3.8：RNG の低消費電力時の取り扱いに示すように低電圧ストラテジーを使用できます。

ソフトウェア後処理

NIST が承認した 128 ビットのセキュリティ強度を持つ DRBG が必須である場合、RNG 真性乱数発生器付近で認められた乱数発生器ソフトウェアを構築する必要があります。

内蔵されている健全性チェック機能の説明はセクション 21.3.3：乱数の生成を参照してください。

21.3.6 RNG クロック供給

RNG は、AHB バスクロックと専用 RNG クロックの 2 種類の異なるクロックで動作します。

AHB クロックは、AHB バンクレジスタおよび条件付けコンポーネントにクロック供給するために使用されます。RNG クロックは、ノイズソースサンプリングに使用されます。推奨されるクロック設定は、セクション 21.6：RNG エントロピーソース検証で詳しく説明されています。

注： **RNG_CR レジスタの CED ビットが 0 にセットされている場合、RNG クロック周波数は 32 で分周された AHB クロック周波数より高くする必要があります。そうしないと、クロックチェッカーが常にクロックエラーのフラグ（RNG_SR レジスタの CECS = 1）を立てます。**

詳細（AHB および RNG クロックドメイン）については、セクション 21.3.1：RNG ブロック図を参照してください。

21.3.7 エラー管理

このセクションに詳細を示しているとおり、乱数生成と並行して、健全性チェックブロックにより、正しいノイズソース動作と RNG ソースクロックの周波数が検証されます。関連するエラー状態も記載されています。

クロックエラー検出

クロックエラー検出が有効なとき（CED = 0）、RNG クロック周波数が低すぎる場合、RNG は CEIS と CECS の両方のビットを 1 にセットして、クロックエラーが発生したことを示します。この場合、アプリケーションによって RNG クロックが正しく設定されていること（セクション 21.3.6：RNG クロック供給を参照）をチェックして、CEIS ビットの割込みフラグをクリアする必要があります。CECS ビットは、クロック条件が正常なときに自動的にクリアされます。

注： **クロックエラーは、生成された乱数には影響しないため、アプリケーションは RNG_DR レジスタを読み出すことができます。**

CEIS は、RNG によって CECS が 1 にセットされているときのみセットされます。

ノイズソースエラー検出

ノイズソース（またはシード）エラーが発生すると、RNG は乱数生成を停止し、SEIS および SECS ビットを両方 1 にセットして、シードエラーが発生したことを示します。RNG_DR レジスタにおける値が利用可能な場合であっても、エントロピーが十分でない可能性があるので使用することはできません。初期化フェーズ中にエラーが検出された場合、RNG によって初期化シーケンス全体が自動的にリスタートされます。

RNG 初期化後にシードエラーからの完全なリカバリを行うには、次のシーケンスを使用する必要があります。

1. SEIS に“0”を書き込んでクリアします。
2. RNG_DR レジスタから 12 ワード読み出し、各ワードを破棄してパイプラインをきれいにします。
3. SEIS がクリアされたままであることを確認します。乱数発生は正常に戻りました。

21.3.8 RNG の低消費電力時の取り扱い

消費電力が懸念される場合、RNG_CR レジスタの RNGEN ビットを 0 にセットして DRDY ビットを 1 にセットするとすぐに、RNG を無効化できます。RNGEN = 0 であっても後処理ロジックと出力バッファは動作を続けていますので、ソフトウェアは次の機能を使用できます。

- 出力バッファに有効なワードが存在する場合には、RNG_DR レジスタから乱数をもう 4 個読み出すことができます。
- 条件付け出力内部レジスタに有効なビットが存在する場合には、RNG_DR レジスタから乱数をもう 4 個読み出すことができます。そうではない場合には、ノイズソースから新たに最低でも 32 ビット取得して条件付けラウンドが完全に終わるまで、RNG はアプリケーションによって再度有効化される必要があります。新たなビットのサンプルには 16 RNG クロックサイクル、条件付けラウンド 1 回には 216 AHB クロックサイクルかかります。

RNG を無効化する場合、すべてのアナログシード発生回路を無効にします。その消費電力は、データシートの電気的特性セクションに示されています。また、RNG クロックによってクロックの供給を受けるロジックはすべてゲートします。この方法では、RNG 初期化時間のために、RNG_DR レジスタでランダムサンプルが利用可能となるまでのレイテンシが増加することに注意してください。

初期化中（すなわち DRDY ビットが初めて立ち上がるよりも十分前に）に RNG ブロックが無効化された場合、初期化シーケンスは、RNGEN ビットが 1 にセットされて停止したところから再開されます。

21.4 RNG 割込み

RNG では、割込みは次のイベントによって生成できます。

- データレディフラグ
- シードエラー、セクション 21.3.7：エラー管理を参照
- クロックエラー、セクション 21.3.7：エラー管理を参照

表 113 に示すように、専用割込みイネーブル制御ビットが使用できます。

表 113. RNG 割込みリクエスト

項目（割込みの略称）	割込みイベント	イベントフラグ	有効制御ビット	割込みのクリア方法
RNG	データレディフラグ	DRDY	IE	なし（自動）
	シードエラーフラグ	SEIS	IE	SEIS に 0 を書き込みます。
	クロックエラーフラグ	CEIS	IE	CEIS に 0 を書き込みます。

RNG_CR レジスタのマスクビットまたは全体的な割込み制御ビット IE を変更することにより、上記の割込みソースを個別に有効にしたり無効にしたりすることができます。個別の割込みソースのステータスは RNG_SR レジスタから読み出すことができます。

注： **割込みは、RNG が有効化されている場合にのみ生成されます。**

21.5 RNG 処理時間

値が 213 サイクルを超えている（213 サイクルを除く）場合、条件付けステージは、16x $\frac{f_{AHB}}{f_{RNG}}$ クロックサイクルごとに 4 つの 32 ビット乱数を生成できます。
デバイスがリセットを抜けた後初回の乱数にはそれ以上の時間が必要です（セクション 21.3.4 : RNG 初期化参照）。実際に初めて RNG を有効化した後、次のいずれかの時間の後に初めてランダムデータが利用可能となります。

- 128 RNG クロックサイクル + 426 AHB サイクル（$f_{AHB} < f_{threshold}$ の場合）
- 192 RNG クロックサイクル + 213 AHB サイクル（$f_{AHB} \geq f_{threshold}$ の場合）

ここで、$f_{threshold} = (213 \times f_{RNG})/ 64$

21.6 RNG エントロピーソース検証

21.6.1 概要

RNG から使用できるエントロピーの量を評価するため、STMicroelectronics は ドイツ BSI AIS-31 の統計的検定（T0～T8）に従って、ペリフェラルを試験しました。

21.6.2 検証条件

STMicroelectronics は、以下の条件下で RNG 真性乱数発生器をテストしました。

- RNG クロック rng_clk = 48 MHz（RNG_CR レジスタの CED ビット = ‘0’）および rng_clk = 400 kHz（RNG_CR レジスタの CED ビット = ‘1’）

21.7 RNG レジスタ

RNG は、制御レジスタ、データレジスタ、ステータスレジスタと連動します。

21.7.1 RNG 制御レジスタ（RNG_CR）

アドレスオフセット：0x000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CED	Res.	IE	RNGEN	Res.	Res.
										rw		rw	rw		

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **CED**：クロックエラー検出

0：クロックエラー検出は有効です。

1：クロックエラー検出は無効です。

RNG が有効になっている場合、動作中にクロックエラー検出を有効化／無効化できません。CED を有効化／無効化するには、RNG を無効化する必要があります。

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **IE**：割込みイネーブル

0：RNG 割込みは無効です。

1：RNG 割込みは有効です。RNG_SR レジスタで DRDY = 1 、SEIS= 1 または CEIS = 1 になると、割込みは直ちにペンディングとなります。

ビット 2 **RNGEN**：真性乱数発生器イネーブル

0：真性乱数発生器は無効です。アナログノイズソースの電力がオフになり、RNG クロックによって供給されるロジックがゲートされます。

1：真性乱数発生器は有効です。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

21.7.2 RNG ステータスレジスタ（RNG_SR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY
									rc_w0	rc_w0			r	r	r

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **SEIS**：シードエラー割込みステータス

このビットは、SECS として同じ時間でセットされます。0 を書き込むことによってクリアされます。1 を書き込んでも、ビットの値は変化しません。

0：障害シーケンスは検出されませんでした。

1：1 つ以上の障害シーケンスが検出されました。詳細については、**SECS** ビットの説明を参照してください。

RNG_CR レジスタで IE = 1 である場合、割込みが保留となります。

ビット 5 **CEIS**：クロックエラー割込みステータス

このビットは、CECS として同じ時間でセットされます。0 を書き込むことによってクリアされます。1 を書き込んでも、ビットの値は変化しません。

0：RNG クロックは正常です（$f_{RNGCLK} > f_{HCLK}/32$）。

1：RNG が遅すぎることが検出されました（$f_{RNGCLK} < f_{HCLK}/32$）。

RNG_CR レジスタで IE = 1 である場合、割込みが保留となります。

ビット 4:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **SECS**：シードエラーの現在のステータス

0：障害のあるシーケンスは現在のところ検出されていません。SEIS ビットがセットされている場合、これは障害のあるシーケンスが検出されたが、回復していることを意味します。

1：次の障害シーケンスのうち 1 つ以上が検出されました。

- ノイズソースの 1 つが 64 ビット以上連続して一定値（“0”または“1”）または、2 つのビットパターン（“01”や“10”）を 32 ビット以上連続して提供しました。
- 両方のノイズソースが 32 ビット以上連続して一定値（“0”または“1”）または、2 つのビットパターン（“01”や“10”）を 16 ビット以上連続して提供しました。

ビット 1 **CECS**：クロックエラーの現在のステータス

0：RNG クロックは正常です（$f_{RNGCLK} > f_{HCLK}/32$）。CEIS ビットがセットされている場合、これは遅いクロックが検出されたが、回復していることを意味します。

1：RNG クロックは遅すぎます（$f_{RNGCLK} < f_{HCLK}/32$）。

注： CECS ビットは、RNG_CR レジスタの CED ビットが 0 にセットされたときにのみ有効です。

ビット 0 **DRDY**：データレディ

0：RNG_DR レジスタがまだ有効でなく、乱数データは利用できません。

1：RNG_DR レジスタに有効な乱数データが入っています。

出力バッファが空になると（RNG_DR レジスタの読出し後）、新しい乱数値が生成されるまで、このビットは 0 に戻ります。

注： ペリフェラルが無効化されている場合（RNG_CR レジスタの RNGEN = 0）に、DRDY ビットが立ち上がることがあります。

RNG_CR レジスタで IE = 1 の場合、DRDY = 1 のときに割込みが生成されます。

21.7.3 RNG データレジスタ（RNG_DR）

アドレスオフセット：0x008

リセット値：0x0000 0000

RNG_DR レジスタは読出し専用レジスタであり、読み出されると 32 ビットの乱数値を返します。このレジスタは、いったん読み出されると、出力 FIFO が空の場合、AHB クロックの 216 周期の後、新しい乱数値を出力します。

このレジスタの内容は、RNGEN = 0 の場合でも、DRDY = 1 で、値が 0x0 でないときに有効です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNDATA[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RNDATA[31:0]**：乱数データ

DRDY = 1 のときに有効な 32 ビット乱数データです。DRDY = 0 のとき、RNDATA の値は 0 です。

DRDY がセットされているとき、RNG_DR がゼロではないことを常に確認することをお勧めします。ゼロの場合、RNG_SR ポーリングと RND_DR 出力読出しの間にシードエラーが発生した（まれなイベント）ことを意味するからです。

21.7.4 RNG レジスタマップ

表 114. RNG レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RNG_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CED	Res.	IE	RNGEN	Res.	Res.
	リセット値																											0		0	0		
0x004	RNG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY
	リセット値																										0	0			0	0	0
0x008	RNG_DR	RNDATA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、セクション 2.2 を参照してください。

22 AES ハードウェアアクセラレータ（AES）

22.1 概要

AES ハードウェアアクセラレータ（AES）は、連邦情報処理規格公報（FIPS）197 によって規定されている高度暗号化標準（AES：Advanced Encryption Standard）に完全に準拠したアルゴリズムと実装を使用してデータを暗号化および復号します。

このペリフェラルは、キー長が 128 または 256 ビットの場合の CTR、GCM、GMAC、CCM、ECB、および CBC の連鎖モードをサポートしています。

AES は、32 ビットのシングルアクセスでのみアクセス可能な AMBA AHB スレーブペリフェラルです。その他のタイプのアクセスをすると AHB エラーが発生し、32 ビット以外の書込みを行うとレジスタの内容が破損する可能性があります。

このペリフェラルは、入力および出力データの DMA シングル転送をサポートしています（2 つの DMA チャネルが必要です）。

22.2 AES の主な特徴

- 2001 年 11 月発効の NIST『高度暗号化標準（AES）、FIPS 公報 197』に準拠
- 128 ビットデータブロックの処理
- 128 ビットおよび 256 ビットの暗号キー長に対応
- 次の複数の連鎖モードで暗号化と復号：
  - 電子コードブック（ECB）モード
  - 暗号ブロック連鎖（CBC）モード
  - カウンタ（CTR）モード
  - ガロアカウンタモード（GCM）
  - ガロアメッセージ認証コード（GMAC）モード
  - CBC-MAC 付きカウンタ（CCM）モード
- 128 ビットまたは 256 ビットキーを使用して 1 個の 128 ビットブロックのデータを処理する場合は ECB モードでそれぞれ 51 または 75 クロックサイクルの遅延
- ECB/CBC 復号の最終のラウンドキーを計算する統合ラウンドキースケジューラ
- 32 ビットワードのシングルアクセスでのみアクセス可能な AMBA AHB スレーブペリフェラル
- 暗号化キーを保存するための 256 ビットレジスタ（8 個の 32 ビットレジスタ）
- 初期化ベクタを格納するための 128 ビットレジスタ（32 ビットレジスタ 4 個）
- データ入力および出力用の 32 ビットバッファ
- 2 つのチャネル（1 チャネルは入力データ用、1 チャネルは処理済みデータ用）を使用したシングル転送ダイレクトメモリアクセス（DMA）のサポートによる自動データフロー制御
- 1、8、16、32 ビットデータをサポートするデータスワッピングロジック
- AES がより優先順位の高い別メッセージを処理する必要がある場合は、ソフトウェアでメッセージをサスペンドしてから元のメッセージのレジュームが可能

22.3 AES の実装

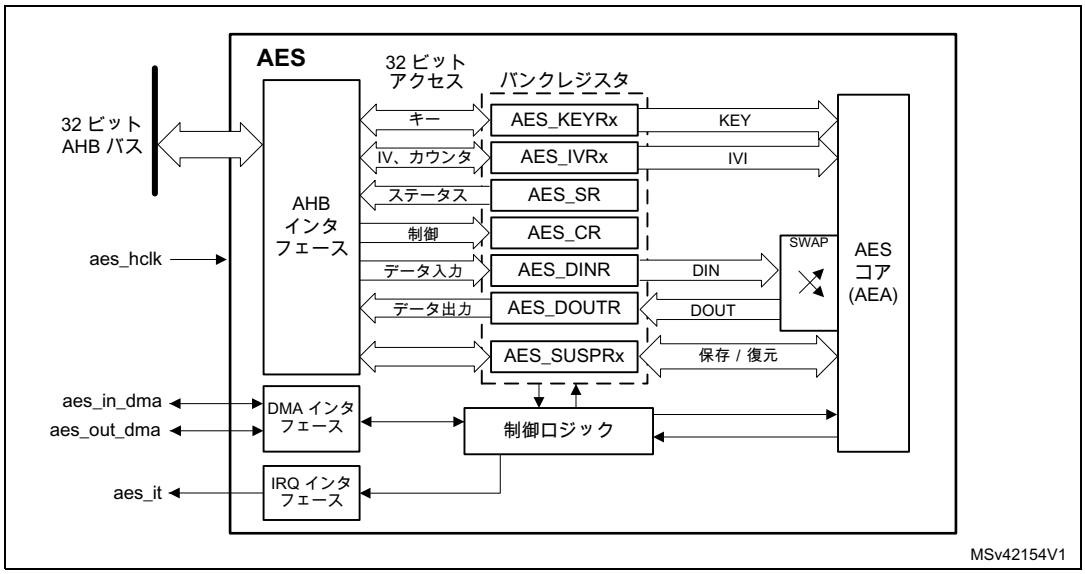
このデバイスには、AES1 と AES2 の 2 つの AES ペリフェラルがあります。

22.4 AES機能詳細

22.4.1 AES ブロック図

図 116 に AES のブロック図を示します。

図 116. AES ブロック図



22.4.2 AES 内部信号

表 115 には、AES ペリフェラルにインタフェース接続するユーザ関連内部信号を示しています。

表 115. AES 内部入力／出力信号

信号名	信号タイプ	説明
aes_hclk	入力	AHB バスクロック
aes_it	出力	AES 割込みリクエスト
aes_in_dma	入力／出力	入力 DMA シングルリクエスト／確認応答
aes_out_dma	入力／出力	出力 DMA シングルリクエスト／確認応答

22.4.3 AES 暗号コア

概要

AES 暗号コアは、次のコンポーネントで構成されています。

- AES コアアルゴリズム（AEA）
- バイナリガロアフィールド（GF2mul）の乗算器
- キー入力
- 初期化ベクタ（IV）入力
- 連鎖アルゴリズムロジック（XOR、フィードバック／カウンタ、マスク）

AES コアは 128 ビットまたは 256 ビットキー長を使用して 128 ビットデータブロック（4 ワード）で動作します。連鎖モード次第で、AES は 0 個または 1 個の 128 ビット初期化ベクタ（ IV）を必要とします。

AES には、次の動作モードがあります。

- **モード 1 :**
  AES_KEYRx レジスタに格納されたキーを使用して平文を暗号化します。
- **モード 2 :**
  ECB または CBC の復号キーを準備します。ECB または CBC の連鎖モードでモード 3 を選択する前に使用する必要があります。復号のために準備されたキーは、AES_KEYRx レジスタに自動的に格納されます。これで、AES ペリフェラルをモード 3 に切り替えて、データ復号を実行する準備ができます。
- **モード 3 :**
  AES_KEYRx レジスタに格納されたキーを使用して暗号文を復号します。ECB および CBC の連鎖モードを選択した場合、モード 2 で事前にキーを準備する必要があります。
- **モード 4 :**
  AES_KEYRx レジスタに保存されたキーを使った、ECB または CBC 暗号文の単一キー復号（初期化キーは自動的に派生します）

注 : **モード 2 およびモード 4 は ECB および CBC 復号を行うときのみ使用されます。**

モード 4 の選択では 復号できるのは 1 件だけなので、代わりにモード 2 か モード 3 の使用が推奨されます。

動作モードは、AES_CR レジスタの MODE[1:0] ビットフィールドをプログラムして選択します。この操作は、AES ペリフェラルが無効である場合のみ実行できます。

標準的データ処理

AES の標準的な使用方法をセクション 22.4.4 : 598 ページの暗号操作を行うための AES の手順に示します。

注 : **IVI ビットフィールドを除き、中間 AEA ステージの出力が暗号境界の外に漏れることは決してありません。**

連鎖モード

次の連鎖モードが AES でサポートされており、AES_CR レジスタの CHMOD[2:0] ビットフィールドで選択します。

- 電子コードブック（ECB）
- 暗号ブロック連鎖（CBC）
- カウンタ（CTR）
- ガロアカウンタモード（GCM）
- ガロアメッセージ認証コード（GMAC）
- CBC-MAC付きカウンタ（CCM）

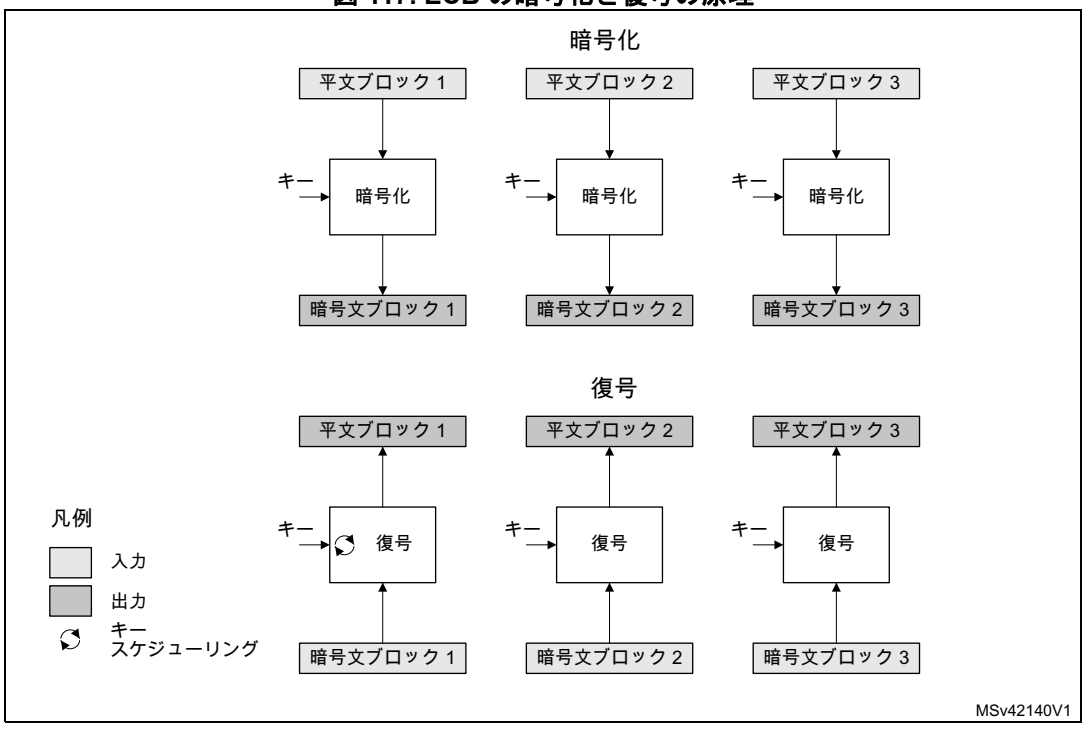
注： **連鎖モードは、AES が無効である（AES_CR レジスタの EN ビットがクリアされている）場合のみ変更できます。**

各 AES 連鎖モードの原理については、以降の項目に記載されています。

詳細については、セクション 22.4.8：AES 基本連鎖モード（ECB、CBC）以降の専用セクションに示されています。

電子コードブック（ECB）モード

図 117. ECB の暗号化と復号の原理

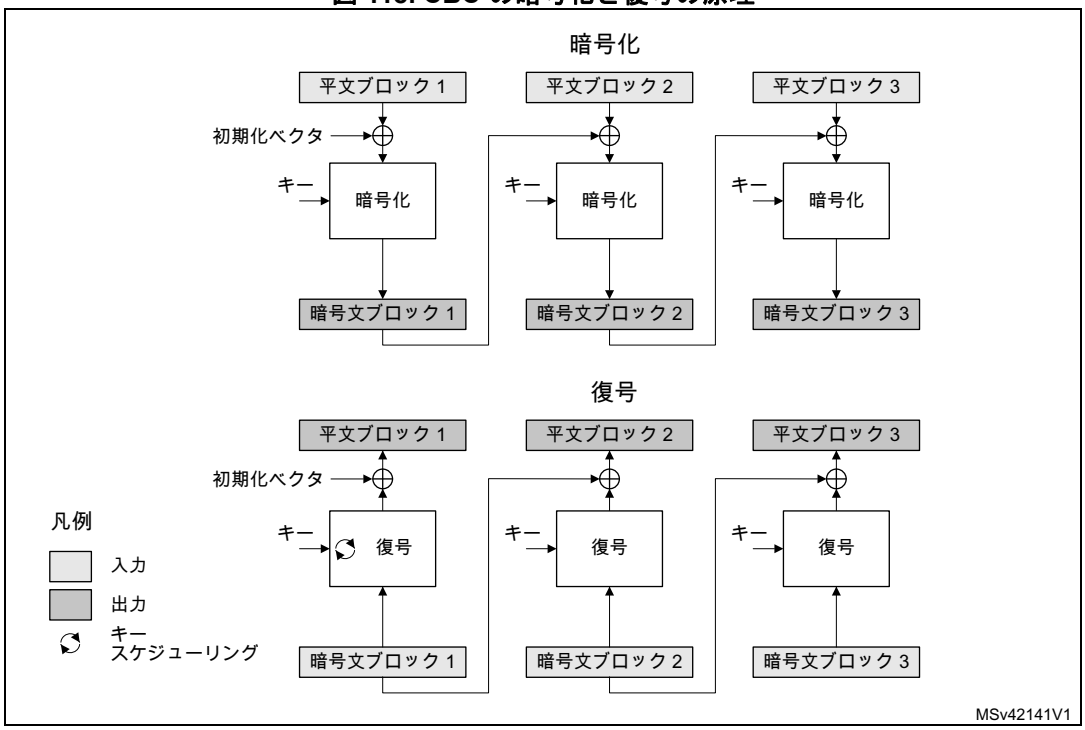


ECB は最も単純な動作モードです。連鎖操作も、特別な初期化ステージもありません。メッセージはブロックに分割され、各ブロックが個別に暗号化または復号されます。

注： **復号では、最初のブロックを処理する前に特別なキースケジューリングが必要となります。**

暗号ブロック連鎖（CBC）モード

図 118. CBC の暗号化と復号の原理

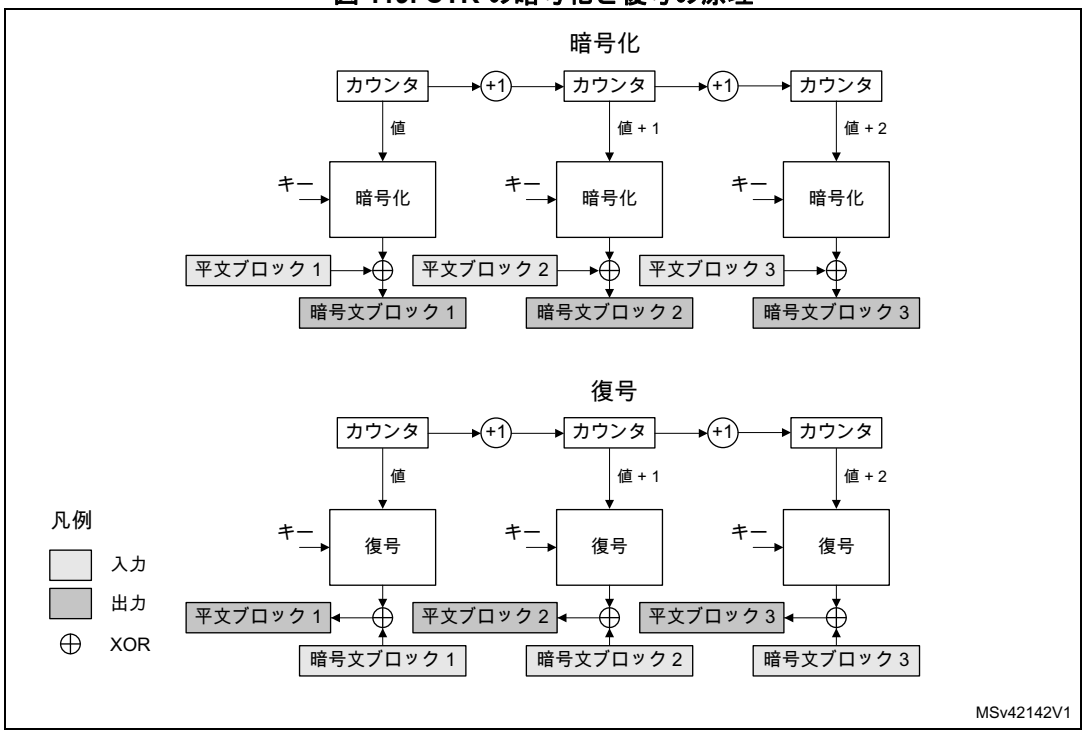


CBC モードでは、各ブロックの出力が次のブロックの入力で連鎖されます。各メッセージを一意にするために、最初のブロック処理時に初期化ベクタが使用されます。

注： **復号では、最初のブロックを処理する前に特別なキースケジューリングが必要となります。**

カウンタ（CTR）モード

図 119. CTR の暗号化と復号の原理

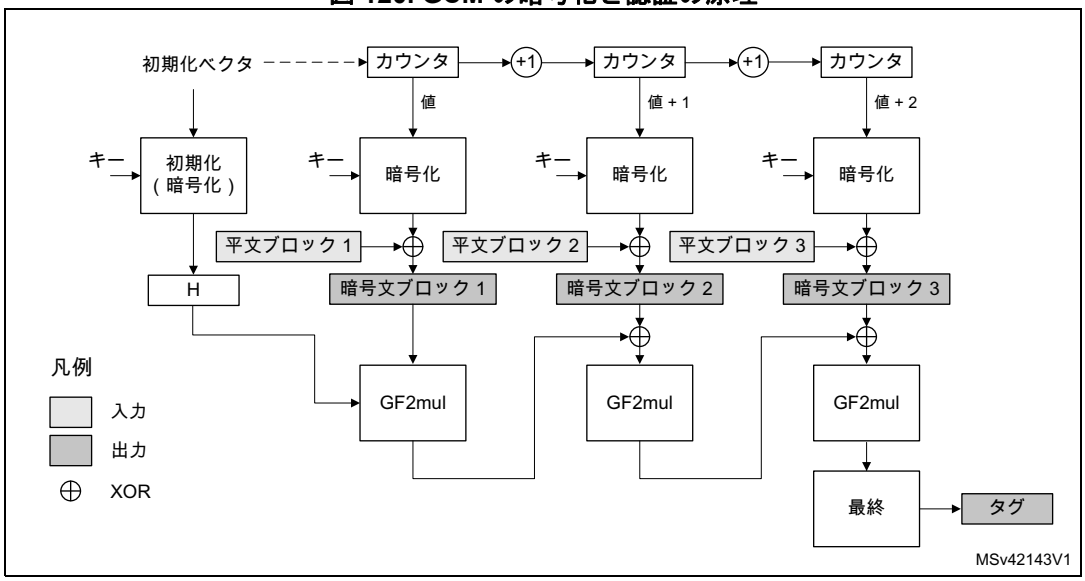


CTR モードでは、AES コアを使用してキーストリームを生成します。次に、このキーは、NIST 特別公報 800-38A『ブロック暗号の推奨動作モード』で指定されている暗号文を得るために、平文との排他的論理和がとられます。

注： **この連鎖スキームでは、キーストリームまたはカウンタブロックの生成に AES コアが暗号化モードで必ず使用されるため、ECB モードや CBC モードとは異なり、CTR の復号にキースケジューリングは必要ありません。**

ガロア／カウンタモード（GCM）

図 120. GCM の暗号化と認証の原理

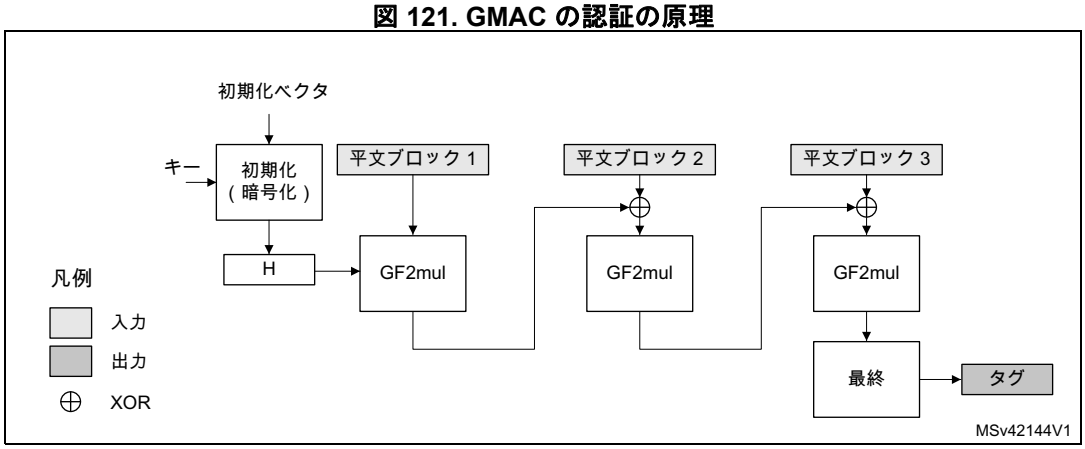


ガロア／カウンタモード（GCM）では、平文メッセージが暗号化されている間に、並列でメッセージ認証コード（MAC）が計算され、対応する暗号文とその MAC（認証タグとも言います）が生成されます。これは、NIST 特別公報 800-38D『ブロック暗号の推奨動作モード - ガロア／カウンタモード（GCM）および GMAC』の中に定義されています。

GCM モードは、機密性のためにカウンタモードでの AES に基づいています。固定の有限体に乗算器を使用して、メッセージ認証コードを計算します。初期値ならびにメッセージの最後に特殊な 128 ビットブロックを必要とします。

ガロアメッセージ認証コード（GMAC）の原理

図 121. GMAC の認証の原理

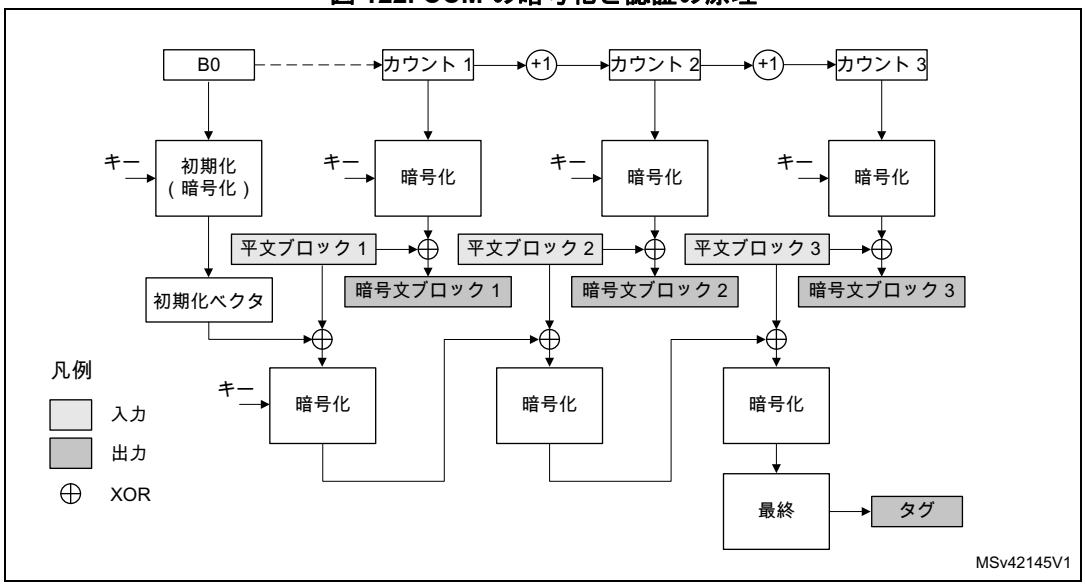


ガロアメッセージ認証コード（GMAC）を使用すると、メッセージの認証と、対応するメッセージ認証コード（MAC）の生成が可能となります。これは、NIST 特別公報 800-38D『ブロック暗号の推奨動作モード - ガロア／カウンタモード（GCM）および GMAC』の中に定義されています。

平文の認証済みデータのみで構成されたメッセージ（すなわち、ヘッダのみでペイロードなし）に適用されることを除けば、GMAC は GCM と似ています。

CBC-MAC 付きカウンタ（CCM）の原理

図 122. CCM の暗号化と認証の原理



暗号ブロック連鎖-メッセージ認証コード付きカウンタ（CCM）モードでは、平文メッセージが暗号化されている間に、並列でメッセージ認証コード（MAC）が計算され、対応する暗号文と対応する MAC（タグとも言います）が生成されます。これは、NIST 特別公報 800-38C『ブロック暗号の推奨動作モード - 認証および機密性のための CCM モード』の中に説明されています。

CCM モードは、機密性のためにカウンタモードでの AES に基づいており、CBC を使用してメッセージ認証コードを計算します。初期値が必要です。

CCM 連鎖モードは、GCM のように平文の認証済みデータのみで構成されたメッセージ（すなわち、ヘッダのみでペイロードなし）に適用できます。CCM をこのように使用することは CMAC とは呼ばれず（GCM/GMAC とは異なります）、その使用方法は NIST による推奨ではないことに注意してください。

22.4.4 暗号操作を行うための AES の手順

概要

標準的な暗号操作を以下に説明します。詳細については、セクション 22.4.8：AES 基本連鎖モード（ECB、CBC）以降のセクションに示されています。

AES の初期化

AES を初期化するには、まず AES_CR レジスタの EN ビットをクリアして無効化します。次に、任意の順番で次の手順を実行します。

- AES_CR レジスタの MODE[1:0] ビットフィールドをプログラムして、AES モードを設定します。
  - 暗号化の場合は、モード 1 を選択します（MODE[1:0] = 00）。
  - 復号の場合は、ECB または CBC の連鎖モードを使用していない場合、モード 3 を選択します（MODE[1:0] = 10）。後者の場合、セクション 22.4.5 : AES 復号ラウンドキーの準備に記載されているとおり、暗号化キーの初期キー導出を実行します。
- AES_CR レジスタの CHMOD[2:0] ビットフィールドをプログラムして、連鎖モードを選択します。
- AES_CR レジスタの DATATYPE[1:0] ビットフィールドでデータ型（1、8、16、32 ビット）を設定します。
- 必要であれば（CBC または CTR の連鎖モードの場合など）、初期化ベクタを AES_IVRx レジスタに書き込みます。
- AES_CR レジスタの KEYSIZE ビットフィールドでキーサイズ（128 ビットまたは 256 ビット）を設定します。
- 対称キーを AES_KEYRx レジスタ（キーサイズに応じて 4 個か 8 個のレジスタ）に書き込みます。

データ追加

このセクションでは、処理するデータのサイズが 128 ビットの倍数ではない場合に、処理するためにデータを追加するさまざまな方法について説明します。

ECB または CBC モードについては、セクション 22.4.6 : AES 暗号文借用およびデータパディングを参照してください。これらの場合の最終ブロックの管理は、このセクションで説明しているシーケンスより複雑になります。

ポーリングでのデータ追加

この方法では、フラグポーリングを使用して次のシーケンスでデータ追加を制御します。

1. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
2. ペイロードが完全に処理されるまで次のサブシーケンスを繰り返します。
   a) AES_DINR レジスタに 4 つの入力データワードを書き込みます。
   b) ステータスフラグ CCF が AES_SR でセットされるまで待って、AES_DOUTR レジスタから 4 つのデータワードを読み出します。
   c) AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
   d) 処理したばかりのデータブロックがメッセージの最後から 2 番目のブロックであり、処理する最終ブロックの有効データが 128 ビットを下回る場合、最終ブロックの残り部分を 0 でパディングし、GCM のペイロード暗号化または CCM のペイロード復号の場合は、AES_CR レジスタの NPBLB ビットフィールドで、AES が正しいタグを計算できるように有効ではないバイト数を指定します。
3. これが最終ブロックであるため、データの一部ではないデータを破棄してから、AES_CR レジスタの EN ビットをクリアして AES ペリフェラルを無効にします。

注： **ウェイトサイクルが AES_DINR レジスタに対する連続する 2 つの書込みの間に最大 3 つまで自動的に挿入され、AES プロセッサにキーを送信できます。**

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズで使用されません。

割込みを使用したデータ追加

この方法は、AES ペリフェラルからの割込みを使用して次のシーケンスでデータ追加を制御します。

1. AES_CR レジスタの CCFIE ビットをセットして、AES からの割込みを有効にします。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. まず、AES_DINR レジスタに 4 つの入力データワードを書き込みます。
4. AES 割込みサービスルーチンでデータを処理します。割込み時には次の手順に従います。
   a) AES_DOUTR レジスタから 4 つの出力データワードを読み出します。
   b) AES_CR レジスタの CCFC ビットをセットして、CCF フラグ、保留中の割込みをクリアします。
   c) 処理したばかりのデータブロックがメッセージの最後から 2 番目のブロックであり、処理する最終ブロックの有効データが 128 ビットを下回る場合、最終ブロックの残り部分を 0 でパディングし、GCM のペイロード暗号化または CCM のペイロード復号の場合は、AES_CR レジスタの NPBLB ビットフィールドで、AES が正しいタグを計算できるように有効ではないバイト数を指定します。次に、4e) に進みます。
   d) 処理したばかりのデータブロックがメッセージの最終ブロックだった場合、データの一部ではないデータを破棄してから、AES_CR レジスタの EN ビットをクリアして AES ペリフェラルを無効にし、割込みサービスルーチンを中止します。
   e) AES_DINR レジスタに次の 4 つの入力データワードを書き込み、割込みサービスルーチンを中止します。

注： **AES は連続した読出し操作または書込み操作の間の遅延を許容するため、2 つの AES 計算の間に別のペリフェラルからの割込みがある場合などに受け入れることができます。**

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズで使用されません。

DMA を使用したデータ追加

この方法では、すべての転送と処理が DMA および AES によって管理されます。この方法を使用するには、次の手順に従います。

1. ブロックの残り部分を 0 でパディングして、最後の 4 ワードのデータブロックを準備します（処理するデータが完全に埋まっていない場合）。
2. 処理するデータをメモリから AES ペリフェラル入力へ、処理したデータを AES ペリフェラル出力からメモリに転送するよう DMA コントローラを設定します（セクション 22.4.16：AES DMA インタフェースに記載）。転送完了時に割込みを生成するよう DMA コントローラを設定します。GCM のペイロード暗号化または CCM のペイロード復号で 0 でパディングしている場合は、DMA 転送に最後の 4 ワードブロックを**含まないでください**。代わりに、ポーリングでのデータ追加に示したシーケンスをこの最終ブロックに使用する必要があります。これは AES が正しいタグを計算できるように、NPBLB ビットをセットアップしてからブロックを処理する必要があるためです。
3. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
4. AES_CR レジスタの DMAINEN ビットと DMAOUTEN ビットをセットして、DMA リクエストを有効にします。
5. 転送完了を示す DMA 割込みが発生したら、メモリから AES 処理済みデータを取得します。

注： **AES_DOUTR レジスタの読出しは計算フェーズの最後にソフトウェア操作なしで自動的に DMA によって管理されるため、この方法では CCF フラグを使用しません。**

NPBLB ビットは、GCM、GMAC、CCM の連鎖モードのヘッダフェーズでは使用されません。

22.4.5 AES 復号ラウンドキーの準備

AES ラウンドキーの生成には、内部キースケジュールが使用されます。AES 暗号化では、ラウンド 0 キーはキーレジスタに格納されているキーです。AES 復号は、最終ラウンドキーを使用して開始する必要があります。暗号化キーはメモリに格納されているので、復号キーを取得するには、特殊なキースケジューリングを実行する必要があります。このキースケジューリングは、ECB および CBC モードでの AES 復号にのみ必要です。

AES_CR の MODE[1:0] ビットフィールドを 01 にセットしてモード 2（キー処理のみ）を選択してから、MODE[1:0] を 10（モード 3、復号のみ）にセットして復号を進める方法が推奨されます。モード 2 の使用方法は、以下のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR の MODE[1:0] ビットフィールドを 01 にセットして、モード 2 を選択します。このキー導出モードは選択された連鎖アルゴリズムとは無関係なので、この場合、CHMOD[2:0] ビットフィールドは重要ではありません。
3. AES_CR レジスタの KEYSIZE ビットでキー長を 128 ビットまたは 256 ビットにセットします。
4. 図 123 に示すように暗号化キーを使って AES_KEYRx レジスタに書き込みます（128 または 256 ビット）。AES_IVRx レジスタへの書込みは無効です。
5. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
6. AES_SR レジスタで CCF フラグがセットされるまで待ちます。
7. CCF フラグをクリアします。導出されたキーは AES コアで使用でき、復号に使用する準備ができます。アプリケーションは、図 123 に示すように、必要に応じて AES_KEYRx レジスタもまた読み出して派生キーを取得できます（処理済みのキーは自動的に AES_KEYRx レジスタにロードされます）。

注： **導出キーが使用できるようになると、AES はハードウェアによって無効にされます。**

導出キーの計算を再開するには、手順 4、5、6、7 を繰り返します。

図 123. ECB／CBC 復号（モード 2）のための暗号化キー派生



ソフトウェアが復号用の最初のキーを保存しているとすれば、所定の暗号キーで復号されるすべてのデータに対して、キースケジューリング操作を 1 回だけ行えば良いということになります。

注： **キー準備の操作は、キーサイズ（128 ビットまたは 256 ビット）に応じて 59 または 82 クロックサイクル続きます。**

22.4.6 AES 暗号文借用およびデータパディング

サイズがブロックサイズ（128 ビット）の倍数ではないメッセージを管理するために ECB または CBC モードで AES を使用するときには、NIST 特別公報 800-38A『ブロック暗号の推奨動作モード：CBC モード用暗号文借用の 3 つの変種』に記載されているもののような、暗号文借用技術を使用します。AES ペリフェラルはこのような技術をサポートしていないため、アプリケーションは最後から 2 番目のブロックのデータを使用して、入力データの最終ブロックを完成させる必要があります。

注： **暗号文借用技術は、この参考マニュアルには記載されていません。**

同様に、AES が ECB と CBC 以外のモードで使用される場合には、不完全な入力データブロック（128 ビットより短い入力データを持つブロック）を、暗号化の前に 0 でパディングする必要があります（データストリングの後端に余分なビットを付加する必要があります）。復号後は、余分なビットを破棄する必要があります。AES では、**最終ブロック**に対する自動データパディング操作が行われるため、アプリケーションがセクション 22.4.4：598 ページの暗号操作を行うための AES の手順に示された推奨に従って、128 ビットの倍数ではないメッセージを管理する必要があります。

注： **パディングデータは AES_CR レジスタの DATATYPE[1:0] フィールドに従って、通常のデータと同様の方法でスワッピングが行われます（詳細は、セクション 22.4.13：AES データレジスタおよびデータスワッピングを参照してください）。**

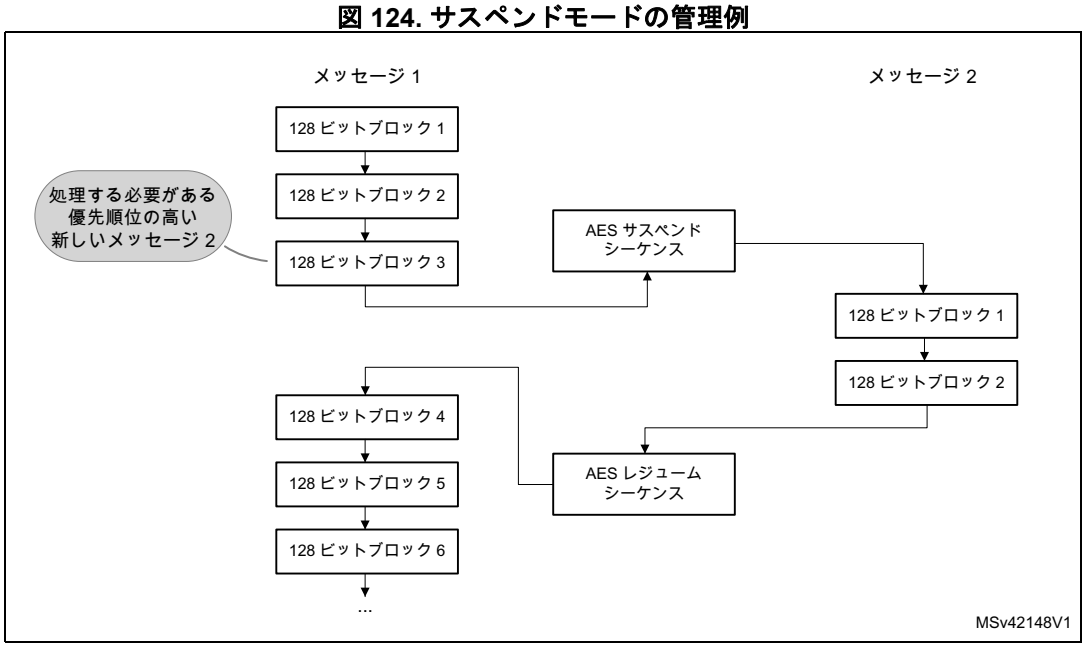
22.4.7 AES タスクのサスペンドとレジューム

優先順位の高い別のメッセージを処理する必要がある場合には、メッセージをサスペンドすることが可能です。最も優先順位の高いメッセージの送信後、サスペンドされたメッセージは暗号化モードでも復号モードでも再開できます。

サスペンド／レジューム操作によって連鎖操作が途切れることはなく、AES が再び有効になるとすぐにメッセージ処理を再開して、次のデータブロックを受信できます。

図 124 に、サスペンド／レジューム操作の例を示します。メッセージ 1 は、より短く優先順位の高いメッセージ 2 を送信するためにサスペンドされています。

図 124. サスペンドモードの管理例



サスペンド／レジューム操作の詳細は、各 AES モード専用のセクションに説明があります。

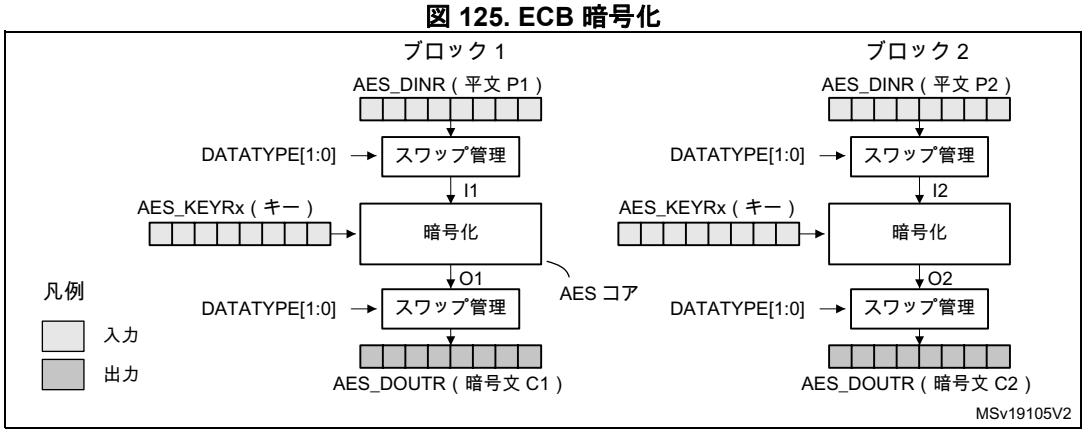
22.4.8 AES 基本連鎖モード（ECB、CBC）

概要

このセクションでは、AES コアが提供するECB 暗号化、ECB 復号、CBC 暗号化、CBC 復号の 4 つの基本動作モードについて簡単に説明しています。詳細については、2001 年 11 月 26 日発行の『FIPS 公報 197』を参照してください。

図 125 に、電子コードブック（ECB）暗号化の図を示します。

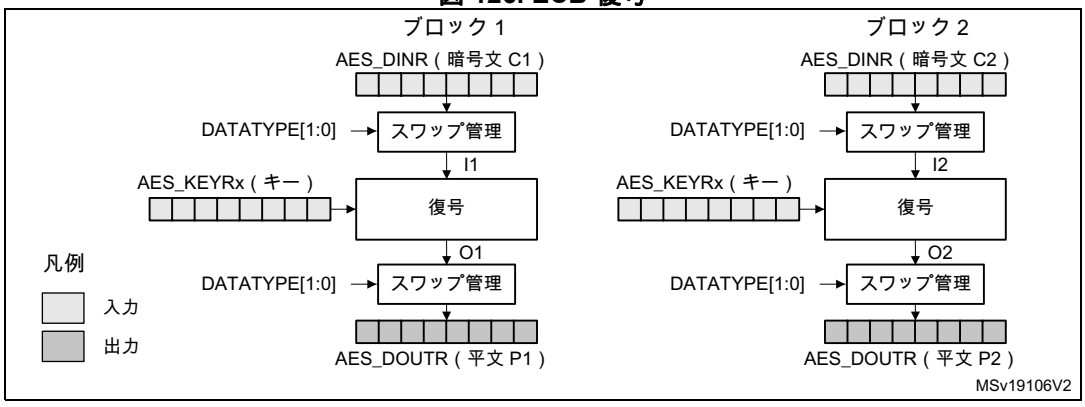
図 125. ECB 暗号化



ECB 暗号化モードでは、まず AES_DINR レジスタの 128 ビットの平文入力データブロック Px のビット／バイト／ハーフワードのスワッピングが行われます。スワップの結果 Ix が、128 ビットまたは 256 ビットキーを使って暗号化モードでセットされた AES コアで処理されます。暗号化の結果 Ox のビット／バイト／ハーフワードのスワッピングが行われ、128 ビットの暗号文出力データブロック Cx として AES_DOUTR レジスタに格納されます。ECB 暗号化は、最後の完全な平文ブロックが暗号化されるまで同様に続きます。

図 126 に、電子コードブック（ECB）復号の図を示します。

図 126. ECB 復号

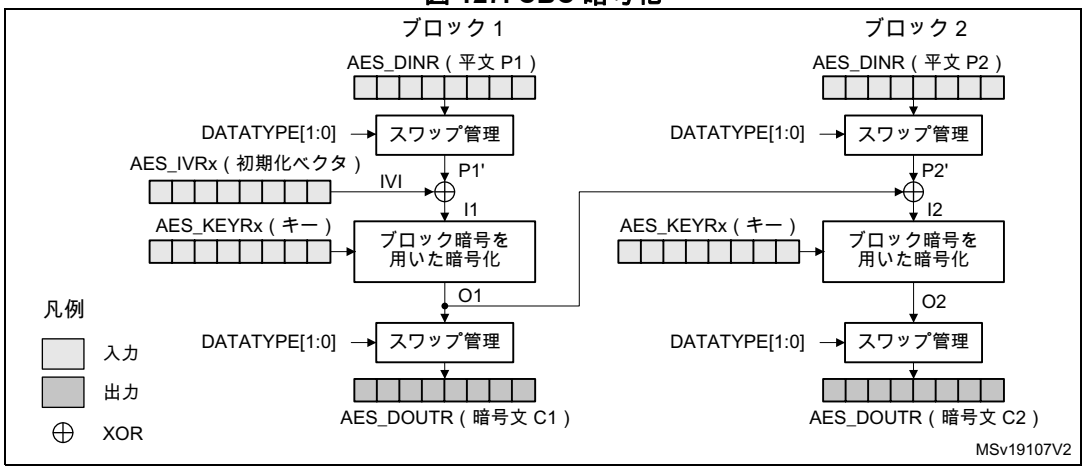


ECB モードで AES 復号を実施するには、最終ラウンドの暗号化キーを回収し、それを暗号文を復号するための最初のラウンドのキーとして使用して、秘密鍵を準備する必要があります（まず暗号化の完全なキースケジュールを実行する必要があります）。この準備は、AES コアによってサポートされます。

ECB 復号モードでは、まず AES_DINR レジスタの 128 ビットの暗号文入力データブロック C1 のビット／バイト／ハーフワードのスワッピングが行われます。このキーイングシーケンスは、ECB 暗号化のものに対し、逆になっています。スワップの結果 I1 は、事前に準備した復号キーを使って復号モードでセットされた AES コアで処理されます。復号結果のビット／バイト／ハーフワードのスワッピングが行われ、128 ビットの平文出力データブロック P1 として AES_DOUTR レジスタに格納されます。ECB 復号は、最後の完全な暗号文ブロックが復号されるまで同様に続きます。

図 127 に、暗号ブロック連鎖（CBC）暗号化の図を示します。

図 127. CBC 暗号化

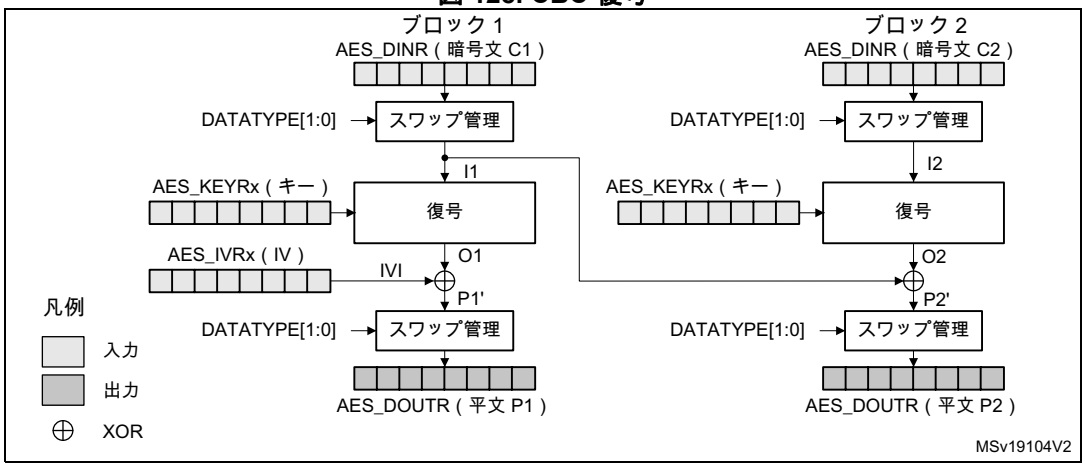


CBC 暗号化モードでは、ビット／バイト／ハーフワードのスワッピング（P1’）後、最初の平文入力ブロックと 128 ビットの IVI ビットフィールド（初期化ベクタおよびカウンタ）の排他的論理和がとられ、128 ビットまたは 256 ビットキーを使って AES コアで暗号化するための I1 入力データを生成します。スワッピング操作後、その結果の 128 ビットの出力ブロック O1 が暗号文 C1 として使用されます。その後、O1 データと 2 番目の平文データ P2’ の排他的論理和がとられ、AES コアが暗号文データの 2 番目を生成するための I2 入力データを生成します。データブロックの連鎖は、メッセージ内の最後の平文ブロックが暗号化されるまで同様に続きます。

メッセージサイズが 128 ビットの倍数ではない場合、最後の不完全なデータブロックは、セクション 22.4.6：AES 暗号文借用およびデータパディングに説明されている方法で暗号化されます。

図 128 に、暗号ブロック連鎖（CBC）復号の図を示します。

図 128. CBC 復号



ECB 復号モードと同様に、CBC 復号モードで AES 復号を実施するには、秘密鍵を準備する必要があります。

キーの準備処理後、最初の 128 ビットの暗号文ブロック（スワップ操作後）が 128 ビットまたは 256 ビットキーを使った復号操作用の AES コア入力ブロック I1 として直接使用され、復号が進みます。その出力 O1 と、128 ビットの IVI フィールド（暗号化で使用したものと同じである必要があります）の排他的論理和をとって、最初の平文ブロック P1 を生成します。

2 番目の暗号文ブロックは、最初のブロックの I1 データが初期化ベクタの代わりに使用されることを除けば、最初のブロックと同じ方法で処理されます。

復号は、最後の完全な暗号文ブロックが復号されるまで同様に続きます。

メッセージサイズが 128 ビットの倍数ではない場合、最後の不完全なデータブロックは、セクション 22.4.6：AES 暗号文借用およびデータパディングに説明されている方法で復号されます。

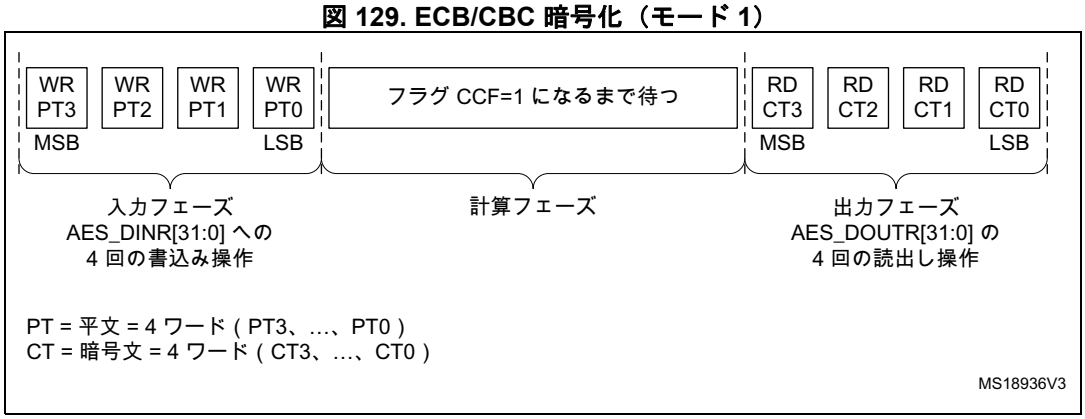
データスワッピングの詳細については、セクション 22.4.13：AES データレジスタおよびデータスワッピングを参照してください。

ECB/CBC 暗号化シーケンス

ECB/CBC 暗号化を行うためのイベントのシーケンス（詳細はセクション 22.4.4 を参照）：

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 にセットしてモード 1 を選択し、AES_CR レジスタの CHMOD[2:0] ビットフィールドをそれぞれ 000 または 001 にセットして、ECB または CBC の連鎖モードを選択します。データ型も DATATYPE[1:0] ビットフィールドで定義できます。
3. AES_CR レジスタの KEYSIZE ビットで 128 ビットまたは 256 ビットのキー長を選択します。
4. AES_KEYRx レジスタ（128 ビットまたは 256 ビット）に暗号化キーを書き込みます。CBC モードを選択した場合、AES_IVRx レジスタに初期化ベクタデータを書き込みます。
5. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
6. AES_DINR レジスタに図 129 に示すとおり 4 回書き込んで平文（MSB ファースト）を入力します。
7. AES_SR レジスタで CCF フラグがセットされるまで待ちます。
8. AES_DOUTR レジスタを図 129 に示すとおり 4 回読み出して、暗号文（MSB ファースト）を取得します。AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
9. 手順 6-7-8 を繰り返して、同じ暗号化キーですべてのブロックを処理します。

図 129. ECB/CBC 暗号化（モード 1）

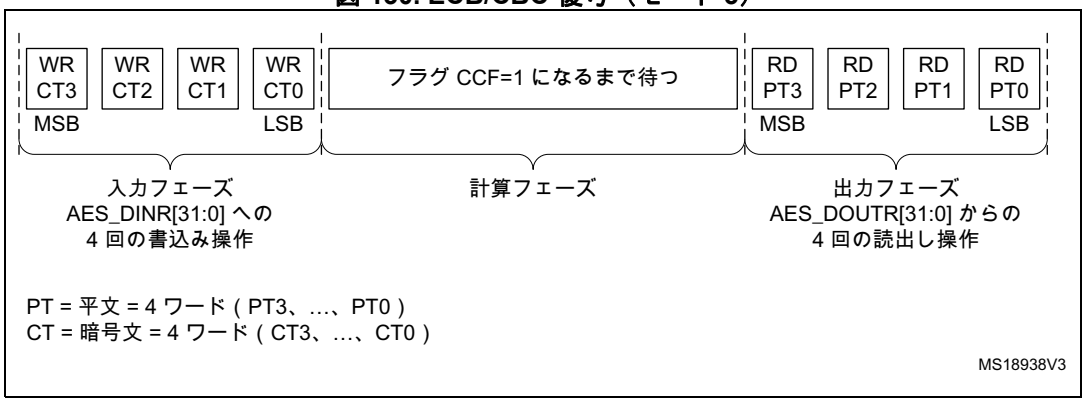


ECB/CBC 復号シーケンス

AES ECB/CBC 復号を行うためのイベントのシーケンス（詳細はセクション 22.4.4 を参照）は次のとおりです。

1. セクション 22.4.5：AES 復号ラウンドキーの準備に示された手順に従って、AES コアで復号キーを準備します。
2. AES_CR レジスタの MODE[1:0] ビットフィールドを 10 にセットしてモード 3 を選択し、AES_CR レジスタの CHMOD[2:0] ビットフィールドをそれぞれ 000 または 001 にセットして、ECB または CBC の連鎖モードを選択します。データ型も DATATYPE[1:0] ビットフィールドで定義できます。KEYSIZE ビットフィールドは現状のまま保持する必要があります。
3. AES_IVRx レジスタに初期化ベクタを書き込みます（CBC モードのみ必要）。
4. AES_CR レジスタの EN ビットをセットして、AES を有効にします。
5. AES_DINR レジスタに図 130 に示すとおり 4 回書き込んで暗号文（MSB ファースト）を入力します。
6. AES_SR レジスタで CCF フラグがセットされるまで待ちます。
7. AES_DOUTR レジスタを図 130 に示すとおり 4 回読み出して、平文（MSB ファースト）を取得します。AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
8. 手順 5-6-7 を繰り返して、同じキーで暗号化されたすべてのブロックを処理します。

図 130. ECB/CBC 復号（モード 3）



ECB/CBC モードでのサスペンド／レジューム動作

メッセージの処理をサスペンドするには、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。
2. DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。
3. DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1（計算完了）になるまでポーリングします。
4. AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。
5. 初期化ベクタレジスタを保存します（データ処理中に AES_IVRx レジスタが変更される CBC モードでのみ必要です）。

6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. 優先順位の高いメッセージを処理するために、AES_CR レジスタを保存し、キーレジスタが必要でなければ、それをクリアします。
8. DMA が使用されている場合には、DMA コントローラのステータス（IN および OUT データ転送のポインタ、残りバイト数など）を保存します。

注： **割込みが発生したプロセスが復号の場合、ポイント 7 では、AES_KEYRx に保存された派生キーの情報を任意でメモリに保存できます。アプリケーションが元のキー値を知っているので、それらのレジスタを保存する必要は特にありません。**

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN と FIFO OUT 転送を完了させます。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. AES_CR レジスタを（正しい KEYSIZE で）復元して、次に AES_KEYRx レジスタを復元します。復号では、元のキー値ではなく派生キーの情報を AES_KEYRx レジスタに書き込めます。
4. セクション 22.4.5：AES 復号ラウンドキーの準備に示したように復号キーを準備します（ECB または CBC 復号のみ必要）。派生キーの情報がすでに AES_KEYRx レジスタにロードされていれば、この手順は必要ありません。
5. 保存した設定を使用して AES_IVRx レジスタを復元します（CBC モードのみ必要）。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
7. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットと DMAOUTEN ビットをセットして、AES DMA 転送を有効にします。

モード 4 を使った代替シングル ECB／CBC 復号

モード 4 を使った ECB／CBC 復号のシングルラウンドを実行するイベントのシーケンスは以下の通り：

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの MODE[1:0] ビットフィールドを 11 にセットしてモード 4 を選択し、AES_CR レジスタの CHMOD[2:0] ビットフィールドをそれぞれ 0x0 または 0x1 にセットして、ECB または CBC の連鎖モードを選択します。
3. AES_CR レジスタの KEYSIZE ビットフィールドで 128 ビットまたは 256 ビットのキー長を選択します。
4. AES_KEYRx レジスタに暗号化キーを書き込みます。CBC モードが選択された場合は、AES_IVRx レジスタに書き込みます。
5. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
6. AES_DINR レジスタに 4 回書き込んで、暗号文を入力します（MSB から順に）。
7. AES_SR レジスタの CCF フラグがセットされるまで待ちます。
8. AES_DOUTR レジスタを 4 回読み出して、平文を取得します（MSB から順に）。AES_CR レジスタの CCFC ビットをセットして CCF フラグをクリアします。

注： **モード 4 が選択されている場合、モード 3 は使用できません。**

モード 4 では、AES_KEYRx レジスタは処理のすべてのフェーズで暗号化キーを含みます。派生キーは、これらのレジスタには保存されません。AES に内部的に保存されます。

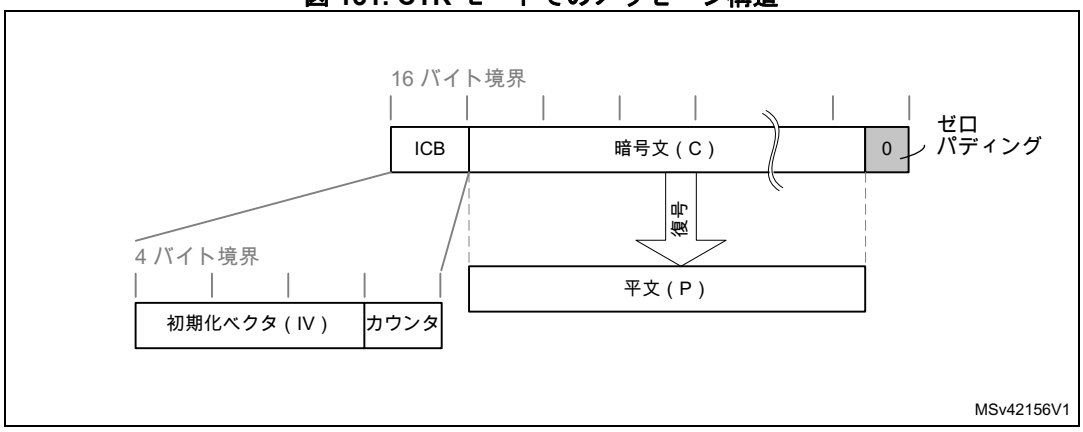
22.4.9 AES カウンタ（CTR）モード

概要

カウンタモード（CTR）では、AES をキーストリームジェネレータとして使用します。生成されたキーは、その後平文との排他的論理和をとって暗号化されます。

CTR 連鎖は、NIST 特別公報 800-38A『ブロック暗号の推奨動作モード』の中に定義されています。CTR モードでの典型的なメッセージ構造を図 131 に示します。

図 131. CTR モードでのメッセージ構造



このメッセージの構造は次のとおりです。

- 16 バイトの初期カウンタブロック（ICB）は、次の 2 つの異なるフィールドで構成されています。
  - **初期化ベクタ**（IV）: ある特定のキーでの暗号化サイクルごとに一意でなければならない 96 ビットの値です。
  - **カウンタ**：ブロック処理が完了するたびにインクリメントされる 32 ビットのビッグエンディアンの整数です。カウンタの初期値は 1 に設定する必要があります。
- 平文 P は、既知の長さの暗号文 C として暗号化されます。この長さは 16 バイトの倍数でなくとも構いませんが、その場合には平文のパディングが必要です。

CTR の暗号化と復号

図 132 および図 133 では、AES ペリフェラルで実行される CTR の暗号化および復号の処理についてそれぞれ示しています。CTR モードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 010 を書き込んで選択します。

図 132. CTR 暗号化

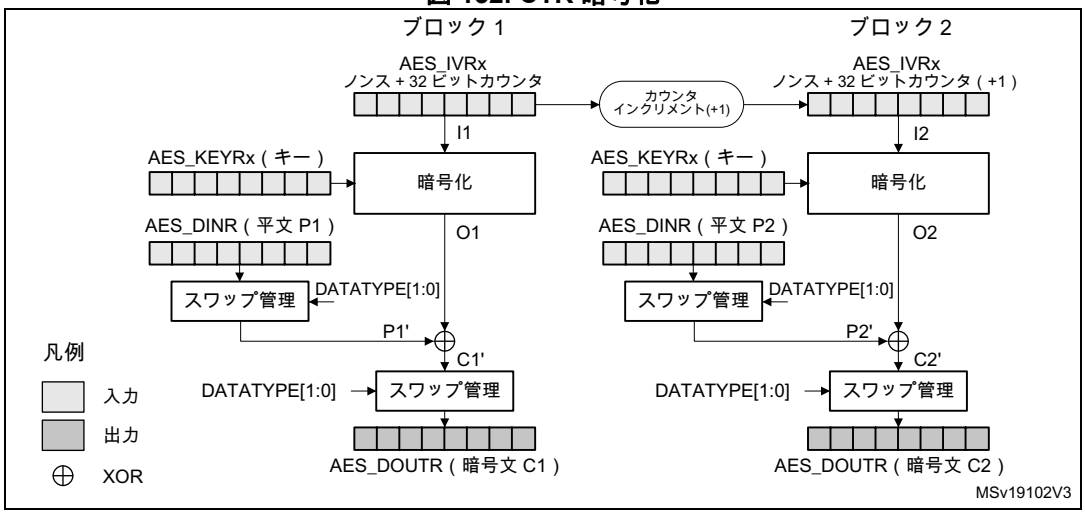
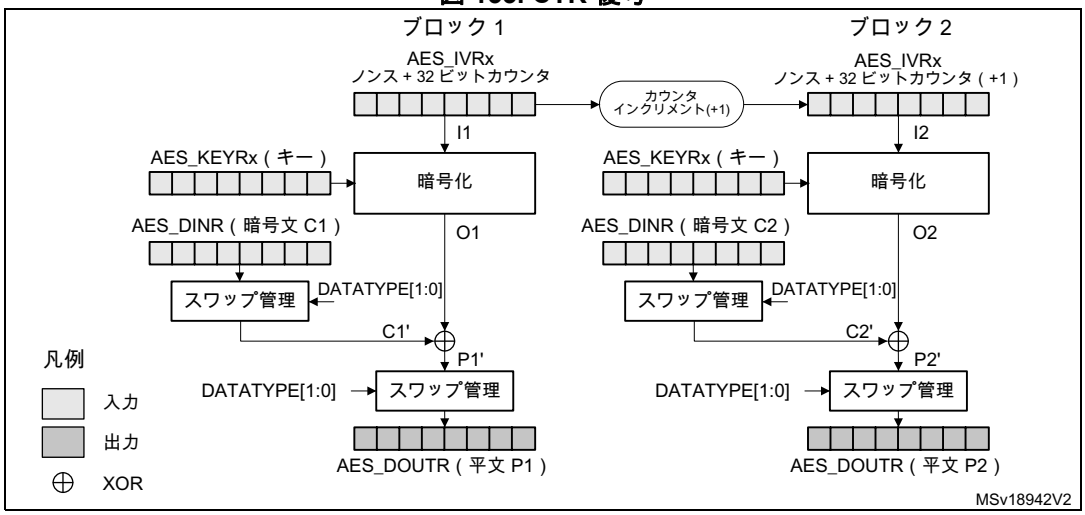


図 133. CTR 復号



CTR モードでは、暗号コア出力（キーストリームとも呼ばれます）Ox と関連入力ブロック（暗号化では Px'、復号では Cx'）の排他的論理和がとられ、正しい出力ブロック（暗号化では Cx'、復号では Px'）を生成します。AES の初期化ベクタは、表 116 に示すように初期化する必要があります。

表 116. CTR モード初期化ベクタの定義

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
IVI[127:96]	IVI[95:64]	IVI[63:32]	IVI[31:0] 32 ビットカウンタ = 0x0001

最初のデータブロックを処理するときに一度だけ AES_IVRx レジスタを使用する CBC モードとは違って、CTR モードでは、各データブロックを処理するたびに AES_IVRx レジスタが使用され、AES ペリフェラルによって初期化ベクタのカウンタビットがインクリメントされます（ノンスビットは変更されません）。

コアが常に現在のカウンタブロックを暗号化して、平文（CTR 暗号化）や暗号文（CTR 復号）の入力と排他的論理和がとられるキーストリームを生成するので、CTR 復号は CTR 暗号化と変わりませ

ん。CTR モードでは、MODE[1:0] ビットフィールドを 01（キー派生）にセットすることは禁止され、他のすべての設定はデフォルトの暗号化モードになります。

CTR 連鎖モードで暗号化または復号を行うためのイベントのシーケンス：

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 010 にセットして、CTR 連鎖モードを選択します。MODE[1:0] ビットフィールドを 01 以外の値にセットします。
3. AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを表 116 に示されたとおりロードします。
4. AES_CR レジスタの EN ビットをセットして、現在のカウンタの暗号化を開始します（EN は計算が終了すると自動的にリセットされます）。
5. 最終ブロックの場合には、必要に応じてデータを 0 でパディングして完全なブロックとします。
6. AES でデータを追加して結果を読み出します。可能性のある 3 通りのケースはセクション 22.4.4：暗号操作を行うための AES の手順に記載されています。
7. 最後から 2 番目のブロックが処理されるまで前の手順を繰り返します。最終ブロックでは、前の 2 つの手順を適用して、ペイロードの一部ではないビットを破棄します（最終入力ブロックの有効なデータのサイズが 16 バイト未満の場合）。

CTR モードでのサスペンド／レジューム動作

CBC モードと同様に、メッセージを中断して、優先順位の高いメッセージを送信してから、中断されたメッセージを再開することが可能です。CBC サスペンド／レジュームシーケンスの詳細については、セクション 22.4.8：AES 基本連鎖モード（ECB、CBC）を参照してください。

注： **CBC モードと同様に、レジューム動作中に AES_IVRx レジスタを再ロードする必要があります。**

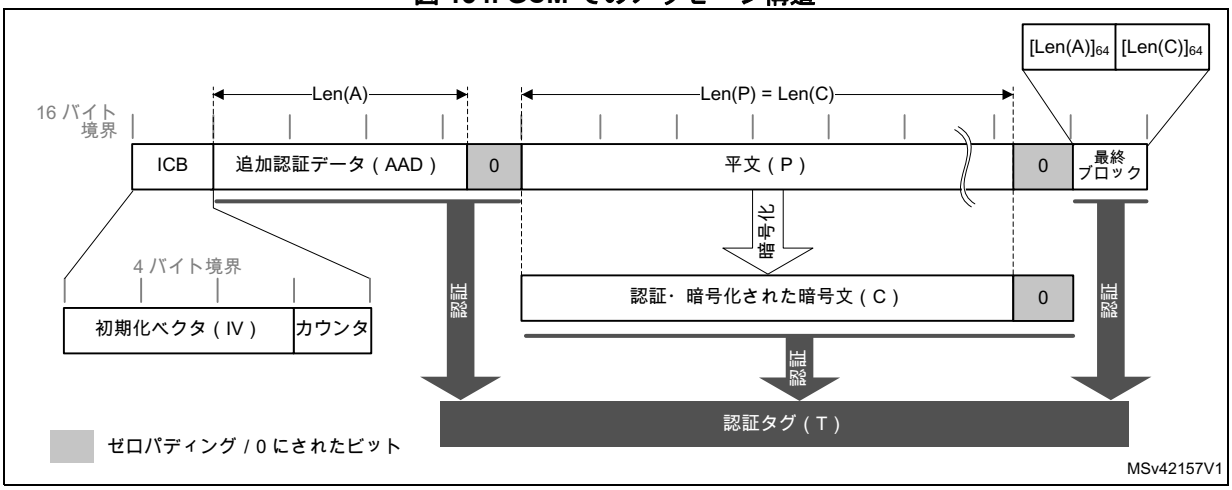
22.4.10 AES ガロア／カウンタモード（GCM）

概要

AES ガロア／カウンタモード（GCM）では、平文メッセージを対応する暗号文およびタグ（メッセージ認証コードとも言います）に暗号化して認証できます。機密性の確保のため、GCM アルゴリズムは AES カウンタモードに基づいています。固定の有限フィールドを超えて乗算器を使用しタグを生成します。

GCM 連鎖は、NIST 特別公報 800-38D『ブロック暗号の推奨動作モード - ガロア／カウンタモード（GCM）および GMAC』の中に定義されています。GCM モードでの典型的なメッセージ構造を図 134 に示します。

図 134. GCM でのメッセージ構造



メッセージには、次の構造があります。

- **16 バイトの初期カウンタブロック（ICB）**は、次の 2 つの異なるフィールドで構成されています。
  - **初期化ベクタ（IV）**: ある特定のキーでの暗号化サイクルごとに一意でなければならない 96 ビットの値です。GCM 規格では 96 ビット未満の IV に対応していますが、この場合には規則が厳格に適用されることに注意してください。
  - **カウンタ**：ブロック処理が完了するたびにインクリメントされる 32 ビットのビッグエンディアンの整数です。NIST 仕様によると、ペイロードの最初のブロックを処理するときのカウンタ値は 0x2 です。
- **認証済みヘッダ AAD**（追加認証データとも言います）は、既知の長さである Len(A) を持ちます。この長さは 16 バイトの倍数でなくても構いませんが、2^{64}1 ビットを超えてはなりません。メッセージのこの部分には認証だけ行われて、暗号化はされません。
- **平文メッセージ P** には暗号文 C として認証と暗号化の両方が行われ、既知の長さである Len(P) を持ちます。この長さは 16 バイトの倍数でなくても構いませんが、128 ビットの 2^{32}-2 ブロック分を超えることはできません。
- **最終ブロック**には、表 117 に示すとおり、AAD ヘッダ長（ビット [32:63]）とペイロード長（ビット [96:127]）の情報が含まれます。

GCM 規格では、暗号文 C は平文 P と同じビット長であることと規定されています。

メッセージ（AAD または P）の長さが 16 バイトの倍数ではない場合には、特別なパディング処理が必要となります。

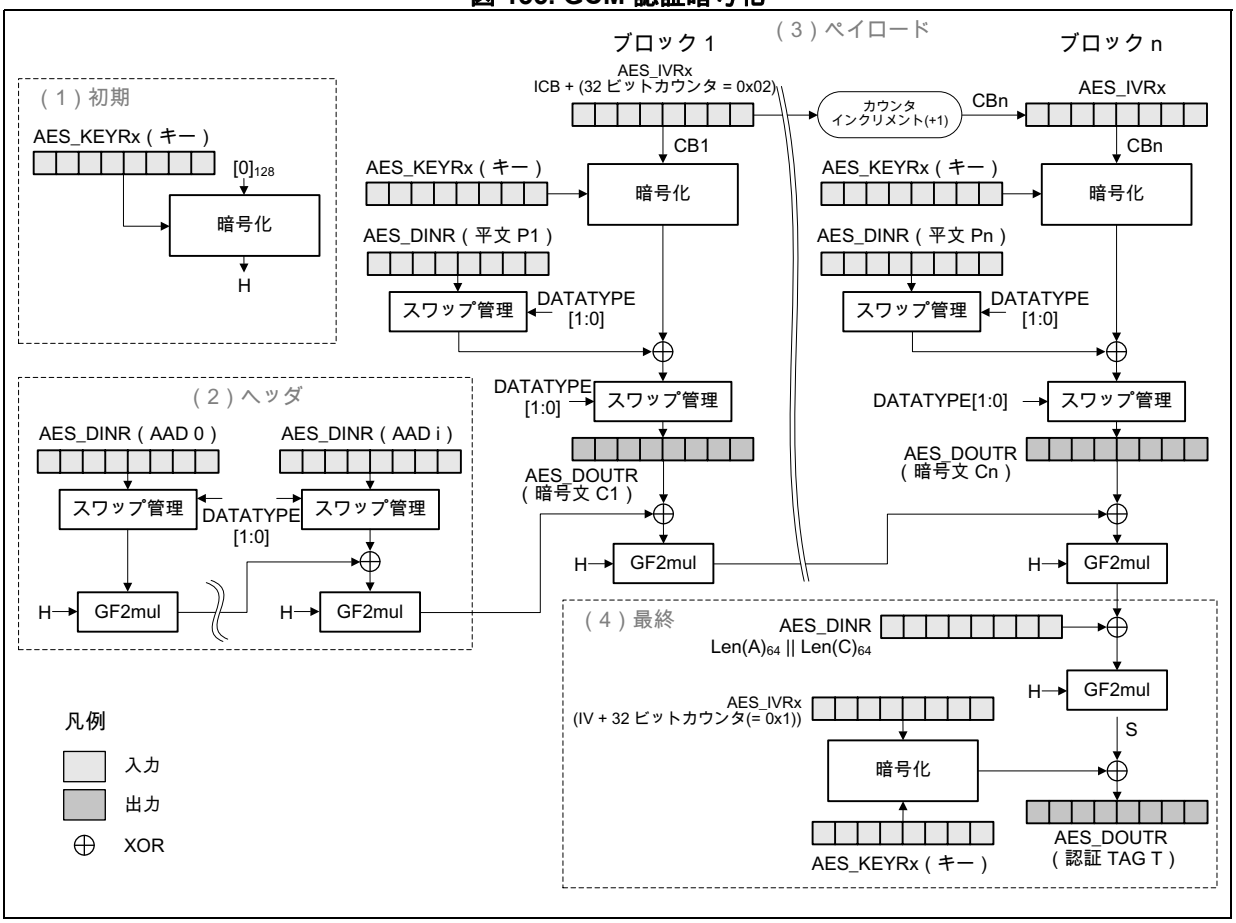
表 117. GCM 最終ブロックの定義

エンディアン	ビット [0] --- ビット [31]	ビット [32] --- ビット [63]	ビット [64] --- ビット [95]	ビット [96] --- ビット [127]
入力データ	0x0	AAD 長 [31:0]	0x0	ペイロード長 [31:0]

GCM 処理

図 135 には、AES ペリフェラルでの GCM の実装について示しています。GCM は、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 011 を書き込んで選択します。

図 135. GCM 認証暗号化



GCM モードにおける平文の機密性のメカニズムはカウンタモードと類似しており、入力カウンタブロックのシーケンスを生成する特別なインクリメント機能（32 ビットインクリメントと示される）を備えています。

各データブロックの処理には AES_IVRx レジスタ（データの**カウンタブロック**を保持）が使用されます。AES ペリフェラルが、カウンタ [31:0] ビットフィールドを自動的にインクリメントします。最初のカウンタブロック（CB1）は、アプリケーションソフトウェアによって初期カウンタブロック ICB から導出されます（表 118参照）。

表 118. GCM モードでの AES_IVRx レジスタの初期化

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
ICB[127:96]	ICB[95:64]	ICB[63:32]	ICB[31:0] 32 ビットカウンタ = 0x0002

注 : このードでは、MODE[1:0] ビットフィールドに 01 と 11 をセットすることは禁止されています。

GCM モードにおける認証メカニズムは **GF2mul** と呼ばれるハッシュ機能に基づいており、このハッシュ機能では、バイナリガロア体の中で、ハッシュサブキー（H）と呼ばれる固定パラメータによる乗算が行われます。

GCM メッセージは、次の項目に詳述されている以下のフェーズで処理されます。

- **初期フェーズ** : AES が GCM ハッシュサブキー（H）を準備します。
- **ヘッダフェーズ** : AES が追加認証データ（AAD）を処理して、ハッシュの計算のみを行います。
- **ペイロードフェーズ** : AES が平文（P）を処理して、ハッシュの計算、カウンタブロックの暗号化、データの排他的論理和を行います。暗号文（C）にも同様な操作を行います。
- **最終フェーズ** : AES がメッセージの最終ブロックを使って認証タグ（T）を生成します。

GCM 初期フェーズ

この最初のステップでは、GCM ハッシュサブキー（H）が計算され、すべてのブロックの処理に使用されるように内部に保存されます。推奨シーケンスは、次のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 011 にセットして、GCM 連鎖モードを選択し、オプションで DATATYPE[1:0] ビットフィールドをセットします。
3. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 00 にセットして、初期フェーズを示します。
4. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 または 10 にセットします。このビットフィールドはペイロードフェーズでのみ使用されますが、初期フェーズで設定し、後続のすべてのフェーズで変更しないことをお勧めします。
5. キーで AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを表 118 で定義された情報で初期化します。
6. AES_CR レジスタの EN ビットを 1 にセットしてハッシュキーの計算を開始します（EN は計算が終了すると自動的にリセットされます）。
7. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。あるいは、対応する割込みを使用します。
8. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。

GCM ヘッダフェーズ

このフェーズは GCM 初期フェーズの後に発生し、ペイロードフェーズの前に完了させる必要があります。実行するシーケンスは、暗号化および復号と同じで次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 01 にセットして、ヘッダフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、ブロックの AAD サイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。次に、AES に セクション 22.4.4 : 暗号操作を行うための AES の手順で示されたいずれかの方法でデータブロックを追加します。このフェーズ中はデータは読み出されません。
4. 最後の追加認証データブロックが処理されるまで手順 3 を繰り返します。

注 : **ヘッダフェーズは、AAD がなければ（Len(A) = 0 であれば）スキップできます。**

GCM ペイロードフェーズ

このフェーズは、暗号化および復号と同じで GCM ヘッダフェーズの後に実行されます。このフェーズでは、暗号化／復号したペイロードが AES_DOUTR レジスタに格納されます。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 10 にセットして、ペイロードフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. ヘッダフェーズをスキップした場合、AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、平文（暗号化）または暗号文（復号）のサイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。
4. AES に セクション 22.4.4：598 ページの暗号操作を行うための AES の手順で示されたいずれかの方法でデータブロックを追加して、結果を読み出します。
5. 最後から 2 番目の平文ブロックが暗号化されるか、暗号文の最終ブロックが復号されるまで前の手順を繰り返します。平文の最終ブロック（暗号化のみ）に対しては、前の 2 つの手順を実行します。最終ブロックでは、最終ブロックのサイズが 16 バイト未満である場合に、ペイロードの一部ではないビットを破棄します。

注： **ペイロードフェーズは、ペイロードデータがなければ（Len(C) = 0 であれば）スキップできます（GMAC モード参照）。**

GCM 最終フェーズ

この最終フェーズでは、AES ペリフェラルが GCM 認証タグを生成して AES_DOUTR に格納します。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 11 にセットして、最終フェーズを示します。
2. 表 117 に示すとおり、AAD とペイロードのビット長を連結してブロックのデータを構成します。AES_DINR レジスタにブロック書き込みます。
3. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。
4. AES_DOUTR レジスタを 4 回読み出して GCM 認証タグを取得します。
5. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。認証された復号である場合には、生成されたタグをメッセージとともに渡された予測タグと比較します。

注： **最終フェーズでは、データは通常どおり（スワッピングなし）に AES_DINR に書き込まれますが、AES_DOUTR から読み出されるタグデータにはスワッピングが適用されます。**

ヘッダフェーズまたはペイロードフェーズから最終フェーズに遷移する際に、AES を無効にしないでください。そうしないと、誤った結果になります。

GCM モードでのサスペンド／レジューム動作

メッセージの処理をサスペンドするには、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1 にセットされ、現在の計算が完了したことを確認します。
2. ペイロードフェーズで、DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。
3. AES_CR レジスタの CCFC ビットをセットして、AES_SR レジスタの CCF フラグをクリアします。
4. メモリに AES_SUSPxR レジスタを保存します（ここで、x は 0 から 7 です）。
5. ペイロードフェーズでは、AES_IVRx レジスタがデータ処理中に初期値から変化するため、それらを保存します。ヘッダフェーズでは、この手順は不要です。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. メモリに現在の AES 設定を保存します（初期化ベクタレジスタ AES_IVRx 以外）。アプリケーションが元のキー値を知っていますので、キーレジスタを保存する必要はありません。
8. DMA が使用されている場合には、DMA コントローラのステータス（ IN データ転送のポインタ、残りバイト数など）を保存します。ペイロードフェーズでは、OUT データ転送のポインタも保存する必要があります。

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN 転送を完了させます。ペイロードフェーズでは、残りの FIFO OUT 転送も DMA コントローラで設定する必要があります。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. メモリに事前に保存したサスペンドレジスタの値を、対応する AES_SUSPxR レジスタに書き戻します（ここで、x は 0 から 7 です）。
4. ペイロードフェーズでは、メモリに事前に保存した初期化ベクタレジスタの値を、対応する AES_IVRx レジスタに書き戻します。ヘッダフェーズでは、初期設定値を AES_IVRx レジスタに書き戻します。
5. AES_CR と AES_KEYRx のレジスタに初期設定値を復元します。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。

DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビット（ペイロードフェーズでは DMAOUTEN ビットも）をセットして、AES DMA リクエストを有効にします。

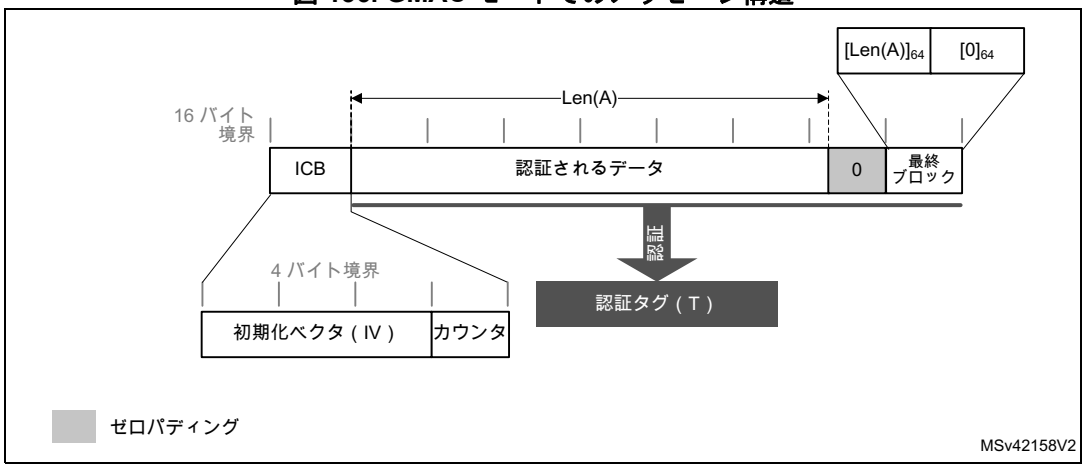
22.4.11 AES ガロアメッセージ認証コード（GMAC）

概要

ガロアメッセージ認証コード（GMAC）では、平文を認証して、対応するタグ情報（メッセージ認証コードとも言います）を生成することができます。NIST 特別公報 800-38D『ブロック暗号の推奨動作モード - ガロア／カウンタモード（GCM）および GMAC』に定義されている GCM アルゴリズムに基づいています。

GMAC での典型的なメッセージ構造を図 136 に示します。

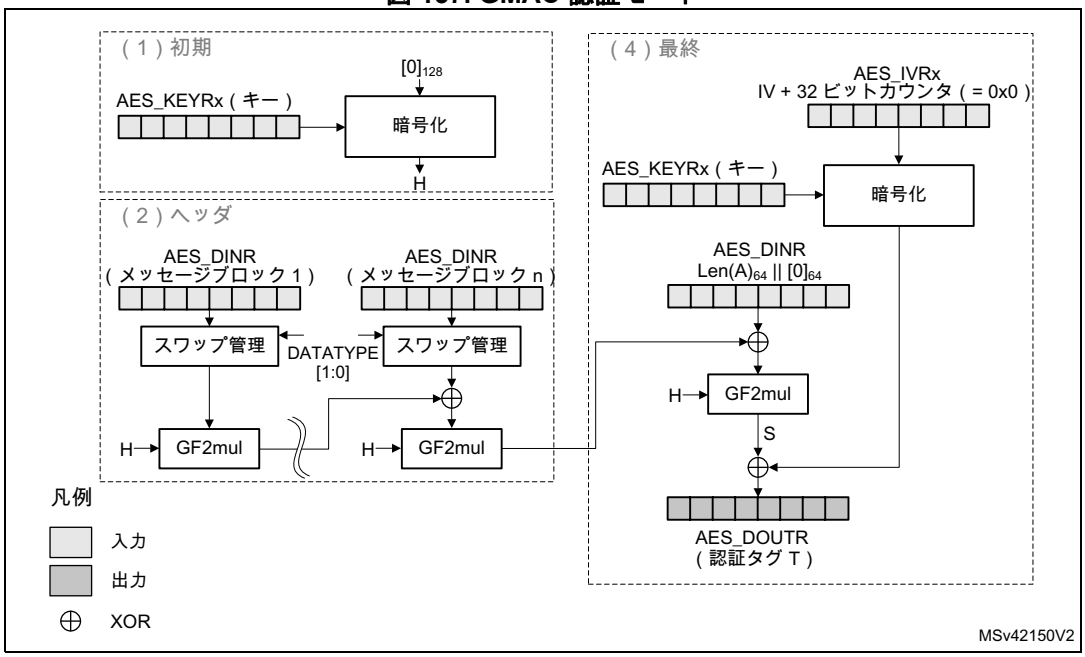
図 136. GMAC モードでのメッセージ構造



AES GMAC 処理

図 137 には、AES ペリフェラルでの GMAC モードの実装について示しています。このモードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 011 を書き込んで選択します。

図 137. GMAC 認証モード



GMAC アルゴリズムはヘッダのみ含まれているメッセージに適用される GCM アルゴリズムに相当します。その結果、ペイロードフェーズが省略されること以外の手順と設定がすべて GCM と同じです。

GMAC でのサスペンド／レジューム動作

GMAC モードでは、ヘッダフェーズのみが割込み可能であることを除いて、GCM で示されたシーケンスが適用されます。

22.4.12 AESCBC-MAC 付きカウンタ（CCM）

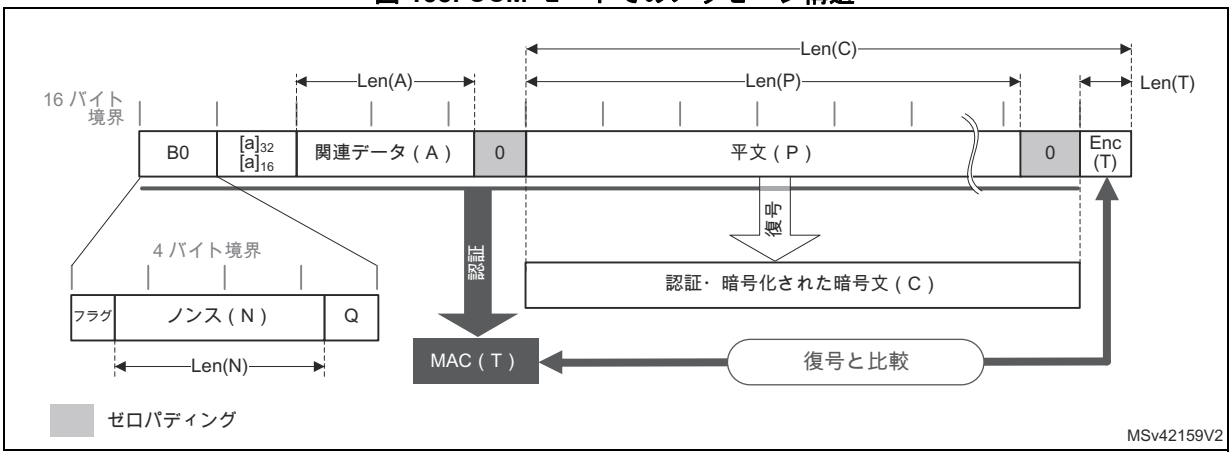
概要

AES **暗号ブロック連鎖-メッセージ認証コード付きカウンタ**（CCM）アルゴリズムでは、平文を暗号化して認証し、対応する暗号文およびタグ（メッセージ認証コードとも言います）を生成することができます。機密性の確保のため、CCM アルゴリズムはカウンタモードでの AES に基づいています。暗号ブロック連鎖技術を使ってメッセージ認証コードを生成します。これは、一般的に CBC-MAC と呼ばれます。

注： **NIST は、CCM 仕様の関係以外では CBC-MAC を認証モードとして承認していません。**

CCM 連鎖は、NIST 特別公報 800-38C『ブロック暗号の推奨動作モード - 認証および機密性のための CCM モード』の中に規定されています。CCM での典型的なメッセージ構造を図 138 に示します。

図 138. CCM モードでのメッセージ構造



メッセージの構造は次のとおりです。

- **16 バイトの初期認証ブロック（B0）**は、次の 3 つの異なるフィールドで構成されています。
  - **Q**：P のオクテット長（Len(P)）を表すビットストリングです。
  - **ノンス（N）**：Len(N) サイズの使い捨て値です（新しい通信のたびに新しいノンスを割り当てる必要があります）。Len(N) + Len(P) の合計は、15 バイトにする必要があります。
  - **フラグ**：規格に規定されている、制御情報のための 4 つのフラグを格納する最上位オクテットです。値 **t**（バイト単位での MAC の長さ）と **Q**（Len(P) < 2^{8q} バイトとなる平文の長さ）をエンコードするための 3 ビットのストリングが 2 つ格納されています。**Q** に関連付けられるカウンタブロックの範囲は 2^{8Q-4} となり、**Q** の最大値が 8 である場合、暗号で使用されるカウンタブロックは 60 ビットでなければなりません。
- **16 バイトブロック（B）**は関連データ（A）に関連付けられます。
  メッセージのこの部分には認証だけ行われて、暗号化はされません。この部分は既知の長さである Len(A) を持っており、この長さは 16 バイトの倍数でなくとも構いません（図 138 参照）。規

格には、最初のメッセージブロック（B1）の上位側ビットにおいて、バイト数で表現された関連データ長（a）は次の定義のようにエンコードされなければならないとも示されています。

– $0 < a < 2^{16} - 2^8$ である場合には、$[a]_{16}$ のようにエンコードされ、2 バイトとなります。
– $2^{16} - 2^8 < a < 2^{32}$ である場合には、0xff || 0xfe || $[a]_{32}$ のようにエンコードされ、6 バイトとなります。
– $2^{32} < a < 2^{64}$ である場合には、0xff || 0xff || $[a]_{64}$ のようにエンコードされ、10 バイトとなります。

- **16 バイトブロック（B）**は既知の長さ Len(P) を持ち、暗号文 C として認証と暗号化の両方が行われている平文メッセージ P に関連付けられます。この長さは 16 バイトの倍数でなくとも構いません（図 138 参照）。
- 長さ Len(T) の**暗号化された MAC (T)** が、全長が Len(C) である暗号文 C に追加されます。

メッセージ（A または P）の長さが 16 バイトの倍数ではない場合には、特別なパディング処理が必要となります。

注： **CCM 連鎖モードは、関連データのみ（ペイロードなし）にも使用できます。**

例として、NIST 特別公報 800-38C のセクション C.1 には次の値（16 進数）が示されています。

N：10111213 141516（Len(N) = 56 ビットまたは 7 バイト）

A：00010203 04050607（Len(A) = 64 ビットまたは 8 バイト）

P：20212223（Len(P) = 32 ビットまたは 4 バイト）

T：6084341B（Len(T) = 32 ビットまたは t = 4）

B0：4F101112 13141516 00000000 00000004
B1：00080001 02030405 06070000 00000000
B2：20212223 00000000 00000000 00000000

CTR0：0710111213 141516 00000000 00000000

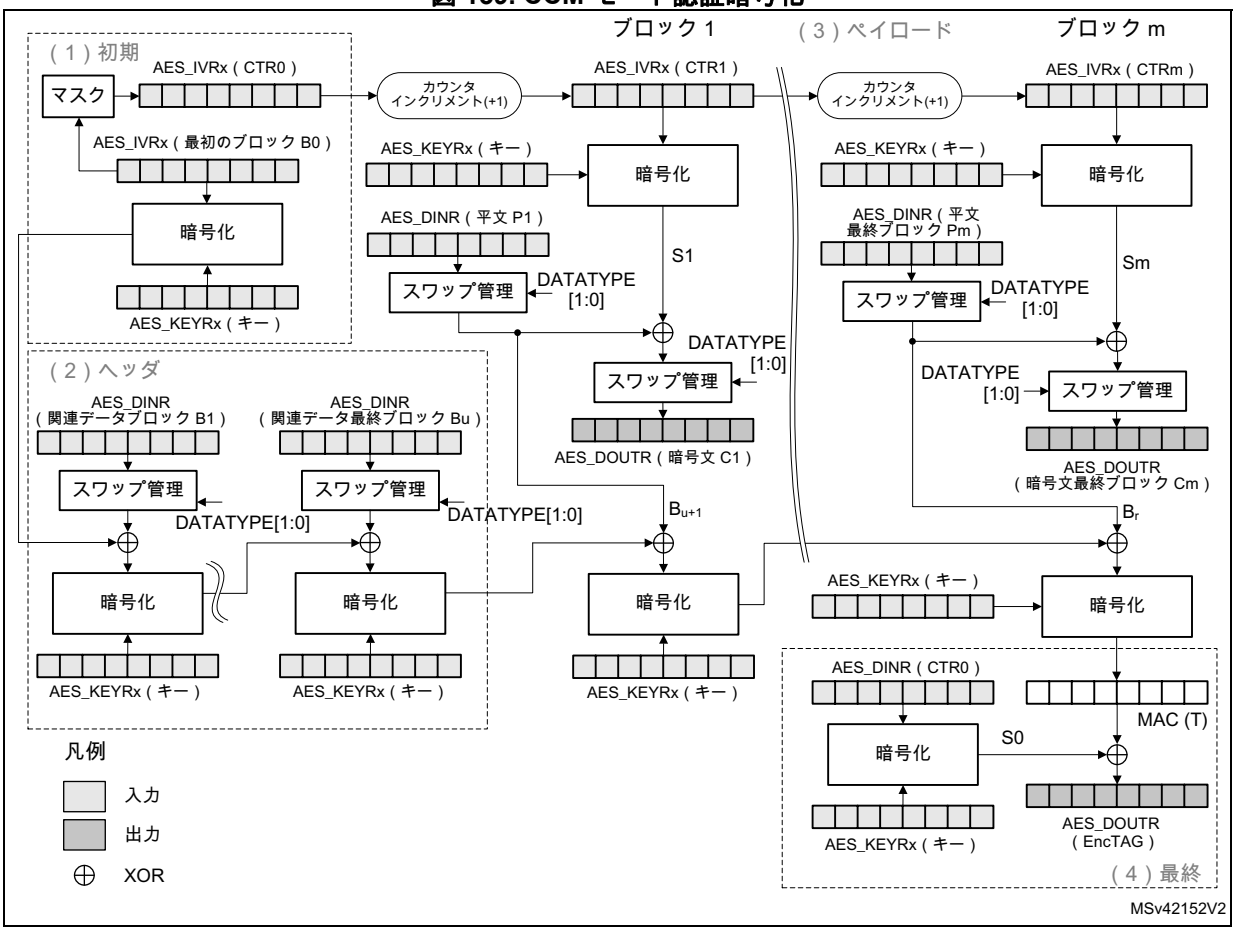
CTR1：0710111213 141516 00000000 00000001

フォーマットされた入力データブロック Bx（特に B0 と B1）の生成は、アプリケーションで管理する必要があります。

CCM 処理

図 139 には、AES ペリフェラルでの CCM の実装（暗号化の例）について示しています。このモードは、AES_CR レジスタの CHMOD[2:0] ビットフィールドに 100 を書き込んで選択します。

図 139. CCM モード認証暗号化



生成-暗号化処理に入力するデータは、有効なナンス、有効なペイロードストリング、有効な関連データストリングであり、すべて適切にフォーマットされているものです。CBC 連鎖メカニズムはフォーマットされた平文データに適用されて、既知の長さを持つ MAC を生成します。入力として十分な長さのカウンタブロックのシーケンスが必要であるカウンタモードの暗号化は、ペイロードストリングと MAC に個別に適用されます。結果の暗号文 C は、平文 P に対する生成-暗号化処理の出力です。

AES_IVRx レジスタは各データブロックを処理するために使用され、AES によって、最初のブロック B0 により定義されるビット長を持つ CTR カウンタが自動的にインクリメントされます。表 119 には、アプリケーションが B0 データをどのように読み込むかについて示しています。

注： **CCM モードでの AES ペリフェラルは、NIST が指定する最大 64 ビットのカウンタをサポートしています。**

表 119. CCM モードでの AES_IVRx レジスタの初期化

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
B0 [127:96]	B0 [95:64]	B0 [63:32]	B0 [31:0]

注： **このードでは、MODE[1:0] ビットフィールドに 01 と 11 をセットすることは禁止されています。**

CCM メッセージは、次の項目に詳述されている以下のフェーズで処理されます。

- **初期フェーズ**：AES が最初のブロックを処理して最初のカウンタブロックを準備します。
- **ヘッダフェーズ**：AES が関連データ（A）を処理して、タグの計算のみを行います。
- **ペイロードフェーズ**：IP が平文（P）を処理して、タグの計算、カウンタブロックの暗号化、データの排他的論理和を行います。暗号文（C）にも同様な操作を行います。
- **最終フェーズ**：AES がメッセージ認証コード（MAC）を生成します。

CCM 初期フェーズ

このフェーズでは、CCM メッセージの最初のブロック B0 が AES_IVRx レジスタに書き込まれます。AES_DOUTR レジスタに出力データは一切格納されません。推奨シーケンスは、次のとおりです。

1. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
2. AES_CR レジスタの CHMOD[2:0] ビットフィールドを 100 にセットして、CCM 連鎖モードを選択し、オプションで DATATYPE[1:0] フィールドをセットします。
3. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 00 にセットして、初期フェーズを示します。
4. AES_CR レジスタの MODE[1:0] ビットフィールドを 00 または 10 にセットします。このビットフィールドはペイロードフェーズでのみ使用されますが、初期フェーズで設定し、後続のすべてのフェーズで変更しないことをお勧めします。
5. キーで AES_KEYRx レジスタを初期化して、AES_IVRx レジスタを表 119 に示された B0 データで初期化します。
6. AES_CR レジスタの EN ビットを 1 にセットしてカウンタの計算を開始します（EN は計算が終了すると自動的にリセットされます）。
7. AES_SR の CCF フラグが 1 に変わって計算が終了するまで待ちます。あるいは、対応する割込みを使用します。
8. AES_CR レジスタの CCFC ビットを 1 にセットして、AES_SR レジスタの CCF フラグをクリアします。

CCM ヘッダフェーズ

このフェーズは GCM 初期フェーズの後に発生し、ペイロードフェーズの前に完了させる必要があります。このフェーズでは、AES_DOUTR レジスタには出力データは一切格納されません。

実行するシーケンスは、暗号化および復号と同じで次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 01 にセットして、ヘッダフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが最終ブロックであり、ブロックの AAD サイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。次に、AES に セクション 22.4.4 : 暗号操作を行うための AES の手順で示されたいずれかの方法でデータブロックを追加します。このフェーズ中はデータは読み出されません。
4. 最後の追加認証データブロックが処理されるまで手順 3 を繰り返します。

注： **ヘッダフェーズは、関連データがなければ（Len(A) = 0 であれば）スキップできます。**

関連データ（B1）の最初のブロックは、ソフトウェアで関連データ長でフォーマットする必要があります。

CCM ペイロードフェーズ（暗号化または復号）

このフェーズは、暗号化および復号と同じで CCM ヘッダフェーズの後に実行されます。このフェーズでは、暗号化／復号したペイロードが AES_DOUTR レジスタに格納されます。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 10 にセットして、ペイロードフェーズを示します。初期フェーズで設定した MODE[1:0] ビットフィールドは変更しないでください。
2. ヘッダフェーズをスキップした場合、AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
3. これが暗号化する最終データブロックであり、ブロックの平文のサイズが 128 ビットを下回る場合、ブロックの残り部分を 0 でパディングします。
4. AES に セクション 22.4.4：598 ページの暗号操作を行うための AES の手順で示されたいずれかの方法でデータブロックを追加して、結果を読み出します。
5. 最後から 2 番目の平文ブロックが暗号化されるか、暗号文の最終ブロックが復号されるまで前の手順を繰り返します。平文の最終ブロック（暗号化のみ）に対しては、前の 2 つの手順を適用します。最終ブロックでは、最終ブロックのサイズが 16 バイト未満である場合に、ペイロードの一部ではないデータを破棄します。

注： **ペイロードフェーズは、ペイロードデータがなければ（Len(P) = 0 または Len(C) = Len(T) であれば）スキップできます。**

暗号文 C を復号するときには、暗号化されたタグ情報である $LSB_{Len(T)}(C)$ を削除します。

CCM 最終フェーズ

この最終フェーズでは、AES ペリフェラルが GCM 認証タグを生成して AES_DOUTR に格納します。実行するシーケンスは、次のとおりです。

1. AES_CR レジスタの GCMPH[1:0] ビットフィールドを 11 にセットして、最終フェーズを示します。
2. AES_SR レジスタの計算終了フラグ CCF がセットされるまで待ちます。
3. AES_DOUTR レジスタを 4 回読み出します。この出力が CCM 認証タグに相当します。
4. AES_CR レジスタの CCFC ビットをセットして AES_SR レジスタの CCF フラグをクリアします。
5. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
6. 認証された復号である場合には、生成された暗号化タグを、暗号文でパディングされた暗号化タグと比較します。

注： **この最終フェーズでは、AES_DOUTR レジスタから読み出されたタグデータにスワッピングが適用されます。**

ヘッダフェーズから最終フェーズに遷移する際に、AES ペリフェラルを無効にしないでください。そうしないと、誤った結果になります。

アプリケーションは、有効なタグを取得するために、タグの長さで認証タグ出力をマスクする必要があります。

CCM モードでのサスペンド／レジューム動作

ヘッダフェーズおよびペイロードフェーズで**メッセージの処理をサスペンドするには**、次の手順に従います。

1. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビットをクリアして、IN FIFO への AES DMA 転送を停止します。DMA が使用されていない場合は、AES_SR レジスタの CCF フラグが 1 にセットされ、現在の計算が完了したことを確認します。

2. ペイロードフェーズで、DMA が使用されていない場合は、AES_DOUTR レジスタを 4 回読み出して、最後に処理されたブロックを保存します。DMA が使用されている場合には、AES_SR レジスタで CCF フラグがセットされるまで待ち、AES_CR レジスタの DMAOUTEN ビットをクリアして、OUT FIFO からの DMA 転送を停止します。
3. AES_CR レジスタの CCFC ビットを 1 にセットして、AES_SR レジスタの CCF フラグをクリアします。
4. メモリに AES_SUSPxR レジスタを保存します（ここで、x は 0 から 7 です）。
5. AES_IVRx レジスタがデータ処理中に初期値から変化するため、それらを保存します。
6. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
7. メモリに現在の AES 設定を保存します（初期化ベクタレジスタ AES_IVRx 以外）。アプリケーションが元のキー値を知っていますので、キーレジスタを保存する必要はありません。
8. DMA が使用されている場合には、DMA コントローラのステータス（ IN データ転送のポインタ、残りバイト数など）を保存します。ペイロードフェーズでは、OUT データ転送のポインタも保存する必要があります。

メッセージの処理をレジュームするには、次の手順に従います。

1. DMA が使用されている場合には、DMA コントローラを設定して残りの FIFO IN 転送を完了させます。ペイロードフェーズでは、残りの FIFO OUT 転送も DMA コントローラで設定する必要があります。
2. AES_CR レジスタの EN ビットをクリアして、AES ペリフェラルを無効にします。
3. メモリに事前に保存したサスペンドレジスタの値を、対応する AES_SUSPxR レジスタに書き戻します（ここで、x は 0 から 7 です）。
4. メモリに事前に保存した初期化ベクタレジスタの値を、対応する AES_IVRx レジスタに書き戻します。
5. AES_CR と AES_KEYRx のレジスタに初期設定値を復元します。
6. AES_CR レジスタの EN ビットをセットして、AES ペリフェラルを有効にします。
7. DMA が使用されている場合には、AES_CR レジスタの DMAINEN ビット（ペイロードフェーズでは DMAOUTEN ビットも）を 1 にセットして、AES DMA リクエストを有効にします。

22.4.13 AES データレジスタおよびデータスワッピング

データの入出力

128 ビットのデータブロックは、AES_DINR レジスタ（ビットフィールド DIN[31:0]）に 4 つの 32 ビットワードを最上位ワード（ビット [127:96]）から最下位ワード（ビット [31:0]）まで連続で書き込むことで、AES ペリフェラルに入力されます。

128 ビットのデータブロックは、AES_DOUTR レジスタ（ビットフィールド DOUT[31:0]）から 4 つの 32 ビットワードを最上位ワード（ビット [127:96]）から最下位ワード（ビット [31:0]）まで連続で読み出すことで、AES ペリフェラルから取得されます。

AES_DINR レジスタまたは AES_DOUTR レジスタの 32 ビットのデータワードは、次のいずれかのビッグエンディアン順で整理されます。

- AES_DINR に書き込むワードの最上位バイトは、書き込むワードを保持する 4 つの隣接したメモリ位置のうち、一番小さいアドレスに配置する必要があります。
- AES_DOUTR から読み出すワードの最上位バイトは、ワードを受け取る 4 つの隣接したメモリ位置のうち、一番小さいアドレスになります。

AES への入力データブロック書込みに DMA を使用する場合は、入力ブロックの 4 ワードをビックエンディアン順（一番小さいアドレスに最上位ワード）で連続してメモリに格納する必要があります。セクション 22.4.16：AES DMA インタフェースを参照してください。

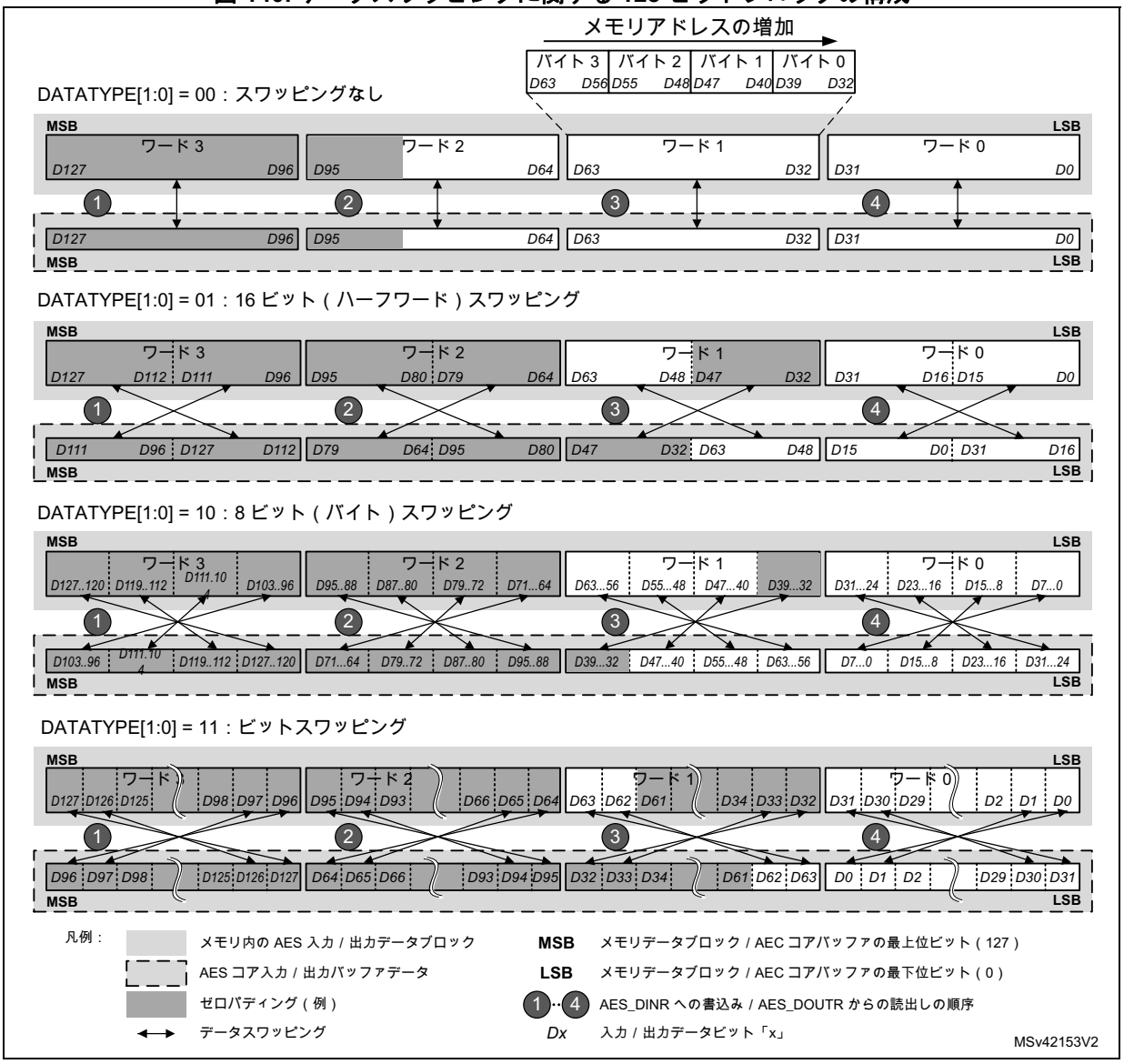
データスワッピング

AES ペリフェラルは、AES 処理コアに読み込まれる前の AES_DINR レジスタの入力データワード、および AES_DOUTR レジスタに送られる前の AES 処理コアから出力されたデータについて、ビット、バイト、ハーフワードのスワッピングまたはスワッピングなしに設定できます。データのタイプによって選択します。たとえば、ASCII テキストストリームの場合、バイトスワッピングを使用します。

データスワッピングのタイプは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで選択します。この選択は、AES コアの入力と出力の両方に適用されます。

それぞれのデータスワッピングのタイプについては、図 140 に AES_DINR レジスタから入力されたデータの AES 処理コアの入力バッファデータ P127～P0 の構成、または AES 処理コアの出力バッファデータ P127～P0 から AES_DOUTR レジスタで使用できる出力データの構成について示しています。

図 140. データスワッピングに関する 128 ビットブロックの構成



注： **AES キーレジスタ（AES_KEYRx）と初期化レジスタ（AES_IVRx）のデータは、選択されたスワップモードの影響を受けません。**

データパディング

図 140 では、データスワッピング後の 0 にされたビットによって AES コア入力バッファの最上位ビット側に隣接したゾーンが形成される場合など、0 でパディングされるメモリデータブロックの例も示しています。この例では、次を含む入力データブロックのパディングが示されています。

- 48 メッセージビット（DATATYPE[1:0] = 01）
- 56 メッセージビット（DATATYPE[1:0] = 10）
- 34 メッセージビット（DATATYPE[1:0] = 11）

22.4.14 AES キーレジスタ

AES_KEYRx レジスタは、暗号化または復号キービットフィールドの KEY[127:0] や KEY[255:0] を格納します。各レジスタに書き込むデータまたは各レジスタから読み出すデータは、最上位バイトが最上位アドレスにセットされるリトルエンディアンの順に配列されます。

表 120 に示すように、キーは 8 個のレジスタにまたがります。

表 120. AES_KEYRx レジスタでのキーエンディアン（128 ビットまたは 256 ビットのキー長）

AES_KEYR7 [31:0]	AES_KEYR6 [31:0]	AES_KEYR5 [31:0]	AES_KEYR4 [31:0]	AES_KEYR3 [31:0]	AES_KEYR2 [31:0]	AES_KEYR1 [31:0]	AES_KEYR0 [31:0]
-	-	-	-	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]
KEY[255:224]	KEY[223:192]	KEY[191:160]	KEY[159:128]	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]

暗号化または復号のキーは、AES_CR レジスタの EN ビットをクリアすることによって AES ペリフェラルが無効になっているときに、これらのレジスタに書き込むことができます。

キーレジスタは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで制御されるデータスワッピングによる影響を受けません。

22.4.15 AES 初期化ベクタレジスタ

4 つの AES_IVRx レジスタで初期化ベクタの入力ビットフィールド IVI[127:0] を保持します。各レジスタで読み書きするデータは、リトルエンディアン順で最上位バイトをメモリ内の一番大きいアドレスに配置するように整理されます。レジスタも一番小さいアドレス（AES_IVR0）から一番大きいアドレス（AES_IVR3）の順になります。

ビットフィールドのデータの位は、選択された連鎖モードに基づきます。使用時は、ビットフィールドが AES コアの計算サイクルごとに更新されます。

AES ペリフェラルが有効であるときの AES_IVRx レジスタへの書込み操作は、レジスタの内容に影響を与えません。AES_IVRx レジスタの内容を変更する場合はまず AES_CR レジスタの EN ビットをクリアする必要があります。

AES_IVRx レジスタを読み出すと、最新のカウンタ値が返されます（サスペンドモードの管理に役立ちます）。

AES_IVRx レジスタは、AES_CR レジスタの DATATYPE[1:0] ビットフィールドで制御されるデータスワッピング機能による影響を受けません。

22.4.16 AES DMA インタフェース

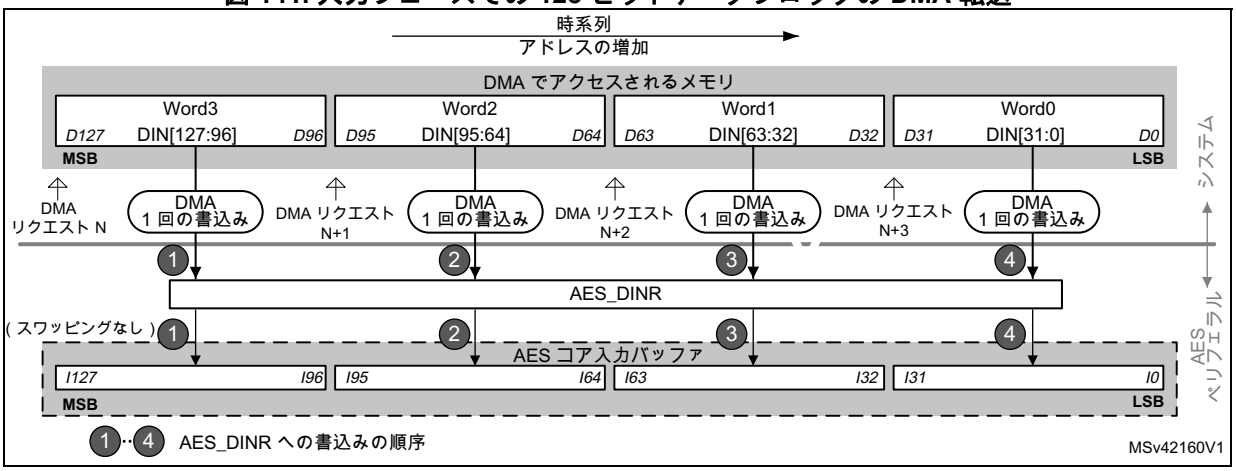
AES ペリフェラルには、DMA（ダイレクトメモリアクセス）コントローラに接続するインタフェースが搭載されています。DMA 操作は AES_CR レジスタで制御します。

DMA を用いたデータ入力

AES_CR レジスタの DMAINEN ビットをセットすると、AES への DMA 書込みが有効になります。図 141 に示すように、AES ペリフェラルは、入力フェーズ中に AES_DINR レジスタに 128 ビットのブロック（4 倍ワード）を書き込む必要があるたびに、DMA リクエストを開始します。

注： **選択されたアルゴリズムとモードに応じて、特別なパディングや暗号文借用が必要となることがあります。たとえば、AES GCM 暗号化や AES CCM 復号の場合は、DMA 転送に最終ブロックを含まないでください。詳細については、セクション 22.4.4：暗号操作を行うための AES の手順を参照してください。**

図 141. 入力フェーズでの 128 ビットデータブロックの DMA 転送

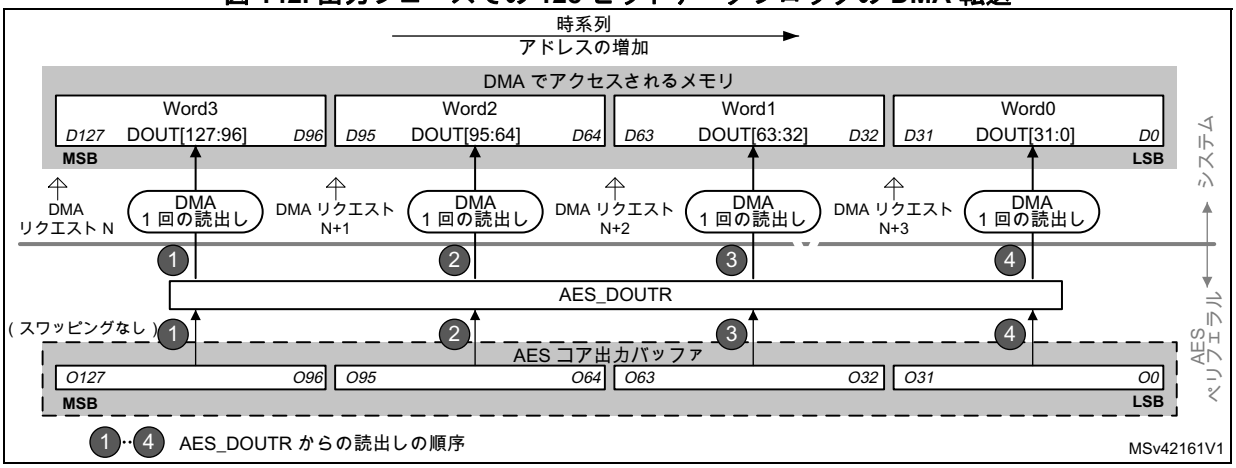


DMA を用いたデータ出力

AES_CR レジスタの DMAOUTEN ビットをセットすると、AES からの DMA 読出しが有効になります。図 142 に示すように、AES ペリフェラルは、出力フェーズ中に AES_DINR レジスタから 128 ビットのブロック（4 倍ワード）を読み出す必要があるたびに、DMA リクエストを開始します。

注： **メッセージサイズによっては、最後のブロックでアプリケーションによって余分なバイトを破棄する必要が出ることがあります。**

図 142. 出力フェーズでの 128 ビットデータブロックの DMA 転送



異なる動作モードにおける DMA 操作

DMA 操作は、モード 1（暗号化）またはモード 3（復号）が AES_CR レジスタの MODE[1:0] ビットフィールドで選択されている場合に使用できます。モード 2（キー導出）では、AES_KEYRx レジスタはソフトウェアで書き込む必要があり、AES_CR レジスタの DMAINEN および DMAOUTEN ビットで DMA 転送を有効にしても、このモードでは影響がありません。

DMA シングルリクエストは、無効にされるまで AES によって生成されます。そのため、128 ビットデータブロック処理終了時のデータ出力フェーズの後に、AES によって次のデータブロックの新しいデータ入力フェーズ（ある場合）に自動的に切り替えられます。

AES とメモリ間で転送されるデータが DMA によって管理されている場合、AES_DOUTR レジスタの読出しは、計算フェーズの終了時に DMA によって自動的に管理されるため、CCF フラグは使用する必要がありません。CCF フラグは、ソフトウェアで管理されるデータ転送に再び遷移したときのみクリアする必要があります。詳細については、セクション 22.4.4：暗号操作を行うための AES の手順 の データ追加の項目を参照してください。

22.4.17 AES エラー管理

AES の設定は、AES_CR レジスタの EN ビットをクリアすることでいつでも変更できます。

読出しエラーフラグ（RDERR）

AES_DOUTR レジスタの予期しない読出しが試みられると、AES_SR レジスタの RDERR フラグがセットされ、ゼロが返されます。

RDERR は、計算フェーズまたは入力フェーズ中にトリガされます。

注： **AES は RDERR エラーを検出しても無効にならず、処理を続けます。**

AES_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。詳細については、セクション 22.5：AES 割込みを参照してください。

RDERR フラグは、AES_CR レジスタの ERRIE ビットをセットすることでクリアされます。

書込みエラーフラグ（WDERR）

AES_DINR レジスタの予期しない書込みが試みられると、AES_SR レジスタの WRERR フラグがセットされ、AES_DINR レジスタには影響しません。WRERR は、計算フェーズまたは出力フェーズ中にトリガされます。

注： **AES は WRERR エラーを検出した後も無効にならず、処理を続けます。**

AES_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。詳細については、セクション 22.5：AES 割込みを参照してください。

WRERR フラグは、AES_CR レジスタの ERRC ビットをセットすることでクリアされます。

22.5 AES 割込み

AES ペリフェラルから発生する個々のマスク可能な割り込みソースによって、以下のイベントが通知されます。

- 計算完了
- 読出しエラー
- 書込みエラー

これらのソースは、AES ペリフェラルからの共通の割込み信号に統合され、Arm® Cortex® 割込みコントローラに接続されます。AES_CR レジスタの対応するイネーブルビットをセット／クリアすることで、それぞれを個別に有効／無効にすることができ、また AES_CR レジスタの対応するビットをセットすることで、クリアすることができます。

それぞれのステータスは、AES_SR レジスタから読み出すことができます。

割込みソースの概要、イベントフラグ、イネーブルビットについては、表 121 を参照してください。

表 121. AES 割込みリクエスト

項目（割込みの略称）	AES 割込みイベント	イベントフラグ	イネーブルビット	割込みのクリア方法
AES	計算完了フラグ	CCF	CCFIE	CCFC のセット(1)
	読出しエラーフラグ	RDERR	ERRIE	ERRC のセット (1)
	書込みエラーフラグ	WRERR		

1. AES_CR レジスタのビット

22.6 AES 処理遅延時間

以下の表では、各動作モードで 128 ビットブロックを処理する際の遅延時間の概要を示します。

表 122. ECB、CBC、および CTR での処理遅延時間

キー長	動作モード	アルゴリズム	クロックサイクル数
128 ビット	モード 1：暗号化	ECB、CBC、CTR	51
	モード 2：キー派生	-	59
	モード 3：復号	ECB、CBC、CTR	51
	モード 4：キー導出から復号	ECB、CBC	106
256 ビット	モード 1：暗号化	ECB、CBC、CTR	75
	モード 2：キー派生	-	82
	モード 3：復号	ECB、CBC、CTR	75
	モード 4：キー導出から復号	ECB、CBC	145

表 123. GCM および CCM での処理遅延時間（クロックサイクル数）

キー長	動作モード	アルゴリズム	初期フェーズ	ヘッダフェーズ(1)	ペイロードフェーズ (1)	タグフェーズ (1)
128 ビット	モード 1：暗号化／モード 3：復号	GCM	64	35	51	59
		CCM	63	55	114	58
256 ビット	モード 1：暗号化／モード 3：復号	GCM	88	35	75	75
		CCM	87	79	162	82

1. データ挿入では、AHB バスで AES により強制されるウェイトステートを含むことがあります（最大 3 サイクル、通常は 1 サイクル）。

22.7 AES レジスタ

22.7.1 AES制御レジスタ （AES_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB[3:0]				Res.	KEYSIZE	Res.	CHMOD[2]
								rw	rw	rw	rw		rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	GCMPH[1:0]		DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	CHMOD[1:0]		MODE[1:0]		DATATYPE[1:0]		EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **NPBLB[3:0]**：最終ブロックにおけるパディングバイト数

このビットフィールドで、ペイロードの最終ブロックにおけるパディングバイト数をセットします。

0000：全バイトが有効（パディングなし）

0001：最終ブロックの最下位バイト 1 個に対するパディング

.....

1111：最終ブロックの最下位バイト 15 個に対するパディング

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **KEYSIZE**：キー長選択

このビットフィールドは、AES 暗号コアに使用するキーの長さ（ビット単位）を定義します。

0：128

1：256

書込みアクセスの前に AES_CR レジスタの EN ビットがセットされていると、このビットに書き込もうとしても無視され、その書込みアクセスによってクリアされることはありません。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:13 **GCMPH[1:0]**：GCM または CCM フェーズの選択

このビットフィールドで GCM、GMAC、または CCM アルゴリズムを選択します。

00：初期フェーズ

01：ヘッダフェーズ

10：ペイロードフェーズ

11：最終フェーズ

GCM、GMAC、または CCM アルゴリズム以外が（ALGOMODE ビットフィールドで）選択されている場合、このビットフィールドの影響はありません。

ビット 12 **DMAOUTEN**：DMA 出力有効

このビットは、出力フェーズで DMA でのデータ転送を有効／無効にします。

0：無効化

1：イネーブル

このビットがセットされると、出力データフェーズ中に AES によって DMA リクエストが自動生成されます。

この機能は、モード 1 またはモード 3 が MODE[1:0] ビットフィールドで選択されている場合のみ有効です。

モード 2（キー導出）では有効ではありません。

モード 4（単一キー復号）に DMA を使用することは推奨されません。

ビット 11 **DMAINEN：**DMA 入力イネーブル

このビットは、入力フェーズで DMA でのデータ転送を有効／無効にします。

0：無効化

1：イネーブル

このビットがセットされると、入力データフェーズ中に AES によって DMA リクエストが自動生成されます。

この機能は、モード 1 またはモード 3 が MODE[1:0] ビットフィールドで選択されている場合のみ有効です。

モード 2（キー導出）では有効ではありません。

モード 4（単一キー復号）に DMA を使用することは推奨されません。

ビット 10 **ERRIE**：エラー割込み有効化

このビットは、RDERR または WRERR がセットされている場合に AES 割込み生成を有効化または無効化（マスク）します。

0：無効化（マスク）

1：イネーブル

ビット 9 **CCFIE**：CCF 割込み有効

このビットは、CCF（計算完了フラグ）がセットされている場合に AES 割込み生成を有効化または無効化（マスク）します。

0：無効化（マスク）

1：イネーブル

ビット 8 **ERRC**：エラーフラグクリア

このビットで 1 を書き込むと、AES_SR レジスタの RDERR および WRERR エラーフラグがクリアされます。

0：影響なし。

1：RDERR および WRERR フラグをクリアします。

フラグを読み出すと常に 0 が返されます。

ビット 7 **CCFC：**計算完了フラグクリア

このビットで 1 を書き込むと、AES_SR レジスタの計算完了フラグ（CCF）がクリアされます。

0：影響なし。

1：CCF のクリア

フラグを読み出すと常に 0 が返されます。

ビット 16、6:5 **CHMOD[2:0]**：連鎖モード選択

このビットフィールドで、AES 連鎖モードを選択します。

000：電子コードブック（ECB）

001：暗号ブロック連鎖（CBC）

010：カウンタモード（CTR）

011：ガロアカウンタモード（GCM）およびガロアメッセージ認証コード（GMAC）

100：CBC-MAC付きカウンタ（CCM）

上記以外：予約済みです。

書込みアクセスの前に AES_CR レジスタの EN ビットがセットされていると、このビットフィールドに書き込もうとしても無視され、その書込みアクセスによってクリアされることはありません。

ビット 4:3 **MODE[1:0]**：AES 動作モード

このビットフィールドで、AES 動作モードを選択します。

00：モード 1：暗号化

01：モード 2：キー導出（ECB/CBC 復号のキーの準備）

10：モード 3：復号

11：モード 4：キー派生を経て単一キー復号

書込みアクセスの前に AES_CR レジスタの EN ビットがセットされていると、このビットフィールドに書き込もうとしても無視され、その書込みアクセスによってクリアされることはありません。ECB または CBC 連鎖モードのどちらも選択されていない場合にモード 4 を選択しようとすると、デフォルトで有効な選択であるモード 3 になります。モード 4 からモード 3 を選択することはできません。

ビット 2:1 **DATATYPE[1:0]**：データ型選択

このビットフィールドは、データスワッピングのモードを選択して、AES_DINR レジスタに書き込まれるデータまたは AES_DOUTR レジスタから読み出されるデータのフォーマットを定義します。

00：なし

01：ハーフワード（16 ビット）

10：バイト（8 ビット）

11：ビット

詳細については、セクション 22.4.13：AES データレジスタおよびデータスワッピングを参照してください。

書込みアクセスの前に AES_CR レジスタの EN ビットがセットされていると、このビットフィールドに書き込もうとしても無視され、その書込みアクセスによってクリアされることはありません。

ビット 0 **EN**：AES イネーブル

このビットは、AES ペリフェラルを有効または無効にします。

0：無効化

1：イネーブル

このビットをクリアしてからセットすれば、いつでも AES ペリフェラルを再初期化できます。

このビットは、キーの準備が完了した時（モード 2）、および GCM/GMAC/CCM の初期フェーズが完了した時、ハードウェアによって自動的にクリアされます。

22.7.2 AES ステータスレジスタ（AES_SR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **BUSY**：ビジー

このフラグは、AES が GCM ペイロード**暗号化**フェーズ中にアイドルかビジーかを示します。

0：アイドル

1：ビジー

フラグが「アイドル」を示す場合、優先順位の高いメッセージを処理するために現在の GCM 暗号化処理をサスペンドできます。他の連鎖モード、またはペイロード暗号化以外の GCM フェーズでは、サスペンドプロセスに対してフラグを無視する必要があります。

ビット 2 **WRERR**：書込みエラー

このフラグは、AES_DINR レジスタへの予期しない書込み操作（計算中またはデータ出力フェーズ中）の検出を示します。

0：検出なし

1：検出

フラグはハードウェアによってセットされます。AES_CR レジスタの ERRC ビットをセットすると、ソフトウェアによってクリアされます。

フラグ設定時、AES_CR レジスタの ERRIE ビットで割込みが有効になっている場合、割込みが生成されます。

フラグ設定は、AES 動作に影響しません。予期しない書込みは無視されます。

ビット 1 **RDERR**：読出しエラーフラグ

このフラグは、AES_DOUTR レジスタからの予期しない読出し操作（計算中またはデータ入力フェーズ中）の検出を示します。

0：検出なし

1：検出

フラグはハードウェアによってセットされます。AES_CR レジスタの ERRC ビットをセットすると、ソフトウェアによってクリアされます。

フラグ設定時、AES_CR レジスタの ERRIE ビットで割込みが有効になっている場合、割込みが生成されます。

フラグ設定は、AES 動作に影響しません。予期しない読出しにはゼロを返します。

ビット 0 **CCF**：計算完了フラグ

このフラグは計算が完了したかどうかを示します。

0：未完了

1：完了

フラグは、計算完了時にハードウェアによってセットされます。AES_CR レジスタの CCFC ビットをセットすると、ソフトウェアによってクリアされます。

フラグ設定時、AES_CR レジスタの CCFIE ビットで有効になっている場合、割込みが生成されます。

フラグは DMAOUTEN ビットが 0 の場合のみ有効です。DMA_EN が 1 の場合、ハイのままとなります。

22.7.3 AES データ入力レジスタ（AES_DINR）

アドレスオフセット：0x08

リセット値：0x0000 0000

32 ビットアクセスタイプのみサポートされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIN[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DIN[31:0]**：入力データワード

入力フェーズ中にこのビットフィールドに 4 連続で書き込むことによって、AES ペリフェラルに 128 ビットブロックの入力データすべてを書き込めます。1 回目から 4 回目の書込みまで、対応するデータウェイトは [127:96]、[95:64]、[63:32]、[31:0] です。書込みごとに、32 ビットの入力バッファのデータが DATATYPE[1:0] ビットフィールドに応じたデータスワッピングブロックによって処理され、AES コア 128 ビット入力バッファに書き込まれます。

入力データブロックのデータの位は、AES 動作モードに基づきます。

- **モード 1**（暗号化）：平文
- **モード 2**（キー導出）：ビットフィールド未使用（AES_KEYRx レジスタを入力に使用）
- **モード 3**（復号）および**モード 4**（キー派生に続いて単一キー復号）：暗号文

データスワッピング操作の手順は、セクション 22.4.13：622 ページのAES データレジスタおよびデータスワッピングを参照してください。

22.7.4 AES データ出力レジスタ（AES_DOUTR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

32 ビット読出しアクセスタイプのみサポートされます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DOUT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **DOUT[31:0]**：出力データワード

読出し専用ビットフィールドは、32 ビット出力バッファをフェッチします。計算完了（CCF セット）時にこのビットフィールドを 4 連続で読み出すことによって、AES ペリフェラルから 128 ビットブロックの出力データすべてを実質的に読み出します。出力バッファに達する前に、AES コアによって生成されたデータは、DATATYPE[1:0] ビットフィールドに応じたデータスワッピングブロックによって処理されます。

1 回目から 4 回目までの読出し操作でのデータウェイトは、[127:96]、[95:64]、[63:32]、および [31:0] です。

出力データブロックのデータの位は、AES 動作モードに基づきます。

- **モード 1**（暗号化）：暗号文
- **モード 2**（キー派生）：ビットフィールド不使用（出力は AES_KEYRx レジスタを使用）
- **モード 3**（復号）および**モード 4**（キー派生に続いて単一キー復号）：平文

データスワッピング操作の手順は、セクション 22.4.13：622 ページのAES データレジスタおよびデータスワッピングを参照してください。

22.7.5 AES キーレジスタ 0（AES_KEYR0）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[31:0]**：暗号化キー、ビット [31:0]

このビットフィールドには、動作モードに応じて AES 暗号化または復号キーのビット [31:0] が含まれます。

モード 1（暗号化）、**モード 2**（キー派生）、および**モード 4**（キー派生に続き単一キー復号）では、ビットフィールドに書き込む値は暗号化キーです。

- **モード 3**（復号）：ビットフィールドに書き込む値は、復号に使用する前に導出される暗号化キーです。ビットフィールドに暗号化キーを書き込んだ後、AES をイネーブルする前にそれを読み出すと同じ値が返されます。AES をイネーブルした後かつCCF フラグをセットした後にそれを読み出すと、暗号化キーから派生した暗号化キーが返されます。

注： モード 4（キー派生に続いて単一キー復号）では、ビットフィールドには常に暗号化キーが含まれます。

AES_KEYRx レジスタに書き込むことができるのは、KEYSIZE 値が正しく、かつ AES ペリフェラルが無効になっている（AES_CR レジスタの EN ビットがクリアされている）ときだけです。の場合、キーは直接 AES_KEYRx レジスタにロードされる（したがって、キーレジスタへの書込みは無視され、KEIF がセットされます）ので注意してください。

詳細については、セクション 22.4.14：624 ページのAES キーレジスタを参照してください。

22.7.6 AES キーレジスタ 1（AES_KEYR1）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[63:48]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[47:32]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[63:32]**：暗号化キー、ビット [63:32]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.7 AES キーレジスタ 2（AES_KEYR2）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[95:80]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[79:64]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[95:64]**：暗号化キー、ビット [95:64]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.8 AES キーレジスタ 3（AES_KEYR3）

アドレスオフセット：0x1C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[127:112]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[111:96]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[127:96]**：暗号化キー、ビット [127:96]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.9 AES 初期化ベクタレジスタ 0（AES_IVR0）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IVI[31:0]**：初期化ベクタ入力、ビット [31:0]

IVI[127:0] フィールドの説明については、セクション 22.4.15 : 624 ページのAES 初期化ベクタレジスタを参照してください。

初期化ベクタは、ECB 以外の連鎖モードでのみ使用します。

AES_IVRx レジスタは、AES ペリフェラルが無効である場合のみ書き込むことができます。

22.7.10 AES 初期化ベクタレジスタ 1（AES_IVR1）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[63:48]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[47:32]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IVI[63:32]**：初期化ベクタ入力、ビット [63:32]
IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

22.7.11 AES 初期化ベクタレジスタ 2（AES_IVR2）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[95:80]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[79:64]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IVI[95:64]**：初期化ベクタ入力、ビット [95:64]
IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

22.7.12 AES 初期化ベクタレジスタ 3（AES_IVR3）

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[127:112]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[111:96]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **IVI[127:96]**：初期化ベクタ入力、ビット [127:96]
IVI[128:0] ビットフィールドの説明については、AES_IVR0 レジスタを参照してください。

22.7.13 AES キーレジスタ 4（AES_KEYR4）

アドレスオフセット：0x30

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[159:144]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[143:128]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[159:128]**：暗号化キー、ビット [159:128]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.14 AES キーレジスタ 5（AES_KEYR5）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[191:176]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[175:160]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[191:160]**：暗号化キー、ビット [191:160]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.15 AES キーレジスタ 6（AES_KEYR6）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[223:208]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[207:192]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[223:192]**：暗号化キー、ビット [223:192]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

22.7.16 AES キーレジスタ 7（AES_KEYR7）

アドレスオフセット：0x3C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[255:240]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[239:224]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **KEY[255:224]**：暗号化キー、ビット [255:224]

KEY[255:0] ビットフィールドの説明については、AES_KEYR0 レジスタを参照してください。

注： **4〜7 のキーレジスタは、256 ビットのキー長を選択した場合のみ使用されます。128 ビットのキー長を選択した場合は有効ではありません（この場合、0〜3 のキーレジスタのみが使用されます）。**

22.7.17 AES サスペンドレジスタ（AES_SUSPxR）

アドレスオフセット：0x040 + 0x4 * x（x = 0 から 7）

リセット値：0x0000 0000

現在のタスクの AES 処理が優先順位の高いタスクを処理するためにサスペンドされる場合、AES プロセッサの内部レジスタステータスはすべてこれらのレジスタ内にあります。
サスペンド時、ソフトウェアは AES_SUSPxR レジスタ（x は 0〜7）の内容を読み出し、メモリに保存してから優先順位の高いタスクに AES プロセッサを使用します。完了時、ソフトウェアは保存した内容を、対応するサスペンドレジスタに復元してから、元のタスクを再開します。

注： **これらのレジスタは、GCM、GMAC または CCM 連鎖モードが選択されているときにのみ使用します。**

これらのレジスタは AES が有効である場合のみ読み出すことができます。AES が無効になっている状態で、これらのレジスタを読み出すと、0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUSP[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUSP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **SUSP[31:0]**：AES サスペンド

サスペンド動作時、対応する AES_SUSPxR レジスタのこのビットフィールドでは内部 AES レジスタのいずれかの値を取得します。

22.7.18 AES レジスタマップ

表 124. AESレジスタマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	AES_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB[3:0]				Res.	KEYSIZE	Res.	CHMOD[2]	Res.	GCMPH[1:0]		DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	CHMOD[1:0]		MODE[1:0]		DATATYPE[1:0]		EN
	リセット値									0	0	0	0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	AES_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
	リセット値																													0	0	0	0
0x008	AES_DINR	DIN[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	AES_DOUTR	DOUT[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	AES_KEYR0	KEY[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	AES_KEYR1	KEY[63:32]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	AES_KEYR2	KEY[95:64]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x01C	AES_KEYR3	KEY[127:96]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	AES_IVR0	IVI[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	AES_IVR1	IVI[63:32]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	AES_IVR2	IVI[95:64]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	AES_IVR3	IVI[127:96]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030	AES_KEYR4	KEY[159:128]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	AES_KEYR5	KEY[191:160]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	AES_KEYR6	KEY[223:192]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	AES_KEYR7	KEY[255:224]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	AES_SUSP0R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x044	AES_SUSP1R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 124. AESレジスタマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x048	AES_SUSP2R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	AES_SUSP3R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	AES_SUSP4R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	AES_SUSP5R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x058	AES_SUSP6R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	AES_SUSP7R	SUSP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060 - 0x3FF	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

23 公開鍵アクセラレータ（PKA）

23.1 概要

公開鍵アクセラレータ（PKA）は、特に RSA、ディフィー - ヘルマン、GF（*p*）（ガロア体）上の ECC（楕円曲線暗号）に関連する暗号公開鍵の基本エレメントの計算を目的としています。手頃なコストで高いパフォーマンスを実現するために、これらの演算はモンゴメリ定義域で実行されます。

必要な計算はすべてアクセラレータ内で実行されるため、入出力のために追加でハードウェア／ソフトウェアについて考える必要はありません。

23.2 PKA の主な機能

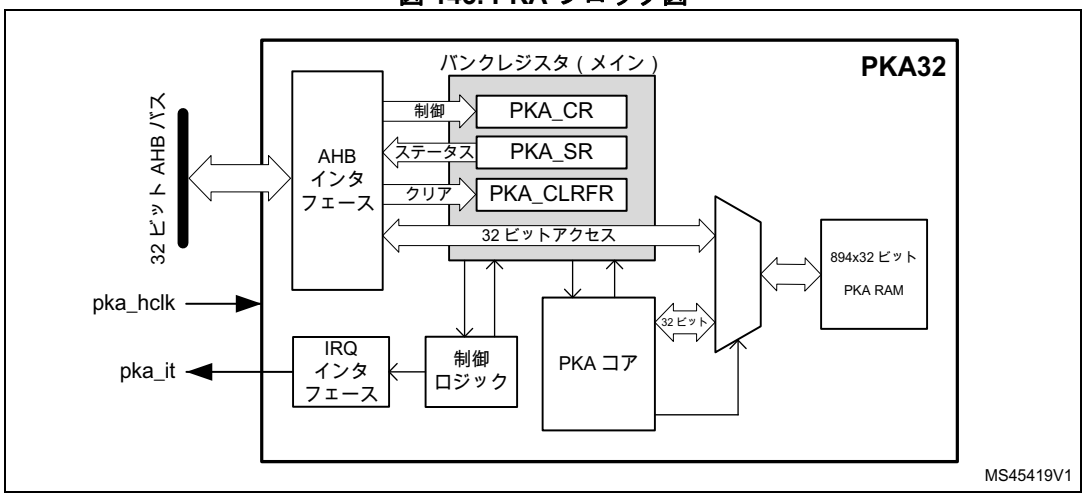
- RSA、DH、GF（*p*）での ECC の演算の高速化は、高速剰余乗算に関するモンゴメリ法に基づきます。具体的には次のとおりです。
  - RSA べき剰余、RSA 中国剰余定理（CRT）べき乗
  - ECC スカラー乗算、曲線上の点の確認
  - ECDSA 署名の生成および検証
- RSA/DH では最大 3136 ビット、ECC では最大 640 ビットのオペランドを処理できます。
- 加算、減算、乗算、モジュラリダクション、モジュラ逆数、比較、モンゴメリ乗算など算術演算および剰余演算を処理します。
- モンゴメリ定義域内外への変換を搭載しています。
- AMBA AHB スレーブペリフェラルは、32 ビットワードのシングルアクセスでのみアクセス可能です（それ以外は、書込みの場合に AHB バスエラーが発生し、書込みアクセスは無視されます）。

23.3 PKA の機能詳細

23.3.1 PKA ブロック図

図 143 に、公開鍵アクセラレータ（PKA）のブロック図を示します。

図 143. PKA ブロック図



23.3.2 PKA 内部信号

表 125 では、製品接続パッドで使用できない場合もある、IP レベルで使用可能な内部信号をリストしています。

表 125. 内部入力／出力信号

信号名	信号タイプ	説明
pka_hclk	デジタル入力	AHB バスクロック
pka_it	デジタル出力	公開鍵アクセラレータ IP グローバル割込みリクエスト

23.3.3 PKA のリセットとクロック

PKA は、AHB バスクロックでクロック供給されます。RAM はこのクロックを直接受信し、コアは半分の周波数でクロック供給されます。

23.3.4 PKA 公開鍵の高速化

概要

公開鍵アクセラレータ（PKA）は、リベスト、シャミア、エーデルマン（RSA）、ディフィー - ヘルマン（DH）、素体上の ECC の演算を高速化するために使用されます。サポートされるオペランドサイズは、RSA および DH では最大 3136 ビット、ECC では最大 640 ビットです。

PKA は、素体上で定義され、短いワイエルシュトラス方程式 $y^2 = x^3 + ax + b$ (mod p) で記述できるすべての非特異楕円曲線をサポートしています。詳細については、セクション 23.5.1 : サポートされている楕円曲線を参照してください。

注： **2 値曲線、エドワーズ曲線、および Curve25519 は、PKA ではサポートされていません。**

PKA RAM と呼ばれる 3576 バイト（32 ビットの 894 ワード）のメモリが、PKA への初期データ供給と、計算完了後の結果の保持に使用されます。PKA AHB インタフェースでアクセスします。

PKA 演算モード

PKA が実行できる演算のリストを、整数算術機能と素体（Fp）楕円曲線機能についてそれぞれ表 126 および表 127 に示します。

これらの演算モードにはそれぞれ関連するコードがあり、PKA_CR レジスタの MODE フィールドに書き込む必要があります。

表 126. PKA 整数算術機能リスト

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x01	000001	モンゴメリパラメータ計算 R2 mod n	セクション 23.4.2
0x0E	001110	剰余加算（A+B）mod n	セクション 23.4.3
0x0F	001111	剰余減算（A-B）mod n	セクション 23.4.4
0x10	010000	モンゴメリ乗算（AxB）mod n	セクション 23.4.5
0x00	000000	べき剰余 A^e mod n	セクション 23.4.6
0x02	000010	べき剰余 A^e mod n（高速モード）	

表 126. PKA 整数算術機能リスト

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x08	001000	モジュラ逆数 A-1 mod n	セクション 23.4.7
0x0D	001101	モジュラリダクション A mod n	セクション 23.4.8
0x09	001001	算術加算 A+B	セクション 23.4.9
0x0A	001010	算術減算 A-B	セクション 23.4.10
0x0B	001011	算術乗算 AxB	セクション 23.4.11
0x0C	001100	算術比較（A=B、A>B、A<B）	セクション 23.4.12
0x07	000111	RSA CRT べき乗	セクション 23.4.13

表 127. PKA 素体（Fp）楕円曲線機能リスト

PKA_CR.MODE[5:0]		実行される演算	参照
16 進数	2 進数		
0x28	101000	楕円曲線 Fp 上の点の確認	セクション 23.4.14
0x20	100000	ECC スカラー乗算 kP	セクション 23.4.15
0x22	100010	ECC スカラー乗算 kP（高速モード）	
0x24	100100	ECDSA 署名	セクション 23.4.16
0x26	100110	ECDSA 検証	セクション 23.4.17

モンゴメリ空間と高速モードの演算

効率面の理由で、PKA はモンゴメリ定義域でモジュラ乗算演算を内部で実行し、自動的に内外への変換を実行します。

モンゴメリパラメータ計算は時間がかかるため、アプリケーションは演算開始前に事前に計算したモンゴメリパラメータを供給する高速な演算モードを使用する決定を下すことができます。パフォーマンスの改善については、セクション 23.5.2：計算時間で説明します。

高速モードを使用する演算は、べき剰余とスカラー乗算です。

23.3.5 PKA の標準的なアプリケーション

概要

PKA は、多数の公開鍵暗号化機能の高速化に使用できます。特に、

- RSA の暗号化と復号
- RSA のキー完成
- CRT-RSA の復号
- DSA と ECDSA 署名の生成および検証
- DH および ECDH のキーの合意

上記の機能の仕様については、次の公報に示されています。

- FIPS PUB 186-4、デジタル署名標準（DSS）、2013 年 7 月、NIST 発行
- PKCS #1、RSA 暗号標準 v1.5、v2.1 および v2.2.、RSA ラボ発行
- IEEE1363-2000、公開鍵暗号向け IEEE 標準仕様、2000 年 1 月
- ANSI X9.62-2005、金融サービス業界向け公開鍵暗号、楕円曲線デジタル署名アルゴリズム（ECDSA）、2005 年 11 月

主な機能の原理については、このセクションで説明しています。詳細については、上記に引用した資料を参照してください。

RSA のキーペア

次の RSA 演算では、公開鍵と秘密鍵の情報が以下のように定義されます。

- アリスが公開鍵（*n*、*e*）をボブに送信します。数値 *n* および *e* は非常に大きな正の整数です。
- アリスは自身の秘密鍵 d（これも非常に大きな正の整数）を公開しないでおきます。その代わりに、この秘密鍵を 5 つのエレメント（p、q、dp、dq、qInv）で表すこともできます。

上記の表現の詳細については、RSA の仕様を参照してください。

RSA の暗号化と復号の原理

PKCS#1 仕様で推奨されるように、ボブはアリスの公開鍵（*n*、*e*）を使用してメッセージ M を暗号化するために、次の手順で進める必要があります。

1. エンコードされたメッセージ EM = ENCODE(M) を計算します。ここで ENCODE はエンコードメソッドを指します。
2. EM を整数 *m*（$0 \le m < n$）に変換します。（*m*、*n*）は互いに素です。
3. 暗号文 c = m^e mod *n* を計算します。
4. 整数 c を文字列の暗号文 C に変換します。

アリスは自身の秘密鍵を使用して暗号文 c を復号するために、以下に示した手順に従います。

1. 暗号文 C を整数の暗号文を表す c に変換します。
2. 平文 *m* = c^d mod *n* = $(m^e)^d$ mod *n* を復元します。秘密鍵が 5 つのエレメント（p、q、dp、dq、qInv）である場合、平文 *m* は、次の演算を実行して得られます。
   a) $m_1 = c^{dp} \bmod p$
   b) $m_2 = c^{dq} \bmod q$
   c) $h = qInv\,(m_1 - m_2) \bmod p$
   d) $m = m_2 + h\,q$
3. 整数メッセージを表す *m* を、エンコードされたメッセージ EM に変換します。
4. メッセージ M = DECODE(EM) を復元します。ここで DECODE はデコードメソッドを指します。

上記の操作は、PKA で べき剰余 A^e mod *n*（秘密鍵が *d* である場合）、または RSA CRT べき乗（秘密鍵が 5 つのエレメント（p、q、dp、dq、qInv）である場合）を使用することにより高速化できます。

注： **メッセージと整数のデコード操作と変換操作は、PKCS#1 標準で指定されています。**

楕円曲線の選択

次の ECC 演算では、曲線パラメータが以下のように定義されます。

- 曲線は関係者（アリスとボブ）が合意した楕円曲線フィールドに対応します。サポートされる曲線パラメータの概要をセクション 23.5.1：サポートされている楕円曲線に示しています。
- G は、大きな素数位数 n を持つ選択された楕円曲線の基点（ジェネレータとも言います）です（例：*n* x G = 単位元 O）。

ECDSA メッセージの署名生成

ECDSA（楕円曲線デジタル署名アルゴリズム）署名の生成機能の原理は次のとおりです。アリスはメッセージ *m* に自身の秘密鍵の整数 d_A を使用して署名するために、以下の手順に従います。

1. e = HASH(*m*) を計算します。ここで HASH は暗号ハッシュ関数を指します。
2. e の左端の L_n ビットを z とします。ここで、L_n は群位数 *n* のビット長を指します。
3. 暗号として安全なランダムの整数 k を選択します（$0 < k < n$）。
4. 曲線の点 (x_1, y_1) = k x G を計算します。
5. $r = x_1 \bmod n$ を計算します。*r* = 0 の場合、手順 3 に戻ります。
6. $s = k^{-1} (z + rd_A) \bmod n$ を計算します。*s* = 0 の場合、手順 3 に戻ります。
7. 署名はペア（*r*、*s*）となります。

手順 4～7 はPKAが次のいずれかを使用して高速化します。

- ECDSA 署名
- 以下の演算すべて：
  - ECC Fp スカラー乗算 k x P
  - モジュラリダクション A mod *n*
  - モジュラリダクション A^{-1} mod *n*
  - 剰余加算および剰余乗算とモンゴメリ乗算

ECDSA 署名の検証

ECDSA（楕円曲線デジタル署名アルゴリズム）署名の検証機能の原理は次のとおりです。ボブはアリスの署名を認証するために、彼女の公開鍵の曲線の点 Q_A のコピーを手に入れる必要があります。

ボブは、次の手順で Q_A が有効な曲線の点であることを検証できます。

1. Q_A が単位元 O と等しくないことを確認します。
2. Q_A が合意した曲線上にあることを確認します。
3. n x Q_A = O であることを確認します。

続いて、ボブは以下に示した手順に従います。

1. *r* と *s* が [1, n-1] 内で整数であることを検証します。
2. *e* = HASH(*m*) を計算します。ここで HASH は合意した暗号ハッシュ関数を指します。
3. *e* の左端の L_n ビットを z とします。
4. $w = s^{-1} \bmod n$ を計算します。
5. $u_1 = zw \bmod n$ および $u_2 = rw \bmod n$ を計算します。
6. 曲線の点 $(x_1, y_1) = u_1 \times G + u_2 \times Q_A$ を計算します。
7. $r = x_1 \pmod n$ であれば、署名は有効です。そうでなければ、無効です。

手順 4～7 は PKA が ECDSA 検証を使用して高速化します。

23.3.6 演算を行うための PKA の手順

PKA の有効化／無効化

PKA_CR レジスタで EN ビットを 1 にセットすると、PKA ペリフェラルが有効になります。EN = 0 の場合、PKA ペリフェラルはリセット状態でも保持され、PKA メモリはアプリケーションによって AHB インタフェース経由で接続可能となります。

計算中に EN ビットを 0 にクリアすると、演算がアボートされます。この場合、PKA メモリの内容は保証されません。

データフォーマット

PKA RAM での入力データと結果のフォーマットはセクション 23.4 に各演算に対して指定されています。

PKA 演算の実行

サポートされる各 PKA 演算は、次の手順によって実行されます。

1. アドレスオフセット 0x400 にある PKA 内部 RAM に初期データをロードします。
2. PKA_CR レジスタの MODE フィールドに書き込んで、実行する演算を指定してから、PKA_CR レジスタでも START ビットをアサートします。
3. PKA_SR レジスタの PROCENDF ビットが「1」にセットされ、計算が完了するまで待ちます。
4. PKA 内部 RAM から結果データを読み出し、PKA_CLRFR の PROCENDFC ビットをセットすることによって、PROCENDF ビットをクリアします。

注： **PKA がビジー（BUSY = 1）の場合、アプリケーションによる PKA RAM へのアクセスはすべて無視され、PKA_SR のフラグ RAMERRF がセットされます。**

事前に計算されたモンゴメリパラメータの使用（PKA 高速モード）

セクション 23.3.4 に示すとおり、同じ係数で多数の演算を行う場合、アプリケーションでは対応するモンゴメリパラメータを一度だけ計算することが有益と考えられます（例：セクション 23.4.5 を参照）。これは「高速モード」と言われています。

高速モードの使用方法を管理するために推奨される手順は、以下のとおりです。

1. PKA RAM で係数のサイズと値の情報をロードします。これらの情報はセクション 23.5.1 にまとめられています。
2. PKA_CR レジスタで PKA をモンゴメリパラメータ計算モード（MODE=”0x1”）にプログラムして、START ビットをアサートします。
3. PKA_SR レジスタの PROCENDF ビットが「1」にセットされるまで待ってから、PKA メモリから対応するモンゴメリパラメータを読み出します。その後、PKA_CLRFR の PROCENDFC ビットをセットすることにより PROCENDF ビットをクリアします。
4. 必要な PKA 操作を進め、レギュラ入力データの最上部でモンゴメリの情報 R2 mod m をロードします。すべてのアドレスはセクション 23.4 に示しています。

23.3.7 PKA エラー管理

PKA の使用時に、次のいくつかのエラーが発生することがあります。

- PKA RAM へのアクセスが予想の範囲外です。この場合、PKA_SR レジスタのアドレスエラーフラグ（ADDRERRF）がセットされます。
- PKA コアが PKA RAM を使用しているときに、PKA RAM への AHB アクセスが発生しました。この場合、RAM エラーフラグ（RAMERRF）が PKA_SR レジスタにセットされ、PKA RAM の読出しにはゼロが返され、書込みは無視されます。

上記の各エラーフラグに対して、アプリケーションが PKA_CR レジスタの対応ビットをセットしていれば、PKA によって割込みが生成されます（詳細はセクション 23.6 を参照してください）。

ADDRERRF および RAMERRF エラーは、PKA_CLRFR の対応するビットをセットすることによってクリアされます。

PKA は、PKA_CR レジスタで EN ビットをリセットすることでいつでも再初期化できます。

23.4 PKA 演算モード

23.4.1 概要

PKA でサポートされるさまざまな演算について、次の項目で記載し、PKA RAM に格納される入力データおよび結果の関連フォーマットを明示しています。

以下の情報は、すべての PKA 演算に適用されます。

- PKA コアでは 32 ビットワードを処理します。
- サポートされるオペランドの「サイズ」は次のとおりです。
  - ROS（RSA のオペランドサイズ）: データサイズは（*rsa_size*/32+1）ワードです。*rsa_size* は選択した係数の長さです。たとえば、1024 ビットのオペランドサイズで RSA を計算する場合、ROS は 33 ワード（1056 ビット）となります。
  - EOS（ECC のオペランドサイズ）: データサイズは（*ecc_size*/32+1）ワードです。*ecc_size* は選択した素数の係数の長さです。たとえば、192 ビットのオペランドサイズで ECC を計算する場合、EOS は 7 ワード（224 ビット）となります。

注： **上記の計算式で端数の結果となった場合は、PKA コアが 32 ビットワードを処理するため、最も近い整数に繰り上げられます。**

注： **最大 ROS は 99 ワード（3136 ビットの最大指数サイズ）であり、最大 EOS は 21 ワード（640 ビットの最大オペランドサイズ）です。**

- 次の表の「ストレージ」列では、PKA RAM エリア（0x400 から始まります）にあるレジスタ PKA_CR または PKA 内のアドレスオフセットのいずれかを示しています。オペランドの物理アドレスを復元するには、アプリケーションで PKA のベースアドレスを、示されたオフセットに追加する必要があります。
- パラメータの書込みについて（「IN」方向）
  - エレメントを PKA メモリに入力として書き込む場合、すべてのビットを 0 にしたワードを追加する必要があります。例として、ECC P256 を使用して入力をロードする（256 ビットまたは 8 ワードで表される）場合、PKA でワードを追加することが期待され、0 で埋める必要があります。
  - エンディアンについては、たとえば ECC Fp スカラー乗算の演算を準備する場合、アプリケーションが ECC P256 曲線の x_p の座標（EOS = 9 ワード）を書き込むときに、最下位ビットをアドレスオフセット 0x55C でビット 0 に、最上位ビットをアドレスオフセット

0x578 でビット 31 に配置する必要があります。次に、上記に示すように、ワード 0x00000000 もアドレスオフセット 0x57C で書き込む必要があります。

  - 上記に示した場合以外は、表のすべてのオペランドは整数です。

- PKA 出力について（「OUT」方向）
  - 表で指定されていない場合、PKA は誤ったパラメータがアプリケーションによって書き込まれたときにエラーを出力しません。

注意： **PKA 演算を行う前に、PKA に対するすべての入力パラメータが有効であることを確認する必要があります。実際に、PKA はすべての入力パラメータが有効であり、互いに一貫性があるものとみなします。**

23.4.2 モンゴメリパラメータ計算

この機能は、PKA で使用されるモンゴメリパラメータ（R^2 mod *n*）の計算に使用され、オペランドをモンゴメリ剰余系表現に変換します。

注： **この演算は ECC 曲線でも使用できます。この場合、素数の係数の長さと EOS サイズを使用する必要があります。**

モンゴメリパラメータ計算に関する演算方法の概要を表 128 に示しています。

表 128. モンゴメリパラメータ計算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x01	PKA_CR	6 ビット
	係数の長さ	（ビット単位、0 ≤ 値 < 3136 ビット）	RAM@0x404	32 ビット
	係数の値 n	（奇数の整数のみ、$n < 2^{3136}$）	RAM@0xD5C	ROS
OUT	結果：R^2 n	-	RAM@0x594	

23.4.3 剰余加算

剰余加算の演算は、A + B mod *n* の計算式となります。演算方法の概要を表 129 に示しています。

表 129. 剰余加算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0E	PKA_CR	6 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	（0 ≤ A < n）	RAM@0x8B4	ROS
	オペランド B	（0 ≤ B < n）	RAM@0xA44	
	係数の値 n	（$n < 2^{3136}$）	RAM@0xD5C	
OUT	結果：A+B mod n	（0 ≤ 結果 < n）	RAM@0xBD0	

23.4.4 剰余減算

剰余減算の演算は、次の計算式となります。

- A ≥ B の場合：A - B mod *n*
- A < B の場合：A + n - B mod *n*

演算方法の概要を表 130 に示しています。

表 130. 剰余減算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0F	PKA_CR	6 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	（0 ≤ A < n）	RAM@0x8B4	ROS
	オペランド B	（0 ≤ B < n）	RAM@0xA44	
	係数の値 n	（n < 2^{3136}）	RAM@0xD5C	
OUT	結果：A-B mod n	（0 ≤ 結果 < n）	RAM@0xBD0	

23.4.5 剰余乗算とモンゴメリ乗算

一連の乗算を実行する場合に効率性を高めるため、PKA はモンゴメリ定義域に少なくとも 1 つの入力がある乗算を高速化します。この演算の主な 2 つの使用方法は次のとおりです。

- 自然な定義域からモンゴメリ定義域へ、およびその逆の値のマッピング
- 剰余乗算 A x B mod *n* の実行

上記の演算を実行する方法について、以下に記載します。「x」はこの演算を示し、A、B、C のオペランドは自然な定義域内にあります。

1. モンゴメリ定義域への（からの）変換
   a) A は自然な定義域内の整数とします。
      r2modn をモンゴメリパラメータ計算で計算します。
      結果 AR= A x *r2modn* mod *n* は、モンゴメリ定義域内の A となります。
   b) BR はモンゴメリ定義域内の整数とします。
      結果 B = BR x 1 mod *n* は、自然な定義域内の B となります。
      同様に、a) で計算される値 AR は、A = AR x 1 mod *n* を計算することで自然な定義域に変換できます。
2. 単純な剰余乗算 A x B mod *n*
   a) *r2modn* をモンゴメリパラメータ計算で計算します。
   b) AR = A x *r2modn* mod *n* を計算します。出力はモンゴメリ定義域内にあります。
   c) AB = AR x B mod *n* を計算します。出力は自然な定義域内にあります。
3. 複数の剰余乗算 A x B x C mod *n*
   a) *r2modn* をモンゴメリパラメータ計算で計算します。
   b) AR = A x *r2modn* mod *n* を計算します。出力はモンゴメリ定義域内にあります。
   c) BR = B x *r2modn* mod *n* を計算します。出力はモンゴメリ定義域内にあります。
   d) ABR = AR x BR mod *n* を計算します。出力はモンゴメリ定義域内にあります。
   e) CR = C x *r2modn* mod *n* を計算します。出力はモンゴメリ定義域内にあります。
   f) ABCR = ABR x CR mod *n* を計算します。出力はモンゴメリ定義域内にあります。

g) （オプション）乗算するオペランドがまだある場合は、上の 2 つの手順を繰り返します。

h) ABC= ABCR x 1 mod *n* を計算して、自然な定義域内で結果を取得します。

モンゴメリ乗算に関する演算方法の概要を表 131 に示しています。

表 131. モンゴメリ乗算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x10	PKA_CR	6 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	（0 ≤ A < n）	RAM@0x8B4	ROS
	オペランド B	（0 ≤ B < n）	RAM@0xA44	
	係数の値 n	（奇数の整数のみ、$n < 2^{3136}$）	RAM@0xD5C	
OUT	結果：AxB mod n(1)	-	RAM@0xBD0	

1. 入力の性質に応じて、モンゴメリ定義域内または自然な定義域内の結果になります（例 2 と 3 を参照）。

23.4.6 べき剰余

べき剰余の演算は、シングルステップの RSA 演算を実行するために通常使用します。これは、A^e mod *n* の計算式となります。

べき剰余に関する演算方法の概要を、表 132（通常モード）および表 133（高速モード）に示しています。高速モードの使用方法は、セクション 23.3.6 に示しています。

表 132. べき剰余（通常モード）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x00	PKA_CR	6 ビット
IN	指数の長さ	（ビット単位、null 以外）	RAM@0x400	32 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	
IN/OUT	オペランド A （べき乗の底）	（0 ≤ A < n）	RAM@0xA44	ROS
IN	指数 e	（0 ≤ e < n）	RAM@0xBD0	
	係数の値 n	（奇数の整数のみ、$n < 2^{3136}$）	RAM@0xD5C	
OUT	結果：A^e mod n	（0 ≤ 結果 < n）	RAM@0x724	

表 133. べき剰余（高速モード）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x02	PKA_CR	6 ビット
IN	指数の長さ	（ビット単位、null 以外）	RAM@0x400	32 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	

表 133. べき剰余（高速モード）（続き）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN/OUT	オペランド A （べき乗の底）	（0 ≤ A < n）	RAM@0xA44	ROS
IN	指数 e	（0 ≤ e < n）	RAM@0xBD0	
	係数の値 n	（奇数の整数のみ、n < 2^{3136}）	RAM@0xD5C	
IN/OUT	モンゴメリパラメータ R2 mod n	（必須）	RAM@0x594	
OUT	結果：A^e mod n	（0 ≤ 結果 < n）	RAM@0x724	

23.4.7 モジュラリダクション

モジュラ逆数演算は、逆数 A^{-1} mod *n* の計算となります。係数 *n* が素数である場合、A のすべての値（1 ≤ A < *n*）に対してモジュラ逆数の出力は有効です。係数 *n* が素数ではない場合、A と *n* の最大公約数が 1 の場合のみ A が逆数を持ちます。

オペランド A が係数 *n* の約数である場合、結果は *n* の因数の倍数になります。

モジュラ逆数に関する演算方法の概要を表 134 に示しています。

表 134. モジュラリダクション

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x08	PKA_CR	6 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	（0 ≤ A < n）	RAM@0x8B4	ROS
	係数の値 n	（奇数の整数のみ、n < 2^{3136}）	RAM@0xA44	
OUT	結果：A^{-1} mod n	0 < 結果 < n	RAM@0xBD0	

23.4.8 モジュラリダクション

モジュラリダクションの演算は、A を n で割った余りで計算されます。演算方法の概要を表 135 に示しています。

表 135. モジュラリダクション

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0D	PKA_CR	6 ビット
	オペランドの長さ	（ビット単位、null 以外）	RAM@0x400	32 ビット
	係数の長さ	（ビット単位、8 < 値 < 3136）	RAM@0x404	
	オペランド A	（0 ≤ A < 2n < 2^{3136}）	RAM@0x8B4	ROS
	係数の値 n	（奇数の整数のみ、n < 2^{3136}）	RAM@0xA44	
OUT	結果 A mod n	（0 < 結果 < n）	RAM@0xBD0	

23.4.9 算術加算

算術加算の演算は、A + B の計算式となります。演算方法の概要を表 136 に示しています。

表 136. 算術加算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x09	PKA_CR	6 ビット
	オペランドの長さ M	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	$(0 \leq < A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq < B < 2^M)$	RAM@0xA44	
OUT	結果：A+B	$(0 \leq$ 結果 $< 2^{M+1})$	RAM@0xBD0	ROS + 1

23.4.10 算術減算

算術減算の演算は、次の計算式となります。

- A ≥ B の場合：A - B
- A < B かつ M/32 の剰余が 0 を超える場合：$A + 2^{int(M/32)*32+1} - B$
- A < B かつ M/32 の剰余が 0 となる場合：$A + 2^{int(M/32)*32} - B$

演算方法の概要を表 137 に示しています。

表 137. 算術減算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0A	PKA_CR	6 ビット
	オペランドの長さ M	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	$(0 \leq < A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq < B < 2^M)$	RAM@0xA44	
OUT	結果：A-B	$(0 \leq$ 結果 $< 2^M)$	RAM@0xBD0	

23.4.11 算術比較

算術乗算の演算は、AxB の計算式となります。演算方法の概要を表 138 に示しています。

表 138. 算術比較

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0B	PKA_CR	6 ビット
	オペランドの長さ M	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	$(0 \leq < A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \leq < B < 2^M)$	RAM@0xA44	
OUT	結果：AxB	$(0 \leq$ 結果 $< 2^M)$	RAM@0xBD0	2xROS

23.4.12 算術比較

算術比較の演算は、次の計算式となります。

- A=B：結果 = 0x0
- A>B：結果 = 0x1
- A<B：結果 = 0x2

算術比較に関する演算方法の概要を表 139 に示しています。

表 139. 算術比較

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x0C	PKA_CR	6 ビット
	オペランドの長さ M	（ビット単位、null 以外）	RAM@0x404	32 ビット
	オペランド A	$(0 \le < A < 2^M)$	RAM@0x8B4	ROS
	オペランド B	$(0 \le < B < 2^M)$	RAM@0xA44	
OUT	結果 A = B または A > B または A < B	0x0、0x1 または 0x02	RAM@0xBD0	32 ビット

23.4.13 RSA CRT べき乗

効率性のために、OpenSSL RSA のような人気のある数多くの暗号ライブラリでは、中国剰余定理（CRT）に基づき、復号および署名に次の最適化を使用しています。

- *p* および *q* は事前に計算された素数（秘密鍵の一部として格納）
- $d_P = d \bmod (p-1)$
- $d_Q = d \bmod (q-1)$
- $q_{inv} = q^{-1} \bmod p$

これらの値によって、次のようにべき乗 $m = A^d \pmod{pq}$ をより効率的に計算できます。

- $m_1 = A^{dP} \bmod p$
- $m_2 = A^{dQ} \bmod p$
- $h = q_{inv} (m_1 - m_2) \bmod p$（ここでは $m_1 > m_2$）
- $m = m_2 + hq$

CRT べき乗 $A^d \bmod pq$ に関する演算方法の概要を表 140 に示しています。

表 140. CRT べき乗

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x07	PKA_CR	6 ビット
IN	オペランドの長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
IN	オペランド d_P	$(0 \le d_P < 2^{M/2})$	RAM@0x65C	ROS/2
	オペランド d_Q	$(0 \le d_Q < 2^{M/2})$	RAM@0xBD0	
	オペランド q_{inv}	$(0 \le q_{inv} < 2^{M/2})$	RAM@0x7EC	
	素数 p(1)	$(0 \le p < 2^{M/2})$	RAM@0x97C	
	素数 q (1)	$(0 \le q < 2^{M/2})$	RAM@0xD5C	

表 140. CRT べき乗 （続き）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	オペランド A	（0 ≤ A< $2^{M/2}$）	RAM@0xEEC	ROS
OUT	結果：A^d mod *pq*	（0 ≤ 結果 < *pq*）	RAM@0x724	

1. 2 以外にする必要があります。

23.4.14 楕円曲線 Fp 上の点の確認

この演算では、指定された点 P（x, y）が素体の式 $y^2 = (x^3 + ax + b) \bmod p$（ここで *a* および *b* は曲線のエレメントです）の曲線に当てはまるものかどうかを確認します。

楕円曲線 Fp 上の点の確認に関する演算方法の概要を表 141 に示しています。

表 141. 楕円曲線 Fp 上の点の確認

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x28	PKA_CR	6 ビット
	係数の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x404	32 ビット
	曲線係数 *a* の符号	0x0：正 0x1：負	RAM@0x408	
	曲線係数 |a|	（絶対値、|a| < p）	RAM@0x40C	EOS
	曲線係数 *b*	（|b| < p）	RAM@0x7FC	
	曲線の係数の値 *p*	（奇数の整数素数、0 < p < 2640）	RAM@0x460	
	点 P の座標 *x*	（x < *p*）	RAM@0x55C	
	点 P の座標 *y*	（y < *p*）	RAM@0x5B0	
OUT	結果：曲線上の P	0x0：曲線上の点 0x0 以外：曲線上にない点	RAM@0x400	32 ビット

23.4.15 ECC Fp スカラー乗算

この演算は、a k x P (x_P, y_P) の計算式となります。ここで、P は素体上の曲線の点であり、「x」は楕円曲線のスカラーと点の乗算です。計算結果は、同じ曲線に属する点または無限遠点となります。

ECC Fp スカラー乗算に関する演算方法の概要を、表 142（通常モード）および表 143（高速モード）に示しています。高速モードの使用方法は、セクション 23.3.6 に示しています。

表 142. ECC Fp スカラー乗算

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x20	PKA_CR	6 ビット
IN	スカラー倍数 k の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x400	32 ビット
	係数の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x404	
	曲線係数 *a* の符号	0x0：正 0x1：負	RAM@0x408	

表 142. ECC Fp スカラー乗算 （続き）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	曲線係数 |a|	（絶対値、|a| < p）	RAM@0x40C	EOS
	曲線の係数の値 *p*	（奇数の整数素数、$0 < p < 2^{640}$）	RAM@0x460	
	スカラー倍数 k	（$0 \le k < 2^{640}$）	RAM@0x508	
	点 P の座標 x_P	（x < *p*）	RAM@0x55C	
	点 P の座標 y_P	（y < *p*）	RAM@0x5B0	
OUT	結果：k x P の座標 *x*	（結果 < *p*）	RAM@0x55C	
	結果：k x P の座標 *y*	（結果 < *p*）	RAM@0x5B0	

表 143. ECC Fp スカラー乗算（高速モード）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x22	PKA_CR	6 ビット
IN	スカラー倍数 k の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x400	32 ビット
	係数の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x404	
	曲線係数 *a* の符号	0x0：正 0x1：負	RAM@0x408	
IN	曲線係数 |a|	（絶対値、|a| < p）	RAM@0x40C	EOS
	曲線の係数の値 *p*	（奇数の整数素数、$0 < p < 2^{640}$）	RAM@0x460	
	スカラー倍数 k	（$0 \le k < 2^{640}$）	RAM@0x508	
	点 P の座標 x_P	（x < *p*）	RAM@0x55C	
	点 P の座標 y_P	（y < *p*）	RAM@0x5B0	
IN	モンゴメリパラメータ $R^2 \bmod p$	（必須）	RAM@0x4B4	
OUT	結果：k x P の座標 *x*	（結果 < *p*）	RAM@0x55C	
	結果：k x P の座標 *y*	（結果 < *p*）	RAM@0x5B0	

この演算を実行する場合、次の特殊なケースに注意する必要があります。

- k = 0 のとき、曲線パラメータ b が 0 以外の場合、この機能は（0, 0）の無限遠点を返し、それ以外は（0, 1）を返します。k が 0 以外のとき、無限遠点が返される場合があります。アプリケーションがこの動作を検出したとき、新しい計算を実行する必要があります。
- k < 0 の場合（すなわち、負のスカラー乗算が必要な場合）、倍数の絶対値 k = |-k| を PKA に提供する必要があります。計算完了後、-P = (x, -y) の式を使用して、有効な最終結果の y 座標を計算できます（x 座標は同じままです）。

23.4.16 ECDSA 署名

ECDSA 署名演算（セクション 23.3.5 で説明）の概要は 表 144（入力パラメータ）と表 145（出力パラメータ）に示します。

アプリケーションで出力エラーが 0 かどうかを確認し、0 以外の場合は、新しい k を生成して、ECDSA 署名演算を繰り返す必要があります。

表 144. ECDSA 署名 - 入力

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x24	PKA_CR	6 ビット
	曲線の素数位数 n の長さ	（ビット単位、null 以外）	RAM@0x400	32 ビット
	曲線の係数 p の長さ	（ビット単位、8 < 値 < 640）	RAM@0x404	
	曲線係数 a の符号	0x0：正 0x1：負	RAM@0x408	
	曲線係数 |a|	（絶対値、|a| < p）	RAM@0x40C	EOS
	曲線の係数の値 *p*	（奇数の整数素数、$0 < p < 2^{640}$）	RAM@0x460	
	整数 k(1)	（$0 \le k < 2^{640}$）	RAM@0x508	
	曲線の基点 G の座標 x	（x < *p*）	RAM@0x55C	
	曲線の基点 G の座標 y	（y < *p*）	RAM@0x5B0	
	メッセージのハッシュ z	（z < 2M）	RAM@0xDE8	
	秘密鍵 d	（正の整数）	RAM@0xE3C	
	曲線の素数位数 n	（整数素数）	RAM@0xE94	

1. 通常、この整数は暗号として安全な乱数ですが、場合によっては決定論的に生成されることがあります。

表 145. ECDSA 署名 - 出力

方向とパラメータ		値（注意）	ストレージ	サイズ
OUT	署名部分 *r*	（0 < *r* < n）	RAM@0x700	EOS
	署名部分 *s*	（0 < *s* < n）	RAM@0x754	
ERROR	署名の結果	– 0x0：エラーなし – 0x1：署名部分 r が 0 – 0x2：署名部分 s が 0	RAM@0xEE8	32 ビット

注：　エラー出力が 0 以外である場合、PKA メモリの内容をクリアして、秘密鍵に関する情報の漏えいを回避する必要があります。

拡張 ECDSA サポート

PKA は、入力と出力が同じ ECDSA 署名（それぞれ表 144 と表 145）を持ち、点 kG の座標が追加された 拡張 ECDSA 署名もサポートしています。この追加出力は表 146 に定義されています。

表 146. 拡張 ECDSA 署名（追加出力）

方向とパラメータ		値（注意）	ストレージ	サイズ
OUT	曲線の点 kG の座標 x_1	（$0 \le x_1 < p$）	RAM@0x103C	EOS
	曲線の点 kG の座標 y_1	（$0 \le y_1 < p$）	RAM@0x1090	

23.4.17 ECDSA 検証

ECDSA 検証演算（セクション 23.3.5 で説明）の概要は 表 147（入力パラメータ）と表 148（出力パラメータ）に示します。

アプリケーションで出力エラーが 0 かどうかを確認し、0 以外の場合は、署名が検証されません。

表 147. ECDSA 検証（入力）

方向とパラメータ		値（注意）	ストレージ	サイズ
IN	MODE	0x26	PKA_CR	6 ビット
	曲線の素数位数 n の長さ	（ビット単位、null 以外）	RAM@0x404	32 ビット
	曲線の係数 p の長さ	（ビット単位、null 以外、8 < 値 < 640）	RAM@0x4B4	
	曲線係数 a の符号	0x0：正 0x1：負	RAM@0x45C	
	曲線係数 |a|	（絶対値、|a| < p）	RAM@0x460	EOS
	曲線の係数の値 *p*	（奇数の整数素数、$0 < p < 2^{640}$）	RAM@0x4B8	
	曲線の基点 G の座標 x	（$x < p$）	RAM@0x5E8	
	曲線の基点 G の座標 y	（$y < p$）	RAM@0x63C	
	公開鍵曲線の点 Q の座標 x_Q	（$x_Q < p$）	RAM@0xF40	
	公開鍵曲線の点 Q の座標 y_Q	（$y_Q < p$）	RAM@0xF94	
	署名部分 *r*	（$0 < r < n$）	RAM@0x1098	
	署名部分 *s*	（$0 < s < n$）	RAM@0xA44	
	メッセージのハッシュ *z*	（$z < 2^M$）	RAM@0xFE8	
	曲線の素数位数 *n*	（整数素数）	RAM@0xD5C	

表 148. ECDSA 検証（出力）

方向とパラメータ		値（注意）	ストレージ	サイズ
OUT	結果：ECDSA 検証	0x0：有効な署名 0x0 以外：無効な署名	RAM@0x5B0	32 ビット

23.5 設定と処理時間の例

23.5.1 サポートされている楕円曲線

PKA は、素体上で定義されたすべての非特異楕円曲線をサポートしています。これらの曲線は、短いワイエルシュトラス方程式 $y^2 = x^3 + ax + b$ (mod p) で記述できます。

注： **2 値曲線、エドワーズ曲線、および Curve25519 は、PKA ではサポートされていません。**
ECC 演算でサポートされる最大オペランドサイズは 640 ビットです。

これらの楕円曲線の ECC 定義域パラメータを公開する場合、標準化団体では以下のようなパラメータを定義しています。

- 有限体 GF(p) のすべての点の算術演算における係数として使用される素数整数 p
- 以下に定義する G によって生成される群の位数である（通常は素数の）整数 n
- 座標（Gx, Gy）で定義される曲線 G の基点
- 短いワイエルシュトラス方程式の係数である整数 a と b

最後の箇条書きについて、標準化団体が a を負であると定義している場合、PKA は以下の 2 つの表現をサポートしています。

1. 有限体 GF(p) において ***p*-|*a*|として定義された a**、たとえば **p-3**：
   曲線係数 p = 0xFFFFFFFE FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFF**F**
   曲線係数 a の符号 = 0x0（正）
   曲線係数 a = 0xFFFFFFFE FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFF**C**
2. **負として定義された *a*、**たとえば **-3**：
   曲線係数 p = 0xFFFFFFFE FFFFFFFF FFFFFFFF FFFFFFFF FFFFFFFF 00000000 FFFFFFFF FFFFFFFF
   曲線係数 a の符号 = 0x**1**（負）
   曲線係数 a = 0x00000000 00000000 00000000 00000000 00000000 00000000 00000000 0000000**3**

表 149 に、ECC 演算で PKA がサポートする曲線群をまとめます。

表 149. ECC 演算でサポートされる曲線群

曲線名	標準	参照
P-192	NIST	デジタル署名標準（DSS）、NIST FIPS 186-4
P-224		
P-256		
P-384		
P-521		

表 149. ECC 演算でサポートされる曲線群 （続き）

曲線名	標準	参照	
brainpoolP224r1, brainpoolP224t1	IETF	– Brainpool 楕円曲線、IETF RFC 5639 – インターネット鍵交換（IKE）グループ記述レジストリの Brainpool 楕円曲線、IETF RFC 6932	https://tools.ietf.org
brainpoolP256r1, brainpoolP256t1			
brainpoolP320r1, brainpoolP320t1			
brainpoolP384r1, brainpoolP384t1			
brainpoolP512r1, brainpoolP512t1			
secp192k1, secp192r1	SEC	効率的な暗号化の標準 SEC 2 曲線	https://www.secg.org
secp224k1, secp224r1			
secp256k1, secp256r1			
secp384r1			
secp521r1			
公開鍵暗号化アルゴリズム SM2 の推奨曲線パラメータ	OSCCA	– 楕円曲線に基づいた公開鍵暗号アルゴリズム SM2、中国国家商務管理機構 OSCCA の SM2、2010 年 12 月 – デジタル署名 - パート 3 離散対数ベースのメカニズム、ISO/IEC 14888-3、2018 年 11 月	

23.5.2 計算時間

次の表に、クロックサイクルで表した PKA の計算時間の概要を示します。

表 150. べき剰余の計算時間

指数の長さ（ビット単位）	モード	係数の長さ（ビット単位）		
		1024	2048	3072
3	ノーマル	304000	814000	1728000
	高速	46000	164000	356000
17	ノーマル	326000	896000	1910000
	高速	68000	246000	534000
$2^{16}+1$	ノーマル	416000	1222000	2616000
	高速	158000	572000	1244000
1024	ノーマル	11664000	-	-
	高速	11280000	-	-
	CRT(1)	3546000	-	-
2048	ノーマル	-	83834000	-
	高速	-	82046000	-
	CRT (1)	-	23468000	-
3072	ノーマル	-	-	274954000
	高速	-	-	273522000
	CRT (1)	-	-	73378000

1. CRT は中国剰余定理最適化の略です（MODE ビットフィールド = 0x07）。

表 151. ECC スカラ乗算の計算時間(1)

モード	係数の長さ（ビット単位）						
	160	192	256	320	384	512	521
ノーマル	1634000	2500000	4924000	8508000	13642000	28890000	33160000
高速	1630000	2494000	4916000	8494000	13614000	28842000	33158000

1. これらの時間は、スカラーパラメータに含まれる「1」の数に影響されます。

表 152. ECDSA 署名の平均計算時間(1) (2)

係数の長さ（ビット単位）						
160	192	256	320	384	512	521
1760000	2664000	5249000	9016000	14596000	30618000	35540000

1. これらの値は、指定された長さのランダムな係数による平均実行時間です。係数の長さや値に影響されます。
2. NIST 楕円曲線の有限体を定義する係数の実行時間は、Brainpool 楕円曲線に使用する係数や同じサイズのランダムな係数に対してかかる時間より短くなります。

表 153. ECDSA 検証の平均計算時間

係数の長さ（ビット単位）						
160	192	256	320	384	512	521
3500000	5350000	10498000	18126000	29118000	61346000	71588000

表 154. 楕円曲線 Fp 上の点の確認の平均計算時間

係数の長さ（ビット単位）					
160	192	256	320	384	512
10800	14200	20400	31000	49600	82400

表 155. モンゴメリパラメータの平均計算時間(1)

係数の長さ（ビット単位）									
160	192	256	320	384	512	521	1024	2048	3072
4518	7846	11848	14902	21682	35012	64000	119536	466146	1104642

1. 計算時間は、係数の長さと値に依存します。したがって、これらの値は、与えられた長さのランダム係数の平均実行時間です。

23.6 PKA 割込み

公開鍵アクセラレータによって生成され個別にマスク可能な割込みソースは 3 つあり、次のイベントが通知されます。

1. マップされていないアドレスへのアクセス（ADDRERRF）（セクション 23.3.7 を参照）
2. PKA 演算中の PKA RAM のアクセス（RAMERRF）（セクション 23.3.7 を参照）
3. PKA 演算終了（PROCENDF）

この 3 つの割込みソースは、同じグローバル割込みリクエスト信号 pka_it に接続されます。

PKA 制御レジスタ（PKA_CR）のマスクビットを変更することにより、上記の割込みソースを個別に有効にしたり無効にしたりすることができます。適切なマスクビットを 1 にセットすることで、その割込みが有効になります。個別の割込みイベントのステータスは PKA ステータスレジスタ（PKA_SR）から読み出すことができ、PKA_CLRFR レジスタでクリアされます。

表 156 に、使用可能な機能の概要を示します。

表 156. PKA 割込みリクエスト

項目（割込みの略称）	割込みイベント	イベントフラグ	有効制御ビット	割込みのクリア方法
PKA	マップされていないアドレスへのアクセスエラー	ADDRERRF	ADDRERRIE	ADDRERRFC ビットのセット
	PKA RAM アクセスエラー	RAMERRF	RAMERRIE	RAMERRFC ビットのセット
	PKA 演算終了	PROCENDF	PROCENDIE	PROCENDFC ビットのセット

23.7 PKA レジスタ

23.7.1 PKA 制御レジスタ （PKA_CR）

アドレスオフセット：0x00

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRIE	RAM_ERRIE	Res.	PROCENDIE	Res.
											rw	rw		rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	MODE[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	START	EN
		rw	rw	rw	rw	rw	rw							rw	rw

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRIE**：アドレスエラー割込みイネーブル
0：PKA_SR の ADDRERRF フラグがセットされても、割込みは生成されません。
1：PKA_SR の ADDRERRF フラグがセットされると、割込みが生成されます。

ビット 19 **RAMERRIE**：RAM エラー割込みイネーブル
0：PKA_SR の RAMERRF フラグがセットされても、割込みは生成されません。
1：PKA_SR の RAMERRF フラグがセットされると、割込みが生成されます。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDIE**：操作終了割込みイネーブル
0：PKA_SR の PROCENDF フラグがセットされても、割込みは生成されません。
1：PKA_SR の PROCENDF フラグがセットされると、割込みが生成されます。

ビット 16:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:8 **MODE[5:0]**：PKA 演算コード
000000：モンゴメリパラメータ計算後にべき剰余
000001：モンゴメリパラメータ計算のみ
000010：べき剰余のみ（モンゴメリパラメータを最初にロードする必要があります）
100000：モンゴメリパラメータ計算後に ECC スカラー乗算
100010：ECC スカラー乗算のみ（モンゴメリパラメータを最初にロードする必要があります）
100100：ECDSA 署名
100110：ECDSA 検証
101000：楕円曲線 Fp 上の点の確認
000111：RSA CRT べき乗
001000：モジュラ逆数
001001：算術加算
001010：算術減算
001011：算術乗算
001100：算術比較
001101：モジュラリダクション
001110：剰余加算
001111：剰余減算
010000：モンゴメリ乗算
その他：予約済みです。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **START**：演算開始

このビットに 1 を書き込むと、PKA RAM に既に書き込まれたオペランドとデータを使用して、MODE[5:0] で選択された演算を開始します。このビットは常に 0 として読み出されます。

注： PKA がビジーであると、START は無視されます。

ビット 0 **EN**：PKA イネーブル

0：PKA を無効にします。

1：PKA を有効にします。

注： EN=0 の場合、PKA RAM はアプリケーションでアクセスできます。

23.7.2 PKA ステータスレジスタ （PKA_SR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDR ERRF	RAM_ ERRF	Res.	PROC ENDF	BUSY
											r	r		r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRF**：アドレスエラーフラグ

0：アドレスエラーはありません。

1：アドレスアクセスが範囲外（マップされていないアドレス）です。

このビットは、PKA_CLRFR の ADDRERRFC ビットを使用してクリアします。

ビット 19 **RAMERRF**：PKA RAM エラーフラグ

0：PKA RAM アクセスエラーはありません。

1：PKA コアが計算中に内部 RAM を使用して、PKA RAM への AHB アクセスが発生しました（AHB PKA_RAM は PKA 演算中にアクセスできません）。

このビットは、PKA_CLRFR の RAMERRFC ビットを使用してクリアします。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDF**：PKA 演算終了フラグ

0：演算が進行中です。

1：PKA 演算が完了しました。このフラグは、BUSY ビットがネゲートされたときにセットされます。

ビット 16 **BUSY**：PKA 演算進行中

このビットは、PKA_CR の START ビットがセットされているときは必ず 1 にセットされます。計算が完了すると自動的にクリアされ、PKA RAM に安全にアクセスし、新しい演算が開始できることを示します。

0：進行中の演算がありません（デフォルト）。

1：演算が進行中です。

PKA が誤った OP コードで開始した場合、ペリフェラルは数サイクルの間ビジー状態となり、その後、演算を自動的にアボートしてレディ状態に戻ります（BUSY ビットが 0 にセットされます）。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

23.7.3 PKA クリアフラグレジスタ（PKA_CLRFR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRFC	RAM_ERRFC	Res.	PROCENDFC	Res.
											w	w		w	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ADDRERRFC**：アドレスエラーフラグのクリア
0：影響なし。
1：PKA_SR の ADDRERRF フラグをクリアします。

ビット 19 **RAMERRFC**：PKA RAM エラーフラグのクリア
0：影響なし。
1：PKA_SR の RAMERRF フラグをクリアします。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **PROCENDFC**：PKA 演算終了フラグのクリア
0：影響なし。
1：PKA_SR の PROCENDF フラグをクリアします。

ビット 16:0 予約済みであり、リセット値に保持する必要があります。

注： PKA_CLRFR を読み出すとすべて 0 で返されます。

23.7.4 PKA RAM

PKA RAM は、PKA ベースアドレスと比較して 0x0400 のオフセットアドレスでマップされています。PKA.AHB インタフェースでは、32 ビットワードのシングルアクセスのみがサポートされています。

RAM サイズは 3576 バイトです（最大ワードオフセット：0x11F4）。

23.7.5 PKA レジスタマップ

表 157. PKA レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PKA_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRIE	RAMERRIE	Res.	PROCENDIE	Res.	Res.	Res.	MODE[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	START	EN
	リセット値												0	0		0				0	0	0	0	0	0							0	0
0x004	PKA_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRF	RAMERRF	Res.	PROCENDF	BUSY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値												0	0		0	0																
0x008	PKA_CLRFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDRERRFC	RAMERRFC	Res.	PROCENDFC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値												0	0		0																

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

24 高機能制御タイマ（TIM1）

この参考マニュアルが適用される製品ではこのタイプのタイマを使うケースは一例しかないため、このセクションでは“TIMx” は “TIM1”として理解する必要があります。

24.1 TIM1 の概要

高機能制御タイマ（TIM1）は、プログラム可能なプリスケーラによって駆動される 16 ビットの自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

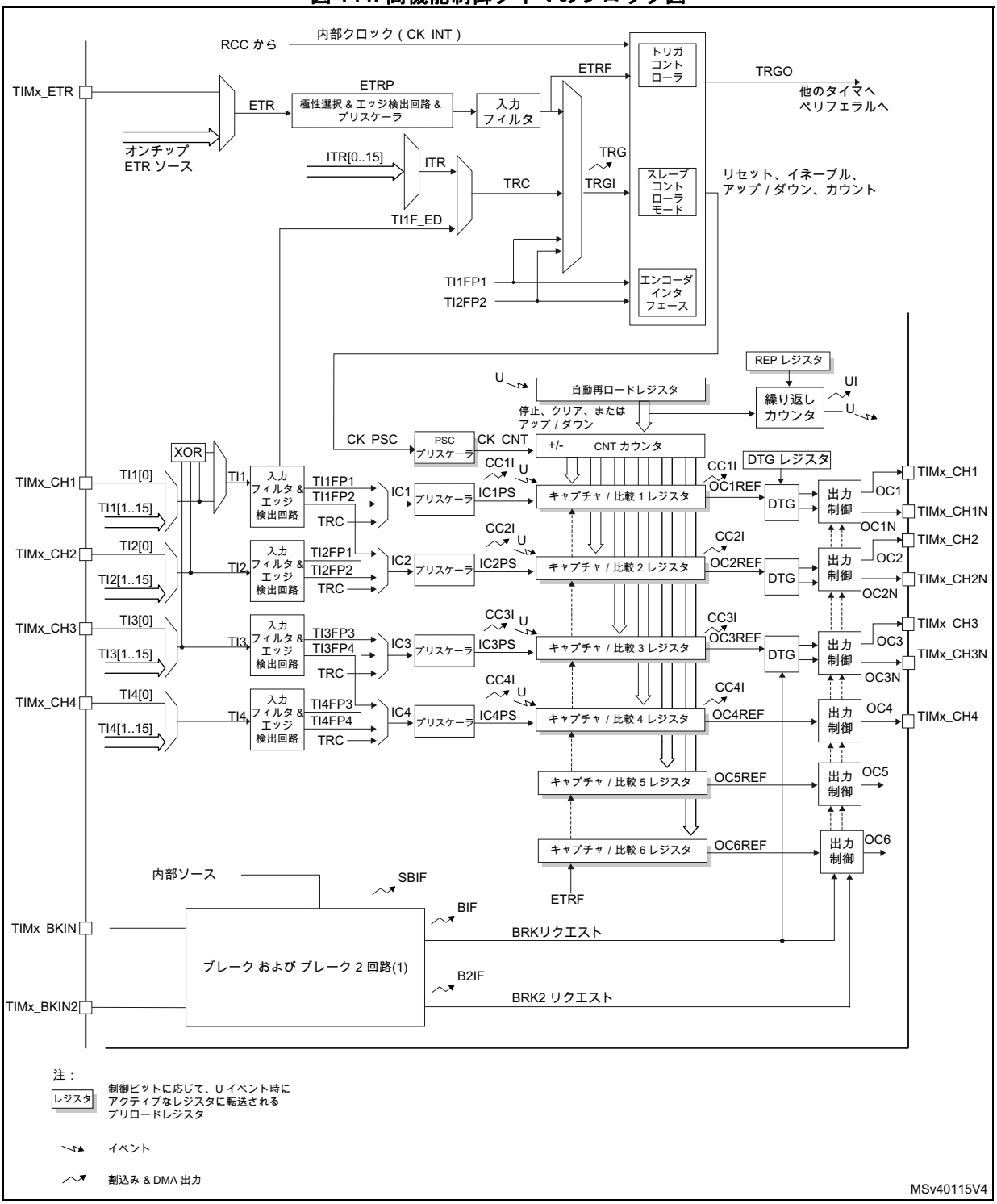
高機能制御タイマ（TIM1）と汎用タイマ（TIMy）は、互いに独立しており、リソースを共有しません。これらのタイマは、セクション 24.3.26：タイマの同期に示すように、相互に同期させることができます。

24.2 TIM1 の主な特徴

TIM1 タイマの主な機能は、次のとおりです。

- 16 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- 16 ビットのプログラム可能なプリスケーラ。カウンタクロック周波数を 1 から 65536 の間で分周でき、分周比の動作中の変更も可能。
- 次の機能を持つ、最大 6 つの独立チャネル：
  - 入力キャプチャ（ただしチャネル 5 および 6）
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- プログラム可能なデッドタイムを持つ相補出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をユーザが選択可能な安全な設定にする 2 つのブレーク入力。
- 以下のイベント時の割込み／DMA 生成：
  - 更新：カウンタオーバーフロー／アンダーフロー、カウンタの初期化（ソフトウェアまたは内部／外部トリガによる）
  - トリガイベント（カウンタの開始、停止、初期化、または内部／外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
- 位置決め目的のインクリメンタル（直交）エンコーダとホールセンサ回路をサポート
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

図 144. 高機能制御タイマのブロック図



1. 内部ブレークイベントソースは次のいずれかです。
   - CSS によって生成されたクロック障害イベント。CSS の詳細については、セクション 8.2.11：HSE（CSS）のクロックセキュリティシステムを参照してください。
   - PVD 出力
   - SRAM パリティエラー信号
   - CPU1 Cortex®-M4 LOCKUP （ハードフォルト）出力
   - COMPx 出力（x = 1、2）

24.3 TIM1機能詳細

24.3.1 タイムベースユニット

プログラム可能な高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットカウンタです。カウンタはカウントアップ、カウントダウン、またはアップダウンします。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビットレジスタ（TIMx_PSC レジスタ）を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 145 と 図 146 に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

図 145. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

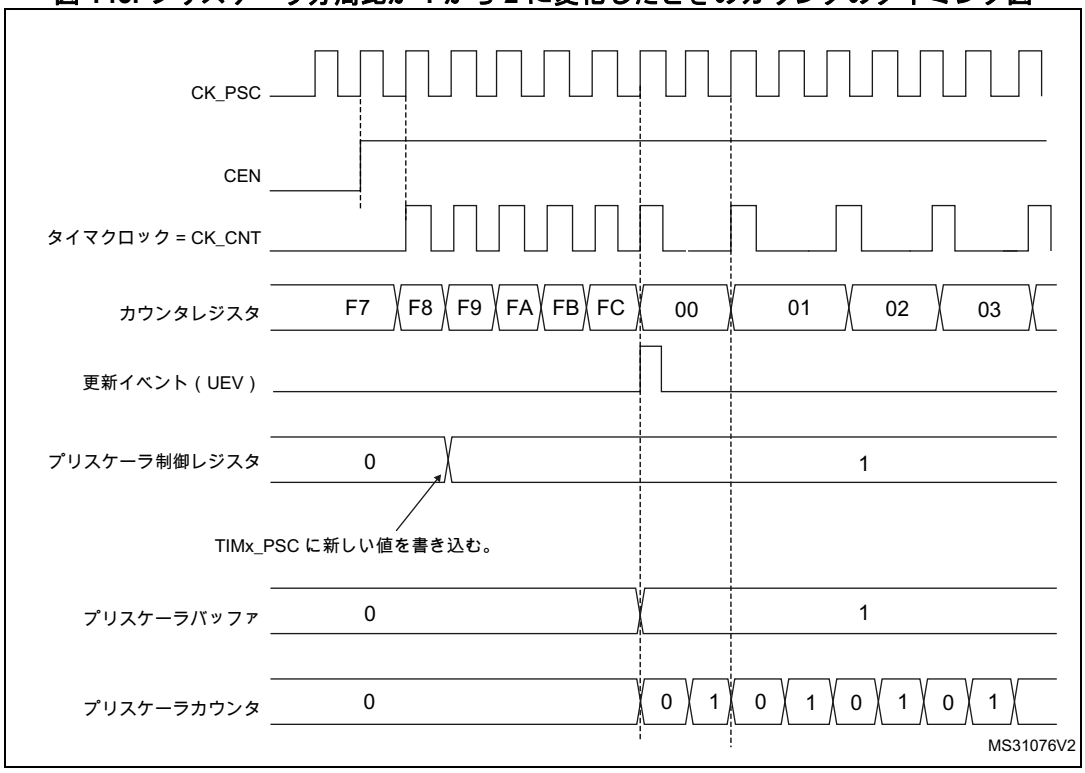
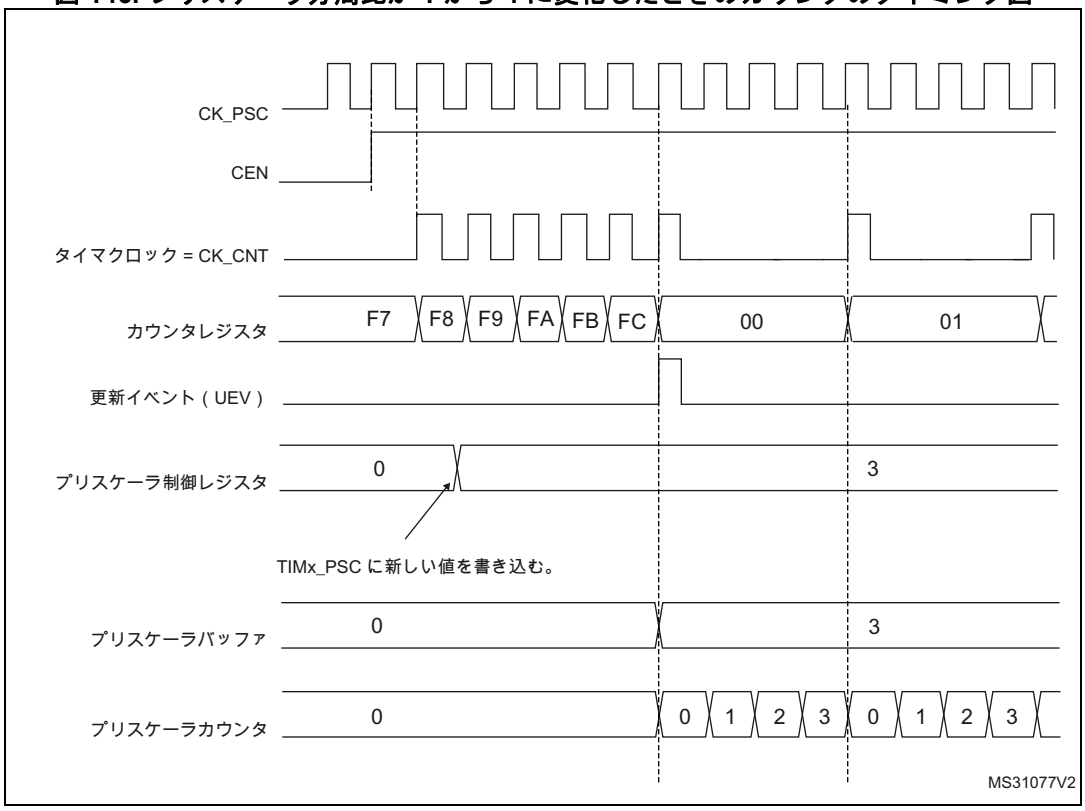


図 146. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



24.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数（TIMx_RCR）+ 1 までアップカウント動作が繰り返され、その後に更新イベント（UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 147. 内部クロック分周比が 1 の場合のカウンタのタイミング図

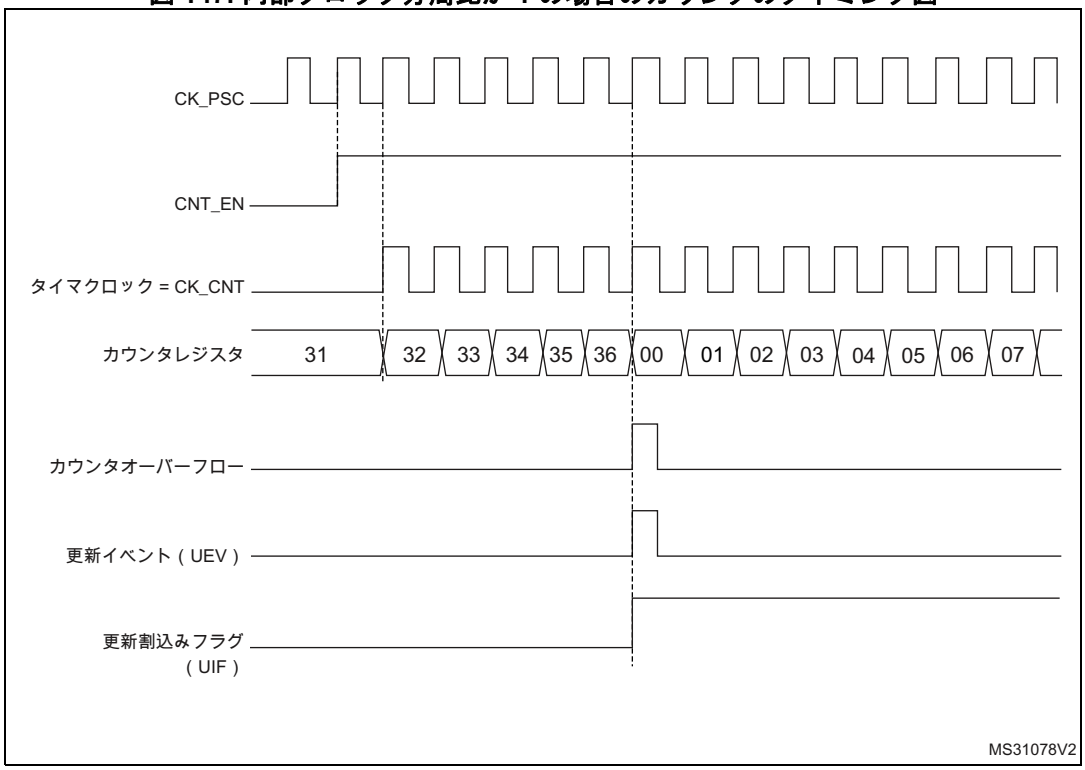


図 148. 内部クロック分周比が 2 の場合のカウンタのタイミング図

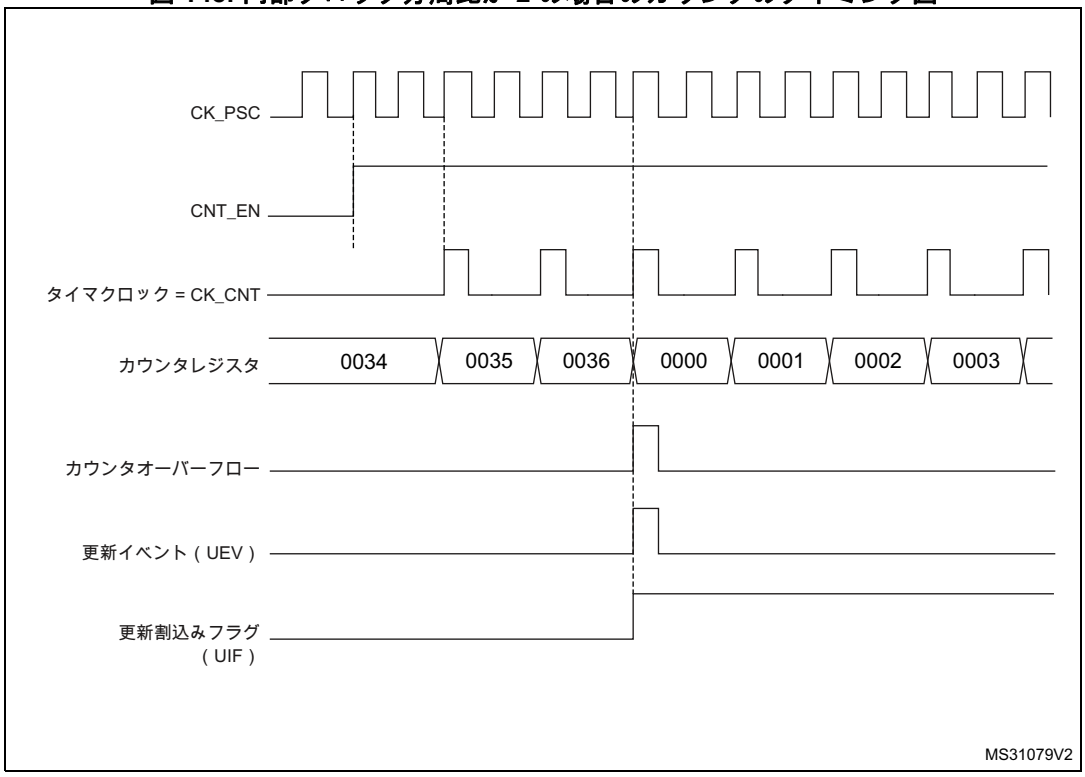


図 149. 内部クロック分周比が 4 の場合のカウンタのタイミング図

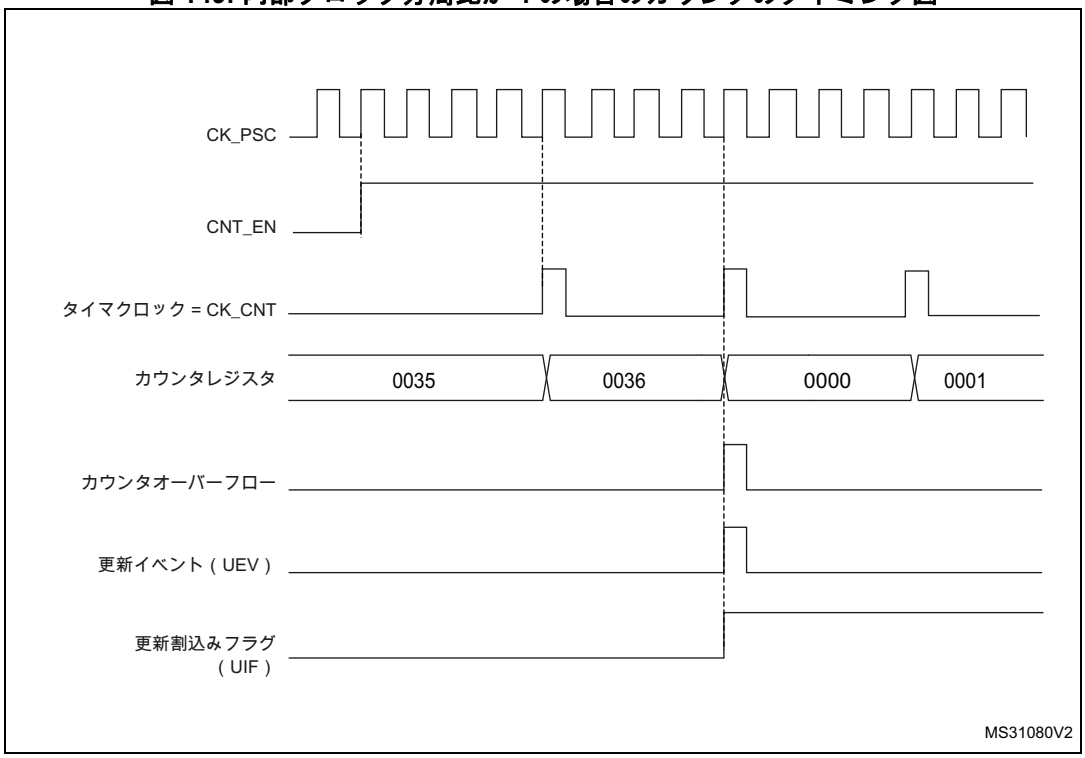


図 150. 内部クロック分周比が N の場合のカウンタのタイミング図

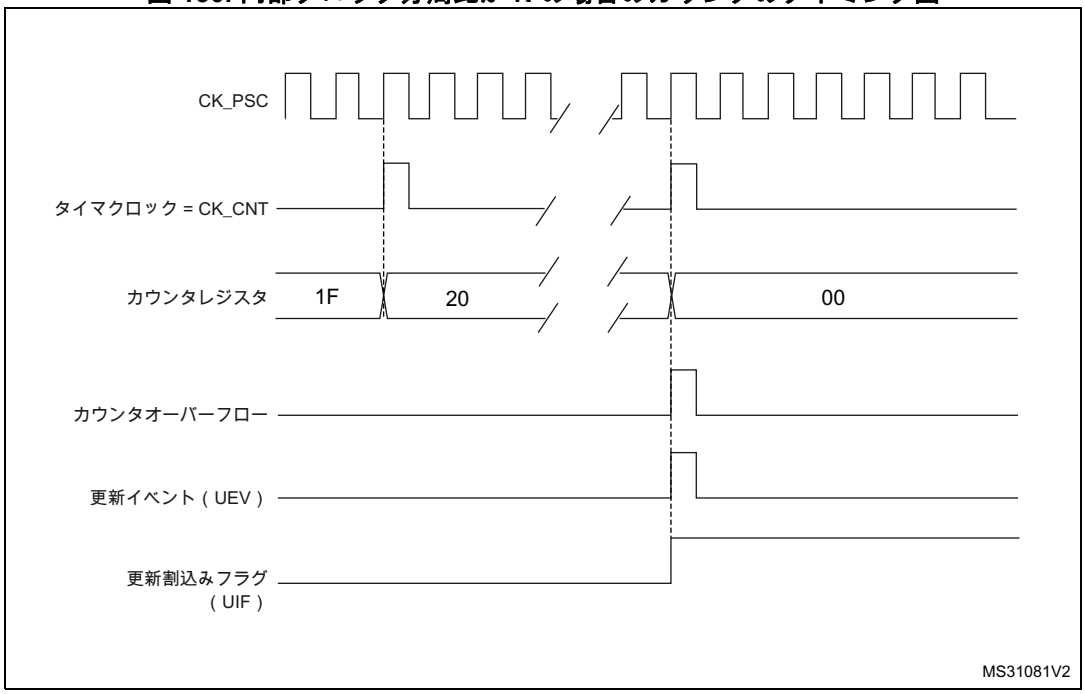


図 151. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図

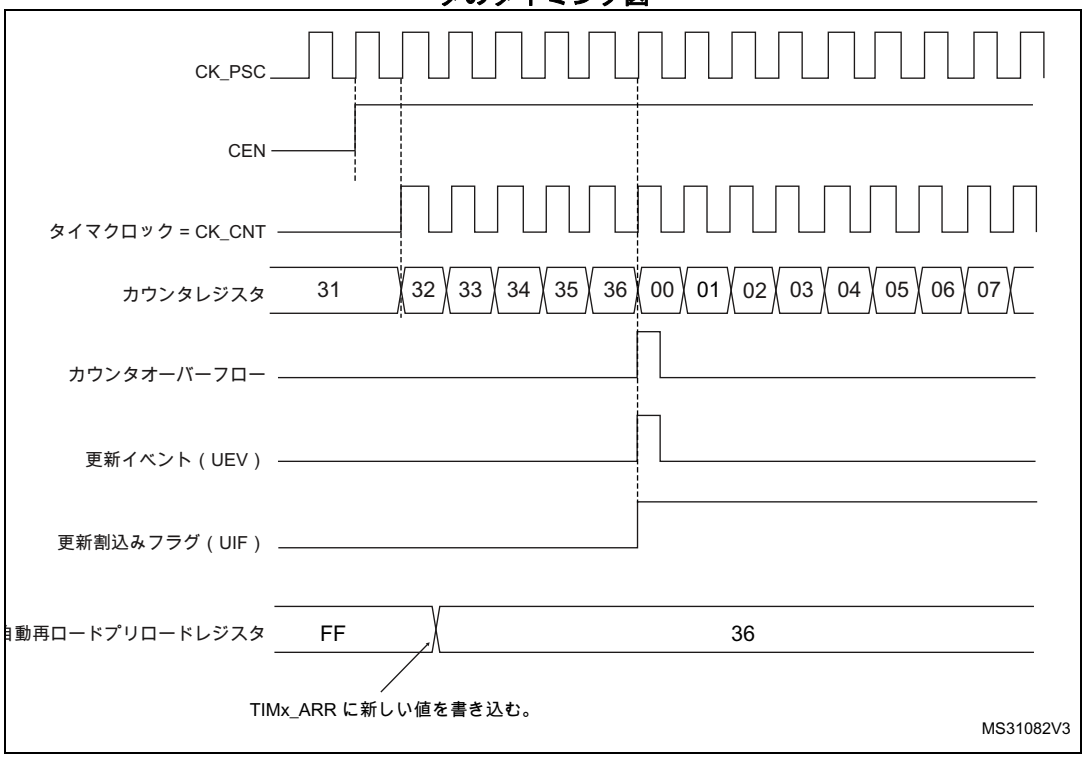
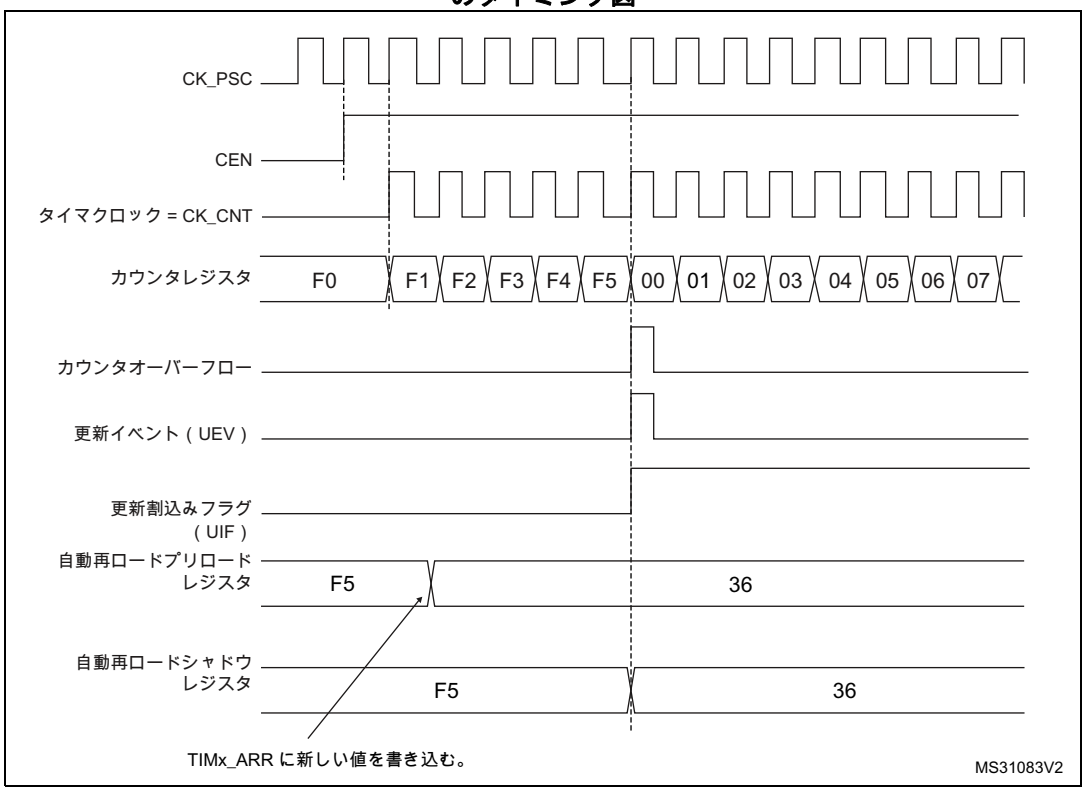


図 152. ARPE=1（TIMx_ARR がプリロードされる）の場合の更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数（TIMx_RCR）+ 1 までダウンカウント動作が繰り返され、その後に更新イベント（UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのアンダーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。カウンタがリロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 153. 内部クロック分周比が 1 の場合のカウンタのタイミング図

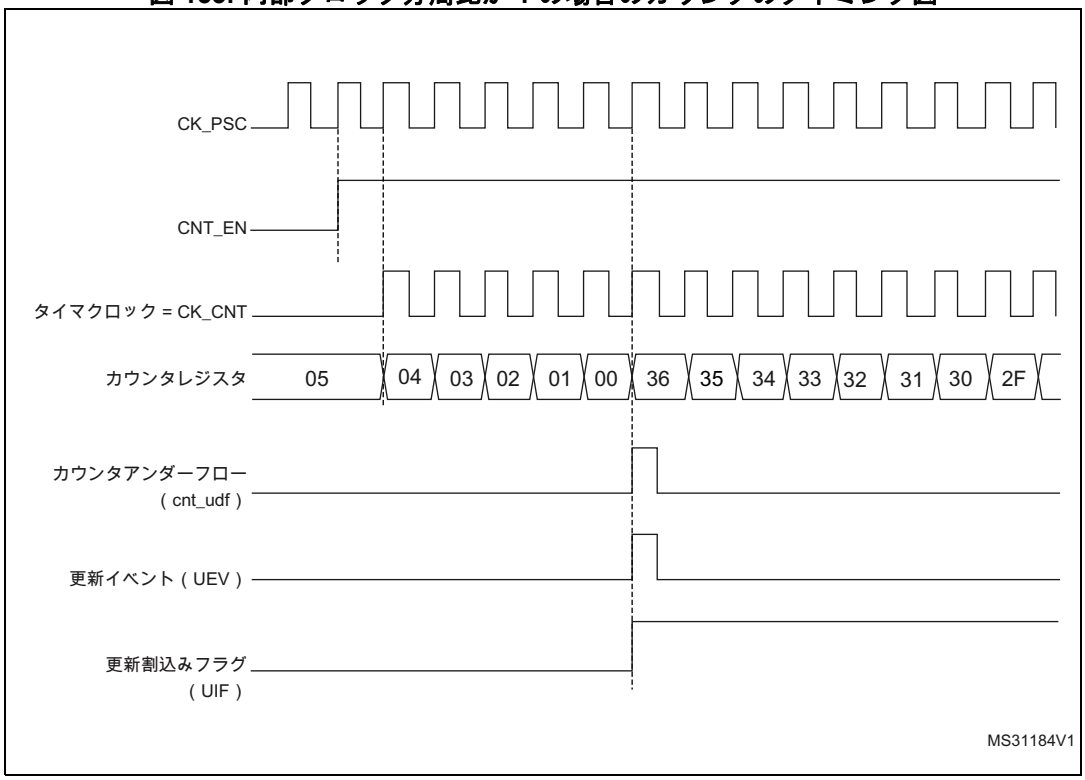


図 154. 内部クロック分周比が 2 の場合のカウンタのタイミング図

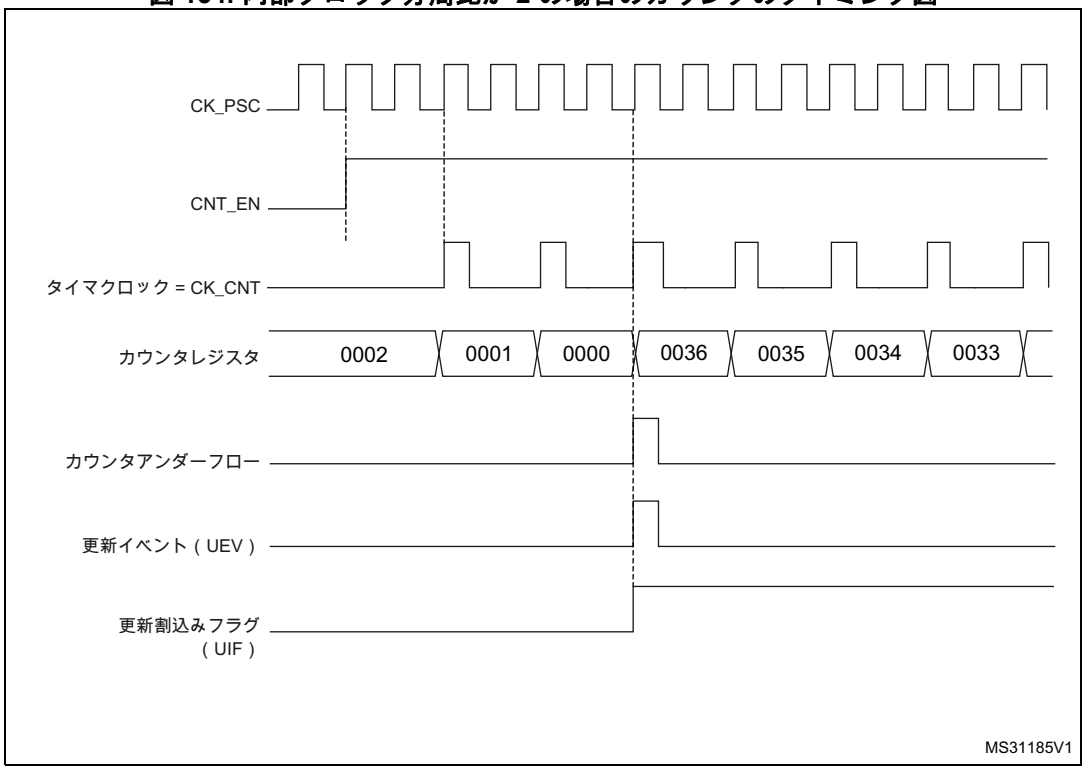


図 155. 内部クロック分周比が 4 の場合のカウンタのタイミング図

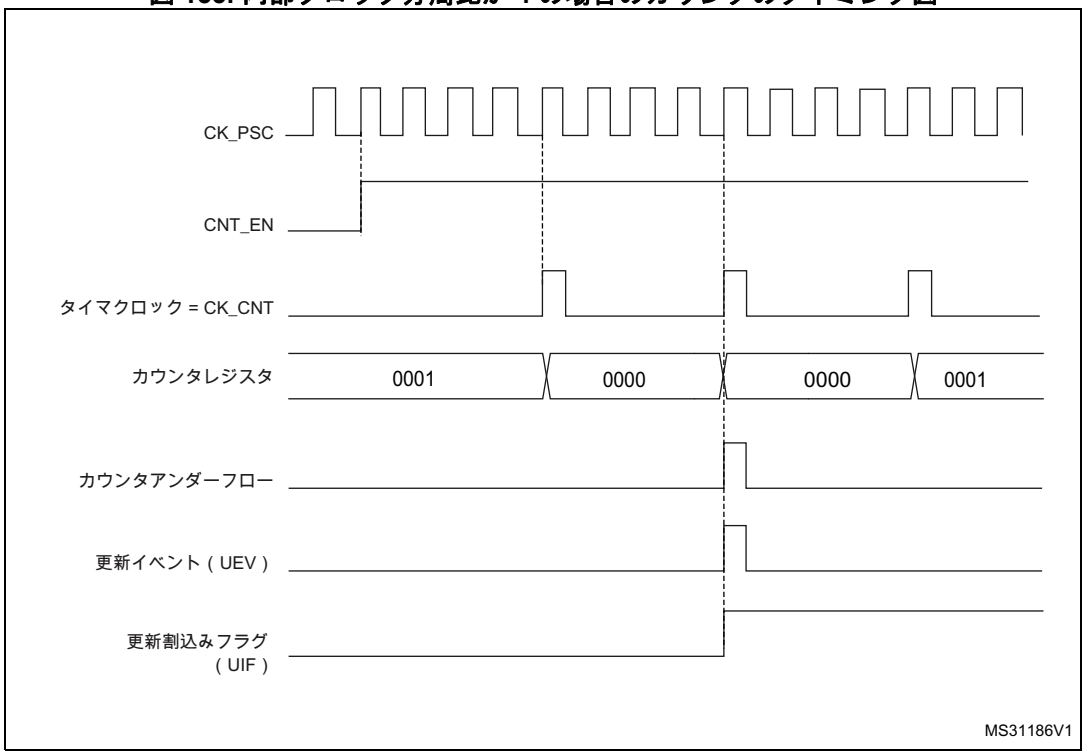


図 156. 内部クロック分周比が N の場合のカウンタのタイミング図

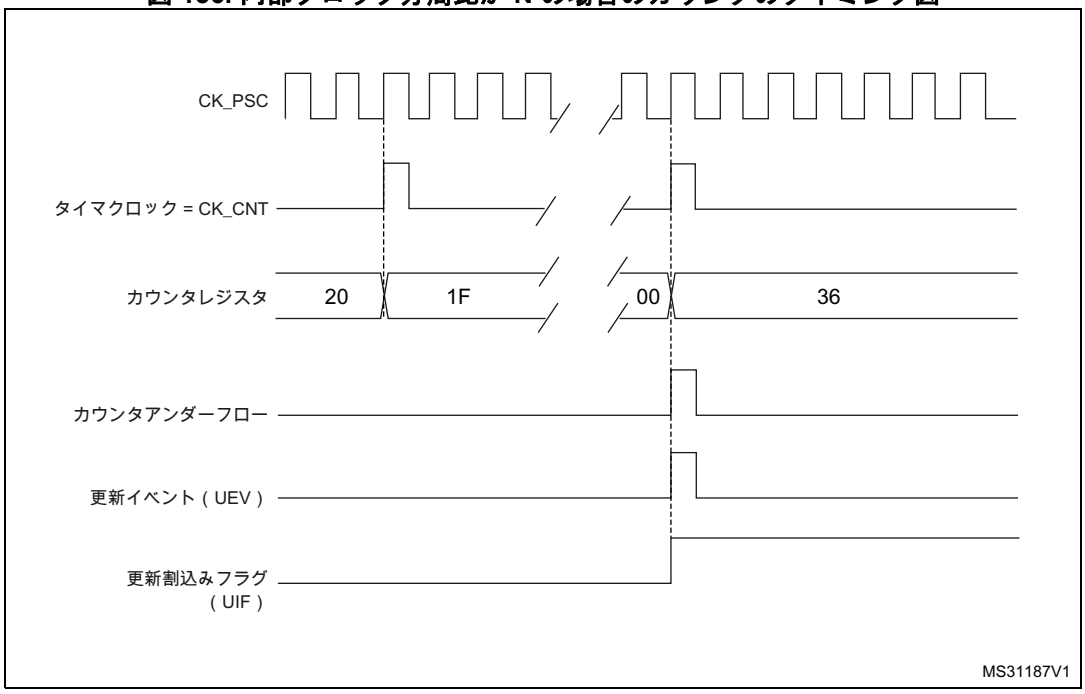
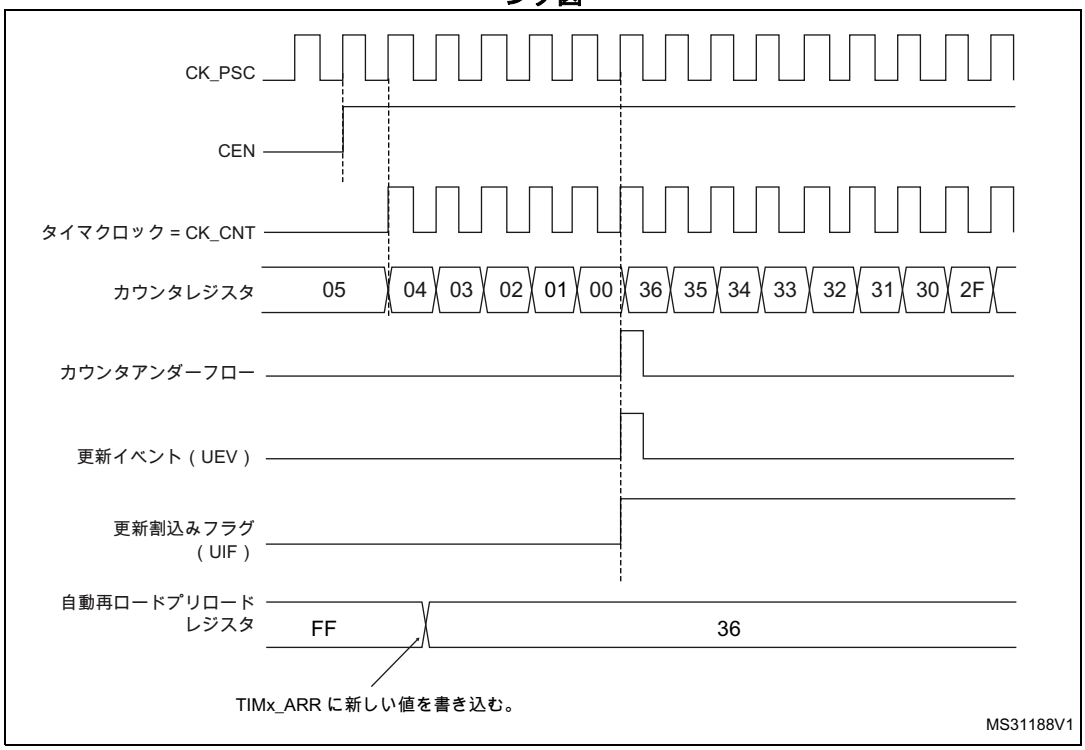


図 157. 繰り返しカウンタが使用されていない場合の更新イベント時のカウンタのタイミング図



センターアラインモード（アップ／ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）－1 までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割込みフラグは、カウンタがカウントダウンするとき（センターアラインモード 1、CMS=01）、カウンタがカウントアップするとき（センターアラインモード 2、CMS=10）、またはカウンタがカウントアップしてカウントダウンするとき（センターアラインモード 3、CMS=11）にセットされます。

このモードでは、TIMx_CR1 レジスタの方向ビット（DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアで、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合、UG ビットをセットすると UEV 更新イベントが生成されますが、UIF フラグはセットされません（した

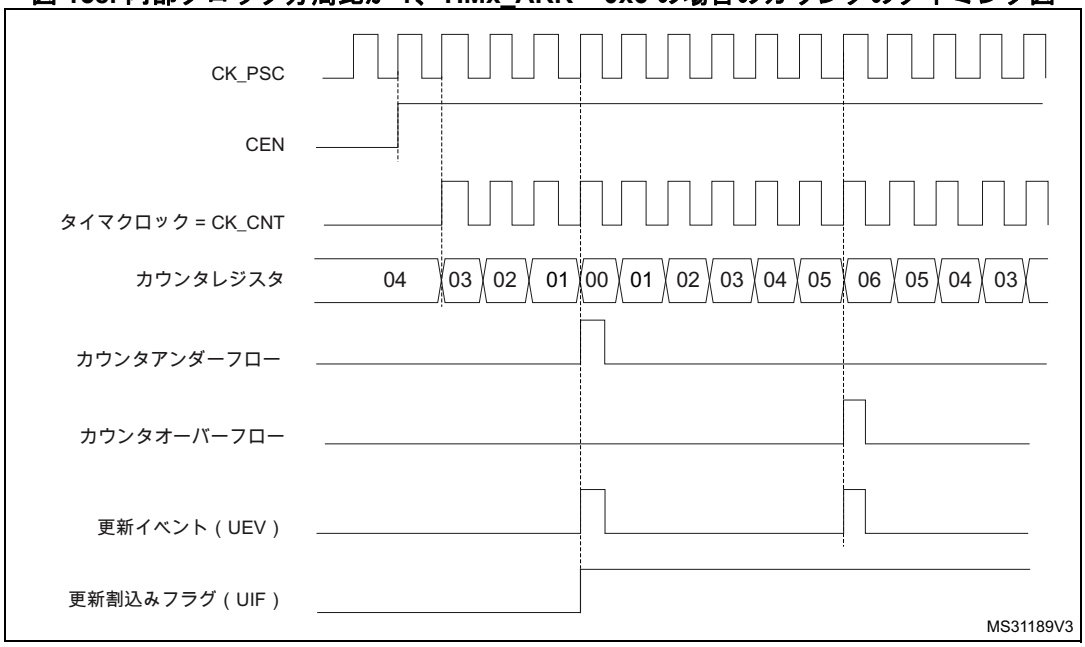
がって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 158. 内部クロック分周比が 1、TIMx_ARR = 0x6 の場合のカウンタのタイミング図



1. ここでは、センターアラインモード 1 が使用されています（詳細については、セクション 24.4：TIM1 レジスタを参照）。

図 159. 内部クロック分周比が 2 の場合のカウンタのタイミング図

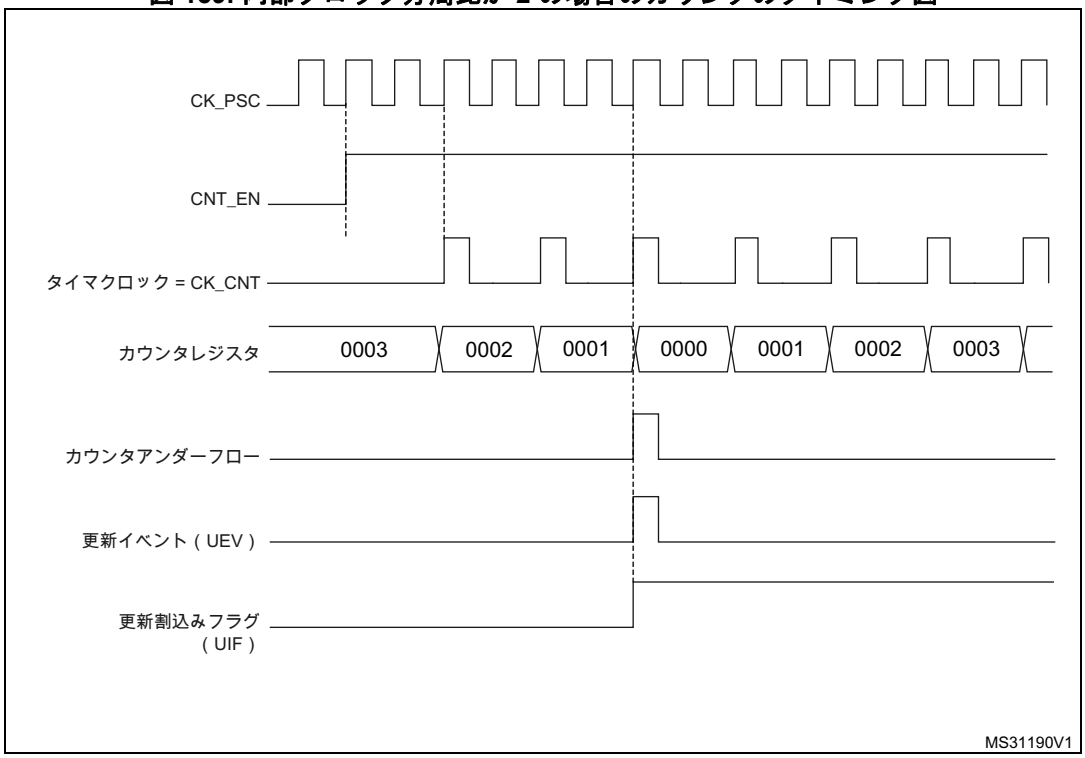


図 160. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図

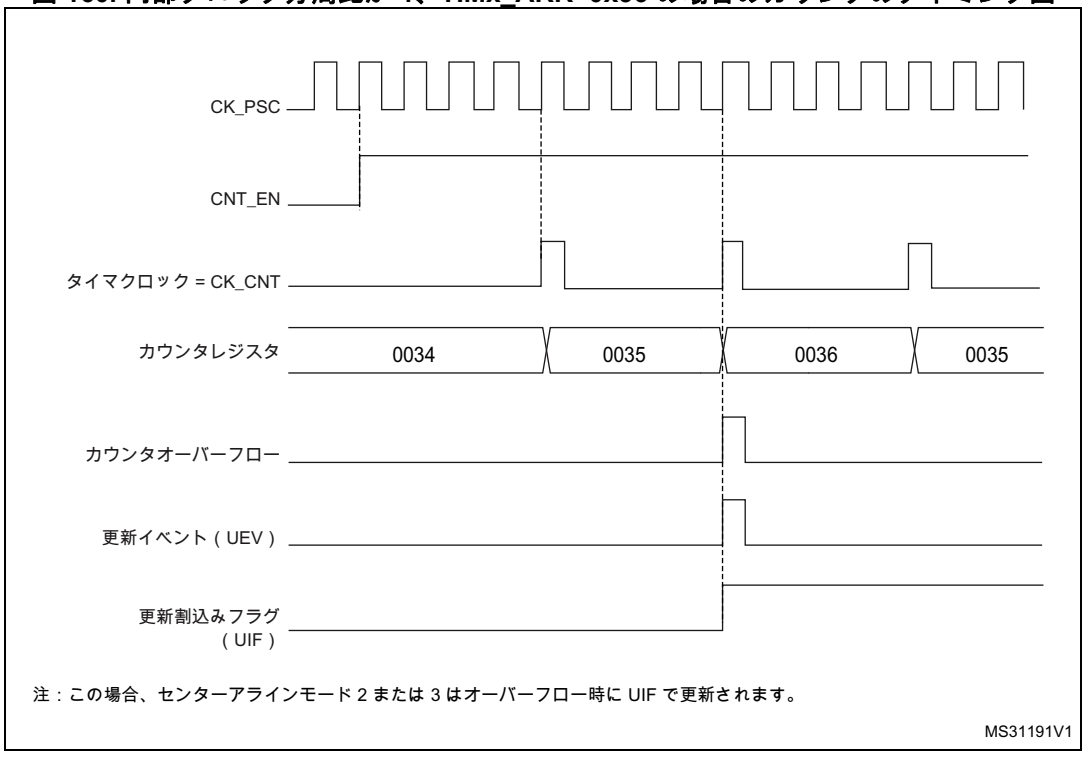


図 161. 内部クロック分周比が N の場合のカウンタのタイミング図

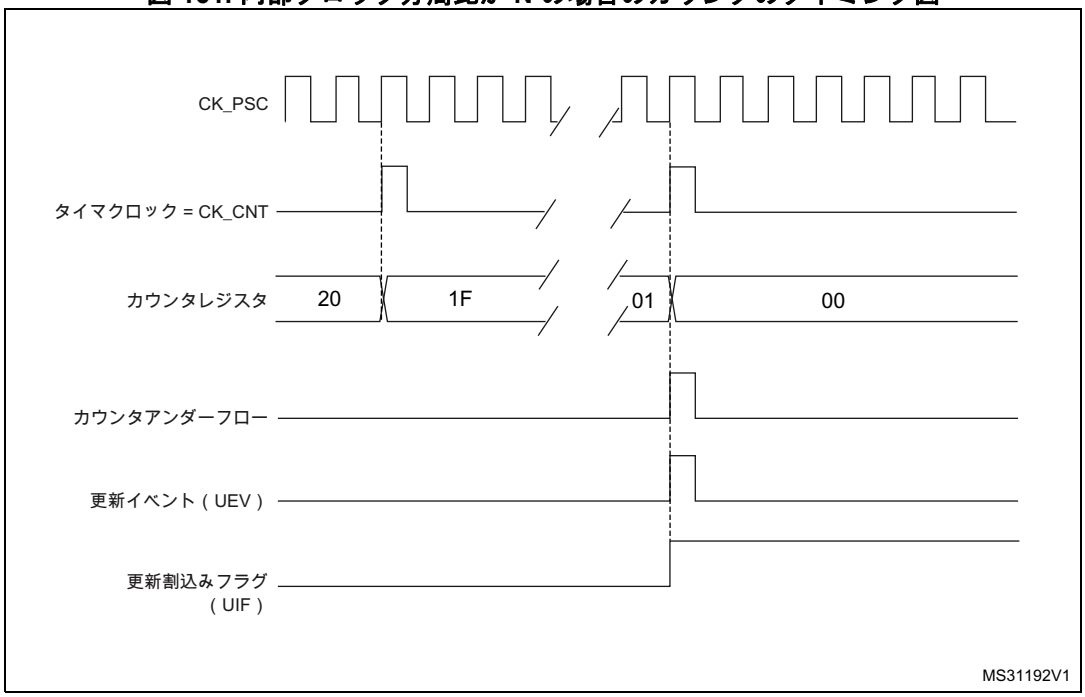


図 162. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時のカウンタのタイミング図

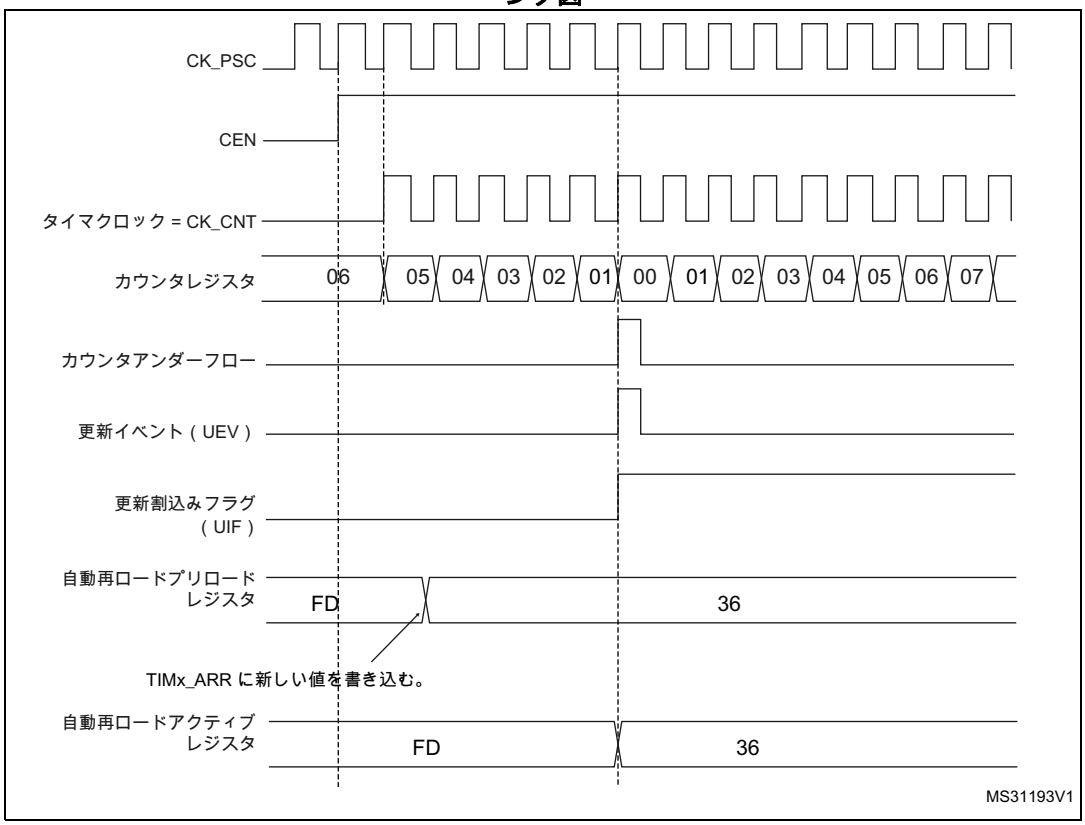
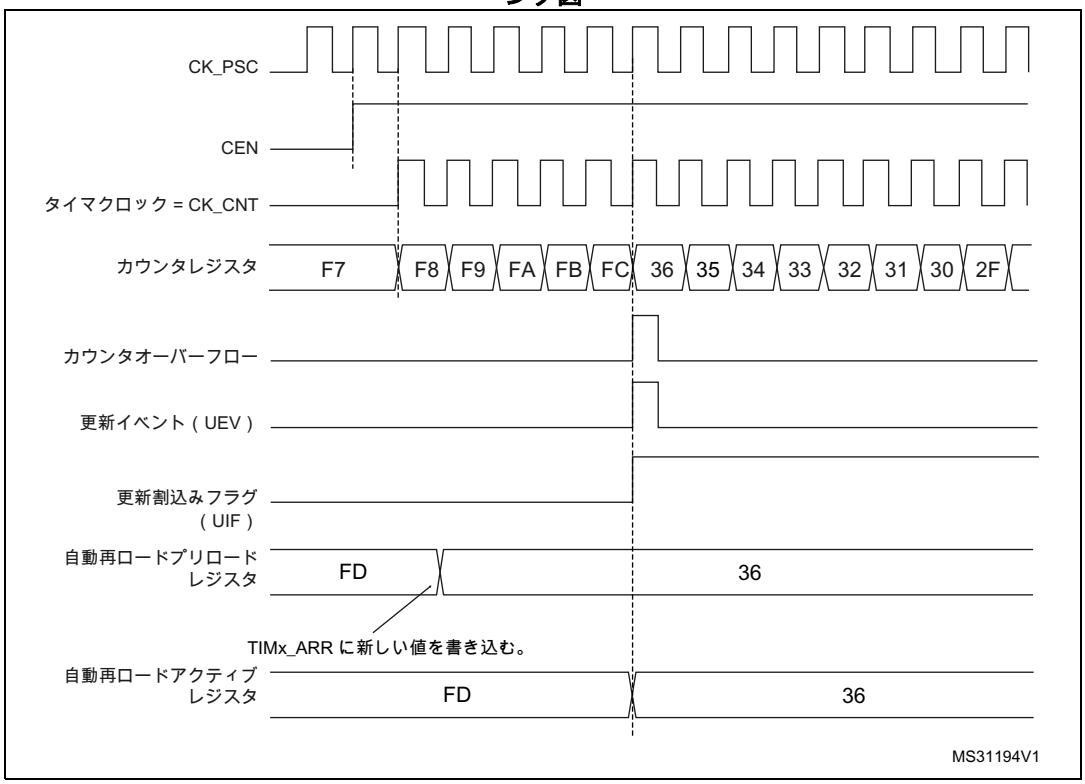


図 163. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図



24.3.3 繰り返しカウンタ

セクション 24.3.1 : タイムベースユニットに、カウンタオーバーフロー/アンダーフローによって、どのように更新イベント（UEV）が生成されるかが説明されています。実際には、繰り返しカウンタが 0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N+1 回目のカウンタオーバーフローまたはアンダーフローごとに、プリロードレジスタからシャドウレジスタ（TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIMx_CCRx キャプチャ /比較レジスタ）へデータが転送されることを意味します。

繰り返しカウンタは、次の場合にデクリメントします。

- アップカウントモードで、カウンタオーバーフローごと
- ダウンカウントモードで、カウンタアンダーフローごと
- センターアラインモードで、カウンタオーバーフローとカウンタアンダーフローごと最大繰り返し回数は 32768 PWM サイクルに限られますが、PWM 周期ごとにデューティサイクルを 2 回更新することが可能になります。センターアラインモードで比較レジスタの値を PWM 周期あたり 1 回のみ更新するときには、パターンが対称なので、最大精度は $2xT_{ck}$ です。

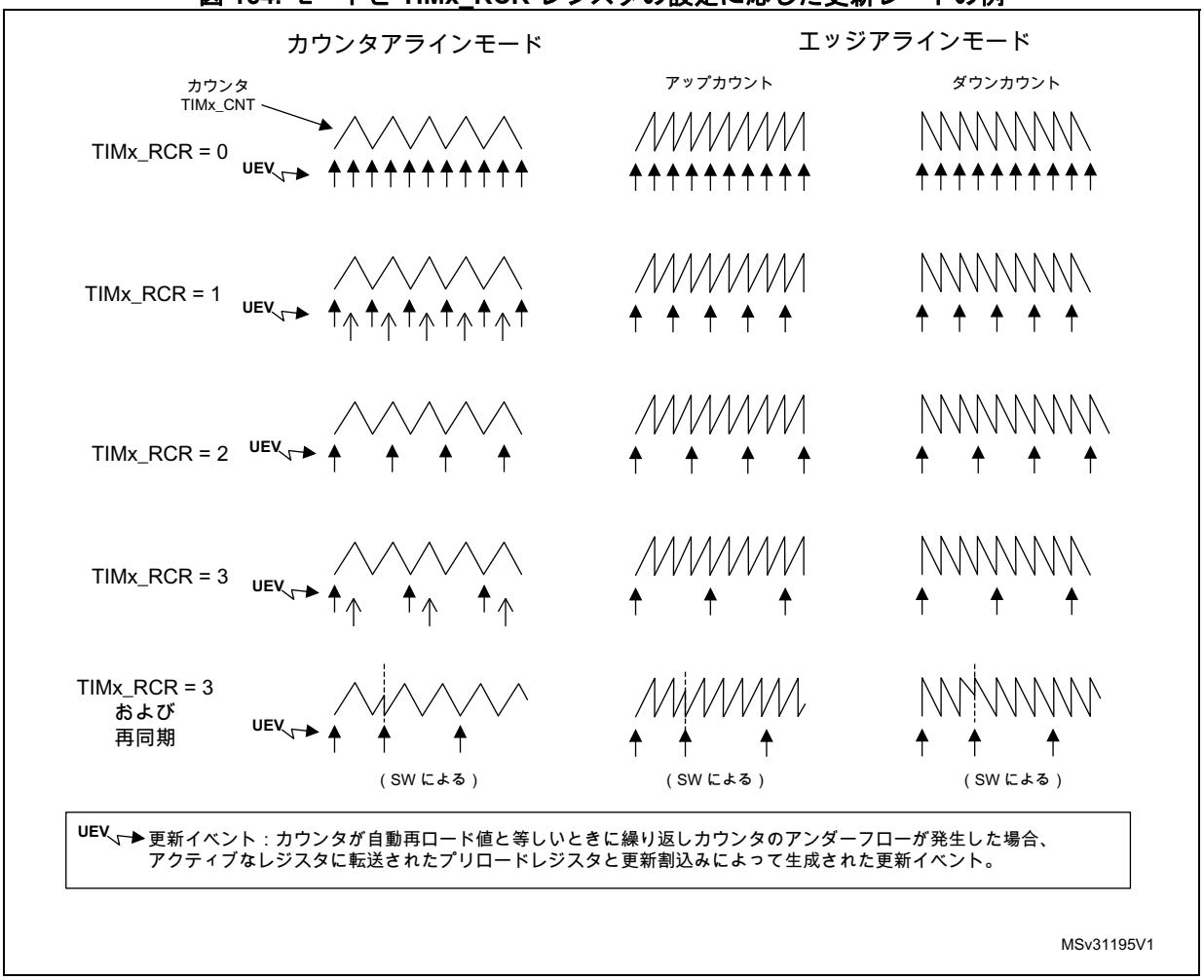
繰り返しカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（図 164 を参照してください）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって）、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

センターアラインモードでは、RCR が奇数の場合、RCR レジスタが書き込まれたタイミングおよびカウンタが開始されたタイミングに応じてオーバーフローまたはアンダーフロー時に更新イベント

が発生します。カウントの開始前に RCR が書き込まれた場合は、アンダーフローで、UEV が発生します。カウントの開始後に RCR が書き込まれた場合は、オーバーフローで UEV が発生します。

たとえば、TIMx_RCR = 3 の場合、TIMx_RCR の書込みタイミングに応じて 4 回目のオーバーフローイベントまたはアンダーフローイベントごとに UEV が発生します。

図 164. モードと TIMx_RCR レジスタの設定に応じた更新レートの例



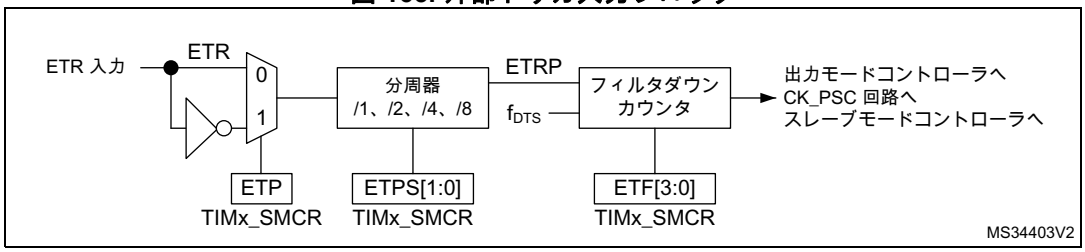
24.3.4 外部トリガ入力

タイマには外部トリガ入力 ETR 機能があります。以下の目的で使用できます。

- 外部クロック（外部クロックモード 2、セクション 24.3.5 を参照）
- スレーブモードのトリガ（セクション 24.3.26 を参照）
- サイクルごとの電流調整の PWM リセット入力（セクション 24.3.7 を参照）

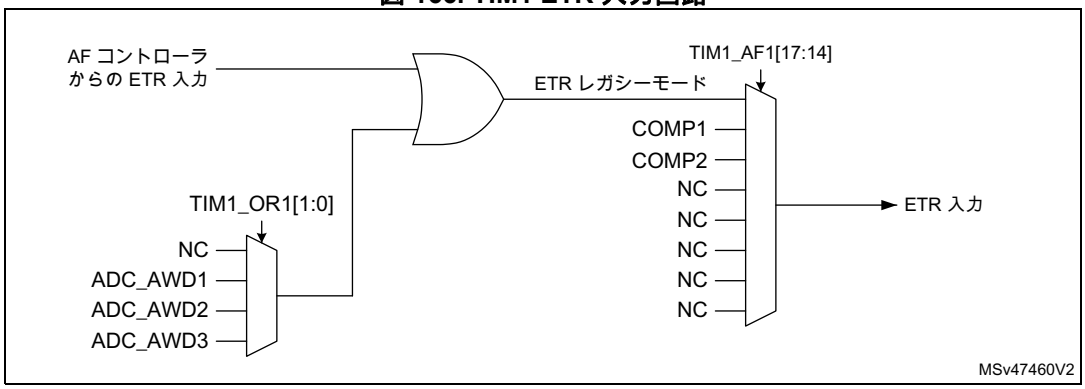
以下の図 165 は、ETR の入力条件付けについて説明しています。入力の極性は、TIMxSMCR レジスタの ETP ビットで定義されています。トリガは ETPS[1:0] ビットフィールドでプログラムされた分周器でプリスケールし、ETF[3:0] ビットフィールドでデジタル的にフィルタリングすることができます。

図 165. 外部トリガ入力ブロック



ETR は、入力ピン（デフォルト設定）、コンパレータ出力およびアナログウォッチドッグといった複数のソースから入力されます。この選択は、ETRSEL[3:0] および TIM1_OR1[1:0] ビットフィールドで行います。

図 166. TIM1 ETR 入力回路



24.3.5 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

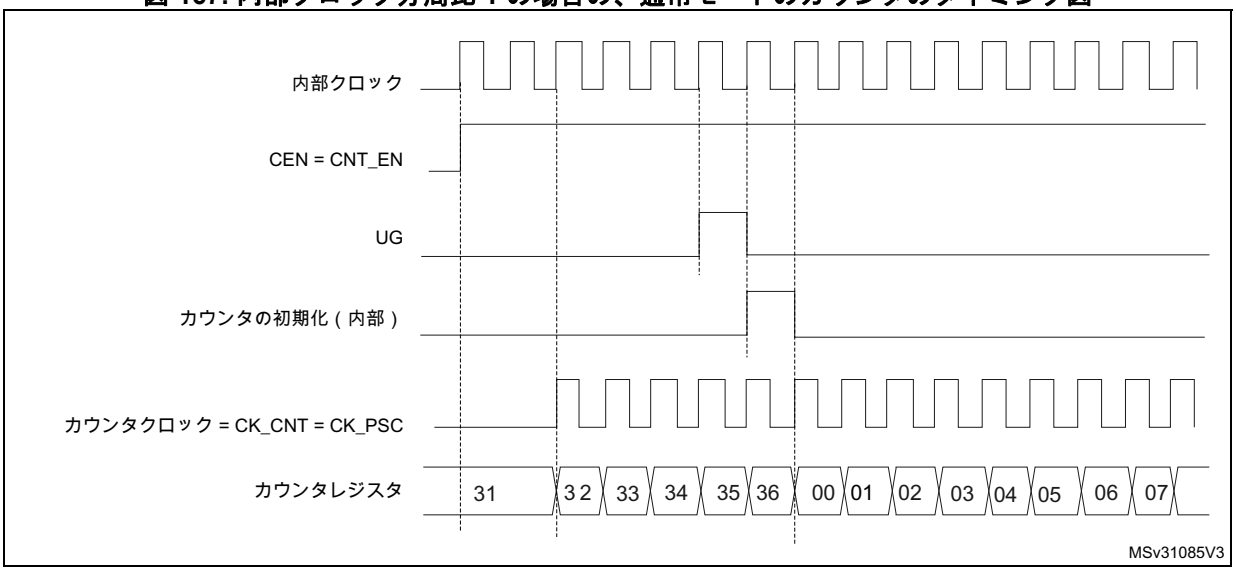
- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン
- 外部クロックモード 2：外部トリガ入力 ETR
- エンコーダモード

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN、DIR（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INTが供給されます。

図 167 に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

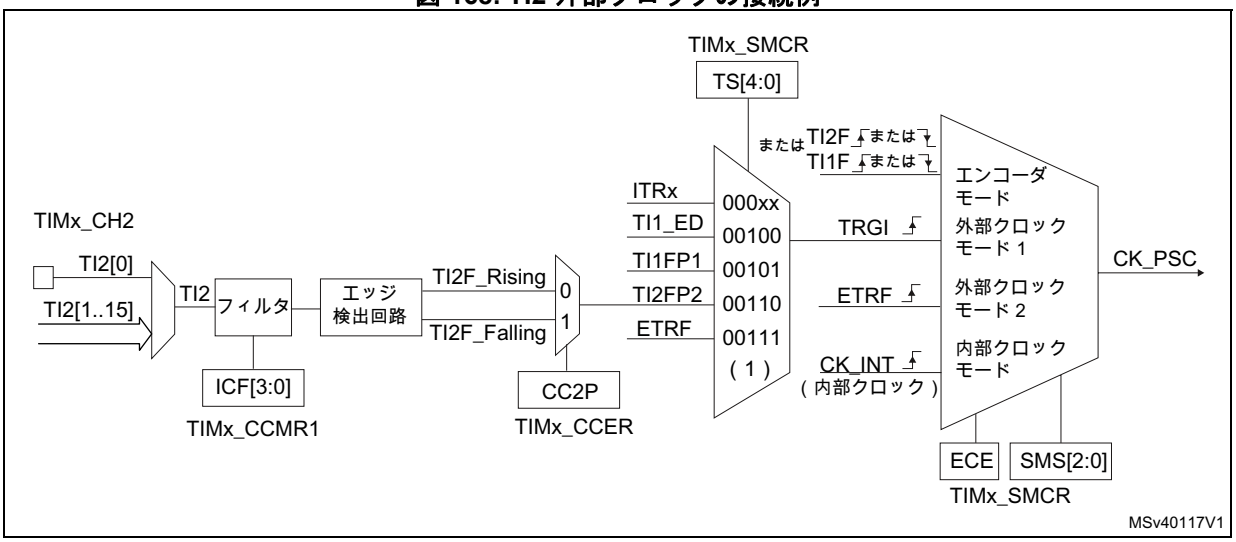
図 167. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 168. TI2 外部クロックの接続例



1. 01000 から 11111 の範囲のコードは予約済み

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

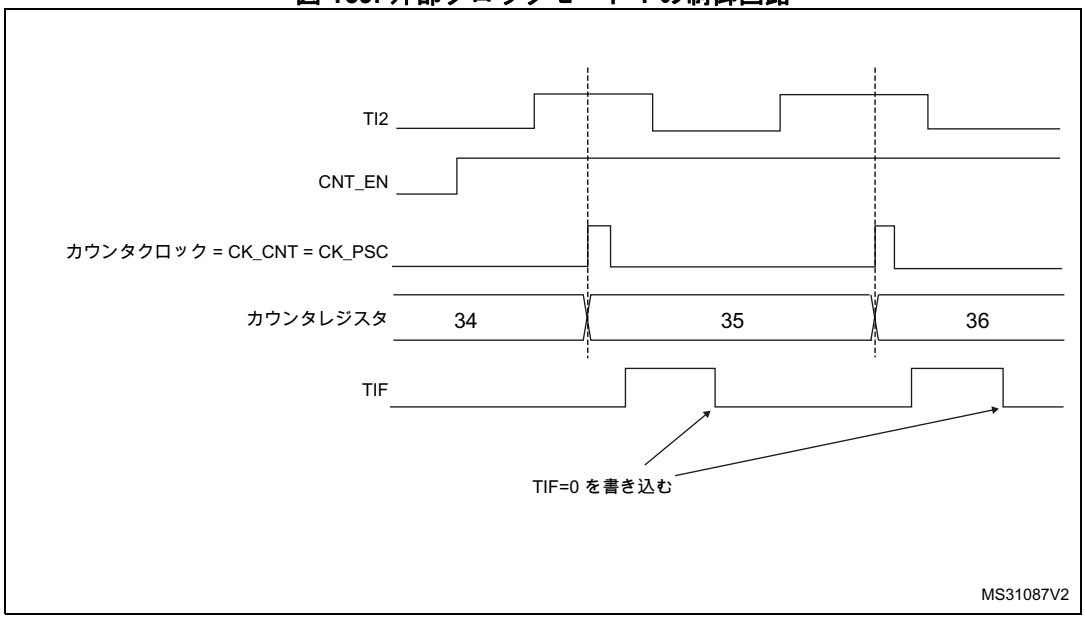
1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに“01”を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。
4. CC2P=0 と CC2NP=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

注： **キャプチャプリスケーラはトリガには使用されないので、設定は不要です。**

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 169. 外部クロックモード 1 の制御回路



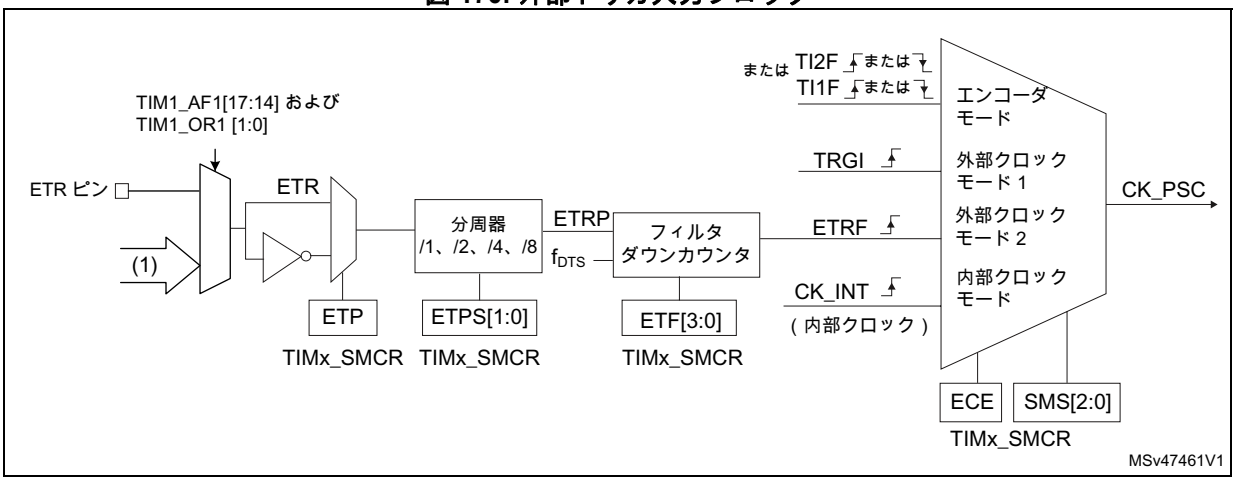
外部クロックソースモード 2

このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントできます。

図 170 に、外部トリガ入力ブロックの概要を示します。

図 170. 外部トリガ入力ブロック



1. 図 166：TIM1 ETR 入力回路 を参照してください。

たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、以下の手順に従います。

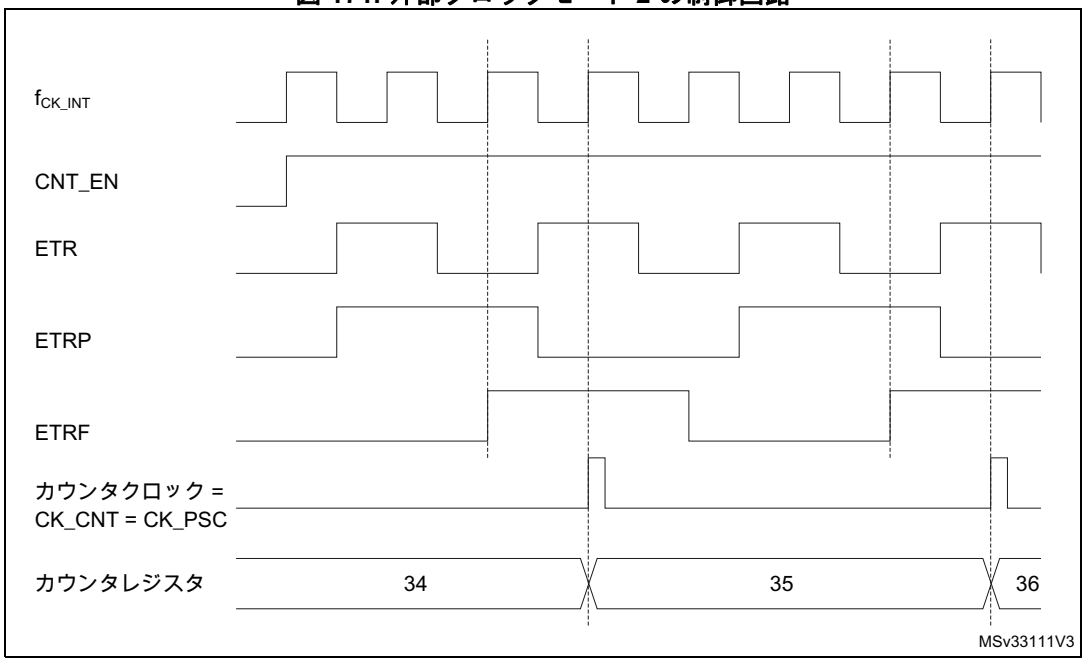
1. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
2. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
3. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
4. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。

5. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間に、ETRP 信号の再同期回路による遅延があります。結果として、カウンタで正しくキャプチャできる最大周波数は、最大で TIMxCLK 周波数の 1/4 です。ETRP 信号が高速の場合、ユーザは適切な ETPS プリスケーラー設定によって外部信号の分周比を適用する必要があります。

図 171. 外部クロックモード 2 の制御回路



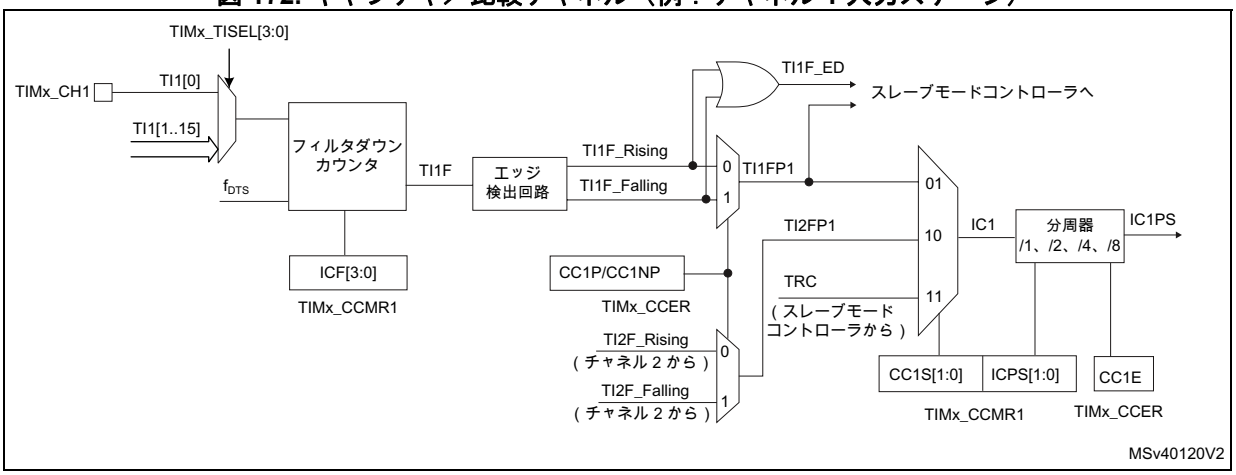
24.3.6 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（チャネル 5 および 6 を除くデジタルフィルタ、マルチプレクス、プリスケーラ）、および出力ステージ（コンパレータと出力制御）から構成されています。

図 172 から 図 175 に、1 つのキャプチャ／比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 172. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 173. キャプチャ／比較チャネル 1 メイン回路

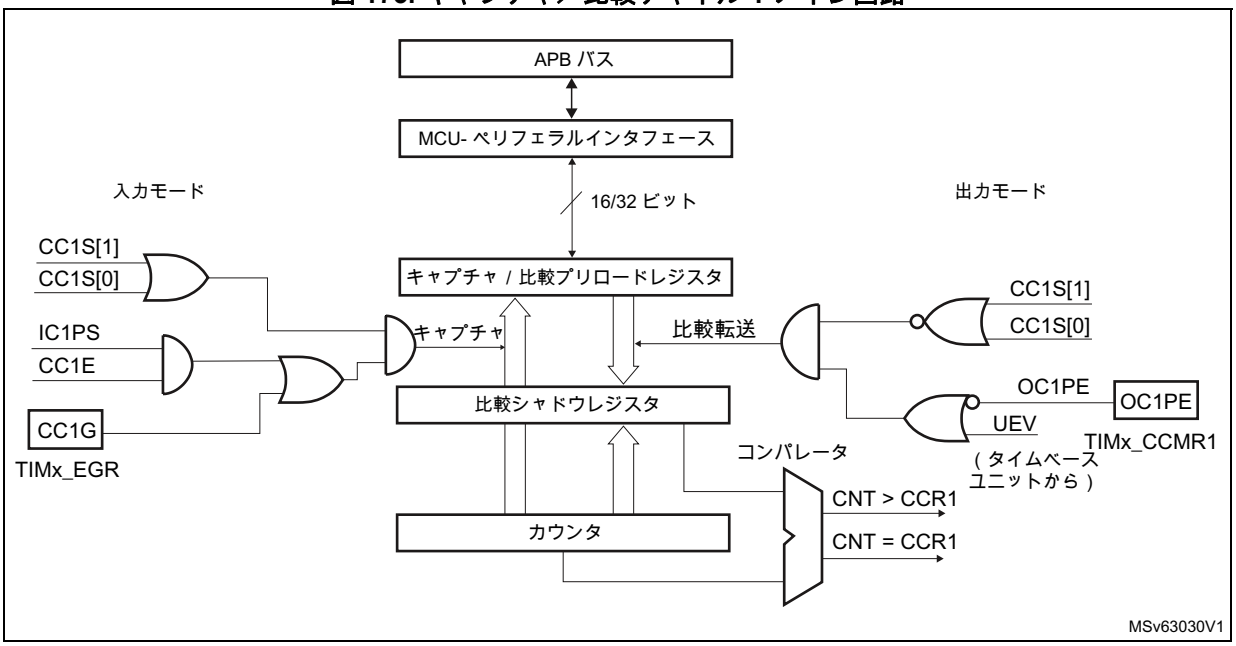
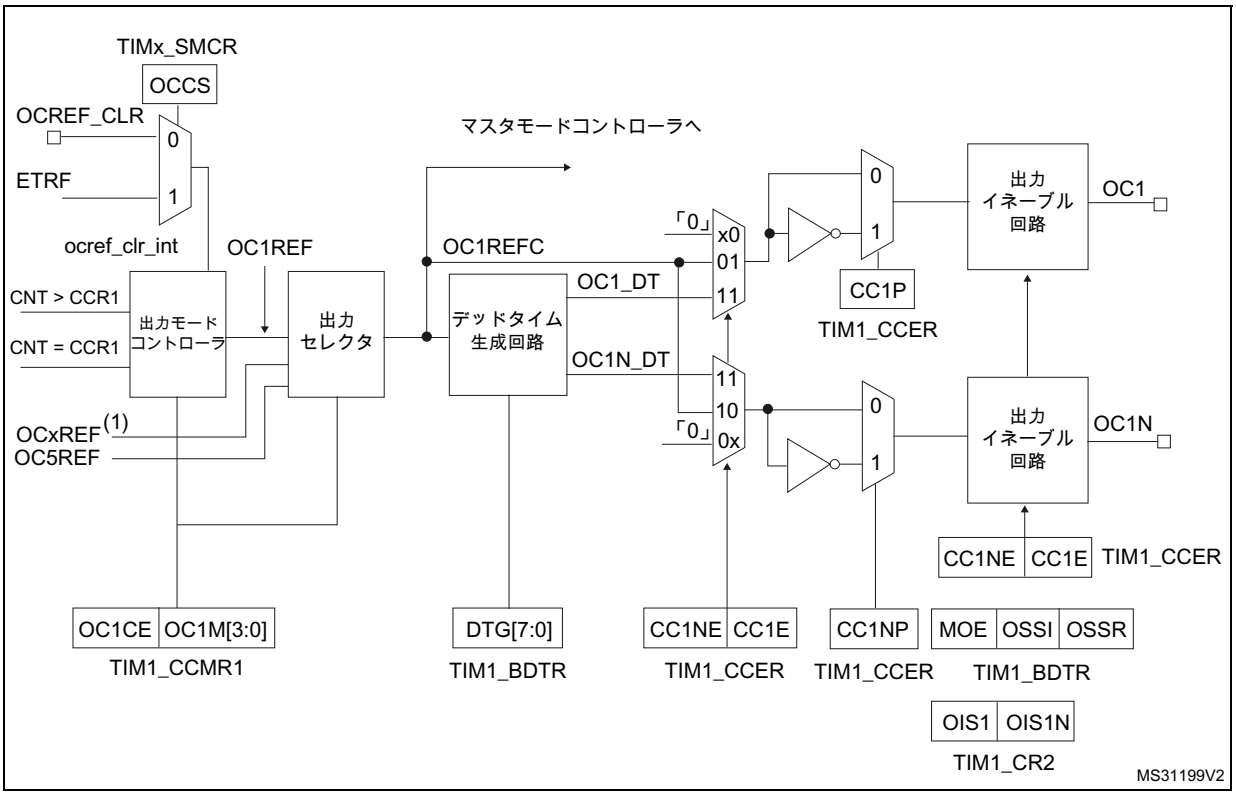


図 174. キャプチャ／比較チャネル（チャネル 1、同じくチャネル 2 および 3）の出力ステージ



1. OCxREF、ここで x は相補チャネルのランク

図 175. キャプチャ／比較チャネル（チャネル 4）の出力ステージ

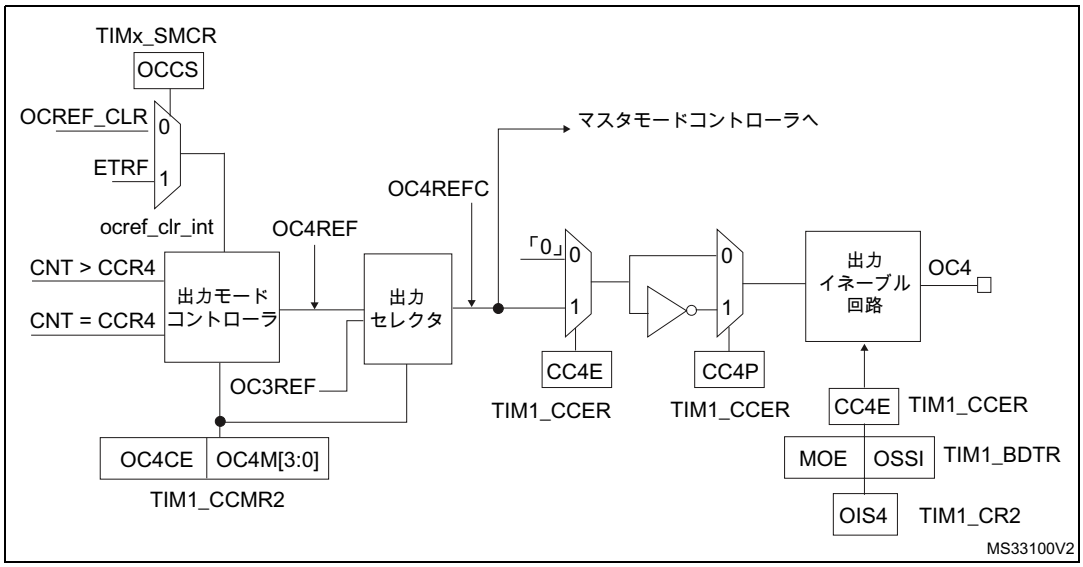
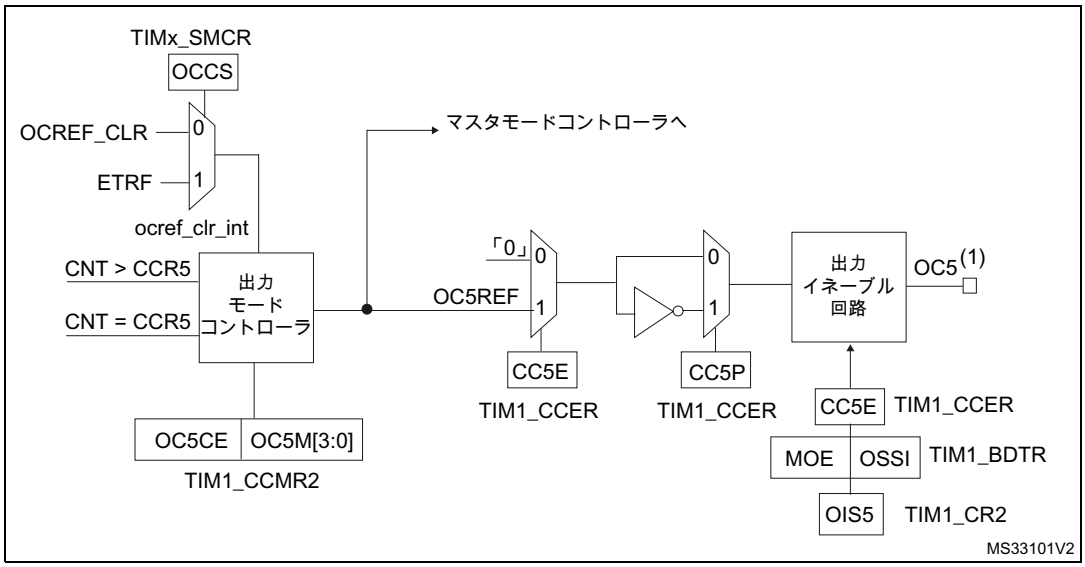


図 176. キャプチャ／比較チャネル（チャネル 5、同じくチャネル 6）の出力ステージ



1. 外部的には使用できません。

キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。書込みおよび読出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

24.3.7 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ／比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCXIF フラグ（TIMx_SR レジスタ）がセットされ、割込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、“0”を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース（内部または外部）を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします（入力が TIx の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットによって）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。

4. TI1 チャネルのアクティブ変化のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットと CC1NP ビットに“0”を書き込みます（この場合、立ち上がりエッジの選択）。
5. 入力プリスケーラをプログラムします。この例では有効な遷移ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込む）。
6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読出し後、データ読出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： **IC 割込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。**

24.3.8 PWM 入力モード

このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

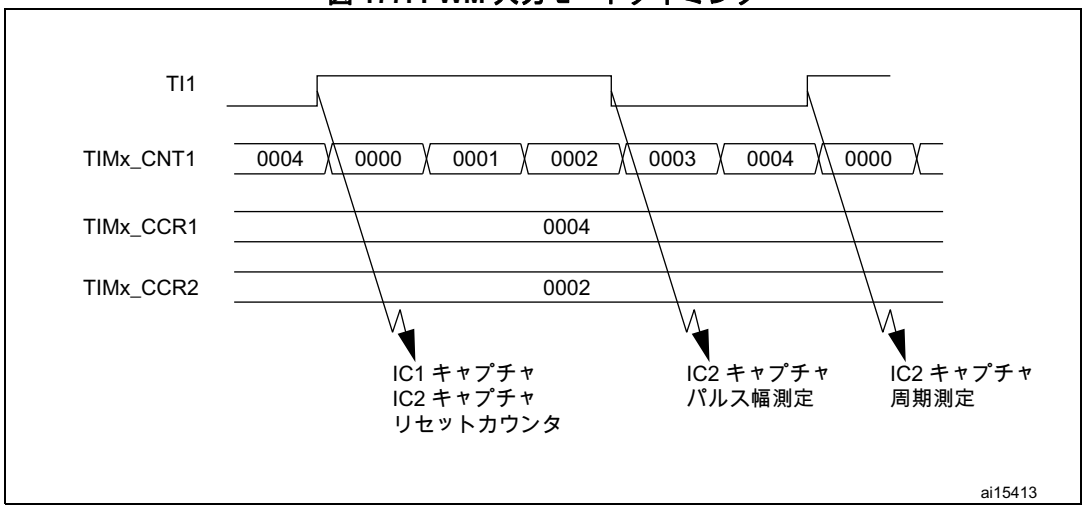
- 2 つの ICx 信号が同じ TIx 入力にマッピングされます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込むことによって（TI1 を選択）、TIMx_CCR1 のアクティブ入力を選択します。
3. CC1P ビットと CC1NP ビットに“0”を書き込むことによって（立ち上がりエッジでアクティブ）、TI1FP1 のアクティブな極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用）。
4. TIMx_CCMR1 レジスタの CC2S ビットに“10”を書き込むことによって（TI1 を選択）、TIMx_CCR2 のアクティブ入力を選択します。
5. CC2P ビットと CC2NP ビットに CC2P/CC2NP=“10”を書き込むことによって（立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 のキャプチャに使用されます）。
6. TIMx_SMCR レジスタの TS ビットに 00101 を書き込むことによって（TI1FP1 を選択）、有効なトリガ入力を選択します。

7. TIMx_SMCR レジスタの SMS ビットに 0100 を書き込むことによって、スレーブモードコントローラをリセットモードに設定します。
8. TIMx_CCER レジスタの CC1E と CC2E ビットに“1”を書き込むことによって、キャプチャを有効にします。

図 177. PWM 入力モードタイミング



24.3.9 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCXREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_CCMRx レジスタの OCxM ビットに 0101 を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 0100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

24.3.10 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。チャネル 1～4 は出力できますが、チャネル 5 と 6 はデバイス内でのみ使用できます（たとえば、合成波形生成または ADC トリガのため）。

キャプチャ／比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCXM=0000）、アクティブにセットされるか（OCxM=0001）、非アクティブにセットされるか（OCxM=0010）、または反転されます（OCxM=0011）。
- 割込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。

- 対応する割込みマスク（TIMx_DIER レジスタの CCXIE ビット）がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

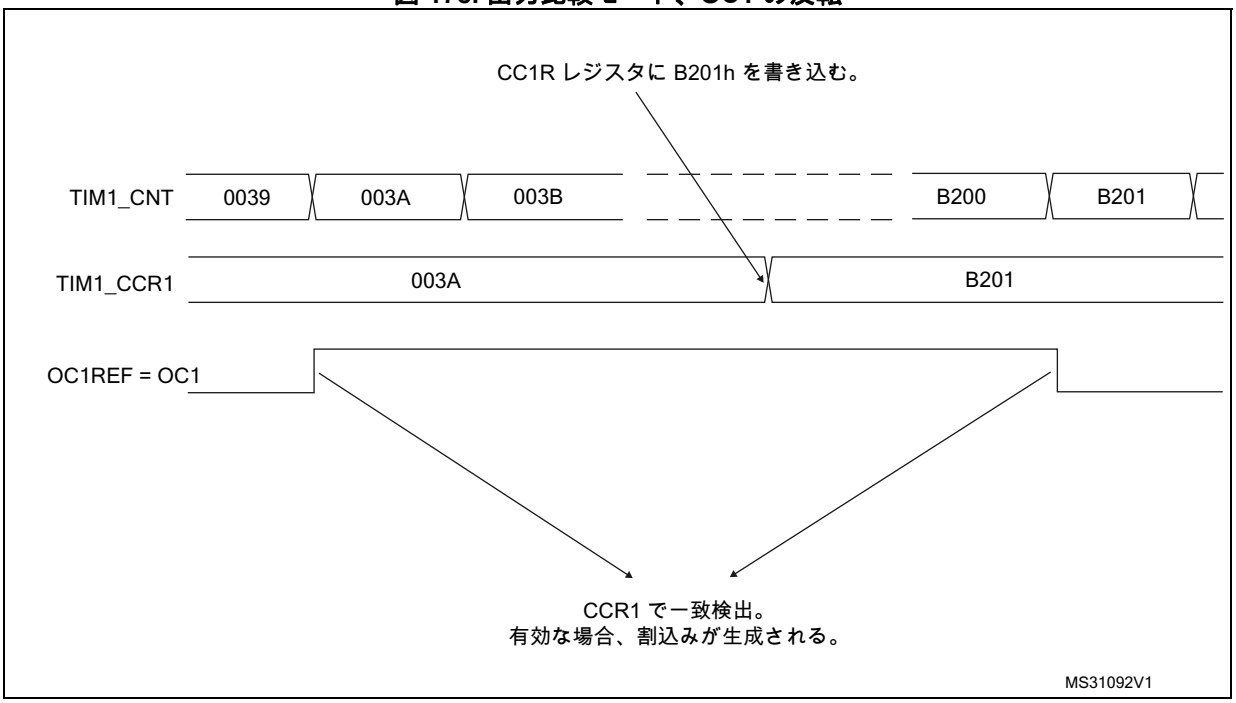
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは、単一パルスを出力するためにも使用できます（ワンパルスモード）。

手順

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM ビットに 0011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE ビットに 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP ビットに 0 を書き込みます。
   - 出力を有効にするには、CCxE ビットに 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を 図 178 に示します。

図 178. 出力比較モード、OC1 の反転



24.3.11 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“0110”（PWM モード 1）または“0111”（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組み合わせによって有効になります。詳細については、TIMx_CCER レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

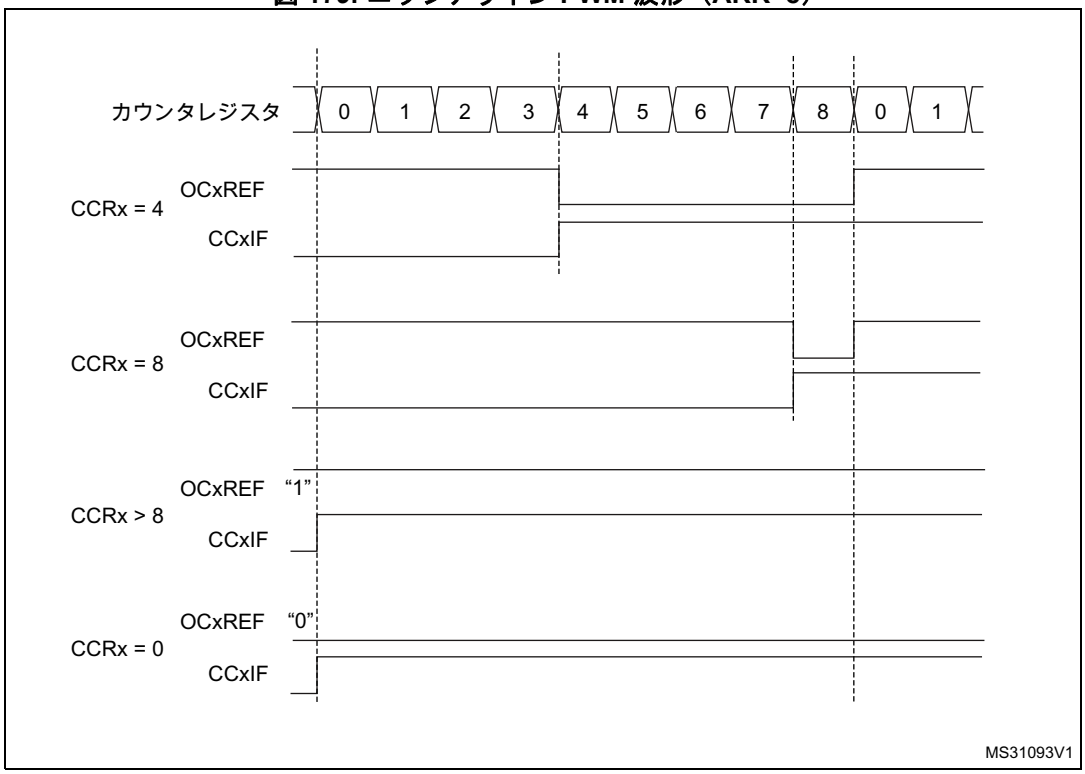
PWM エッジアラインモード

- アップカウント構成

  TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。671 ページのアップカウントモードを参照してください。

  次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は“1”に保持されます。比較値が 0 の場合、OCxREFは“0”に保持されます。図 179 に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 179. エッジアライン PWM 波形（ARR=8）



- ダウンカウント構成

  TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。675 ページのダウンカウントモードを参照してください。

  PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、OCxREF は“1”です。このモードでは、0 % の PWM 信号を生成することはできません。

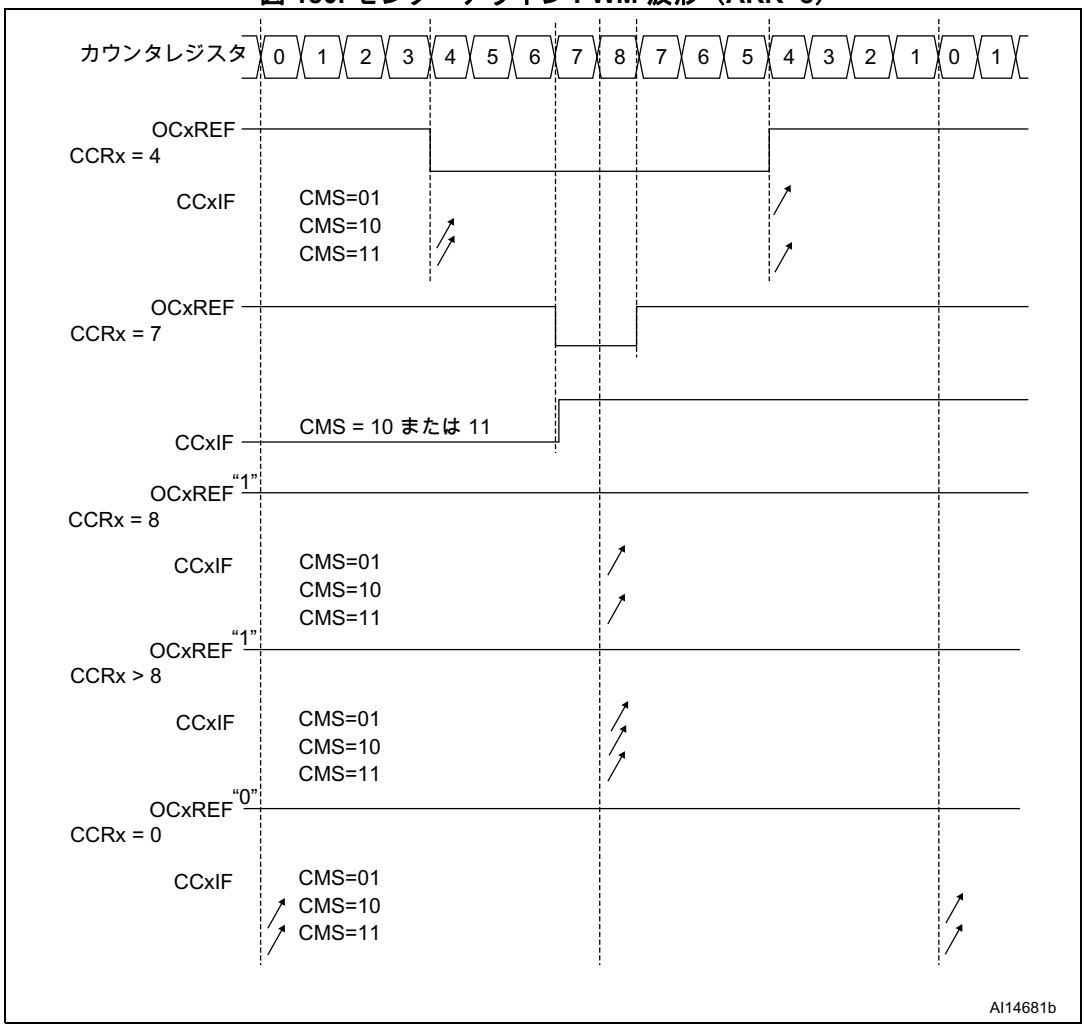
PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです（その他すべての構成は、OCxRef/OCx 信号に対して同じ効果を持ちます）。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット （DIR）はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。678 ページのセンターアラインモード（アップ／ダウンカウント）を参照してください。

図 180 に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

図 180. センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント

- センターアラインモードを開始するときには、現在のアップ／ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値がカウンタに書き込まれた場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。

– カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。

- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書込みを行わないことです。

24.3.12 非対称 PWM モード

非対称モードでは、プログラム可能な位相シフトによって 2 つのセンターアライン PWM 信号の生成を可能にします。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや位相シフトは TIMx_CCRx レジスタペアで決定されます。1 つ目のレジスタがアップカウント時の PWM を制御し、2 つ目のレジスタがダウンカウント時の PWM を制御することで、PWM は PWM ハーフサイクルごとに調整されます。

– OC1REFC（または OC2REFC）は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。

– OC3REFC（または OC4REFC）は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

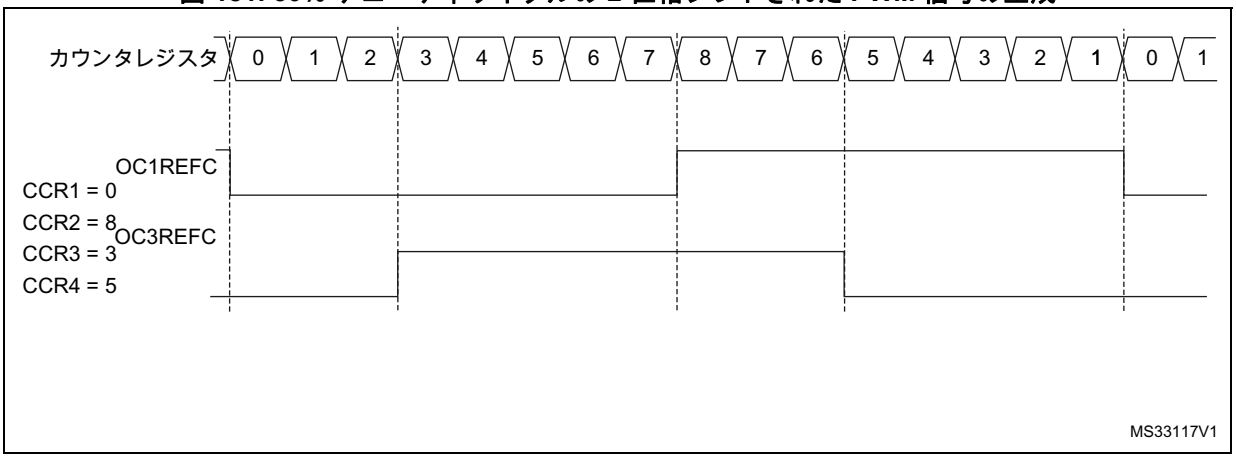
非対称 PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1110”（非対称 PWM モード 1）または“1111”（非対称 PWM モード 2）を書き込むことによって、2 チャネルごとに選択できます（CCR レジスタペアごとに 1 つの OCx 出力）。

注： **OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。**

特定のチャネルが非対称の PWM チャネルとして使用されると、その相補チャネルも使用できます。たとえば、OC1REFC 信号がチャネル 1（非対称 PWM モード 1）に生成されると、チャネル 2 の OC2REF 信号、または非対称 PWM モード 1 の結果として得られる OC2REFC 信号を出力できます。

図 181 は、非対称 PWM モードを使用して生成される信号の例を表します（チャネル 1 から 4 は非対称 PWM モード 1 として設定されます）。これにより、デッドタイムジェネレータとともにフルブリッジ位相シフト DC-DC コンバータを制御できます。

図 181. 50% デューティサイクルの 2 位相シフトされた PWM 信号の生成



24.3.13 組み合わせ PWM モード

組み合わせ PWM モードでは、2 つのエッジアラインまたはセンターアライン PWM 信号を生成でき、それぞれのパルス間に遅延および位相シフトをプログラムできます。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや遅延は 2 つの TIMx_CCRx レジスタで決定されます。結果として得られる信号 OCxREFC は、2 つの PWM 基準信号の OR または AND による論理結合から成ります。

- OC1REFC（または OC2REFC）は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC（または OC4REFC）は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

組み合わせ PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1100”（組み合わせ PWM モード 1）または“1101”（組み合わせ PWM モード 2）を書き込むことによって、2 チャネルごとに選択できます（CCR レジスタペアごとに 1 つの OCx 出力）。

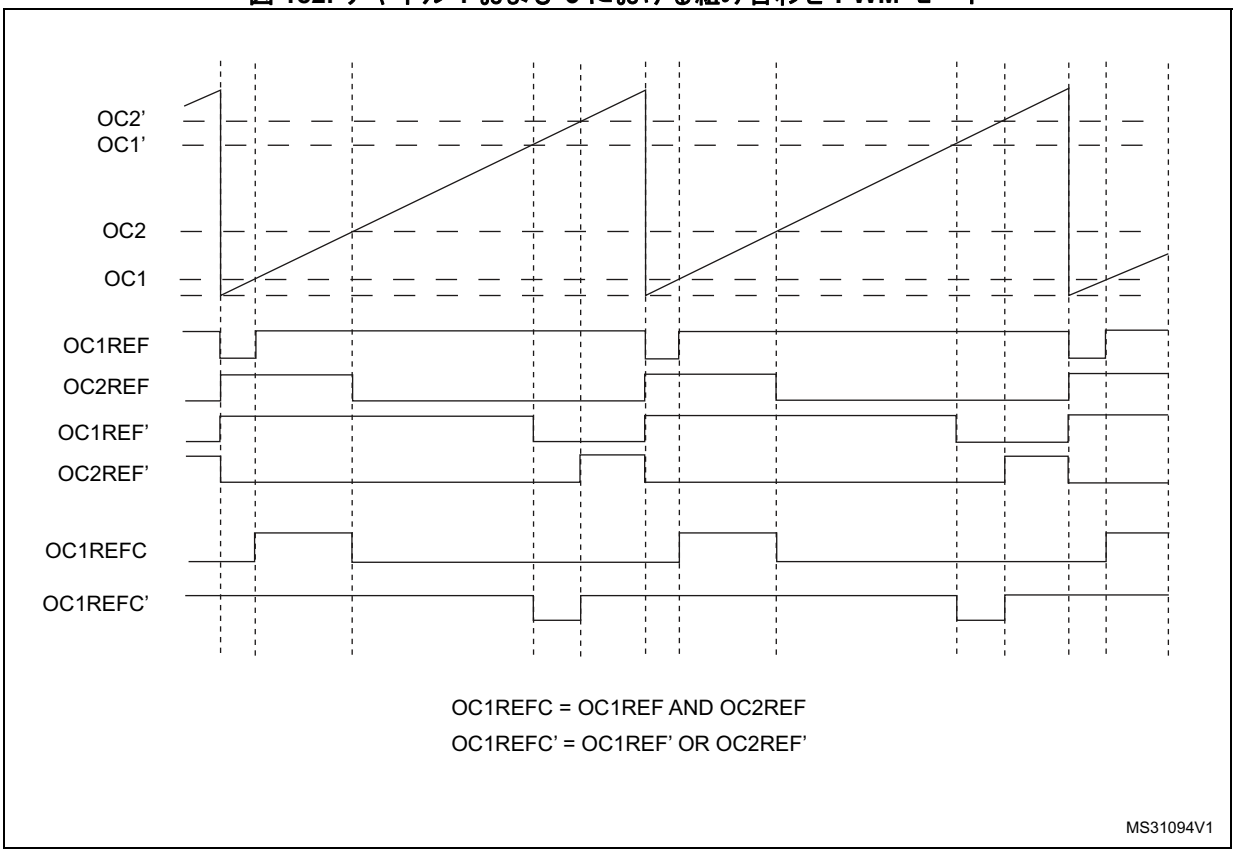
特定のチャネルが組み合わせ PWM チャネルとして使用されている場合、相補チャネルを反対の PWM モードに設定する必要があります（たとえば、1 つを組み合わせ PWM モード 1、もう 1 つを組み合わせ PWM モード 2 にします）。

注： **OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。**

図 182 は、次の設定で取得可能な非対称 PWM モードを使用して生成される信号の例を表します。

- チャネル 1 が組み合わせ PWM モード 2 で設定されている場合
- チャネル 2 が PWM モード 1 で設定されている場合
- チャネル 3 が組み合わせ PWM モード 2 で設定されている場合
- チャネル 4 が PWM モード 1 で設定されている場合

図 182. チャネル 1 および 3 における組み合わせ PWM モード



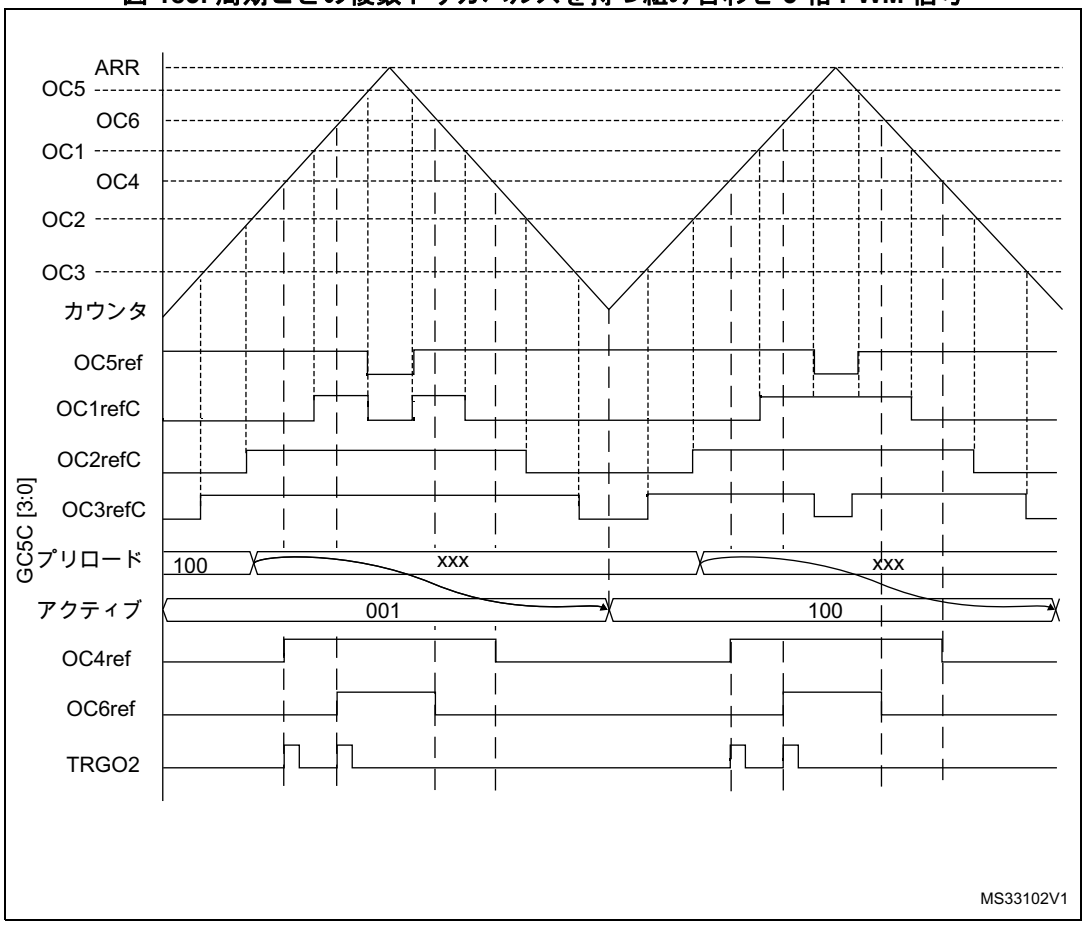
24.3.14 組み合わせ 3 相 PWM モード

組み合わせ 3 相 PWM モードでは、パルスの中間で論理積を取った単一のプログラム可能な信号とともに 1 つから 3 つのセンターアライン PWM 信号を生成できます。結果として得られる組み合わせ信号の定義には、OC5REF 信号が使用されます。TIMx_CCR5 の 3 ビット GC5C[3:1] では、OC5REF を組み合わせる基準信号を選択できます。結果として得られる信号 OCxREFC は、2 つの PWM 基準信号の AND による論理結合から生成されます。

- GC5C1 がセットされると、OC1REFC は TIMx_CCR1 および TIMx_CCR5 によって制御されます。
- GC5C2 がセットされると、OC2REFC は TIMx_CCR2 および TIMx_CCR5 によって制御されます。
- GC5C3 がセットされると、OC3REFC は TIMx_CCR3 および TIMx_CCR5 によって制御されます。

組み合わせ 3 相 PWM モードは、少なくとも3 ビット GC5C[3:1] の 1 つをセットすることでチャネル 1 から 3 で個別に選択できます。

図 183. 周期ごとの複数トリガパルスを持つ組み合わせ 3 相 PWM 信号



TRGO2 波形は、特定の 3 相 PWM 信号での ADC の同期方法を示します。詳細については、セクション 24.3.27：ADC の同期を参照してください。

24.3.15 相補出力とデッドタイム挿入

高機能制御タイマ（TIM1）は、2 つの相補信号を出力して、出力時のスイッチオンおよびスイッチオフを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力（主出力 OCx または相補 OCxN）の極性は出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、表 162：748 ページのブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビットを参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャネルに 1 つの 10 ビットデッドタイムジェネレータがあります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示します。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図 184. デッドタイム挿入のある相補出力

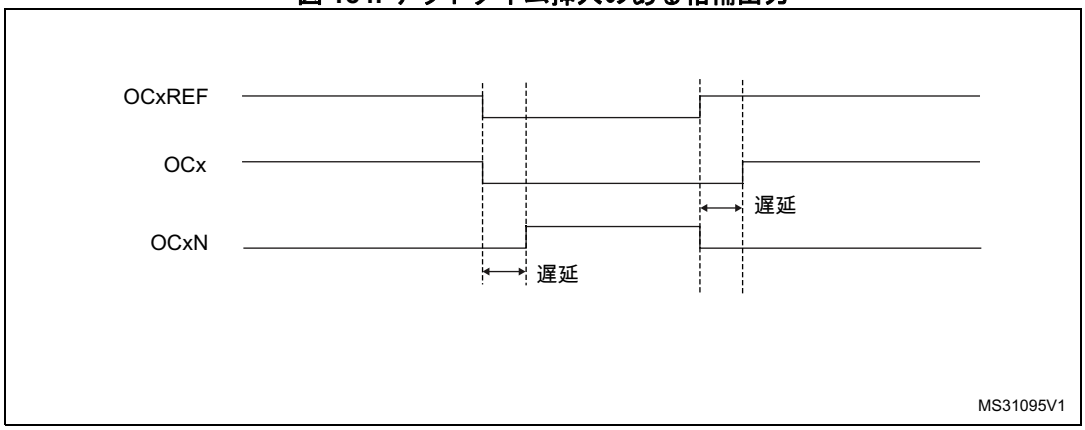


図 185. 負のパルスより長い遅延があるときのデッドタイムの波形

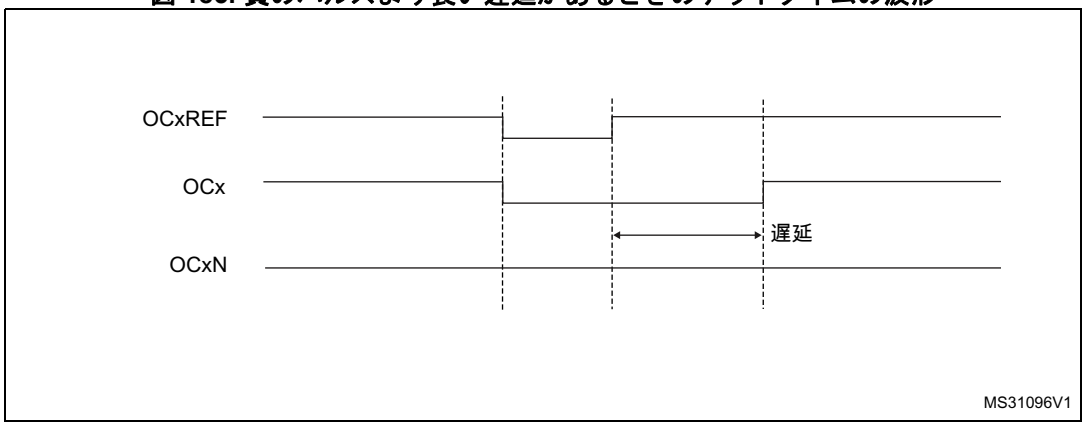
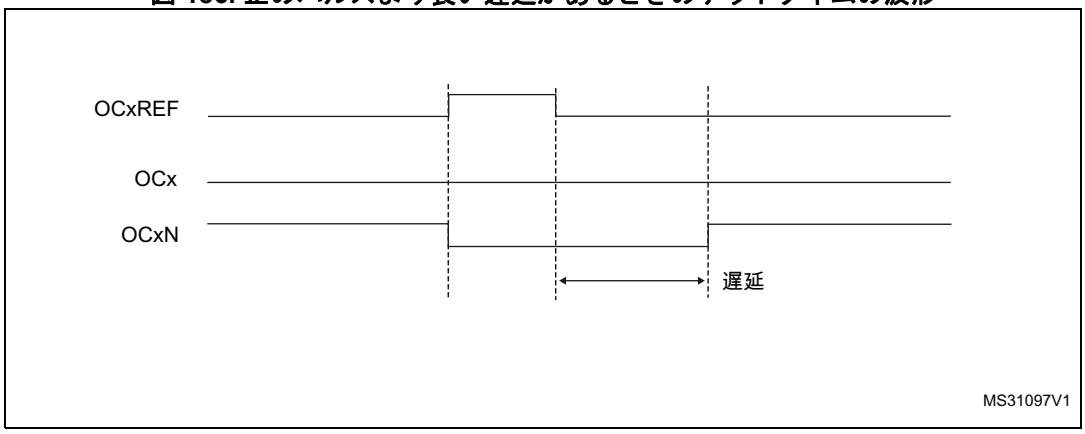


図 186. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラム可能です。遅延計算については、セクション 24.4.20：TIM1 ブレークおよびデッドタイムレジスタ（TIM1_BDTR）を参照してください。

OCxREF 信号の OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを構成することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、相補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注：**OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補にならず、OCxREF がハイレベルとなるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx と OCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。**

24.3.16 ブレーク機能の使用

ブレーク機能の目的は、TIM1 タイマ によって生成される PWM 信号によって駆動する電源スイッチを保護することです。2 つのブレーク入力は通常、パワーステージおよび 3 相インバータの異常出力に接続されています。アクティブ化すると、ブレーク回路は PWM 出力を遮断し、強制的に事前定義された安全な状態に移行させます。出力の遮断をトリガするために、いくつかの内部 MCU イベントを選択することも可能です。

このブレークには、2 つのチャネルがあります。システムレベル障害（クロック障害、パリティエラーなど）とアプリケーション障害（入力ピンおよび内蔵コンパレータ）の両方を集め、出力をデッドタイムの持続時間経過後に事前定義されたレベル（アクティブまたはインアクティブ）に強制できるブレーク チャネル。アプリケーション障害のみを含み、出力をインアクティブ状態に強制できるブレーク2 チャネル。

ブレーク時の出力有効信号および出力レベルは、いくつかの制御ビットに依存しています。

– TIMx_BDTR レジスタの MOE ビットにより、ソフトウェアで出力を有効／無効にすることができます。なお、このビットはブレーク または ブレーク 2 イベント時にリセットされます。

- TIMx_BDTR レジスタの OSSI ビット。出力をインアクティブ状態で制御するか、GPIO コントローラへの制御を解除するかについて、タイマを定義します（通常、ハイインピーダンスモードにするため）。
- TIMx_CR2 レジスタの OISx および OISxN ビット。アクティブまたはインアクティブな出力遮断レベルをセットします。OISx および OISxN の値にかかわらず、一度に OCx 出力と OCxN 出力を両方ともアクティブレベルにセットすることはできません。詳細については、表 162:748 ページのブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビットを参照してください。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIMx_BDTR レジスタの BKE ビットおよび BK2E ビットをセットすることによって有効にできます。ブレーク入力の極性は、同じレジスタの BKP および BK2P ビットを設定することによって選択できます。BKE/BK2E と BKP/BK2P は、同時に変更できます。BKE/BK2E および BKP/BK2P ビットが書き込まれるとき、書込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、MOE がローになった後で 1 に設定された場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。これは、書込みは非同期信号に対応しますが、読出しは同期信号を反映するからです。

ブレークは、TIMx_AF1 および TIMx_AF2 レジスタを使用して、個別に有効化でき、複数のソースおよびプログラム可能なエッジ感度から生成できます。

ブレーク（BRK）チャネルのソースは以下のいずれかです。

- （SYSCFG_CFGR2 レジスタでの選択に従って）BKIN ピンの 1 つに接続された外部ソース、極性選択およびオプションのデジタルフィルタリングあり
- 内部ソース：
  - CPU1 Cortex®-M4 LOCKUP 出力
  - PVD 出力
  - SRAM パリティエラー信号
  - Flash メモリの ECC ダブルエラー検出
  - CSS 検出回路によって生成されたクロック障害イベント
  - コンパレータからの出力、極性選択およびオプションのデジタルフィルタリングあり

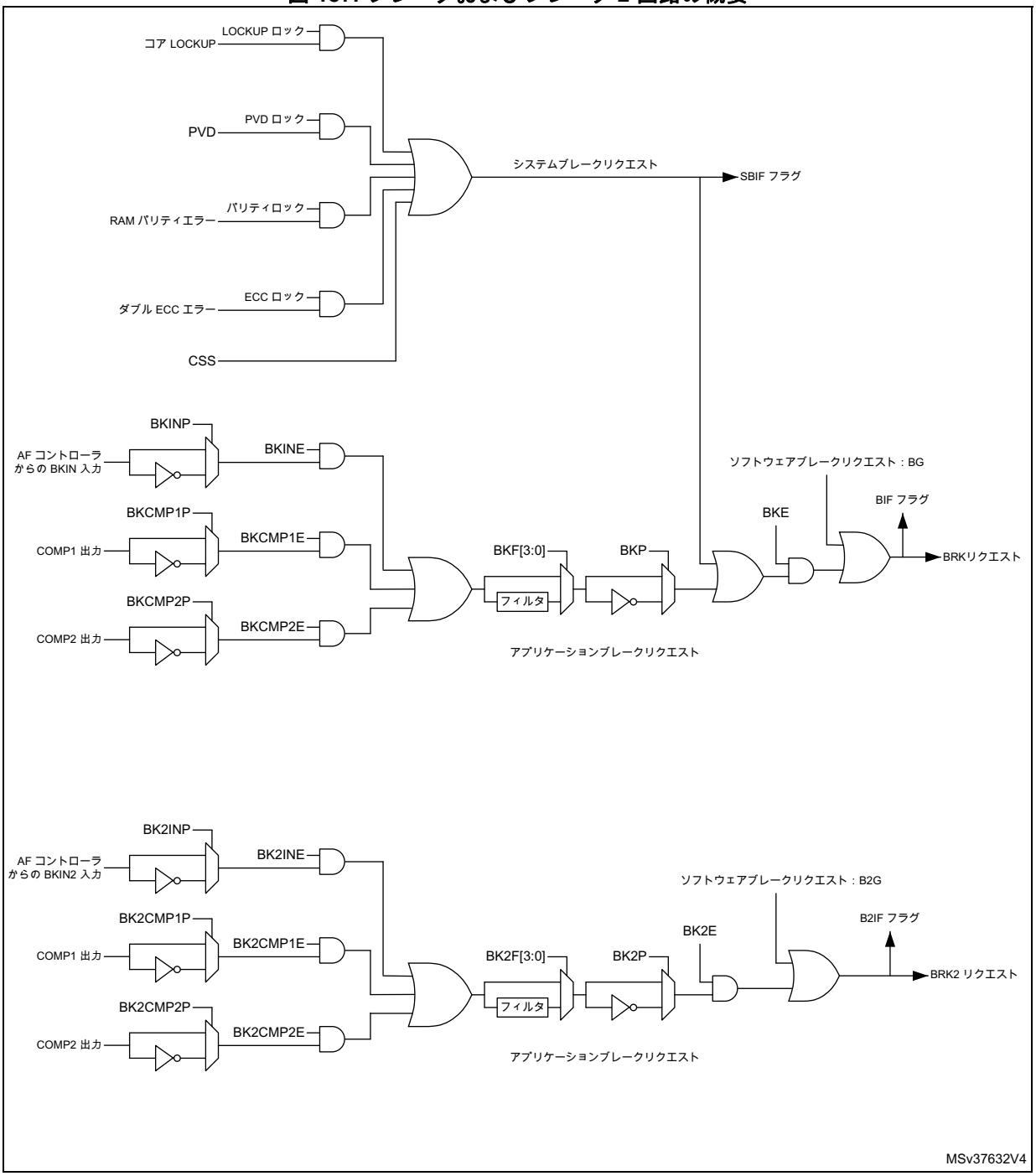
ブレーク 2（BRK2）のソースは以下のいずれかです。

- （SYSCFG_CFGR2 レジスタでの選択に従って）BKIN ピンの 1 つに接続された外部ソース、極性選択およびオプションのデジタルフィルタリングあり
- コンパレータ出力からの内部ソース

ブレークイベントは、TIMx_EGR レジスタで BG および B2G ビットを使用して、ソフトウェアによって生成することもできます。BG と B2G を使用するソフトウェアブレーク生成は、BKE および BK2E イネーブルビットの値にかかわらずアクティブです。

以下の図 187 のとおり、すべてのソースはタイマ BRK または BRK2 入力がある前に論理和がとられます。

図 187. ブレークおよびブレーク 2 回路の概要



注： **非同期（クロックなし）動作は、プログラム可能なフィルタが無効な場合にのみ保証されます。有効になっている場合は、必ずブレークイベントが処理されるように、フェイルセーフクロックモード（たとえば、内部 PLL や CSS を使用）を使用する必要があります。**

ブレークが 1 つ発生すると（ブレーク入力の 1 つで選択されたレベル）、

- MOE ビットは非同期にクリアされ、出力は、インアクティブ状態またはアイドル状態になるか、GPIO コントローラへの制御が解除されます（OSSI ビットで選択）。これは、MCU オシレータがオフの場合に有効です。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマは出力の制御（GPIO コントローラによって引き継がれた）を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには：
  - 出力は、まずインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイムジェネレータが作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。
  - OSSI=0 の場合、タイマは出力の制御（ハイインピーダンス状態を強制する GPIO コントローラによって引き継がれた）を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットのどちらかがハイになったときにハイになります。
- ブレーク状態フラグ（TIMx_SR レジスタの SBIF、BIF、および B2IF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合、割込みが生成されます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント（UEV）で再び自動的にセットされます。たとえば、これを使用してレギュレーションを行うことができます。そうでない場合、MOE ビットはアプリケーションが再び“1”をセットするまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

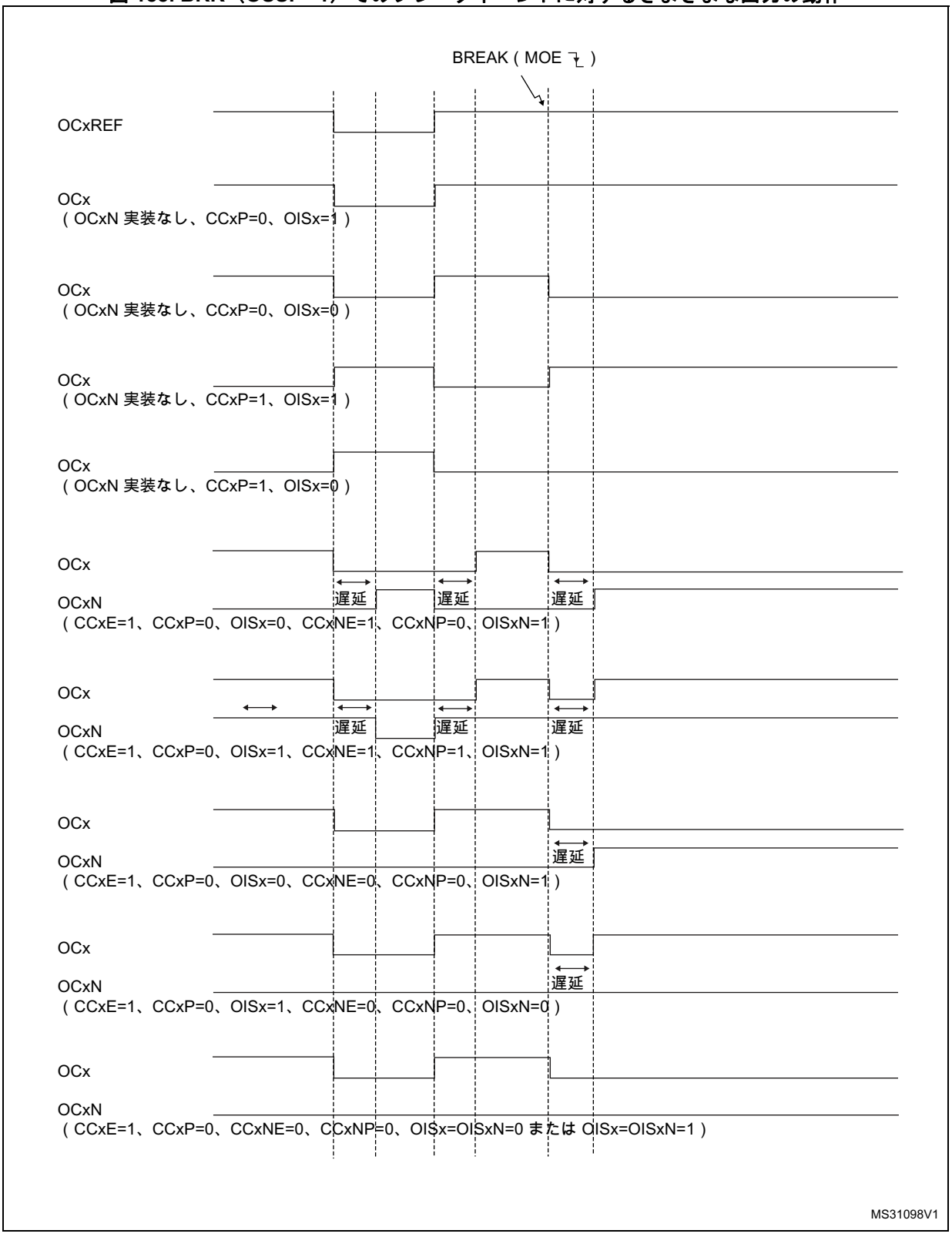
注： **AOE ビットが設定されている状態で CPU により MOE がリセットされると、出力はアイドル状態になり、OSSI 値に応じてインアクティブレベルまたはハイインピーダンスに強制されます。**
MOE ビットと AOE ビットの両方が CPU によってリセットされた場合、出力は無効状態になり、TIMx_CR2 レジスタの OISx ビットでプログラムされたレベルで駆動されます。

注： **ブレーク入力は、信号レベルに対してアクティブです。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF および B2IF をクリアできません。**

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレーク回路内に書込み保護機能を設けてあります。これにより、いくつかのパラメータの設定（デッドタイムの長さ、OCx/OCxN 極性、無効時の状態、OCxM 構成、ブレークイネーブルと極性）を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、3 レベルの保護を選択することができます。セクション 24.4.20 : TIM1 ブレークおよびデッドタイムレジスタ（TIM1_BDTR）を参照してください。
LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 188 に、ブレークに対する出力の動作例を示します。

図 188. BRK（OSSI = 1）でのブレークイベントに対するさまざまな出力の動作



2 つのブレーク入力は、タイマ出力で異なる動作を示します。

– BRK 入力は、無効化（インアクティブ状態）するか、PWM 出力を強制的に事前定義した安全な状態に移行できます。

– BRK2 は、PWM 出力の無効化（インアクティブ状態）のみ可能です。

表 158 に示すように、BRK の優先順位は BRK2 入力よりも高いです。

注： **BRK2 は OSSR = OSSI = 1 の場合にのみ使用してください。**

表 158. タイマ出力と BRK/BRK2 入力の動作

BRK	BRK2	タイマ出力状態	通常の使用例	
			OCxN 出力（ローサイドスイッチ）	OCx 出力（ハイサイドスイッチ）
アクティブ	X	– 非アクティブから強制される出力状態（デッドタイム後） – OSSI = 0 の場合、出力は無効（GPIO ロジックが制御を引き継ぐ）	デッドタイム挿入後 ON	OFF
非アクティブ	アクティブ	非アクティブ	OFF	OFF

図 189 では、BRK および BRK2 入力で信号がアクティブな場合の、OCx および OCxN 出力の動作の例を示します。この場合、両方の出力がアクティブハイ極性になります（TIMx_CCER レジスタの CCxP = CCxNP = 0）。

図 189. BRK および BRK2 ピンのアサート後の PWM 出力状態（OSSI=1）

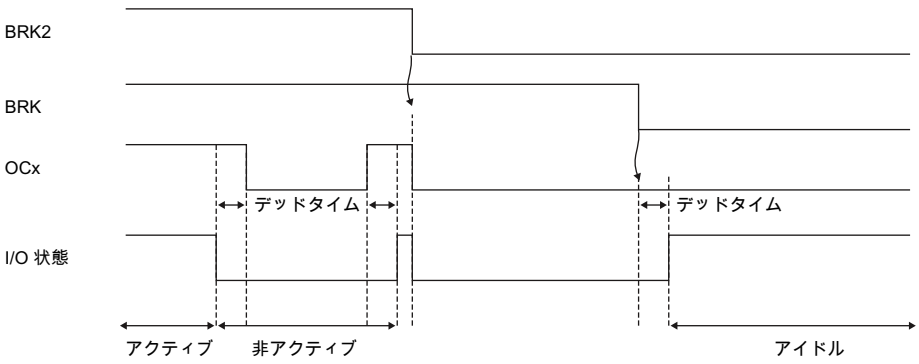
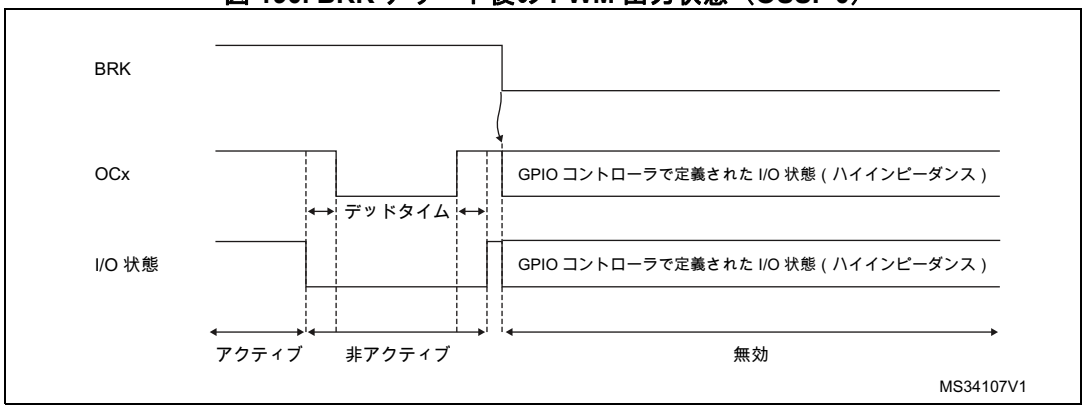


図 190. BRK アサート後の PWM 出力状態（OSSI=0）



24.3.17 双方向ブレーク入力

TIM1 には、図 191 に示すとおり、双方向ブレーク I/O が搭載されています。

それらによって以下のことが可能になります。

- 入力および出力ステータスピンどちらにもなるユニークなピンを持ち、外部の MCU やゲートドライバに障害を通知するために使用できる幅広いレベルのグローバルブレーク信号
- 複数の内部および外部ブレークソースを統合する必要がある場合、互いに論理和をとり、ユニークなブレークイベントをトリガする内部ブレークソースおよび複数の外部オープンドレインコンパレータ出力

ブレークおよびブレーク 2 入力は、TIMxBDTR レジスタの BKBID および BK2BID ビットを使用して双方向モードに設定されます。BKBID プログラミングビットは、TIMxBDTR レジスタの LOCK ビットを使用して読出し専用モードにロックできます（LOCK レベル 1 以上）。

双方向モードは、ブレークとブレーク 2 入力の両方で使用でき、I/O をアクティブロー極性でオープンドレインモードに設定する必要があります（BKINP、BKP、BK2INP、BK2P ビットを使用）。システム（例：CSS）、オンチップペリフェラル、またはブレーク入力からのブレークリクエストによって、障害イベントを通知するブレーク入力のレベルが強制的にローとなります。安全性のため、極性ビットが正しくセット（アクティブハイ極性）されていない場合の双方向モードは禁止されています。

ブレークソフトウェアイベント（BG および B2G）も、ブレーク I/O を強制的に 0 にして、タイマがブレーク状態に移行したことを外部コンポーネントに示します。ただし、これはブレークが有効になっている場合（BK(2)E = 1）にのみ有効です。ソフトウェアブレークイベントが BK(2)E = 0 で生成された場合、出力が安全な状態になり、ブレークフラグはセットされますが、ブレーク（2）I/O には効果がありません。

安全解除メカニズムは、システムが完全にロックされることを防ぎます（ブレーク入力でレベルがローになると、同じ入力でレベルをローに強制するブレークがトリガされます）。

BKDSRM（BK2DSRM）ビットが 1 にセットされると、この機能によりブレーク出力が解放され、障害信号をクリアしてシステムを再設定できます。

ブレーク保護回路はどの時点においても無効にできません。

- ブレーク入力パスは常にアクティブです。BKDSRM（BK2DSRM）ビットがセットされており、オーブンドレイン制御が解放されている場合でもブレークイベントはアクティブです。これによって、ブレーク条件が存在する限り、PWM 出力の再開を防ぐことができます。
- 出力が有効になっている（MOE ビットがセットされている）限り、BK(2)DSRM ビットでブレーク保護を解除できません（表 159 を参照）。

表 159. ブレーク保護解除条件

MOE	BKDIR（BK2DIR）	BKDSRM（BK2DSRM）	ブレーク保護状態
0	0	X	設定
0	1	0	設定
0	1	1	解除
1	X	X	設定

ブレーク回路の設定および再設定

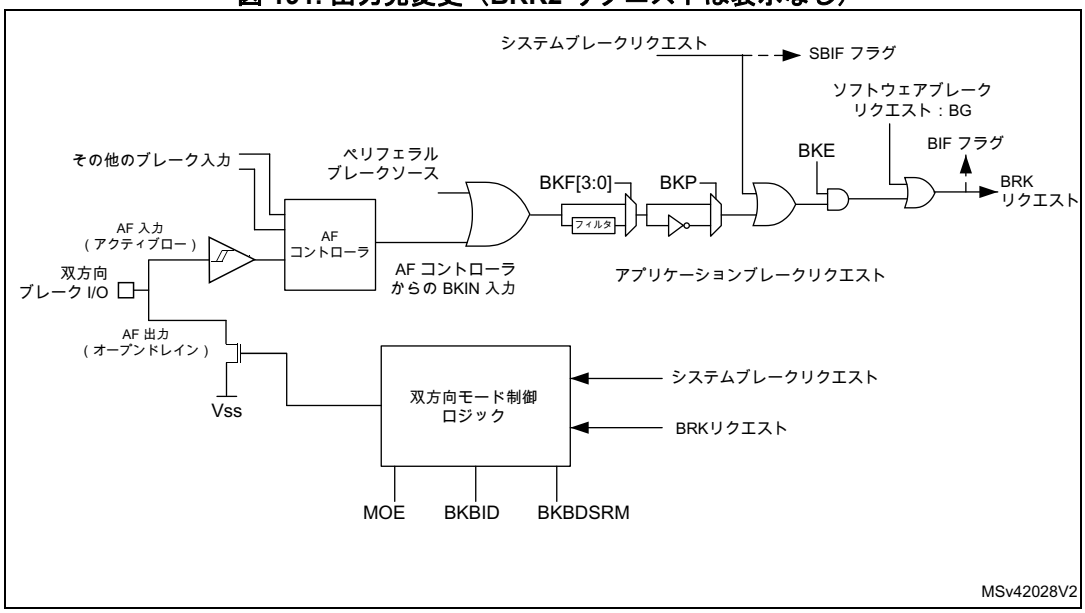
ブレーク回路（入力モードまたは双方向モード）はデフォルト（ペリフェラルリセット設定）で設定されています。

ブレーク（ブレーク 2）イベント後に保護を再び設定するには次の手順に従う必要があります。

- BKDSRM（BK2DSRM）ビットをセットして、出力制御を解放する必要があります。
- ソフトウェアは、システムブレーク条件（ある場合）がなくなるまで待ってから、SBIF ステータスフラグをクリアする必要があります（または再設定の前にシステムでクリアします）。
- ソフトウェアは、BKDSRM（BK2DSRM）をハードウェアによってクリアされるまでポーリングする必要があります（アプリケーションブレーク条件がなくなるとき）。

この時点から、ブレーク回路は設定されアクティブになり、MOE ビットをセットして、PWM 出力を再び有効にできます。

図 191. 出力先変更（BRK2 リクエストは表示なし）



24.3.18 外部イベントによる OCxREF 信号のクリア

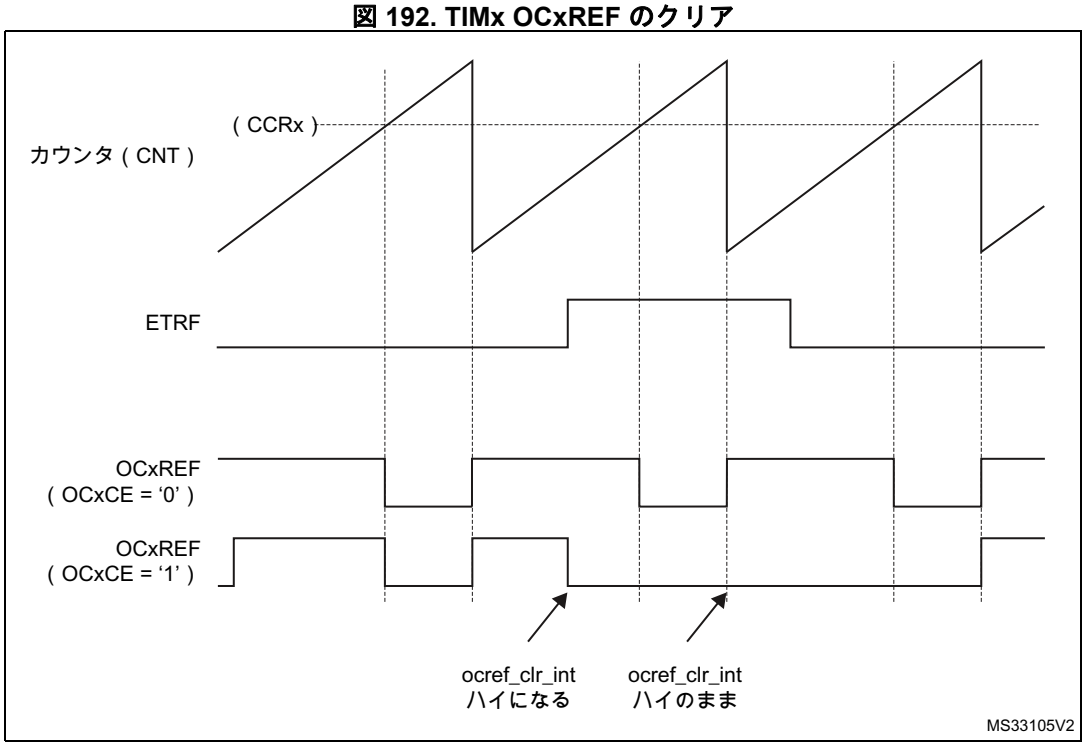
特定のチャネルの OCxREF 信号は ocref_clr_int 入力にハイレベルを適用するとクリアされます（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする）。OCxREF は、次の PWM サイクルでアクティブ状態に遷移するまでローのままです。この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。ocref_clr_int 入力は、TIMx_SMCR レジスタで OCCS ビットを設定することで、OCREF_CLR 入力と ETRF（フィルタ後の ETR）の間で選択できます。

ETRF が選択された場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラはオフ状態に維持します（TIMx_SMCR レジスタの ETPS[1:0] ビットを”00”にセット）。
2. 外部クロックモード 2 を無効にします（TIMx_SMCR レジスタの ECE ビットを”0”にセット）。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、ユーザのニーズに応じて設定できます。

図 192 に、イネーブルビット OCxCE の両方の値について、ETRF 入力がハイレベルになったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

図 192. TIMx OCxREF のクリア



注： **100% デューティサイクルの PWM の場合 （CCRx > ARR の場合）、次のカウンタオーバーフローで OCxREF が再度有効になります。**

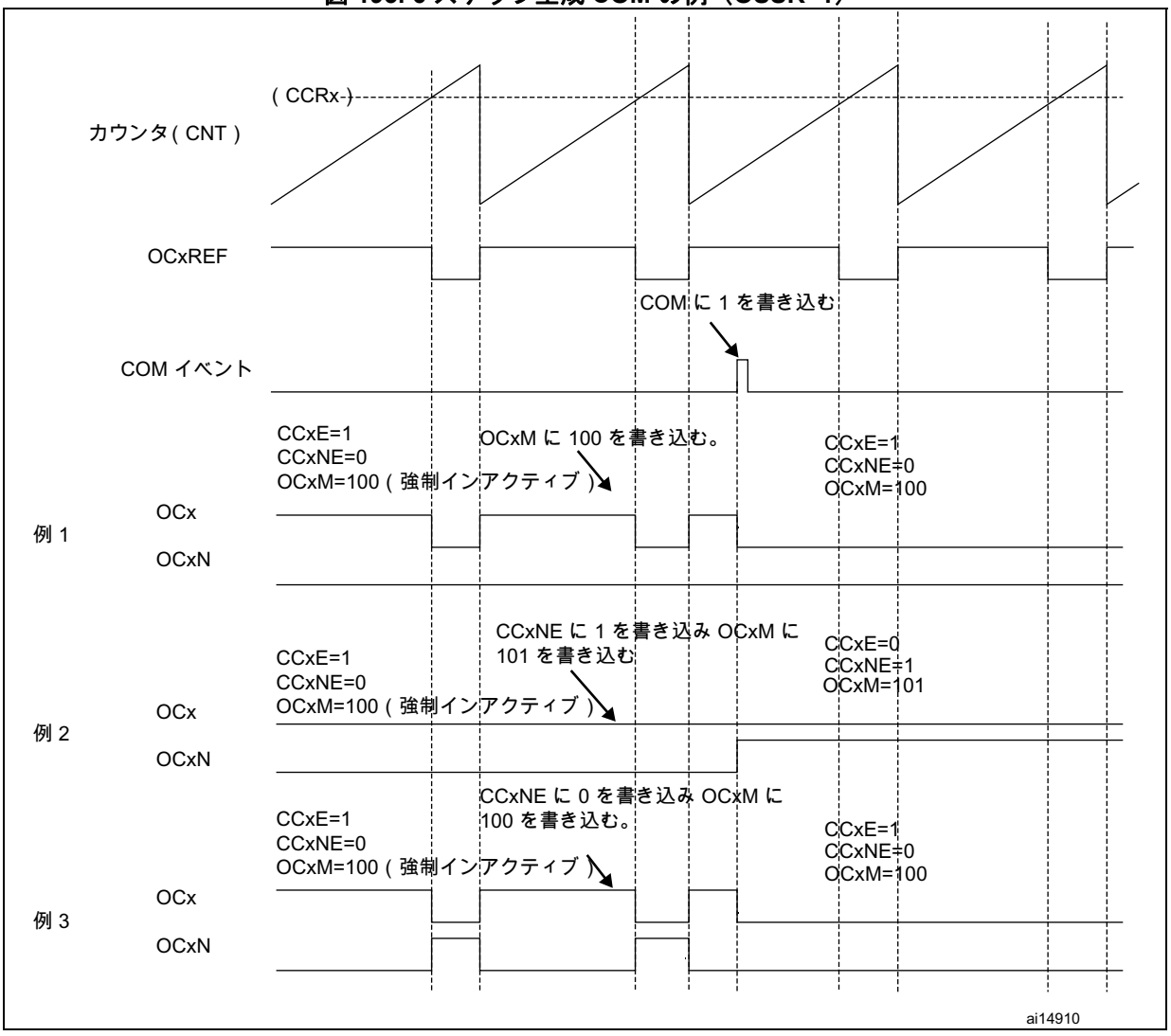
24.3.19 6 ステップ PWM 生成

チャネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 転流イベントでシャドウビットにコピーされます。これにより、次のステップの構成をあらかじめプログラミングして、すべてのチャネルの構成を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって（TRGI 立ち上がりエッジで）生成することができます。

フラグは、COM イベントが発生したときにセットされ（TIM x _SR レジスタの COMIF ビット）、これによって割込み（TIMx_DIER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIMx_DIER レジスタの COMDE ビットがセットされている場合）を生成できます。

図 193 に、COM イベントが発生したときの OCx と OCxN 出力の動作を、3 種類のプログラミング構成の例で示します。

図 193. 6 ステップ生成 COM の例（OSSR=1）



24.3.20 ワンパルスモード

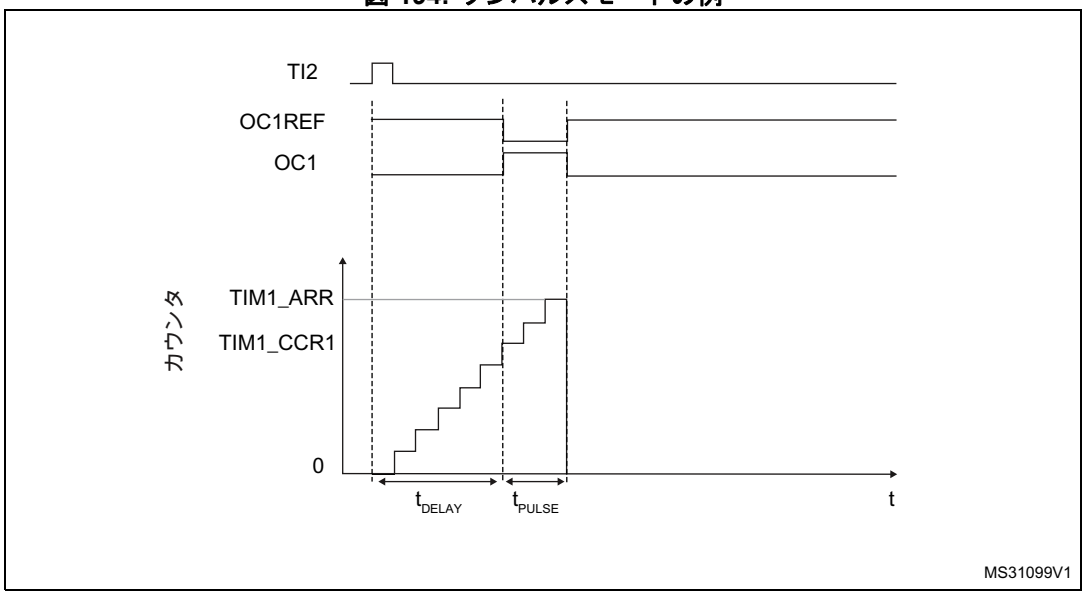
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- アップカウント時：CNT < CCRx ≤ ARR （特に、0 < CCRx）
- ダウンカウント時：CNT>CCRx

図 194. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに”01”を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P=“0”と CC2NP =“0”を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS ビットに“00110”を書き込みます。
5. TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS ビットに“110”（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE='1' を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、“0”に戻る時点）。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

24.3.21 再トリガ可能なワンパルスモード

このモードでは、トリガに応じてカウンタを開始して、プログラム可能な長さのパルスを生成できます。ただし、セクション 24.3.20 で説明する再トリガ不可能なワンパルスモードについて、次のような違いがあります。

- パルスはトリガが発生し次第開始します（プログラム可能な遅延はありません）。
- パルスは、前のトリガが完了する前に新しいトリガが発生すると拡張されます。

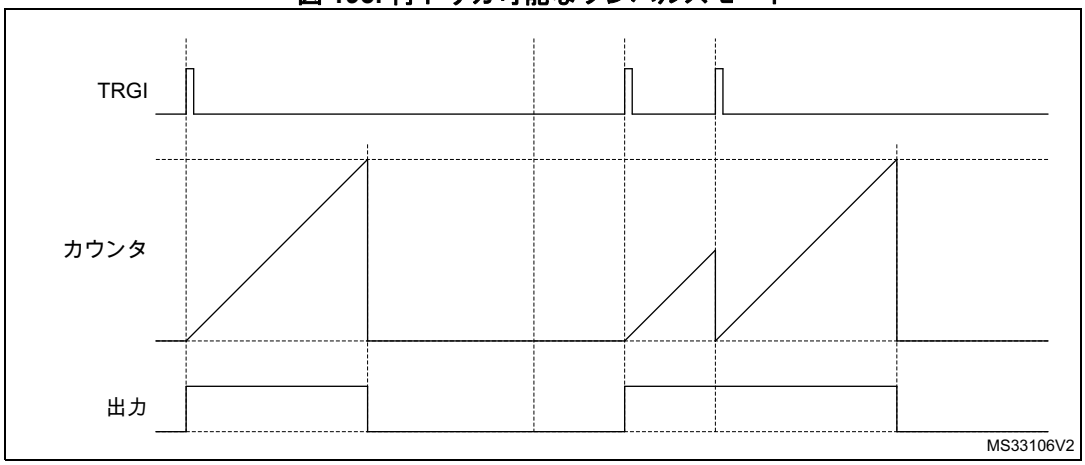
タイマはスレーブモードである必要があり、このときビットは TIMx_SMCR レジスタで SMS[3:0] =“1000”（リセットモードとトリガモードの組み合わせ）、および再トリガ可能な OPM モード 1 または 2 で OCxM[3:0] が“1000”または“1001”にセットされています。

タイマをアップカウントモードで設定した場合、対応する CCRx を 0 にセットする必要があります（ARR レジスタによってパルス長がセットされます）。タイマをダウンカウントモードで設定した場合、CCRx は ARR 以上である必要があります。

注： **OCxM[3:0] および SMS[3:0]ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。**

このモードをセンターアライン PWM モードと組み合わせて使用することはできません。TIMx_CR1 では、CMS[1:0] = 00 にする必要があります。

図 195. 再トリガ可能なワンパルスモード



24.3.22 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=“001”を、TI1 エッジのみをカウントしている場合は SMS=“010”を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=“011”を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。必要なときには、入力フィルタもプログラミングできます。CC1NP と CC2NP はローに維持する必要があります。

2 つの入力 TI1 と TI2 は、直交エンコーダとのインタフェースに使用されます。表 160 を参照してください。カウンタのクロック供給は、TI1FP1 または TI2FP2（入力フィルタおよび極性選択の後は TI1 と TI2、フィルタされず反転されない場合は TI1FP1=TI1、フィルタされず反転されない場合は TI2FP2=TI2）での有効な遷移ごとに行われます。ただし、カウンタは有効である（TIMx_CR1レジスタの CEN ビットに“1”が書き込まれている）ことが前提です。2 つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIRビットは、いずれかの入力（TI1 または TI2）の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、繰り返しカウンタ、トリガ出力の機能は通常どおりに機能を続けます。エンコーダモードと外部クロックモード 2 は互換性がないので、同時に選択することはできません。

注： **エンコーダモードを有効にするとき、プリスケーラをゼロに設定する必要があります。**

このモードでは、カウンタは直交エンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します（TI1 と TI2 は同時に切り替わらないと想定しています）。

表 160. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	高	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし
TI2 のみカウント	高	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の両方をカウント	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

直交エンコーダは、外部インタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割込み入力に接続して、カウンタのリセットをトリガできます。

図 196 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S=“01”（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S=“01”（TIMx_CCMR2 レジスタ、TI1FP2 は TI2 に配置）
- CC1P=“0”、CC1NP =“0”（TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1）
- CC2P=“0”、CC2NP =“0”（TIMx_CCER レジスタ、TI1FP2 非反転、TI1FP2=TI2）
- SMS=“011”（TIMx_SMCR　レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=“1”（TIMx_CR1 レジスタ、カウンタ有効）

図 196. エンコーダインタフェースモードにおけるカウンタの動作例

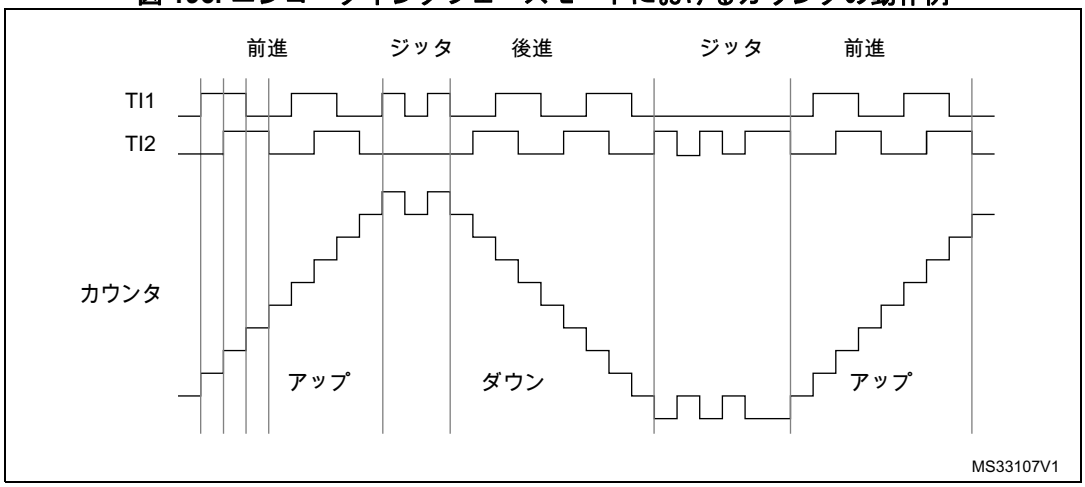
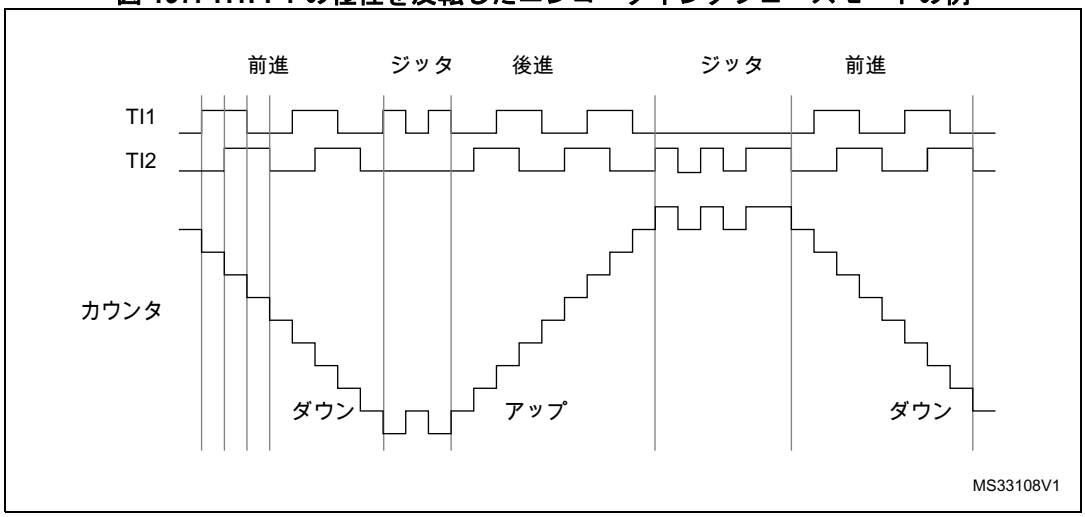


図 197 に、TI1FP1 の極性を反転したときのカウンタの動作を示します（上記と同じ設定ですが、CC1P=“1”）。

図 197. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに構成した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。使用可能なときには、DMA リクエストを通じて値を読み出すことも可能です。

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31（TIMxCNT[31]）に更新割込みフラグ（UIF）の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。バックグラウンドタスク（カウンタの読出し）と割込み（更新割込み）との間で共有されている処理などによって生じる競合状態を避けることで、角速度の計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

32 ビットのタイマの実装で、IUFREMAP ビットがセットされている場合、カウンタのビット 31 は読出しアクセス時に UIFCPY フラグによって上書きされます（カウンタの最上位ビットには書込みモード時のみアクセス可能）。

24.3.23 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31（TIMxCNT[31]）に更新割込みフラグ（UIF）の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。特殊なケースでは、バックグラウンドタスク（カウンタの読出し）と中断（更新の中断）との間で共有されている処理などによって生じる競合状態を避けることで、計算が容易になります。

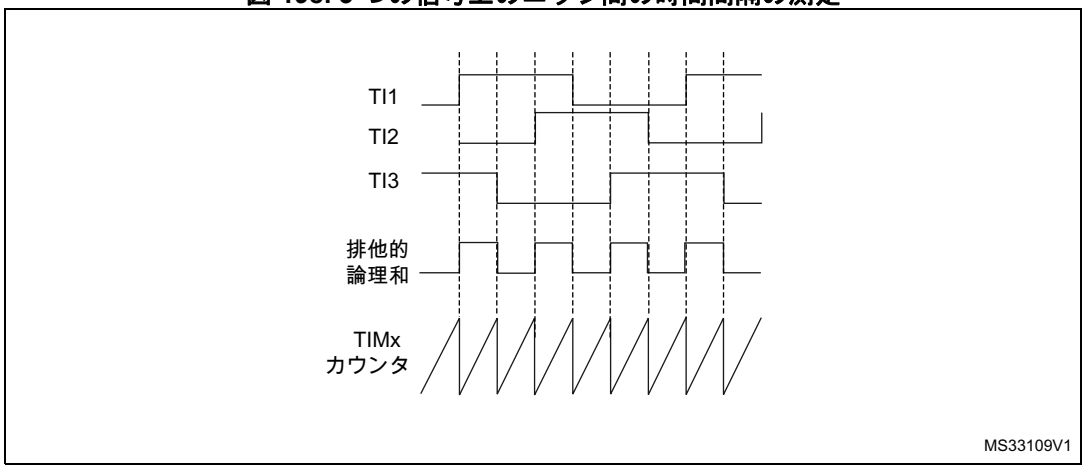
UIF と UIFCPY フラグのアサートの間には、遅延はありません。

24.3.24 タイマ入力 XOR 機能

TIMx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1、TIMx_CH2、および TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。次の図 198 に示すように、2 つの入力信号上のエッジ間の間隔を測定するのに便利です。

図 198. 3 つの信号上のエッジ間の時間間隔の測定



24.3.25 ホールセンサとのインタフェース

これは、高機能制御タイマ（TIM1）を使用して PWM 信号を生成し、モータと 図 199 で「インタフェースタイマ」と記されている別のタイマ TIMx（TIM2）を駆動することによって実現します。「インタフェースタイマ」は、XOR を通じて TI1 入力チャネル（TIMx_CR2 レジスタの TI1S ビットをセットすることで選択できます）に接続された 3 つのタイマ入力ピン（CC1、CC2、CC3）をキャプチャします。

スレーブモードコントローラはリセットモードに設定され、スレーブ入力は TI1F_ED です。したがって、3 つの入力のいずれかが反転するごとに、カウンタは 0 からカウントをリスタートします。これが、ホール入力の変化によってトリガされるタイムベースとなります。

「インタフェースタイマ」上で、キャプチャ／比較チャネル 1 がキャプチャモードで設定され、キャプチャ信号は TRC です（図 172：689 ページのキャプチャ／比較チャネル（例：チャネル 1 入力ステージ）を参照）。キャプチャされた値は、入力の 2 回の変化の間の経過時間に対応し、モータの速度情報を与えます。

「インタフェースタイマ」を出力モードで使用して、（COM イベントをトリガすることで）高機能制御タイマ（TIM1）のチャネルの設定を変更するパルスを生成することができます。TIM1 タイマは、モータを駆動する PWM 信号を生成するために使用されます。このためには、プログラミングした遅延の後に正パルスが生成されるように（出力比較モードまたは PWM モードで）インタフェースタイマチャネルをプログラミングする必要があります。このパルスは、TRGO 出力を通じて高機能制御タイマ（TIM1）に送られます。

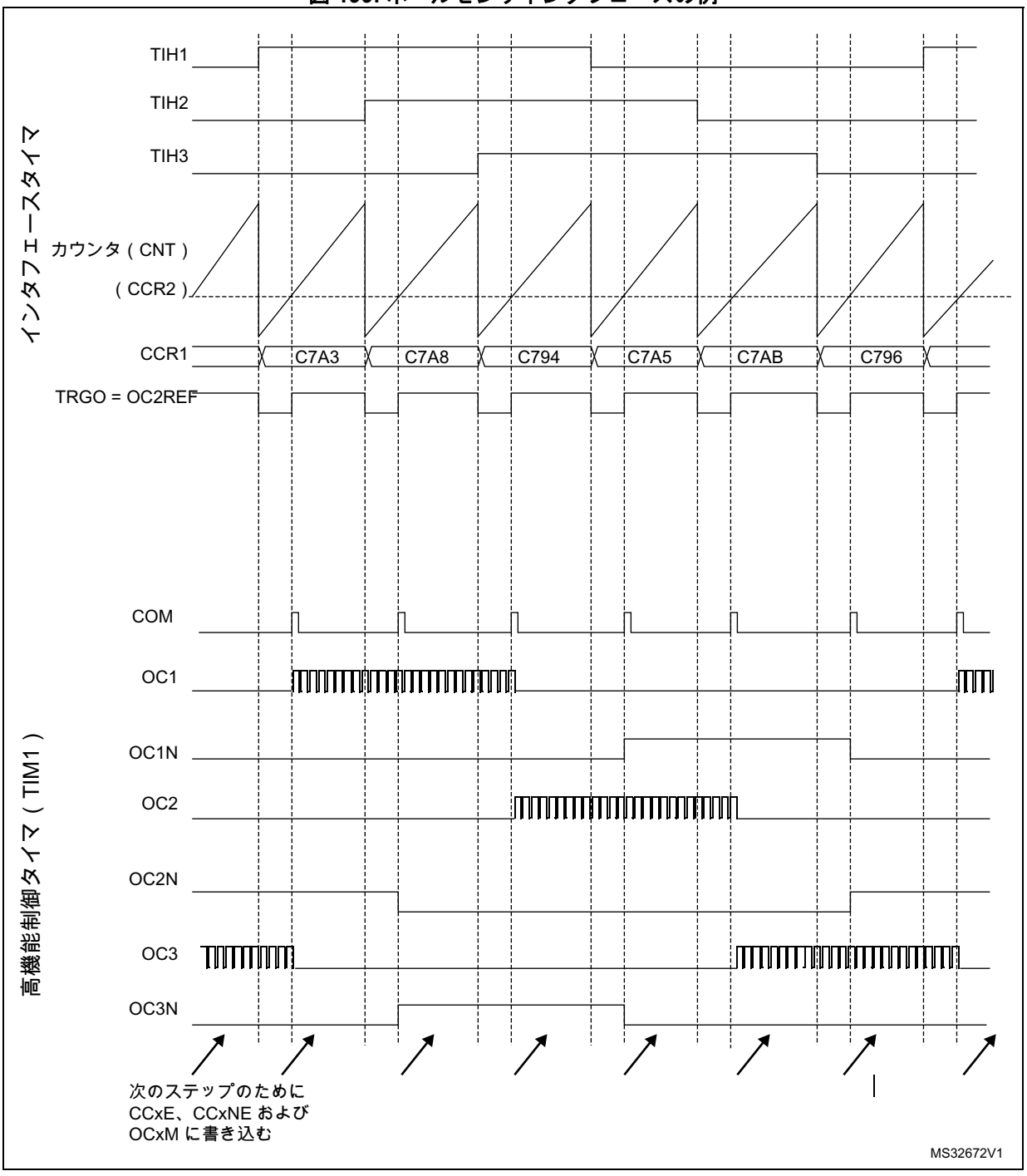
例：TIMx タイマの 1 つに接続されているホール入力が変化するたびに、プログラミングした遅延の後に高機能制御タイマ TIM1 の PWM 設定を変更するとします。

- 3 つのタイマ入力を TI1 入力チャネルに OR 接続します。このためには、TIMx_CR2 レジスタの TI1S ビットに“1”を書き込みます。
- タイムベースをプログラムします。このためには、TIMx_ARR に最大値を書き込み、TI1 の変化でカウンタがクリアされるようにします。最大カウンタ時間がセンサの 2 回の変化の間の時間より長くなるように、プリスケーラを設定します。
- チャネル 1 をキャプチャモード（TRC 選択）にプログラムします。すなわち、TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。必要な場合は、デジタルフィルタをプログラムすることもできます。
- チャネル 2 を PWM 2 モードにプログラミングし、希望の遅延を指定します。このためには、TIMx_CCMR1 レジスタの OC2M ビットに“111”を、CC2S ビットに“00”を書き込みます。
- TRGO 上のトリガ出力として OC2REF を選択します。このためには、TIMx_CR2 レジスタの MMS ビットに“101”を書き込みます。

高機能制御タイマ TIM1 で、トリガ入力として適切な ITR 入力を選択する必要があり、タイマが PWM 信号を生成するようにプログラミングし、キャプチャ /比較制御信号がプリロードされ（TIMx_CR2レジスタの CCPC=1）、COM イベントがトリガ入力によって制御されなければなりません（TIMx_CR2 レジスタの CCUS=1）。PWM 制御ビット（CCxE、OCxM）は、COM イベント後に次のステップのために書き込まれます（これは、OC2REF の立ち上がりエッジによって生成される割込みサブルーチンで行うことができます）。

図 199 に、この例を示します。

図 199. ホールセンサインタフェースの例



24.3.26 タイマの同期

タイマの同期や連携した動作のために、TIMx タイマを内部で相互リンクすることができます。詳細については、セクション 25.3.19：タイマの同期を参照してください。これらのタイマは、いくつかのモードで同期させることができます。そのモードは、リセットモード、ゲートモード、およびトリガモードです。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

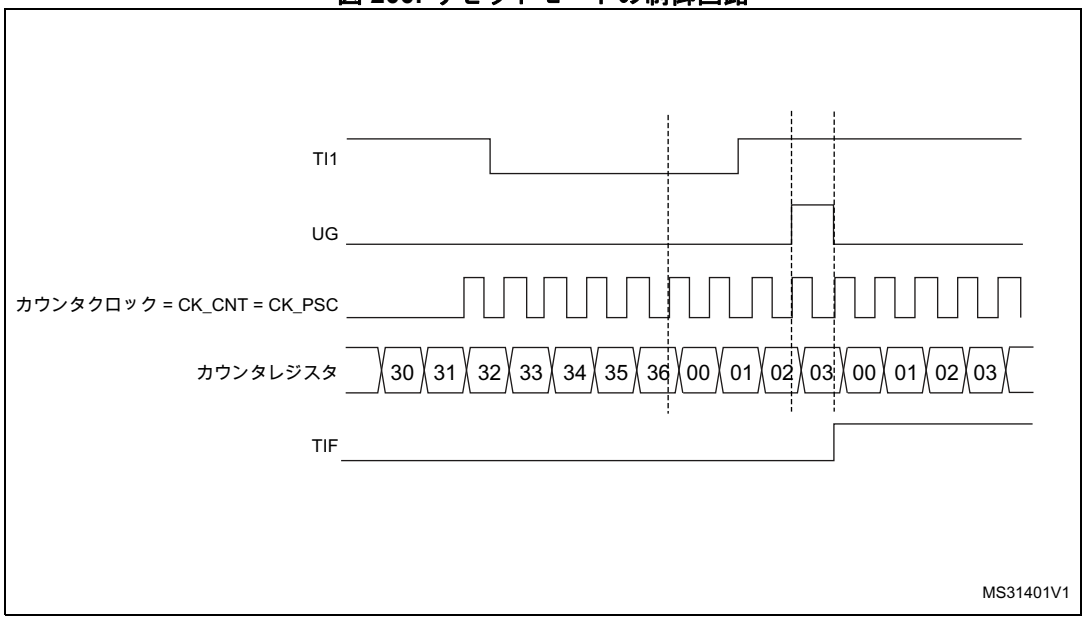
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

- TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタに CC1P= 0 と CC1NP = 0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
- TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、有効な場合は割込みリクエストまたは DMA リクエストを送信できます（TIMx_DIER レジスタの TIE および TDE ビットに依存）。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 200. リセットモードの制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

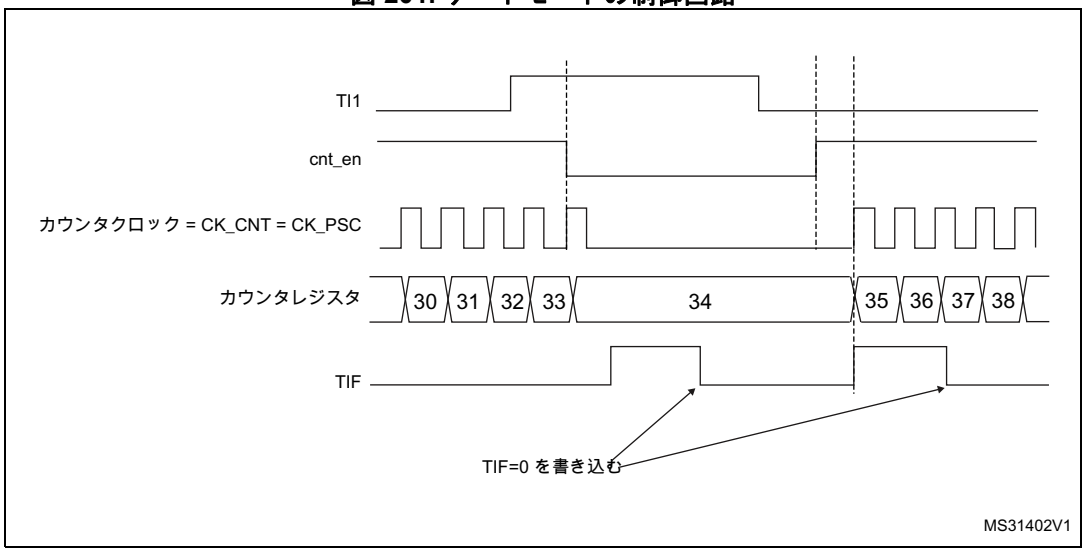
次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

- TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタでCC1P=1 と CC1NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
- TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
- TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 201. ゲートモードの制御回路



スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

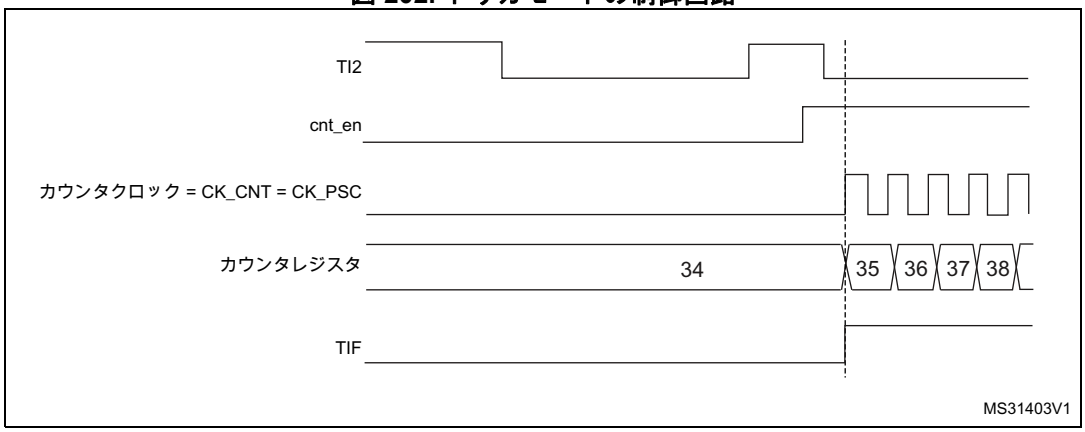
- TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは入力キャプチャソースのみを選択するように設定されます（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタで CC2P = 1 と CC2NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。

- TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 202. トリガモードの制御回路



スレーブモード：リセットモードとトリガモードの組み合わせ

この場合、選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

このモードはワンパルスモードで使用します。

スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、またはトリガモード）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

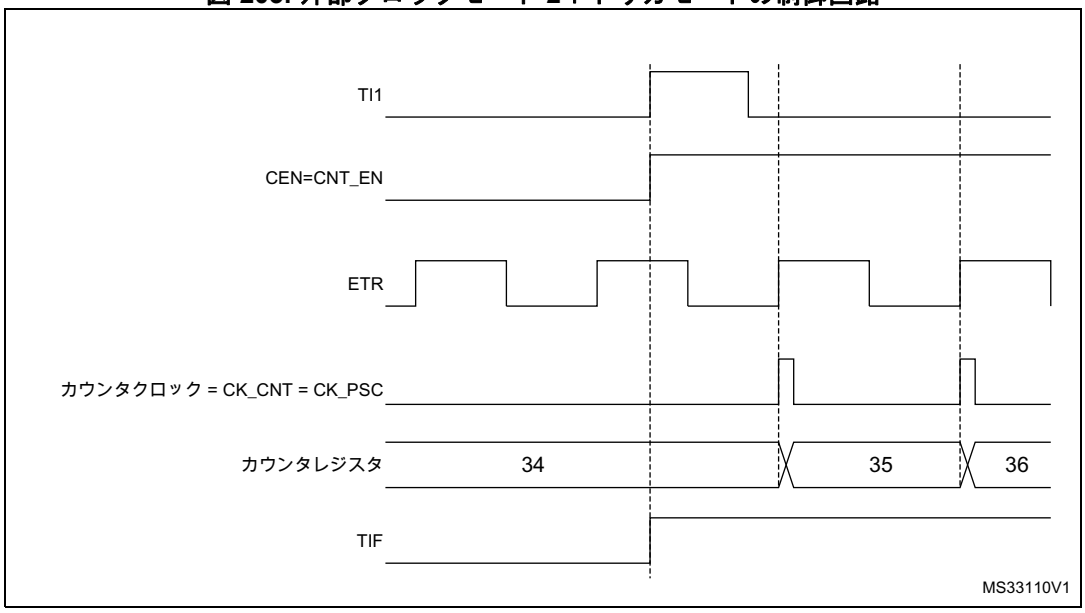
次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を構成します。
   – ETF = 0000：フィルタなし
   – ETPS = 00：プリスケーラは無効
   – ETP = 0：ETR の立ち上がりエッジを検出。ECE = 1 で外部クロックモード 2 を有効にする。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように構成します。
   – IC1F=0000：フィルタなし。
   – キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。
   – TIMx_CCMR1 レジスタの CC1S = 01 で、入力キャプチャソースのみを選択します。
   – TIMx_CCER レジスタの CC1P = 0 と CC1NP = 0 で、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 203. 外部クロックモード 2＋トリガモードの制御回路



注： **TRGO または TRGO2 の信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケーラ）を動作中に変更しないでください。**

24.3.27 ADC の同期

タイマでは、リセットイベント、イネーブルイベント、比較イベントなどのさまざまな内部信号でADCトリガイベントを生成できます。以下のような内部エッジ検出から発行されたパルスを生成することもできます。

- OC4ref の立ち上がりおよび立ち下がりエッジ
- OC5ref の立ち上がりエッジまたは OC6ref の立ち下がりエッジ

トリガは、ADC にリダイレクトされる TRGO2 内部ラインで発行されます。使用できるイベントは全部で 16 個あり、TIMx_CR2 レジスタの MMS2[3:0] ビットを使用して選択できます。

3 相モータ駆動のアプリケーションの例については、701 ページの図 183 を参照してください。

注： **TRGO または TRGO2 の信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケーラ）を動作中に変更しないでください。**

注： **ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間は動作中に変更しないでください。**

24.3.28 DMA バーストモード

TIMx タイマには、1 つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、タイマの一部をソフトウェアのオーバヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト（バースト）を開始します。TIMx_DMAR レジスタへの各書込みは、実際にタイマレジスタの 1 つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します。つまり、転送数（ハーフワード単位またはバイト単位）を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し／書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します（x = 2、3、4）。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャネルを次のように設定します。
   – DMA チャネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
   – DMA チャネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
   – 転送データ数 = 3 とします（下の注を参照）。
   – サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
   DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします（DIER レジスタのUDE ビットをセット）。
4. TIMx を有効化
5. DMA チャネルを有効化注：

この例は、各CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注： **null 値を予約済みレジスタに書き込むことができます。**

24.3.29 デバッグモード

システムがデバッグモードになると（プロセッサコアは停止状態）、TIMx カウンタは、DBGMCU モジュールの DBG_TIM1_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。

安全のため、カウンタが停止すると、出力は無効になります（MOE ビットのリセット時と同じ）。通常強制的にハイインピーダンスにするために、出力を強制的にインアクティブ状態にするか（OSSI ビット = 1）、GPIO コントローラで制御することができます（OSSI ビット = 0）。

詳細については、デバッグサポート（DBG）のセクションを参照してください。

24.4 TIM1 レジスタ

レジスタの説明で使用されている略語のリストを参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

24.4.1 TIM1 制御レジスタ 1（TIM1_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP**：UIF ステータスビットの再配置

0：再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。
1：再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイムジェネレータとデジタルフィルタ（ETR、TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS}=t_{CK_INT}$
01：$t_{DTS}=2*t_{CK_INT}$
10：$t_{DTS}=4*t_{CK_INT}$
11：予約済み - この値をプログラミングしないでください。

注： $t_{DTS} = 1/f_{DTS}$、$t_{CK_INT} = 1/f_{CK_INT}$。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモードカウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。
01：センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントダウンしているときのみセットされます。
10：センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントアップしているときのみセットされます。
11：センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注： カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット／クリアされます。

0：次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

– カウンタオーバーフロー／アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー／アンダーフローのみが更新割込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー／アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

24.4.2 TIM1 制御レジスタ 2（TIM1_CR2）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2 [3:0]				Res.	OIS6	Res.	OIS5
								rw	rw	rw	rw		rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **MMS2[3:0]**：マスタモード選択 2

これらのビットにより、選択される同期（TRGO2）について、ADC に情報を送信できるようになります。組み合わせは、次のとおりです。

0000：**リセット**- TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO2）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO2 信号は実際のリセットより遅延します。

0001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO2）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理積（AND）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ／スレーブモードが選択されている場合を除き、TRGO2 には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

0010：**更新** - 更新イベントがトリガ出力（TRGO2）として使用されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

0011：**パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します（TRGO2）。

0100：**比較** - OC1REFC 信号がトリガ出力（TRGO2）として使用されます。

0101：**比較** - OC2REFC 信号がトリガ出力（TRGO2）として使用されます。

0110：**比較** - OC3REFC 信号がトリガ出力（TRGO2）として使用されます。

0111：**比較** - OC4REFC 信号がトリガ出力（TRGO2）として使用されます。

1000：**比較** - OC5REFC 信号がトリガ出力（TRGO2）として使用されます。

1001：**比較** - OC6REFC 信号がトリガ出力（TRGO2）として使用されます。

1010：**パルス比較** - OC4REFC の立ち上がりエッジまたは立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1011：**パルス比較** - OC6REFC の立ち上がりエッジまたは立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1100：**パルス比較** - OC4REFC または OC6REFC の立ち上がりエッジによって、TRGO2 にパルスが生成されます。

1101：**パルス比較** - OC4REFC の立ち上がりエッジまたは OC6REFC の立ち下がりエッジによって、TRGO2 にパルスが生成されます。

1110：**パルス比較** - OC5REFC または OC6REFC の立ち上がりエッジによって、TRGO2 にパルスが生成されます。

1111：**パルス比較** - OC5REFC の立ち上がりエッジまたは OC6REFC の立ち下がりエッジによって、TRGO2 にパルスが生成されます。

注： スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **OIS6**：出力アイドル状態 6（OC6 出力）
OIS1 ビットの説明を参照してください。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **OIS5**：出力アイドル状態 5（OC5 出力）
OIS1 ビットの説明を参照してください。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **OIS4**：出力アイドル状態 4（OC4 出力）
OIS1 ビットの説明を参照してください。

ビット 13 **OIS3N**：出力アイドル状態 3（OC3N 出力）
OIS1N ビットの説明を参照してください。

ビット 12 **OIS3**：出力アイドル状態 3（OC3 出力）
OIS1 ビットの説明を参照してください。

ビット 11 **OIS2N**：出力アイドル状態 2（OC2N 出力）
OIS1N ビットの説明を参照してください。

ビット 10 **OIS2**：出力アイドル状態 2（OC2 出力）
OIS1 ビットの説明を参照してください。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）
0：MOE=0 のとき、デッドタイム後に OC1N=0
1：MOE=1 のとき、デッドタイム後に OC1N=0
注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）
0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）
1：MOE=1 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）
注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 7 **TI1S**：TI1 選択
0：TIMx_CH1 ピンが TI1 入力に接続されます。
1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットにより、選択された情報を同期のためにマスタモードでスレーブタイマに送信することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット**- TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（AND）によって生成されます。カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ／スレーブモードが選択されている場合を除き、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します（TRGO）。

100：**比較** - OC1REFC 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REFC 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REFC 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REFC 信号がトリガ出力（TRGO）として使用されます。

注： スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 3 **CCDS**：キャプチャ／比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。

1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI の立ち上がりエッジで更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0：CCxE、CCxNE、および OCxM ビットはプリロードされません。

1：CCxE、CCxNE、および OCxM ビットがプリロードされます。書込みの後、これらのビットは、転流イベント（COM）が発生したときにのみ更新されます（CCUS ビットに応じて、COMG ビットがセットまたは TRGI で立ち上がりエッジが検出されたとき）。

注： このビットは、相補出力を持つチャネルでのみ機能します。

24.4.3 TIM1 スレーブモード制御レジスタ（TIM1_SMCR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブです。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0 :外部クロックモード 2 は無効です。

1 :外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります（SMS=111、TS=00111）。

外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 00111 でないことが必要）。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力はETRF です。

ビット 13:12 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、最大でも f_{CK_INT} 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、f_{DTS} でサンプリング
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N = 6
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

ビット 7 **MSM**：マスタ/スレーブモード

0：影響なし。
1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 21、20、6、5、4 **TS[4:0]**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

00000：内部トリガ 0（ITR0）
00001：内部トリガ 1（ITR1）
00010：内部トリガ 2（ITR2）
00011：内部トリガ 3（ITR3）
00100：TI1 エッジ検出回路（TI1F_ED）
00101：フィルタタイマ入力 1（TI1FP1）
00110：フィルタタイマ入力 2（TI2FP2）
00111：外部トリガ入力（ETRF）
その他：予約済みです。

各タイマでの ITRx の詳細については、表 161：734 ページのTIM1 内部トリガ接続を参照してください。

注： 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 **OCCS**：OCREF クリア選択

このビットは、OCREF クリアソースを選択するために使用されます。

0：OCREF_CLR_INT は、OCREF_CLR 入力に接続されています。
1：OCREF_CLR_INT は、ETRF に接続されています。

ビット 16、2、1、0 **SMS[3:0]**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

0000：スレーブモードは無効です。CEN =“1”の場合、プリスケーラは内部クロックによって直接クロック供給されます。

0001：エンコーダモード 1 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ／ダウンします。

0010：エンコーダモード 2 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ／ダウンします。

0011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

0100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

0101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

0110：トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

0111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

1000：リセットモードとトリガモードの組み合わせ - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成してカウンタを開始します。

1000 以上のコード：予約済み。

注： トリガ入力として TI1F_ED が選択されている場合（TS=00100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

注： TRGO または TRGO2 の信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケーラ）を動作中に変更しないでください。

表 161. TIM1 内部トリガ接続

スレーブ TIM	ITR0 (TS = 00000)	ITR1 (TS = 00001)	ITR2 (TS = 00010)	ITR3 (TS = 00011)
TIM1	-	TIM2	-	TIM17：OC1

24.4.4 TIM1 DMA／割込み有効レジスタ（TIM1_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **TDE**：トリガ DMA リクエストイネーブル

0：トリガ DMA リクエストは無効です。

1：トリガ DMA リクエストは有効です。

ビット 13 **COMDE**：COM DMA リクエストイネーブル

0：COM DMA リクエストは無効です。

1：COM DMA リクエストは有効です。

ビット 12 **CC4DE**：キャプチャ／比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11 **CC3DE**：キャプチャ／比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10 **CC2DE**：キャプチャ／比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9 **CC1DE**：キャプチャ／比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8 **UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7 **BIE**：ブレーク割込みイネーブル
0：ブレーク割込みは無効です。
1：ブレーク割込みは有効です。

ビット 6 **TIE**：トリガ割込みイネーブル
0：トリガ割込みは無効です。
1：トリガ割込みは有効です。

ビット 5 **COMIE**：COM 割込み有効
0：COM 割込み無効
1：COM 割込み有効

ビット 4 **CC4IE**：キャプチャ／比較 4 割込みイネーブル
0：CC4 割込みは無効です。
1：CC4 割込みは有効です。

ビット 3 **CC3IE**：キャプチャ／比較 3 割込みイネーブル
0：CC3 割込みは無効です。
1：CC3 割込みは有効です。

ビット 2 **CC2IE**：キャプチャ／比較 2 割込みイネーブル
0：CC2 割込みは無効です。
1：CC2 割込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割込みイネーブル
0：CC1 割込みは無効です。
1：CC1 割込みは有効です。

ビット 0 **UIE**：更新割込みイネーブル
0：更新割込みは無効です。
1：更新割込みは有効です。

24.4.5 TIM1 ステータスレジスタ（TIM1_SR）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF
														rc_w0	rc_w0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SBIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CC6IF**：比較 6 割込みフラグ

CC1IF の説明を参照してください。（注：チャネル 6 は出力としてのみ設定できます。）

ビット 16 **CC5IF**：比較 5 割込みフラグ

CC1IF の説明を参照してください。（注：チャネル 5 は出力としてのみ設定できます。）

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **SBIF**：システムブレーク割込みフラグ

このフラグは、システムブレーク入力がアクティブになると、ハードウェアによってセットされます。システムブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

PWM 動作をリスタートするには、このフラグをリセットする必要があります。

0 : ブレークイベントは発生していません。

1 : システムブレーク入力でアクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 12 **CC4OF**：キャプチャ／比較 4 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ／比較 3 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ

CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。

0 : オーバーキャプチャは検出されていません。

1 : CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 **B2IF**：ブレーク 2 割込みフラグ

このフラグは、ブレーク 2 入力がアクティブになると、ハードウェアによってセットされます。ブレーク 2 入力がアクティブでない場合、ソフトウェアによってクリアできます。

0 : ブレークイベントは発生していません。

1 : ブレーク 2 入力でアクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 7 **BIF**：ブレーク割込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。

0 : ブレークイベントは発生していません。

1 : ブレーク入力でアクティブレベルが検出されました。TIMx_DIER レジスタの BIE=1 の場合、割込みが生成されます。

ビット 6 **TIF**：トリガ割込みフラグ

このフラグは、TRG トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。

0：トリガイベントは発生していません。

1：トリガ割込みが保留中です。

ビット 5 **COMIF**：COM 割込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。

0：COM イベントは発生していません。

1：COM 割込みがペンディング中です。

ビット 4 **CC4IF**：キャプチャ／比較 4 割込みフラグ

CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ／比較 3 割込みフラグ

CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ／比較 2 割込みフラグ

CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割込みフラグ

このフラグはハードウェアによってセットされます。ソフトウェアによって（入力キャプチャモードまたは出力比較モード）、または TIMx_CCR1 レジスタを読み出すことによって（入力キャプチャモードのみ）クリアされます。

0：比較一致／入力キャプチャは発生していません。

1：比較一致または入力キャプチャが発生しました。

チャネル CC1 が出力として設定されている場合：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ／ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。

CC1 チャネルが入力として設定されている場合：このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた（TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された）ときに設定されます。

ビット 0 **UIF**：更新割込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

–繰り返しカウンタ値に関するオーバーフローまたはアンダーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

–TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（セクション 24.4.3：TIM1 スレーブモード制御レジスタ（TIM1_SMCR）を参照）。

24.4.6 TIM1イベント生成レジスタ（TIM1_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
							w	w	w	w	w	w	w	w	w

ビット 15:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **B2G**：ブレーク 2 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 :影響なし。

1 :ブレーク 2 イベントが生成されます。MOE ビットがクリアされ、B2IF フラグがセットされます。有効な場合は、関連する割込みが発生します。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 :影響なし。

1 :ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0 :影響なし。

1 :TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1 : CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4 **CC4G**：キャプチャ /比較 4 イベント生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ /比較 3 イベント生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ /比較 2 イベント生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

CC1 チャネルが出力として設定されている場合：

CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。

CC1 チャネルが入力として設定されている場合：

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラの内部カウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。そうでない場合、DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

24.4.7 TIM1 キャプチャ／比較モードレジスタ 1（TIM1_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを入力キャプチャモード（このセクション）または出力比較モード（次のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます（例：入力キャプチャモードでのチャネル 1 と出力比較モードでのチャネル 2）。

入力キャプチャモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F [3:0]				IC2PSC [1:0]		CC2S [1:0]		IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC2F[3:0]**：入力キャプチャ 2 フィルタ

IC1F[3:0] の説明を参照してください。

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

IC1PSC[1:0] の説明を参照してください。

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書込み可能です。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、f_{DTS} でサンプリング
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N = 6
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E = 0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11 : CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

24.4.8 TIM1 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM1_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを出力比較モード（このセクション）または入力キャプチャモード（前のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます（例：入力キャプチャモードでのチャネル 1 と出力比較モードでのチャネル 2）。

出力比較モード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 CE	OC2M [2:0]			OC2 PE	OC2 FE	CC2S [1:0]		OC1 CE	OC1M [2:0]			OC1 PE	OC1 FE	CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC2CE：**出力比較 2 クリアイネーブル
OC1CE の説明を参照してください。

ビット 24、14:12 **OC2M[3:0]**：出力比較 2 モード
OC1M[3:0] の説明を参照してください。

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル
OC1PE の説明を参照してください。

ビット 10 **OC2FE**：出力比較 2 高速イネーブル
OC1FE の説明を参照してください。

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択
このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC2 チャネルは出力として設定されます。
01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。
10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。
11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書込み可能です。

ビット 7 **OC1CE：**出力比較 1 クリアイネーブル
0：OC1Ref は ocref_clr_int の影響を受けません。
1：OC1Ref は ocref_clr_int のハイレベルが検出されるとクリアされます（OCREF_CLR 入力または ETRF 入力）。

ビット 16、6:4 **OC1M[3:0]**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。このモードは、タイマをソフトウェアのタイムベースとして使用する場合に使用できます。タイマ動作中に停止モードが有効になると、出力は停止状態になる前の状態（アクティブまたはインアクティブ）を維持します。

0001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

0010：一致時にチャネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

0011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100：強制非アクティブレベル - OC1REF は強制的にローになります。

0101：強制アクティブレベル - OC1REF は強制的にハイになります。

0110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT> TIMx_CCR1　の場合はインアクティブ（OC1REF=“0”）に、そうでない場合はアクティブ（OC1REF=“1”）になります。

0111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合は非アクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT> TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。

1000：再トリガ可能 OPM モード 1 - アップカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはインアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びインアクティブになります。

1001：再トリガ可能な OPM モード 2 - アップカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはインアクティブです。その後、PWM モード 2 と同様に比較が行われ、チャネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びアクティブになります。

1010：予約済み。

1011：予約済み。

1100：組み合わせ PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 OR です。

1101：組み合わせ PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 AND です。

1110：非対称 PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

1111：非対称 PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

注：　これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCKビット）、かつ CC1S=“00”（チャネルは出力に設定）のときには、変更できません。

注：　PWM モードでは、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

注：　相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタのCCPC ビットがセットされた場合、OC1M アクティブビットは、COM が生成されたときにのみプリロードから新しい値をとります。

注：　OC1M [3] ビットは隣接しておらず、ビット 16 にあります。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0 :TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書込み可能であり、新しい値はただちに有効になります。

1 :TIMx_CCR1　のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注：　これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、かつ CC1S="00"（チャネルは出力に設定）のときには、変更できません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード（TIMx_CR1 レジスタの OPM ビットのセット）で使用する必要があります。

0 :CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1 :トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。

11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注：　CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

24.4.9 TIM1 キャプチャ／比較モードレジスタ 2（TIM1_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

同じレジスタを入力キャプチャモード（このセクション）または出力比較モード（次のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます（例：入力キャプチャモードでのチャネル 1 と出力比較モードでのチャネル 2）。

入力キャプチャモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F [3:0]				IC4PSC [1:0]		CC4S [1:0]		IC3F [3:0]				IC3PSC [1:0]		CC3S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16　予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC4F[3:0]**：入力キャプチャ 4 フィルタ

IC1F[3:0] の説明を参照してください。

ビット 11:10 **IC4PSC[1:0]**：入力キャプチャ 4 プリスケーラ
IC1PSC[1:0] の説明を参照してください。

ビット 9:8 **CC4S[1:0]**：キャプチャ／比較 4 選択
このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書込み可能です。

ビット 7:4 **IC3F[3:0]**：入力キャプチャ 3 フィルタ
IC1F[3:0] の説明を参照してください。

ビット 3:2 **IC3PSC[1:0]**：入力キャプチャ 3 プリスケーラ
IC1PSC[1:0] の説明を参照してください。

ビット 1:0 **CC3S[1:0]**：キャプチャ／比較 3 選択
このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書込み可能です。

24.4.10 TIM1 キャプチャ／比較モードレジスタ 2 [オルタネート]（TIM1_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

同じレジスタを出力比較モード（このセクション）または入力キャプチャモード（前のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力キャプチャモードと出力比較モードで異なる機能を持ちます。両方のモードを個別に組み合わせることができます（例：入力キャプチャモードでのチャネル 1 と出力比較モードでのチャネル 2）。

出力比較モード

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M [2:0]			OC4 PE	OC4 FE	CC4S [1:0]		OC3 CE	OC3M [2:0]			OC3 PE	OC3 FE	CC3S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC4CE**：出力比較 4 クリアイネーブル
OC1CE の説明を参照してください。

ビット 24、14:12 **OC4M[3:0]**：出力比較 4 モード
OC3M[3:0] の説明を参照してください。

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル
OC1PE の説明を参照してください。

ビット 10 **OC4FE**：出力比較 4 高速イネーブル
OC1FE の説明を参照してください。

ビット 9:8 **CC4S[1:0]**：キャプチャ／比較 4 選択
このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC4 チャネルは出力として設定されます。
01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。
10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。
11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書込み可能です。

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル
OC1CE の説明を参照してください。

ビット 16、6:4 **OC3M[3:0]**：出力比較 3 モード
OC1M[3:0] の説明を参照してください。

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル
OC1PE の説明を参照してください。

ビット 2 **OC3FE**：出力比較 3 高速イネーブル
OC1FE の説明を参照してください。

ビット 1:0 **CC3S[1:0]**：キャプチャ／比較 3 選択
このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC3 チャネルは出力として設定されます。
01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。
10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。
11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書込み可能です。

24.4.11 TIM1 キャプチャ／比較有効レジスタ（TIM1_CCER）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6P	CC6E	Res.	Res.	CC5P	CC5E
										rw	rw			rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **CC6P**：キャプチャ／比較 6 出力極性
CC1P の説明を参照してください。

ビット 20 **CC6E**：キャプチャ／比較 6 出力イネーブル
CC1E の説明を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CC5P**：キャプチャ／比較 5 出力極性
CC1P の説明を参照してください。

ビット 16 **CC5E**：キャプチャ／比較 5 出力イネーブル
CC1E の説明を参照してください。

ビット 15 **CC4NP**：キャプチャ／比較 4 相補出力極性
CC1NP の説明を参照してください。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CC4P**：キャプチャ／比較 4 出力極性
CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ／比較 4 出力イネーブル
CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ／比較 3 相補出力極性
CC1NP の説明を参照してください。

ビット 10 **CC3NE**：キャプチャ /比較 3 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 9 **CC3P**：キャプチャ／比較 3 出力極性
CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ／比較 3 出力イネーブル
CC1E の説明を参照してください。

ビット 7 **CC2NP**：キャプチャ／比較 2 相補出力極性
CC1NP の説明を参照してください。

ビット 6 **CC2NE**：キャプチャ /比較 2 相補出力イネーブル
CC1NE の説明を参照してください。

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル
CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ／比較 1 相補出力極性
CC1 チャネルが出力として設定されている場合：
0：OC1N はアクティブハイです。
1：OC1N はアクティブローです。
CC1 チャネルが入力として設定されている場合：
このビットは、TI1FP1とTI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CC1P の説明を参照してください。

注： このビットは、LOCK レベル 2 または 3 がプログラムされ、（TIMx_BDTR レジスタの LOCK ビット）、かつ CC1S=“00”（チャネルは出力として設定）になった直後は書込みできません。

相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0 :オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1E ビットによって決まります。

1 :オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットにより、対応する出力ピンに出力されます。

相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NE アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性

0：OC1 のアクティブハイ（出力モード）／エッジ感度を選択（入力モード、下記を参照）

1：OC1 のアクティブロー（出力モード）／エッジ感度を選択（入力モード、下記を参照）

CC1 チャネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。

CC1NP=0、CC1P=0： 非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードまたはエンコーダモードでのトリガ動作）。

CC1NP=0、CC1P=1： 反転／立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されます（ゲートモードまたはエンコーダモードでのトリガ動作）。

CC1NP=1、CC1P=1： 非反転／両エッジ／この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードでのトリガ動作）。この設定をエンコーダモードで使用することはできません。

CC1NP=1、CC1P=0 :この設定は予約済みです。使用できません。

注： このビットは、LOCK レベル 2 または 3 がプログラムされた直後は書込みできません（TIMx_BDTR レジスタの LOCK ビット）。

相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル

0：キャプチャモードは無効／OC1 は非アクティブ（下記を参照）。

1：キャプチャモードは有効／OC1 信号は、対応する出力ピンに出力されます。

CC1 チャネルが出力として設定されている場合、OC1 レベルは、CC1E ビットの状態にかかわらず、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに依存します。詳細については、表 162 を参照してください。

注： 相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1E アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

表 162. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット

制御ビット					出力状態(1)	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	X	0	0	出力無効（タイマによって駆動されない：ハイインピーダンス） OCx=0、OCxN=0	
		0	0	1	出力無効(タイマによって駆動されない：ハイインピーダンス) OCx=0	OCxREF + 極性 OCxN = OCxREF xor CCxNP
		0	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP	出力無効（タイマによって駆動されない：ハイインピーダンス） OCxN=0
		X	1	1	OCREF + 極性 + デッドタイム	OCREF に対する相補(OCREF ではなく）+ 極性 + デッドタイム
		1	0	1	オフ状態(インアクティブ状態で出力有効) OCx=CCxP	OCxREF + 極性 OCxN = OCxREF xor CCxNP
		1	1	0	OCxREF + 極性 OCx=OCxREF xor CCxP	オフ状態（インアクティブ状態で出力有効） OCxN=CCxNP
0	0	X	X	X	出力無効（タイマによって駆動されない：ハイインピーダンス)。	
	1		0	0		
			0	1	オフ状態（インアクティブ状態で出力有効） 非同期：OCx=CCxP、OCxN=CCxNP（BRK または BRK2 がトリガされた場合）	
			1	0		
			1	1	クロックがある場合（これは BRK がトリガされている場合にのみ有効)：アクティブな状態で OISx と OISxN が OCx と OCxN にそれぞれ対応しないとみなされる場合（ハーフブリッジ設定でスイッチを駆動した場合に短絡の原因となる）、デッドタイム後に OCx=OISx および OCxN=OISxN となります。 **注**：BRK2 は OSSI = OSSR = 1 の場合にのみ使用できます。	

1. チャネルの両方の出力が使用されないとき（GPIO が制御を引き継いだ場合）、OISx、OISxN、CCxP、および CCxNP はクリアされたままでなければなりません。

注： **相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OCx および OCxN チャネルの状態と、GPIO レジスタに依存します。**

24.4.12 TIM1 カウンタ (TIM1_CNT)

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **UIFCPY**：UIF コピー

このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー。TIMxCR1 の UIFREMAP ビットがリセットされると、ビット 31 は予約済みで、0 で読み出されます。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]**：カウンタ値

24.4.13 TIM1 プリスケーラ (TIM1_PSC)

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数（CK_CNT）は f_{CK_PSC} / (PSC[15:0] + 1) に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

24.4.14 TIM1 自動再ロードレジスタ（TIM1_ARR）

アドレスオフセット：0x2C

リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、セクション 24.3.1 : 669 ページのタイムベースユニットを参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

24.4.15 TIM1 繰り返しカウンタレジスタ（TIM1_RCR）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **REP[15:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの周期的な転送）と、割込みが有効な場合の更新割込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書込みは、次の繰り返し更新イベントまで有効になりません。

PWM モードでは、（REP+1）は次のことを意味します。

エッジアラインモードでは、PWM 周期の数

センターアラインモードでは、PWM の 1/2 周期の数

24.4.16 TIM1 キャプチャ／比較レジスタ 1（TIM1_CCR1）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ／比較 1 値

CC1 チャネルが出力として設定されている場合：CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合：CR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。TIMx_CCR1 レジスタは読出し専用レジスタで、プログラムできません。

24.4.17 TIM1 キャプチャ／比較レジスタ 2（TIM1_CCR2）

アドレスオフセット：0x38

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR2[15:0]**：キャプチャ／比較 2 値

CC2 チャネルが出力として設定されている場合：CCR2 は、実際のキャプチャ／比較 2 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 2 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC2 出力に送信される値を含みます。

CC2 チャネルが入力として設定されている場合：CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。TIMx_CCR2 レジスタは読出し専用レジスタで、プログラムできません。

24.4.18 TIM1 キャプチャ／比較レジスタ 3（TIM1_CCR3）

アドレスオフセット：0x3C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR3[15:0]**：キャプチャ /比較値

CC3 チャネルが出力として設定されている場合：CCR3 は、実際のキャプチャ／比較 3 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 3 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。

CC3 チャネルが入力として設定されている場合：CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。TIMx_CCR3 レジスタは読出し専用レジスタで、プログラムできません。

24.4.19 TIM1 キャプチャ／比較レジスタ 4（TIM1_CCR4）

アドレスオフセット：0x40

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR4[15:0]**：キャプチャ /比較値

CC4 チャネルが出力として設定されている場合：CCR4 は、実際のキャプチャ／比較 4 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR2 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 4 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。

CC4 チャネルが入力として設定されている場合：CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。TIMx_CCR4 レジスタは読出し専用レジスタで、プログラムできません。

24.4.20 TIM1 ブレークおよびデッドタイムレジスタ（TIM1_BDTR）

アドレスオフセット：0x44

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	BK2BID	BKBID	BK2 DSRM	BK DSRM	BK2P	BK2E	BK2F [3:0]				BKF[3:0]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： **ビット BK2BID、BKBID、BK2DSRM、BKDSRM、BK2P、BK2E、BK2F[3:0]、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] は、LOCK 設定に応じて書込みがロックされるので、TIMx_BDTR レジスタへの最初の書込みアクセス時に、これらすべてを設定しなければならないことがあります。**

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **BK2BID**：ブレーク 2 双方向

BKBID の説明を参照してください

ビット 28 **BKBID**：ブレーク双方向

0：ブレーク入力 BRK は入力モードです。

1：ブレーク入力 BRK は双方向モードです。

双方向モード（BKBID ビットが 1 にセット）では、ブレーク入力が入力モードとオープンドレイン出力モード両方で設定されます。アクティブなブレークイベントで、ブレーク入力の低ロジックレベルをアサートし、外部デバイスに対する内部ブレークイベントを表します。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 27 **BK2DSRM**：ブレーク 2 解除

BKDSRM の説明を参照してください

ビット 26 **BKDSRM**：ブレーク解除

0：ブレーク入力 BRK が設定されます。

1：ブレーク入力 BRK は解除されます。

このビットは、アクティブなブレークソースがない場合、ハードウェアによってクリアされます。

BKDSRM ビットは、双方向出力制御（ハイインピーダンス状態でのオープンドレイン出力）を解放するためにソフトウェアでセットしてから、ハードウェアによってリセットされ、障害状態がなくなったことを示すまでポーリングする必要があります

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 25 **BK2P**：ブレーク 2 極性

0：ブレーク入力 BRK2 はアクティブローです。

1：ブレーク入力 BRK2 はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 24 **BK2E**：ブレーク 2 イネーブル

注： は OSSR = OSSI = 1 の場合にのみ使用してください。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 23:20 **BK2F[3:0]**：ブレーク 2 フィルタ

このビットフィールドは、BRK2 入力をサンプリングする周波数と、BRK2 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、BRK2 は非同期として動作します。
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N = 6
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 19:16 **BKF[3:0]**：ブレークフィルタ

このビットフィールドは、BRK 入力をサンプリングする周波数と、BRK に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、BRK は非同期として動作します。
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N = 6
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力の 1 つがアクティブになると、ハードウェアによって非同期にクリアされます（BRK または BRK2）。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。

0 : ブレーク 2 イベントへの対応。OC および OCN 出力は無効です。
ブレークイベントへの対応、または MOE が 0 に書き込まれた場合 : OC および OCN 出力が無効か、OSSI ビットによって強制的にアイドル状態になります。

1 : OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。

詳細については、OC/OCN イネーブルの説明を参照してください（セクション 24.4.11 : TIM1 キャプチャ／比較有効レジスタ（TIM1_CCER））。

ビット 14 **AOE**：自動出力イネーブル

0 : MOE はソフトウェアによってのみセットできます。

1 : MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットできます（ブレーク入力 BRK および BRK2 のいずれもがアクティブでない場合）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

このビットは、完全なブレーク保護を有効にします（図 187 : ブレークおよびブレーク 2 回路の概要のように bk_acth および BKIN ソースにそれぞれ接続されたすべてのソースを含む）。

0：ブレーク機能は無効です。

1：ブレーク機能は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください（セクション 24.4.11 : TIM1 キャプチャ／比較有効レジスタ（TIM1_CCER））。

0 : インアクティブのとき、OC/OCN 出力は無効です（タイマは出力の制御を解除し、ハイインピーダンス状態を強制する GPIO ロジックによって引き継がれます）。

1 : インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、インアクティブレベルで有効になります（出力は引き続きタイマで制御される）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルでのブレークイベントやソフトウェアの書込みによって使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください（セクション 24.4.11：TIM1 キャプチャ／比較有効レジスタ（TIM1_CCER））。

0：インアクティブのとき、OC/OCN 出力は無効です（タイマは出力の制御を解除し、ハイインピーダンス状態を強制する GPIO ロジックによって引き継がれます）。

1：インアクティブのとき、OC/OCN 出力はまず強制的にインアクティブレベルにされ、次にデッドタイム後に強制的にアイドルレベルにされます。タイマは出力の制御を保持します。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書込み保護を提供します。

00：LOCK オフ － どのビットも書込み保護されません。

01：LOCK レベル 1 － TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BK2BID、BKBID、BK2DSRM、BKDSRM、BK2P、BK2E、BK2F[3:0]、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] ビットは、書込みができなくなります。

10：LOCK レベル 2 － LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCER レジスタの CCxP/CCxNP ビット）と OSSR および OSSI ビットも書き込めなくなります。

11：LOCK レベル 3 － LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）が書き込めなくなります。

注： LOCK ビットは、リセット後に一度だけ書込みができます。いったん TIMx_BDTR レジスタに書込みが行われると、その内容は次のリセットまで停止されます。

ビット 7:0 **DTG[7:0]**：デッドタイムジェネレータのセットアップ

これらのビットでは、相補出力の間に挿入されるデッドタイムの長さを指定します。デッドタイムの時間（DT）は、次の式で与えられます。

DTG[7:5] = 0xx => DT = DTG[7:0] x t_{DTG}、ここで $t_{DTG} = t_{DTS}$。

DTG[7:5] = 10x => DT = (64 + DTG[5:0]) x t_{DTG}、ここで $t_{DTG} = 2 \times t_{DTS}$。

DTG[7:5] = 110 => DT = (32 + DTG[4:0]) x t_{DTG}、ここで $t_{DTG} = 8 \times t_{DTS}$。

DTG[7:5] = 111 => DT = (32 + DTG[4:0]) x t_{DTG}、ここで $t_{DTG} = 16 \times t_{DTS}$。

例：t_{DTS} = 125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。

0 から 15875 ns（125 ns 単位）

16 µs から 31750 ns（250 ns 単位）

32 µs から 63 µs（1 µs 単位）

64 µs から 126 µs（2 µs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているとき、変更できません（TIMx_BDTR レジスタの LOCK ビット）。

24.4.21 TIM1 DMA 制御レジスタ（TIM1_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、転送数など DMA 転送長（タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します）を指定します。転送は、ハーフワードまたはバイトです（以下の例を参照）。

00000：1 回転送
00001：2 回転送
00010：3 回転送
.....
10001：18 回転送

例：次の転送を考えます：DBL = 7 バイトかつ DBA = TIMx_CR1。

–DBL = 7 バイトおよび DBA = TIMx_CR1 が転送するバイトのアドレスを表す場合、転送のアドレスは次の式で与えられます。

（TIMx_CR1 アドレス）+ DBA +（DMA インデックス）、ここで DMA インデックス = DBL

この例では、（TIMx_CR1 アドレス）+ DBA に 7 バイトが追加され、データのコピー元／コピー先アドレスが与えられます。この場合、転送は、以下のアドレスから始めて、7 つのレジスタに対して行われます。（TIMx_CR1 アドレス）+ DBA

DMA データサイズの設定に応じて、いくつかのケースが想定されます。

–DMA データサイズをハーフワードで設定した場合、7 つのレジスタにそれぞれ 16 ビットのデータが転送されます。

–DMA データサイズをバイトで設定した場合も、データは 7 つのレジスタに転送されます（最初のレジスタには最初の MSB バイトが含まれ、2 番目のレジスタには最初の LSB バイトが含まれるなど、以降同様）。タイマへの転送で、DMA によって転送されるデータサイズを指定する必要もあります。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し/書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
.....

24.4.22 TIM1 完全転送用の DMA アドレス（TIM1_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAB[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DMAB[31:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書込み動作は、（TIMx_CR1 アドレス）+（DBA + DMA インデックス）x 4 のアドレスにあるレジスタへのアクセスとなります。

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御され、範囲は 0 から DBL です（DBL はTIMx_DCR 内で設定）。

24.4.23 TIM1 オプションレジスタ 1（TIM1_OR1）

アドレスオフセット：0x50

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP	Res.	Res.	TIM1_ETR_ADC_RMP[1:0]	
											rw			rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **TI1_RMP**：入力キャプチャ 1 再配置

0：TIM1 入力キャプチャ 1 は I/O へ接続されます。

1：TIM1 入力キャプチャ 1 は COMP1 出力へ接続されます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TIM1_ETR_ADC_RMP[1:0]**：TIM1_ETR_ADC 再配置機能

00：TIM1_ETR は ADC AWDx に接続されません（ETR が ETR 入力ピンから得られる場合に選択する必要があります）。

01：TIM1_ETR が ADC AWD1 に接続されます。

10：TIM1_ETR が ADC AWD2 に接続されます。

11：TIM1_ETR が ADC AWD3 に接続されます。

注： ADC AWDx ソースは TIM1_ETR 入力信号との「論理和」がとられます。ADC AWDx が使用されている場合、対応する TIM1_ETR 入力ピンがオルタネート機能コントローラで有効になっていないことを確認する必要があります。

24.4.24 TIM1 キャプチャ／比較モードレジスタ 3（TIM1_CCMR3）

アドレスオフセット：0x54

リセット値：0x0000 0000

チャネル 5 および 6 は出力でのみ設定できます。

出力比較モード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC6M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC5M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC6 CE	OC6M [2:0]			OC6 PE	OC6FE	Res.	Res.	OC5 CE	OC5M [2:0]			OC5PE	OC5FE	Res.	Res.
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw		

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC6CE**：出力比較 6 クリアイネーブル
OC1CE の説明を参照してください。

ビット 24、14、13、12 **OC6M[3:0]**：出力比較 6 モード
OC1M の説明を参照してください。

ビット 11 **OC6PE**：出力比較 6 プリロードイネーブル
OC1PE の説明を参照してください。

ビット 10 **OC6FE**：出力比較 6 高速イネーブル
OC1FE の説明を参照してください。

ビット 9:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **OC5CE：**出力比較 5 クリアイネーブル
OC1CE の説明を参照してください。

ビット 16、6、5、4 **OC5M[3:0]**：出力比較 5 モード
OC1M の説明を参照してください。

ビット 3 **OC5PE**：出力比較 5 プリロードイネーブル
OC1PE の説明を参照してください。

ビット 2 **OC5FE**：出力比較 5 高速イネーブル
OC1FE の説明を参照してください。

ビット 1:0 予約済みであり、リセット値に保持する必要があります。

24.4.25 TIM1 キャプチャ／比較レジスタ 5（TIM1_CCR5）

アドレスオフセット：0x58

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **GC5C3**：チャネル 5 およびチャネル 3 のグループ化

チャネル 3 出力におけるひずみ：

0：OC5REF の OC3REFC への影響はありません。

1：OC3REFC は、OC3REFC と OC5REF の論理 AND です。

このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます（TIMxCCMR2 でプリロード機能を選択している場合）。

注： このひずみを組み合わせ PWM 信号に適用することもできます。

ビット 30 **GC5C2**：チャネル 5 およびチャネル 2 のグループ化

チャネル 2 出力におけるひずみ：

0：OC5REF の OC2REFC への影響はありません。

1：OC2REFC は、OC2REFC と OC5REF の論理 AND です。

このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます（TIMxCCMR1 でプリロード機能を選択している場合）。

注： このひずみを組み合わせ PWM 信号に適用することもできます。

ビット 29 **GC5C1**：チャネル 5 およびチャネル 1 のグループ化

チャネル 1 出力におけるひずみ：

0：OC5REF の OC1REFC5 への影響はありません。

1：OC1REFC は、OC1REFC と OC5REF の論理 AND です。

このビットは、直ちに有効にするか、プリロードしておいて更新イベント後に考慮にすることができます（TIMxCCMR1 でプリロード機能を選択している場合）。

注： このひずみを組み合わせ PWM 信号に適用することもできます。

ビット 28:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CCR5[15:0]**：キャプチャ／比較 5 値

CCR5 は、実際のキャプチャ／比較 5 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC5PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 5 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC5 出力に送信される値を含みます。

24.4.26 TIM1 キャプチャ／比較レジスタ 6（TIM1_CCR6）

アドレスオフセット：0x5C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR6 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR6[15:0]**：キャプチャ／比較 6 値

CCR6 は、実際のキャプチャ／比較 6 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR3 レジスタの OC6PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 6 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC6 出力に送信される値を含みます。

24.4.27 TIM1 オルタネート機能オプションレジスタ 1 （TIM1_AF1）

アドレスオフセット：0x60

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	BK CMP2P	BK CMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BK CMP2E	BK CMP1E	BKINE
rw	rw			rw	rw	rw							rw	rw	rw

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:14 **ETRSEL[3:0]**：ETR ソース選択

これらのビットは、ETR 入力ソースを選択します。

0000：ETR レガシーモード

0001：COMP1 出力

0010：COMP2 出力

その他：予約済みです。

注： これらのビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 13:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCMP2P**：BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP2 入力の極性は反転されません（BKP=0 の場合はアクティブロー、BKP=1 の場合はアクティブハイ）。

1：COMP2 入力の極性を反転させます（BKP=0 の場合はアクティブハイ、BKP=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 10 **BKCMP1P**：BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP1 入力の極性は反転されません（BKP=0 の場合はアクティブロー、BKP=1 の場合はアクティブハイ）。

1：COMP1 入力の極性を反転させます（BKP=0 の場合はアクティブハイ、BKP=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 9 **BKINP**：BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：BKIN 入力の極性は反転されません（BKP=0 の場合はアクティブロー、BKP=1 の場合はアクティブハイ）。

1：BKIN 入力の極性を反転させます（BKP=0 の場合はアクティブハイ、BKP=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCMP2E**：BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP2 入力は無効です。

1：COMP2 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 1 **BKCMP1E**：BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP1 入力は無効です。

1：COMP1 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 0 **BKINE**：BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

0：BKIN 入力は無効です。

1：BKIN 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： 図 166：TIM1 ETR 入力回路および図 187：ブレークおよびブレーク 2 回路の概要を参照してください。

24.4.28 TIM1 オルタネート機能レジスタ 2 （TIM1_AF2）

アドレスオフセット：0x64

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BK2 CMP2 P	BK2 CMP1 P	BK2 INP	Res.	Res.	Res.	Res.	Res.	Res.	BK2 CMP2E	BK2 CMP1E	BK2INE
				rw	rw	rw							rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BK2CMP2P**：BRK2 COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

0：COMP2 入力の極性は反転されません（BK2P=0 の場合はアクティブロー、BK2P=1 の場合はアクティブハイ）。

1：COMP2 入力の極性は反転されます（BK2P=0 の場合はアクティブハイ、BK2P=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 10 **BK2CMP1P**：BRK2 COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

0：COMP1 入力の極性は反転されません（BK2P=0 の場合はアクティブロー、BK2P=1 の場合はアクティブハイ）。

1：COMP1 入力の極性は反転されます（BK2P=0 の場合はアクティブハイ、BK2P=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 9 **BK2INP**：BRK2 BKIN2 入力極性

このビットは、BKIN2 オルタネート機能入力の感度を選択します。BK2P 極性ビットとともにプログラムする必要があります。

0：BKIN2 入力の極性は反転されません（BK2P=0 の場合はアクティブロー、BK2P=1 の場合はアクティブハイ）。

1：BKIN2 入力の極性は反転されます（BK2P=0 の場合はアクティブハイ、BK2P=1 の場合はアクティブロー）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BK2CMP2E**：BRK2 COMP2 有効化

このビットは、タイマの BRK2 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK2 ソースとの「論理和」がとられます。

0：COMP2 入力は無効です。

1：COMP2 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 1 **BK2CMP1E**：BRK2 COMP1 有効化

このビットは、タイマの BRK2 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK2 ソースとの「論理和」がとられます。

0：COMP1 入力は無効です。

1：COMP1 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 0 **BK2INE**：BRK2 BKIN 入力有効化

このビットは、タイマの BRK2 入力に対して BKIN2 オルタネート機能入力を有効化します。BKIN2 入力は、ほかの BRK2 ソースとの「論理和」がとられます。

0：BKIN2 入力は無効です。

1：BKIN2 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： 図 187：ブレークおよびブレーク 2 回路の概要を参照してください。

24.4.29 TIM1 タイマ入力選択レジスタ（TIM1_TISEL）

アドレスオフセット：0x68

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TI4SEL [3:0]				Res.	Res.	Res.	Res.	TI3SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 **TI4SEL[3:0]**：TI4[0]～TI4[15] の入力を選択します。

0000：TIM1_CH4 入力

その他：予約済みです。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **TI3SEL[3:0]**：TI3[0]～TI3[15] の入力を選択します。

0000：TIM1_CH3 入力

その他：予約済みです。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **TI2SEL[3:0]**：TI2[0]～TI2[15] の入力を選択します。

0000：TIM1_CH2 入力

その他：予約済みです。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]**：TI1[0]～TI1[15] の入力を選択します。

0000：TIM1_CH1 入力

その他：予約済みです。

24.4.30 TIM1 レジスタマップ

TIM1 レジスタは、次の表のように、16 ビットのアドレス可能レジスタとしてマップされます。

表 163. TIM1 レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIM1_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																					0		0	0	0	0	0	0	0	0	0	0
0x04	**TIM1_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2 [3:0]				Res.	OIS6	Res.	OIS5	Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
	リセット値									0	0	0	0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x08	**TIM1_SMCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]	ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
	リセット値											0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**TIM1_DIER**	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**TIM1_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF	Res.	Res.	SBIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値															0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**TIM1_EGR**	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																								0	0	0	0	0	0	0	0	0
0x18	**TIM1_CCMR1** 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIM1_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F [3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F [3:0]				IC1PSC[1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**TIM1_CCMR2** 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIM1_CCMR2 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F [3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F [3:0]				IC3PSC[1:0]		CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIM1_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6P	CC6E	Res.	Res.	CC5P	CC5E	CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	リセット値											0	0			0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 163. TIM1 レジスタマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24	TIM1_CNT	UIFCPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	リセット値	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIM1_PSC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIM1_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	TIM1_RCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	TIM1_CCR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIM1_CCR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR2 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIM1_CCR3	Res.	Res.	Res	Res	Res	Res.	Res	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR3 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIM1_CCR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR4 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIM1_BDTR	Res.	Res.	BK2BID	BKBID	BK2DSRM	BKDSRM	BK2P	BK2E	BK2F [3:0]				BKF[3:0]				MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DT[7:0]							
	リセット値			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIM1_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIM1_DMAR	DMAB[31:0]																															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	TIM1_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP	Res.	Res.	TIM1_ETR_ADC_RMP	
	リセット値																												0			0	0
0x54	TIM1_CCMR3 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC6M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC5M[3]	OC6CE	OC6M [2:0]			OC6PE	OC6FE	Res.	Res.	OC5CE	OC5M [2:0]			OC5PE	OC5FE	Res.	Res.
	リセット値								0								0	0	0	0	0	0	0			0	0	0	0	0	0		

表 163. TIM1 レジスタマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x58	TIM1_CCR5	GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR5 [15:0]															
	リセット値	0	0	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	TIM1_CCR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR6 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x60	TIM1_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res ETRSEL [3:0]				Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	リセット値															0	0	0	0			0	0	0							0	0	1
0x64	TIM1_AF2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BK2CMP2P	BK2CMP1P	BK2INP	Res.	Res.	Res.	Res.	Res.	Res.	BK2CMP2E	BK2CMP1E	BK2INE
	リセット値																					0	0	0							0	0	1
0x68	TIM1_TISEL	Res.	Res.	Res.	Res.	TI4SEL [3:0]				Res.	Res.	Res.	Res.	TI3SEL [3:0]				Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
	リセット値					0	0	0	0					0	0	0	0					0	0	0	0					0	0	0	0

レジスタ境界アドレスについては 65ページのセクション 2.2 を参照してください。

25 汎用タイマ（TIM2）

25.1 TIM2 の概要

汎用タイマ TIM2 は、プログラム可能なプリスケーラによって駆動される 32 ビット の自動再ロードカウンタで構成されています。

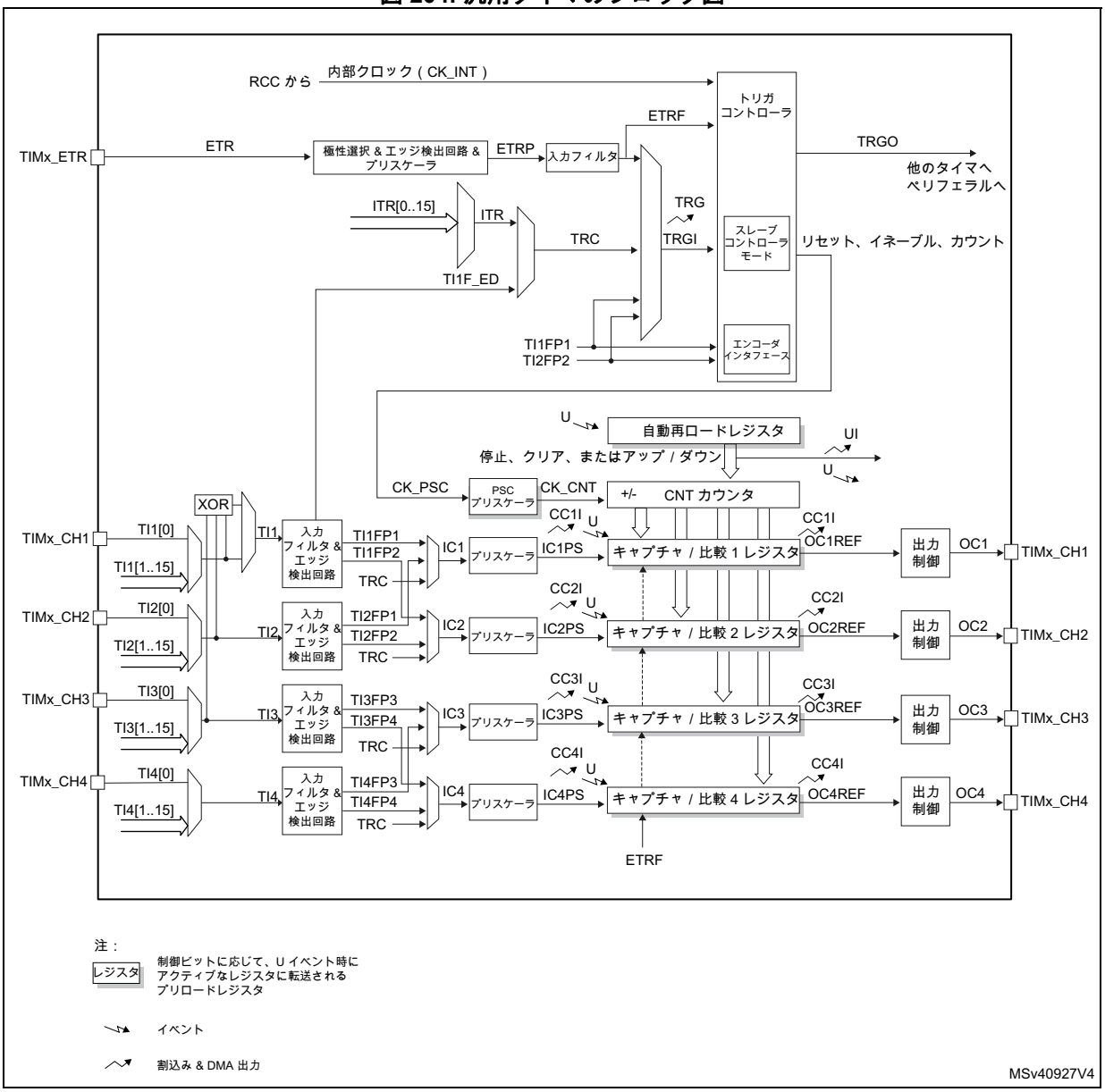
このタイマは、入力信号のパルス長の測定（*入力キャプチャ*）や出力波形の生成（*出力比較と PWM*）など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

25.2 TIM2 の主な特徴

- 32 ビットのアップカウンタ、ダウンカウンタ、アップ/ダウン自動再ロードカウンタ。
- カウンタクロック周波数を、1 から 65535 の間で分周する 16 ビットプログラム可能プリスケーラ。
- 次の機能を持つ、最大 4 つの独立チャネル：
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモードとセンターアラインモード）
  - ワンパルスモード出力
- 外部信号でタイマを制御し、複数のタイマを相互接続する同期回路。
- 以下のイベント時の割込み／DMA 生成：
  - 更新：カウンタオーバーフロー／アンダーフロー、カウンタの初期化（ソフトウェアまたは内部／外部トリガによる）
  - トリガイベント（カウンタの開始、停止、初期化、または内部／外部トリガによるカウント）
  - 入力キャプチャ
  - 出力比較
- 位置決め目的のインクリメンタル（直交）エンコーダとホールセンサ回路をサポート
- 外部クロックまたはサイクルごとの電流管理のためのトリガ入力

図 204. 汎用タイマのブロック図



25.3 TIM2 機能詳細

25.3.1 タイムベースユニット

プログラム可能なタイマのメインブロックは、自動再ロードレジスタを持つ 32 ビット カウンタです。カウンタは、カウントアップ、カウントダウン、またはカウントアップとカウントダウンの両方を行います。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 の場合、カウンタがオーバーフロー（またはダウンカウント時はアンダーフロー）に達したときに、更新イベントが送られます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の詳細が説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

実際のカウンタイネーブル信号 CNT_EN は、CEN の 1 クロックサイクル後にセットされます。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビット／32 ビットレジスタ（TIMx_PSC レジスタ）を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 205 と 図 206 に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

図 205. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

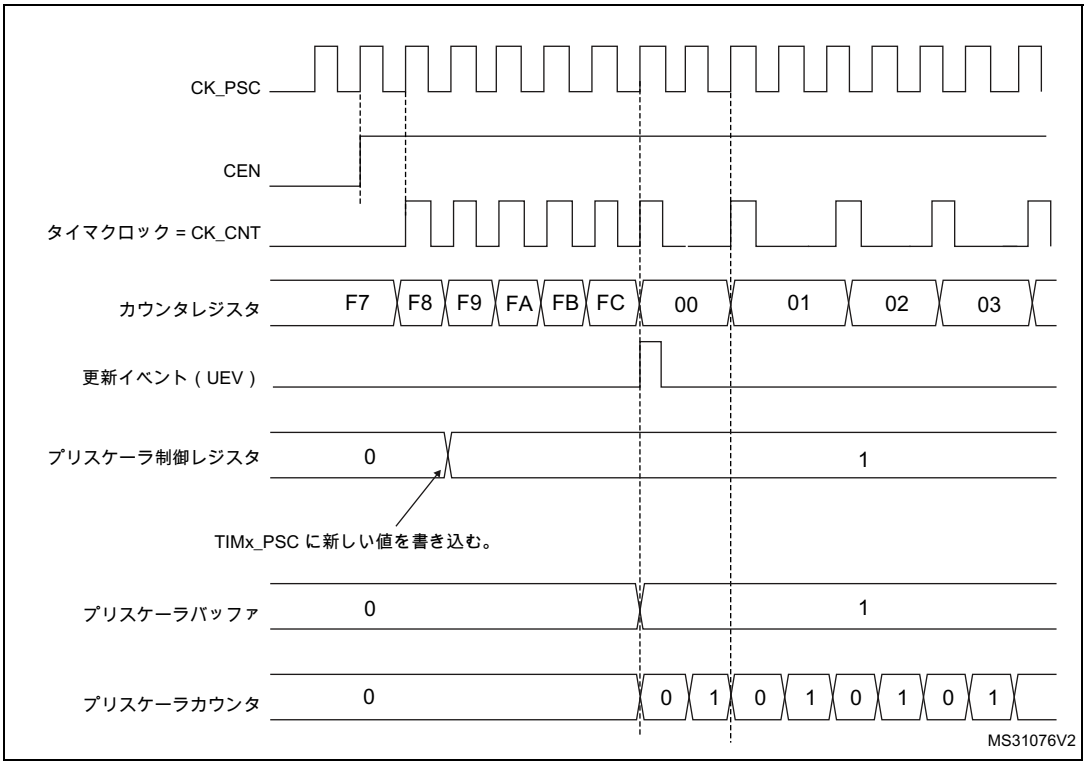
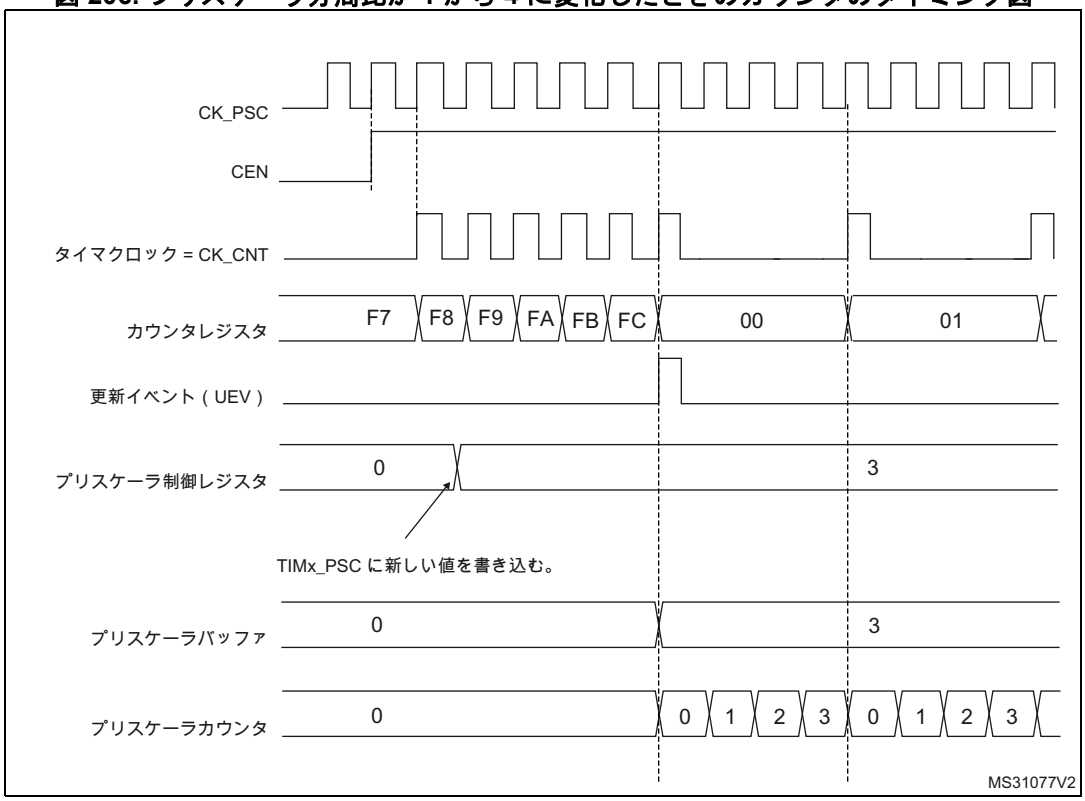


図 206. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



25.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

更新イベントは、カウンタオーバーフローごとに、または、（ソフトウェアで、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることで生成できます。

UEV イベントは、TIMx_CR1 レジスタの UDIS ビットをセットすることにより、ソフトウェアで無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 207. 内部クロック分周比が 1 の場合のカウンタのタイミング図

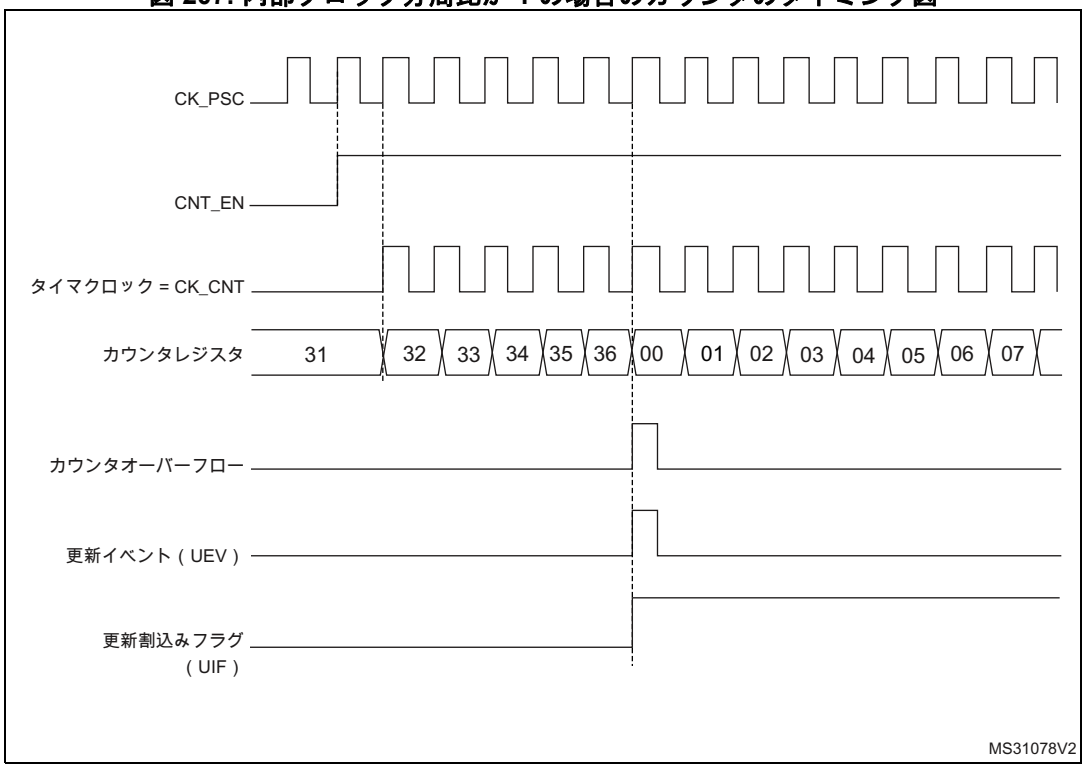


図 208. 内部クロック分周比が 2 の場合のカウンタのタイミング図

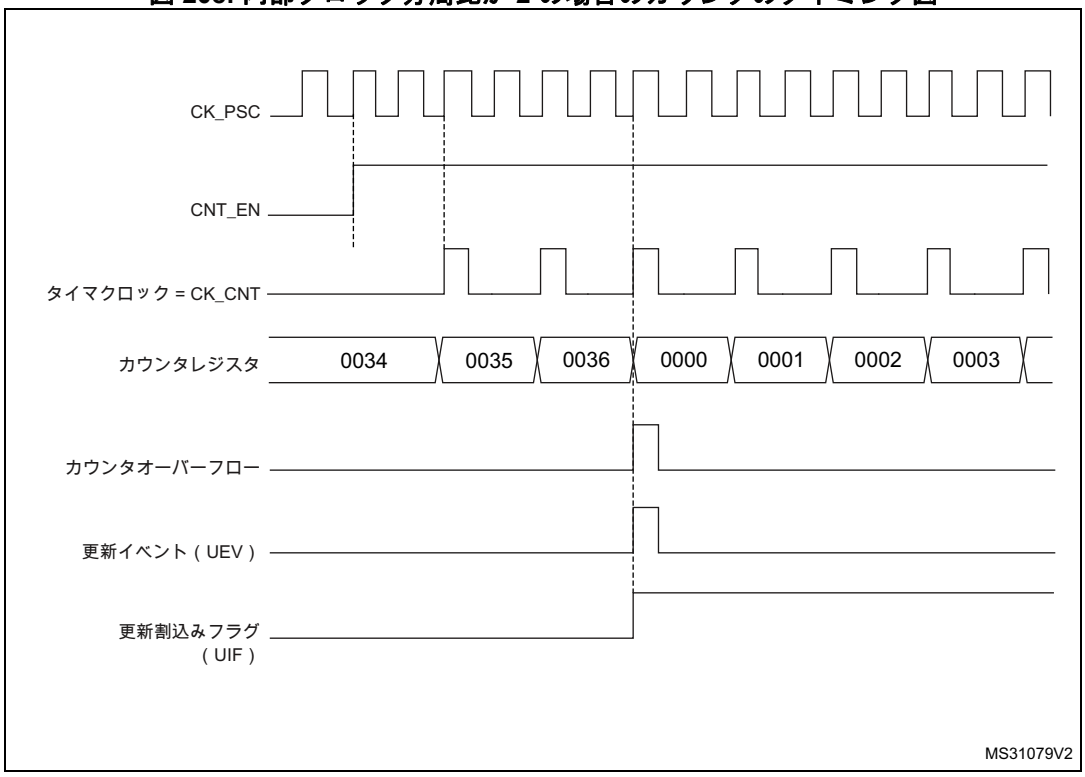


図 209. 内部クロック分周比が 4 の場合のカウンタのタイミング図

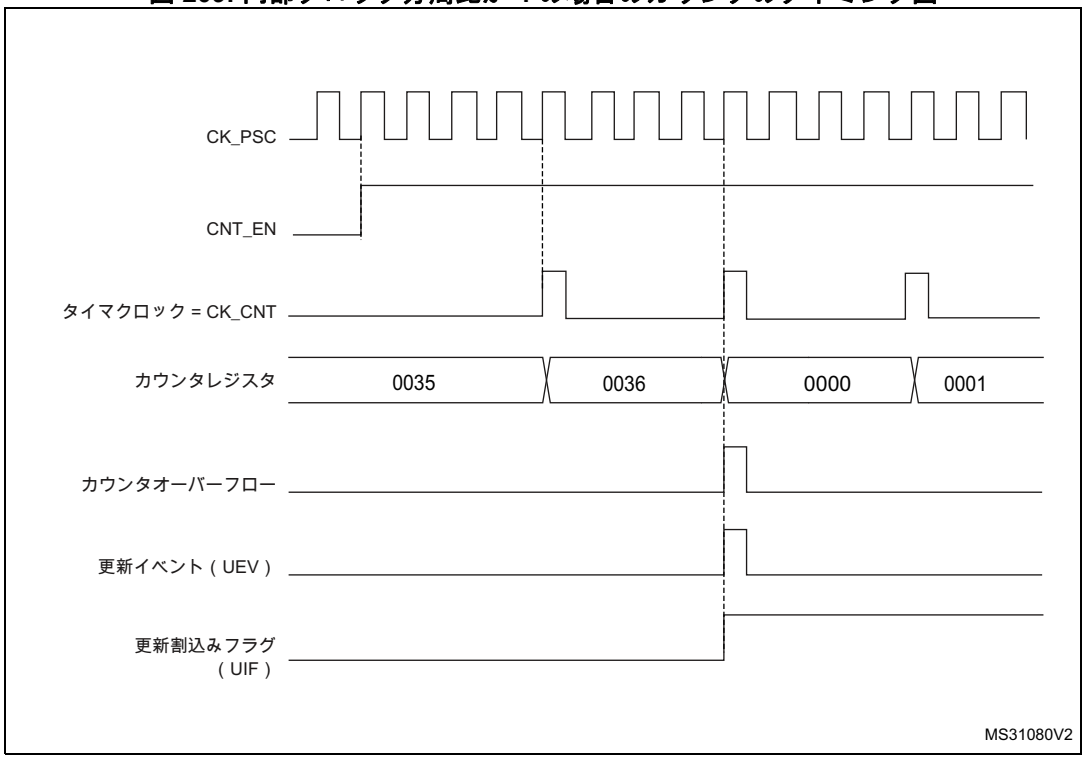


図 210. 内部クロック分周比が N の場合のカウンタのタイミング図

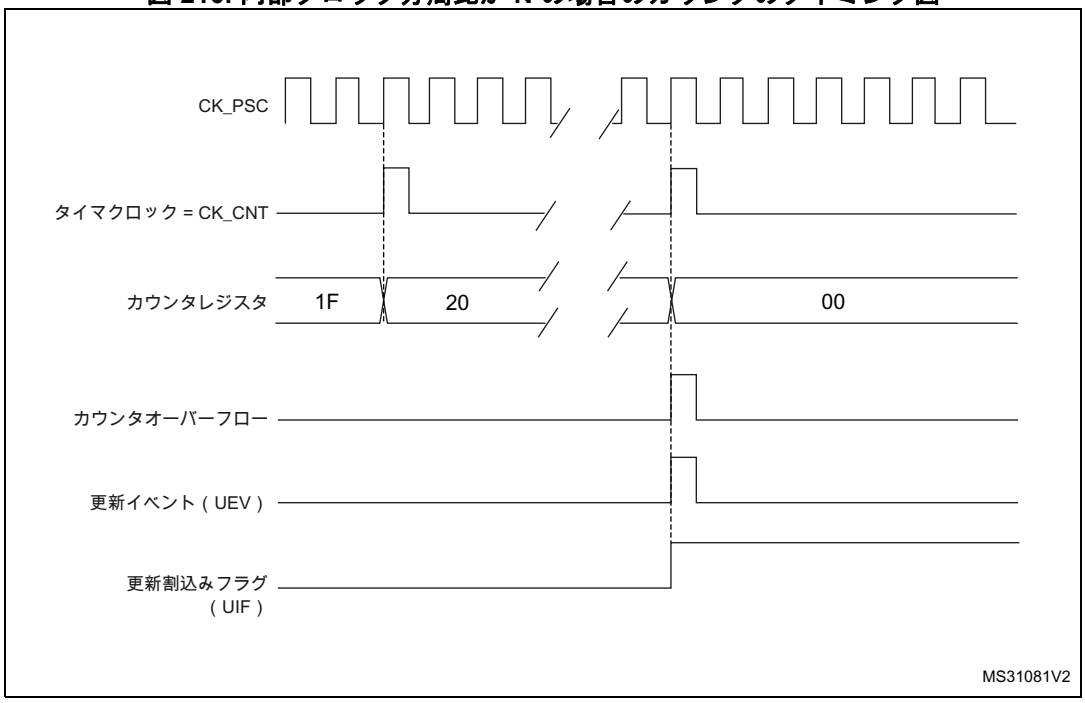


図 211. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図

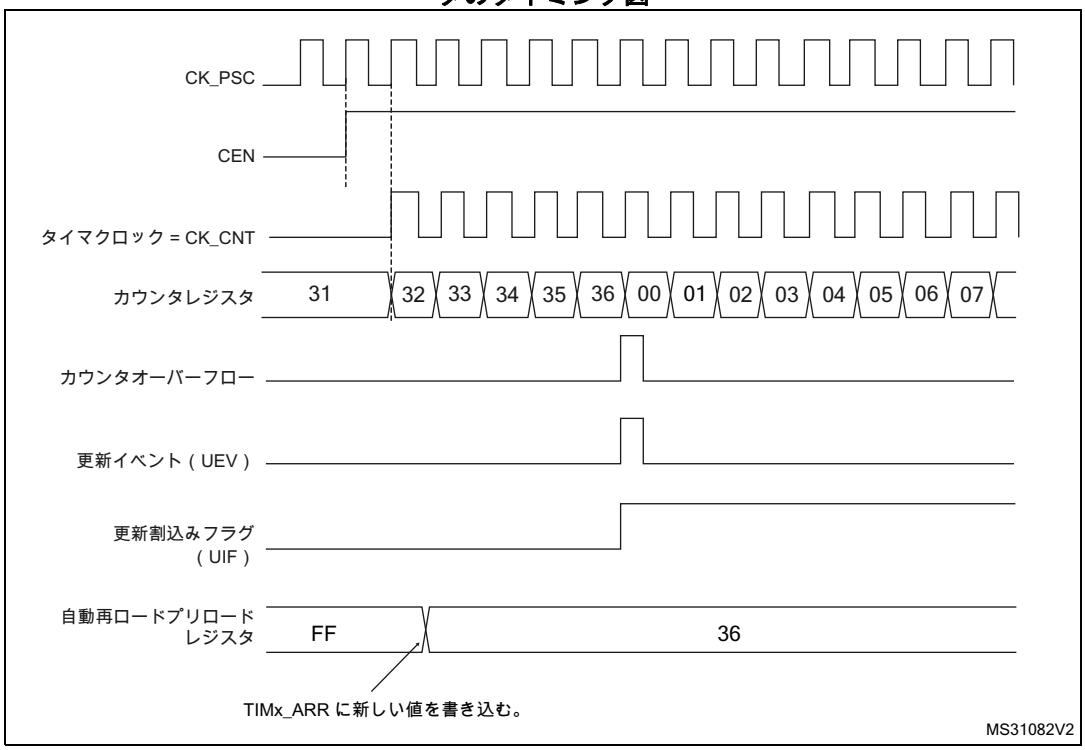
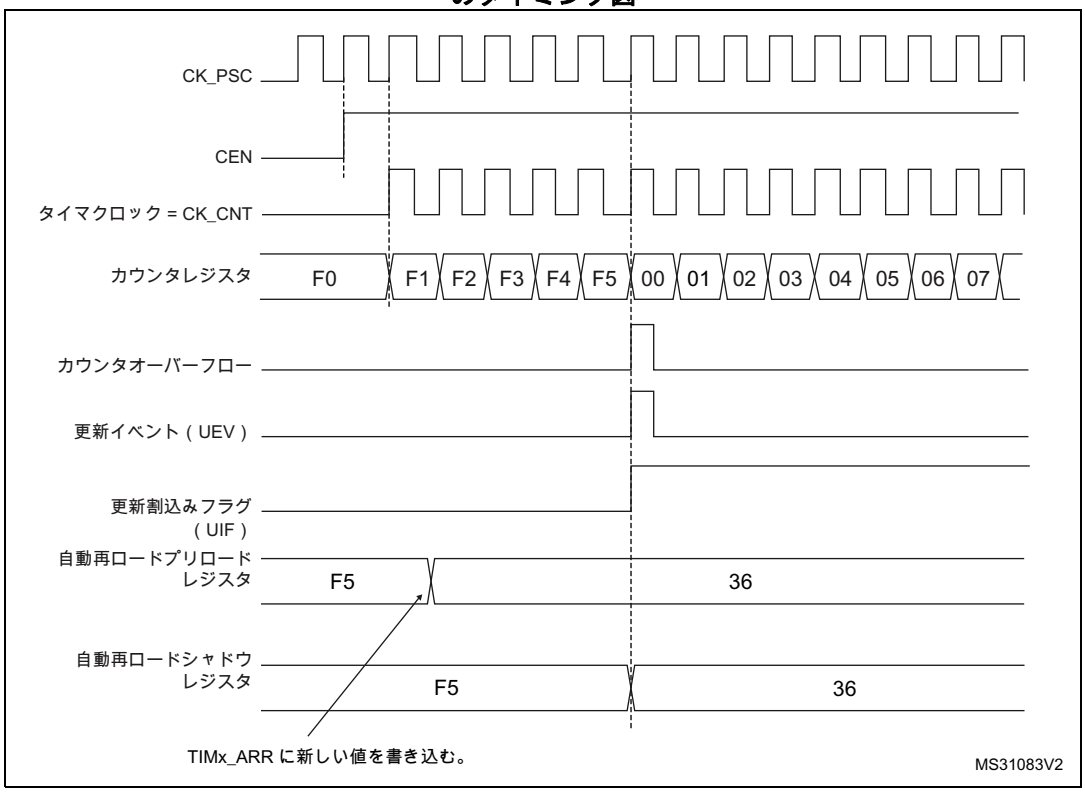


図 212. ARPE=1（TIMx_ARR はプリロードされる）のときの更新イベント時のカウンタのタイミング図



ダウンカウントモード

ダウンカウントモードでは、カウンタは自動再ロード値（TIMx_ARR レジスタの内容）から 0 までカウントした後、自動再ロード値からカウントダウンをリスタートし、カウンタアンダーフローイベントを生成します。

更新イベントは、カウンタアンダーフローごとに、または、（ソフトウェアで、または、スレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることにより生成できます。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この後 UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値からリスタートしますが、プリスケーラのカウンタは 0 からリスタートします（しかし、プリスケーラ比は変化しません）。

さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。カウンタがリロードされる前に自動再ロードが更新されるので、次の周期は期待通りの周期になります。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 213. 内部クロック分周比が 1 の場合のカウンタのタイミング図

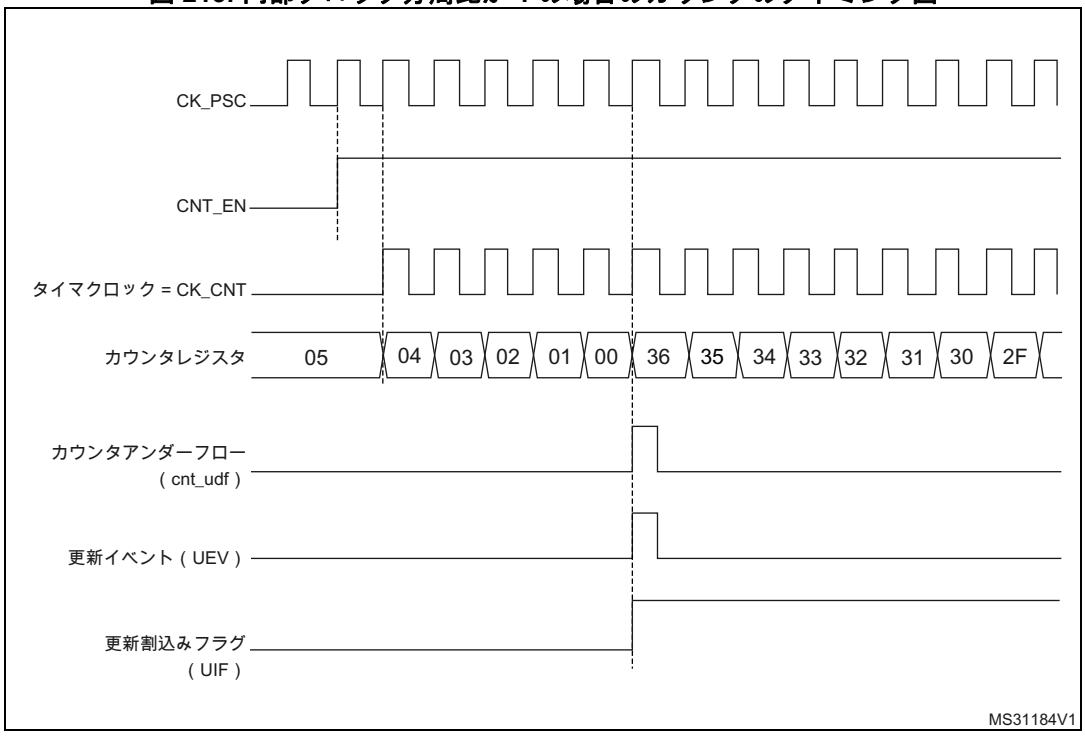


図 214. 内部クロック分周比が 2 の場合のカウンタのタイミング図

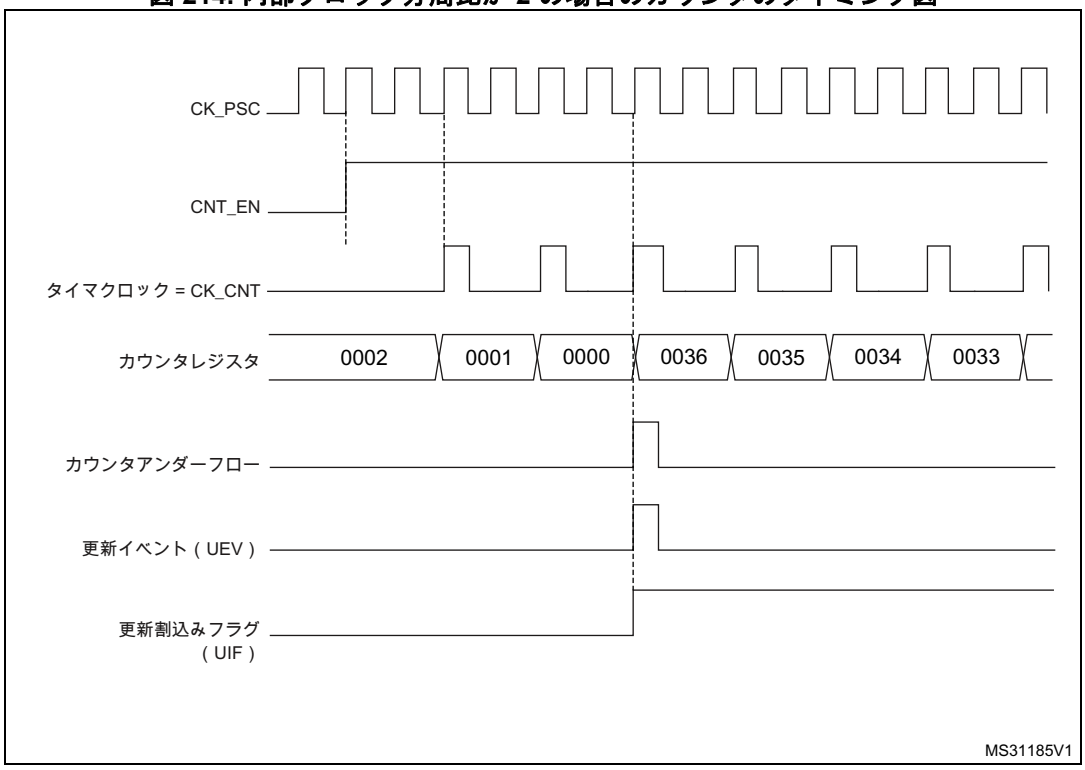


図 215. 内部クロック分周比が 4 の場合のカウンタのタイミング図

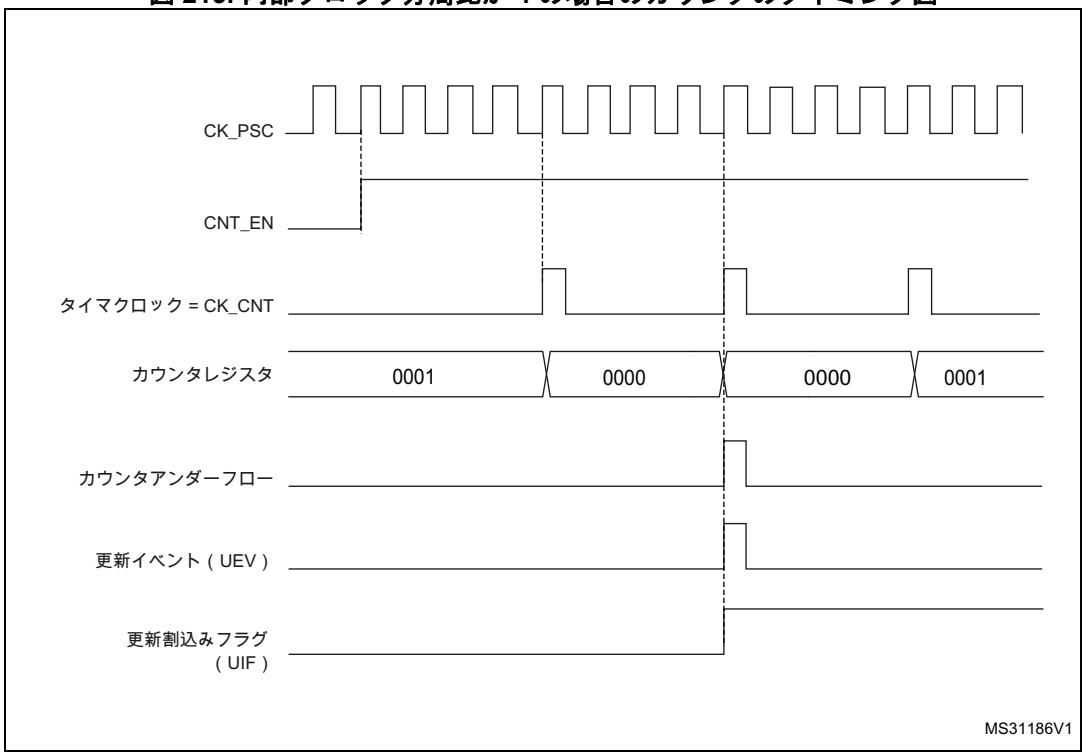


図 216. 内部クロック分周比が N の場合のカウンタのタイミング図

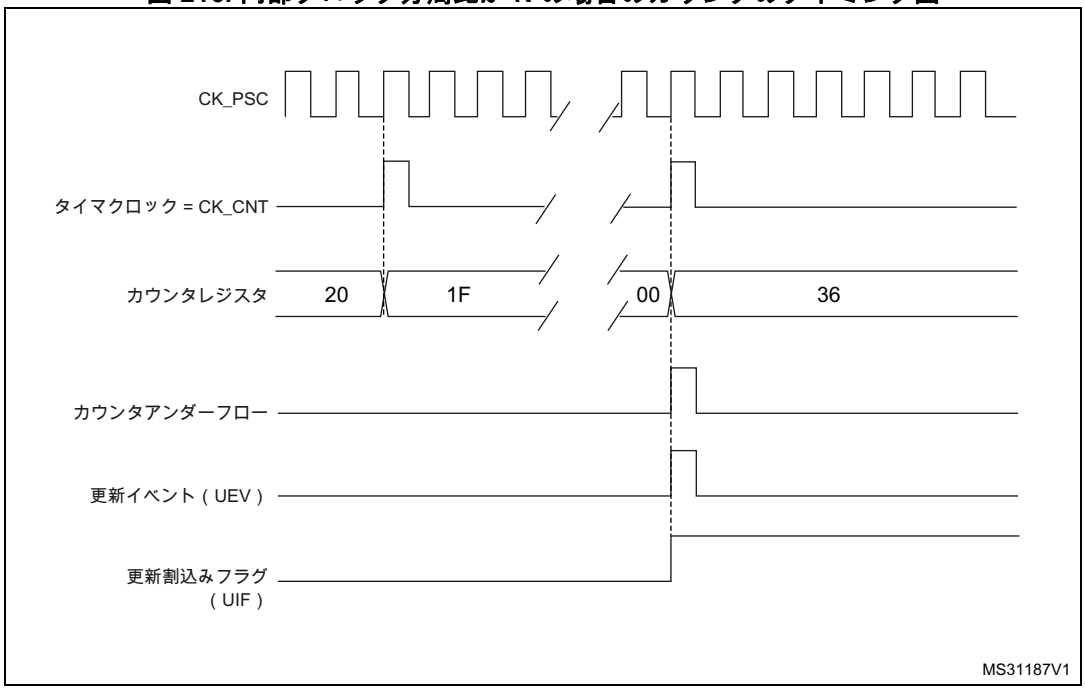
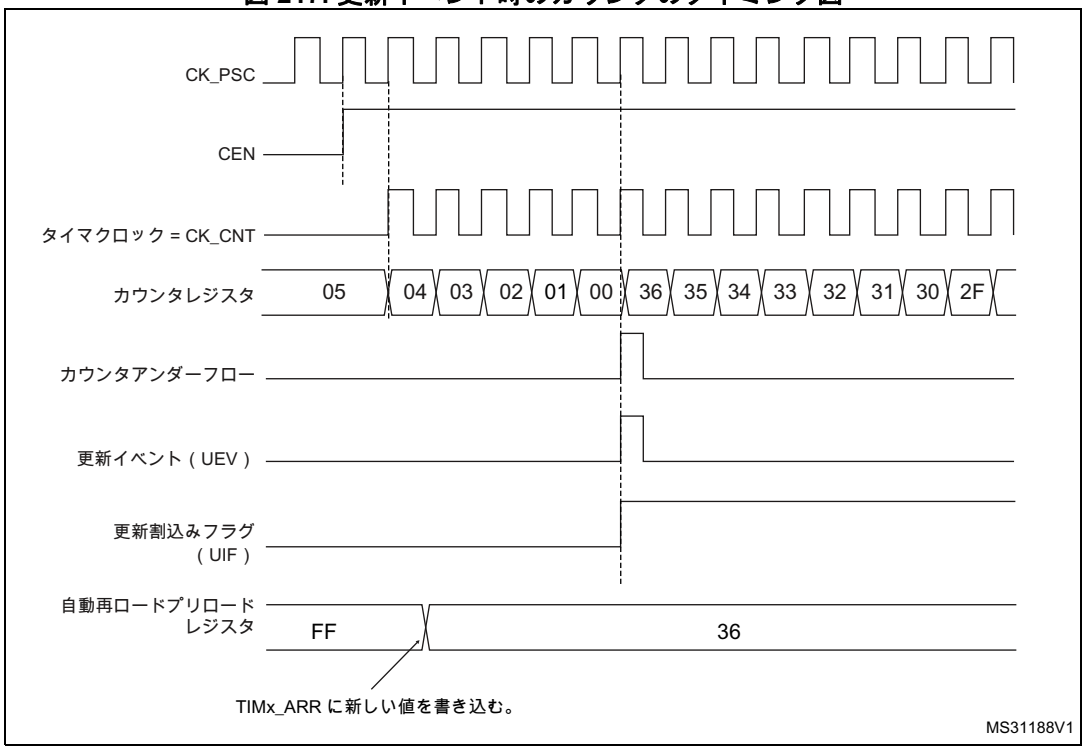


図 217. 更新イベント時のカウンタのタイミング図



センターアラインモード（アップ／ダウンカウント）

センターアラインモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）ー1までカウントして、カウンタオーバーフローイベントを生成した後、自動再ロード値から 1 までカウントして、カウンタアンダーフローイベントを生成します。その後、0 からカウントをリスタートします。

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”に等しくないときにアクティブとなります。出力に設定されたチャネルの出力比較割込みフラグは、カウンタがカウントダウンするとき（センターアラインモード 1、CMS=01）、カウンタがカウントアップするとき（センターアラインモード 2、CMS=10）、またはカウンタがカウントアップしてカウントダウンするとき（センターアラインモード 3、CMS=11）にセットされます。

このモードでは、方向ビット（TIMx_CR1 レジスタの DIR）に書き込むことはできません。このビットは、ハードウェアによって更新されて、カウンタの現在の方向を示します。

更新イベントは、カウンタオーバーフローとカウンタアンダーフローごとに生成されます。または、（ソフトウェアで、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも、更新イベントが生成されます。この場合、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします。

UEV 更新イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることにより無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、カウンタは現在の自動再ロード値に基づいて、カウントアップとカウントダウンを続けます。

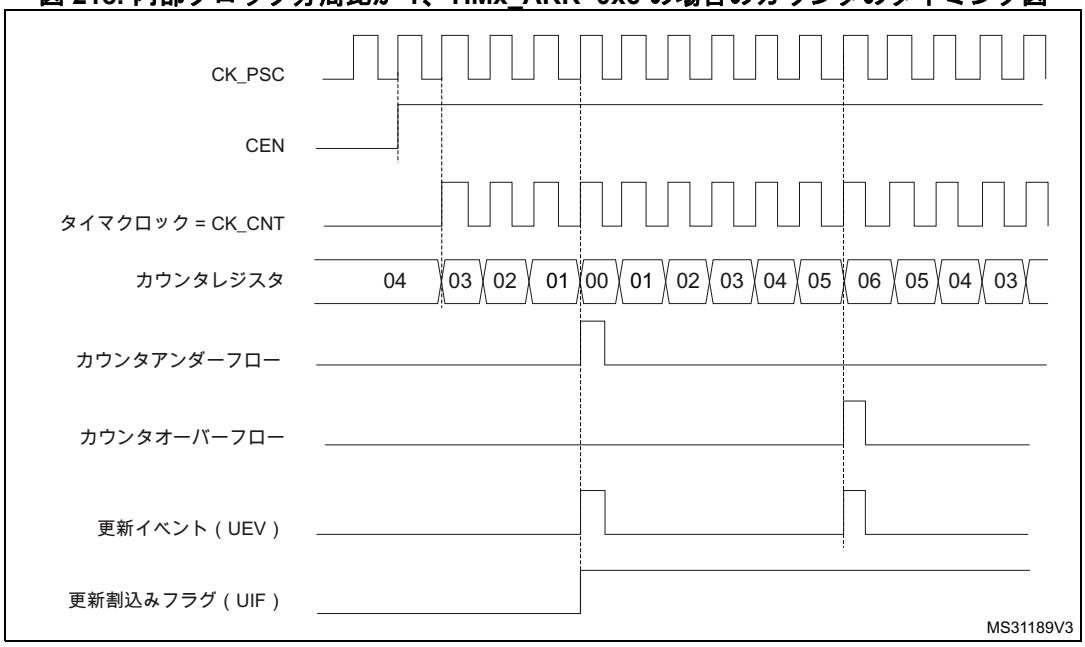
さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。
- 自動再ロードアクティブレジスタは、プリロード値（TIMx_ARR レジスタの内容）で更新されます。更新の原因がカウンタオーバーフローである場合には、自動再ロードが更新されてからカウンタが再ロードされるので、次の周期は期待通りの周期になります（カウンタに新しい値がロードされます）。

以下の図は、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 218. 内部クロック分周比が 1、TIMx_ARR=0x6 の場合のカウンタのタイミング図



1. ここでは、センターアラインモード 1 が使用されています（詳細については、セクション 25.4.1 : 812 ページのTIM2 制御レジスタ 1（TIM2_CR1）を参照）。

図 219. 内部クロック分周比が 2 の場合のカウンタのタイミング図

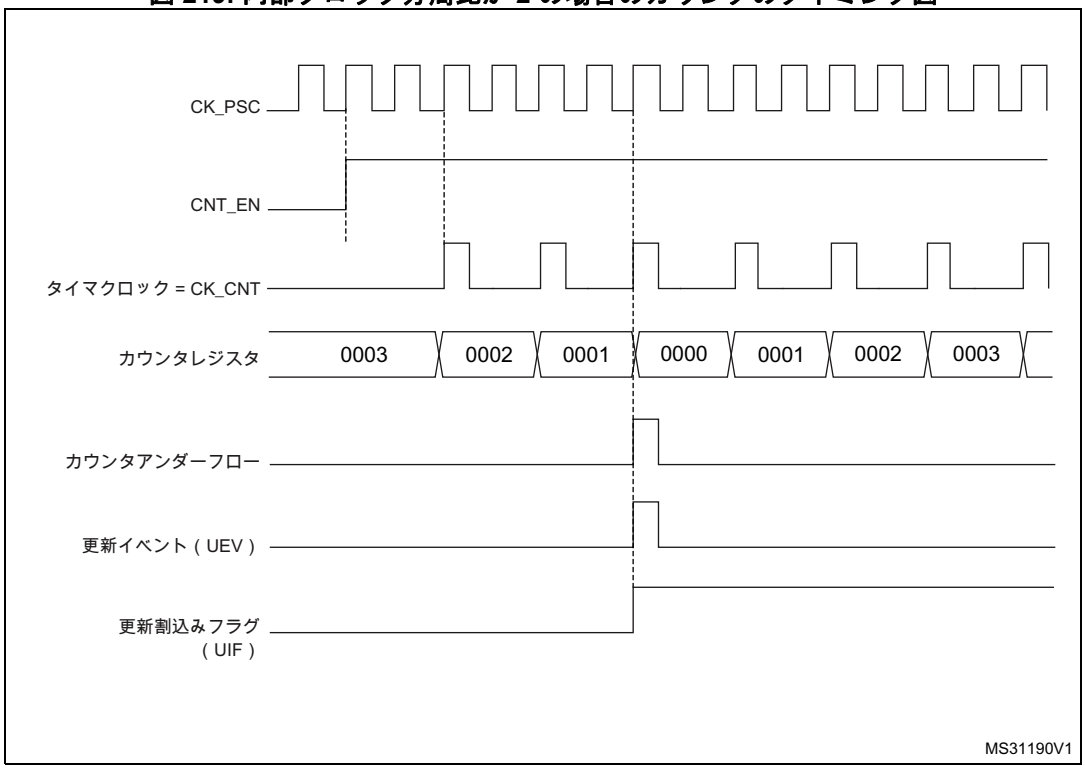
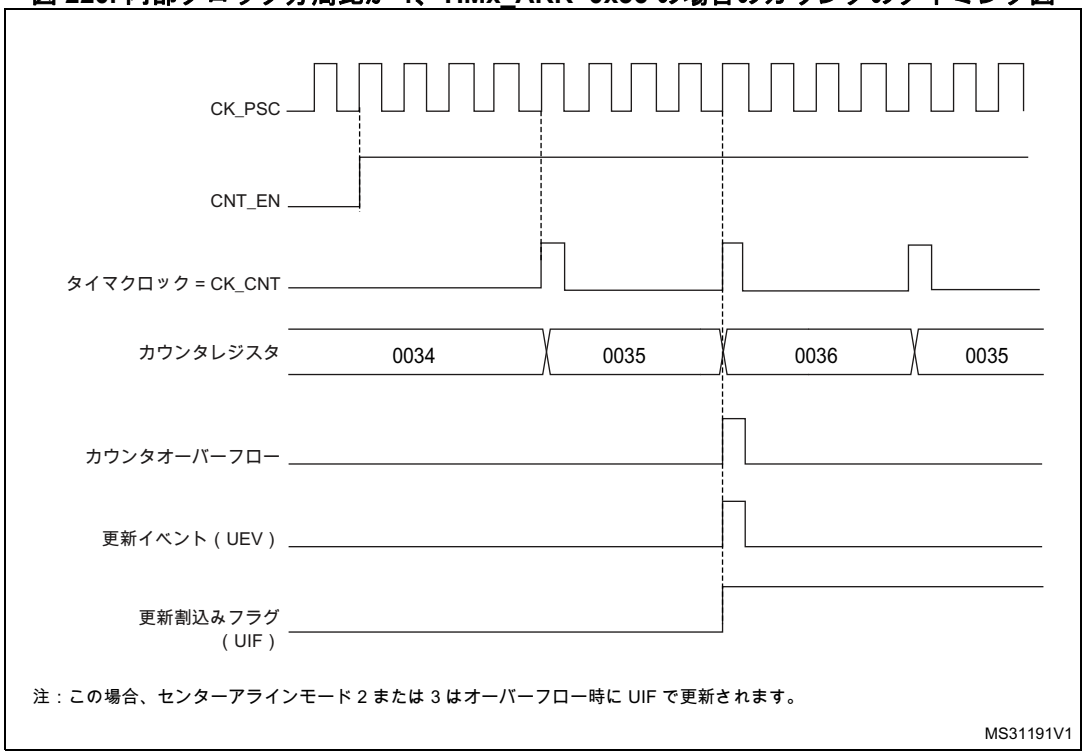


図 220. 内部クロック分周比が 4、TIMx_ARR=0x36 の場合のカウンタのタイミング図



1. センターアラインモード 2 または 3 が使用され、オーバーフロー時に UIF がセットされます。

図 221. 内部クロック分周比が N の場合のカウンタのタイミング図

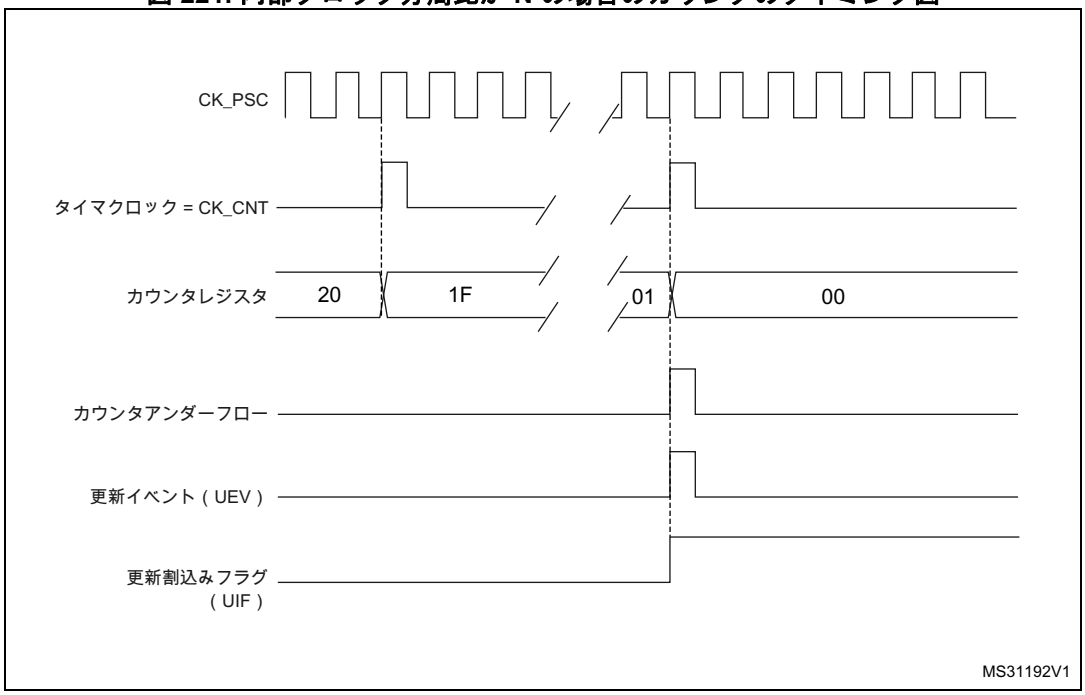


図 222. ARPE=1（カウンタアンダーフロー）の場合の更新イベント時、カウンタタイミング図

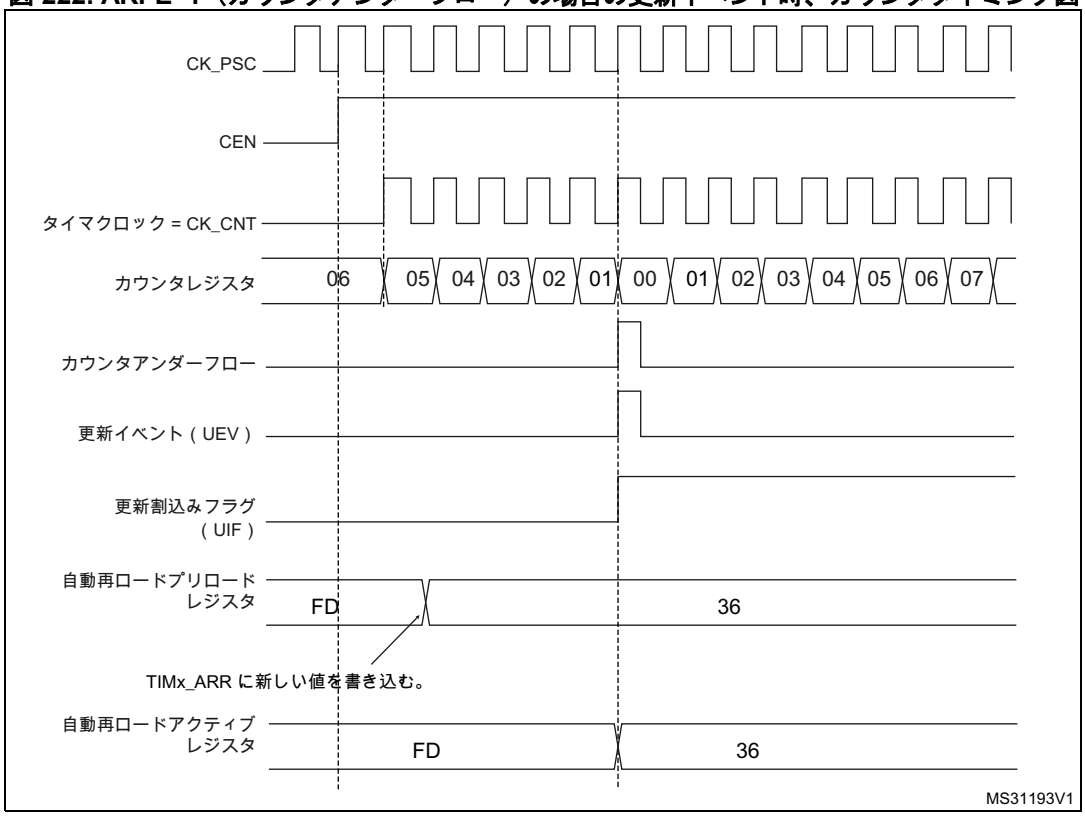
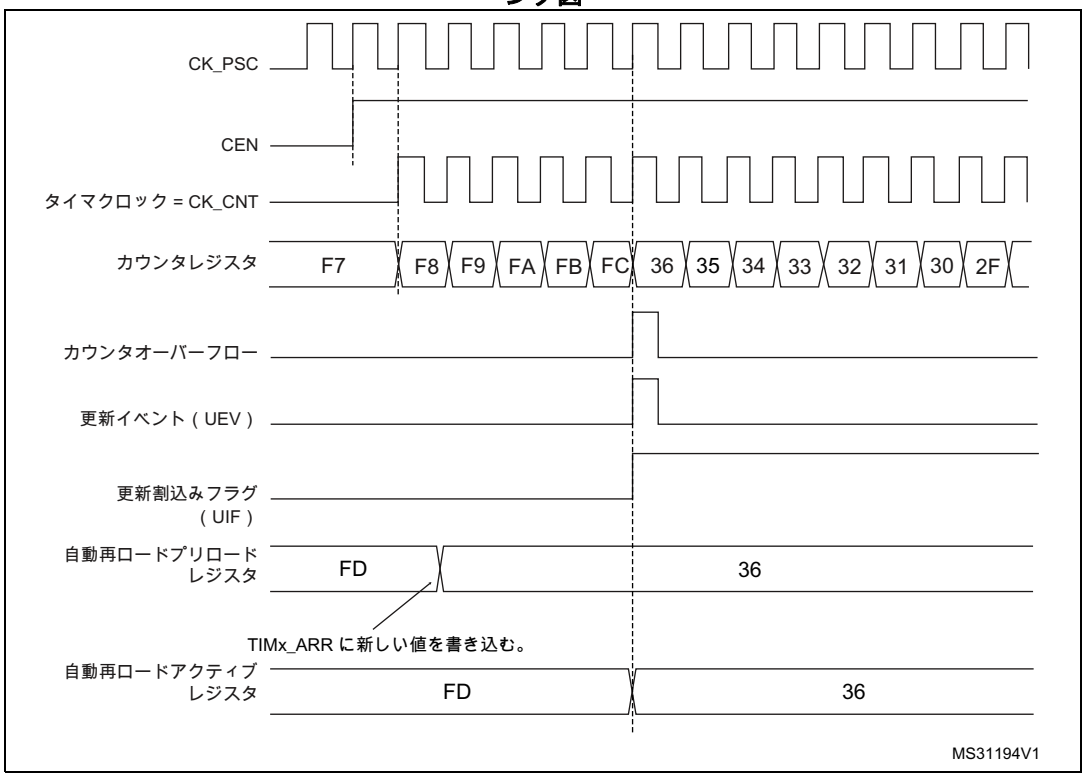


図 223. ARPE=1（カウンタオーバーフロー）の場合の更新イベント時のカウンタのタイミング図



25.3.3 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

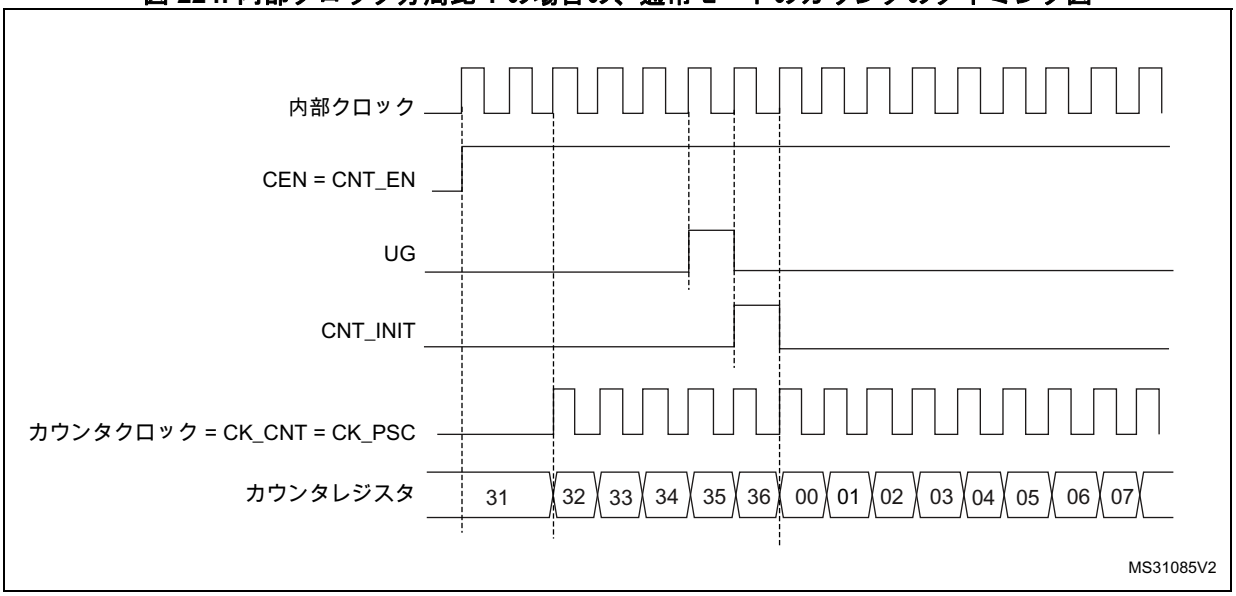
- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン（TIx）
- 外部クロックモード 2：外部トリガ入力（ETR）
- 内部トリガ入力（ITRx）：あるタイマを別のタイマのプリスケーラとして使用します。たとえば、タイマ X がタイマ Y のプリスケーラとして機能するように設定できます。詳細については、：807ページのタイマを別のタイマのプリスケーラとして使用するを参照してください。

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（TIMx_SMCR レジスタの SMS=000）、CEN、DIR ビット（TIMx_CR1 レジスタ）と UG ビット（TIMx_EGR レジスタ）が実際の制御ビットであり、ソフトウェアでのみ変更できます（自動的にクリアされたままの UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INTが供給されます。

図 224 に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

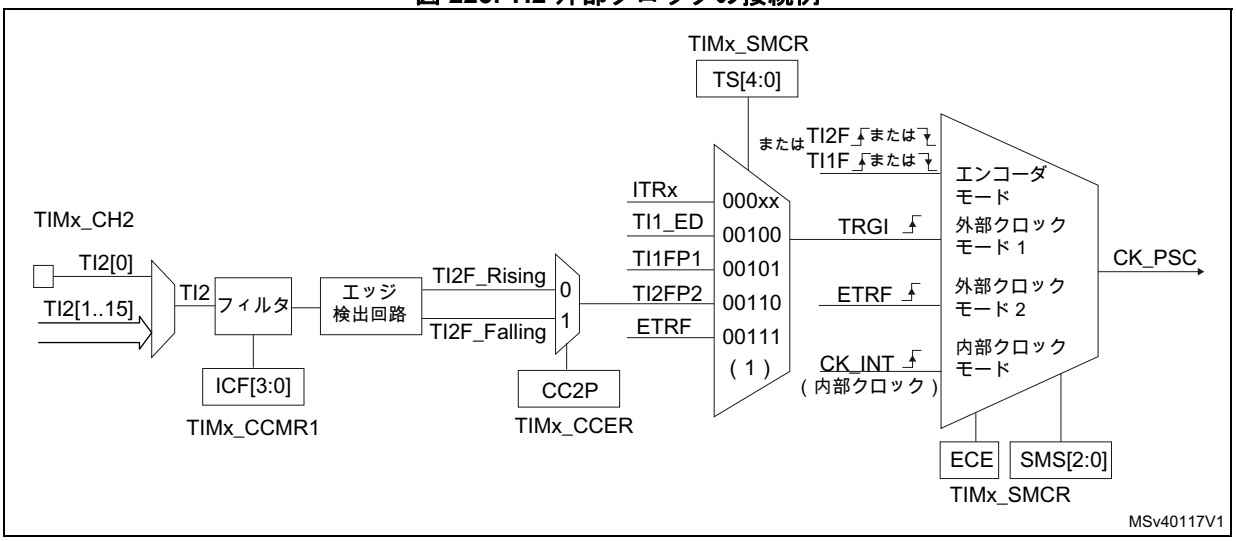
図 224. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 225. TI2 外部クロックの接続例



1. 01000 から 11111 の範囲のコード：ITRy

たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。

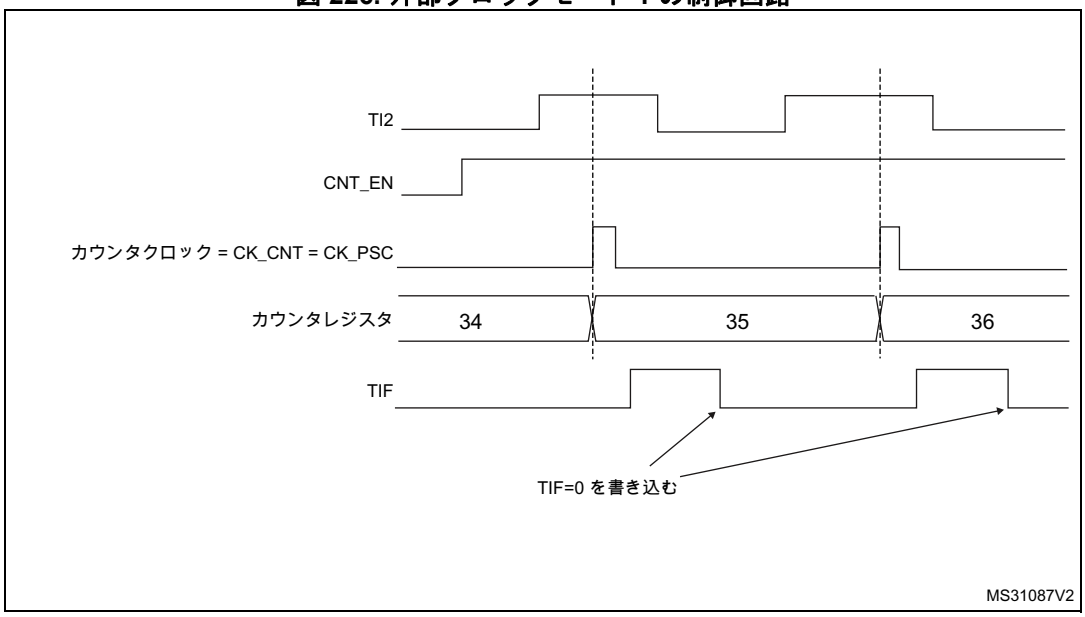
注： **キャプチャプリスケーラはトリガには使用されないので、設定は不要です。**

4. CC2P=0、CC2NP=0、および CC2NP=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。
7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 226. 外部クロックモード 1 の制御回路



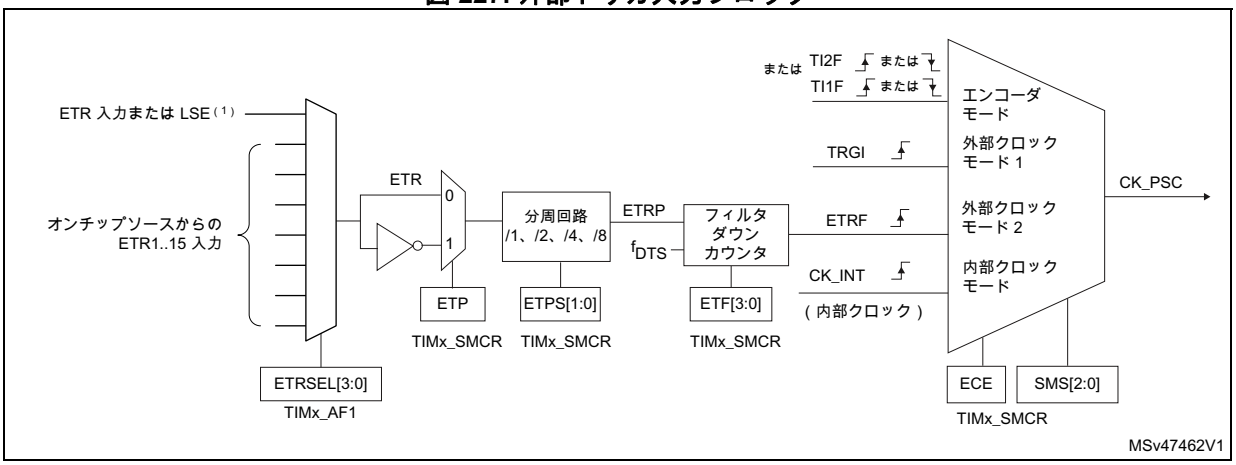
外部クロックソースモード 2

このモードは、TIMx_SMCR レジスタの ECE=1 を書き込むことによって選択されます。

カウンタは、外部トリガ入力 ETR の立ち上がりまたは立ち下がりエッジごとにカウントできます。

図 227 に、外部トリガ入力ブロックの概要を示します。

図 227. 外部トリガ入力ブロック



1. ETR_RMP ビットのプログラミングによる。

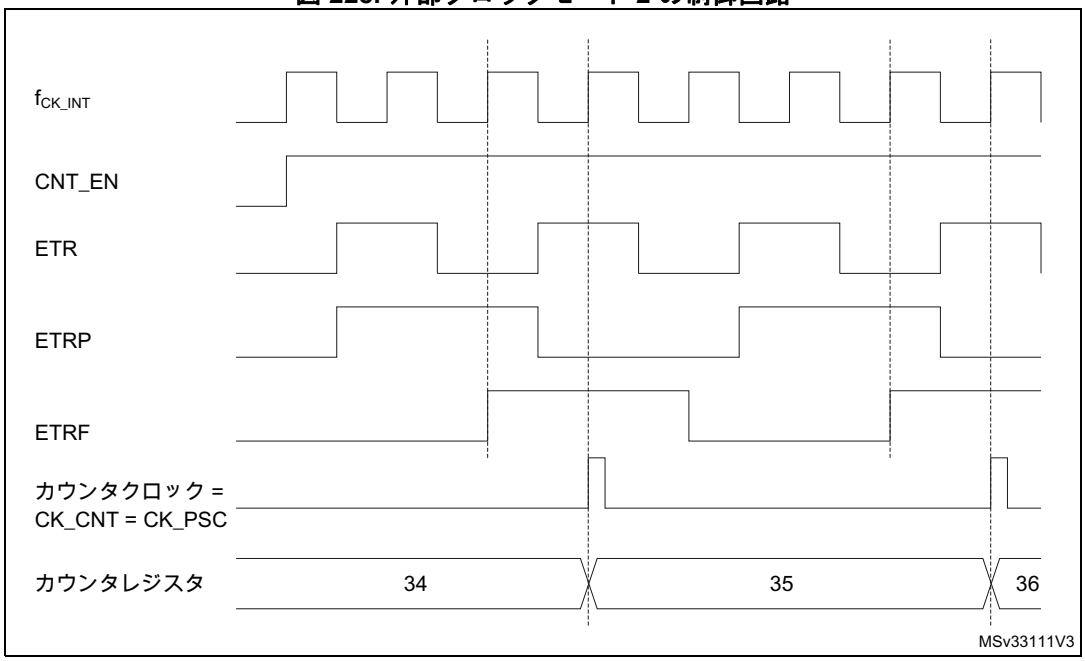
たとえば、ETR の 2 回の立ち上がりエッジごとにカウントするようにアップカウンタを設定するには、以下の手順に従います。

1. TIMx_AF1 レジスタの ETRSEL[3:0] および TIM2_OR1 レジスタの ETR_RMP ビットで、適切な ETR ソース（内部または外部）を選択します。
2. この例ではフィルタは不要なので、TIMx_SMCR レジスタの ETF[3:0] に 0000 を書き込みます。
3. TIMx_SMCR レジスタに ETPS[1:0]=01 を書き込むことによって、プリスケーラを設定します。
4. TIMx_SMCR レジスタに ETP=0 を書き込むことによって、ETR ピンの立ち上がりエッジ検出を選択します。
5. TIMx_SMCR レジスタに ECE=1 を書き込むことによって、外部クロックモード 2 を有効にします。
6. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

カウンタは 2 回の ETR 立ち上がりエッジごとに 1 回カウントします。

ETR の立ち上がりエッジから実際のカウンタクロックまでの間に、ETRP 信号の再同期回路による遅延があります。結果として、カウンタで正しくキャプチャできる最大周波数は、最大で TIMxCLK 周波数の 1/4 です。ETRP 信号が高速の場合、ユーザは適切な ETPS プリスケーラー設定によって外部信号の分周比を適用する必要があります。

図 228. 外部クロックモード 2 の制御回路



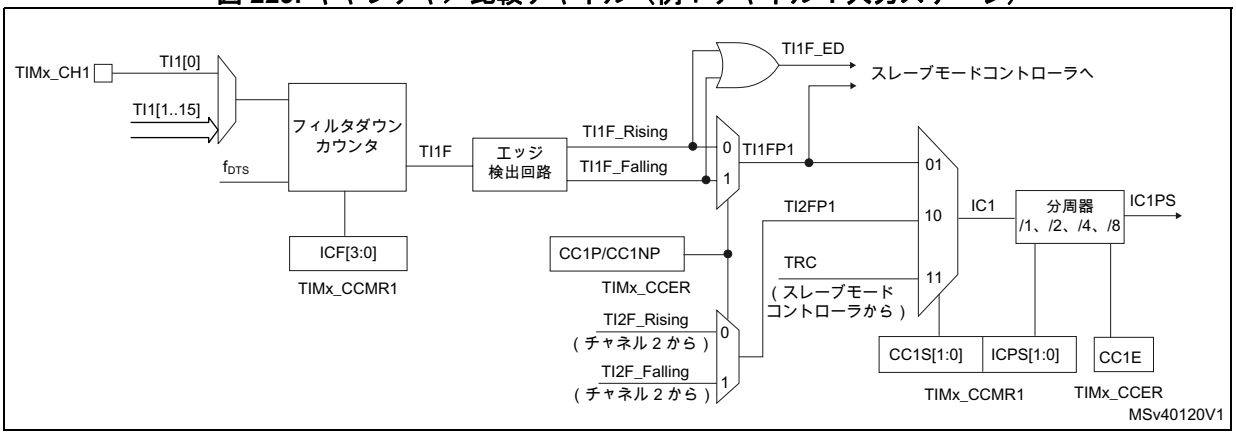
25.3.4 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクス、プリスケーラ）、および出力ステージ（コンパレータと出力制御）から構成されています。

次の図に、キャプチャ／比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 229. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 230. キャプチャ／比較チャネル 1 メイン回路

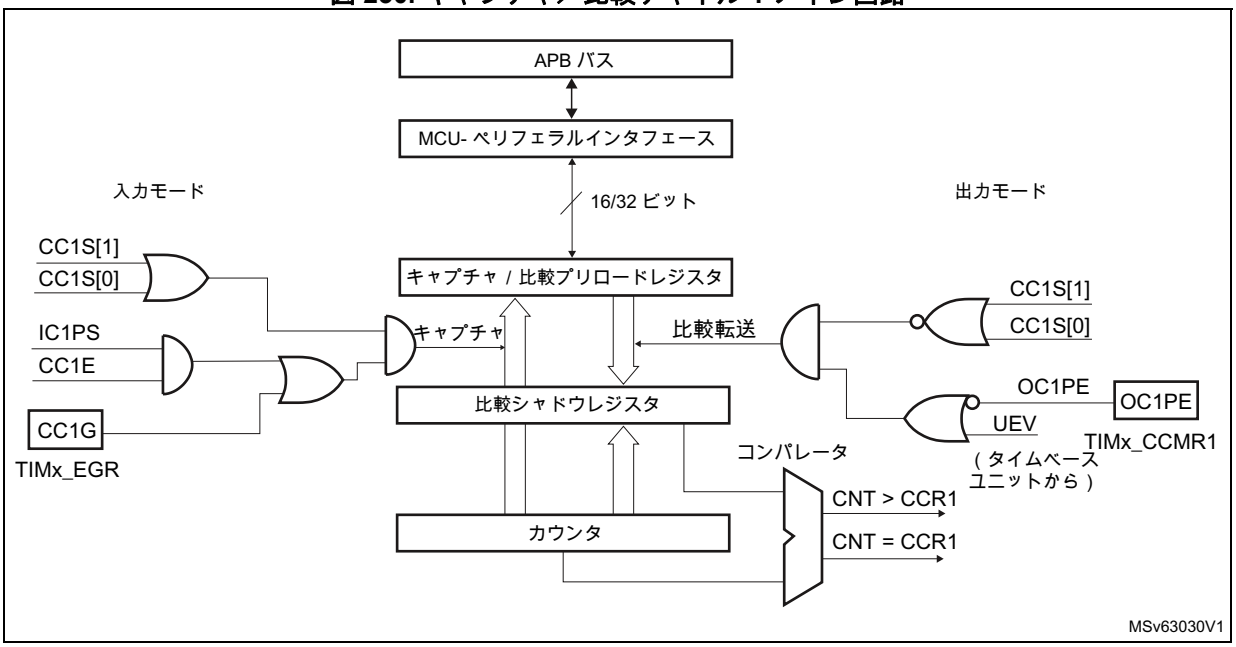
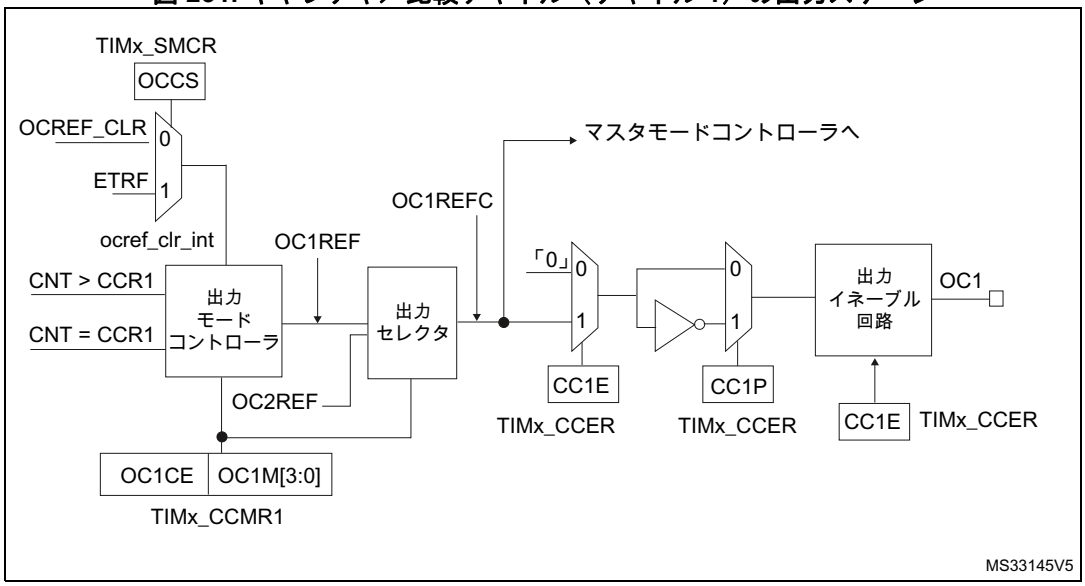


図 231. キャプチャ／比較チャネル（チャネル 1）の出力ステージ



キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。書込みおよび読出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

25.3.5 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって変化が検出された後、カウンタの値をラッチするために、キャプチャ／比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCXIF フラグ（TIMx_SR レジスタ）がセットされ、割込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース（内部または外部）を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします（入力が TIx の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットによって）。入力信号の反転時、最大で内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。
4. TI1 チャネルのアクティブ遷移のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P、CC1NP、および CC1NP ビットに“000”を書き込みます（この場合、立ち上がりエッジの選択）。
5. 入力プリスケーラをプログラムします。今回の例では、有効な信号変化ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに 00 を書き込みます）。
6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読出し後、データ読出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： **IC 割込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。**

25.3.6 PWM 入力モード

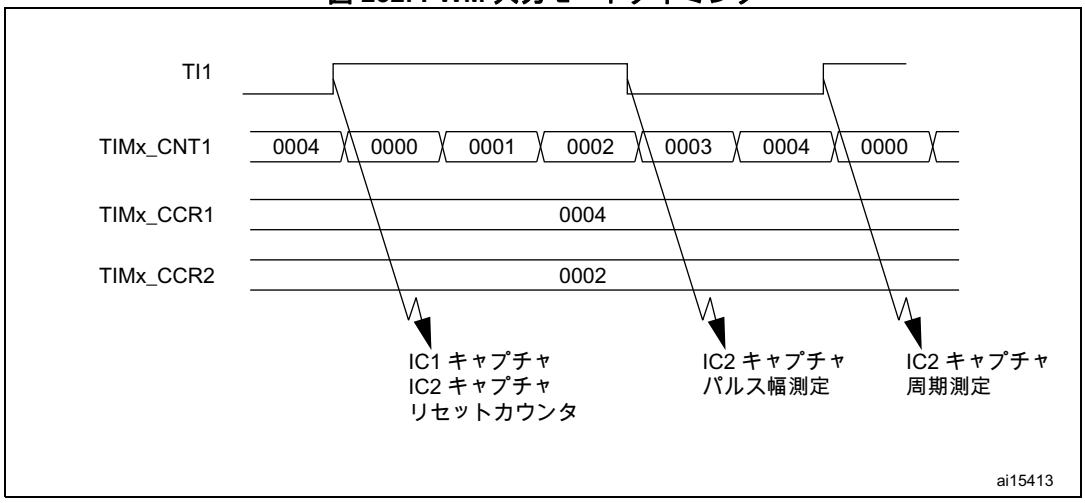
このモードは、入力キャプチャモードの特殊ケースです。操作手順は入力キャプチャモードと同様ですが、以下の点が異なります。

- 2 つの ICx 信号が同じ TIx 入力にマッピングされます。
- この 2 つの ICx 信号は、逆の極性のエッジでアクティブです。
- 2 つの TIxFP 信号の 1 つがトリガ入力として選択され、スレーブモードコントローラはリセットモードに設定されます。

たとえば、次の手順を使用して、TI1 に適用された PWM の周期（TIMx_CCR1 レジスタ）とデューティサイクル（TIMx_CCR2 レジスタ）を測定できます（手順は、CK_INT 周波数とプリスケーラ値によって、若干異なることがあります）。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込むことによって（TI1 を選択）、TIMx_CCR1 のアクティブ入力を選択します。
3. CC1P ビットと CC1NP ビットに“0”を書き込むことによって（立ち上がりエッジでアクティブ）、TI1FP1 のアクティブ極性を選択します（TIMx_CCR1 のキャプチャとカウンタクリアの両方に使用します）。
4. TIMx_CCMR1 レジスタの CC2S ビットに“10”を書き込むことによって（TI1 を選択）、TIMx_CCR2 のアクティブ入力を選択します。
5. CC2P ビットに“1”を、CC2NP ビットに“0”を書き込むことによって（立ち下がりエッジでアクティブ）、TI1FP2 のアクティブ極性を選択します（TIMx_CCR2 のキャプチャに使用されます）。
6. TIMx_SMCR レジスタの TS ビットに 00101 を書き込むことによって（TI1FP1 を選択）、有効なトリガ入力を選択します。
7. TIMx_SMCR レジスタの SMS ビットに 100 を書き込むことによって、スレーブモードコントローラをリセットモードに設定します。
8. TIMx_CCER レジスタの CC1E と CC2E ビットに 1 を書き込むことによって、キャプチャを有効にします。

図 232. PWM 入力モードタイミング



1. TI1FP1 と TI2FP2 のみがスレーブモードコントローラに接続されているので、PWM 入力モードは TIMx_CH1/TIMx_CH2 信号でのみ使用できます。

25.3.7 強制出力モード

このモード（TIMx_CCMRx レジスタの CCxS=00）では、各出力比較信号（OCxREF、そして OCx）はソフトウェアで強制的にアクティブ、非アクティブのいずれかの状態とされます。これは出力比較レジスタとカウンタの間の比較動作とはかかわりなく行われます。

出力比較信号（ocxref/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、OCxREF 信号を強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、出力比較モードのセクションで説明します。

25.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ／比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCXM=000）、アクティブにセットされるか（OCxM=001）、非アクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。
- 割込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割込みマスク（TIMx_DIER レジスタの CCXIE ビット）がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

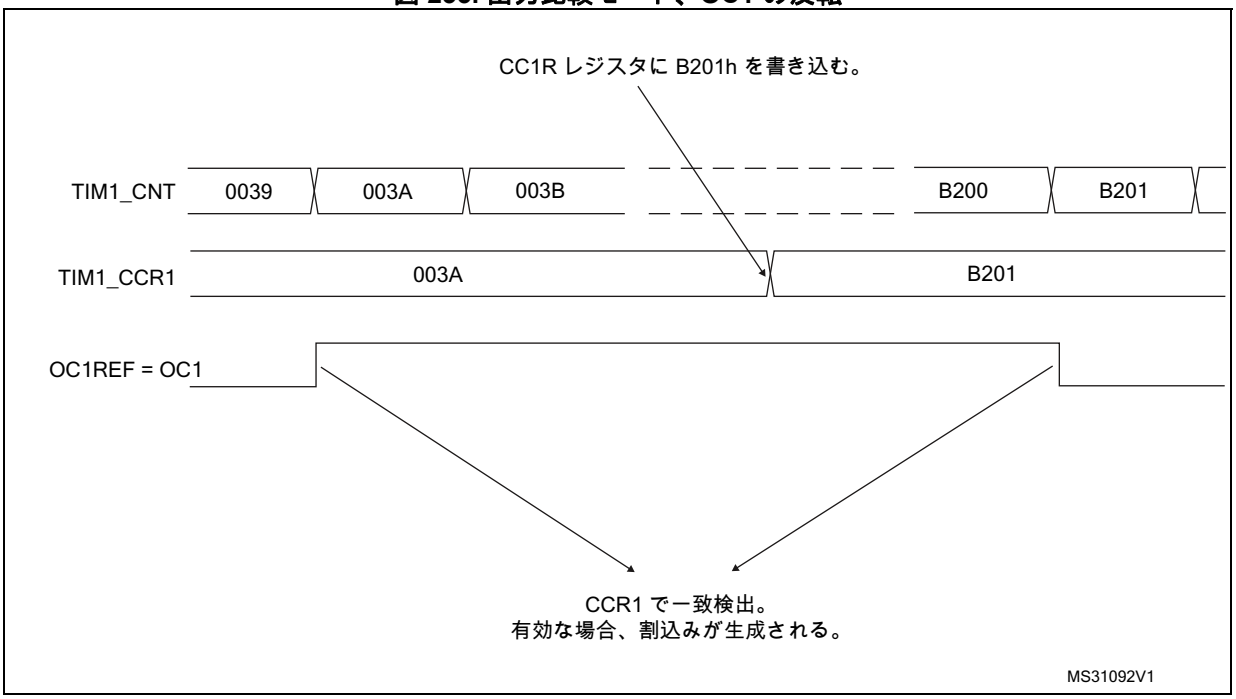
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用できます（ワンパルスモード）。

手順

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエスト／DMA リクエストを生成する場合は、CCxIE ビット／CCxDE ビットをセットします。
4. 出力モードを選択します。たとえば、CNT が CCRx と一致したときに OCx 出力をトグルし、CCRx プリロードを使用せず、OCx が有効でアクティブハイのときには、OCxM=011、OCxPE=0、CCxP=0、CCxE=1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアで TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を図 233 に示します。

図 233. 出力比較モード、OC1 の反転



25.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、個々のチャネル（OCx 出力ごとに PWM 1 波形）で、TIMx_CCMRx レジスタのOCxM ビットに“110”（PWM モード 1）や“111”（PWM モード 2）を書き込むことで、独自に選択できます。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、TIMx_CCER レジスタの CCxE ビットによって有効になります。詳細については、TIMx_CCERx レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。

ただし、OCREF_CLR 機能（OCREF は、次の PWM 周期までは ETR 信号を通じて外部イベントによってクリアできる ）に従って、OCREF 信号は次の場合にのみアサートされます。

- 比較結果が変化したとき、または
- 出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）が停止構成（比較なし、OCxM=000）から PWM モードの 1 つ（OCxM=110 または 111）へ切り替えられたとき。

タイマの動作中は、ソフトウェアで強制的に PWM になります。

タイマは、TIMx_CR1 レジスタの CMS ビットに応じて、エッジアラインモードまたはセンターアラインモードで PWM を生成できます。

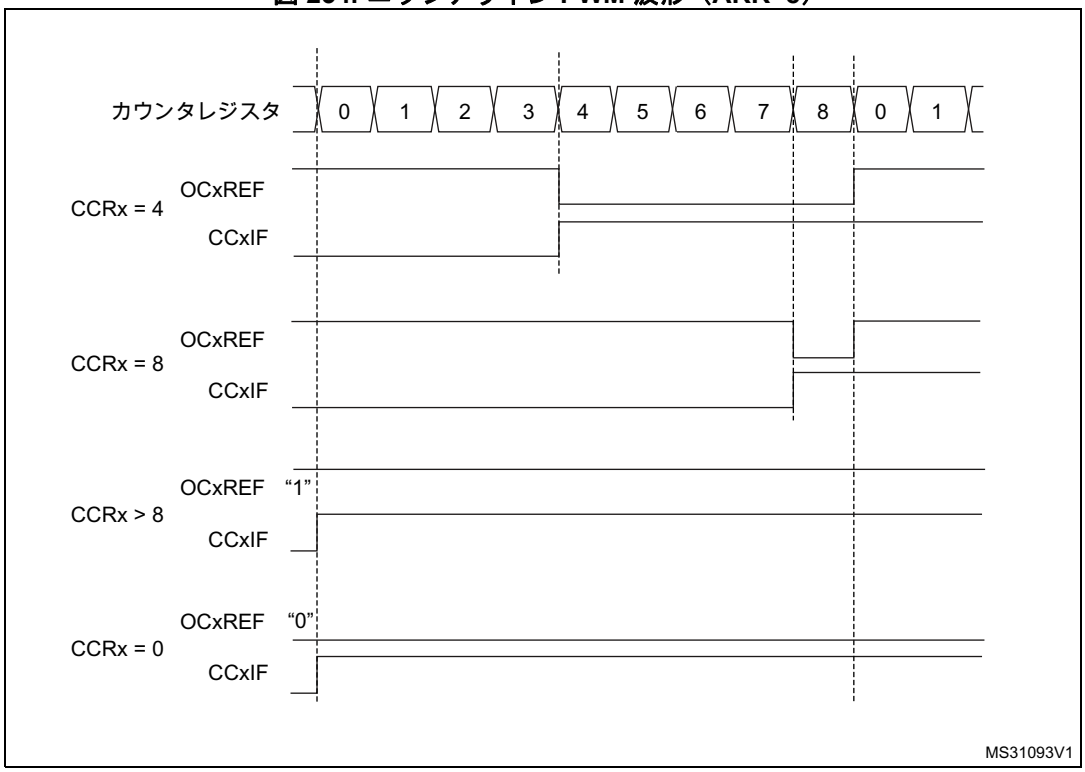
PWM エッジアラインモード

アップカウント構成

TIMx_CR1 レジスタの DIR ビットがローのときには、アップカウントがアクティブです。772 ページのアップカウントモードを参照してください。

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は“1”です。比較値が 0 の場合、OCxREFは“0”に保持されます。図 234 に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 234. エッジアライン PWM 波形（ARR=8）



ダウンカウント構成

TIMx_CR1 レジスタの DIR ビットがハイのときには、ダウンカウントがアクティブです。775 ページのダウンカウントモードを参照してください。

PWM モード 1 では、基準信号 OCxRef は、TIMx_CNT > TIMx_CCRx の間はローであり、そうでない場合はハイになります。TIMx_CCRx の比較値が TIMx_ARR の自動再ロード値より大きい場合、ocxref は 100% です。このモードでは、PWM 信号を生成することはできません。

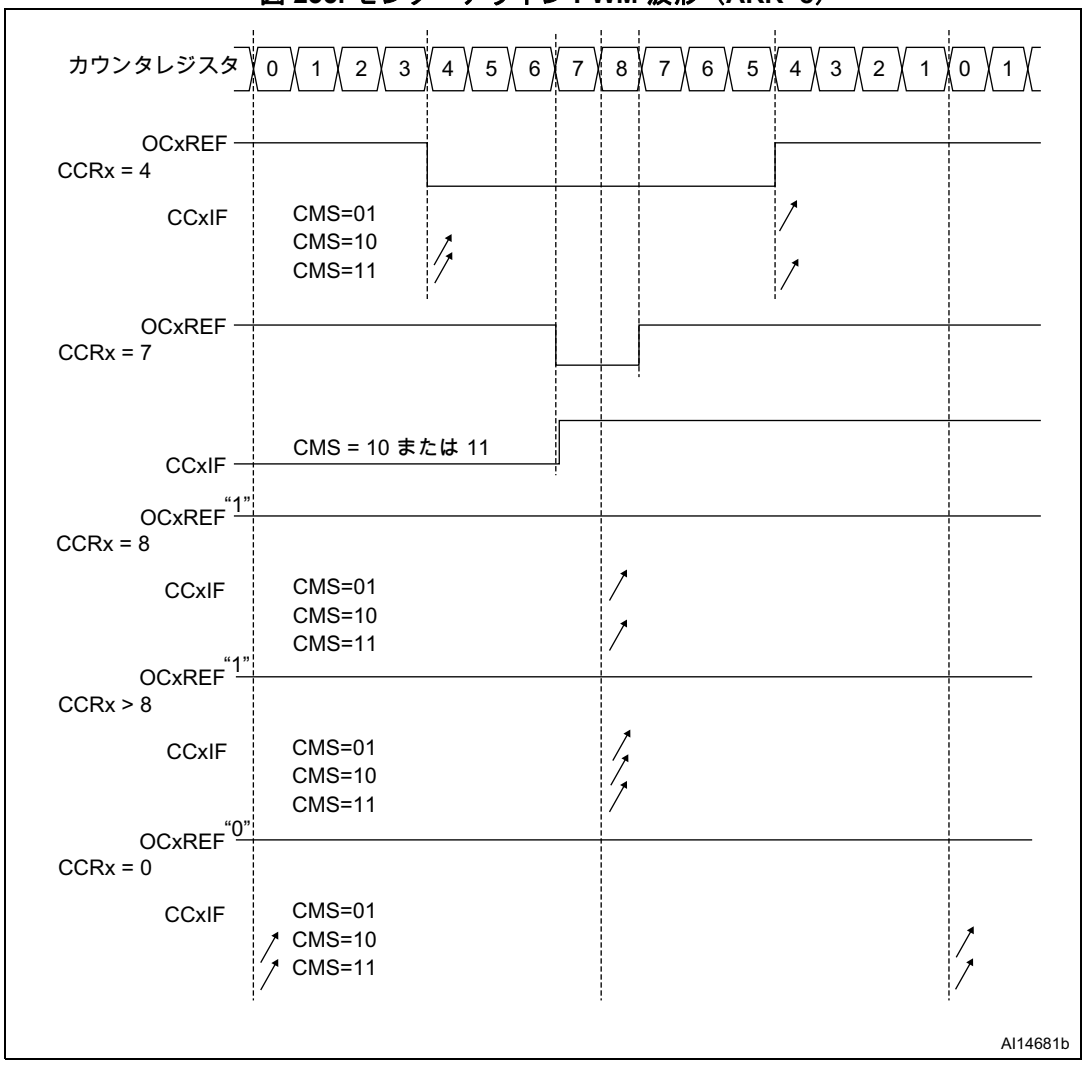
PWM センターアラインモード

センターアラインモードは、TIMx_CR1 レジスタの CMS ビットが“00”でないときにアクティブです（その他すべての設定は、OCxRef/OCx 信号に対して同じ効果を持ちます）。比較フラグは、CMS ビットの設定に応じて、カウンタがカウントアップ、カウントダウン、またはカウントアップとカウントダウンしているときにセットされます。TIMx_CR1 レジスタの方向ビット （DIR）はハードウェアによって更新されており、ソフトウェアで値を変更することはできません。778 ページのセンターアラインモード（アップ／ダウンカウント）を参照してください。

図 235 に、次の条件でのセンターアライン PWM 波形の例を示します。

- TIMx_ARR=8
- PWM モードは PWM モード 1
- フラグは、TIMx_CR1 レジスタの CMS=01 で選択されたセンターアラインモード 1 に対応して、カウンタがカウントダウンするときにセットされます。

図 235. センターアライン PWM 波形（ARR=8）



センターアラインモードの使用に関するヒント：

- センターアラインモードを開始するときには、現在のアップ／ダウン設定が使用されます。これは、TIMx_CR1 レジスタの DIR ビットに書き込まれた値に応じて、カウンタがカウントアップまたはカウントダウンすることを意味します。さらに、DIR ビットと CMS ビットをソフトウェアによって同時に変更することはできません。
- センターアラインモードで動作中のカウンタへの書込みは、予期しない結果を招くことがあるので推奨されません。特に、
  - 自動再ロード値より大きい値がカウンタに書き込まれた場合（TIMx_CNT > TIMx_ARR）、方向は更新されません。たとえば、カウンタがカウントアップしていた場合、カウンタはカウントアップを続けます。
  - カウンタに 0 または TIMx_ARR 値が書き込まれた場合、方向は更新されますが、更新イベント UEV は生成されません。
- センターアラインモードを使用する最も安全な方法は、カウンタを開始する直前に、ソフトウェアによって更新を生成して（TIMx_EGR レジスタの UG ビットをセットする）、動作中はカウンタへの書込みを行わないことです。

25.3.10 非対称 PWM モード

非対称モードでは、プログラム可能な位相シフトによって 2 つのセンターアライン PWM 信号の生成を可能にします。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや位相シフトは TIMx_CCRx レジスタペアで決定されます。1 つ目のレジスタがアップカウント時の PWM を制御し、2 つ目のレジスタがダウンカウント時の PWM を制御することで、PWM は PWM ハーフサイクルごとに調整されます。

- OC1REFC（または OC2REFC）は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。
- OC3REFC（または OC4REFC）は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

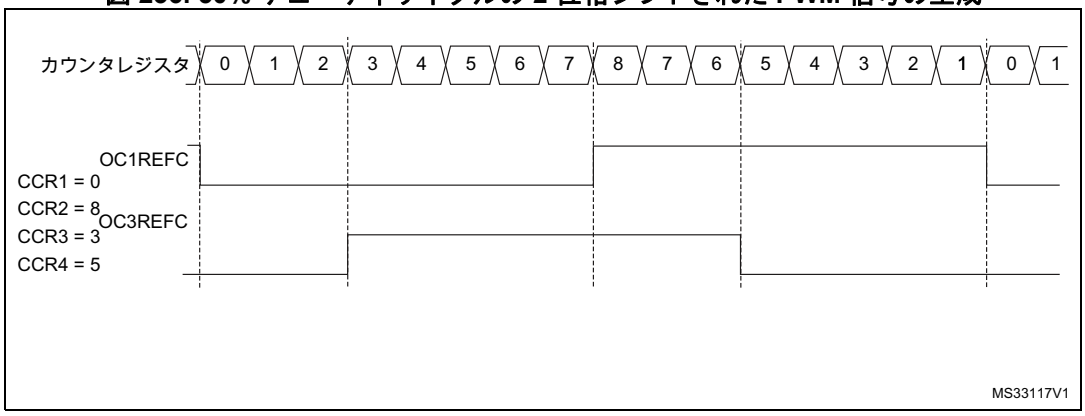
非対称 PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1110”（非対称 PWM モード 1）または“1111”（非対称 PWM モード 2）を書き込むことによって、2 チャネルごとに選択できます（CCR レジスタペアごとに 1 つの OCx 出力）。

注： **OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。**

特定のチャネルが非対称の PWM チャネルとして使用されると、その 2 次チャネルも使用できます。たとえば、OC1REFC 信号がチャネル 1（非対称 PWM モード 1）に生成されると、チャネル 2 の OC2REF 信号、または非対称 PWM モード 2 の結果として得られる OC2REFC 信号を出力できます。

図 236 は、非対称 PWM モードを使用して生成される信号の例を表します（チャネル 1 から 4 は非対称 PWM モード 1 として設定されます）。

図 236. 50% デューティサイクルの 2 位相シフトされた PWM 信号の生成



25.3.11 組み合わせ PWM モード

組み合わせ PWM モードでは、2 つのエッジアラインまたはセンターアライン PWM 信号を生成でき、それぞれのパルス間に遅延および位相シフトをプログラムできます。周波数が TIMx_ARR レジスタの値で決定されるのに対し、デューティサイクルや遅延は 2 つの TIMx_CCRx レジスタで決定されます。結果として得られる信号 OCxREFC は、2 つの PWM 基準信号の OR または AND による論理結合から成ります。

– OC1REFC（または OC2REFC）は、TIMx_CCR1 および TIMx_CCR2 によって制御されます。

– OC3REFC（または OC4REFC）は、TIMx_CCR3 および TIMx_CCR4 によって制御されます。

組み合わせ PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“1100”（組み合わせ PWM モード 1）または“1101”（組み合わせ PWM モード 2）を書き込むことによって、2 チャネルごとに選択できます（CCR レジスタペアごとに 1 つの OCx 出力）。

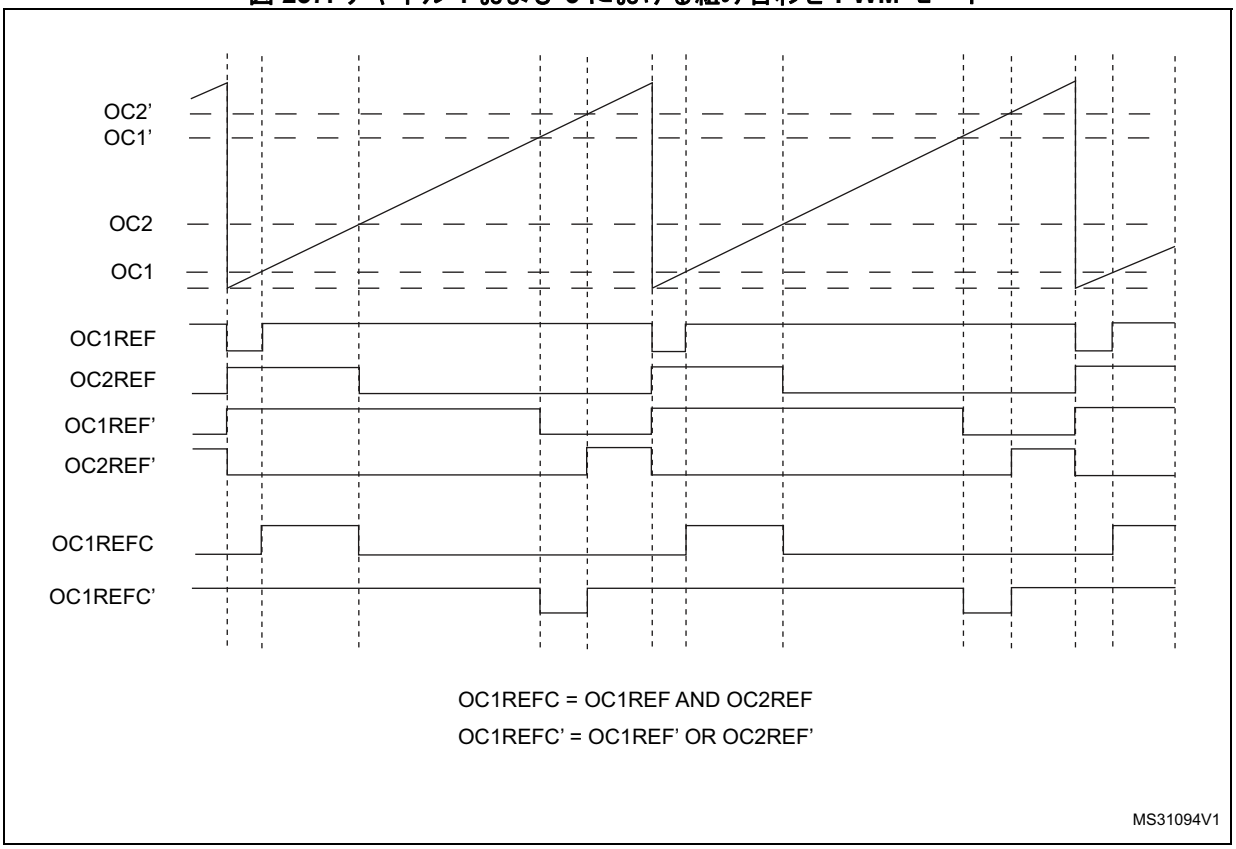
特定のチャネルが組み合わせ PWM チャネルとして使用されている場合、2 次チャネルを反対の PWM モードに設定する必要があります（たとえば、1 つを組み合わせ PWM モード 1、もう 1 つを組み合わせ PWM モード 2 にします）。

注： OCxM[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

図 237 は、次の設定で取得可能な非対称 PWM モードを使用して生成される信号の例を表します。

- チャネル 1 が組み合わせ PWM モード 2 で設定されている場合
- チャネル 2 が PWM モード 1 で設定されている場合
- チャネル 3 が組み合わせ PWM モード 2 で設定されている場合
- チャネル 4 が PWM モード 1 で設定されている場合

図 237. チャネル 1 および 3 における組み合わせ PWM モード



25.3.12 外部イベントによる OCxREF 信号のクリア

特定のチャネルの OCxREF 信号は ocref_clr_int 入力にハイレベルを適用するとクリアされます（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを“1”にセットする）。OCxREF は、次の PWM サイクルでアクティブ状態に遷移するまでローのままです。この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。

OCREF_CLR_INPUT は、TIMx_SMCR レジスタで OCCS ビットを設定することで、OCREF_CLR 入力と ETRF（フィルタ後の ETR）の間で選択できます。

特定のチャネルの OCxREF 信号は ETRF 入力をハイレベルとする（対応する TIMx_CCMRx レジスタの OCxCE イネーブルビットを 1 にセットする）ことでリセットすることができます。OCxREF は、次の PWM サイクルでアクティブ状態に遷移するまでローのままです。

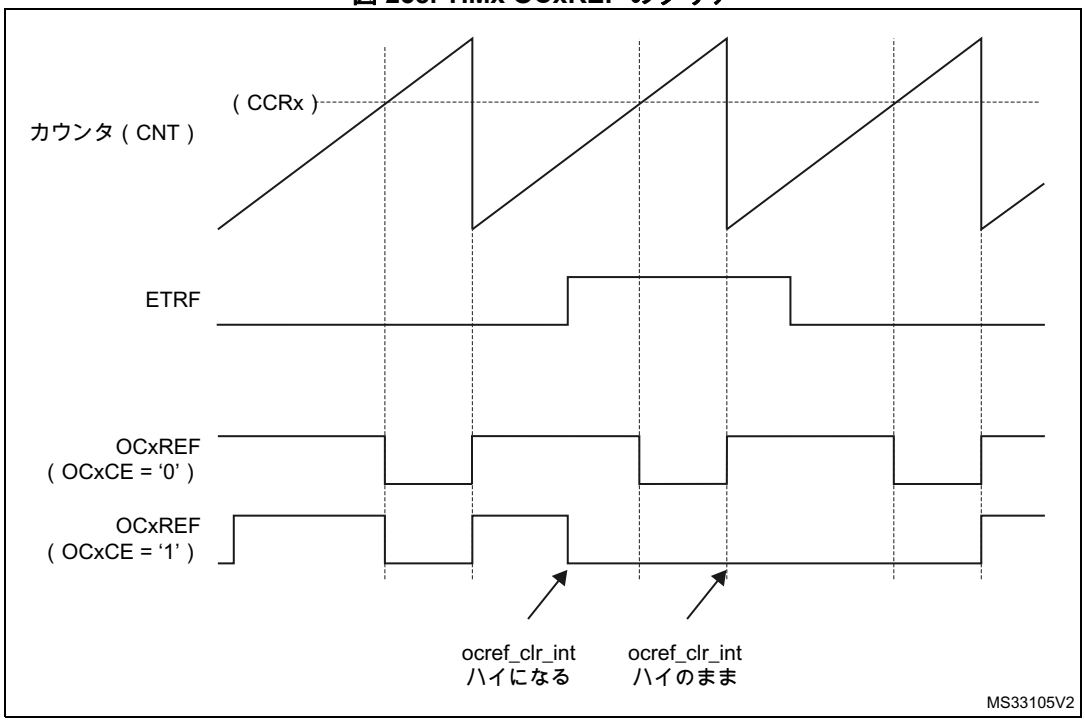
この機能は、出力比較モードと PWM モードでのみ使用可能です。強制モードでは動作しません。

たとえば、OCxREF 信号をコンパレータの出力に接続して、電流処理に使用することができます。この場合、ETR は次のように設定する必要があります。

1. 外部トリガプリスケーラをオフに保つ必要があります。すなわち、TIMx_SMCR レジスタのビット ETPS[1:0] が 00 にクリアされます。
2. 外部クロックモード 2 を無効にする必要があります。すなわち、TIM1_SMCR レジスタのビット ECE が 0 にクリアされます。
3. 外部トリガ極性（ETP）と外部トリガフィルタ（ETF）は、アプリケーションのニーズに応じて設定できます。

図 238 に、OCxCE イネーブルビットの両方の値について、ETRF 入力がハイになったときの OCxREF 信号の動作を示します。この例では、TIMx タイマは PWM モードにプログラミングされています。

図 238. TIMx OCxREF のクリア



注： **100% デューティサイクルの PWM の場合 （CCRx>ARR の場合）、次のカウンタオーバーフローで OCxREF が再度有効になります。**

25.3.13 ワンパルスモード

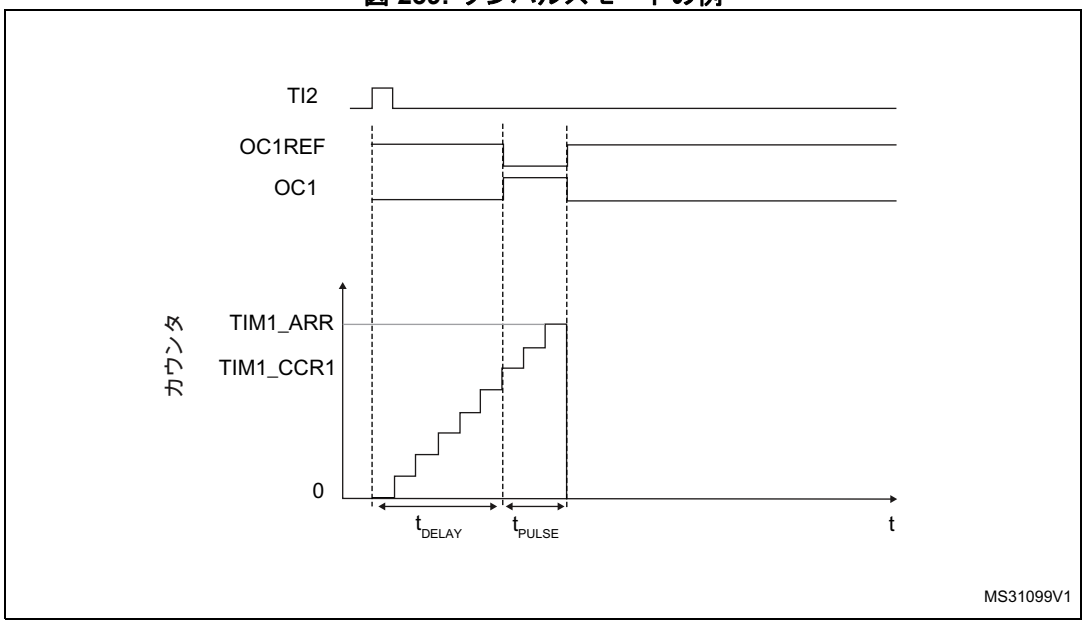
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- CNT < CCRx ≤ ARR （特に、0 < CCRx）

図 239. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2x ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタに CC2S=01 を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P=“0”と CC2NP =“0”を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS ビットに“00110”を書き込みます。
5. TI2FP2 を使用してカウンタを開始するために、TIMx_SMCR レジスタの SMS ビットに“110”（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE=1 を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

上の例では、TIMx_CR1 レジスタの DIR および CMS ビットはローでなければなりません。

必要なパルスは 1 つだけなので（シングルモード）、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、“0”に戻る時点）。TIMx_CR1 レジスタの OPM ビットが“0”にセットされると、繰り返しモードが選択されます。

特殊なケース：OCx 高速イネーブル：

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較を考慮せずにトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

25.3.14 再トリガ可能なワンパルスモード

このモードでは、トリガに応じてカウンタを開始して、プログラム可能な長さのパルスを生成できます。ただし、セクション 25.3.13 で説明する再トリガ不可能なワンパルスモードについて、次のような違いがあります。

- パルスはトリガが発生し次第開始します（プログラム可能な遅延はありません）。
- パルスは、前のトリガが完了する前に新しいトリガが発生すると拡張されます。

タイマはスレーブモードである必要があり、このときビットは TIMx_SMCR レジスタで SMS[3:0] =「1000」（リセットモードとトリガモードの組み合わせ）、および再トリガ可能な OPM モード 1 または 2 で OCxM[3:0] が「1000」または「1001」にセットされています。

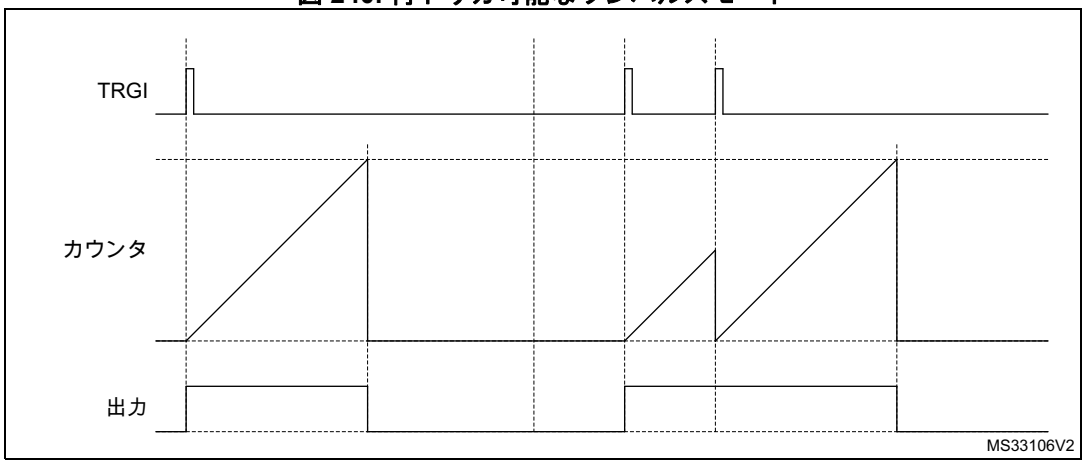
タイマをアップカウントモードで設定した場合、対応する CCRx を 0 にセットする必要があります（ARR レジスタによってパルス長がセットされます）。タイマをダウンカウントモードで設定した場合、CCRx は ARR 以上である必要があります。

注： **再トリガ可能なワンパルスモードでは、CCxIF フラグは意味を持ちません。**

OCxM[3:0] および SMS[3:0] ビットフィールドは互換性を確保するために 2 つのパーツに分割され、最上位ビットと 3 つの最下位ビットとは隣接していません。

このモードをセンターアライン PWM モードと組み合わせて使用することはできません。TIMx_CR1 では、CMS[1:0] = 00 にする必要があります。

図 240. 再トリガ可能なワンパルスモード



25.3.15 エンコーダインタフェースモード

エンコーダインタフェースモードを選択するには、TIMx_SMCR レジスタで、カウンタが TI2 エッジのみをカウントしている場合は SMS=“001”を、TI1 エッジのみをカウントしている場合は SMS=“010”を、TI1 と TI2 の両方のエッジをカウントしている場合は SMS=“011”を書き込みます。

TI1 と TI2 の極性を選択するには、TIMx_CCER レジスタの CC1P ビットと CC2P ビットをプログラミングします。CC1NP と CC2NP はクリア状態に維持する必要があります。必要なときには、入力フィルタもプログラミングできます。CC1NP と CC2NP はローに維持する必要があります。

2 つの入力 TI1 と TI2 は、インクリメンタルエンコーダとのインタフェースに使用されます。表 164 を参照してください。カウンタのクロックは、TI1FP1 または TI2FP2（入力フィルタおよび極性選択後は TI1 および TI2。フィルタされず、反転されない場合は TI1FP1=TI1、フィルタされず、反転されない場合は TI2FP2=TI2）の有効な変化によって駆動されます。ただし、カウンタ有効なことが前提となります（TIMx_CR1 レジスタの CEN ビットが“1”）。2 つの入力の遷移シーケンスが評価されて、カウントパルスと方向信号を生成します。シーケンスに応じて、カウンタはカウントアップまたはカウントダウンし、TIMx_CR1 レジスタの DIR ビットがハードウェアによって変更されます。カウンタが TI1 のみ、TI2 のみ、または TI1 と TI2 の両方をカウントしている場合でも、DIRビットは、いずれかの入力（TI1 または TI2）の遷移のたびに計算されます。

エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。カウンタは、0 と TIMx_ARR レジスタの自動再ロード値の間で連続的にカウントします（方向に応じて、0 から ARR まで、または ARR から 0 まで）。したがって、開始前に TIMx_ARR を設定する必要があります。同様に、キャプチャ、比較、プリスケーラ、およびトリガ出力機能は、通常動作を続けます。

このモードでは、カウンタは直交エンコーダの速度と方向に応じて自動的に変更されます。したがって、カウンタの内容は、常にエンコーダの位置を表します。カウンタの方向は、接続されているセンサの回転方向に対応します。次の表は、カウント方向とエンコーダ信号の可能な組み合わせを示します（TI1 と TI2 は同時に切り替わらないと想定しています）。

表 164. カウント方向とエンコーダ信号

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI1 のみカウント	高	ダウン	アップ	カウントなし	カウントなし
	ロー	アップ	ダウン	カウントなし	カウントなし

表 164. カウント方向とエンコーダ信号 （続き）

アクティブエッジ	他方の信号のレベル（TI2 に対する TI1FP1、TI1 に対する TI2FP2）	TI1FP1 信号		TI2FP2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
TI2 のみカウント	高	カウントなし	カウントなし	アップ	ダウン
	ロー	カウントなし	カウントなし	ダウン	アップ
TI1 と TI2 の両方をカウント	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

外部インクリメンタルエンコーダは、外部インタフェースロジックなしに、MCU に直接接続できます。ただし、エンコーダの差分出力をデジタル信号に変換するために、通常、コンパレータが使用されます。これにより、耐ノイズ性が大幅に向上します。機械的なゼロ位置を示す 3 番目のエンコーダ出力は、外部割込み入力に接続して、カウンタのリセットをトリガできます。

図 241 に、カウント信号の生成と方向制御を含むカウンタの動作例を示します。また、両方のエッジが選択されているときの入力ジッタの補正方法も示します。この状況は、センサの位置が一方のスイッチングポイントの近くにあるときに生じることがあります。下の例では、以下のような設定となっています。

- CC1S = 01（TIMx_CCMR1 レジスタ、TI1FP1 は TI1 に配置）
- CC2S = 01（TIMx_CCMR2 レジスタ、TI2FP2 は TI2 に配置）
- CC1P および CC1NP = 0（TIMx_CCER レジスタ、TI1FP1 非反転、TI1FP1=TI1）
- CC2P および CC2NP = 0（TIMx_CCER レジスタ、TI2FP2 非反転、TI2FP2=TI2）
- SMS=011（TIMx_SMCR レジスタ、両方の入力が立ち上がりと立ち下がりの両エッジでアクティブ）
- CEN=1（TIMx_CR1 レジスタ、カウンタ有効）

図 241. エンコーダインタフェースモードにおけるカウンタの動作例

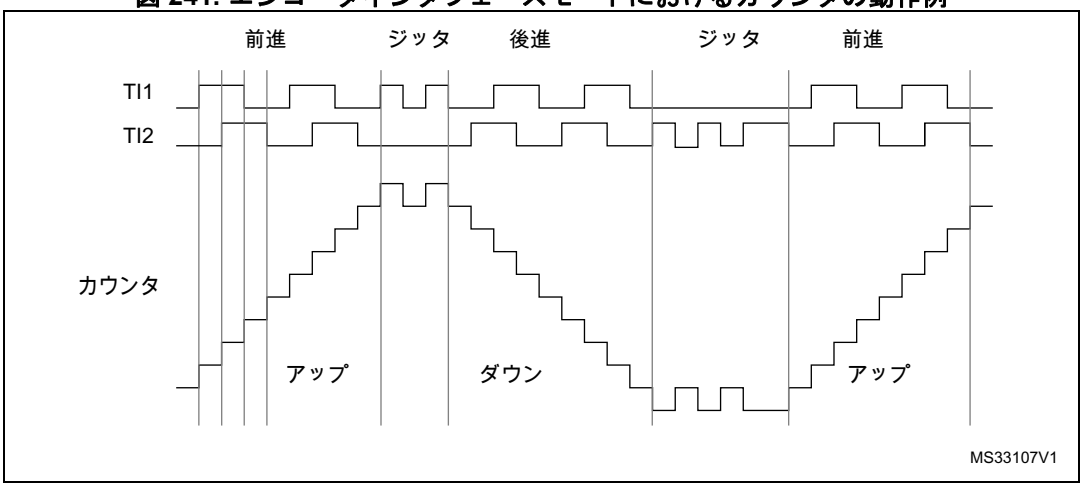
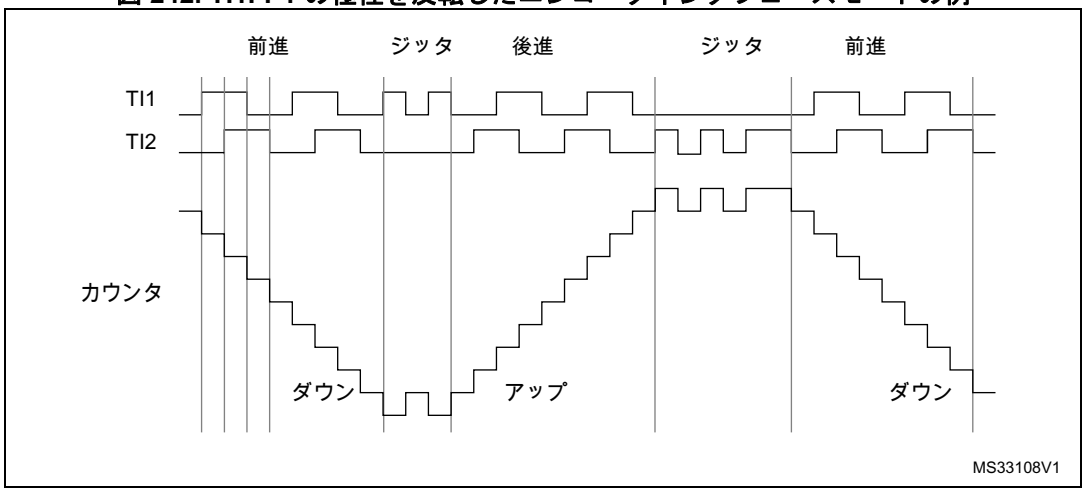


図 242 に、TI1FP1 の極性を反転したときのカウンタの動作を示します（上記と同じ設定ですが、CC1P=1）。

図 242. TI1FP1 の極性を反転したエンコーダインタフェースモードの例



タイマがエンコーダインタフェースモードに設定されている場合、タイマはセンサの現在位置に関する情報を提供します。キャプチャモードに構成した 2 番目のタイマを使用して、2 つのエンコーダイベントの時間差を測定することで、速度、加速度、減速度といった動的な情報を得ることができます。機械的なゼロ位置を示すエンコーダの出力をこの目的に使用できます。2 つのイベントの時間差に応じて、カウンタを定期的に読み出すこともできます。これを行うには、使用可能な場合、カウンタの値を 3 番目の入力キャプチャレジスタにラッチします（キャプチャ信号は周期的でなければならず、別のタイマによって生成できます）。使用可能なときには、リアルタイムクロックによって生成される DMA リクエストを通じて値を読み出すことも可能です。

25.3.16 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31（TIMxCNT[31]）に更新割込みフラグ（UIF）を連続コピーします。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。バックグラウンドタスク（カウンタの読出し）と割込み（更新割込み）との間で共有されている処理などによって生じる競合状態を避けることで、角速度の計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

32 ビットのタイマの実装で、IUFREMAP ビットがセットされている場合、カウンタのビット 31 は読出しアクセス時に UIFCPY フラグによって上書きされます（カウンタの最上位ビットには書込みモード時のみアクセス可能）。

25.3.17 タイマ入力 XOR 機能

TIM1xx_CR2 レジスタの TI1S ビットによって、チャネル 1 の入力フィルタを 3 つの入力ピン TIMx_CH1 から TIMx_CH3 を結合する XOR ゲートの出力に接続できます。

XOR 出力は、トリガや入力キャプチャなど、すべてのタイマ入力機能で使用できます。

この機能をホールセンサのインタフェースに使用した例をセクション 24.3.25 : 718 ページのホールセンサとのインタフェースに示します。

25.3.18 タイマと外部トリガの同期

TIMx タイマは、いくつかのモードで外部トリガを使用して同期できます。そのモードは、リセットモード、ゲートモード、およびトリガモードです。

スレーブモード：リセットモード

カウンタとそのプリスケーラは、トリガ入力のイベントに応じて再初期化できます。さらに、TIMx_CR1 レジスタの URS ビットがローの場合は、更新イベント UEV が生成されます。その場合、すべてのプリロードされたレジスタ（TIMx_ARR、TIMx_CCRx）が更新されます。

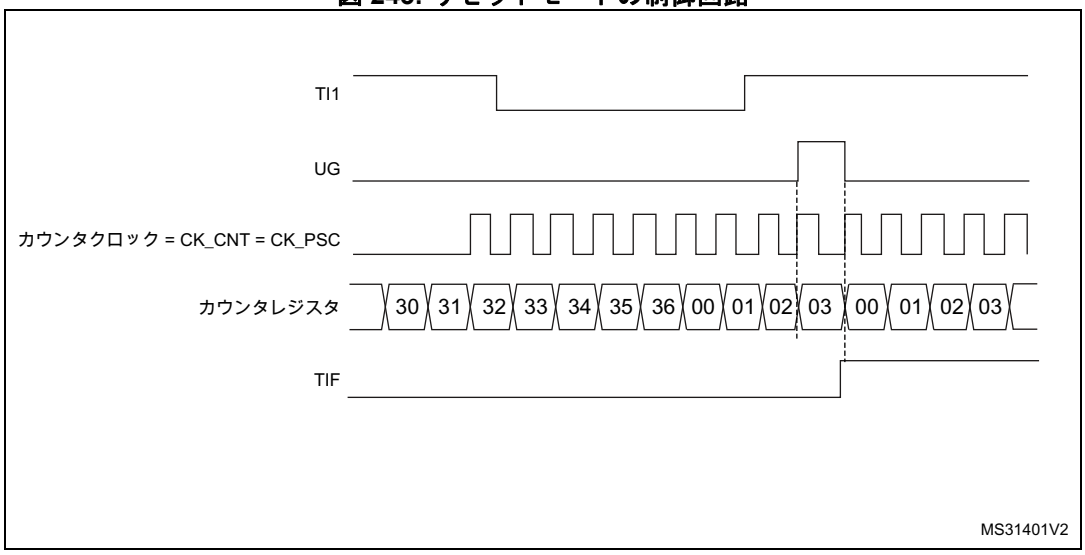
次の例では、TI1 入力の立ち上がりエッジに応じて、アップカウンタがクリアされます。

1. TI1 の立ち上がりエッジを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01）。TIMx_CCER レジスタで CC1P= 0 と CC1NP = 0 を書き込んで、極性を有効にします（そして、立ち上がりエッジのみを検出します）。
2. TIMx_SMCR レジスタに SMS=100 を書き込むことによって、タイマをリセットモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを開始します。

カウンタは内部クロックでカウントを開始し、TI1 の立ち上がりエッジまで通常の動作を行います。TI1 が立ち上がると、カウンタはクリアされ、0 からリスタートします。同時に、トリガフラグがセットされ（TIMx_SR レジスタの TIF ビット）、（TIMx_DIER レジスタの TIE ビットが）有効な場合は割込みリクエストを送信できます。

次の図は、自動再ロードレジスタ TIMx_ARR=0x36 の場合の動作を示します。TI1 の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、TI1 入力の同期回路によるものです。

図 243. リセットモードの制御回路



スレーブモード：ゲートモード

選択された入力のレベルに応じて、カウンタを有効にできます。

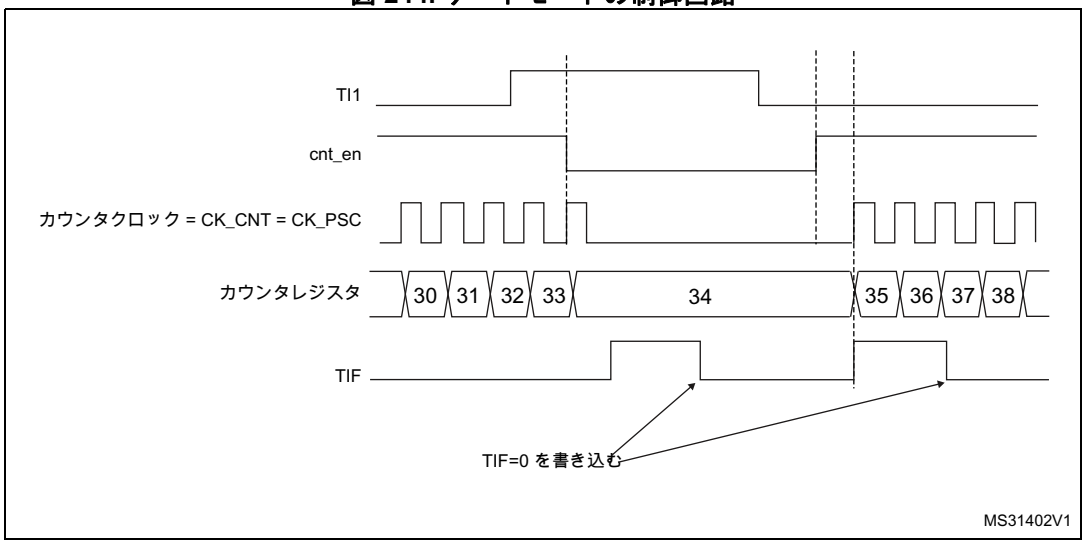
次の例では、アップカウンタは TI1 入力がローのときだけカウントします。

1. TI1 のローレベルを検出するように、チャネル 1 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC1F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC1S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC1S=01 ビット）。TIMx_CCER レジスタで CC1P = 1 と CC1NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
2. TIMx_SMCR レジスタに SMS=101 を書き込むことによって、タイマをゲートモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。
3. TIMx_CR1 レジスタに CEN=1 を書き込んで、カウンタを有効にします（ゲートモードでは、CEN=0 の場合、トリガ入力のレベルにかかわらず、カウンタは開始しません）。

カウンタは、TI1 がローになると内部クロックでカウントを開始して、TI1 がハイになると停止します。TIMx_SR レジスタの TIF フラグは、カウンタの開始時と停止時にセットされます。

TI1 の立ち上がりエッジから実際にカウンタが停止するまでの遅延は、TI1 入力の再同期回路によるものです。

図 244. ゲートモードの制御回路



1. ゲートモードはエッジではなくレベルに対して動作するため、CCxP=CCxNP=1 の設定（立ち上がりと立ち下がり両エッジの検出）はゲートモードでは意味がありません。

注： ゲートモードはエッジではなくレベルに対して動作するため、CCxP=CCxNP=1 の設定（立ち上がりと立ち下がり両エッジの検出）はゲートモードでは意味がありません。

スレーブモード：トリガモード

選択された入力のイベントに対応して、カウンタが開始できます。

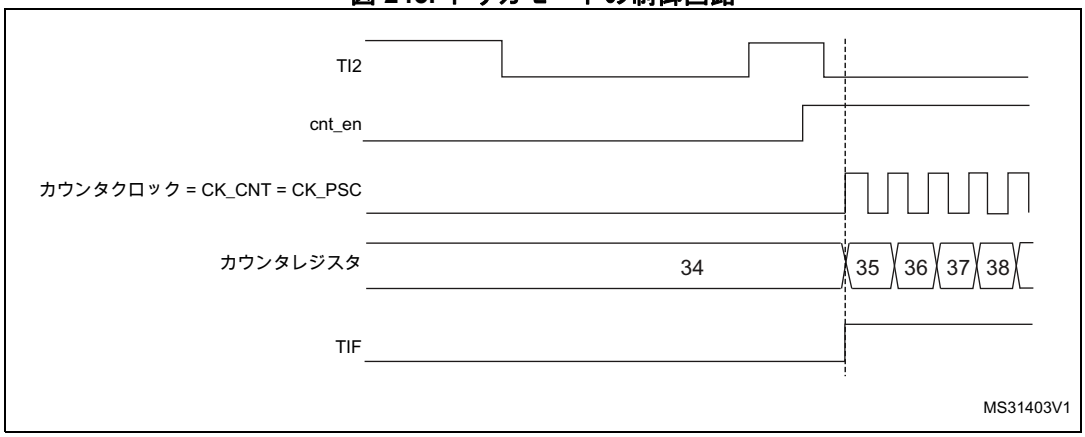
次の例では、アップカウンタは、TI2 入力の立ち上がりエッジに応じて開始します。

1. TI2 の立ち上がりエッジを検出するように、チャネル 2 を設定します。入力フィルタ時間を設定します（この例ではフィルタは不要なので、IC2F=0000 のままにしておきます）。キャプチャプリスケーラはトリガには使用されないので、設定は不要です。CC2S ビットは、入力キャプチャソースのみを選択します（TIMx_CCMR1 レジスタの CC2S=01）。TIMx_CCER レジスタで CC2P = 1 と CC2NP = 0 を書き込んで、極性を有効にします（そして、ローレベルのみを検出します）。
2. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00110 を書き込むことによって、入力ソースとして TI2 を選択します。

TI2 で立ち上がりエッジが発生すると、カウンタは内部クロックでのカウントを開始し、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際にカウンタが開始するまでの遅延は、TI2 入力の再同期回路によるものです。

図 245. トリガモードの制御回路



スレーブモード：外部クロックモード 2 + トリガモード

外部クロックモード 2 は、他のスレーブモードとともに使用できます（ただし、外部クロックモード 1 とエンコーダモードは除きます）。この場合、ETR 信号は外部クロック入力として使用され、別の入力をトリガ入力として選択できます（リセットモード、ゲートモード、およびトリガモードで動作している場合）。TIMx_SMCR レジスタの TS ビットを通じて TRGI として ETR を選択しないようにしてください。

次の例では、アップカウンタは、TI1 の立ち上がりエッジが発生すると、ETR 信号の立ち上がりエッジのたびにインクリメントされます。

1. TIMx_SMCR レジスタで次のようにプログラミングすることによって、外部トリガ入力回路を構成します。
   - ETF = 0000：フィルタなし
   - ETPS=00：プリスケーラ無効
   - ETP=0：ETR の立ち上がりエッジを検出。ECE=1 で外部クロックモード 2 を有効にします。
2. TI1 の立ち上がりエッジを検出するように、チャネル 1 を次のように構成します。
   - IC1F=0000：フィルタなし。
   - キャプチャプリスケーラはトリガには使用されないので、設定する必要はありません。

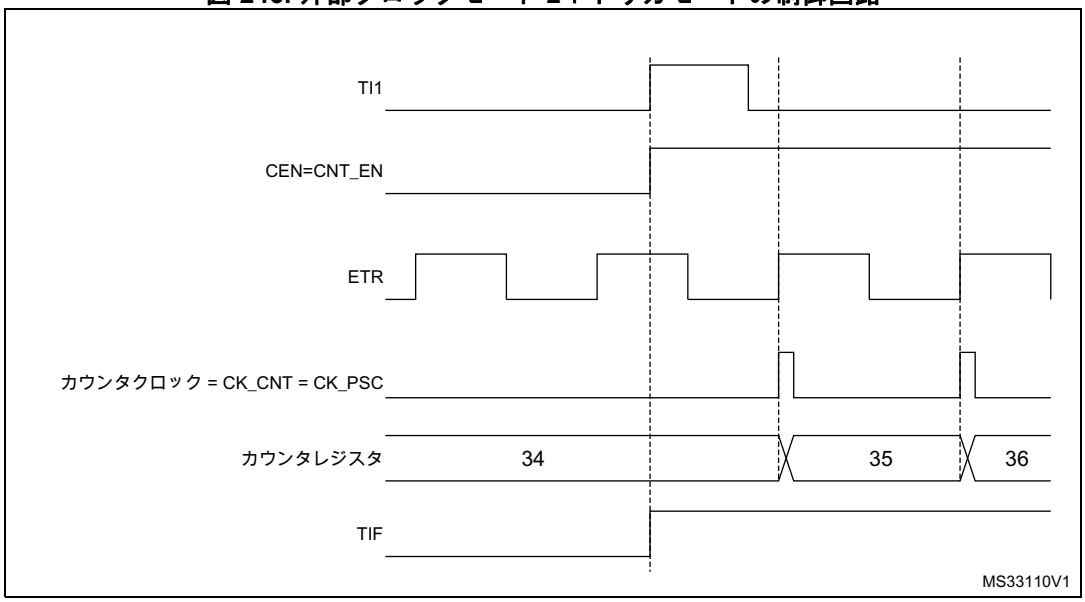
– TIMx_CCMR1 レジスタの CC1S=01 で、入力キャプチャソースのみを選択します。
– TIMx_CCER レジスタの CC1P=0 と CC1NP=0 で、極性を有効にします（そして、立ち上がりエッジのみを検出します）。

3. TIMx_SMCR レジスタに SMS=110 を書き込むことによって、タイマをトリガモードに設定します。TIMx_SMCR レジスタに TS=00101 を書き込むことによって、入力ソースとして TI1 を選択します。

TI1 の立ち上がりエッジでカウンタが有効になり、TIF フラグがセットされます。カウンタは、ETR の立ち上がりエッジでカウントします。

ETR 信号の立ち上がりエッジから実際にカウンタがリセットされるまでの遅延は、ETRP 入力の再同期回路によるものです。

図 246. 外部クロックモード 2＋トリガモードの制御回路



25.3.19 タイマの同期

タイマの同期や連携した動作のために、TIMx タイマを内部で相互リンクすることができます。マスタモードに設定されたタイマは、スレーブモードに設定された別のタイマのカウンタのリセット、開始、停止、またはクロック供給を行うことができます。

図 247 : マスタ／スレーブタイマの例および図 248 : 1 チャネルだけのタイマのマスタ／スレーブ接続例 に、トリガ選択およびマスタモード選択ブロックの概要を示します。

図 247. マスタ／スレーブタイマの例

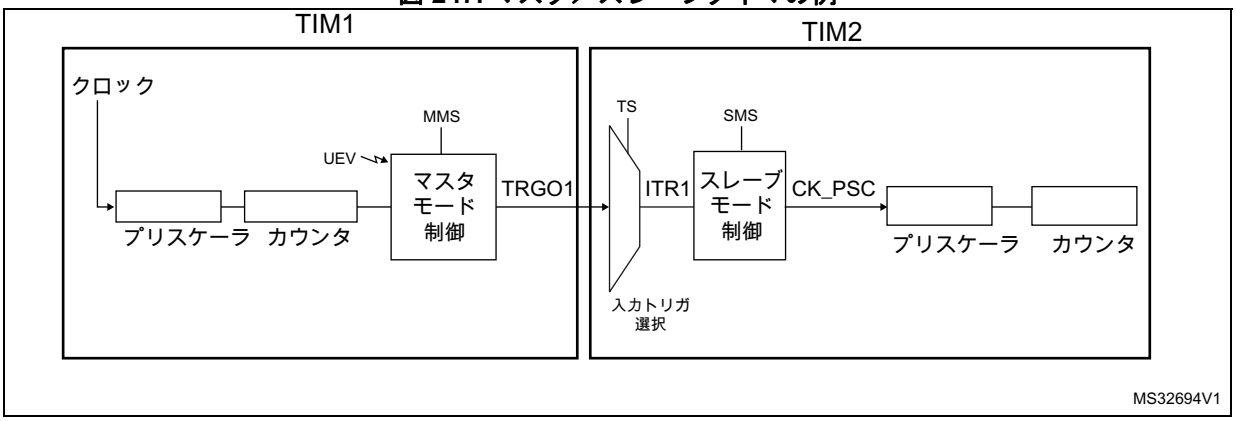
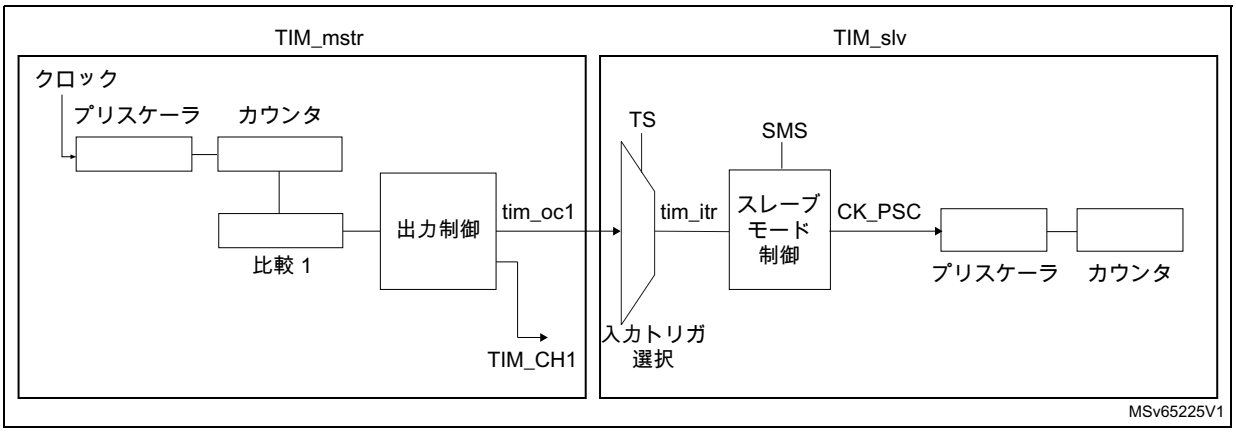


図 248. 1 チャネルだけのタイマのマスタ／スレーブ接続例



注： **1 つのチャネルのみを持つタイマ（図 248 を参照）にはマスタモードはありません。しかし、OC1 出力信号は、他のいくつかのタイマ（本書の他のセクションで説明されているタイマを含む）のトリガとして使用できます。どのタイマがスレーブとして使用できるかを知るには、デバイスのいずれかの TIMx_SMCR レジスタの「TIMx 内部トリガ接続」表を確認してください。**
OC1 信号のパルス幅は、スレーブタイマが確実にトリガを検出できるように、転送先タイマの少なくとも 2 クロックサイクルになるようにプログラムする必要があります。
たとえば、転送先タイマの CK_INT クロックが転送元のタイマより 4 倍遅い場合、OC1 のパルス幅は 8 クロックサイクルでなければなりません。

タイマを別のタイマのプリスケーラとして使用する

たとえば、TIM1 が TIM2 のプリスケーラとして動作するように設定できます。図 247 を参照してください。このためには、次の操作を行います。

1. 更新イベント UEV ごとに周期的なトリガ信号を出力するように、TIM1 をマスタモードに設定します。TIM1_CR2 レジスタで MMS=010 を書き込んだ場合、更新イベントが生成されるたびに、TRGO で立ち上がりエッジが出力されます。
2. TIM1 の TRGO 出力を TIM2 に接続するには、ITR0 を内部トリガとして使用して、TIM2 をスレーブモードに設定する必要があります。これは、TIM2_SMCR レジスタの TS ビットで選択します（TS=00000 を書き込みます）。
3. 次に、スレーブモードコントローラを外部クロックモード 1 に設定しなければなりません（TIM2_SMCR レジスタで SMS=111 を書き込みます）。これにより TIM2 は、TIM1 の周期的なトリガ信号の立ち上がりエッジ（TIM1 カウンタのオーバーフローに対応しています）をクロックとして動作します。

4. 最後に、それぞれの CEN ビット（TIMx_CR1 レジスタ）をセットすることによって、両方のタイマを有効にする必要があります。

注： **TIM1 のトリガ出力として OCx が選択された場合（MMS=1xx）、その立ち上がりエッジが TIM2 カウンタのクロックとして使用されます。**

タイマを使用して別のタイマを有効にする

この例では、TIM2 の有効化を、タイマ 1 の出力比較 1 で制御します。接続については、図 247 を参照してください。TIM2 は、TIM1 の OC1REF がハイのときのみ、分周された内部クロックでカウントします。両方のカウンタクロック周波数は、CK_INTをプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

1. TIM 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
2. TIM1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. TIM1 から入力トリガを受け取るように TIM2 を設定します（TIM2_SMCR レジスタの TS=00000）。
4. TIM2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
5. CEN ビット（TIM_CR1 レジスタ）に“1”を書き込んで、TIM2 を有効にします。
6. CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、TIM を開始します。

注： **カウンタ 2 のクロックはカウンタ 1 と同期しないので、このモードは TIM2 カウンタのイネーブル信号にのみ影響します。**

図 249. TIM1 の OC1REF による TIM2 のゲート操作

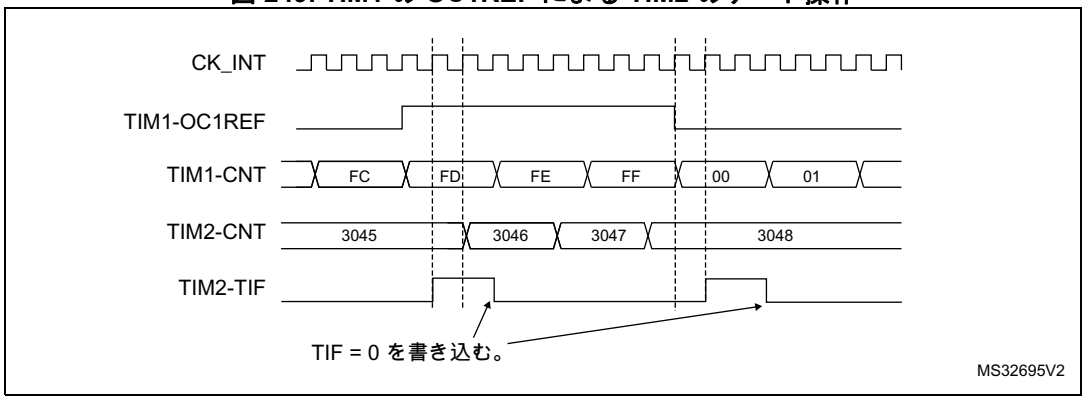


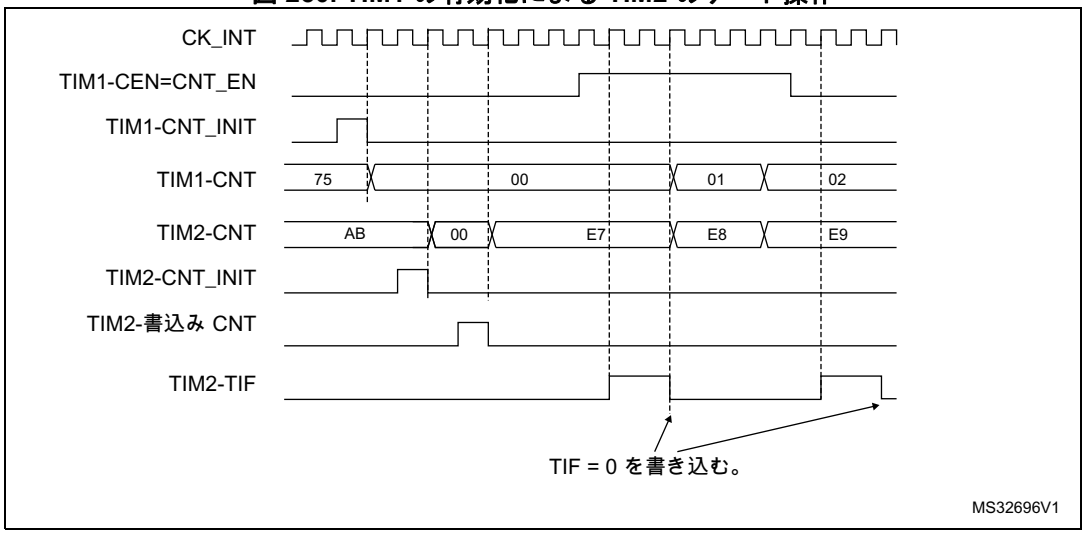
図 249 の例では、TIM2 のカウンタとプリスケーラは、開始前に初期化されていません。したがって、現在値からカウントを開始します。TIM1 を開始する前に両方のタイマをリセットすることによって、特定の値から開始することが可能です。その後、任意の値をタイマカウンタに書き込むことができます。TIMx_EGR レジスタの UG ビットを使用して、ソフトウェアで容易にタイマをリセットできます。

次の例では（図 250 を参照）、TIM1 と TIM2 を同期させます。TIM1 はマスタであり、0 からカウントを開始します。TIM2 はスレーブであり、0xE7 から開始します。プリスケーラの分周比は両方のタイマで同じです。TIM1_CR1 レジスタの CEN ビットに“0”を書き込むことによって TIM1 を無効にすると、TIM2 は停止します。

1. TIM 1 をマスタモードに設定して、その出力比較 1 基準（OC1REF）信号をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=100）。
2. TIM1 の OC1REF 波形を設定します（TIM1_CCMR1 レジスタ）。
3. TIM1 から入力トリガを受け取るように TIM2 を設定します（TIM2_SMCR レジスタの TS=00000）。
4. TIM2 をゲートモードに設定します（TIM2_SMCR レジスタの SMS=101）。
5. UG ビット（TIM1_EGR レジスタ）に“1”を書き込んで、TIM1 をリセットします。

6. UG ビット（TIM2_EGR レジスタ）に“1”を書き込んで、TIM2 をリセットします。
7. TIM2 カウンタ（TIM2_CNTL）に“0xE7”を書き込んで、TIM2 を 0xE7 に初期化します。
8. CEN ビット（TIM2_CR1 レジスタ）に“1”を書き込んで、TIM2 を有効にします。
9. CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、TIM1 を開始します。
10. CEN ビット（TIM1_CR1 レジスタ）に“0”を書き込んで、TIM1 を停止します。

図 250. TIM1 の有効化による TIM2 のゲート操作

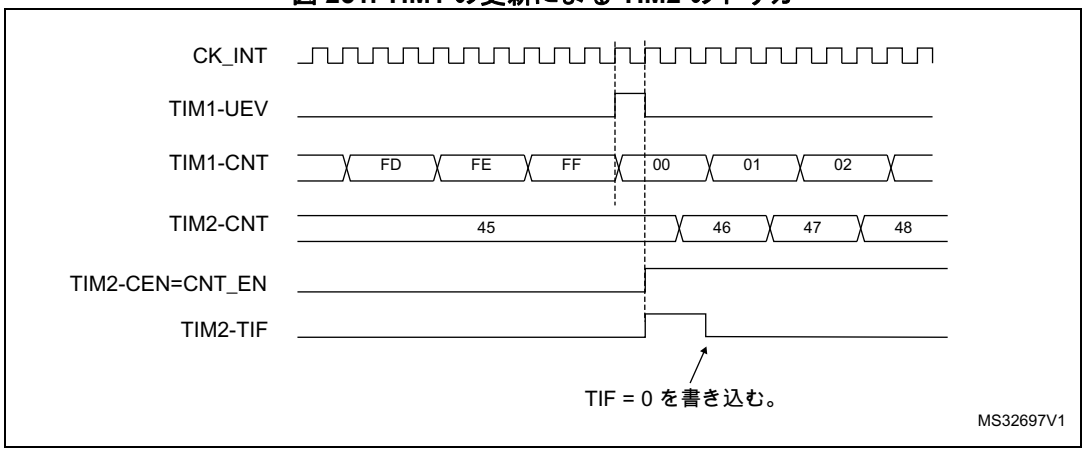


タイマを使用して別のタイマを開始する

この例では、タイマ 1 の更新イベントによってタイマ 2 の有効化を設定します。接続については、図 247 を参照してください。タイマ 1 によって更新イベントが生成されると、タイマ 2 は、分周された内部クロックで現在値（ゼロである必要はありません）からカウントを開始します。タイマ 2 がトリガ信号を受信すると、その CEN ビットが自動的にセットされ、カウンタは TIM2_CR1 レジスタの CEN ビットに“0”が書き込まれるまでカウントします。両方のカウンタクロック周波数は、CK_INT をプリスケーラで 3 分周したものです（$f_{CK_CNT} = f_{CK_INT}/3$）。

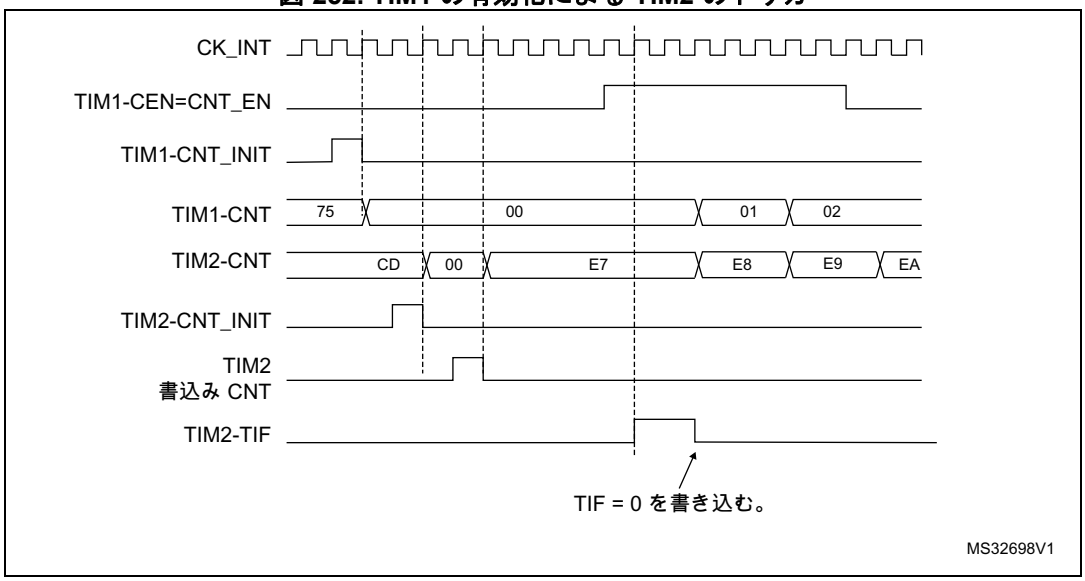
1. TIM1 をマスタモードに設定して、その更新イベント（UEV）をトリガ出力として送信します（TIM1_CR2 レジスタの MMS=010）。
2. TIM1 の周期を設定します（TIM1_ARR レジスタ）。
3. TIM1 から入力トリガを受け取るように TIM2 を設定します（TIM2_SMCR レジスタの TS=00000）。
4. TIM2 をトリガモードに設定します（TIM2_SMCR レジスタの SMS=110）。
5. CEN ビット（TIM1_CR1 レジスタ）に“1”を書き込んで、TIM1 を開始します。

図 251. TIM1 の更新による TIM2 のトリガ



前の例と同じように､カウントを開始する前に両方のカウンタを初期化できます。図 252 は図 251 と同じ設定ですが、ゲートモードではなくトリガモードでの動作を示します（TIM2_SMCR レジスタの SMS=110）。

図 252. TIM1 の有効化による TIM2 のトリガ



注： **TRGO 信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケーラ）を動作中に変更しないでください。**

25.3.20 DMA バーストモード

TIMx タイマには、1 つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、タイマの一部をソフトウェアのオーバヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト（バースト）を開始します。TIMx_DMAR レジスタへの各書込みは、実際にタイマレジスタの 1 つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します。つまり、転送数（ハーフワード単位またはバイト単位）を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し／書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します（x = 2、3、4）。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャネルを次のように設定します。
   - DMA チャネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
   - DMA チャネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
   - 転送データ数 = 3 とします（下の注を参照）。
   - サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
   DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします（DIER レジスタのUDE ビットをセット）。
4. TIMx を有効化
5. DMA チャネルを有効化注：

この例は、各 CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注： **null 値を予約済みレジスタに書き込むことができます。**

25.3.21 デバッグモード

システムがデバッグモードになると（プロセッサコアは停止状態）、TIMx カウンタは、DBGMCU モジュールの DBG_TIM2_STOP 設定ビットに応じて、通常どおりに動作を続けるか、停止します。詳細については、セクション 41.8.3：DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1（DBGMCU_APB1FZR1）を参照してください。

25.4 TIM2 レジスタ

このリファレンスマニュアルが適用される製品ではこのタイプのタイマを使うケースは一例しかないため、このセクションでは“TIMx”は“TIM2”として理解する必要があります。

レジスタの説明で使用されている略語のリストについては、セクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

25.4.1 TIM2 制御レジスタ 1（TIM2_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP**：UIF ステータスビットの再配置

0：再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。
1：再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デジタルフィルタ（ETR、TIx）によって使用されるサンプリングクロックとの間の分周比を示します。
00: $t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 \times t_{CK_INT}$
10：$t_{DTS} = 4 \times t_{CK_INT}$
11：予約済みです。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:5 **CMS[1:0]**：センターアラインモード選択

00：エッジアラインモードカウンタは、方向ビット（DIR）に応じて、カウントアップまたはカウントダウンします。
01：センターアラインモード 1。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントダウンしているときのみセットされます。
10：センターアラインモード 2。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントアップしているときのみセットされます。
11：センターアラインモード 3。カウンタはカウントアップとカウントダウンを交互に行います。出力に設定されたチャネル（TIMx_CCMRx レジスタの CCxS=00）の出力比較割込みフラグは、カウンタがカウントアップおよびカウントダウンしているときにセットされます。

注： カウンタが有効（CEN=1）なときに、エッジアラインモードからセンターアラインモードに切り替えることはできません。

ビット 4 **DIR**：方向

0：カウンタはアップカウンタとして使用されます。

1：カウンタはダウンカウンタとして使用されます。

注： このビットは、タイマがセンターアラインモードまたはエンコーダモードに設定されているときには読出し専用です。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。

1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット／クリアされます。

0：次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。

– カウンタオーバーフロー／アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー／アンダーフローのみが更新割込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー／アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロック、ゲートモード、およびエンコーダモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

ワンパルスモードでは、更新イベントが発生すると、CEN は自動的にクリアされます。

25.4.2 TIM2 制御レジスタ 2（TIM2_CR2）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1S	MMS[2:0]			CCDS	Res.	Res.	Res.
								rw	rw	rw	rw	rw			

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TI1S**：TI1 選択

0：TIMx_CH1 ピンが TI1 入力に接続されます。

1：TIMx_CH1、CH2、および CH3 ピンが TI1 入力に接続されます（XOR 接続）。参照先：セクション 24.3.25：718 ページのホールセンサとのインタフェース

ビット 6:4 **MMS[2:0]**：マスタモード選択

これらのビットにより、同期のためにマスタモードでスレーブタイマに送信される情報を選択することができます（TRGO）。組み合わせは、次のとおりです。

000：**リセット**- TIMx_EGR レジスタの UG ビットがトリガ出力（TRGO）として使用されます。トリガ入力によってリセットが生成される場合（スレーブモードコントローラがリセットモードに設定されているとき）、TRGO 信号は実際のリセットより遅延します。

001：**イネーブル** - カウンタイネーブル信号 CNT_EN がトリガ出力（TRGO）として使用されます。これは、いくつかのタイマを同時に開始するときや、スレーブタイマが有効な時間枠を制御するときに役立ちます。カウンタイネーブル信号は、ゲートモードに設定されているとき、CEN 制御ビットとトリガ入力との論理和（AND）によって生成されます。

カウンタイネーブル信号がトリガ入力によって制御されているとき、マスタ／スレーブモードが選択されている場合を除き、TRGO には遅延が存在します（TIMx_SMCR レジスタの MSM ビットの説明を参照してください）。

010：**更新** - 更新イベントがトリガ出力（TRGO）として選択されます。たとえば、マスタタイマをスレーブタイマのプリスケーラとして使用できます。

011：**パルス比較** - キャプチャまたは比較一致が発生すると、CC1IF フラグがセットされるとき（すでにハイであった場合も）、トリガ出力は正のパルスを送信します（TRGO）

100：**比較** - OC1REFC 信号がトリガ出力（TRGO）として使用されます。

101：**比較** - OC2REFC 信号がトリガ出力（TRGO）として使用されます。

110：**比較** - OC3REFC 信号がトリガ出力（TRGO）として使用されます。

111：**比較** - OC4REFC 信号がトリガ出力（TRGO）として使用されます。

注： スレーブタイマまたは ADC のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間は動作中に変更しないでください。

ビット 3 **CCDS**：キャプチャ／比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

25.4.3 TIM2スレーブモード制御レジスタ（TIM2_SMCR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **ETP**：外部トリガ極性

このビットは、ETR と $\overline{\text{ETR}}$ のいずれがトリガ動作に使用されるかを選択します。

0：ETR は反転されず、ハイレベルまたは立ち上がりエッジでアクティブです。

1：ETR は反転され、ローレベルまたは立ち下がりエッジでアクティブになります。

ビット 14 **ECE**：外部クロックイネーブル

このビットは、外部クロックモード 2 を有効にします。

0：外部クロックモード 2 は無効です。

1：外部クロックモード 2 は有効です。カウンタは、ETRF 信号のアクティブエッジによってクロック供給されます。

注： ECE ビットをセットすることは、TRGI が ETRF に接続された状態で外部クロックモード 1 を選択することと同じ効果があります（SMS=111、TS=00111）。

外部クロックモード 2 と次のスレーブモード、すなわち、リセットモード、ゲートモード、またはトリガモードを同時に使用することができます。ただし、この場合、TRGI を ETRF に接続することはできません（TS ビットが 00111 でないことが必要）。

外部クロックモード 1 と外部クロックモード 2 が同時に有効な場合、外部クロック入力はETRF です。

ビット 13:12 **ETPS[1:0]**：外部トリガプリスケーラ

外部トリガ信号 ETRP の周波数は、最大でも CK_INT 周波数の 1/4 でなければなりません。プリスケーラを有効にすると、ETRP 周波数を低減できます。これは、高速な外部クロックを入力するときに役立ちます。

00：プリスケーラオフ

01：ETRP 周波数は 2 分周されます。

10：ETRP 周波数は 4 分周されます。

11：ETRP 周波数は 8 分周されます。

ビット 11:8 **ETF[3:0]**：外部トリガフィルタ

このビットフィールドは、ETRP 信号をサンプルする周波数と、ETRP に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、f_{DTS} でサンプリング
0001： $f_{SAMPLING} = f_{CK_INT}$、N = 2
0010： $f_{SAMPLING} = f_{CK_INT}$、N = 4
0011： $f_{SAMPLING} = f_{CK_INT}$、N = 8
0100： $f_{SAMPLING} = f_{DTS}/2$、N = 6
0101： $f_{SAMPLING} = f_{DTS}/2$、N = 8
0110： $f_{SAMPLING} = f_{DTS}/4$、N = 6
0111： $f_{SAMPLING} = f_{DTS}/4$、N = 8
1000： $f_{SAMPLING} = f_{DTS}/8$、N = 6
1001： $f_{SAMPLING} = f_{DTS}/8$、N = 8
1010： $f_{SAMPLING} = f_{DTS}/16$、N = 5
1011： $f_{SAMPLING} = f_{DTS}/16$、N = 6
1100： $f_{SAMPLING} = f_{DTS}/16$、N = 8
1101： $f_{SAMPLING} = f_{DTS}/32$、N = 5
1110： $f_{SAMPLING} = f_{DTS}/32$、N = 6
1111： $f_{SAMPLING} = f_{DTS}/32$、N = 8

ビット 7 **MSM**：マスタ／スレーブモード

0：影響なし。
1：トリガ入力（TRGI）に対するイベントの影響は、現在のタイマとそのスレーブとの間の完全な同期（TRGO を通じて）を可能にするために遅延されます。これは、1 つの外部イベントで複数のタイマを同期したい場合に役立ちます。

ビット 21、20、6、5、4 **TS[4:0]**：トリガ選択

このビットフィールドは、カウンタの同期に使用されるトリガ入力を選択します。

00000：内部トリガ 0（ITR0）
00001：内部トリガ 1（ITR1）
00010：内部トリガ 2（ITR2）
00011：内部トリガ 3（ITR3）
00100：TI1 エッジ検出回路（TI1F_ED）
00101：フィルタタイマ入力 1（TI1FP1）
00110：フィルタタイマ入力 2（TI2FP2）
00111：外部トリガ入力（ETRF）
01000：内部トリガ 4（ITR4）
01001：内部トリガ 5（ITR5）
01010：内部トリガ 6（ITR6）
01011：内部トリガ 7（ITR7）
01100：内部トリガ 8（ITR8）
その他：予約済みです。

各タイマでの ITRx の詳細については、表 165：817 ページのTIM2 内部トリガ接続を参照してください。

注： 設定変更時の誤ったエッジ検出を避けるために、これらのビットは、使用されていないとき（SMS=000 のときなど）にのみ変更しなければなりません。

ビット 3 **OCCS**：OCREF クリア選択

このビットは、OCREF クリアソースを選択するために使用されます。
0：OCREF_CLR_INT は、OCREF_CLR 入力に接続されています。
1：OCREF_CLR_INT は、ETRF に接続されています。

ビット 16、2、1、0 **SMS[3:0]**：スレーブモード選択

外部信号が選択されると、トリガ信号（TRGI）のアクティブエッジが外部入力で選択された極性にリンクされます（入力制御レジスタおよび制御レジスタの説明を参照してください）。

0000：スレーブモードは無効です。CEN =“1”の場合、プリスケーラは内部クロックによって直接クロック供給されます。

0001：エンコーダモード 1 - カウンタは、TI2FP2 のレベルに応じて、TI1FP1 のエッジでカウントアップ／ダウンします。

0010：エンコーダモード 2 - カウンタは、TI1FP1 のレベルに応じて、TI2FP2 のエッジでカウントアップ／ダウンします。

0011：エンコーダモード 3 - カウンタは、他の入力のレベルに応じて、TI1FP1 と TI2FP2 の両方のエッジでカウントアップ/ダウンします。

0100：リセットモード - 選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成します。

0101：ゲートモード - カウンタクロックは、トリガ入力（TRGI）がハイのときに有効になります。トリガがローになると、カウンタは停止します（リセットはされません）。カウンタの開始と停止の両方が制御されます。

0110：トリガモード - カウンタは、トリガ TRGI の立ち上がりエッジで開始します（リセットはされません）。カウンタの開始のみが制御されます。

0111：外部クロックモード 1 - 選択されたトリガ（TRGI）の立ち上がりエッジがカウンタのクロックとして供給されます。

1000：リセットモードとトリガモードの組み合わせ - 選択されたトリガ入力の立ち上がりエッジ（TRGI）

カウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

注： トリガ入力として TI1F_ED が選択されている場合（TS=00100）、ゲートモードを使用することはできません。TI1F_ED は TI1F の変化ごとに 1 パルスを出力しますが、ゲートモードはトリガ信号のレベルをチェックします。

注： TRGO 信号を受信するスレーブペリフェラル（タイマ、ADC など）のクロックは、マスタタイマからイベントを受信する前に有効化する必要があり、マスタタイマからトリガを受信している間はクロック周波数（プリスケーラ）を動作中に変更しないでください。

表 165. TIM2 内部トリガ接続

スレーブ TIM	ITR0	ITR1	ITR2 - ITR8
TIM2	TIM1	USB_FS_SOF(1)	-

1. この接続は、TIM2_OR1 レジスタの ITR_RMP ビットがセットされている場合のみ、有効です。

25.4.4 TIM2 DMA／割込み有効レジスタ（TIM2_DIER）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
			rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CC4DE**：キャプチャ／比較 4 DMA リクエストイネーブル
0：CC4 DMA リクエストは無効です。
1：CC4 DMA リクエストは有効です。

ビット 11 **CC3DE**：キャプチャ／比較 3 DMA リクエストイネーブル
0：CC3 DMA リクエストは無効です。
1：CC3 DMA リクエストは有効です。

ビット 10 **CC2DE**：キャプチャ／比較 2 DMA リクエストイネーブル
0：CC2 DMA リクエストは無効です。
1：CC2 DMA リクエストは有効です。

ビット 9 **CC1DE**：キャプチャ／比較 1 DMA リクエストイネーブル
0：CC1 DMA リクエストは無効です。
1：CC1 DMA リクエストは有効です。

ビット 8 **UDE**：更新 DMA リクエストイネーブル
0：更新 DMA リクエストは無効です。
1：更新 DMA リクエストは有効です。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TIE**：トリガ割込みイネーブル
0：トリガ割込みは無効です。
1：トリガ割込みは有効です。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CC4IE**：キャプチャ／比較 4 割込みイネーブル
0：CC4 割込みは無効です。
1：CC4 割込みは有効です。

ビット 3 **CC3IE**：キャプチャ／比較 3 割込みイネーブル
0：CC3 割込みは無効です。
1：CC3 割込みは有効です。

ビット 2 **CC2IE**：キャプチャ／比較 2 割込みイネーブル
0：CC2 割込みは無効です。
1：CC2 割込みは有効です。

ビット 1 **CC1IE**：キャプチャ／比較 1 割込みイネーブル
0：CC1 割込みは無効です。
1：CC1 割込みは有効です。

ビット 0 **UIE**：更新割込みイネーブル
0：更新割込みは無効です。
1：更新割込みは有効です。

25.4.5 TIM2 ステータスレジスタ（TIM2_SR）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **CC4OF**：キャプチャ／比較 4 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 11 **CC3OF**：キャプチャ／比較 3 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 10 **CC2OF**：キャプチャ／比較 2 オーバーキャプチャフラグ
CC1OF の説明を参照してください。

ビット 9 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ
このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。
0：オーバーキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TIF**：トリガ割込みフラグ
このフラグは、TRG トリガイベント時（スレーブモードコントローラがゲートモード以外のすべてのモードで有効なときに、TRGI 入力でアクティブエッジが検出されたとき）にハードウェアによってセットされます。ゲートモードが選択されている場合、カウンタが開始または停止したときにセットされます。ソフトウェアによってクリアされます。
0：トリガイベントは発生していません。
1：トリガ割込みが保留中です。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CC4IF**：キャプチャ／比較 4 割込みフラグ
CC1IF の説明を参照してください。

ビット 3 **CC3IF**：キャプチャ／比較 3 割込みフラグ
CC1IF の説明を参照してください。

ビット 2 **CC2IF**：キャプチャ／比較 2 割込みフラグ
CC1IF の説明を参照してください。

ビット 1 **CC1IF**：キャプチャ／比較 1 割込みフラグ

このフラグはハードウェアによってセットされます。ソフトウェアによって（入力キャプチャモードまたは出力比較モード）、または TIMx_CCR1 レジスタを読み出すことによって（入力キャプチャモードのみ）クリアされます。

0：比較一致／入力キャプチャは発生していません。

1：比較一致または入力キャプチャが発生しました。

チャネル CC1 が出力として設定されている場合：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ／ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。

CC1 チャネルが入力として設定されている場合：このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた（TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された）ときに設定されます。

ビット 0 **UIF**：更新割込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

オーバーフローまたはアンダーフロー時と、TIMx_CR1 レジスタの UDIS=0 の場合。

TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、トリガイベントによって CNT が再初期化されたとき（同期制御レジスタの説明を参照）。

25.4.6 TIM2 イベント生成レジスタ（TIM2_EGR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TG**：トリガ生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：TIMx_SR レジスタの TIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **CC4G**：キャプチャ／比較 4 生成

CC1G の説明を参照してください。

ビット 3 **CC3G**：キャプチャ／比較 3 生成

CC1G の説明を参照してください。

ビット 2 **CC2G**：キャプチャ／比較 2 生成

CC1G の説明を参照してください。

ビット 1 **CC1G**：キャプチャ／比較 1 生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

CC1 チャネルが出力として設定されている場合：

CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。

CC1 チャネルが入力として設定されている場合：

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。センターアラインモードが選択されている場合、または、DIR=0（カウントアップ）の場合、カウンタはクリアされます。そうでない場合、DIR=1（カウントダウン）であれば、自動再ロード値（TIMx_ARR）をとります。

25.4.7 TIM2 キャプチャ／比較モードレジスタ 1（TIM2_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを入力キャプチャモード（このセクション）または出力比較モード（次のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F [3:0]				IC2PSC [1:0]		CC2S [1:0]		IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC2F[3:0]**：入力キャプチャ 2 フィルタ

ビット 11:10 **IC2PSC[1:0]**：入力キャプチャ 2 プリスケーラ

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書込み可能です。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、f_{DTS} でサンプリング
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N = 6
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。プリスケーラは、CC1E=0（TIMx_CCER レジスタ）になるとリセットされます。

00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

25.4.8 TIM2 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM2_CCMR1）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを出力比較モード（このセクション）または入力キャプチャモード（前のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC2CE**：出力比較 2 クリアイネーブル

ビット 24、14:12 **OC2M[3:0]**：出力比較 2 モード

ビット 6:4 の OC1M 説明を参照

ビット 11 **OC2PE**：出力比較 2 プリロードイネーブル

ビット 10 **OC2FE**：出力比較 2 高速イネーブル

ビット 9:8 **CC2S[1:0]**：キャプチャ／比較 2 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC2 チャネルは出力として設定されます。

01：CC2 チャネルは入力として設定され、IC2 は TI2 に配置されます。

10：CC2 チャネルは入力として設定され、IC2 は TI1 に配置されます。

11：CC2 チャネルは入力として設定され、IC2 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC2S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC2E=0）のときにのみ書込み可能です。

ビット 7 **OC1CE**：出力比較 1 クリアイネーブル

0：OC1Ref は ETRF 入力の影響を受けません。

1：OC1Ref は ETRF 入力のハイレベルが検出されるとクリアされます。

ビット 16、6:4 **OC1M[3:0]**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。このモードは、タイマをソフトウェアタイムベースとして使用する場合に使用できます。タイマ動作中に停止モードが有効になると、出力は停止状態になる前の状態（アクティブまたはインアクティブ）を維持します。

0001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

0010：一致時にチャネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

0011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100：強制非アクティブレベル - OC1REF は強制的にローになります。

0101：強制アクティブレベル - OC1REF は強制的にハイになります。

0110：PWM モード 1 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT >TIMx_CCR1 の場合は非アクティブ（OC1REF=“0”）に、そうでない場合はアクティブ（OC1REF=“1”）になります。

0111：PWM モード 2 - カウントアップ時、チャネル 1 は、TIMx_CNT < TIMx_CCR1 の場合は非アクティブに、そうでない場合はアクティブになります。カウントダウン時、チャネル 1 は、TIMx_CNT> TIMx_CCR1 の場合はアクティブに、そうでない場合は非アクティブになります。

1000：再トリガ可能な OPM モード 1 - アップカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはインアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びインアクティブになります。

1001：再トリガ可能な OPM モード 2 - アップカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはインアクティブです。その後、PWM モード 2 と同様に比較が行われ、チャネルは次の更新時に再びインアクティブになります。ダウンカウントモードでは、TRGI 信号でトリガイベントを検出するまでチャネルはアクティブです。その後、PWM モード 1 と同様に比較が行われ、チャネルは次の更新時に再びアクティブになります。

1010：予約済み。

1011：予約済み。

1100：組み合わせ PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 OR です。

1101：組み合わせ PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、OC1REF と OC2REF との論理 AND です。

1110：非対称 PWM モード 1 - OC1REF は、PWM モード 1 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

1111：非対称 PWM モード 2 - OC1REF は、PWM モード 2 と同様に動作します。OC1REFC は、カウンタがカウントアップするときに OC1REF を出力し、カウントダウンするときに OC2REF を出力します。

注： PWM モードでは、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

注： OC1M [3] ビットは隣接しておらず、ビット 16 にあります。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書込み可能であり、新しい値はただちに有効になります。
1：TIMx_CCR1 のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード（TIMx_CR1 レジスタの OPM ビットのセット）で使用する必要があります。
0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。
1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このような場合、OC は、比較結果に関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OCFE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
10：CC1 チャネルは入力として設定され、IC1 は TI2 に配置されます。
11：CC1 チャネルは入力として設定され、IC1 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

25.4.9 TIM2 キャプチャ／比較モードレジスタ 2（TIM2_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

同じレジスタを入力キャプチャモード（このセクション）または出力比較モード（次のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F [3:0]				IC4PSC [1:0]		CC4S [1:0]		IC3F [3:0]				IC3PSC [1:0]		CC3S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:12 **IC4F[3:0]**：入力キャプチャ 4 フィルタ

ビット 11:10 **IC4PSC[1:0]**：入力キャプチャ 4 プリスケーラ

ビット 9:8 **CC4S[1:0]**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。

10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。

11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書込み可能です。

ビット 7:4 **IC3F[3:0]**：入力キャプチャ 3 フィルタ

ビット 3:2 **IC3PSC[1:0]**：入力キャプチャ 3 プリスケーラ

ビット 1:0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。

10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。

11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書込み可能です。

25.4.10 TIM2 キャプチャ／比較モードレジスタ 2 [オルタネート]（TIM2_CCMR2）

アドレスオフセット：0x1C

リセット値：0x0000 0000

同じレジスタを出力比較モード（このセクション）または入力キャプチャモード（前のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M [3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OC4CE**：出力比較 4 クリアイネーブル

ビット 24、14:12 **OC4M[3:0]**：出力比較 4 モード

OC1M の説明（TIMx_CCMR1 レジスタのビット 6:4）を参照

ビット 11 **OC4PE**：出力比較 4 プリロードイネーブル

ビット 10 **OC4FE**：出力比較 4 高速イネーブル

ビット 9:8 **CC4S[1:0]**：キャプチャ／比較 4 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC4 チャネルは出力として設定されます。

01：CC4 チャネルは入力として設定され、IC4 は TI4 に配置されます。

10：CC4 チャネルは入力として設定され、IC4 は TI3 に配置されます。

11：CC4 チャネルは入力として設定され、IC4 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC4S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC4E=0）のときにのみ書込み可能です。

ビット 7 **OC3CE**：出力比較 3 クリアイネーブル

ビット 16、6:4 **OC3M[3:0]**：出力比較 3 モード

OC1M の説明（TIMx_CCMR1 レジスタのビット 6:4）を参照してください。

ビット 3 **OC3PE**：出力比較 3 プリロードイネーブル

ビット 2 **OC3FE**：出力比較 3 高速イネーブル

ビット 1:0 **CC3S[1:0]**：キャプチャ／比較 3 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC3 チャネルは出力として設定されます。

01：CC3 チャネルは入力として設定され、IC3 は TI3 に配置されます。

10：CC3 チャネルは入力として設定され、IC3 は TI4 に配置されます。

11：CC3 チャネルは入力として設定され、IC3 は TRC に配置されます。このモードは、TS ビット（TIMx_SMCR レジスタ）で内部トリガ入力が選択されている場合のみ機能します。

注： CC3S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC3E=0）のときにのみ書込み可能です。

25.4.11 TIM2 キャプチャ／比較有効レジスタ（TIM2_CCER）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
rw		rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw

ビット 15 **CC4NP**：キャプチャ／比較 4 出力極性

CC1NP の説明を参照してください。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **CC4P**：キャプチャ／比較 4 出力極性

CC1P の説明を参照してください。

ビット 12 **CC4E**：キャプチャ／比較 4 出力イネーブル。

CC1E の説明を参照してください。

ビット 11 **CC3NP**：キャプチャ／比較 3 出力極性

CC1NP の説明を参照してください。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC3P**：キャプチャ／比較 3 出力極性

CC1P の説明を参照してください。

ビット 8 **CC3E**：キャプチャ／比較 3 出力イネーブル。

CC1E の説明を参照してください。

ビット 7 **CC2NP**：キャプチャ／比較 2 出力極性
CC1NP の説明を参照してください。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **CC2P**：キャプチャ／比較 2 出力極性
CC1P の説明を参照してください。

ビット 4 **CC2E**：キャプチャ／比較 2 出力イネーブル。
CC1E の説明を参照してください。

ビット 3 **CC1NP**：キャプチャ／比較 1 出力極性
CC1 チャネルが出力として設定されている場合：この場合、CC1NP はクリアされたままでなければなりません。
CC1 チャネルが入力として設定されている場合：このビットは、TI1FP1/TI2FP1 の極性を定義するために CC1P と組み合わせて使用されます（CC1P の説明を参照してください）。

ビット 2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性
0：OC1 のアクティブハイ（出力モード）／エッジ感度を選択（入力モード、下記を参照）
1：OC1 のアクティブロー（出力モード）／エッジ感度を選択（入力モード、下記を参照）
CC1 チャネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。
CC1NP=0、CC1P=0： 非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードまたはエンコーダモードでのトリガ動作）。
CC1NP=0、CC1P=1： 反転／立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されます（ゲートモードまたはエンコーダモードでのトリガ動作）。
CC1NP=1、CC1P=1： 非反転/両エッジ。この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードでのトリガ動作）。この設定をエンコーダモードで使用することはできません。
CC1NP=1、CC1P=0： この設定は予約済みです。使用できません。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル。
0：キャプチャモードは無効／OC1 は非アクティブ。
1：キャプチャモードは有効／OC1 信号は、対応する出力ピンに出力されます。

表 166. 標準 OCx チャネルの出力制御ビット

CCxE ビット	OCx 出力状態
0	出力無効（タイマによって駆動されない：ハイインピーダンス）
1	出力は有効（tim_ocx = tim_ocxref + 極性）

注： 標準 OCx チャネルに接続されている外部 IO ピンの状態は、OCx チャネルの状態と、GPIO 制御およびオルタネート機能レジスタに依存します。

25.4.12 TIM2 カウンタ（TIM2_CNT）

このレジスタのビット 31 には、TIMx_CR1 レジスタの UIFREMAP の値に応じて 2つの定義があります。

- 本セクションは UIFREMAP = 0 の場合です。
- 次のセクションは UIFREMAP = 1 の場合です。

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CNT[31:0]**：カウンタ値

25.4.13 TIM2 カウンタ [オルタネート]（TIM2_CNT）

このレジスタのビット 31 には、TIMx_CR1 レジスタの UIFREMAP の値に応じて 2つの定義があります。

- 前のセクションは UIFREMAP = 0 の場合です。
- 本セクションは UIFREMAP = 1 の場合です。

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIFCPY	CNT[30:16]														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **UIFCPY**：UIF コピー
このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー

ビット 30:0 **CNT[30:0]**：カウンタ値

25.4.14 TIM2 プリスケーラ（TIM2_PSC）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数 CK_CNT は f_{CK_PSC} / (PSC[15:0] + 1) に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

25.4.15 TIM2 自動再ロードレジスタ（TIM2_ARR）

アドレスオフセット：0x2C

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **ARR[31:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、セクション 25.3.1：770 ページのタイムベースユニットを参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

25.4.16 TIM2 キャプチャ／比較レジスタ 1（TIM2_CCR1）

アドレスオフセット：0x34

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1 [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CCR1[31:0]**：キャプチャ／比較 1 値

CC1 チャネルが出力として設定されている場合：
CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。
アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

チャネル CC1 が入力として設定されている場合：
CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。TIMx_CCR1 レジスタは読出し専用レジスタで、プログラムできません。

25.4.17 TIM2 キャプチャ／比較レジスタ 2（TIM2_CCR2）

アドレスオフセット：0x38

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2 [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CCR2[31:0]**：キャプチャ／比較 2 値

CC2 チャネルが出力として設定されている場合：
CCR2 は、実際のキャプチャ／比較 2 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR1 レジスタの OC2PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 2 レジスタにコピーされます。
アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC2 出力に送信される値を含みます。
CC2 チャネルが入力として設定されている場合：
CCR2 は、最後の入力キャプチャ 2 イベント（IC2）によって転送されたカウンタ値です。TIMx_CCR2 レジスタは読出し専用レジスタで、プログラムできません。

25.4.18 TIM2 キャプチャ／比較レジスタ 3（TIM2_CCR3）

アドレスオフセット：0x3C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3 [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CCR3[31:0]**：キャプチャ /比較値

CC3 チャネルが出力として設定されている場合：
CCR3 は、実際のキャプチャ／比較 3 レジスタにロードされる値（プリロード値）です。
TIMx_CCMR2 レジスタの OC3PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 3 レジスタにコピーされます。
アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC3 出力に送信される値を含みます。
チャネル CC3 が入力として設定されている場合：
CCR3 は、最後の入力キャプチャ 3 イベント（IC3）によって転送されたカウンタ値です。TIMx_CCR3 レジスタは読出し専用レジスタで、プログラムできません。

25.4.19 TIM2 キャプチャ／比較レジスタ 4（TIM2_CCR4）

アドレスオフセット：0x40

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4 [31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **CCR4[31:0]**：キャプチャ /比較値

1. CC4 チャネルが出力として設定されている場合（CC4S ビット）：
   CCR4 は、実際のキャプチャ／比較 4 レジスタにロードされる値（プリロード値）です。
   TIMx_CCMR2 レジスタの OC4PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 4 レジスタにコピーされます。
   アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較され、OC4 出力に送信される値を含みます。
2. CC4 チャネルが入力として設定されている場合（TIMx_CCMR4 レジスタの CC4S ビット）：
   CCR4 は、最後の入力キャプチャ 4 イベント（IC4）によって転送されたカウンタ値です。TIMx_CCR4 レジスタは読出し専用レジスタで、プログラムできません。

25.4.20 TIM2 DMA 制御レジスタ（TIM2_DCR）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのベクタは、DMA 転送回数（タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します）を指定します。

00000：1 回転送
00001：2 回転送、
00010：3 回転送、
.....
10001：18 回転送。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのベクタは、DMA 転送のベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し／書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
.....

例：次の転送を考えます：DBL = 7 回転送 かつDBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

25.4.21 完全転送用の TIM2 DMA アドレス（TIM2_DMAR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書込み動作は、次のアドレスにあるレジスタへのアクセスとなります：

（TIMx_CR1 アドレス）+ （DBA + DMA インデックス）x 4

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御され、範囲は 0 から DBL です（DBL はTIMx_DCR 内で設定）。

25.4.22 TIM2 オプションレジスタ 1（TIM2_OR1）

アドレスオフセット：0x50

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI4_RMP		ETR_ RMP	ITR RMP
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:2 **TI4_RMP**：タイマ入力 4 再配置

ソフトウェアでセット／クリアされます。

00：TIM2 の TI4 は、GPIO に接続されます。オルタネート機能の配置を参照してください。

01：TIM2 の TI4 は、COMP1_OUT に接続されます。

10：TIM2 の TI4 は、COMP2_OUT に接続されます。

11：TIM2 の TI4 は、COMP1_OUT と COMP2_OUT の論理 OR に接続されます。

ビット 1 **ETR_RMP**：外部トリガ 1 再配置

ソフトウェアでセット／クリアされます。

0：TIM2 ETR は GPIO に接続されます。オルタネート機能の配置を参照してください。

1：LSE 内部クロックは TIM2_ETR 入力に接続されます。

ビット 0 **ITR_RMP**：内部トリガ再配置

0：TIM2 内部トリガ ITR2 は接続されません。

1：TIM2 内部トリガ ITR2 は USB_FS_SOF に接続されます。

25.4.23 TIM2 オルタネート機能オプションレジスタ 1 （TIM2_AF1）

アドレスオフセット：0x60

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw														

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17:14 **ETRSEL[3:0]**：ETR ソース選択

これらのビットは、ETR 入力ソースを選択します。

0000：TIM2_OR1 の ETR_RMP ビットに従った GPIO または LSE 内部クロック

0001：COMP1

0010：COMP2

その他：予約済みです。

ビット 13:0 予約済みであり、リセット値に保持する必要があります。

25.4.24 TIM2 タイマ入力選択レジスタ（TIM2_TISEL）

アドレスオフセット：0x68

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **TI2SEL[3:0]**：TI2[0]～TI2[15] 入力の選択
これらのビットは、TI2[0]～TI2[15] の入力ソースを選択します。
0000：TIM2_CH2 入力
その他：予約済みです。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]**：TI1[0]～TI1[15] 入力の選択
これらのビットは、TI1[0]～TI1[15] の入力ソースを選択します。
0000：TIM2_CH1 入力
その他：予約済みです。

25.4.25 TIMx レジスタマップ

TIMx レジスタは、次の表のようにマップされます。

表 167. TIM2レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
	リセット値																					0		0	0	0	0	0	0	0	0	0	0
0x04	**TIMx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1S	MMS[2:0]			CCDS	Res.	Res.	Res.
	リセット値																									0	0	0	0	0			
0x08	**TIMx_SMCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]	ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			Res.	SMS[2:0]		
	リセット値											0	0				0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	リセット値																				0	0	0	0	0		0		0	0	0	0	0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	リセット値																				0	0	0	0			0		0	0	0	0	0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
	リセット値																										0		0	0	0	0	0
0x18	**TIMx_CCMR1** 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**TIMx_CCMR2** 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	O24CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
	リセット値								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIMx_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
	リセット値																	0		0	0	0		0	0	0		0	0	0		0	0

表 167. TIM2レジスタマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24	TIMx_CNT	CNT[31] またはUIFCPY	CNT[30:0]																														
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	TIMx_PSC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	TIMx_ARR	ARR[31:0]																															
	リセット値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	予約済みです。																																
0x34	TIMx_CCR1	CCR1 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	TIMx_CCR2	CCR2 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	TIMx_CCR3	CCR3 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	TIMx_CCR4	CCR4 [31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	予約済みです。																																
0x48	TIMx_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIMx_DMAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	TIM2_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI4_RMP		ETR_RMP	ITR_RMP
	リセット値																													0	0	0	0
0x60	TIM2_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値															0	0	0	0														

表 167. TIM2レジスタマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x68	**TIM2_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI2SEL [3:0]				Res.	Res.	Res.	Res.	TI1SEL [3:0]			
	リセット値																					0	0	0	0					0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

26 汎用タイマ（TIM16/TIM17）

26.1 TIM16/TIM17 の概要

TIM16/TIM17 タイマは、プログラム可能なプリスケーラによって駆動される 16 ビットの自動再ロードカウンタで構成されています。

入力信号のパルス長の測定（入力キャプチャ）や出力波形の生成（出力比較、PWM、デッドタイムを挿入した相補 PWM）など、さまざまな目的に使用できます。

パルス幅と波形の周期は、タイマプリスケーラと RCC クロックコントローラプリスケーラを使用して、数マイクロ秒から数ミリ秒までの範囲で変化させることができます。

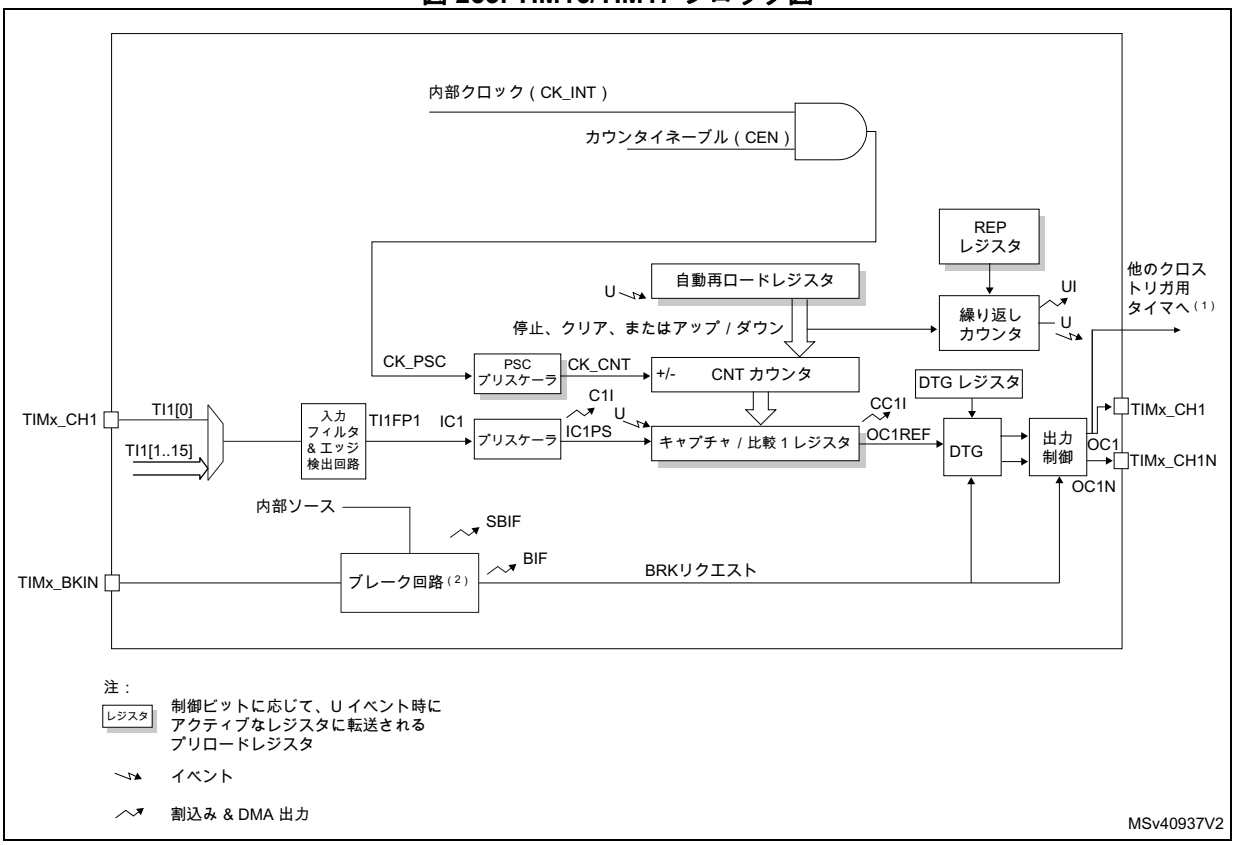
TIM16/TIM17 タイマは完全に独立していて、いかなるリソースも共有しません。

26.2 TIM16/TIM17 の主な特徴

TIM16/TIM17 タイマには以下の機能があります。

- 16 ビット自動再ロードアップカウンタ
- 16 ビットのプログラム可能なプリスケーラ（動作中も変更可能）で、カウンタクロック周波数を 1 から 65535 の間の値で分周可能
- 次の機能を持つ、1 チャネルタイマ。
  - 入力キャプチャ
  - 出力比較
  - PWM 生成（エッジアラインモード）
  - ワンパルスモード出力
- プログラム可能なデッドタイムを持つ相補出力
- カウンタの特定のサイクル数後にのみタイマレジスタを更新する繰り返しカウンタ。
- タイマの出力信号をリセット状態または既知の状態にするブレーク入力。
- 以下のイベント時の割込み／DMA 生成：
  - 更新：カウンタオーバーフロー
  - 入力キャプチャ
  - 出力比較
  - ブレーク入力

図 253. TIM16/TIM17 ブロック図



1. この信号は一部のスレーブタイマのトリガとして使用できます（セクション 26.3.18：タイマ出力を他のタイマのトリガとして使用（TIM16/TIM17）を参照）。

26.3 TIM16/TIM17機能詳細

26.3.1 タイムベースユニット

プログラマブル高機能制御タイマのメインブロックは、自動再ロードレジスタを持つ 16 ビットアップカウンタです。カウンタのクロックは、プリスケーラによって分周できます。

カウンタ、自動再ロードレジスタ、およびプリスケーラレジスタは、ソフトウェアで読み書きができます。カウンタが動作中でも、読み書きが可能です。

タイムベースユニットには、次のレジスタで構成されます。

- カウンタレジスタ（TIMx_CNT）
- プリスケーラレジスタ（TIMx_PSC）
- 自動再ロードレジスタ（TIMx_ARR）
- 繰り返しカウンタレジスタ（TIMx_RCR）

自動再ロードレジスタはプリロードされます。自動再ロードレジスタの読み書きは、プリロードレジスタへのアクセスになります。プリロードレジスタの内容は、TIMx_CR1 レジスタの自動再ロードプリロードイネーブルビット（ARPE）に応じて、常時または更新イベント（UEV）ごとに、シャドウレジスタに転送されます。TIMx_CR1 レジスタの UDIS ビットが 0 である場合、更新イベントはカウンタがオーバーフローしたときに送信されます。また、ソフトウェアで生成することもできます。更新イベントの生成については、各設定の中で詳しく説明されています。

カウンタのクロックは、TIMx_CR1 レジスタのカウンタイネーブルビット（CEN）がセットされているときにのみ、プリスケーラ出力 CK_CNT から供給されます（カウンタの有効化の詳細については、スレーブモードコントローラの説明も参照してください）。

TIM x _CR1 レジスタの CEN ビットがセットされてから、カウンタがカウントを開始するまでに 1 クロックサイクルの遅延があることに注意してください。

プリスケーラの説明

プリスケーラは、カウンタクロック周波数を 1 から 65536 の間の値で分周することができます。16 ビットレジスタ（TIMx_PSC レジスタ）を使って制御される 16 ビットカウンタをベースとしています。この制御レジスタはバッファされているので、動作中に変更できます。新しいプリスケーラ比は、次の更新イベントで有効になります。

図 254 と図 255 に、プリスケーラ比を動作中に変更したときのカウンタの動作の例を示します。

図 254. プリスケーラ分周比が 1 から 2 に変化したときのカウンタのタイミング図

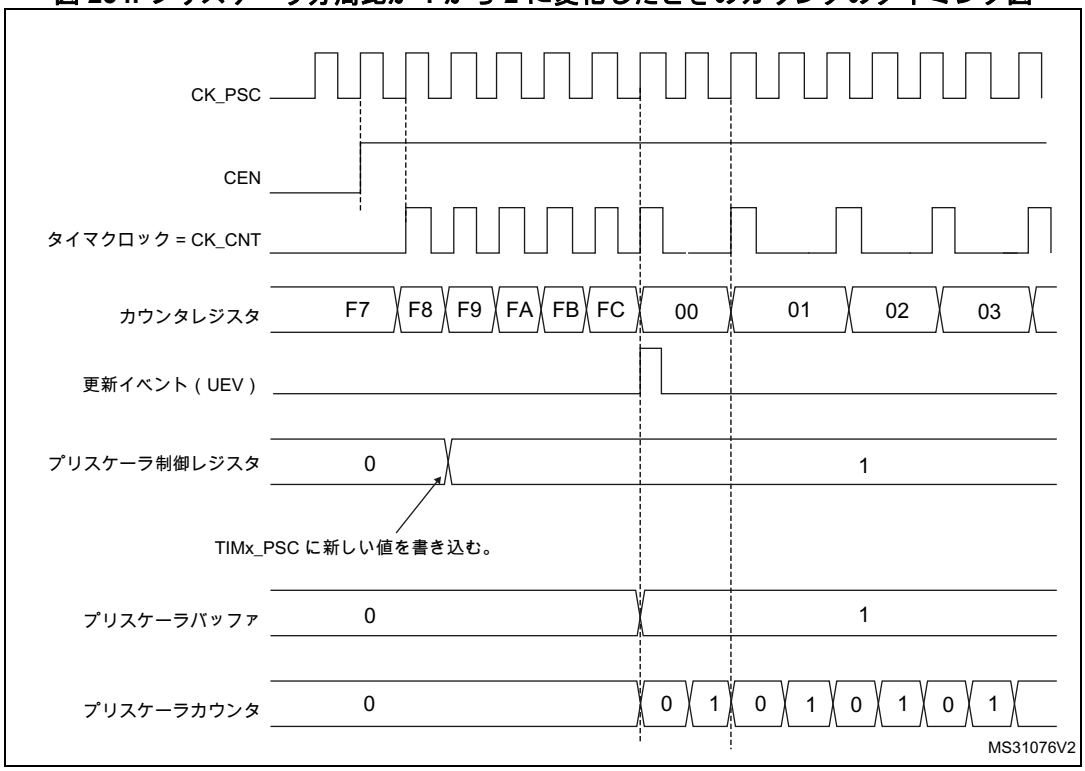
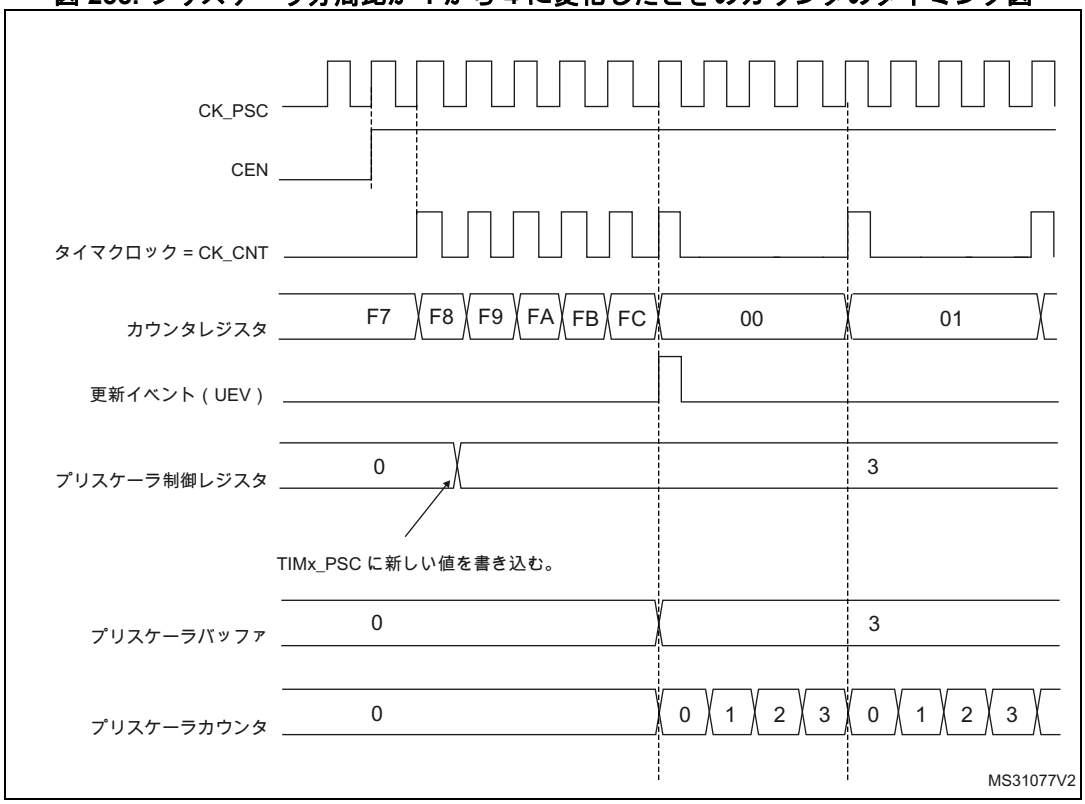


図 255. プリスケーラ分周比が 1 から 4 に変化したときのカウンタのタイミング図



26.3.2 カウンタモード

アップカウントモード

アップカウントモードでは、カウンタは 0 から自動再ロード値（TIMx_ARR レジスタの内容）までカウントし、0 からカウントをリスタートして、カウンタオーバーフローイベントを生成します。

繰り返しカウンタが使用されている場合には、繰り返しカウンタレジスタにプログラムされている回数（TIMx_RCR）までアップカウント動作が繰り返され、その後に更新イベント（UEV）が生成されます。繰り返しカウンタが使用されていないときには、カウンタのオーバーフローごとに更新イベントが生成されます。

（ソフトウェアによって、またはスレーブモードコントローラを使用して）TIMx_EGR レジスタの UG ビットをセットすることでも更新イベントが生成されます。

UEV イベントは、ソフトウェアで TIMx_CR1 レジスタの UDIS ビットをセットすることによって無効にできます。これは、プリロードレジスタに新しい値を書き込んでいるときにシャドウレジスタが更新されるのを防ぐためです。この場合、UDIS ビットに 0 が書き込まれるまで、更新イベントは発生しません。ただし、プリスケーラのカウンタと同じく、カウンタは 0 からカウントをリスタートします（ただし、プリスケーラ比は変化しません）。さらに、TIMx_CR1 レジスタの URS ビット（更新リクエスト選択）がセットされている場合は、UG ビットをセットすると更新イベント UEV が生成されますが、UIF フラグはセットされません（したがって、割込みや DMA リクエストは送信されません）。これは、キャプチャイベント時にカウンタをクリアしているときに、更新とキャプチャの両方の割込みを生成するのを防ぐためです。

更新イベントが発生すると、すべてのレジスタが更新され、URS ビットに応じて、更新フラグ（TIMx_SR レジスタの UIF ビット）がセットされます。

- 繰り返しカウンタには TIMx_RCR レジスタの内容が再ロードされます。
- 自動再ロードシャドウレジスタは、プリロード値（TIMx_ARR）で更新されます。
- プリスケーラのバッファにはプリロード値（TIMx_PSC レジスタの内容）が再びロードされます。

以下の図は、TIMx_ARR = 0x36 のときの、さまざまなクロック周波数におけるカウンタの動作の例を示します。

図 256. 内部クロック分周比が 1 の場合のカウンタのタイミング図

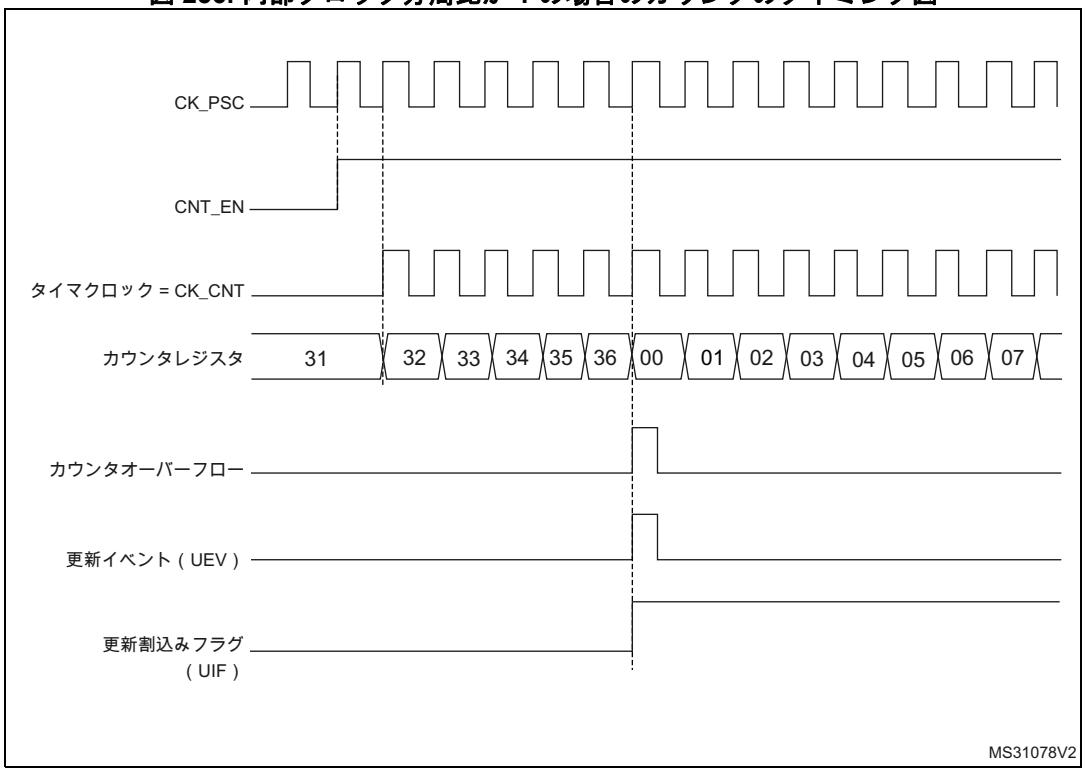


図 257. 内部クロック分周比が 2 の場合のカウンタのタイミング図

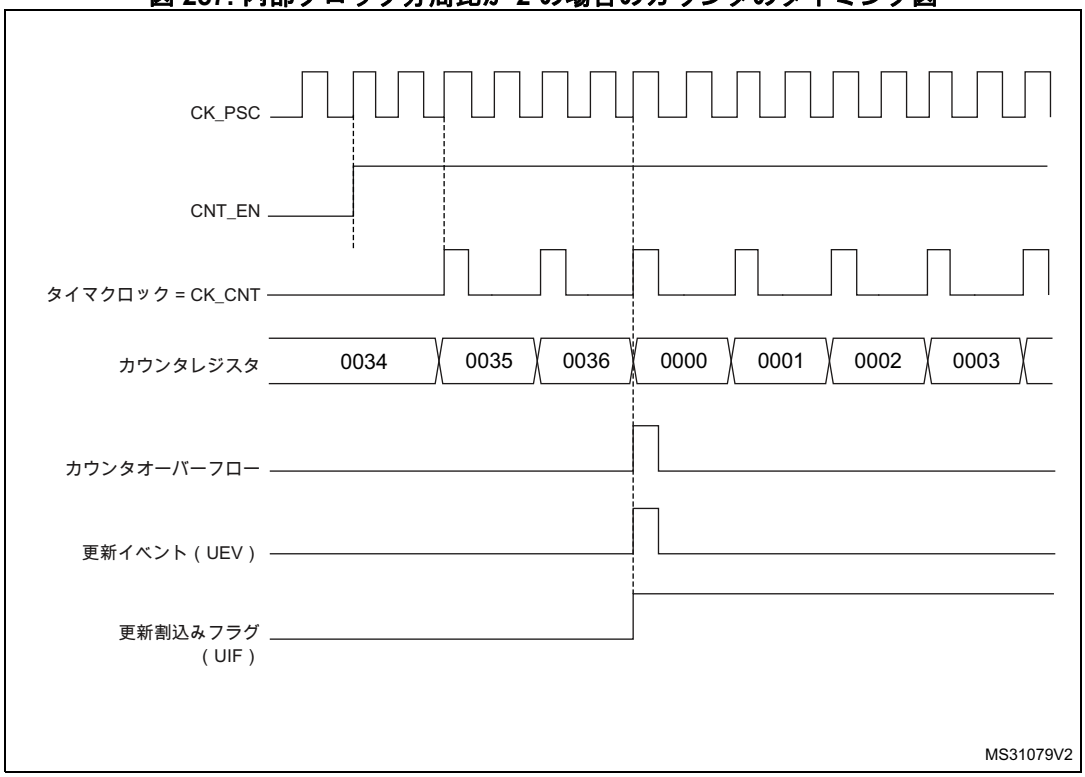


図 258. 内部クロック分周比が 4 の場合のカウンタのタイミング図

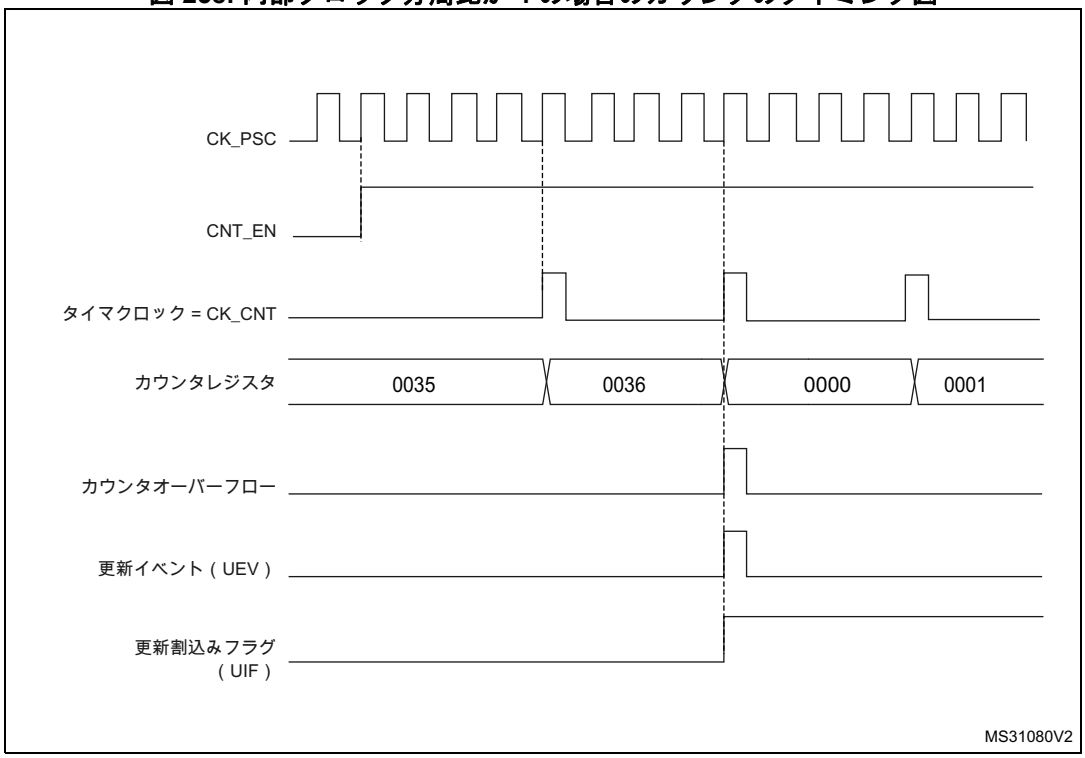


図 259. 内部クロック分周比が N の場合のカウンタのタイミング図

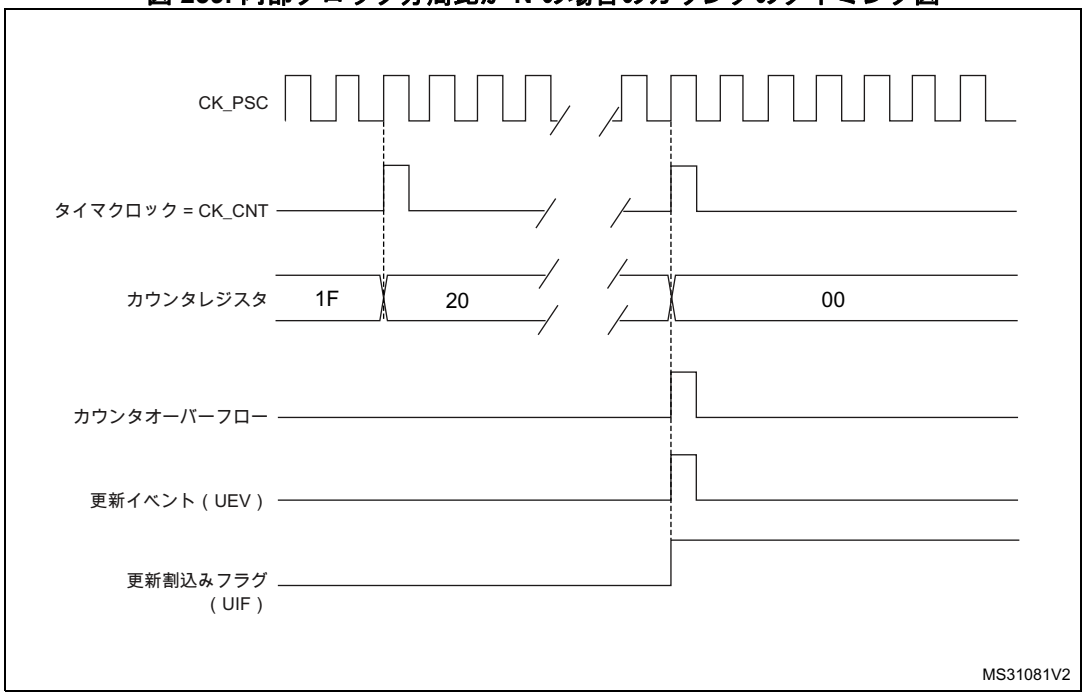


図 260. ARPE=0（TIMx_ARR はプリロードされない）の場合の更新イベント時のカウンタのタイミング図

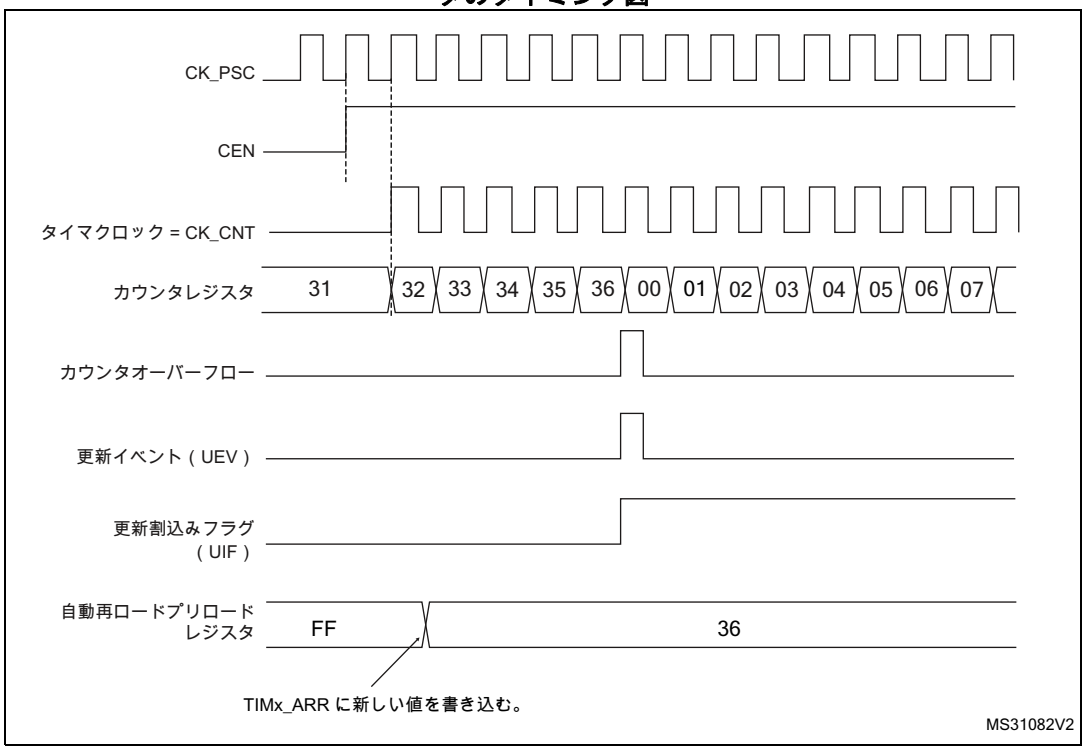
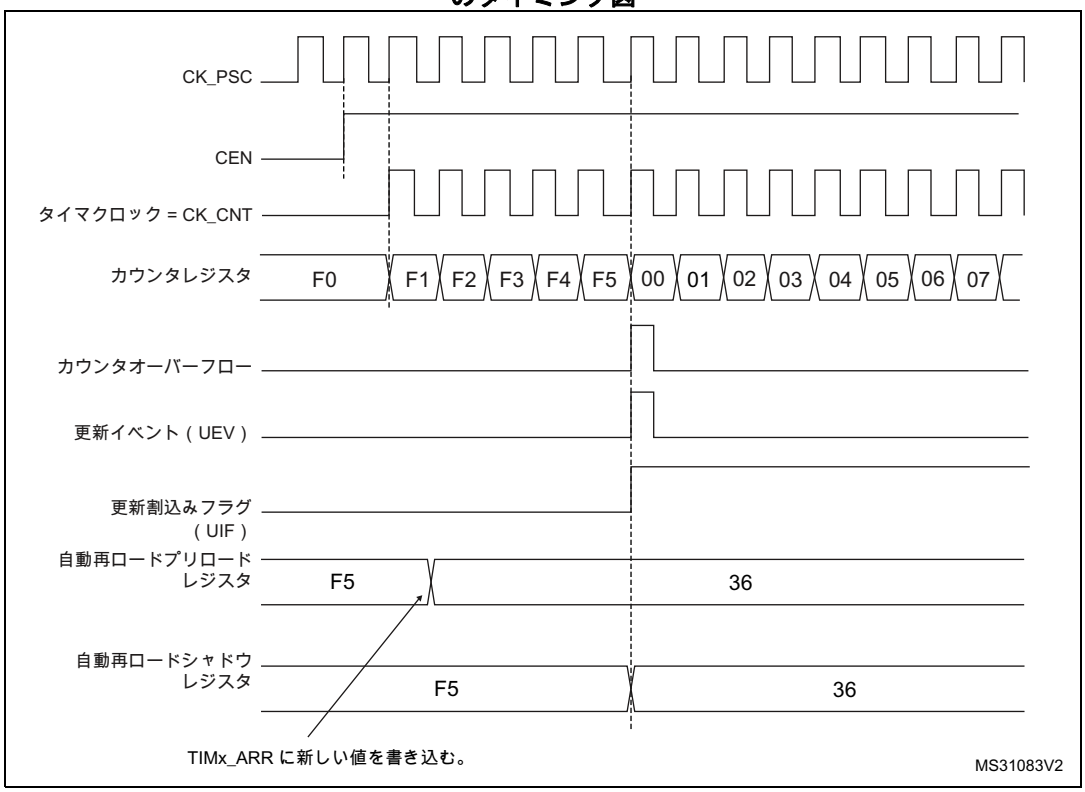


図 261. ARPE=1（TIMx_ARR がプリロードされる）の場合の更新イベント時のカウンタのタイミング図



26.3.3 繰り返しカウンタ

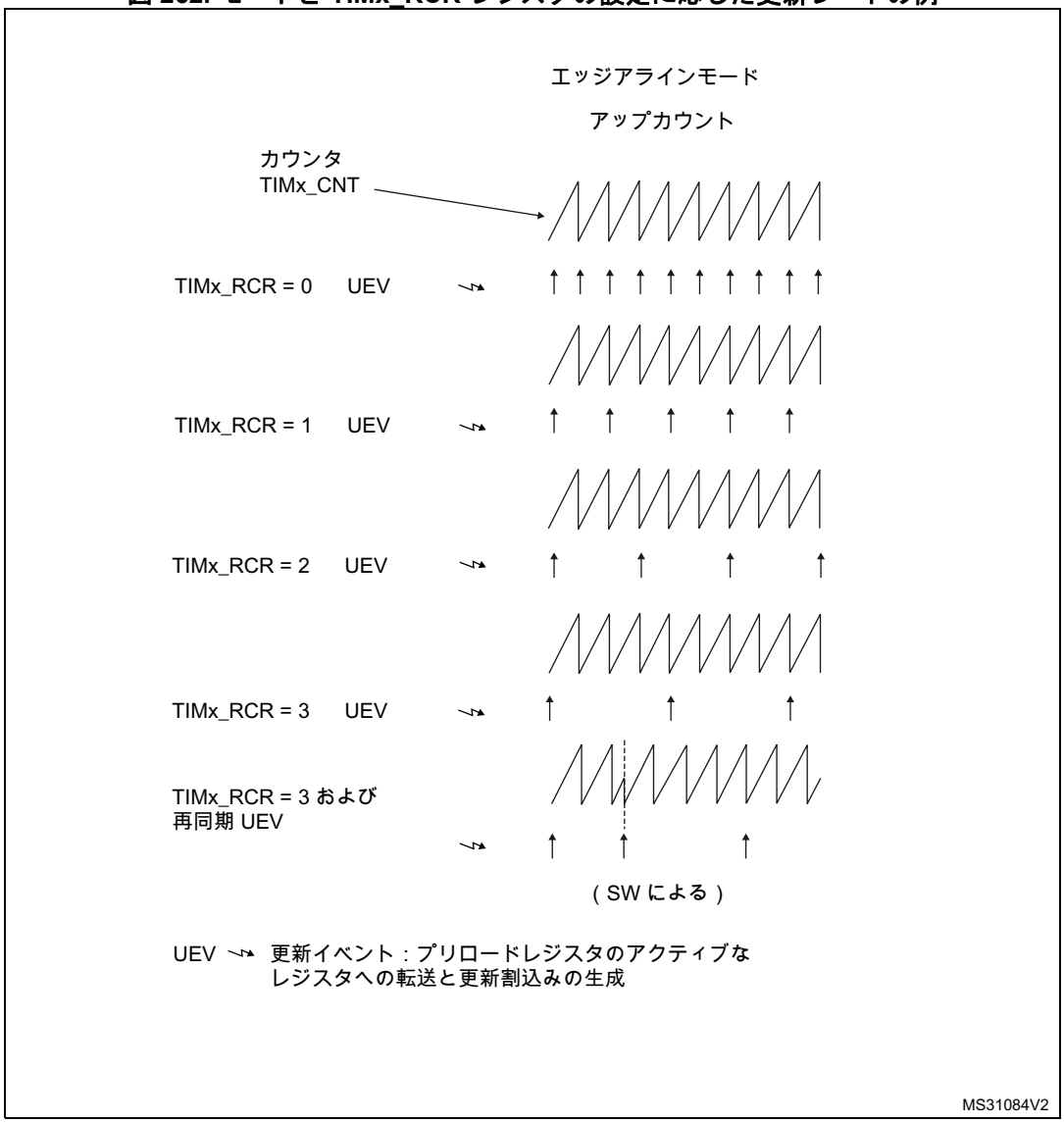
セクション 26.3.1 : タイムベースユニットに、カウンタオーバーフローによって、どのように更新イベント（UEV）が生成されるかが説明されています。実際には、繰り返しカウンタが0 に達したときにのみ、更新イベントが生成されます。これは、PWM 信号を生成する際に役立ちます。

これは、TIMx_RCR 繰り返しカウンタレジスタの値を N とすると、N 回目のカウンタオーバーフローごとに、プリロードレジスタからシャドウレジスタ（TIMx_ARR 自動再ロードレジスタ、TIMx_PSC プリスケーラレジスタ、比較モードの TIMx_CCRx キャプチャ /比較レジスタ）へデータが転送されることを意味します。

繰り返しカウンタは、カウンタオーバーフローごとにデクリメントされます。

繰り返しカウンタは自動再ロードタイプです。繰り返しの回数は、TIMx_RCR レジスタの値によって定義されたとおりに維持されます（図 262 を参照してください）。ソフトウェアによって（TIMx_EGR レジスタの UG ビットをセットすることによって）、またはスレーブモードコントローラを介してハードウェアによって更新イベントが生成されると、繰り返しカウンタの値にかかわらず直ちにイベントが発生し、繰り返しカウンタに TIMx_RCR レジスタの内容が再ロードされます。

図 262. モードと TIMx_RCR レジスタの設定に応じた更新レートの例



26.3.4 クロック選択

カウンタクロックは、次のクロックソースによって供給されます。

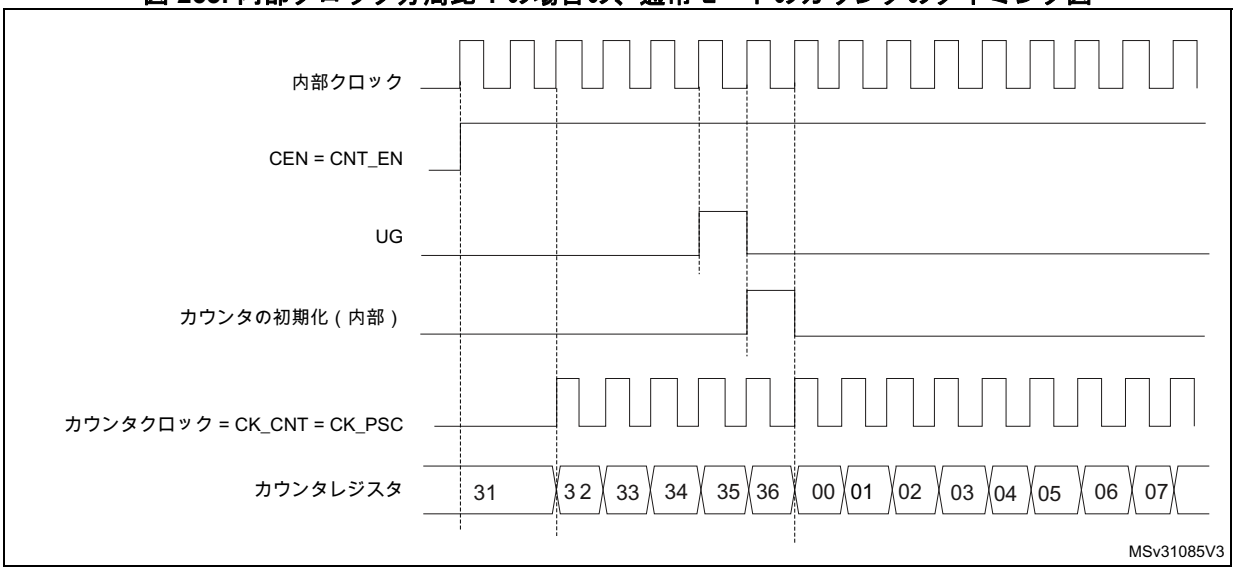
- 内部クロック（CK_INT）
- 外部クロックモード 1：外部入力ピン

内部クロックソース（CK_INT）

スレーブモードコントローラが無効の場合（SMS=000）、CEN（TIMx_CR1 レジスタ）、および UG ビット（TIMx_EGR レジスタ）が実際の制御ビットとなり、ソフトウェアによってのみ変更できます（自動的にクリア状態に保たれる UG ビットを除きます）。CEN ビットに 1 が書き込まれると、プリスケーラにはクロックとして内部クロック CK_INTが供給されます。

図 263 に、プリスケーラを使用しない場合の制御回路と通常モードのアップカウンタの動作を示します。

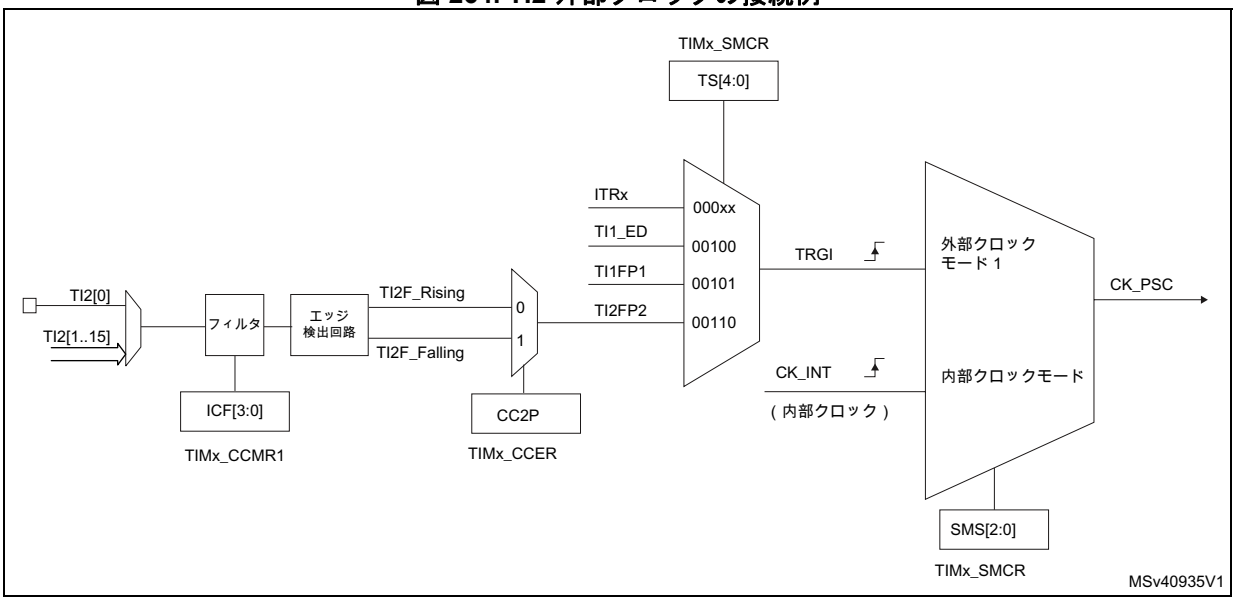
図 263. 内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図



外部クロックソースモード 1

このモードは TIMx_SMCR レジスタの SMS=111 のときに選択されます。カウンタは、選択された入力の立ち上がりまたは立ち下がりエッジでカウントすることができます。

図 264. TI2 外部クロックの接続例



たとえば、TI2 入力の立ち上がりエッジに反応してカウントするようにアップカウンタを設定するには、次の手順で行います。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2[x] ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに“01”を書き込むことによって、チャネル 2 が TI2 入力の立ち上がりエッジを検出するように設定します。
3. TIMx_CCMR1 レジスタの IC2F[3:0] ビットに書き込むことによって、入力フィルタ時間を設定します（フィルタを使用しない場合は、IC2F=0000 にしておきます）。

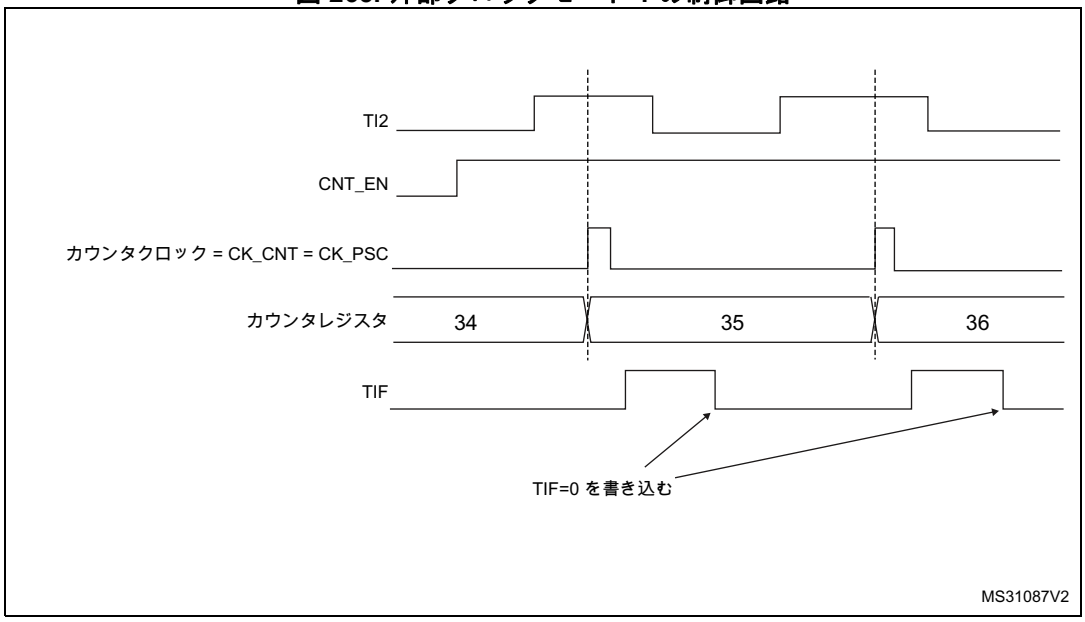
4. CC2P=0 を TIMx_CCER レジスタに書き込んで、立ち上がりエッジ極性を選択します。
5. TIMx_SMCR レジスタに SMS=111 を書き込むことによって、タイマを外部クロックモード 1 に設定します。
6. TIMx_SMCR レジスタに TS=00110 を書き込むことによって、トリガ入力ソースとして TI2 を選択します。
7. TIMx_CR1 レジスタに CEN=1 を書き込むことによって、カウンタを有効にします。

注： **キャプチャプリスケーラはトリガには使用されないので、設定は不要です。**

TI2 の立ち上がりエッジが発生すると、カウンタは 1 カウントを行い、TIF フラグがセットされます。

TI2 の立ち上がりエッジから実際のカウンタクロックまでの間には、TI2 入力の再同期回路による遅延があります。

図 265. 外部クロックモード 1 の制御回路



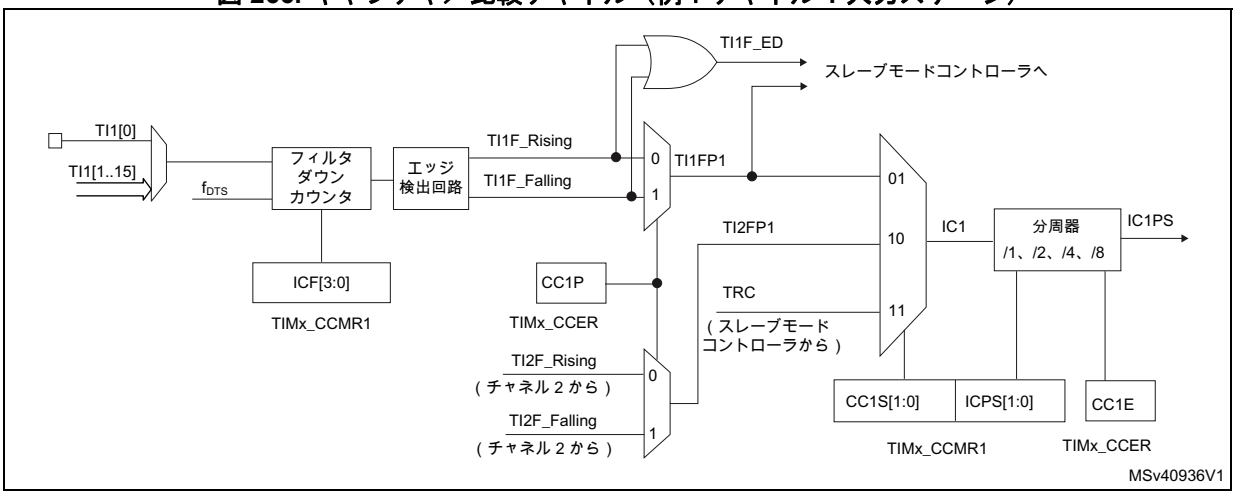
26.3.5 キャプチャ／比較チャネル

各キャプチャ／比較チャネルは、キャプチャ／比較レジスタ（シャドウレジスタを含む）、キャプチャの入力ステージ（デジタルフィルタ、マルチプレクス、プリスケーラ）、および出力ステージ（コンパレータと出力制御）から構成されています。

図 266 から図 268 に、1 つのキャプチャ／比較チャネルの概要を示します。

入力ステージは、対応する TIx 入力をサンプリングして、フィルタリングを行った TIxF を生成します。次に、極性選択付きのエッジ検出回路が、スレーブモードコントローラによってトリガ入力として、またはキャプチャコマンドとして使用される信号（TIxFPx）を生成します。この信号はプリスケーラを通じて、キャプチャレジスタ（ICxPS）に渡されます。

図 266. キャプチャ／比較チャネル（例：チャネル 1 入力ステージ）



出力ステージは、OCxRef（アクティブハイ）として使用される中間波形を生成します。信号の極性は最終出力に影響を与えます。

図 267. キャプチャ／比較チャネル 1 メイン回路

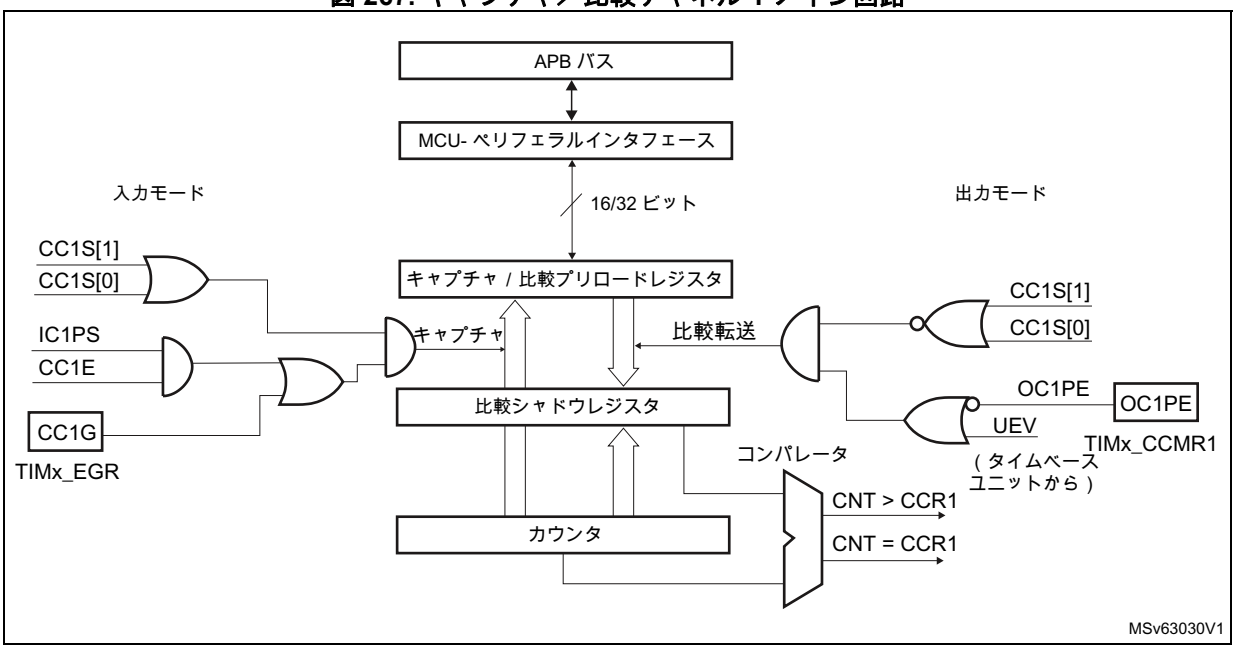
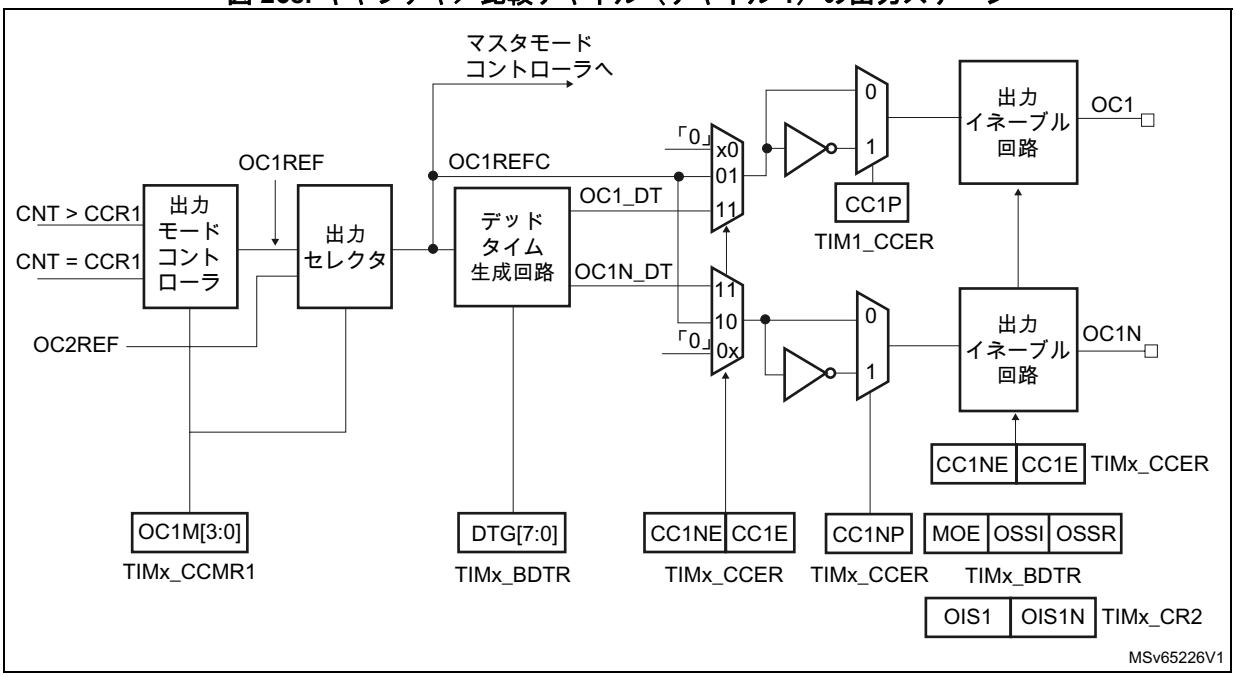


図 268. キャプチャ／比較チャネル（チャネル 1）の出力ステージ



キャプチャ／比較ブロックは、1 つのプリロードレジスタと 1 つのシャドウレジスタで構成されています。書込みおよび読出しアクセスは、常にプリロードレジスタに対して行われます。

キャプチャモードでは、キャプチャ動作は実際にはシャドウレジスタで行われ、その値がプリロードレジスタにコピーされます。

比較モードでは、プリロードレジスタの内容がシャドウレジスタにコピーされて、カウンタと比較されます。

26.3.6 入力キャプチャモード

入力キャプチャモードでは、対応する ICx 信号によって遷移が検出された後、カウンタの値をラッチするために、キャプチャ／比較レジスタ（TIMx_CCRx）が使用されます。キャプチャが発生すると、対応する CCXIF フラグ（TIMx_SR レジスタ）がセットされ、割込みまたは DMA リクエストを送信できます（有効な場合）。CCxIF フラグがすでにハイのときにキャプチャが発生した場合は、オーバキャプチャフラグ CCxOF（TIMx_SR レジスタ）がセットされます。CCxIF フラグは、ソフトウェアで“0”を書き込むことによって、または、TIMx_CCRx レジスタに格納されたキャプチャデータを読み出すことによってクリアできます。CCxOF は、0 を書き込むとクリアされます。

次の例は、TI1 入力が立ち上がったときに、カウンタの値を TIMx_CCR1 にキャプチャする方法を示します。このためには、次の手順を使用します。

1. TIMx_TISEL レジスタの TI1SEL[3:0] ビットで、適切な TI1x ソース（内部または外部）を選択します。
2. アクティブ入力を選択します。TIMx_CCR1 は TI1 入力とリンクされていなければならず、このためには TIMx_CCMR1 レジスタの CC1S ビットに“01”を書き込みます。CC1S の値が“00”から変化すると、チャネルは入力に設定され、TIMx_CCR1 レジスタは読出し専用になります。
3. タイマに接続される信号に関して、適切な入力フィルタ時間をプログラムします（入力が TIx の 1 つである場合、TIMx_CCMRx レジスタの ICxF ビットによって）。入力信号の反転時、最低でも内部クロックの 5 サイクルの間、信号が安定しないと想定してみます。この場合、フィルタ時間を 5 クロックサイクルより長くプログラミングする必要があります。新しいレベルの連続

した 8 個のサンプルが検出されたときに、TI1 の遷移を検証できます（周波数 f_{DTS} でサンプリング）。この場合、TIMx_CCMR1 レジスタの IC1F ビットに 0011 を書き込みます。

4. TI1 チャネルのアクティブ遷移のエッジを選択します。このためには、TIMx_CCER レジスタの CC1P ビットに 0 を書き込みます（この場合、立ち上がりエッジの選択）。
5. 入力プリスケーラをプログラムします。この例では有効な遷移ごとにキャプチャを行いたいので、プリスケーラを無効にします（TIMx_CCMR1 レジスタの IC1PS ビットに“00”を書き込む）。
6. TIMx_CCER レジスタの CC1E ビットをセットすることによって、カウンタからキャプチャレジスタへのキャプチャを有効にします。
7. 必要な場合は、TIMx_DIER レジスタの CC1IE ビットをセットすることによって、関連する割込みリクエストを有効にするか、TIMx_DIER レジスタの CC1DE ビットをセットすることによって、DMA リクエストを有効にします。

入力キャプチャが発生すると、

- アクティブ遷移時に、カウンタの値が TIMx_CCR1 レジスタに格納されます。
- CC1IF フラグがセットされます（割込みフラグ）。CC1OF ビットは、少なくとも 2 回連続でキャプチャが発生した場合にもセットされますが、フラグはクリアされません。
- CC1IE ビットに応じて、割込みが生成されます。
- CC1DE ビットに応じて、DMA リクエストが生成されます。

オーバキャプチャを処理するために、オーバキャプチャフラグの前にデータを読み出すことが推奨されます。これにより、フラグ読出し後、データ読出し前に発生するオーバーキャプチャの見落としを避けることができます。

注： **IC 割込みと DMA リクエストは、TIMx_EGR レジスタの対応する CCxG ビットをセットすることによって、ソフトウェアによって生成することができます。**

26.3.7 強制出力モード

出力モード（TIMx_CCMRx レジスタの CCxS ビット =00）では、出力比較レジスタとカウンタの間の比較に関係なく、各出力比較信号（OCxREF と OCx/OCxN）をソフトウェアによって直接、強制的にアクティブまたはインアクティブレベルにできます。

出力比較信号（OCXREF/OCx）を強制的にアクティブレベルにするには、対応する TIMx_OCMRx レジスタの OCxM ビットに 101 を書き込みます。これにより、OCxREF は強制的にハイになり（OCxREF は常にアクティブハイ）、OCx は CCxP 極性ビットと逆の値になります。

例：CCxP=0（OCx アクティブハイ）=> OCx は強制的にハイレベルになります。

OCxREF 信号は、TIMx_CCMRx レジスタの OCxM ビットに 100 を書き込むことによって、強制的にローにできます。

いずれにしても、TIMx_CCRx シャドウレジスタとカウンタの比較は実行されるので、フラグをセットできます。それに応じて、割込みや DMA リクエストを送信できます。これについては、次の出力比較モードのセクションで説明します。

26.3.8 出力比較モード

この機能は、出力波形を制御したり、一定時間が経過したことを示すために使用されます。

キャプチャ／比較レジスタとカウンタの値が一致すると、出力比較は次のように機能します。

- 対応する出力ピンに、出力比較モード（TIMx_CCMRx レジスタの OCxM ビット）と出力極性（TIMx_CCER レジスタの CCxP ビット）によって定義されたプログラム可能値を割り当てます。一致した際、出力ピンは、レベルを維持するか（OCXM=000）、アクティブにセットされるか（OCxM=001）、非アクティブにセットされるか（OCxM=010）、または反転されます（OCxM=011）。

- 割込みステータスレジスタのフラグをセットします（TIMx_SR レジスタの CCxIF ビット）。
- 対応する割込みマスク（TIMx_DIER レジスタの CCXIE ビット）がセットされている場合は、割込みを生成します。
- 対応するイネーブルビット（TIMx_DIER レジスタの CCxDE ビット）がセットされている場合は、DMA リクエストを送信します（DMA リクエスト選択には、TIMx_CR2 レジスタの CCDS ビットが使用されます）。

TIMx_CCRx レジスタは、プリロードレジスタを使用するしないにかかわらず、TIMx_CCMRx レジスタの OCxPE ビットを使用してプログラミングできます。

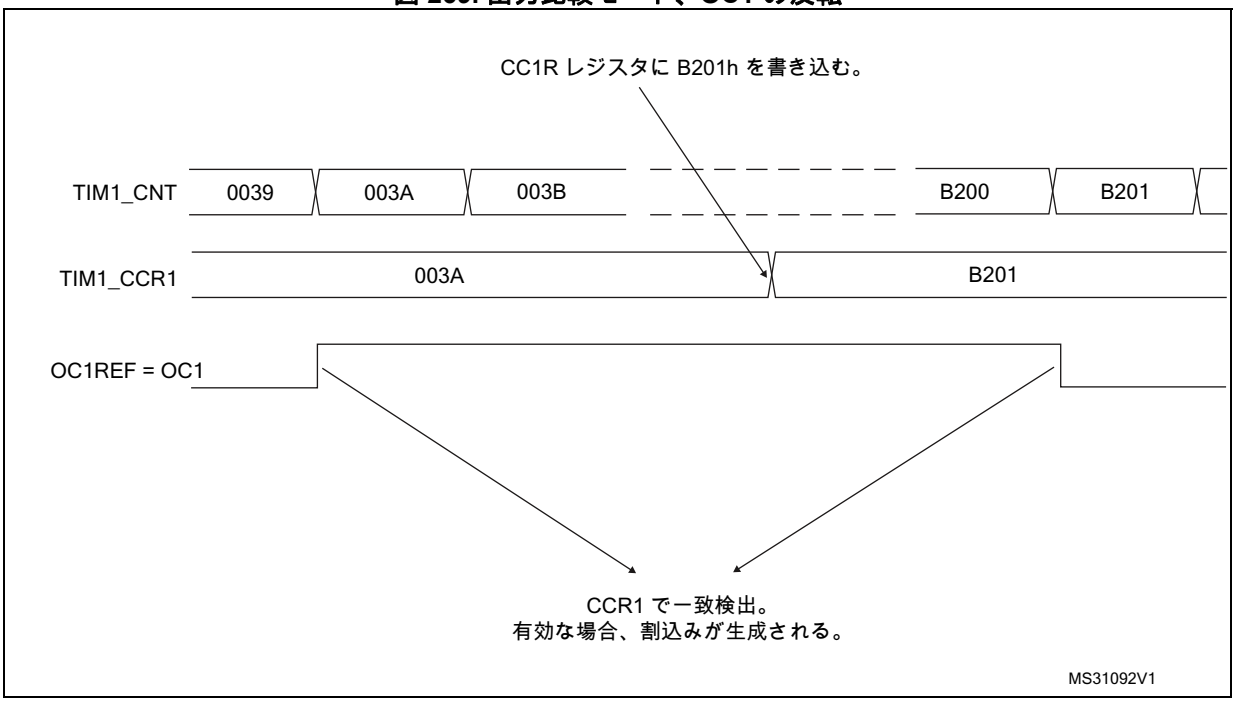
出力比較モードでは、更新イベント UEV は OCxREF および OCx 出力には影響を与えません。タイミングの分解能はカウンタの 1 カウント分です。出力比較モードは単一パルスを出力するためにも使用できます（ワンパルスモード）。

手順

1. カウンタクロックを選択します（内部、外部、プリスケーラ）。
2. TIMx_ARR レジスタと TIMx_CCRx レジスタに目的のデータを書き込みます。
3. 割込みリクエストを生成する場合は、CCxIE ビットをセットします。
4. 出力モードを選択します。例：
   - CNT と CCRx が一致したときに OCx 出力ピンを反転するには、OCxM ビットに 011 を書き込みます。
   - プリロードレジスタを無効にするには、OCxPE ビットに 0 を書き込みます。
   - アクティブハイ極性を選択するには、CCxP ビットに 0 を書き込みます。
   - 出力を有効にするには、CCxE ビットに 1 を書き込みます。
5. TIMx_CR1 レジスタの CEN ビットをセットすることによって、カウンタを有効にします。

いつでもソフトウェアによって TIMx_CCRx レジスタを更新して、出力波形を制御できます。ただし、プリロードレジスタが有効でない場合に限ります（OCxPE=0）。そうでない場合、TIMx_CCRx シャドウレジスタは、次の更新イベント UEV でのみ更新されます。例を図 269 に示します。

図 269. 出力比較モード、OC1 の反転



26.3.9 PWM モード

パルス幅変調（PWM）モードでは、TIMx_ARR レジスタの値によって決められた周波数と TIMx_CCRx レジスタの値によって決められたデューティサイクルで信号を生成できます。

PWM モードは、TIMx_CCMRx レジスタの OCxM ビットに“110”（PWM モード 1）または“111”（PWM モード 2）を書き込むことによって、チャネルごとに選択できます（OCx 出力ごとに 1 つの PWM）。TIMx_CCMRx レジスタの OCxPE ビットをセットすることによって、対応するプリロードレジスタを有効にする必要があり、また、TIMx_CR1 レジスタの ARPE ビットをセットすることによって、自動再ロードプリロードレジスタも（アップカウントまたはセンターアラインモードで）有効にする必要があります。

プリロードレジスタは、更新イベントが発生したときにのみシャドウレジスタに転送されるので、カウンタを開始する前に、TIMx_EGR レジスタの UG ビットをセットすることによって、すべてのレジスタを初期化しておく必要があります。

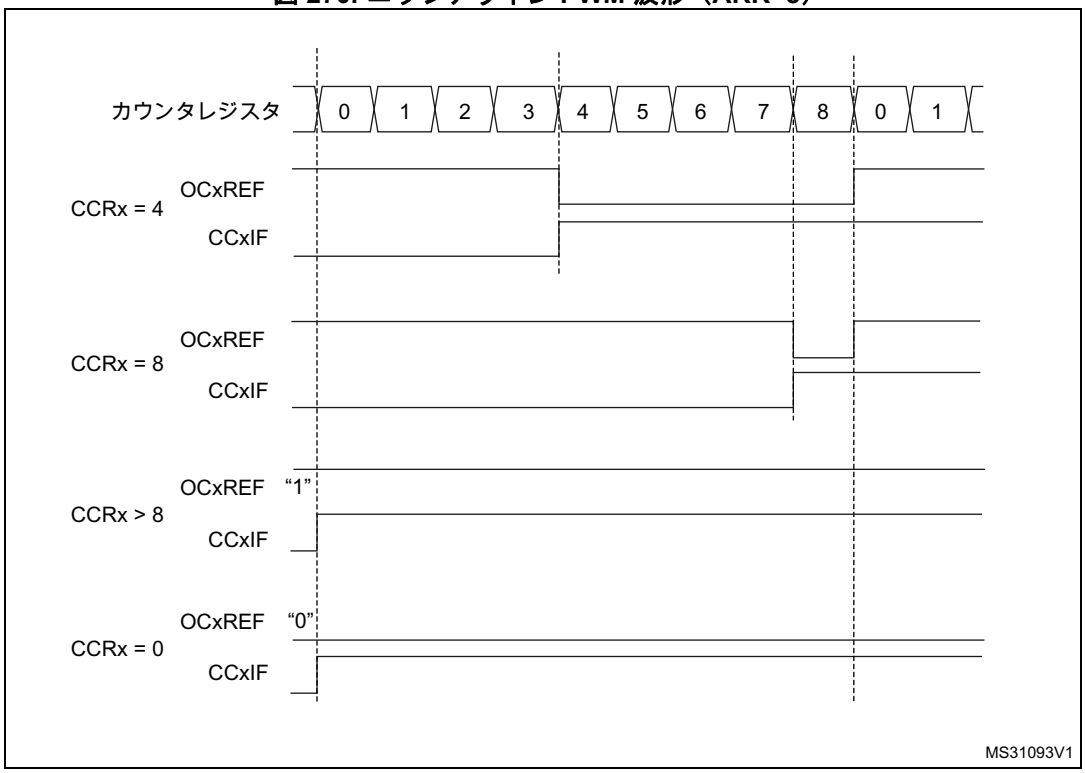
OCx 極性は、TIMx_CCER レジスタの OCxP ビットを使用して、ソフトウェアでプログラム可能です。アクティブハイまたはアクティブローとしてプログラムできます。OCx 出力は、CCxE、CCxNE、MOE、OSSI、および OSSR ビット（TIMx_CCER および TIMx_BDTR レジスタ）の組み合わせによって有効になります。詳細については、TIMx_CCER レジスタの説明を参照してください。

PWM モード（1 または 2）では、TIMx_CNT と TIMx_CCRx が常に比較されて、TIMx_CCRx ≤ TIMx_CNT または TIMx_CNT ≤ TIMx_CCRx かどうかが判断されます（カウントの方向によります）。

TIM16/TIM17 はアップカウント動作でのみ使用可能です。843 ページのアップカウントモードを参照してください。

次の例では、PWM モード 1 を使用しています。PWM 基準信号 OCxREF は、TIMx_CNT < TIMx_CCRx の間はハイに、そうでない場合はローになります。TIMx_CCRx の比較値が自動再ロード値（TIMx_ARR レジスタの）より大きい場合、OCxREF は“1”に保持されます。比較値が 0 の場合、OCxREFは“0”に保持されます。図 270 に TIMx_ARR=8 のときのエッジアライン PWM 波形の例を示します。

図 270. エッジアライン PWM 波形（ARR=8）



26.3.10 相補出力とデッドタイム挿入

TIM16/TIM17 汎用タイマは、1 つの相補信号を出力して、出力時のスイッチオフおよびスイッチオンを管理できます。

この時間は、通常、デッドタイムと呼ばれ、出力に接続されているデバイスとその特性（レベルシフタの内在的な遅延、電源スイッチによる遅延など）に応じて調整する必要があります。

出力（主出力 OCx または相補 OCxN）の極性は出力ごとに独自に選択できます。これは TIMx_CCER レジスタの CCxP ビットおよび CCxNP ビットへの書込みによって行います。

相補信号 OCx および OCxN は、TIMx_CCER レジスタの CCxE ビットと CCxNE ビット、TIMx_BDTR レジスタと TIMxCR2 レジスタの MOE、OISx、OISxN、OSSI、および OSSR ビットといった複数の制御ビットの組み合わせによって有効になります。詳細については、表 169 : 877 ページのブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット （TIM16/17）を参照してください。特に、IDLE 状態に切り替わるとき（MOE が 0 になるとき）に、デッドタイムが挿入されます。

デッドタイム挿入は、CCxE ビットと CCxNE ビットの両方をセットし、ブレーク回路がある場合は、さらに MOE ビットをセットすることによって有効になります。各チャネルに 1 つの 10 ビットデッドタイムジェネレータがあります。この回路は、基準波形 OCxREF から OCx と OCxN の 2 つの出力を生成します。OCx と OCxN がアクティブハイの場合、

- OCx 出力信号は基準信号と同じですが、立ち上がりエッジが基準の立ち上がりエッジより遅い点が異なります。
- OCxN 出力信号は、立ち上がりエッジが基準波形の立ち下がりエッジから遅れている点を除けば、基準信号を反転させた波形と同じです。

遅延がアクティブ出力（OCx または OCxN）の幅より大きい場合、対応するパルスは生成されません。

以下の図は、デッドタイム生成回路の出力信号と基準信号 OCxREF との関係を示します。（これらの例では、CCxP=0、CCxNP=0、MOE=1、CCxE=1、および CCxNE=1 を想定しています。）

図 271. デッドタイム挿入のある相補出力

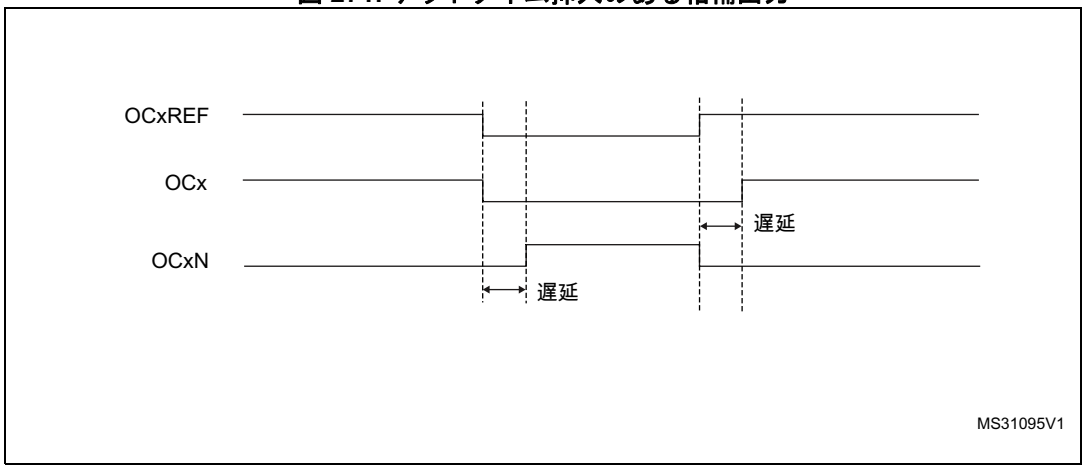


図 272. 負のパルスより長い遅延があるときのデッドタイムの波形

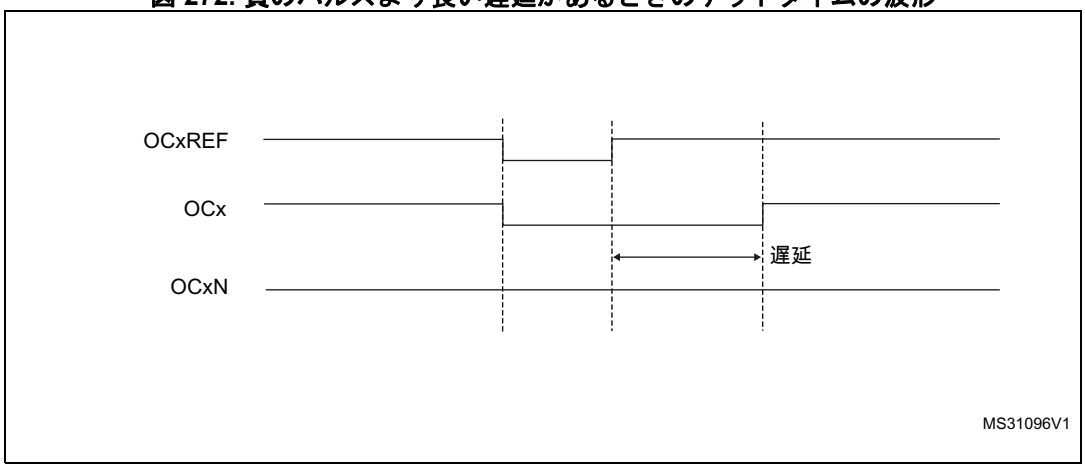
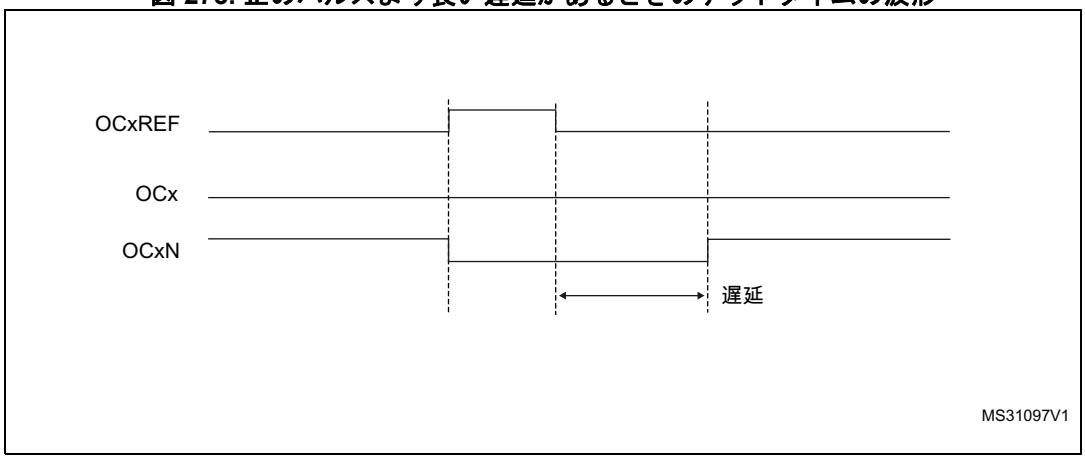


図 273. 正のパルスより長い遅延があるときのデッドタイムの波形



デッドタイム遅延は、各チャネルで同じであり、TIMx_BDTR レジスタの DTG ビットでプログラム可能です。遅延計算については、セクション 26.4.14 : 880 ページのTIMx ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（x = 16～17）を参照してください。

OCxREF 信号の OCx または OCxN へのリダイレクト

出力モード（強制、出力比較、または PWM）では、TIMx_CCER レジスタの CCxE ビットおよび CCxNE ビットを構成することによって、OCxREF 信号を OCx 出力または OCxN 出力にリダイレクトできます。

これにより、特定の波形（PWM または静的アクティブレベルなど）を一方の出力に送信し、相補信号をインアクティブレベルに固定することができます。他の例としては、両方の出力をインアクティブレベルにしたり、両方の出力をアクティブにして、デッドタイムのある相補出力とすることができます。

注： **OCxN のみが有効なときには（CCxE=0、CCxNE=1）、相補にならず、OCxREF がハイレベルとなるとアクティブになります。たとえば、CCxNP=0 の場合は、OCxN=OCxRef です。他方、OCx とOCxN の両方が有効なときには（CCxE=CCxNE=1）、OCxREF がハイになると OCx はアクティブになり、OCxREF がローのときには、OCxN は補信号であり、アクティブになります。**

26.3.11 ブレーク機能の使用

ブレーク機能の目的は、TIM16/TIM17 タイマによって生成される PWM 信号によって駆動する電源スイッチを保護することです。ブレーク入力は通常、パワーステージおよび 3 相インバータの異常出力に接続されています。アクティブ化すると、ブレーク回路は PWM 出力を遮断し、強制的に事前定義された安全な状態に移行させます。

リセットが終了すると、ブレーク回路は無効になり、MOE ビットはローになります。ブレーク機能は、TIMx_BDTR レジスタの BKE ビットをセットすることによって有効になります。ブレーク入力の極性は、同じレジスタの BKP ビットを設定することによって選択できます。BKE と BKP は、同時に変更できます。BKE および BKP ビットが書き込まれるとき、書込みが有効になるまでに 1 APB クロックサイクルの遅延が適用されます。そのため、書込み動作の後、ビットを正しく読み出すためには 1 APB クロックサイクル待つ必要があります。

MOE の立ち下がりエッジは非同期のことがあるので、実際の信号（出力に作用する信号）と同期制御ビット（TIMx_BDTR レジスタからアクセスできる）の間に、再同期回路が挿入されています。このため、非同期信号と同期信号の間に若干の遅延が発生します。特に、MOE がローになった後で 1 に設定された場合、MOE を正しく読み出すためには、遅延（ダミー命令）を挿入する必要があります。これは、書込みは非同期信号に対応しますが、読出しは同期信号を反映するからです。

ブレークが発生すると（ブレーク入力で選択されたレベル）、

- MOE ビットは非同期にクリアされ、出力は、インアクティブ状態またはアイドル状態になるか、GPIO への制御が解除されます（OSSI ビットで選択）。これは、MCU オシレータがオフの場合も同様です。
- 各出力チャネルは、MOE=0 になったとき、TIMx_CR2 レジスタの OISx ビットでプログラミングされたレベルで駆動されます。OSSI=0 の場合、タイマは出力の制御（GPIO によって引き継がれた）を解除し、そうでない場合、イネーブル出力はハイのままです。
- 相補出力が使用されているときには：
  - 出力は、まずリセット状態のインアクティブ状態に置かれます（極性に依存します）。これは非同期に行われるので、タイマにクロックが供給されていないときでも機能します。
  - タイマクロックが供給されている場合、デッドタイム後に OISx および OISxN ビットでプログラミングされたレベルで出力を駆動するために、デッドタイムジェネレータが作動します。この場合でも、OCx と OCxN を同時にアクティブレベルに駆動することはできません。MOE の再同期により、デッドタイム時間が通常より少し長くなることに注意してください（約 2 CK_TIM クロックサイクル）。

  - OSSI=0 の場合、タイマはイネーブル出力（ハイインピーダンス状態を強制する GPIO によって引き継がれた）を解除し、そうでない場合、イネーブル出力はハイのままか、CCxE または CCxNE ビットのどちらかがハイになったときにハイになります。
- ブレーク状態フラグ（TIMx_SR レジスタの BIF ビット）がセットされます。TIMx_DIER レジスタの BIE ビットがセットされている場合は、割込みを生成できます。
- TIMx_BDTR レジスタの AOE ビットがセットされている場合、MOE ビットは次の更新イベント UEV で再び自動的にセットされます。これを使用して、たとえば、レギュレーションを行うことができます。そうでない場合、MOE は、再び 1 が書き込まれるまでローのままです。この場合、セキュリティ目的で使用でき、パワー駆動回路、温度センサ、またはセキュリティコンポーネントからのアラームにブレーク入力を接続できます。

注： **AOE ビットが設定されている状態で CPU により MOE がリセットされると、出力はアイドル状態になり、OSSI 値に応じてインアクティブレベルまたはハイインピーダンスに強制されます。**
MOE ビットと AOE ビットの両方が CPU によってリセットされた場合、出力は無効状態になり、TIMx_CR2 レジスタの OISx ビットでプログラムされたレベルで駆動されます。

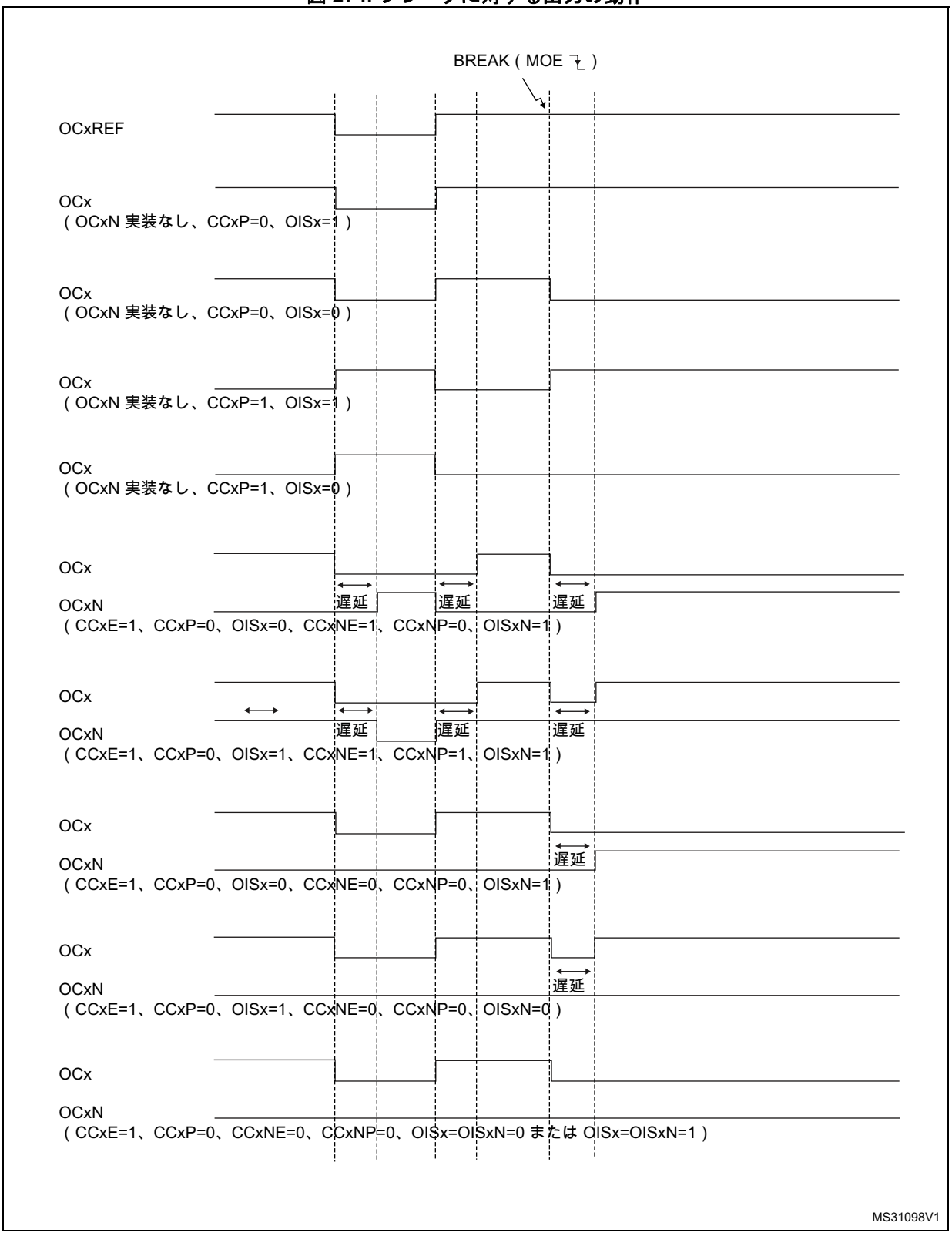
注： **ブレーク入力は、信号レベルに対して動作します。このため、ブレーク入力がアクティブな間は、MOE をセットできません（自動的にも、ソフトウェアによっても）。この間、ステータスフラグ BIF をクリアできません。**

ブレークは、BRK 入力によって生成でき、BRK はプログラミング可能な極性を持ち、TIMx_BDTR レジスタの BKE がイネーブルビットです。

ブレーク入力と出力管理に加えて、アプリケーションに対する安全策として、ブレーク回路内に書込み保護機能を設けてあります。これにより、いくつかのパラメータの設定（デッドタイムの長さ、OCx/OCxN 極性、無効時の状態、OCxM 構成、ブレークイネーブルと極性）を固定することができます。TIMx_BDTR レジスタの LOCK ビットによって、保護を 3 つのレベルから選択することができます。セクション 26.4.14 : 880 ページのTIMx ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（x = 16～17）を参照してください。LOCK ビットは、MCU リセット後に 1 回だけ書き込むことができます。

図 274 に、ブレークに対する出力の動作例を示します。

図 274. ブレークに対する出力の動作



26.3.12 双方向ブレーク入力

TIM16/TIM17 には、図 275 に示すとおり、双方向ブレーク I/O が搭載されています。

それらによって以下のことが可能になります。

- 入力および出力ステータスピンどちらにもなるユニークなピンを持ち、外部の MCU やゲートドライバに障害を通知するために使用できる幅広いレベルのグローバルブレーク信号
- 複数の内部および外部ブレークソースを統合する必要がある場合、互いに論理和をとり、ユニークなブレークイベントをトリガする内部ブレークソースおよび複数の外部オープンドレインコンパレータ出力

ブレーク入力は、TIMxBDTR レジスタの BKBID ビットを使用して双方向モードに設定されます。BKBID プログラミングビットは、TIMxBDTR レジスタの LOCK ビットを使用して読出し専用モードにロックできます（LOCK レベル 1 以上）。

双方向モードでは、I/O をアクティブロー極性でオープンドレインモードに設定する必要があります（BKINP および BKP ビットを使用）。システム（例 : CSS）、オンチップペリフェラル、またはブレーク入力からのブレークリクエストによって、障害イベントを通知するブレーク入力のレベルが強制的にローとなります。安全性のため、極性ビットが正しくセット（アクティブハイ極性）されていない場合の双方向モードは禁止されています。

ブレークソフトウェアイベント（BG）も、ブレーク I/O を強制的に 0 にして、タイマがブレーク状態に移行したことを外部コンポーネントに示します。ただし、これはブレークが有効になっている場合（BKE = 1）にのみ有効です。ソフトウェアブレークイベントが BKE = 0 で生成された場合、出力が安全な状態になり、ブレークフラグはセットされますが、ブレーク I/O には効果がありません。

安全解除メカニズムは、システムが完全にロックされることを防ぎます（ブレーク入力でレベルがローになると、同じ入力でレベルをローに強制するブレークがトリガされます）。

BKDSRM ビットが 1 にセットされると、ブレーク出力が解放され、障害信号をクリアしてシステムを再設定できます。

ブレーク保護回路はどの時点においても無効にできません。

- ブレーク入力パスは常にアクティブです。BKDSRM ビットがセットされており、オープンドレイン制御が解放されている場合でもブレークイベントはアクティブです。これによって、ブレーク条件が存在する限り、PWM 出力の再開を防ぐことができます。
- 出力が有効になっている（MOE ビットがセットされている）限り、BKDSRM ビットでブレーク保護を解除できません（表 168 を参照）。

表 168. ブレーク保護解除条件

MOE	BKDIR	BKDSRM	ブレーク保護状態
0	0	X	設定
0	1	0	設定
0	1	1	解除
1	X	X	設定

ブレーク回路の設定および再設定

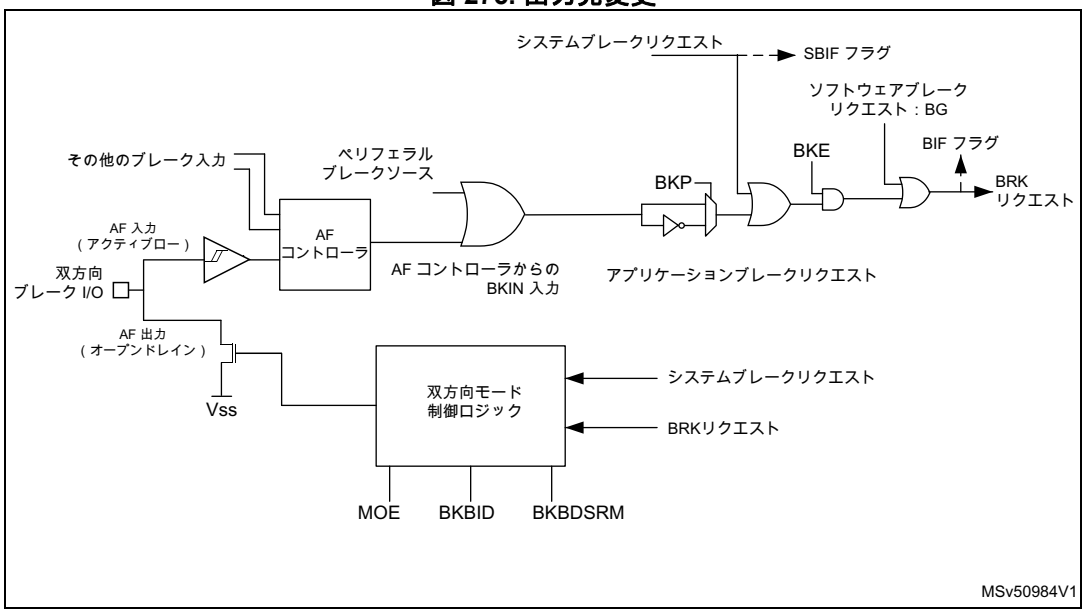
ブレーク回路（入力モードまたは双方向モード）はデフォルト（ペリフェラルリセット設定）で設定されています。

ブレークイベント後に保護を再び設定するには次の手順に従う必要があります。

- BKDSRM ビットをセットして、出力制御を解放する必要があります。
- ソフトウェアは、システムブレーク条件（ある場合）がなくなるまで待ってから、SBIF ステータスフラグをクリアする必要があります（または再設定の前にシステムでクリアします）。
- ソフトウェアは、BKDSRM ビットをハードウェアによってクリアされるまでポーリングする必要があります（アプリケーションブレーク条件がなくなるとき）。

この時点から、ブレーク回路は設定されアクティブになり、MOE ビットをセットして、PWM 出力を再び有効にできます。

図 275. 出力先変更



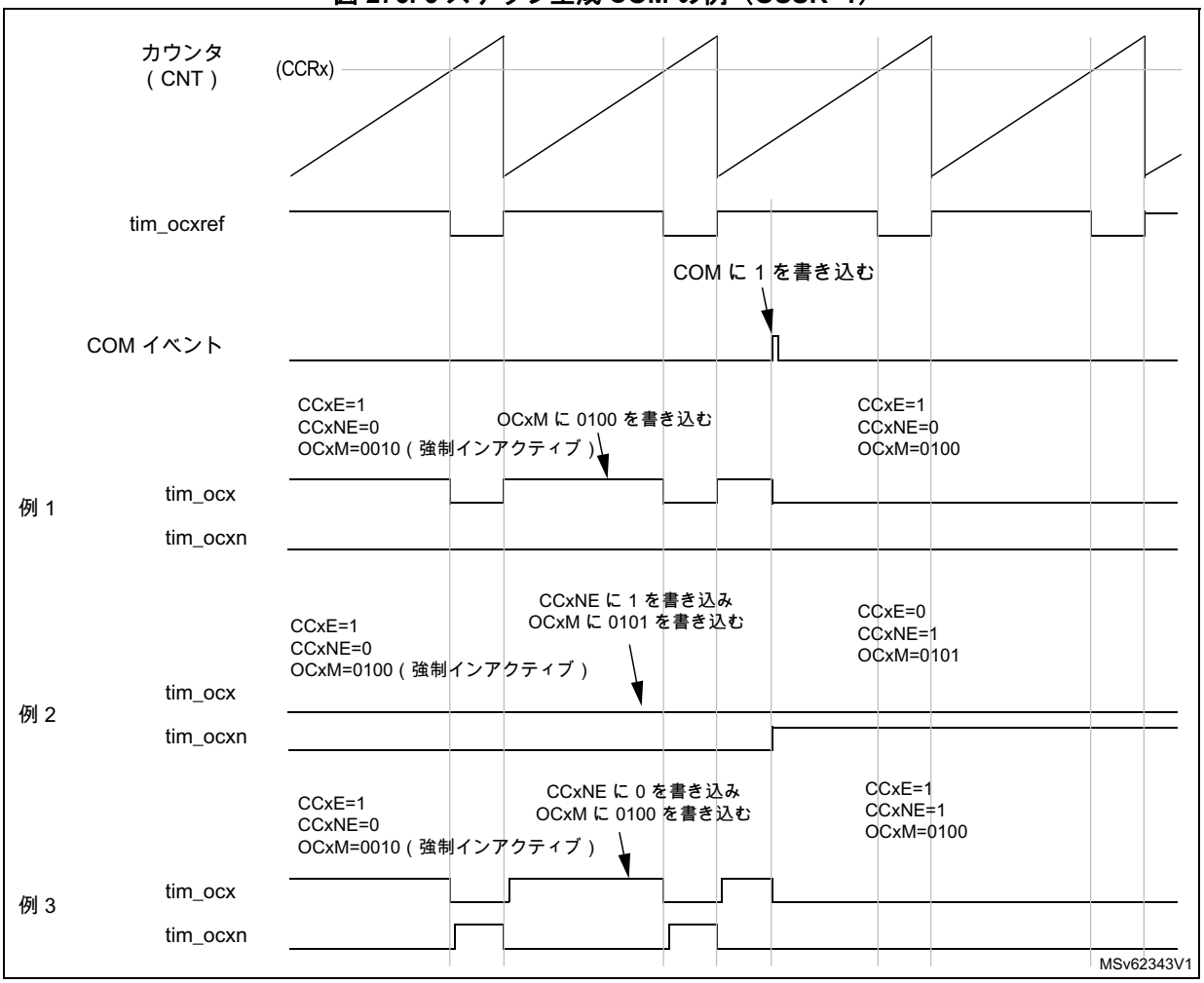
26.3.13 6 ステップ PWM 生成

チャネルで相補出力が使用されているときには、OCxM、CCxE、および CCxNE ビットでプリロードビットが使用できます。プリロードビットは、COM 転流イベントでシャドウビットにコピーされます。これにより、次のステップの構成をあらかじめプログラミングして、すべてのチャネルの構成を同時に変更することができます。COM は、TIMx_EGR レジスタの COM ビットをセットすることによってソフトウェアによって、またはハードウェアによって（tim_trgi 立ち上がりエッジで）生成することができます。

フラグは、COM イベントが発生したときにセットされ（TIM x _SR レジスタの COMIF ビット）、これによって割込み（TIMx_DIER レジスタの COMIE ビットがセットされている場合）または DMA リクエスト（TIMx_DIER レジスタの COMDE ビットがセットされている場合）を生成できます。

図 276 に、COM イベントが発生したときの tim_ocx と tim_ocxn 出力の動作を、3 種類のプログラミング構成の例で示します。

図 276. 6 ステップ生成 COM の例（OSSR=1）



26.3.14 ワンパルスモード

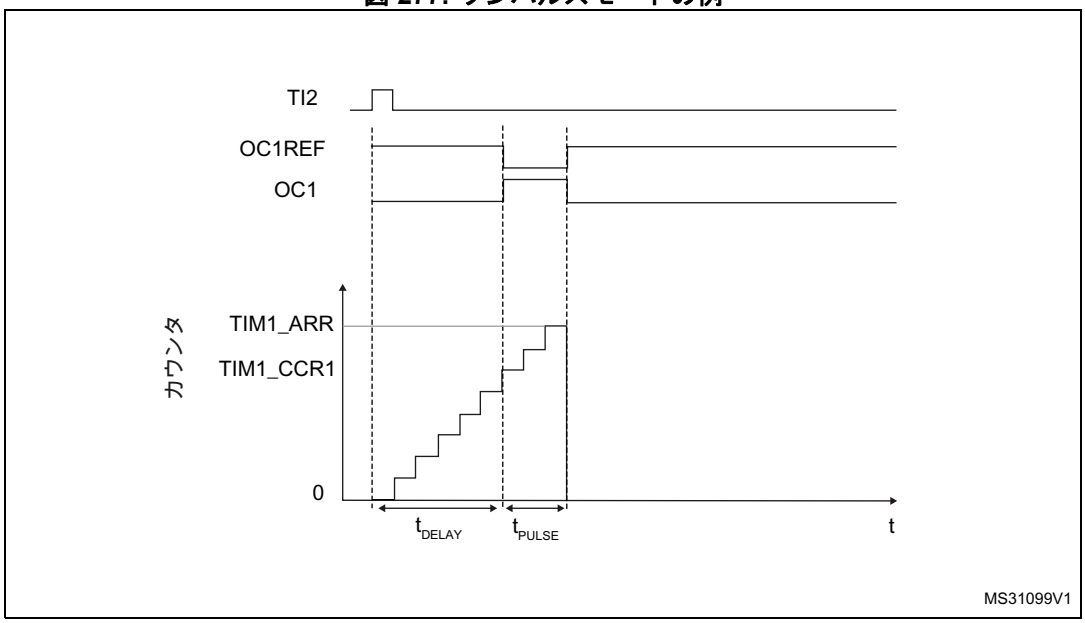
ワンパルスモード（OPM：One Pulse Mode）は、これまでに説明したモードの特殊ケースです。トリガに応じてカウンタを開始して、プログラム可能な遅延後にプログラム可能な長さのパルスを生成できます。

カウンタの開始は、スレーブモードコントローラを通じて制御できます。波形の生成は、出力比較モードまたは PWM モードで行うことができます。ワンパルスモードを選択するには、TIMx_CR1 レジスタの OPM ビットをセットします。これによって、カウンタは、次の更新イベント UEV で自動的に停止します。

パルスは、比較値がカウンタの初期値と異なる場合のみ、正しく生成されます。開始する前に（タイマがトリガを待っているときに）、設定が次のようでなければなりません。

- CNT < CCRx ≤ ARR （特に、0 < CCRx）

図 277. ワンパルスモードの例



たとえば、TI2 入力ピンで立ち上がりエッジが検出されたときに、OC1 にパルス幅が t_{PULSE} の正のパルスを遅延時間 t_{DELAY} 後に生成することもできます。

TI2FP2 をトリガ 1 として使用します。

1. TIMx_TISEL レジスタの TI2SEL[3:0] ビットで、適切な TI2[x] ソース（内部または外部）を選択します。
2. TIMx_CCMR1 レジスタの CC2S ビットに”01”を書き込むことによって、TI2FP2 を TI2 に配置します。
3. TI2FP2 は、立ち上がりエッジを検出して、TIMx_CCER レジスタで CC2P=“0”と CC2NP =“0”を書き込みます。
4. TI2FP2 をスレーブモードコントローラのトリガ（TRGI）として設定します。このためには、TIMx_SMCR レジスタの TS ビットに“00110”を書き込みます。
5. TI2FP2 を使用してカウンタを開始します。このためには、TIMx_SMCR レジスタの SMS ビットに“110”（トリガモード）を書き込みます。

OPM 波形は、次のように比較レジスタに書き込むことによって定義されます（クロック周波数とカウンタプリスケーラを考慮に入れて）。

- t_{DELAY} は、TIMx_CCR1 レジスタに書き込まれた値によって定義されます。
- t_{PULSE} は、自動再ロード値と比較値の差（TIMx_ARR - TIMx_CCR1）によって定義されます。
- 比較一致が発生したときに 0 から 1 へ遷移し、カウンタが自動再ロード値に達したときに 1 から 0 へ遷移する波形を生成するとします。このためには、TIMx_CCMR1 レジスタに OC1M=111 を書き込むことによって、PWM モード 2 を有効にする必要があります。オプションで、TIMx_CCMR1 レジスタに OC1PE='1' を書き込み、TIMx_CR1 レジスタの ARPE ビットを書き込むことによって、プリロードレジスタを有効にすることもできます。この場合、TIMx_CCR1 レジスタに比較値を書き込み、TIMx_ARR レジスタに自動再ロード値を書き込む必要があります。次に、UG ビットをセットすることによって更新を生成し、TI2 で外部トリガイベントを待つ必要があります。この例では、CC1P に“0”を書き込みます。

必要なパルスは 1 つだけなので、TIMx_CR1 レジスタの OPM ビットに“1”を書き込みます。こうすると、カウンタは次の更新イベント時に停止します（カウンタが自動再ロード値に達して、“0”に戻る時点）。

特殊なケース：OCx 高速イネーブル

ワンパルスモードでは、TIx 入力のエッジ検出によって、カウンタを有効にする CEN ビットがセットされます。その後、カウンタと比較値の比較によって、出力が反転されます。ただし、このような動作には数クロックサイクルが必要なので、実現可能な最小遅延（t_{DELAY} min）が制限されます。

最小遅延で波形を出力したい場合は、TIMx_CCMRx レジスタの OCxFE ビットをセットします。こうすると、OCxREF（および OCx）は、比較動作を行うことなく、強制的にトリガに反応します。新しいレベルは、比較が一致したときと同じです。OCxFE は、チャネルが PWM1 または PWM2 モードに設定された場合のみ機能します。

26.3.15 UIF ビットの再配置

TIMx_CR1 レジスタの IUFREMAP ビットでは、タイマカウンタレジスタのビット 31（TIMxCNT[31]）に更新割込みフラグ（UIF）の連続コピーを強制します。これにより、UIFCPY フラグによって示されたカウンタ値と潜在的なロールオーバー条件を分割できないものとして読み取ることができます。特定のケースでは、バックグラウンドタスク（カウンタの読出し）と割込み（更新の割込み）との間で共有されている処理などによって生じる競合状態を避けることで、計算が容易になります。

UIF と UIFCPY フラグのアサートの間には、遅延はありません。

26.3.16 スレーブモード - リセットモードとトリガモードの組み合わせ

この場合、選択されたトリガ入力（TRGI）の立ち上がりエッジでカウンタを再初期化し、レジスタの更新を生成し、カウンタを開始します。

このモードはワンパルスモードで使用します。

26.3.17 DMA バーストモード

TIMx タイマには、1 つのイベントで多重 DMA リクエストを生成する機能があります。主な目的は、いくつかのタイマレジスタをソフトウェアのオーバヘッドなく複数回再プログラムできるようにすることです。複数のレジスタを連続して一定の時間間隔で読み出すために使用することもできます。

DMA コントローラの転送先は一意で、仮想レジスタ TIMx_DMAR を示している必要があります。特定のタイマイベントで、タイマは一連の DMA リクエスト（バースト）を開始します。TIMx_DMAR レジスタへの各書込みは、実際にタイマレジスタの 1 つにリダイレクトされます。

TIMx_DCR レジスタの DBL[4:0] ビットによって、DMA バースト長がセットされます。タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します。つまり、転送数（ハーフワード単位またはバイト単位）を示します。

TIMx_DCR レジスタの DBA[4:0] ビットは、DMA 転送の DMA ベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し／書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

たとえば、更新イベント時に CCRx レジスタ値の内容を更新するためにタイマ DMA バースト機能を使用します（x = 2、3、4）。このとき、DMA は CCRx レジスタへハーフワードを転送します。

これは次のステップに従って行います。

1. 対応する DMA チャネルを次のように設定します。
   - DMA チャネルペリフェラルアドレスを、DMAR レジスタアドレスとします。
   - DMA チャネルメモリアドレスを、DMA によって CCRx レジスタに転送されるデータを格納する RAM 内のバッファアドレスとします。
   - 転送データ数 = 3 とします（下の注を参照）。
   - サーキュラモードは無効です。
2. DBA と DBL のビットフィールドを次のように設定することによって、DCR レジスタを設定します。
   DBL = 3 転送、DBA = 0xE。
3. TIMx 更新 DMA リクエストを有効にします（DIER レジスタのUDE ビットをセット）。
4. TIMx を有効化
5. DMA チャネルを有効化注：

この例は、各 CCRx レジスタが 1 回更新される場合です。たとえば、各 CCRx レジスタが 2 回更新される場合は、転送データ数は 6 になります。データ 1、データ 2、データ 3、データ 4、データ 5、データ 6 を格納する RAM のバッファを例にします。データは、CCRx レジスタに次のように転送されます。最初の更新 DMA リクエストでデータ 1 が CCR2 に転送され、データ 2 は CCR3 に、データ 3 は CCR4 にそれぞれ転送され、2 番目の更新 DMA リクエストでデータ 4 が CCR2 に、データ 5 が CCR3 に、データ 6 が CCR4 にそれぞれ転送されます。

注： **null 値を予約済みレジスタに書き込むことができます。**

26.3.18 タイマ出力を他のタイマのトリガとして使用（TIM16/TIM17）

1 チャンネルのみのタイマは、マスタモードを備えていません。しかし、OC1 出力信号は、他のいくつかのタイマ（本書の他のセクションで説明されているタイマを含む）のトリガとして使用できます。どのタイマがスレーブとして使用できるかを知るには、デバイスのいずれかの TIMx_SMCR レジスタの「TIMx 内部トリガ接続」表を確認してください。

OC1 信号のパルス幅は、スレーブタイマが確実にトリガを検出できるように、転送先タイマの少なくとも 2 クロックサイクルになるようにプログラムする必要があります。

たとえば、転送先タイマの CK_INT クロックが転送元のタイマより 4 倍遅い場合、OC1 のパルス幅は 8 クロックサイクルでなければなりません。

26.3.19 デバッグモード

マイクロコントローラがデバッグモードになると（CPU1 Cortex®-M4 コアは停止状態）、TIMx カウンタは、DBG モジュールの DBG_TIMx_STOP 設定ビットに応じて、通常どおりに動作を続けるか、または停止します。詳細については、セクション 41.8.7 : DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ （DBGMCU_APB2FZR）を参照してください。

安全のため、カウンタが停止すると（DBG_TIMx_STOP = 1）、出力は無効になります（MOE ビットのリセット時と同じ）。強制的にハイインピーダンスにするために、出力を強制的にインアクティブ状態にするか（OSSI ビット = 1）、GPIO コントローラで制御することができます（OSSI ビット = 0）。

26.4 TIM16/TIM17 レジスタ

レジスタの説明で使用されている略語のリストについては、セクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

26.4.1 TIMx 制御レジスタ 1（TIMx_CR1）（x = 16～17）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw		rw	rw	rw				rw	rw	rw	rw

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **UIFREMAP**：UIF ステータスビットの再配置

0：再配置なし。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされません。
1：再配置は有効です。UIF ステータスビットは TIMx_CNT レジスタのビット 31 にコピーされます。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **CKD[1:0]**：クロック分周

このビットフィールドは、タイマクロック（CK_INT）周波数と、デッドタイムジェネレータとデジタルフィルタ（TIx）によって使用されるデッドタイムおよびサンプリングクロック（t_{DTS}）との間の分周比を示します。

00：$t_{DTS} = t_{CK_INT}$
01：$t_{DTS} = 2 * t_{CK_INT}$
10：$t_{DTS} = 4 * t_{CK_INT}$
11：予約済み - この値をプログラミングしないでください。

ビット 7 **ARPE**：自動再ロードプリロードイネーブル

0：TIMx_ARR レジスタはバッファされません。
1：TIMx_ARR レジスタはバッファされます。

ビット 6:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **OPM**：ワンパルスモード

0：カウンタは更新イベントで停止しません。
1：カウンタは次の更新イベントでカウントを停止します（CEN ビットをクリア）。

ビット 2 **URS**：更新リクエストソース

このビットは、UEV イベントソースを選択するために、ソフトウェアによってセット／クリアされます。

0：次のイベントのいずれかが更新割込みまたは DMA リクエストを生成します（有効な場合）。これらのイベントは、次のとおりです。
- カウンタオーバーフロー／アンダーフロー
- UG ビットのセット
- スレーブモードコントローラからの更新生成

1：カウンタオーバーフロー／アンダーフローのみが更新割込みまたは DMA リクエストを生成します（有効な場合）。

ビット 1 **UDIS**：更新ディセーブル

このビットは、UEV イベント生成を有効／無効にするために、ソフトウェアによってセット／クリアされます。

0：UEV は有効です。更新イベント（UEV）は、次のいずれかのイベントによって生成されます。

– カウンタオーバーフロー／アンダーフロー

– UG ビットのセット

– スレーブモードコントローラからの更新生成

バッファを持つレジスタにはプリロード値がロードされます。

1：UEV は無効です。更新イベントは生成されず、シャドウレジスタ（ARR、PSC、CCRx）は値を維持します。ただし、UG ビットがセットされた場合や、スレーブモードコントローラからハードウェアリセットを受信した場合には、カウンタとプリスケーラは再初期化されます。

ビット 0 **CEN**：カウンタイネーブル

0：カウンタは無効です。

1：カウンタは有効です。

注： 外部クロックおよびゲートモードは、CEN ビットが事前にソフトウェアによってセットされている場合のみ動作します。ただし、トリガモードでは、ハードウェアによって自動的に CEN ビットをセットできます。

26.4.2 TIMx 制御レジスタ 2（TIMx_CR2）（x = 16～17）

アドレスオフセット：0x04

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	OIS1N	OIS1	Res.	Res.	Res.	Res.	CCDS	CCUS	Res.	CCPC
						rw	rw					rw	rw		rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **OIS1N**：出力アイドル状態 1（OC1N 出力）

0：MOE=0 のとき、デッドタイム後に OC1N=0

1：MOE=1 のとき、デッドタイム後に OC1N=0

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 8 **OIS1**：出力アイドル状態 1（OC1 出力）

0：MOE=0 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

1：MOE=1 のとき、OC1=0（OC1N が実装されている場合、デッドタイム後に）

注： このビットは、LOCK レベル 1、2、または 3 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **CCDS**：キャプチャ／比較 DMA 選択

0：CCx DMA リクエストは、CCx イベントが発生すると送信されます。

1：CCx DMA リクエストは、更新イベントが発生すると送信されます。

ビット 2 **CCUS**：キャプチャ /比較制御更新選択

0：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによってのみ更新されます。

1：キャプチャ /比較制御ビットがプリロードされるときには（CCPC=1）、COMG ビットをセットすることによって、または TRGI の立ち上がりエッジで更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **CCPC**：キャプチャ /比較プリロード制御

0 : CCxE、CCxNE、および OCxM ビットはプリロードされません。

1 : CCxE、CCxNE、および OCxM ビットがプリロードされます。書込みの後、これらのビットは COM ビットがセットされたときにのみ更新されます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

26.4.3 TIMx DMA／割込み有効レジスタ（TIMx_DIER）（x = 16〜17）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1DE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	CC1IE	UIE
						rw	rw	rw		rw				rw	rw

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC1DE**：キャプチャ／比較 1 DMA リクエストイネーブル

0：CC1 DMA リクエストは無効です。

1：CC1 DMA リクエストは有効です。

ビット 8 **UDE**：更新 DMA リクエストイネーブル

0：更新 DMA リクエストは無効です。

1：更新 DMA リクエストは有効です。

ビット 7 **BIE**：ブレーク割込みイネーブル

0：ブレーク割込みは無効です。

1：ブレーク割込みは有効です。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMIE :** COM 割込み有効

0：COM 割込み無効

1：COM 割込み有効

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1IE**：キャプチャ／比較 1 割込みイネーブル

0：CC1 割込みは無効です。

1：CC1 割込みは有効です。

ビット 0 **UIE**：更新割込みイネーブル

0：更新割込みは無効です。

1：更新割込みは有効です。

26.4.4 TIMx ステータスレジスタ（TIMx_SR）（x = 16～17）

アドレスオフセット：0x10

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	CC1IF	UIF
						rc_w0		rc_w0		rc_w0				rc_w0	rc_w0

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CC1OF**：キャプチャ／比較 1 オーバーキャプチャフラグ

このフラグは、対応するチャネルが入力キャプチャモードに設定されているときのみ、ハードウェアによってセットされます。これは、“0”を書き込むことによってソフトウェアによってクリアされます。
0：オーバキャプチャは検出されていません。
1：CC1IF フラグがすでにセットされているときに、カウンタの値が TIMx_CCR1 レジスタにキャプチャされました。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BIF**：ブレーク割込みフラグ

このフラグは、ブレーク入力がアクティブになると、ハードウェアによってセットされます。ブレーク入力がアクティブでない場合、ソフトウェアによってクリアできます。
0：ブレークイベントは発生していません。
1：ブレーク入力でアクティブレベルが検出されました。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMIF**：COM 割込みフラグ

このフラグは、COM イベント時にハードウェアによってセットされます（キャプチャ /比較制御ビット - CCxE、CCxNE、OCxM - が更新されたとき）。ソフトウェアによってクリアされます。
0：COM イベントは発生していません。
1：COM 割込みがペンディング中です。

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1IF**：キャプチャ／比較 1 割込みフラグ

このフラグはハードウェアによってセットされます。ソフトウェアによって（入力キャプチャモードまたは出力比較モード）、または TIMx_CCR1 レジスタを読み出すことによって（入力キャプチャモードのみ）クリアされます。
0：比較一致／入力キャプチャは発生していません。
1：比較一致または入力キャプチャが発生しました。

チャネル CC1 が出力として設定されている場合：カウンタ TIMx_CNT の内容が TIMx_CCR1 レジスタの内容と一致したとき、このフラグがセットされます。TIMx_CCR1 の内容が TIMx_ARR の内容より大きいときには、カウンタオーバーフロー時（アップカウントおよびアップ／ダウンカウントモードの場合）、またはアンダーフロー時（ダウンカウントモードの場合）に CC1IF ビットはハイになります。センターアラインモードでのフラグの設定には 3つのオプションがあります。詳細については、TIMx_CR1 レジスタの CMS ビットを参照してください。

CC1 チャネルが入力として設定されている場合：このビットは、TIMx_CCR1 レジスタでカウンタ値がキャプチャされた（TIMx_CCER の CC1P および CC1NP ビット設定で定義されたエッジ感度に従って、IC1 でエッジが検出された）ときに設定されます。

ビット 0 **UIF**：更新割込みフラグ

このビットは、更新イベント時にハードウェアによってセットされます。ソフトウェアによってクリアされます。

0：更新は発生していません。

1：更新割込みが保留中です。このビットは、レジスタが以下で更新されたときにハードウェアによってセットされます。

– 繰り返しカウンタ値に関するオーバーフロー（繰り返しカウンタ=0 の場合の更新）、および TIMx_CR1 レジスタの UDIS=0 の場合。

– TIMx_CR1 レジスタの URS=0 かつ UDIS=0 であり、TIMx_EGR レジスタの UG ビットを使用して、CNT がソフトウェアによって再初期化されたとき。

26.4.5 TIMx イベント生成レジスタ（TIMx_EGR）（x = 16～17）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	Res.	COMG	Res.	Res.	Res.	CC1G	UG
								w		w				w	w

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **BG**：ブレーク生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響はありません。

1：ブレークイベントが生成されます。MOE ビットがクリアされ、BIF フラグがセットされます。有効な場合は、関連する割込みまたは DMA 転送が発生します。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **COMG**：キャプチャ /比較制御更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響なし。

1：CCPC ビットがセットされているときには、CCxE、CCxNE、および OCxM ビットを更新できます。

注： このビットは、相補出力を持つチャネルでのみ機能します。

ビット 4:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **CC1G**：キャプチャ /比較 1 イベント生成

このビットは、イベントを生成するためにソフトウェアによってセットされ、ハードウェアによって自動的にクリアされます。

0：影響はありません。

1：チャネル 1 でキャプチャ／比較イベントが生成されます。

CC1 チャネルが出力として設定されている場合：

CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。

CC1 チャネルが入力として設定されている場合：

カウンタの現在値が TIMx_CCR1 レジスタにキャプチャされます。CC1IF フラグがセットされ、対応する割込みまたは DMA リクエストが送信されます（有効な場合）。CC1IF フラグがすでにハイの場合、CC1OF フラグがセットされます。

ビット 0 **UG**：更新生成

このビットは、ソフトウェアによってセットでき、ハードウェアによって自動的にクリアされます。

0：影響はありません。

1：カウンタを再初期化し、レジスタの更新を生成します。プリスケーラカウンタもクリアされます（プリスケーラ比は変化しません）。

26.4.6 TIMx キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）（x = 16～17）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを入力キャプチャモード（このセクション）または出力比較モード（次のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

入力キャプチャモード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F [3:0]				IC1PSC [1:0]		CC1S [1:0]	
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **IC1F[3:0]**：入力キャプチャ 1 フィルタ

このビットフィールドは、TI1 入力をサンプリングする周波数と、TI1 に適用されるデジタルフィルタの長さを定義します。デジタルフィルタはイベントカウンタでできていて、出力に有効な変化をもたらすには N 個の連続イベント発生が必要です。

0000：フィルタなし、f_{DTS} でサンプリング
0001：$f_{SAMPLING}= f_{CK_INT}$、N = 2
0010：$f_{SAMPLING}= f_{CK_INT}$、N = 4
0011：$f_{SAMPLING}= f_{CK_INT}$、N = 8
0100：$f_{SAMPLING}= f_{DTS}/2$、N =
0101：$f_{SAMPLING}= f_{DTS}/2$、N = 8
0110：$f_{SAMPLING}= f_{DTS}/4$、N = 6
0111：$f_{SAMPLING}= f_{DTS}/4$、N = 8
1000：$f_{SAMPLING}= f_{DTS}/8$、N = 6
1001: $f_{SAMPLING}=f_{DTS}/8$、N=8
1010：$f_{SAMPLING}= f_{DTS}$、N = 16
1011：$f_{SAMPLING}= f_{DTS}/16$、N = 6
1100：$f_{SAMPLING}= f_{DTS}/16$、N = 8
1101：$f_{SAMPLING}= f_{DTS}/32$、N = 5
1110：$f_{SAMPLING}= f_{DTS}/32$、N = 6
1111：$f_{SAMPLING}= f_{DTS}/32$、N = 8

ビット 3:2 **IC1PSC[1:0]**：入力キャプチャ 1 プリスケーラ

このビットフィールドは、CC1 入力（IC1）に作用するプリスケーラの分周比を定義します。
プリスケーラは、CC1E = 0（TIMx_CCER レジスタ）になるとリセットされます。
00：プリスケーラなし。キャプチャは、キャプチャ入力のエッジが検出されるたびに行われます。
01：キャプチャは、2 イベントごとに行われます。
10：キャプチャは、4 イベントごとに行われます。
11：キャプチャは、8 イベントごとに行われます。

ビット 1:0 **CC1S[1:0]**：キャプチャ /比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。
00：CC1 チャネルは出力として設定されます。
01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。
その他：予約済みです。

注： CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

26.4.7 TIMx キャプチャ／比較モードレジスタ 1 [オルタネート]（TIMx_CCMR1）（x = 16～17）

アドレスオフセット：0x18

リセット値：0x0000 0000

同じレジスタを出力比較モード（このセクション）または入力キャプチャモード（前のセクション）に使用できます。チャネルの方向は対応する CCxS ビットで定まります。このレジスタの他のビットはすべて、入力モードと出力モードで異なる機能を持ちます。

出力比較モード：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
									rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 16、6:4 **OC1M[3:0]**：出力比較 1 モード

これらのビットは、OC1 および OC1N が導き出される出力基準信号 OC1REF の動作を定義します。OC1REF はアクティブハイですが、OC1 および OC1N のアクティブレベルは CC1P および CC1NP ビットに依存します。

0000：停止 - 出力比較レジスタ TIMx_CCR1 とカウンタ TIMx_CNT との間の比較結果は出力に影響しません。このモードは、タイマをソフトウェアタイムベースとして使用する場合に使用できます。タイマ動作中に停止モードが有効になると、出力は停止状態になる前の状態（アクティブまたはインアクティブ）を維持します。

0001：一致時にチャネル 1 をアクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNT がキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にハイになります。

0010：一致時にチャネル 1 を非アクティブレベルに設定します。OC1REF 信号は、カウンタ TIMx_CNTがキャプチャ／比較レジスタ 1（TIMx_CCR1）と一致したときに、強制的にローになります。

0011：反転 - TIMx_CNT = TIMx_CCR1 のとき、OC1REF は反転します。

0100：強制非アクティブレベル - OC1REF は強制的にローになります。

0101：強制アクティブレベル - OC1REF は強制的にハイになります。

0110：PWM モード 1 - チャネル 1 は、TIMx_CNT<TIMx_CCR1 の場合はアクティブに、そうでない場合はインアクティブになります。

0111：PWM モード 2 - チャネル 1 は、TIMx_CNT<TIMx_CCR1 の場合はインアクティブに、そうでない場合はアクティブになります。

その他の値：予約済みです。

注： これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCKビット）、かつ CC1S="00"（チャネルは出力に設定）のときには、変更できません。

PWM モード 1 または 2 では、比較結果が変化したとき、または出力比較モードが停止モードから PWM モードに変更されたときにのみ、OCREF のレベルが変化します。

OC1M [3] ビットは隣接しておらず、ビット 16 にあります。

ビット 3 **OC1PE**：出力比較 1 プリロードイネーブル

0：TIMx_CCR1 のプリロードレジスタは無効です。TIMx_CCR1 は、いつでも書込み可能であり、新しい値はただちに有効になります。

1：TIMx_CCR1　のプリロードレジスタは有効です。読み書きはプリロードレジスタに対して行われます。TIMx_CCR1 プリロード値は、更新イベントのたびにアクティブレジスタにロードされます。

注：　これらのビットは、LOCK レベル 3 がプログラムされていて（TIMx_BDTR レジスタの LOCK ビット）、かつ CC1S="00"（チャネルは出力に設定）のときには、変更できません。

ビット 2 **OC1FE**：出力比較 1 高速イネーブル

このビットは、トリガイベントとタイマ出力の遷移の間の待ち時間を短縮します。開始トリガの後、できるだけ早く出力パルスを開始するには、1 パルスモード（TIMx_CR1 レジスタの OPM ビットのセット）で使用する必要があります。

0：CC1 の動作は、トリガがオンのときでも、通常、カウンタと CCR1 の値に依存します。トリガ入力のエッジ発生から CC1 出力が有効になるまでの最小遅延は、5 クロックサイクルです。

1：トリガ入力のアクティブエッジは、CC1 出力に対して、比較一致のように働きます。このため、OC は、比較結果には関係なく、比較レベルにセットされます。トリガ入力をサンプリングし、CC1 出力を有効にするまでの遅延は、3 クロックサイクルに短縮されます。OC1FE は、チャネルが PWM1 または PWM2 モードに設定されている場合のみ機能します。

ビット 1:0 **CC1S[1:0]**：キャプチャ／比較 1 選択

このビットフィールドは、チャネルの方向（入力／出力）と、使用される入力を定義します。

00：CC1 チャネルは出力として設定されます。

01：CC1 チャネルは入力として設定され、IC1 は TI1 に配置されます。

その他：予約済みです。

注：　CC1S ビットは、チャネルがオフ（TIMx_CCER レジスタの CC1E=0）のときにのみ書込み可能です。

26.4.8　TIMx キャプチャ／比較有効レジスタ（TIMx_CCER）（x = 16～17）

アドレスオフセット：0x20

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	CC1NE	CC1P	CC1E
												rw	rw	rw	rw

ビット 15:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **CC1NP**：キャプチャ／比較 1 相補出力極性

CC1 チャネルが出力として設定されている場合：

0：OC1N はアクティブハイです。

1：OC1N はアクティブローです。

CC1 チャネルが入力として設定されている場合：

このビットは、TI1FP1とTI2FP1 の極性を定義するために CC1P と組み合わせて使用されます。CC1P の説明を

参照してください。

注：　このビットは、LOCK レベル 2 または 3 がプログラムされ、（TIMx_BDTR レジスタの LOCK ビット）、かつ CC1S="00"（チャネルは出力として設定）になった直後は書込みできません。

相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1NP アクティブビットは、転流イベント（COM）が発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 2 **CC1NE**：キャプチャ /比較 1 相補出力イネーブル

0：オフ - OC1N はアクティブではありません。OC1N のレベルは、MOE、OSSI、OSSR、OIS1、OIS1N および CC1E ビットによって決まります。

1：オン - OC1N 信号は、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1E ビットにより、対応する出力ピンに出力されます。

ビット 1 **CC1P**：キャプチャ／比較 1 出力極性

0：OC1 のアクティブハイ（出力モード）／エッジ感度を選択（入力モード、下記を参照）

1：OC1 のアクティブロー（出力モード）／エッジ感度を選択（入力モード、下記を参照）

CC1 チャネルが入力として設定されているときは、CC1NP/CC1P の両ビットは、トリガまたはキャプチャ動作に対する TI1FP1 と TI2FP1 のアクティブ極性を選択します。

CC1NP=0、CC1P=0：非反転/立ち上がりエッジ。この回路は TIxFP1 の立ち上がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードまたはエンコーダモードでのトリガ動作）。

CC1NP=0、CC1P=1：反転／立ち下がりエッジ。この回路は TIxFP1 の立ち下がりエッジに反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されます（ゲートモードまたはエンコーダモードでのトリガ動作）。

CC1NP=1、CC1P=1：非反転／両エッジ／この回路は TIxFP1 の立ち上がりエッジと立ち下がりエッジの両方に反応し（リセットモード、外部クロックモード、またはトリガモードにおけるキャプチャまたはトリガ動作）、TIxFP1 は反転されません（ゲートモードでのトリガ動作）。この設定をエンコーダモードで使用することはできません。

CC1NP=1、CC1P=0：この設定は予約済みです。使用できません。

注： **このビットは、LOCK レベル 2 または 3 がプログラムされた直後は書込みできません（TIMx_BDTR レジスタの LOCK ビット）。**

相補出力を持つチャネルでは、このビットはプリロードされます。TIMx_CR2 レジスタの CCPC ビットがセットされた場合、CC1P アクティブビットは、転流イベントが発生したときにのみ、プリロードされたビットから新しい値を取り込みます。

ビット 0 **CC1E**：キャプチャ／比較 1 出力イネーブル

0：キャプチャモードは無効／OC1 は非アクティブ（下記を参照）。

1：キャプチャモードは有効／OC1 信号は、対応する出力ピンに出力されます。

CC1 チャネルが出力として設定されている場合、OC1 レベルは、CC1E ビットの状態にかかわらず、MOE、OSSI、OSSR、OIS1、OIS1N、および CC1NE ビットに依存します。詳細については、表 169 を参照してください。

表 169. ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット（TIM16/17）

制御ビット					出力状態(1)	
MOE ビット	OSSI ビット	OSSR ビット	CCxE ビット	CCxNE ビット	OCx 出力状態	OCxN 出力状態
1	X	X	0	0	出力無効（タイマによって駆動されない：ハイインピーダンス） OCx=0 OCxN=0、OCxN_EN=0	
		0	0	1	出力無効（タイマによって駆動されない：ハイインピーダンス） OCx=0	OCxREF + 極性 OCxN=OCxREF XOR CCxNP
		0	1	0	OCxREF + 極性 OCx=OCxREF XOR CCxP	出力無効（タイマによって駆動されない：ハイインピーダンス） OCxN=0
		X	1	1	OCREF + 極性 + デッドタイム	OCREF に対する相補（OCREF ではなく）+ 極性 + デッドタイム
		1	0	1	オフ状態（インアクティブ状態で出力有効） OCx=CCxP	OCxREF + 極性 OCxN=OCxREF XOR CCxNP
		1	1	0	OCxREF + 極性 OCx=OCxREF XOR CCxP、 OCx_EN=1	オフ状態（インアクティブ状態で出力有効） OCxN=CCxNP、OCxN_EN=1
0	0	X	X	X	出力無効（タイマによって駆動されない：ハイインピーダンス）。	
	1		0	0		
			0	1	オフ状態（インアクティブ状態で出力有効） 非同期：OCx=CCxP、OCxN=CCxNP クロックが存在する場合：デッドタイム後、OCx=OISx および OCxN=OISxN。ただし、OISx と OISxN は、アクティブ状態における OCX と OCxN の両方に対応しないことを前提とします。	
			1	0		
			1	1		

1. チャネルの両方の出力が使用されないとき（GPIO コントローラが制御を引き継いだ場合）、OISx、OISxN、CCxP、および CCxNP ビットはクリアされたままでなければなりません。

注： **相補 OCx および OCxN チャネルに接続されている外部入出力ピンの状態は、OCx および OCxN チャネルの状態と、GPIO 制御 および オルタネート機能レジスタに依存します。**

26.4.9 TIMx カウンタ（TIMx_CNT）（x = 16～17）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **UIFCPY**：UIF コピー

このビットは TIMx_ISR レジスタの UIF ビットの読出し専用コピー。TIMx_CR1 の UIFREMAP ビットがリセットされると、ビット 31 は予約済みで、0 で読み出されます。

ビット 30:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]**：カウンタ値

26.4.10 TIMx プリスケーラ（TIMx_PSC）（x = 16～17）

アドレスオフセット：0x28

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **PSC[15:0]**：プリスケーラ値

カウンタクロック周波数（CK_CNT）は f_{CK_PSC} / (PSC[15:0] + 1) に等しいです。

PSC は、更新イベントごとにアクティブプリスケーラレジスタにロードされる値を含みます（更新イベントには、TIMx_EGR レジスタの UG ビットを通じて、またはリセットモードに設定されているトリガコントローラを通じて、カウンタがクリアされる場合も含まれます）。

26.4.11 TIMx自動再ロードレジスタ（TIMx_ARR）（x = 16～17）

アドレスオフセット：0x2C

リセット値：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、実際の自動再ロードレジスタにロードされる値です。

ARR の更新と動作の詳細については、セクション 26.3.1：841 ページのタイムベースユニットを参照してください。

自動再ロード値が null のときには、カウンタはブロックされます。

26.4.12 TIMx 繰り返しカウンタレジスタ（TIMx_RCR）（x = 16～17）

アドレスオフセット：0x30

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **REP[7:0]**：繰り返しカウンタ値

これらのビットによって、プリロードレジスタが有効なときの比較レジスタの更新レート（プリロードレジスタからアクティブレジスタへの周期的な転送）と、割込みが有効な場合の更新割込み生成の頻度をセットアップできます。

REP_CNT に関連するダウンカウンタがゼロに達するたびに、更新イベントが生成され、REP 値からカウントをリスタートします。繰り返し更新イベント U_RC でのみ、REP_CNT に REP 値がロードされるので、TIMx_RCR レジスタへの書込みは、次の繰り返し更新イベントまで有効になりません。

PWM モードでは、（REP+1）はエッジアラインモードで PWM 周期の数を意味します。

26.4.13 TIMx キャプチャ／比較レジスタ 1 （TIMx_CCR1）（x = 16～17）

アドレスオフセット：0x34

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1 [15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CCR1[15:0]**：キャプチャ／比較 1 値

CC1 チャネルが出力として設定されている場合：

CCR1 は、実際のキャプチャ／比較 1 レジスタにロードされる値（プリロード値）です。

TIMx_CCMR1 レジスタの OC1PE ビットでプリロード機能が選択されていない場合、この値は不変にロードされます。そうでない場合、プリロード値は、更新イベントが発生したときに、アクティブキャプチャ／比較 1 レジスタにコピーされます。

アクティブキャプチャ／比較レジスタは、カウンタ TIMx_CNT と比較されて、OC1 出力に送信される値を含みます。

CC1 チャネルが入力として設定されている場合：

CCR1 は、最後の入力キャプチャ 1 イベント（IC1）によって転送されたカウンタ値です。

26.4.14 TIMx ブレークおよびデッドタイムレジスタ（TIMx_BDTR）（x = 16～17）

アドレスオフセット：0x44

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	BKBID	Res.	BK DSRM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
			rw		rw										

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： BKBID、BKDSRM、AOE、BKP、BKE、OSSI、OSSR、および DTG[7:0] ビットは、LOCK 設定に応じて書込みがロックされるので、TIMx_BDTR レジスタへの最初の書込みアクセス時に、これらすべてを設定しなければならないことがあります。

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 **BKBID**：ブレーク双方向

0：ブレーク入力 BRK は入力モードです。
1：ブレーク入力 BRK は双方向モードです。
双方向モード（BKBID ビットが 1 にセット）では、ブレーク入力が入力モードとオープンドレイン出力モード両方で設定されます。アクティブなブレークイベントで、ブレーク入力の低ロジックレベルをアサートし、外部デバイスに対する内部ブレークイベントを表します。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **BKDSRM**：ブレーク解除

0：ブレーク入力 BRK が設定されます。
1：ブレーク入力 BRK は解除されます。
このビットは、アクティブなブレークソースがない場合、ハードウェアによってクリアされます。
BKDSRM ビットは、双方向出力制御（ハイインピーダンス状態でのオープンドレイン出力）を解放するためにソフトウェアでセットしてから、ハードウェアによってリセットされ、障害状態がなくなったことを示すまでポーリングする必要があります

注： このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 25:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **MOE**：メイン出力イネーブル

このビットは、ブレーク入力がアクティブとなると、ハードウェアによって非同期にクリアされます。ソフトウェアによって、または、AOE ビットに応じて自動的にセットされます。出力として設定されたチャネルに対してのみ有効です。
0：OC および OCN 出力が無効か、OSSI ビットによって強制的にアイドル状態になります。
1：OC および OCN 出力は、それぞれのイネーブルビット（TIMx_CCER レジスタの CCxE、CCxNE ビット）がセットされている場合は有効です。
詳細については、OC/OCN イネーブルの説明を参照してください（セクション 26.4.8：875 ページの TIMx キャプチャ／比較有効レジスタ（TIMx_CCER）（x = 16～17））。

ビット 14 **AOE**：自動出力イネーブル

0：MOE はソフトウェアによってのみセットできます。

1：MOE は、ソフトウェアによって、または次の更新イベント時に自動的にセットできます（ブレーク入力がアクティブでない場合）。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 13 **BKP**：ブレーク極性

0：ブレーク入力 BRK はアクティブローです。

1：ブレーク入力 BRK はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 12 **BKE**：ブレークイネーブル

0：ブレーク入力（BRK および CCS クロック障害イベント）は無効です。

1：ブレーク入力（BRK および CCS クロック障害イベント）は有効です。

注： このビットは、LOCK レベル 1 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

このビットへの書込み操作では、書込みが有効になるまでに 1 APB クロックサイクルの遅延が生じます。

ビット 11 **OSSR**：RUN モードのオフ状態の選択

このビットは、MOE=1 のとき、相補出力を持ち、出力として設定されているチャネルで使用されます。OSSR は、相補出力がタイマに実装されていない場合には、実装されません。

詳細については、OC/OCN イネーブルの説明を参照してください（セクション 26.4.8：875 ページの TIMx キャプチャ／比較有効レジスタ（TIMx_CCER）（x = 16～17））。

0：インアクティブのとき、OC/OCN 出力は無効です（タイマは出力の制御を解除し、ハイインピーダンス状態を強制する GPIO によって引き継がれます）

1：インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、インアクティブレベルで有効になります（出力は引き続きタイマで制御される）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 10 **OSSI**：アイドルモードのオフ状態の選択

このビットは、MOE=0 のとき、出力として設定されているチャネルで使用されます。

詳細については、OC/OCN イネーブルの説明を参照してください（セクション 26.4.8：875 ページの TIMx キャプチャ／比較有効レジスタ（TIMx_CCER）（x = 16～17））。

0：インアクティブのとき、OC/OCN 出力は無効です（OC/OCN イネーブル出力信号 = 0）。

1：インアクティブのとき、CCxE=1 または CCxNE=1 になると、OC/OCN 出力は、まず強制的にアイドルレベルになります（OC/OCN イネーブル出力信号 = 1）。

注： このビットは、LOCK レベル 2 がプログラムされているときには変更できません（TIMx_BDTR レジスタの LOCK ビット）。

ビット 9:8 **LOCK[1:0]**：ロック設定

これらのビットは、ソフトウェアエラーに対する書込み保護を提供します。
00：LOCK オフ - どのビットも書込み保護されません。
01：LOCK レベル 1 = TIMx_BDTR レジスタの DTG ビット、TIMx_CR2 レジスタの OISx および OISxN ビット、および TIMx_BDTR レジスタの BKE/BKP/AOE ビットは、書込みができなくなります。
10：LOCK レベル 2 − LOCK レベル 1 に加えて、CC 極性ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCER レジスタの CCxP/CCxNP ビット）と OSSR および OSSI ビットも書き込めなくなります。
11：LOCK レベル 3 − LOCK レベル 2 に加えて、CC 制御ビット（関連するチャネルが CCxS ビットを通じて出力に設定されている場合は、TIMx_CCMRx レジスタの OCxM および OCxPE ビット）が書き込めなくなります。

注： LOCK ビットは、リセット後に一度だけ書込みができます。いったん TIMx_BDTR レジスタに書込みが行われると、その内容は次のリセットまで停止されます。

ビット 7:0 **DTG[7:0]**：デッドタイムジェネレータのセットアップ

これらのビットでは、相補出力の間に挿入されるデッドタイムの長さを指定します。デッドタイムの時間（DT）は、次の式で与えられます。
DTG[7:5] = 0xx => DT = DTG[7:0] x t_{dtg}、ここで $t_{dtg} = t_{DTS}$
DTG[7:5] = 10x => DT= (64 + DTG[5:0]) x t_{dtg}、ここで $t_{dtg} = 2 \times t_{DTS}$
DTG[7:5] = 110 => DT = (32 + DTG[4:0]) x t_{dtg}、ここで $t_{dtg} = 8 \times t_{DTS}$
DTG[7:5] = 111 => DT = (32 + DTG[4:0]) x t_{dtg}、ここで $t_{dtg} = 16 \times t_{DTS}$
例：t_{DTS} = 125ns（8MHz）の場合、可能なデッドタイムの値は、以下のとおりです。
0 から 15875 ns（125 ns 単位）
16 µs から 31750 ns （250 ns 単位）
32 µs から 63 µs （1 µs 単位）
64 µs から 126 µs （2 µs 単位）

注： このビットフィールドは、LOCK レベル 1、2、または 3 がプログラムされているとき、変更できません（TIMx_BDTR レジスタの LOCK ビット）。

26.4.15 TIMx DMA 制御レジスタ（TIMx_DCR）（x = 16～17）

アドレスオフセット：0x48

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:8 **DBL[4:0]**：DMA バースト長

この 5 ビットのフィールドは、転送数など DMA 転送長（タイマは、TIMx_DMAR アドレスに対して読出しまたは書込みアクセスが行われるときにバースト転送を認識します）を指定します。転送は、ハーフワードまたはバイトです（以下の例を参照）。
00000：1 回転送
00001：2 回転送、
00010：3 回転送、
.....
10001：18 回転送。

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **DBA[4:0]**：DMA ベースアドレス

この 5 ビットのフィールドは、DMA 転送のベースアドレスを指定します（TIMx_DMAR アドレスを通じて読出し／書込みアクセスが行われるとき）。DBA は、TIMx_CR1 レジスタのアドレスから始まるオフセットとして定義されます。

例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

.....

例：次の転送を考えます：DBL = 7 転送 かつDBA = TIMx_CR1。この場合、転送は、TIMx_CR1 アドレスから始めて、7 つのレジスタに対して行われます。

26.4.16 完全転送の TIMx DMA アドレス（TIMx_DMAR）（x = 16～17）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DMAB[15:0]**：DMA バーストアクセスレジスタ

DMAR レジスタへの読出しまたは書込み動作は、次のアドレスにあるレジスタへのアクセスとなります：

（TIMx_CR1 アドレス）+ （DBA + DMA インデックス）x 4

ここで、TIMx_CR1 アドレスは制御レジスタ 1 のアドレスであり、DBA は TIMx_DCR レジスタで設定された DMA ベースアドレスであり、DMA インデックスはDMA 転送によって自動的に制御され、範囲は 0 から DBL です（DBL はTIMx_DCR 内で設定）。

26.4.17 TIM16 オプションレジスタ 1（TIM16_OR1）

アドレスオフセット：0x50

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TI1_RMP[1:0]**：タイマ 16 入力 1 接続

このビットは、ソフトウェアによってセット／クリアされます。

00：TIM16 の TI1 は、GPIO に接続されます。

01：TIM16 の TI1 は、LSI に接続されます。

10：TIM16 の TI1 は、LSE に接続されます。

11：TIM16 の TI1 は、RTC ウェイクアップ割込みに接続されます。

26.4.18 TIM16 オルタネート機能レジスタ 1 （TIM16_AF1）

アドレスオフセット：0x60

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCMP2P**：BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP2 入力はアクティブローです。

1：COMP2 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 10 **BKCMP1P**：BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP1 入力はアクティブローです。

1：COMP1 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 9 **BKINP**：BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：BKIN 入力はアクティブローです。

1：BKIN 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCMP2E**：BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP2 入力は無効です。

1：COMP2 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 1 **BKCMP1E**：BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP1 入力は無効です。

1：COMP1 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 0 **BKINE**：BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

0：BKIN 入力は無効です。

1：BKIN 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

26.4.19 TIM16 入力選択レジスタ（TIM16_TISEL）

アドレスオフセット：0x68

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]**：TI1[0]～TI1[15] の入力を選択します。

0000：TIM16_CH1 入力

その他：予約済みです。

26.4.20 TIM17 オプションレジスタ 1（TIM17_OR1）

アドレスオフセット：0x50

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TI1_RMP[1:0]**：タイマ 17 入力 1 接続

このビットは、ソフトウェアによってセット／クリアされます。

00：TIM17 の TI1 は、GPIO に接続されます。

01：TIM17 の TI1 は、MSI に接続されます。

10：TIM17 の TI1 は、HSE/32 に接続されます。

11：TIM17 の TI1 は、MCO に接続されます。

26.4.21 TIM17 オルタネート機能レジスタ 1 （TIM17_AF1）

アドレスオフセット：0x60

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **BKCMP2P**：BRK COMP2 入力極性

このビットは、COMP2 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP2 入力はアクティブローです。

1：COMP2 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 10 **BKCMP1P**：BRK COMP1 入力極性

このビットは、COMP1 入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：COMP1 入力はアクティブローです。

1：COMP1 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 9 **BKINP**：BRK BKIN 入力極性

このビットは、BKIN オルタネート機能入力の感度を選択します。BKP 極性ビットとともにプログラムする必要があります。

0：BKIN 入力はアクティブローです。

1：BKIN 入力はアクティブハイです。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 8:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **BKCMP2E**：BRK COMP2 有効化

このビットは、タイマの BRK 入力に対して COMP2 を有効化します。COMP2 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP2 入力は無効です。

1：COMP2 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 1 **BKCMP1E**：BRK COMP1 有効化

このビットは、タイマの BRK 入力に対して COMP1 を有効化します。COMP1 出力は、ほかの BRK ソースとの「論理和」がとられます。

0：COMP1 入力は無効です。

1：COMP1 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

ビット 0 **BKINE**：BRK BKIN 入力有効化

このビットは、タイマの BRK 入力に対して BKIN オルタネート機能入力を有効化します。BKIN 入力は、ほかの BRK ソースとの「論理和」がとられます。

0：BKIN 入力は無効です。

1：BKIN 入力は有効です。

注： このビットは、LOCK レベル 1 がプログラムされている場合（TIMx_BDTR レジスタの LOCK ビット）、変更できません。

26.4.22 TIM17 入力選択レジスタ（TIM17_TISEL）

アドレスオフセット：0x68

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TI1SEL[3:0]**：TI1[0]～TI1[15] の入力を選択します。

0000：TIM17_CH1 入力

その他：予約済みです。

26.4.23 TIM16/TIM17 レジスタマップ

TIM16/TIM17 レジスタは、次の表のように、16 ビットアドレス可能レジスタとして配置されます。

表 170. TIM16/TIM17レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
	リセット値																					0		0	0	0				0	0	0	0
0x04	**TIMx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIS1N	OIS1	Res.	Res.	Res.	Res.	CCDS	CCUS	Res.	CCPC
	リセット値																							0	0					0	0		0
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1DE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	CC1IE	UIE
	リセット値																							0	0	0		0				0	0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	CC1IF	UIF
	リセット値																							0		0		0				0	0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	Res.	COMG	Res.	Res.	Res.	CC1G	UG
	リセット値																									0		0				0	0
0x18	**TIMx_CCMR1** 出力比較モード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	リセット値																0										0	0	0	0	0	0	0	0
	TIMx_CCMR1 入力キャプチャモード	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F [3:0]				IC1PSC [1:0]		CC1S[1:0]	
	リセット値																									0	0	0	0	0	0	0	0
0x20	**TIMx_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	CC1NE	CC1P	CC1E
	リセット値																													0	0	0	0
0x24	**TIMx_CNT**	UIFCPY または Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	リセット値	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 170. TIM16/TIM17レジスタマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x30	TIMx_RCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x34	TIMx_CCR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1 [15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	TIMx_BDTR	Res.	Res.	Res.	BKBID	Res.	BKDSRM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]		DTG[7:0]							
	リセット値				0		0											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	TIMx_DCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	リセット値																				0	0	0	0	0				0	0	0	0	0
0x4C	TIMx_DMAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	TIM16_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
	リセット値																															0	0
0x50	TIM17_OR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1_RMP [1:0]	
	リセット値																															0	0
0x60	TIM16_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	リセット値																					0	0	0							0	0	1
0x60	TIM17_AF1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	リセット値																					0	0	0							0	0	1
0x68	TIM16_TISEL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]			
	リセット値																													0	0	0	0
0x68	TIM17_TISEL	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL [3:0]			
	リセット値																													0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

27 低電力タイマ（LPTIM）

27.1 概要

LPTIM は、消費電力削減の究極的な進展を利用した 16 ビットタイマです。クロックソースの多様性により、LPTIM は STANDBY モードを除くすべての電力モードで実行し続けることができます。内部クロックソースがなくても実行できるため、LPTIM は、一部のアプリケーションで役立つ「パルスカウンタ」として使用することができます。また、LPTIM はシステムを低電力モードからウェイクアップできるため、消費電力が極端に低い「タイムアウト機能」の実現に適しています。

LPTIM の柔軟性の高いクロック方式は、必要な機能性とパフォーマンスを提供しながら、消費電力を最小化します。

27.2 LPTIM の主な機能

- 16 ビットアップカウンタ
- 8 つの分周比（1、2、4、8、16、32、64、128）を持つ 3 ビットプリスケーラ
- 選択可能なクロック
  - 内部クロックソース：設定可能な内部クロックソース（RCC セクションを参照）
  - LPTIM 入力経由の外部クロックソース（内蔵オシレータが実行していないときに動作、パルスカウンタアプリケーションによって使用）
- 16 ビット ARR 自動再ロードレジスタ
- 16 ビット比較レジスタ
- 連続／ワンショットモード
- 選択可能なソフトウェア／ハードウェア入力トリガ
- プログラム可能なデジタルグリッチフィルタ
- 設定可能な出力：パルス、PWM
- 設定可能な I/O 極性
- エンコーダモード

27.3 LPTIM の実装

表 171 および表 172 に、LPTIM の実装を示します。LPTIM1 にはすべての機能一式が実装されています。LPTIM2 でサポートされている機能は LPTIM1 よりも少ないですが、他の点では全く同等です。

表 171. LPTIM の機能

LPTIM のモード／機能(1)	LPTIM1	LPTIM2
エンコーダモード	X	-
外部入力クロック	X	X
STOP からのウェイクアップ	(2)	(3)

1. X : サポートされています。
2. STOP 0、STOP 1、および STOP 2 モードからのウェイクアップをサポート。
3. STOP 0 および STOP 1 モードからのウェイクアップをサポート。

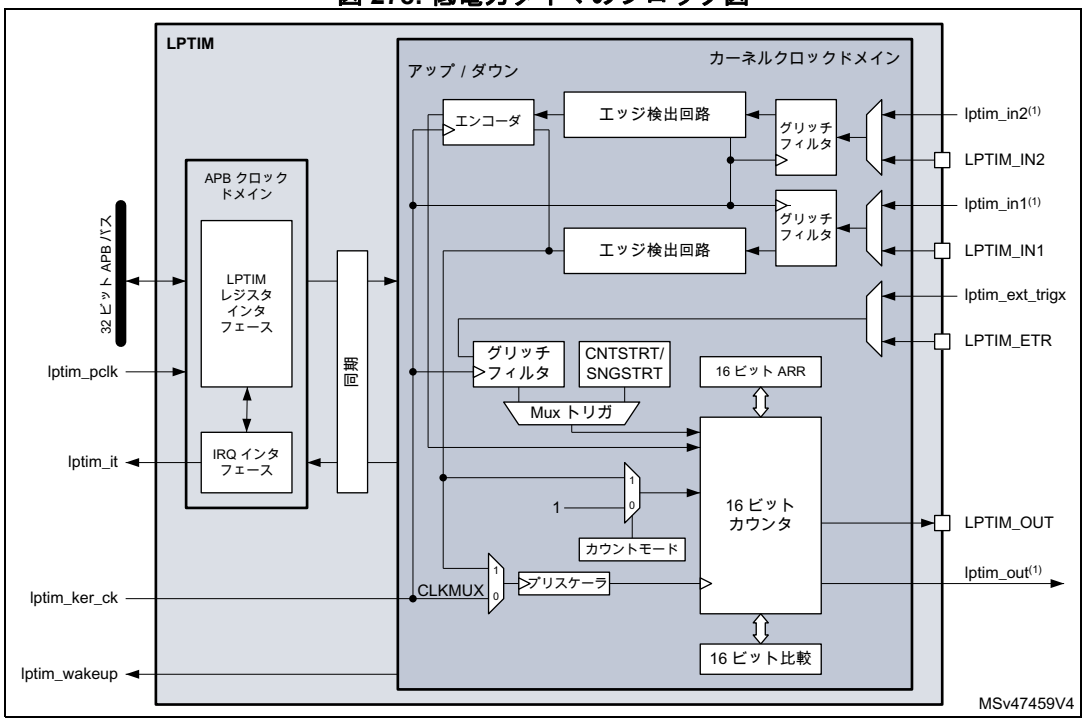
表 172. LPTIM の実装

機能	STM32WB55xx	STM32WB35xx
LPTIM1 外部トリガ	GPIO、RTC アラーム A、RTC アラーム B、RTC_TAMP[1:3] COMP1_OUT, COMP2_OUT	GPIO、RTC アラーム A、RTC アラーム B、RTC_TAMP2、COMP1_OUT、 COMP2_OUT
LPTIM2 外部トリガ		

27.4 LPTIM の機能説明

27.4.1 LPTIM ブロック図

図 278. 低電力タイマのブロック図



1. lptim_in1 と lptim_in2 は、それぞれ内部 LPTIM 入力 1 および入力 2 の信号で、内部ペリフェラルに接続できます。
lptim_out は、内部ペリフェラルに接続できる内部 LPTIM 出力信号です。

27.4.2 LPTIM トリガマッピング

LPTIM 外部トリガ接続の詳細を以下に示します。

表 173. LPTIM1 外部トリガ接続

TRIGSEL	外部トリガ
lptim_ext_trig0	GPIO
lptim_ext_trig1	RTC アラーム A
lptim_ext_trig2	RTC アラーム B
lptim_ext_trig3	RTC_TAMP1 入力検出
lptim_ext_trig4	RTC_TAMP2 入力検出
lptim_ext_trig5	RTC_TAMP3 入力検出
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

表 174. LPTIM2 外部トリガ接続

TRIGSEL	外部トリガ
lptim_ext_trig0	GPIO
lptim_ext_trig1	RTC アラーム A
lptim_ext_trig2	RTC アラーム B
lptim_ext_trig3	RTC_TAMP1 入力検出
lptim_ext_trig4	RTC_TAMP2 入力検出
lptim_ext_trig5	RTC_TAMP3 入力検出
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

27.4.3 LPTIM のリセットとクロック

LPTIM のクロックには、いくつかのクロックソースを使用できます。このタイマには、RCC を介して選択できる任意の設定可能な内部クロックソースになることができる内部クロック信号を使用してクロックを供給できます（詳細については、RCC のセクションを参照してください）。また、LPTIM のクロックには、外部 Input1 に入力された外部クロック信号を使用することもできます。外部クロックソースでクロック供給されるときには、LPTIM は、次の 2 つの構成のいずれかで動作します。

- 最初の構成では、LPTIM のクロックは外部信号によって供給されますが、同時に内部クロック信号も、設定可能な内部クロックソースから LPTIM に供給されます（RCC のセクションを参照）。
- 2 番目の構成では、LPTIM のクロックは外部 Input1 を通じて外部クロックソースによってのみ供給されます。この構成は、低電力モードになった後、すべての埋め込みオシレータがオフになるときに、タイムアウト機能またはパルスカウンタ機能を実現するために使用されます。

CKSEL ビットおよび COUNTMODE ビットに書き込むことによって、LPTIM が外部クロックソースと内部クロックソースのいずれを使用するかを決めることができます。

外部クロックソースを使用するように設定されたときには、CKPOL ビットを使用して外部クロック信号のアクティブエッジを選択します。両方のエッジがアクティブとして設定された場合は、内部クロック信号も供給されます（最初の構成）。この場合、内部クロック信号の周波数は、外部クロック信号の周波数の 4 倍以上である必要があります。

27.4.4 グリッチフィルタ

LPTIM 入力の外部入力（GPIO にマップされたもの）または内部入力（チップレベルで他の内蔵ペリフェラルにマップされたもの）はデジタルフィルタによって保護され、グリッチとノイズの影響が LPTIM 内部に伝播されるのを防ぎます。これは、誤ったカウントまたはトリガを避けるためです。

デジタルフィルタをアクティブにする前に、内部クロックソースを LPTIM に供給する必要があります。これは、フィルタの正しい動作を保証するために必要です。

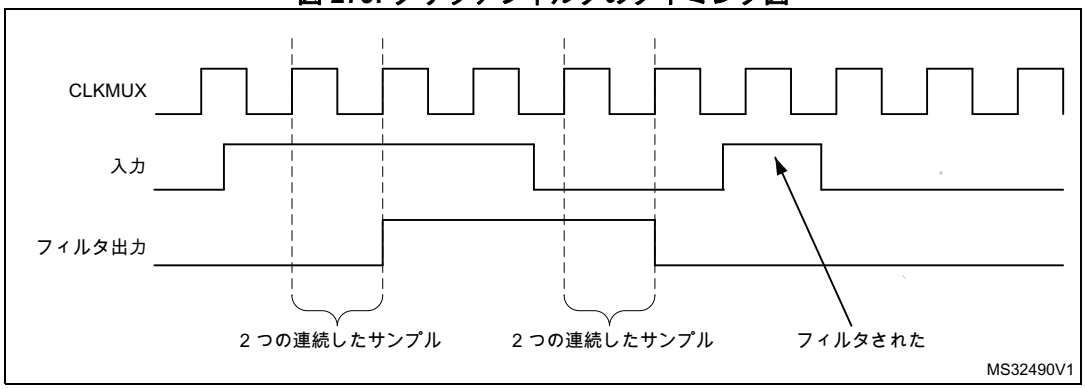
デジタルフィルタは、2 つのグループに分けられます。

- 最初のグループのデジタルフィルタは、LPTIM の外部入力を保護します。デジタルフィルタの感度は CKFLT ビットによって制御されます。
- 2 番目のグループのデジタルフィルタは、LPTIM の内部トリガ入力を保護します。デジタルフィルタの感度は TRGFLT ビットによって制御されます。

注： **デジタルフィルタの感度は 、グループごとに制御されます。同じグループ内の各デジタルフィルタの感度を個別に設定することはできません。**

フィルタの感度は、信号のレベル変化を有効な遷移とみなすために、LPTIM 入力の1 つで検出される連続した等しいサンプルの数に基づいて作用します。図 279 に、2 つの連続サンプルがプログラムされた場合のグリッチフィルタの動作例を示します。

図 279. グリッチフィルタのタイミング図



注： **内部クロック信号が供給されない場合は、CKFLT および TRGFLT ビットを 0 にセットすることによって、デジタルフィルタを無効にする必要があります。その場合、外部アナログフィルタを使用して、LPTIM の外部入力をグリッチから保護できます。**

27.4.5 プリスケーラ

LPTIM 16 ビットカウンタの前には、設定可能な 2 のべき乗プリスケーラがあります。プリスケーラの分周比は PRESC[2:0] 3 ビットフィールドによって制御されます。下の表に、可能な分周比を示します。

表 175. プリスケーラ分周比

プログラミング	分周比
000	/1
001	/2
010	/4
011	/8
100	/16
101	/32
110	/64
111	/128

27.4.6 トリガマルチプレクサ

LPTIM カウンタは、ソフトウェアによって、または 8 つのトリガ入力の 1 つのアクティブエッジの検出後に開始できます。

LPTIM のトリガソースを決めるには、TRIGEN[1:0] が使用されます。

- TRIGEN[1:0] が 00 の場合、LPTIM カウンタは、CNTSTRT または SNGSTRT ビットがソフトウェアによってセットされるとすぐに開始します。TRIGEN[1:0] の残りの 3 つの可能な値は、トリガ入力によって使用されるアクティブエッジを設定するために使用されます。LPTIM カウンタは、アクティブエッジが検出されるとすぐに開始します。

- TRIGEN[1:0] が 00 以外のときには、カウンタの開始に使用される 8 つのトリガ入力の 1 つを選択するために、TRIGSEL[2:0] が使用されます。

外部トリガは、LPTIM の場合、非同期信号とみなされます。したがって、同期のために、トリガ検出後、タイマが実行を開始するまでに 2 カウンタクロック周期の遅延が必要です。

タイマがすでに開始しているときに新しいトリガイベントが発生した場合、無視されます（タイムアウト機能が有効な場合を除きます）。

注： **SNGSTRT/CNTSTRT ビットをセットする前に、タイマが有効になっている必要があります。タイマが無効なときにこれらのビットに書き込むと、ハードウェアによって破棄されます。**

注： **ソフトウェアによってカウンタを開始する場合（TRIGEN[1:0] = 00）、LPTIM_CR レジスタが更新（SNGSTRT または CNTSTRT ビットのいずれかをセット）されてからカウンタが有効に開始されるまで 3 カーネルクロックサイクルの遅延が発生します。**

27.4.7 動作モード

LPTIM には 2 つの動作モードがあります。

- 連続モード : タイマはフリーランニングし、トリガイベントによって開始し、タイマが無効にされるまで停止しません。
- ワンショットモード : タイマはトリガイベントによって開始し、ARR 値に達すると停止します。

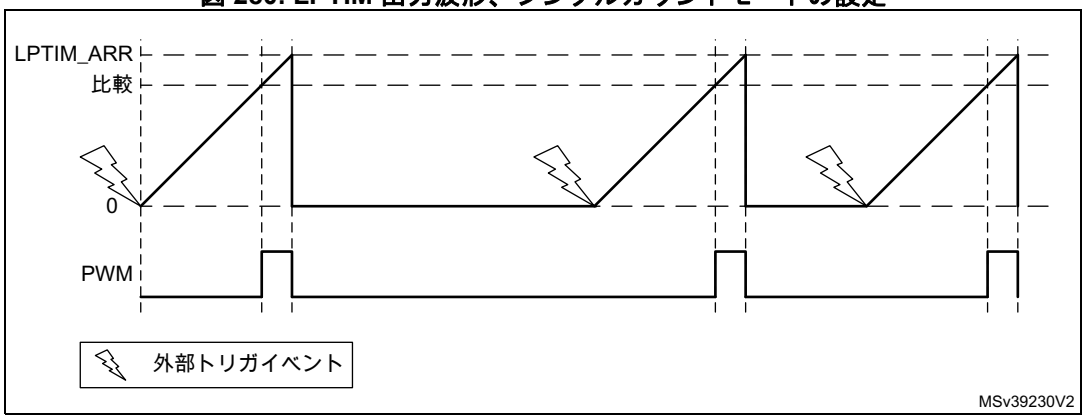
ワンショットモード

ワンショットカウントを有効にするには、SNGSTRT ビットをセットする必要があります。

新しいトリガイベントが発生すると、タイマは再開始します。カウンタの開始後、カウンタが ARR に達する前に発生したトリガイベントは破棄されます。

外部トリガが選択された場合、SNGSTRT ビットがセットされ、かつカウンタレジスタが停止された（ゼロ値を含む）後に各外部トリガイベントが着信すると、カウンタは新たなワンショットカウントサイクルを開始します（図 280 を参照）。

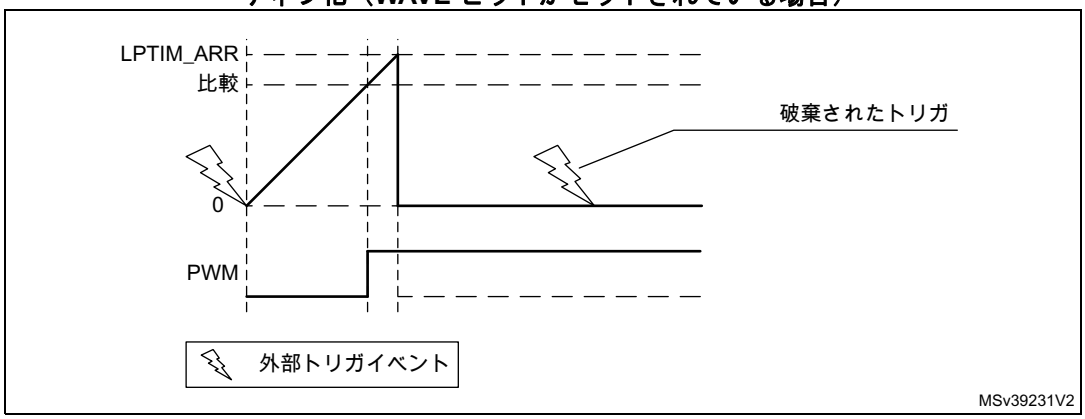
図 280. LPTIM 出力波形、シングルカウントモードの設定



セットワンスモードのアクティブ化：

LPTIM_CFGR レジスタの WAVE ビットフィールドがセットされると、セットワンスモードがアクティブになることに注意してください。この場合、最初のトリガに続いてカウンタが一度だけ開始され、その後発生したトリガイベントはすべて破棄されます（図 281を参照）。

図 281. LPTIM 出力波形、シングルカウントモードの設定、セットワンスモードのアクティブ化（WAVE ビットがセットされている場合）



ソフトウェアによる開始の場合（TRIGEN[1:0] = 00）、SNGSTRT をセットすると、カウンタはワンショットカウントを開始します。

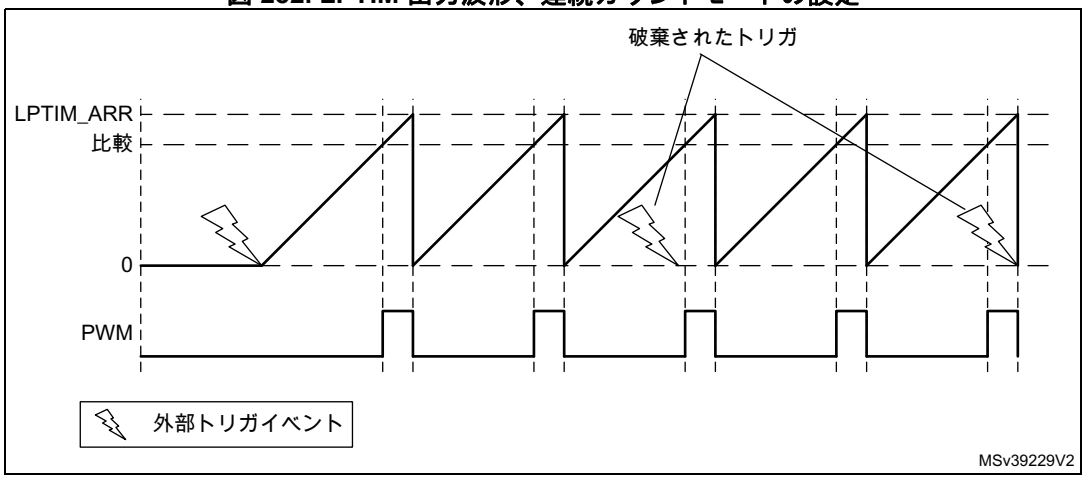
連続モード

連続カウントを有効にするには、CNTSTRT ビットをセットする必要があります。

外部トリガが選択された場合、CNTSTRT がセットされた後に外部トリガイベントが着信すると、カウンタは連続カウントを開始します。その後発生した外部トリガイベントはすべて、図 282 に示すように破棄されます。

ソフトウェアによる開始の場合（TRIGEN[1:0] = 00）、CNTSTRT をセットすると、カウンタは連続カウントを開始します。

図 282. LPTIM 出力波形、連続カウントモードの設定



SNGSTRT および CNTSTRT ビットは、タイマが有効なときのみ（イネーブルビットが 1 にセットされている）、セットできます。動作中にワンショットモードから連続モードに変更することが可能です。

以前に連続モードが選択されていた場合、SNGSTRT をセットすると、LPTIM はワンショットモードに切り替わります。カウンタ（アクティブな場合）は、ARR に達するとすぐに停止します。

以前にワンショットモードが選択されていた場合、CNTSTRT をセットすると、LPTIM は連続モードに切り替わります。カウンタ（アクティブな場合）は、ARR に達するとすぐに再開始します。

27.4.8 タイムアウト機能

選択されたトリガ入力のアクティブエッジの検出を使用して、LPTIM カウンタをリセットできます。この機能は、TIMOUT ビットで制御されます。

最初のトリガイベントでタイマが開始し、その後のトリガイベントでカウントがリセットされ、タイマが再開始します。

低電力タイムアウト機能を実現できます。タイムアウト値は、比較値に対応します。予期された時間内にトリガが発生しなかった場合、比較一致イベントによって MCU がウェイクアップします。

27.4.9 波形生成

2 つの 16 ビットレジスタ LPTIM_ARR（自動再ロードレジスタ）と LPTIM_CMP（比較レジスタ）は、LPTIM 出力のいくつかの異なった波形を生成するために使用されます。

タイマは次の波形を生成できます。

- PWM モード : LPTIM 出力は、LPTIM_CNT のカウンタ値が LPTIM_CMP の比較値を超えるとすぐにセットされます。LPTIM 出力は、LPTIM_ARR レジスタと LPTIM_CNT レジスタの間で一致が発生するとすぐにリセットされます。
- ワンパルスモード : 出力波形は、最初のパルスについては PWM モードの波形と同様であり、その後、出力は永続的にリセットされます。
- セットワンスモード : 出力波形はワンパルスモードと同様ですが、出力は最後の信号レベルに保たれます（設定された出力極性に応じて）。

上記のモードでは、LPTIM_ARR レジスタの値は LPTIM_CMP レジスタの値より大きい必要があります。

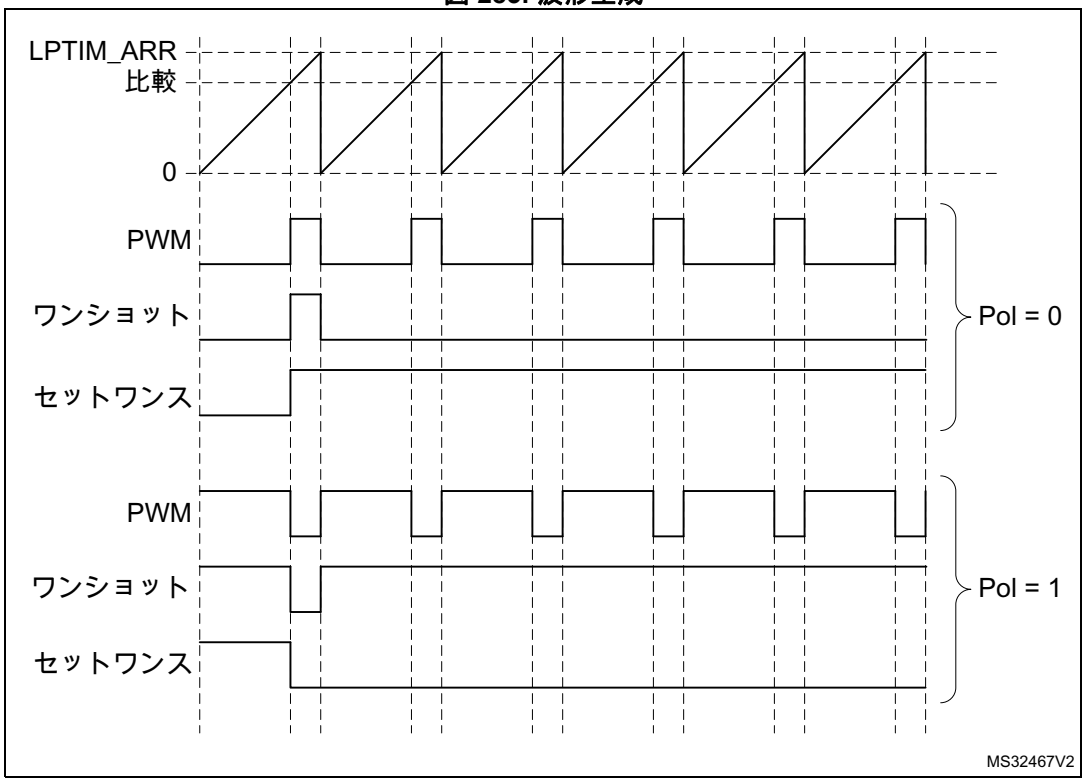
LPTIM 出力波形は、WAVE ビットによって次のように設定できます。

- WAVE ビットを 0 にリセットすると、LPTIM は CNTSTRT または SNGSTRT のセットされているビットに応じて、PWM 波形またはワンパルス波形のいずれかを生成します。
- WAVE ビットを 1 にセットすると、LPTIM はセットワンスモード波形を生成します。

WAVPOL ビットは、LPTIM 出力の極性を制御します。変更はただちに有効になるので、極性が再設定されると、タイマが有効になる前でも、出力はただちに変更されます。

LPTIM クロック周波数を 2 分周した周波数までの信号を生成できます。図 283 に、LPTIM 出力で生成できる 3 つの波形を示します。また、WAVPOL ビットを使用して極性を変更したときの効果も示します。

図 283. 波形生成



27.4.10 レジスタの更新

LPTIM_ARR レジスタと LPTIM_CMP レジスタは、APB バス書込み操作の直後に、またはタイマがすでに開始していた場合は現在の周期の終了時に更新されます。

PRELOAD ビットは、LPTIM_ARR および LPTIM_CMP レジスタの更新方法を制御します。

- PRELOAD ビットが“0”にリセットされたときには、LPTIM_ARR レジスタおよび LPTIM_CMP レジスタは書込みアクセスの直後に更新されます。
- PRELOAD ビットが“1”にセットされたときには、LPTIM_ARR および LPTIM_CMP レジスタは、タイマがすでに開始していた場合、現在の周期の終了時に更新されます。

LPTIM APB インタフェースと LPTIM カーネルロジックは異なるクロックを使用するので、APB 書込みから、これらの値がカウンタコンパレータで使用可能になるまで、遅延があります。この遅延時間内は、これらのレジスタに追加で書き込めません。

LPTIM_ISR レジスタの ARROK フラグと CMPOK フラグは、それぞれ、LPTIM_ARR レジスタと LPTIM_CMP レジスタへの書込み操作が完了したことを示します。

LPTIM_ARR レジスタまたは LPTIM_CMP レジスタへの書込みの後、同じレジスタへの新しい書込み操作は、前の書込み操作が完了してからでなければ実行できません。ARROK フラグまたは CMPOK フラグがセットされる前に連続した書込みが行われると、予測不能な結果になります。

27.4.11 カウンタモード

LPTIM カウンタを使用して、LPTIM Input1 の外部イベントをカウントするか、内部クロックサイクルをカウントすることができます。CKSEL ビットおよび COUNTMODE ビットは、カウンタの更新にどのソースを使用するかを決定します。

LPTIM が Input1 の外部イベントをカウントするように設定された場合、カウンタは、CKPOL[1:0] ビットに書き込まれた値に応じて、立ち上がりエッジ、立ち下がりエッジ、または両方のエッジで更新できます。

CKSEL および COUNTMODE の値に応じて、以下に示すカウントモードを選択できます。

- CKSEL = 0：LPTIM のクロックは、内部クロックソースによって供給されます。
  - COUNTMODE = 0

    LPTIM が内部クロックソースによってクロック供給されるように設定され、LPTIM カウンタが各内部クロックパルス後に更新されるように設定されます。
  - COUNTMODE = 1

    LPTIM 外部 Input1 は、LPTIM に供給される内部クロックでサンプリングされます。

    結果として、イベントをミスしないためには、外部 Input1 信号の変化の周波数が、LPTIM に供給される内部クロックの周波数を超えない必要があります。また、LPTIM に供給される内部クロックを分周してはなりません（PRESC[2:0] = 000）。
- CKSEL = 1：LPTIM のクロックは、外部クロックソースによって供給されます。

  COUNTMODE の 値は無視されます。

  この構成では、LPTIM は内部クロックソースを必要としません（グリッチフィルタ有効である場合を除く）。LPTIM 外部 Input1 に入力された信号が LPTIM のシステムクロックとして使用されます。この構成は、埋め込みオシレータを有効にしない動作モードに適しています。

  この構成の場合、LPTIM カウンタは、Input1 クロック信号の立ち上がりエッジまたは立ち下がりエッジで更新できますが、立ち上がりと立ち下がりの両方のエッジで更新することはできません。

  LPTIM 外部 Input1 に入力された信号は LPTIM カーネルロジックのクロック動作にも使用されるので、カウンタがインクリメントされる前（LPTIM が有効にされた後）、初期遅延があります。より正確には、LPTIM 外部 Input1 の（LPTIM が有効になった後の）最初の 5 つのアクティブエッジは失われます。

27.4.12 タイマの有効化

LPTIM_CR レジスタのイネーブルビットは、LPTIM カーネルロジックを有効化／無効化するために使用されます。イネーブルビットをセットした後、LPTIM が実際に有効になるまで、2 カウンタクロックの遅延が必要です。

LPTIM_CFGR および LPTIM_IER レジスタの変更は、LPTIM が無効なときにのみ行う必要があります。

27.4.13 タイマカウンタのリセット

LPTIM_CNT レジスタの内容をゼロにリセットするために、以下の 2 つのリセットメカニズムが実装されています。

- 同期リセットメカニズム：同期リセットは、LPTIM_CR レジスタの COUNTRST ビットによって制御されます。COUNTRST ビットフィールドを“1”にセットした後、リセット信号が LPTIM カーネルクロックドメイン内に伝播されます。したがって、リセットが考慮される前に、LPTIM カーネルロジックの若干のクロックパルスが経過することに注意することが重要です。このため、リセットがトリガされてから有効になるまでの間に、LPTIM カウンタは若干の余分なパルスをカウントすることになります。COUNTRST ビットは APB クロックドメインに位置し、LPTIM カウンタは LPTIM カーネルクロックドメインに位置しているので、COUNTRST ビットに“1”を書き込んだ時に APB クロックによって発行されるリセット信号に同期するのに、カーネルクロックの 3 クロックサイクルの遅延が必要となります。
- 非同期リセットメカニズム：非同期リセットは、LPTIM_CR レジスタにある RSTARE ビットによって制御されます。このビットが“1”にセットされると、LPTIM_CNT レジスタに対するあらゆる読出しアクセスによって、その内容がゼロにリセットされます。非同期リセットは、LPTIM コアクロックが提供されない時間枠内にトリガされるべきです。たとえば、LPTIM 入力 1 が外部クロックソースとして使用されているとき、非同期リセットは、LPTIM 入力 1 に反転が起きないという十分な備えがあるときにのみ適用すべきです。
  LPTIM_CNT レジスタの内容を信頼できるように読み出すためには、2 回の連続した読出しアクセスを実行して比較する必要があることに注意してください。2 回の読出しアクセスで得られた値が同じであるとき、各読出しアクセスは信頼できると考えられます。しかし残念ながら、非同期リセットが有効になっているとき、LPTIM_CNT レジスタを 2 度読み出すことはできません。

警告： LPTIM 内部には、2 つのリセットメカニズムを同時に使用することを防ぐメカニズムはありません。したがって、開発者はこれらの 2 つのメカニズムを排他的に使用することを確実にするべきです。

27.4.14 エンコーダモード

このモードでは、ロータリー素子の角度位置の検出に使用される直交エンコーダからの信号を処理できます。エンコーダインタフェースモードは、方向選択を含む外部クロックとして動作します。これは、カウンタが 0 と LPTIM_ARR レジスタでプログラムされた自動再ロード値の間で（方向に応じて、0 から ARR まで、または ARR から 0 まで）連続的にカウントすることを意味します。したがって、カウンタを開始する前に LPTIM_ARR を設定する必要があります。Input1 と Input2 の 2 つの外部入力信号から、LPTIM カウンタのクロックのためのクロック信号が生成されます。この 2 つの信号の間の位相によって、カウント方向が決まります。

エンコーダモードは、LPTIM が内部クロックソースからクロック供給されるときにのみ使用できます。Input1 と Input2 の両方の信号周波数は、LPTIM 内部クロック周波数を 4 分周したものを超えてはなりません。これは、LPTIM の正しい動作を保証するために必要です。

方向の変更は、LPTIM_ISR レジスタの Down と Up の 2 つのフラグによって通知されます。また、DOWNIE ビットを通じて有効化された場合、両方の方向変更イベントで割込みを生成できます。

エンコーダモードを有効にするには、ENC ビットを 1 にセットする必要があります。LPTIM を、まず、連続モードに設定する必要があります。

エンコーダモードがアクティブなとき、LPTIM カウンタはインクリメンタルエンコーダの速度と方向に従って自動的に変更されます。したがって、その内容は常にエンコーダの位置を表します。カウント方向は、Up および Down フラグによって通知され、エンコーダのロータの回転方向に対応します。

CKPOL[1:0] ビットを使用して設定されたエッジ検出に応じて、さまざまなカウントシナリオが可能です。次の表に、可能な組み合わせを示します（Input1 と Input2 は同時に切り替わらないと想定しています）。

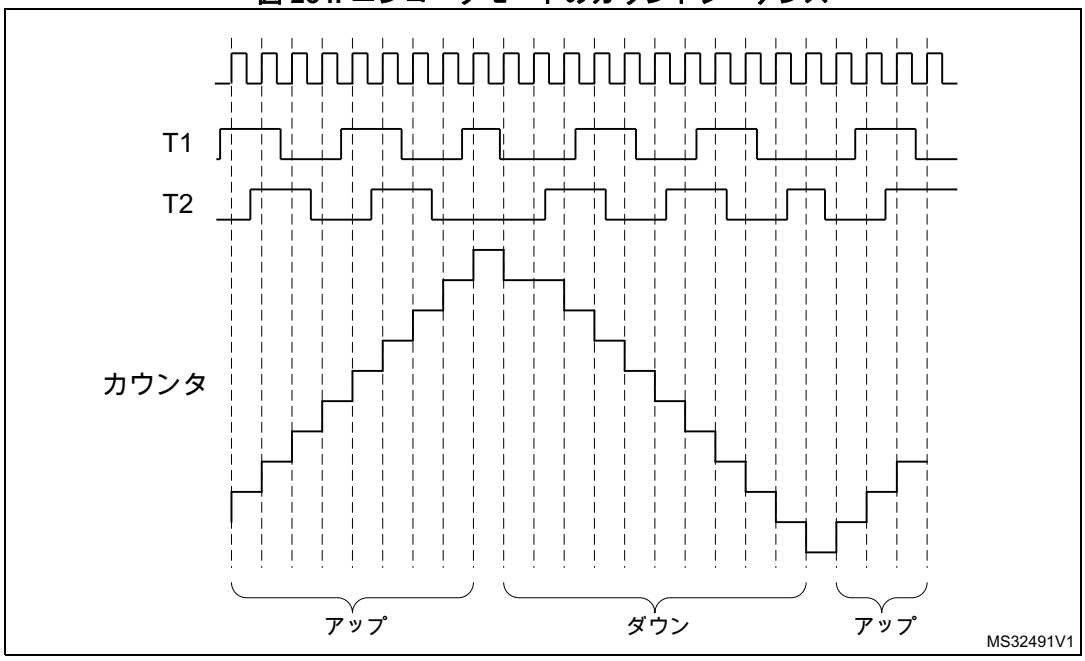
表 176. エンコーダのカウントシナリオ

アクティブエッジ	他方の信号のレベル（Input2 に対する Input1、Input1 に対する Input2）	Input1 信号		Input2 信号	
		立ち上がり	立ち下がり	立ち上がり	立ち下がり
立ち上がりエッジ	高	ダウン	カウントなし	アップ	カウントなし
	ロー	アップ	カウントなし	ダウン	カウントなし
立ち下がりエッジ	高	カウントなし	アップ	カウントなし	ダウン
	ロー	カウントなし	ダウン	カウントなし	アップ
両エッジ	高	ダウン	アップ	アップ	ダウン
	ロー	アップ	ダウン	ダウン	アップ

次の図に、両方のエッジ検出が設定された場合のエンコーダモードのカウントシーケンスを示します。

注意： **このモードでは、LPTIM のクロックは内部クロックソースによって供給される必要があるため、CKSEL ビットをリセット値（0）に維持する必要があります。また、プリスケーラの分周比はリセット値である 1 に等しくなければなりません（PRESC[2:0] ビットが 000 である必要があります）。**

図 284. エンコーダモードのカウントシーケンス



27.4.15 デバッグモード

マイクロコントローラがデバッグモードになると（コアは停止状態）、LPTIM カウンタは、DBG モジュールの DBG_LPTIM_STOP 設定ビットに応じて、通常どおりに動作を続けるか、または停止します。

27.5 LPTIM 低電力モード

表 177. 低電力モードが LPTIM に与える影響

モード	説明
SLEEP	影響はありません。LPTIM 割込みによって、デバイスは SLEEP モードを終了します。
STOP	STOP モードで使用可能なオシレータから LPTIM のクロックが供給されている場合、LPTIM は機能しており、割込みが発生すると、デバイスは STOP モードを終了します（セクション 27.3 : LPTIM の実装を参照）。
STANDBY	LPTIM ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

27.6 LPTIM 割込み

LPTIM_IER レジスタで有効化されていた場合、次のイベントが発生すると、割込み／ウェイクアップイベントが生成されます。

- 比較一致
- 自動再ロード一致（エンコーダモードの場合は方向にかかわらず）
- 外部トリガイベント
- 自動再ロードレジスタへの書込み完了
- 比較レジスタへの書込み完了
- 方向変更（エンコーダモード）、プログラム可能（アップ／ダウン／両方）

注： **LPTIM_ISR レジスタ（ステータスレジスタ）の対応するフラグがセットされた後で LPTIM_IER レジスタ（割込み有効レジスタ）のビットがセットされた場合、割込みはアサートされません。**

表 178. 割込みイベント

割込みイベント	説明
比較一致	カウンタレジスタ（LPTIM_CNT）の内容が比較レジスタ（LPTIM_CMP）の内容と一致したときに、割込みフラグが立ちます。
自動再ロード一致	カウンタレジスタ（LPTIM_CNT）の内容が自動再ロードレジスタ（LPTIM_ARR）の内容と一致したときに、割込みフラグが立ちます。
外部トリガイベント	外部トリガイベントが検出されたときに、割込みフラグが立ちます。
自動再ロードレジスタ更新 OK	LPTIM_ARR レジスタへの書込み動作が完了したときに、割込みフラグが立ちます。
比較レジスタ更新 OK	LPTIM_CMP レジスタへの書込み動作が完了したときに、割込みフラグが立ちます。
方向の変更	エンコーダモードで使用されます。方向の変更を通知するために次の 2 つの割込みフラグが内蔵されています。 – UP フラグはアップカウント方向への変更を通知します。 – DOWN フラグはダウンカウント方向への変更を通知します。

27.7 LPTIM レジスタ

レジスタの説明で使用されている略語のリストについては、セクション 1.2：レジスタに関する略記を参照してください。

ペリフェラルレジスタには、ワード（32-bit）単位でアクセスすることができます。

27.7.1 LPTIM 割込みおよびステータスレジスタ（LPTIM_ISR）

アドレスオフセット：0x000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWN	UP	ARR OK	CMP OK	EXT TRIG	ARRM	CMPM
									r	r	r	r	r	r	r

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **DOWN**：カウンタの方向をアップからダウンへ変更

エンコーダモードでは、DOWN ビットは、カウンタの方向がアップからダウンに変更されたことをアプリケーションに知らせるために、ハードウェアによってセットされます。DOWN フラグは、LPTIM_ICR レジスタの DOWNCF ビットに 1 を書き込むことでクリアできます。

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3：LPTIM の実装を参照してください。

ビット 5 **UP**：カウンタの方向をダウンからアップへ変更

エンコーダモードでは、UP ビットは、カウンタの方向がダウンからアップに変更されたことをアプリケーションに知らせるために、ハードウェアによってセットされます。UP フラグは、LPTIM_ICR レジスタの UPCF ビットに 1 を書き込むことでクリアできます。

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3：LPTIM の実装を参照してください。

ビット 4 **ARROK**：自動再ロードレジスタ更新 OK

ARROK は、LPTIM_ARR レジスタへの APB バス書込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。ARROK フラグは、LPTIM_ICR レジスタの ARROKCF ビットに 1 を書き込むことでクリアできます。

ビット 3 **CMPOK**：比較レジスタ更新 OK

CMPOK は、LPTIM_CMP レジスタへの APB バス書込み操作が正常に完了したことをアプリケーションに知らせるために、ハードウェアによってセットされます。CMPOK フラグは、LPTIM_ICR レジスタの CMPOKCF ビットに 1 を書き込むことでクリアできます。

ビット 2 **EXTTRIG**：外部トリガエッジイベント

EXTTRIG は、選択された外部トリガ入力で有効なエッジが発生したことをアプリケーションに知らせるために、ハードウェアによってセットされます。タイマがすでに開始していたためにトリガが無視された場合、このフラグはセットされません。EXTTRIG フラグは、LPTIM_ICR レジスタの EXTTRIGCF ビットに 1 を書き込むことでクリアできます。

ビット 1 **ARRM**：自動再ロード一致

ARRM は、LPTIM_CNT レジスタの値が LPTIM_ARR レジスタの値に達したことをアプリケーションに知らせるために、ハードウェアによってセットされます。ARRM フラグは、LPTIM_ICR レジスタの ARRMCF ビットに 1 を書き込むことでクリアできます。

ビット 0 **CMPM**：比較一致

CMPM は、LPTIM_CNT レジスタの値が LPTIM_CMP レジスタの値に達したことをアプリケーションに知らせるために、ハードウェアによってセットされます。CMPM フラグは、LPTIM_ICR レジスタの CMPMCF ビットに 1 を書き込むことでクリアできます。

27.7.2 LPTIM 割込みクリアレジスタ（LPTIM_ICR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNCF	UPCF	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF
									w	w	w	w	w	w	w

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **DOWNCF**：ダウンへの方向変更フラグクリア

このビットに 1 を書き込むと、LPTIM_ISR レジスタの DOWN フラグがクリアされます。

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3 : LPTIM の実装を参照してください。

ビット 5 **UPCF**：アップへの方向変更フラグクリア

このビットに 1 を書き込むと、LPTIM_ISR レジスタの UP フラグがクリアされます。

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3 : LPTIM の実装を参照してください。

ビット 4 **ARROKCF**：自動再ロードレジスタ更新 OK クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの ARROK フラグがクリアされます。

ビット 3 **CMPOKCF**：比較レジスタ更新 OK クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの CMPOK フラグがクリアされます。

ビット 2 **EXTTRIGCF**：外部トリガ有効エッジクリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの EXTTRIG フラグがクリアされます。

ビット 1 **ARRMCF**：自動再ロード一致クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの ARRM フラグがクリアされます。

ビット 0 **CMPMCF**：比較一致クリアフラグ

このビットに 1 を書き込むと、LPTIM_ISR レジスタの CMPM フラグがクリアされます。

27.7.3 LPTIM 割込み有効レジスタ（LPTIM_IER）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNIE	UPIE	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE
									rw	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **DOWNIE**：ダウンへの方向変更割込み有効化

0： DOWN 割込み無効

1： DOWN 割込み有効

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3：LPTIM の実装を参照してください。

ビット 5 **UPIE**：アップへの方向変更割込み有効化

0： UP 割込み無効

1： UP 割込み有効

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3：LPTIM の実装を参照してください。

ビット 4 **ARROKIE**：自動再ロードレジスタ更新 OK 割込み有効化

0： ARROK 割込み無効

1： ARROK 割込み有効

ビット 3 **CMPOKIE**：比較レジスタ更新 OK 割込みイネーブル

0： CMPOK 割込み無効

1： CMPOK 割込み有効

ビット 2 **EXTTRIGIE**：外部トリガ有効エッジ割込み有効化

0： EXTTRIG 割込み無効

1： EXTTRIG 割込み有効

ビット 1 **ARRMIE**：自動再ロード一致割込み有効化

0： ARRM 割込み無効

1： ARRM 割込み有効

ビット 0 **CMPMIE**：比較一致割込み有効化

0： CMPM 割込み無効

1： CMPM 割込み有効

注意： LPTIM_IER レジスタの変更は、LPTIM が無効（イネーブルビットが 0 にリセットされている）のときにのみ行う必要があります。

27.7.4 LPTIM 設定レジスタ（LPTIM_CFGR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC	COUNT MODE	PRELOAD	WAVPOL	WAVE	TIMOUT	TRIGEN[1:0]		Res.
							rw	rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGSEL[2:0]			Res.	PRESC[2:0]			Res.	TRGFLT[1:0]		Res.	CKFLT[1:0]		CKPOL[1:0]		CKSEL
rw	rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ENC**：エンコーダモード有効化

ENC ビットは、エンコーダモードを制御します。

0： エンコーダモード無効

1： エンコーダモード有効

注： LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みとなります。セクション 27.3：LPTIM の実装を参照してください。

ビット 23 **COUNTMODE**：カウンタモード有効化

COUNTMODE ビットは、LPTIM がカウンタのクロックに使用するクロックソースを選択します。

0：カウンタは各内部クロックのパルスに従ってインクリメントされます。

1：カウンタは LPTIM 外部 Input1 の各有効なクロックパルスに従ってインクリメントされます。

ビット 22 **PRELOAD**：レジスタ更新モード

PRELOAD ビットは、LPTIM_ARR および LPTIM_CMP レジスタの更新方法を制御します。

0： レジスタは、各 APB バス書込みアクセス後に更新されます。

1： レジスタは、現在の LPTIM 周期の終了時に更新されます。

ビット 21 **WAVPOL**：波形極性

WAVEPOL ビットは、出力の極性を制御します。

0： LPTIM 出力は LPTIM_CNT レジスタと LPTIM_CMP レジスタの比較結果を反映します。

1： LPTIM 出力は LPTIM_CNT レジスタと LPTIM_CMP レジスタの比較結果の逆を反映します。

ビット 20 **WAVE**：波形

WAVE ビットは、出力波形を制御します。

0： セットワンスモードを非アクティブにします。

1： セットワンスモードをアクティブにします。

ビット 19 **TIMOUT**：タイムアウト有効化

TIMOUT ビットは、タイムアウト機能を制御します。

0： タイマがすでに開始しているときに着信したトリガイベントは無視されます。

1： タイマがすでに開始しているときにトリガイベントが着信すると、カウンタがリセットされ、再開始します。

ビット 18:17 **TRIGEN[1:0]**：トリガ有効化および極性

TRIGEN ビットは、LPTIM カウンタが外部トリガによって開始されるかどうかを制御します。外部トリガオプションが選択された場合、トリガのアクティブエッジについて 3 つの構成が可能です。

00：ソフトウェアトリガ（カウントの開始はソフトウェアによって行われます）。

01：立ち上がりエッジがアクティブエッジです。

10：立ち下がりエッジがアクティブエッジです。

11：両方のエッジがアクティブエッジです。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **TRIGSEL[2:0]**：トリガセレクタ

TRIGSEL ビットは、次の 8 つのソースの中のLPTIM のトリガイベントの役目を果たすトリガソースを選択します。

000：lptim_ext_trig0

001：lptim_ext_trig1

010：lptim_ext_trig2

011：lptim_ext_trig3

100：lptim_ext_trig4

101：lptim_ext_trig5

110：lptim_ext_trig6

111：lptim_ext_trig7

詳細については、セクション 27.4.2：LPTIM トリガマッピングを参照してください。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:9 **PRESC[2:0]**：クロックプリスケーラ

PRESC ビットは、プリスケーラ分周比を設定します。次の分周比から選択できます。

000：/1

001：/2

010：/4

011：/8

100：/16

101：/32

110：/64

111：/128

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **TRGFLT[1:0]**：設定可能なトリガ用デジタルフィルタ

TRGFLT 値は、有効なレベル遷移とみなされる前に、内部トリガでレベル変更が発生したときに検出されなければならない連続した等しいサンプルの数を設定します。この機能を使用するには、内部クロックソースが必要です。

00：トリガのアクティブレベル変更は、有効なトリガとみなされます。

01：トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 2 クロック周期にわたって安定している必要があります。

10：トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 4 クロック周期にわたって安定している必要があります。

11：トリガのアクティブレベル変更が有効なトリガとみなされるためには、少なくとも 8 クロック周期にわたって安定している必要があります。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:3 **CKFLT[1:0]**：設定可能な外部クロック用デジタルフィルタ

CKFLT 値は、有効なレベル遷移とみなされる前に、外部クロック信号でレベル変更が発生したときに検出されなければならない連続した等しいサンプルの数を設定します。この機能を使用するには、内部クロックソースが必要です。

00：外部クロック信号のレベル変更は、有効な遷移とみなされます。

01：外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 2 クロック周期にわたって安定している必要があります。

10：外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 4 クロック周期にわたって安定している必要があります。

11：外部クロック信号のレベル変更が有効な遷移とみなされるためには、少なくとも 8 クロック周期にわたって安定している必要があります。

ビット 2:1 **CKPOL[1:0]**：クロック極性

LPTIM のクロックが、外部クロックソースによって供給される場合：

LPTIM のクロックが外部クロックソースによって供給されるとき、CKPOL ビットは、カウンタによって使用されるアクティブエッジを設定するために使用されます。

00：立ち上がりエッジが、カウントに使用されるアクティブエッジです。
LPTIM がエンコーダモードで設定されている（ENC ビットがセットされている）場合、エンコーダサブモード 1 がアクティブです。

01：立ち下がりエッジが、カウントに使用されるアクティブエッジです。
LPTIM がエンコーダモードで設定されている（ENC ビットがセットされている）場合、エンコーダサブモード 2 がアクティブです。

10：両方のエッジがアクティブエッジです。外部クロック信号の両方のエッジがアクティブエッジとみなされるときには、LPTIM のクロックは内部クロックソースからも供給される必要があり、その周波数は外部クロック周波数の 4 倍以上である必要があります。
LPTIM がエンコーダモードで設定されている（ENC ビットがセットされている）場合、エンコーダサブモード 3 がアクティブです。

11：使用できません。

エンコーダモードのサブモードの詳細については、セクション 27.4.14：エンコーダモードを参照してください。

ビット 0 **CKSEL**：クロックセレクタ

CKSEL ビットは、LPTIM が使用するクロックソースを選択します：

0： LPTIM のクロックは内部クロックソースによって供給されます（APB クロックまたは埋め込みオシレータ）。

1： LPTIM のクロックは、LPTIM 外部 Input1 を通じて外部クロックソースによって供給されます。

注意： LPTIM_CFGR レジスタの変更は、LPTIM が無効（イネーブルビットが 0 にリセットされている）のときにのみ行う必要があります。

27.7.5 LPTIM 制御レジスタ（LPTIM_CR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSTARE	COUNTRST	CNTSTRT	SNGSTRT	ENABLE
											w	rs	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **RSTARE**：読出し後リセット有効化

このビットは、ソフトウェアによってセット／クリアされます。RSTARE が“1”にセットされると、LPTIM_CNT レジスタに対するあらゆる読出しアクセスによって、LPTIM_CNT レジスタの内容が非同期的にリセットされます。

このビットをセットできるのは、LPTIM が有効なときだけです。

注意： このビットフィールドは書込み専用です。つまり、このビットは書き込まれた値を検証するための読み戻しができません。例として、このビットを 1 にセットした場合、読み戻そうとすると、「読み出し後リセット」機能が有効になっていても 0 が返ってきます（このビットフィールドにすでに 1 が書き込まれているため）。「読み出し後リセット」をオフにしたり、オフになっていることを確認したりするには、すでに 0 が含まれている場合でも（0 をプログラムして）このビットをリセットする必要があります。

ビット 3 **COUNTRST**：カウンタリセット

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。“1”にセットされると、このビットは LPTIM_CNT カウンタレジスタの同期リセットをトリガします。このリセットの同期的な性質のため、3 LP タイマコアクロックサイクルの同期的遅延の後にのみ、この状況が発生します（LP タイマコアクロック は APB クロックと異なる場合があります）。

このビットをセットできるのは、LPTIM が有効なときだけです。これはハードウェアによって自動的にリセットされます。

注意： COUNTRST は、ハードウェアによって“0”にクリアされる前に、ソフトウェアによって“1”にセットしてはなりません。したがって、ソフトウェアで COUNTRST ビットを“1”にセットしようとする前に、それがすでに“0”にクリアされていることを確認するべきです。

ビット 2 **CNTSTRT**：連続モードでタイマ開始

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。

ソフトウェア開始（TRIGEN[1:0] = 00）の場合、このビットをセットすると、LPTIM は連続モードで開始します。

ソフトウェア開始が無効（TRIGEN[1:0] が 00 以外）の場合、このビットをセットすると、外部トリガが検出されるとすぐに、タイマは連続モードで開始します。

シングルパルスモードでのカウント中にこのビットがセットされた場合、LPTIM_ARR レジスタと LPTIM_CNT レジスタが次に一致したときにタイマは停止せず、LPTIM カウンタは連続モードでのカウントを続行します。

このビットをセットできるのは、LPTIM が有効なときだけです。ハードウェアによって自動的にリセットされます。

ビット 1 **SNGSTRT**：シングルモードで LPTIM 開始

このビットは、ソフトウェアによってセットされ、ハードウェアによってクリアされます。

ソフトウェア開始（TRIGEN[1:0] = 00）の場合、このビットをセットすると、LPTIM はシングルパルスモードで開始します。

ソフトウェア開始が無効（TRIGEN[1:0] が 00 以外）の場合、このビットをセットすると、外部トリガが検出されるとすぐに、LPTIMはシングルパルスモードで開始します。

LPTIM が連続カウントモードのときにこのビットがセットされた場合、LPTIM は LPTIM_ARR レジスタと LPTIM_CNT レジスタが次に一致したときに停止します。

このビットをセットできるのは、LPTIM が有効なときだけです。ハードウェアによって自動的にリセットされます。

ビット 0 **ENABLE**：LPTIM 有効化

イネーブルビットは、ソフトウェアによってセット／クリアされます。

0 :LPTIM は無効です。

1 :LPTIM は有効です。

27.7.6 LPTIM 比較レジスタ（LPTIM_CMP）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CMP[15:0]**：比較値

CMP は、LPTIM によって使用される比較値です。

注意： LPTIM_CMP レジスタの変更は、LPTIM が有効（イネーブルビットが 1 にセットされている）のときにのみ行う必要があります。

27.7.7 LPTIM 自動再ロードレジスタ（LPTIM_ARR）

アドレスオフセット：0x018

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **ARR[15:0]**：自動再ロード値

ARR は、LPTIM の自動再ロード値です。

この値は、CMP[15:0] 値より大きくなければなりません。

注意： **LPTIM_ARR レジスタの変更は、LPTIM が有効（イネーブルビットが 1 にセットされている）のときにのみ行う必要があります。**

27.7.8 LPTIM カウンタレジスタ（LPTIM_CNT）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **CNT[15:0]**：カウンタ値

LPTIM が非同期クロックで実行しているとき、LPTIM_CNT レジスタを読み出すと、信頼できない値が返されることがあります。したがって、この場合、2 つの連続した読出しアクセスを実行して、返された 2 つの値が同じかどうかを確認する必要があります。

信頼できる LPTIM_CNT レジスタの読出しアクセスでは、2 回の連続した読出しアクセスを実行して比較する必要があることに注意してください。2 回の連続読出しアクセスで得られた値が同じであるとき、各読出しアクセスは信頼できると考えられます。

27.7.9 LPTIM1 オプションレジスタ（LPTIM1_OR）

アドレスオフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OR_1**：オプションレジスタビット 1

0： LPTIM1 入力 2 は I/O に接続されます。

1： LPTIM1 入力 2 は COMP2_OUT に接続されます。

ビット 0 **OR_0**：オプションレジスタビット 0

0： LPTIM1 入力 1 は I/O に接続されます。

1： LPTIM1 入力 1 は COMP1_OUT に接続されます。

27.7.10 LPTIM2 オプションレジスタ（LPTIM2_OR）

アドレスオフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **OR_1**：オプションレジスタビット 1

0： LPTIM2 入力 1 は I/O に接続されます。

1： LPTIM2 入力 1 は COMP2_OUT に接続されます。

ビット 0 **OR_0**：オプションレジスタビット 0

0： LPTIM2 入力 1 は I/O に接続されます。

1： LPTIM2 入力 1 は COMP1_OUT に接続されます。

27.7.11 LPTIM レジスタマップ

次の表に LPTIM レジスタの一覧を示します。

表 179. LPTIM レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	LPTIM_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWN(1)	UP(1)	ARROK	CMPOK	EXTTRIG	ARRM	CMPM
	リセット値																										0	0	0	0	0	0	0
0x004	LPTIM_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNCF(1)	UPCF(1)	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF
	リセット値																										0	0	0	0	0	0	0
0x008	LPTIM_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNIE	UPIE(1)	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE
	リセット値																										0	0	0	0	0	0	0
0x00C	LPTIM_CFGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC(1)	COUNTMODE	PRELOAD	WAVEPOL	WAVE	TIMOUT	TRIGEN		Res.	TRIGSEL[2:0]			Res.	PRESC			Res.	TRGFLT		Res.	CKFLT		CKPOL		CKSEL
	リセット値								0	0	0	0	0	0	0	0		0	0	0		0	0	0		0	0		0	0	0	0	0
0x010	LPTIM_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSTARE	COUNTRST	CNTSTRT	SNGSTRT	ENABLE
	リセット値																												0	0	0	0	0
0x014	LPTIM_CMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CMP[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	LPTIM_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x01C	LPTIM_CNT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	LPTIM_OR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OR_1	OR_0
	リセット値																															0	0

1. LPTIM がエンコーダモード機能をサポートしない場合、このビットは予約済みです。セクション 27.3 : LPTIM の実装を参照してください。

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

28 赤外線インタフェース（IRTIM）

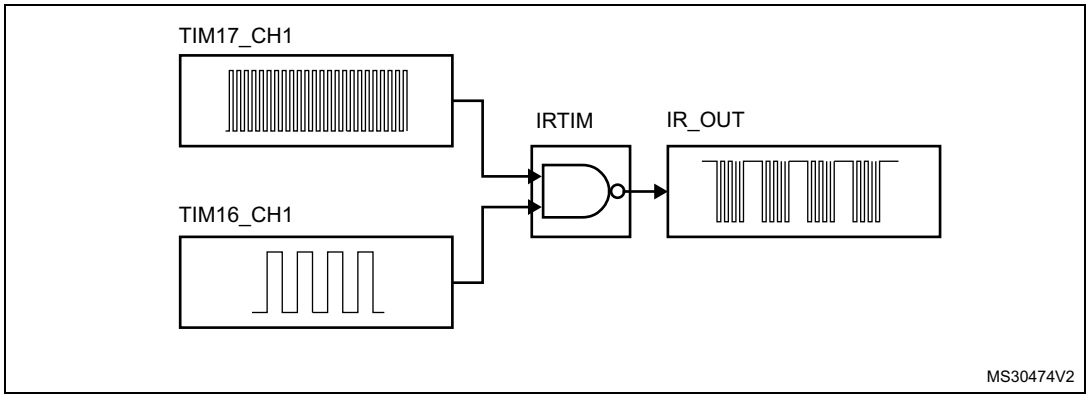
このデバイスではリモートコントロールで赤外線インタフェース（IRTIM）を使用できます。リモートコントロール機能を実行するために、赤外線 LED と併せて使用できます。

図 285 に示すように、IRTIM は TIM16 および TIM17 との間で内部接続されています。

赤外線リモートコントロール信号を生成するには、正しい波形を生成するために IR インタフェースを有効にし、TIM16 チャネル 1 （TIM16_OC1）と TIM17 チャネル 1 （TIM17_OC1）を適切に設定する必要があります。

赤外線レシーバは、基本的な入力キャプチャモードで簡単に実装できます。

図 285. TIM16 および TIM17 との IRTIM 内部ハードウェア接続



標準の IR パルス変調モードはすべて 2 つのタイマ出力比較チャネルをプログラミングすることで取得できます。

TIM16 は変調包絡線を生成し、TIM17 は高周波キャリア信号を生成するために使用されます。

赤外線機能は IR_OUT ピンから出力されます。この機能の有効化は、GPIOx_AFRx レジスタを通じ、関連するオルタネート機能ビットを有効にすることで行われます。

大電流シンク LED ドライバ機能（PB9 ピンでのみ使用可能）の有効化は SYSCFG_CFGR1 レジスタの I2C_PB9_FMP ビットを通じて行われ、赤外線 LED を直接制御するために必要な大電流を流すために使用されます。

29 リアルタイムクロック（RTC）

29.1 概要

RTC は、あらゆる低電力モードを管理する自動ウェイクアップ機能を提供します。

本リアルタイムクロック（RTC）は、独立した BCD タイマ／カウンタです。RTC は、プログラム可能なアラーム割込み機能を備えた時刻クロック／カレンダを搭載しています。

また、割込み機能を備えたプログラム可能な周期的ウェイクアップフラグも搭載しています。

2 つの 32 ビットレジスタには、2 進化 10 進数形式（BCD）で表現した秒、分、時（12 時間または 24 時間形式）、曜日、日、月、年が含まれています。サブセカンドの値もバイナリ形式で利用できます。

28 日、29 日（うるう年）、30 日、31 日の補正は、自動的に行われます。サマータイム補正も行われます。

サブセカンド、秒、分、時、曜日、日付のプログラム可能なアラームを備えた 32 ビットレジスタが追加されています。

クリスタルオシレータ精度の偏差を補正するために、デジタル較正機能が利用可能です。

バックアップ ドメインリセット後、すべての RTC レジスタは、起こりうる不要な書込みアクセスから保護されます。

供給電圧が動作範囲内にある間は、デバイスのステータス（実行モード、低電力モード、またはリセット中）に関係なく、RTC が停止することはありません。

29.2 RTC の主な機能

RTC ユニットの主な機能を以下に示します（図 286：RTC のブロック図を参照）。

- サブセカンド、秒、分、時（12 または 24 時間形式）、曜日、日、月、年に対応するカレンダ。
- ソフトウェアでプログラム可能なサマータイム補正。
- 割込み機能を備えたプログラム可能なアラーム。アラームは、カレンダ項目のどの組み合わせでもトリガ可能。
- 自動ウェイクアップ割込みをトリガする周期的なフラグを生成する自動ウェイクアップユニット。
- リファレンスクロック検出：より正確な秒のクロックソース（50 または 60 Hz）の使用で、カレンダの精度を向上。
- サブセカンドシフト機能を使用する外部クロックとの正確な同期。
- デジタル較正回路（周期的なカウンタ修正）：数秒の較正時間範囲で得られる 0.95 ppm の精度。
- イベントを保存するタイムスタンプ機能。
- 設定可能なフィルタおよび内部プルアップのあるタンパ検出イベント。
- マスク可能な割込み／イベント：
  - アラーム A
  - アラーム B
  - ウェイクアップ割込み
  - タイムスタンプ
  - タンパ検出
- 20 バックアップレジスタ。

29.3 RTC の実装

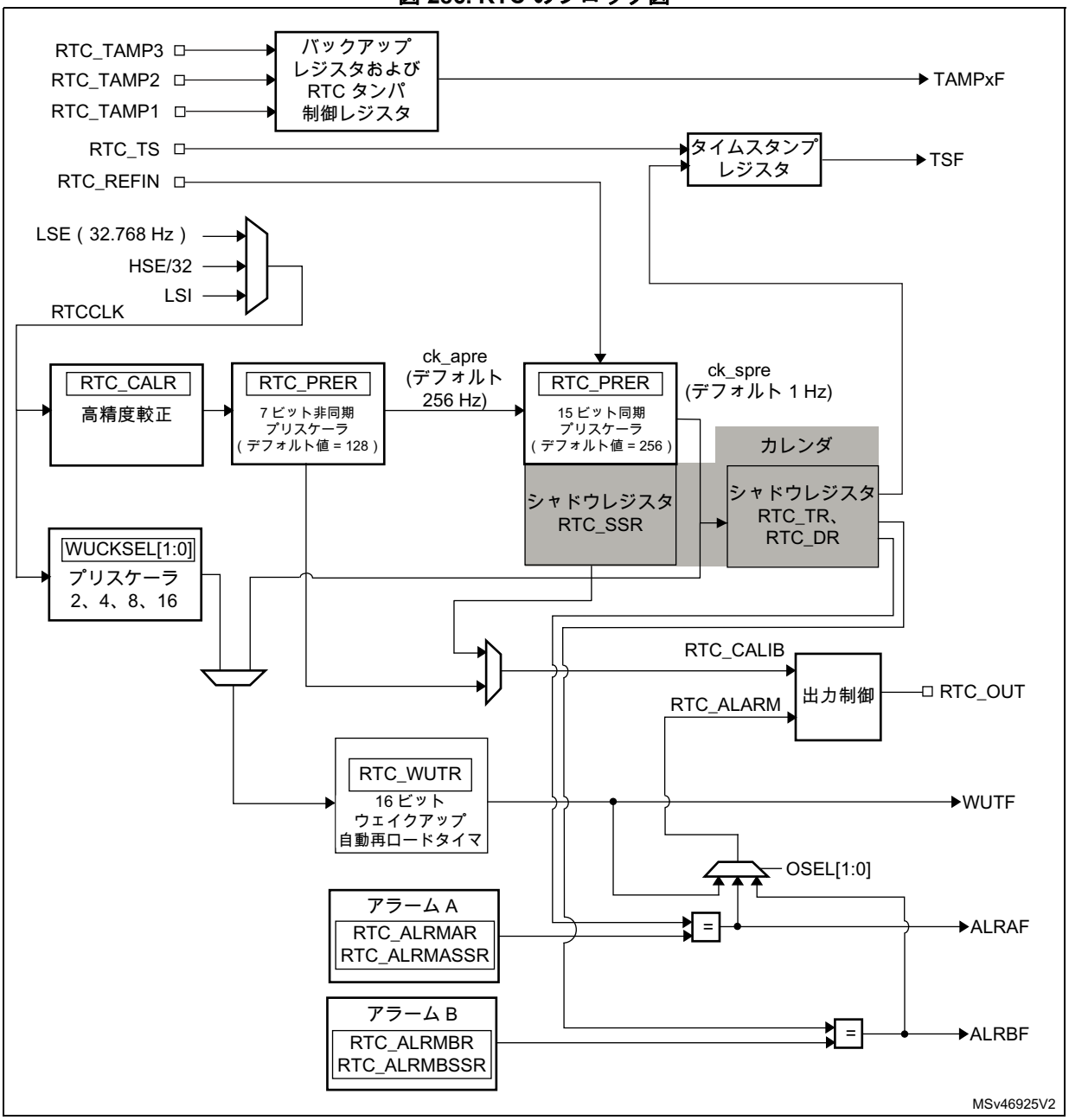
表 180. RTC の実装

機能	STM32WB55xx	STM32WB35xx
RTC_TS ピン	X	-
RTC_TAMP1	X	-
RTC_TAMP2	X	X
RTC_TAMP3	X	-
PC13 上の RTC_OUT	X	-
PB2 上の RTC_OUT	X	X

29.4 RTC の機能説明

29.4.1 RTC ブロック図

図 286. RTC のブロック図



RTC には次の要素が含まれます。

– タンパ検出でバックアップレジスタは消去されます。

- I/O からの 1 つのタイムスタンプイベント
- タンパイベント検出によってタイムスタンプイベントを生成できます。
- V_{BAT} への切り替え発生時にタイムスタンプを生成できます。

29.4.2 クロックとプリスケーラ

RTC クロックソース（RTCCLK）は、LSE クロック、LSI オシレータクロック、HSE クロックのうちから、クロックコントローラを介して選択されます。RTC クロックソースの設定に関する詳細は、セクション 8：リセットおよびクロック制御（RCC）を参照してください。

プログラム可能なプリスケーラステージで、カレンダの更新に使用する1 Hz のクロックを生成します。消費電力を最少に抑えるため、プリスケーラは以下に示す 2 つのプログラム可能なプリスケーラに分割されます（図 286：RTC のブロック図を参照）。

- RTC_PRER レジスタの PREDIV_A ビットで設定される 7 ビットの非同期プリスケーラ
- RTC_PRER レジスタの PREDIV_S ビットで設定される 15 ビットの同期プリスケーラ

注： **両方のプリスケーラを使用する場合は、非同期プリスケーラを高い値に設定して消費を最低限に抑えることをお勧めします。**

LSE 周波数 32.768 kHz で 1 Hz （ck_spre）の内部クロック周波数を得るため、非同期プリスケーラ分周比は 128、同期プリスケーラの分周比は 256 に設定されます。

最低分周比は 1、最大分周比は 2^{22} です。

これは、約 4 MHz の最大入力周波数に相当します。

f_{ck_apre} は、次の式で与えられます。

$$f_{CK_APRE} = \frac{f_{RTCCLK}}{PREDIV_A + 1}$$

ck_apre クロックは、サブセカンドダウンカウンタであるバイナリ RTC_SSR にクロックを供給するために使用されます。値がゼロになると、RTC_SSR は、PREDIV_S の内容で再ロードされます。

f_{ck_apre} は、次の式で与えられます。

$$f_{CK_SPRE} = \frac{f_{RTCCLK}}{(PREDIV_S + 1) \times (PREDIV_A + 1)}$$

ck_spre クロックは、カレンダの更新に、または 16 ビットウェイクアップ自動再ロードタイマのタイムベースとして使用できます。短いタイムアウト期間を得るため、16 ビットウェイクアップ自動再ロードタイマを、プログラム可能な 4 ビット非同期プリスケーラで分周した RTCCLK で動作させることもできます（詳細は セクション 29.4.5：周期的自動ウェイクアップを参照）。

29.4.3 リアルタイムクロックとカレンダ

RTC カレンダの時刻および日付レジスタには、PCLK（APB クロック）と同期するシャドウレジスタからアクセスします。同期するための待ち時間を避けるため、これらのレジスタに直接アクセスすることもできます。

- サブセカンド用 RTC_SSR
- 時刻用 RTC_TR
- 日付用 RTC_DR

RTCCLK サイクルごとに現在のカレンダ値がシャドウレジスタにコピーされ、RTC_ISR レジスタの RSF ビットがセットされます（セクション 29.7.4：RTC 初期化とステータスレジスタ（RTC_ISR）を参照）。STOP モードおよび STANDBY モードでは、コピーは行われません。これらのモードが終了すると、RTCCLK 1 サイクル以内にシャドウレジスタが更新されます。

アプリケーションが、カレンダレジスタを読み出す際、実際にはシャドウレジスタの内容にアクセスします。RTC_CR レジスタの BYPSHAD 制御ビットをセットすることにより、カレンダレジスタに

直接アクセスできます。デフォルトでは、このビットはクリアされており、ユーザはシャドウレジスタにアクセスします。

RTC_SSR、RTC_TR または RTC_DR レジスタを BYPSHAD = 0 の状態で読み出す際は、APB クロックの周波数 （f_{APB}）は、RTC クロック（f_{RTCCLK}）の周波数の 7 倍以上でなければなりません。

シャドウレジスタは、システムリセットによってリセットされます。

29.4.4 プログラム可能なアラーム

RTC ユニットは、以下に示すプログラム可能なアラーム、アラーム A とアラーム B を提供します。以下に示すのはアラーム A に関する説明ですが、アラーム B についても同様です。

プログラム可能なアラーム機能は、RTC_CR レジスタの ALRAE ビットを通じて有効にします。ALRAF は、カレンダのサブセカンド、秒、分、時、日または曜日がそれぞれアラームレジスタ RTC_ALRMASSR および RTC_ALRMAR にプログラムされている値と一致する場合は 1 にセットされます。各カレンダ項目は、RTC_ALRMAR レジスタの MSKx ビットおよび RTC_ALRMASSR レジスタの MASKSSx ビットで個別に選択できます。アラームの割込みは、RTC_CR レジスタの ALRAIE ビットを通じて有効にします。

注意： **秒の項目が選択されている場合（RTC_ALRMAR で MSK1 ビットがリセットされている場合）、正しい動作を保証するため、RTC_PRER レジスタでセットされる同期プリスケーラの分周比は 3 以上である必要があります。**

アラーム A および アラーム B（RTC_CR レジスタの OSEL[0:1] ビットで有効になっている場合）は、RTC_ALARM 出力に送ることができます。RTC_ALARM 出力の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

29.4.5 周期的自動ウェイクアップ

周期的ウェイクアップフラグは、16 ビットのプログラム可能な自動再ロードダウンカウンタによって生成されます。ウェイクアップタイマの範囲は 17 ビットまで拡張できます。

ウェイクアップ機能は、RTC_CR レジスタの WUTE ビットを通じて有効にします。

ウェイクアップタイマクロック入力には、次のものが使用できます。

- 2、4、8、または 16 分周した RTC クロック（RTCCLK）

  RTCCLK が LSE（32.768 kHz）である場合、最小分解能 61 µs で、ウェイクアップ割込み周期を 122 µs から 32 秒の範囲で設定できます。

- ck_spre（通常は 1 Hz の内部クロック）

  ck_spre 周波数が 1 Hz の場合、1 秒の分解能でウェイクアップ時間を 1 秒 からおよそ 36 時間までの範囲で設定できます。このプログラム可能な広い時間範囲は、2 つの部分に分かれます。

  – WUCKSEL [2:1] = 10 の場合は 1 秒から 18 時間、

  – WUCKSEL[2:1] = 11 の場合は約 18 時間から 36 時間です。後者の場合、16 ビットカウンタの現在値に 2^{16} が加算されます。初期化シーケンスが完了すると（921 ページのウェイクアップタイマのプログラミングを参照）、タイマがカウントダウンを開始します。ウェイクアップ機能が有効な場合、低電力モードでもカウントダウンはアクティブのままとなります。さらに、カウンタがゼロに到達すると、RTC_ISR レジスタの WUTF フラグがセットされ、ウェイクアップカウンタが再ロード値（RTC_WUTR レジスタ値）で自動的に再ロードされます。

その後、WUTF フラグはソフトウェアでクリアする必要があります。

RTC_CR レジスタの WUTIE ビットをセットして周期的ウェイクアップ割込みを有効にすると、デバイスは低電力モードを終了できます。

周期的なウェイクアップフラグは、RTC_CR レジスタの OSEL[1:0] ビットを通じて有効になっている場合に限り、RTC_ALARM 出力に送ることができます。RTC_ALARM 出力の極性は、RTC_CR レジスタの POL ビットを通じて設定できます。

低電力モード（SLEEP、STOP、STANDBY）と同様に、システムリセットもウェイクアップタイマには影響しません。

29.4.6 RTC の初期化と設定

RTC レジスタアクセス

RTC レジスタは、32 ビットのレジスタです。APB インタフェースは、RTC レジスタアクセスに 2 ウェイトステートを挿入します。ただし、BYPSHAD = 0 のときのカレンダシャドウレジスタへの読出しアクセスは除きます。

RTC レジスタ書込み保護

システムリセット後、RTC レジスタは、PWR_CR レジスタの DBP ビットをクリアすることによって、意図しない書込みアクセスから保護されます（電源制御のセクションを参照）。RTC レジスタ書込みアクセスを可能にするには、DBP ビットをセットする必要があります。

バックアップ ドメインリセット後、すべての RTC レジスタは書込み保護されます。RTC レジスタへの書き込みは、書込み保護レジスタ RTC_WPR にキーを書き込むことにより有効になります。

RTC_TAMPCR、RTC_BKPxR、RTC_OR、および RTC_ISR[13:8] を除くすべての RTC レジスタの書込み保護を解除するには、次のステップが必要です。

1. RTC_WPR レジスタに“0xCA”を書き込みます。
2. RTC_WPR レジスタに“0x53”を書き込みます。

誤ったキーを書き込むと、書込み保護が再度アクティブになります。

保護メカニズムは、システムリセットの影響を受けません。

カレンダの初期化と設定

時間形式やプリスケーラ設定を含むカレンダ時刻と日付の初期値をプログラムするには、次のシーケンスが必要です。

1. RTC_ISR レジスタで INIT ビットを 1 にセットして、初期化モードに入ります。このモードでは、カレンダカウンタが停止し、その値を更新することができます。
2. RTC_ISR レジスタの INITF ビットをポーリングします。INITF が 1 にセットされると、初期化フェーズモードに入ります。これには RTCCLK クロック約 2 サイクルを必要とします（クロック同期のため）。
3. カレンダカウンタのための 1 Hz クロックを生成するには、RTC_PRER レジスタで両方のプリスケーラ分周比をプログラムします。
4. シャドウレジスタ（RTC_TR および RTC_DR）に時刻と日付の初期値をロードし、RTC_CR レジスタの FMT ビットを介して時間形式（12 時間または 24 時間）を設定します。
5. INIT ビットをクリアして初期化モードを終了します。その後、カレンダカウンタの実際の値が自動的にロードされ、4 RTCCLK クロックサイクル後にカウントが再開します。

初期化シーケンスが完了すると、カレンダがカウントを開始します。

注： **システムリセット後、アプリケーションは RTC_ISR レジスタの INITS フラグを読み出し、カレンダが初期化されたか否かを確認できるようになります。このフラグが 0 であれば、カレンダの年の項目が バックアップ ドメインリセットデフォルト値（0x00）にセットされているため、初期化されていません。**

初期化後にカレンダを読み出すには、まずソフトウェアで RTC_ISR レジスタの RSF フラグがセットされていることを確認する必要があります。

サマータイム

サマータイム管理は、RTC_CR レジスタの SUB1H ビット、ADD1H ビット、BKP ビットを介して行われます。

SUB1H または ADD1H を使用すると、ソフトウェアは初期化手順を踏まずに 1 度の操作で、カレンダから 1 時間引いたり足したりすることができます。

さらに、ソフトウェアは BKP ビットを使用してこの操作を記憶することができます。

アラームのプログラミング

プログラム可能なアラームをプログラムまたは更新するには、同様な手順を踏む必要があります。以下に示すのはアラーム A の手順ですが、アラーム B についても同様です。

1. RTC_CR の ALRAE をクリアしてアラーム A を無効にします。
2. アラーム A レジスタ（RTC_ALRMASSR/RTC_ALRMAR）をプログラムします。
3. RTC_CR レジスタで ALRAE をセットしてアラーム A を再び有効にします。

注： **RTC_CR レジスタの各変更は、クロック同期のため RTCCLK クロック約 2 サイクル後に有効になります。**

ウェイクアップタイマのプログラミング

ウェイクアップタイマ自動再ロード値（RTC_WUTR の WUT[15:0]）の設定または変更には、次の手順が必要です。

1. RTC_CR の WUTE をクリアしてウェイクアップタイマを無効にします。
2. RTC_ISR の WUTWF がセットされ、ウェイクアップ自動再ロードカウンタおよび WUCKSEL[2:0] ビットへのアクセスが許可されていることが確認されるまで WUTWF をポーリングします。これには RTCCLK クロック約 2 サイクルを必要とします（クロック同期のため）。
3. ウェイクアップ自動再ロード値 WUT[15:0] およびウェイクアップクロック選択（RTC_CR の WUCKSEL[2:0] ビット）をプログラムします。RTC_CR で WUTE をセットしてタイマを再び有効にします。ウェイクアップタイマがカウントダウンを再開します。WUTWF ビットは、クロックの同期化により、WUTE クリア後、2 RTCCLK クロックサイクルまでクリアされます。

29.4.7 カレンダの読出し

RTC_CR レジスタの BYPSHAD 制御ビットがクリアされている場合

RTC カレンダレジスタ（RTC_SSR、RTC_TR、および RTC_DR）を正しく読み出すには、APB クロック周波数（f_{PCLK}）が RTC クロック周波数（f_{RTCCLK}）の 7 倍以上でなければなりません。これにより、同期メカニズムの安全な動作が保証されます。

APB クロック周波数が RTC クロック周波数の 7 倍未満である場合、ソフトウェアによってカレンダ時間と日付レジスタを 2 回読み出す必要があります。RTC_TR の 2 回目の読出しが 1 回目の読出しと同じ結果であれば、データが正しいことが保証されます。同じでない場合は、3 回目の読出しアクセスを行う必要があります。どの場合も、APB クロック周波数は必ず RTC クロック周波数以上でなければなりません。

RTC_ISR レジスタの RSF ビットは、カレンダレジスタが RTC_SSR、RTC_TR、および RTC_DR シャドウレジスタにコピーされるたびにセットされます。コピーは、RTCCLK サイクルごと行われます。3 つの値における一貫性を保証するため、RTC_SSR または RTC_TR のどちらかを読み出すと、高次カレンダシャドウレジスタの値は RTC_DR が読み出されるまでロックされます。ソフトウェアが 1 RTCCLK サイクル未満の間隔でカレンダの読出しアクセスを行う場合、最初のカレンダ読出し後に RSF をソフトウェアでクリアする必要があり、その後ソフトウェアは、RSF ビットがセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを再度読み出す必要があります。

低電力モード（STOP または STANDBY）からのウェイクアップ後は、RSF をソフトウェアでクリアする必要があります。その後、ソフトウェアは、いま一度 RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを再度読み出す必要があります。

RSF ビットは、ウェイクアップ後にクリアする必要がありますが、低電力モードに入る前には、その必要はありません。

システムリセット後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。実際、システムリセットがかかると、シャドウレジスタはデフォルト値にリセットされます。

初期化（920 ページのカレンダの初期化と設定を参照）後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。

同期（セクション 29.4.9 : RTC の同期を参照）後、ソフトウェアは RSF がセットされるまで待ってから、RTC_SSR、RTC_TR、および RTC_DR レジスタを読み出す必要があります。

RTC_CR レジスタ（バイパスシャドウレジスタ）の BYPSHAD 制御ビットがセットされている場合

カレンダレジスタを読み出すと、カレンダカウンタの値が直接与えられるため、RSF ビットがセットされるのを待つ必要がありません。シャドウレジスタは低電力モード（STOP または STANDBY）では更新されないため、低電力モード終了後に特にこのような読出しが有用です。

BYPSHAD ビットが 1 にセットされている場合、レジスタへの 2 回の読出しアクセス間で RTCCLK エッジが発生した場合は、さまざまなレジスタ間で互いに不整合が起きる場合があります。さらに、読出し操作中に RTCCLK エッジが発生した場合、レジスタの 1 つが不正な値となる場合があります。ソフトウェアはすべてのレジスタを 2 回読み出し、その結果を比較してデータに整合性があり正しいことを確認する必要があります。その代わり、ソフトウェアはカレンダレジスタの最下位の数値を 2 回比較するだけで構いません。

注： **BYPSHAD = 1 の間、カレンダレジスタの読出し命令が完了するには 1 APB サイクルだけ余計に必要となります。**

29.4.8 RTC のリセット

カレンダシャドウレジスタ（RTC_SSR、RTC_TR、RTC_DR）および RTC ステータスレジスタ（RTC_ISR）の一部のビットは、利用可能なすべてのシステムリセットリソースによってデフォルト値にリセットされます。

逆に、次のレジスタは バックアップ ドメインリセットによってそれぞれのデフォルト値にリセットされ、システムリセットの影響は受けません。RTC の現在のカレンダレジスタ、RTC 制御レジスタ（RTC_CR）、プリスケーラレジスタ（RTC_PRER）、RTC 較正レジスタ（RTC_CALR）、RTC シフトレジスタ（RTC_SHIFTR）、RTC タイムスタンプレジスタ（RTC_TSSSR、RTC_TSTR および RTC_TSDR）、RTC タンパ設定レジスタ（RTC_TAMPCR）、RTC バックアップレジスタ（RTC_BKPxR）、ウェイクアップタイマレジスタ（RTC_WUTR）、アラーム A とアラーム B レジスタ（RTC_ALRMASSR/RTC_ALRMAR と RTC_ALRMBSSR/RTC_ALRMBR）、およびオプションレジスタ（RTC_OR）。

さらに、LSE クロックによって駆動されている際にリセットソースが バックアップドメインリセットと異なる場合、システムリセットがかかっても RTC は動作を続けます（システムリセットの影響を受けない RTC クロックソースのリストの詳細については、リセットおよびクロックコントローラの RTC クロック セクションを参照してください）。バックアップ ドメインリセットが発生すると、RTC は停止し、すべての RTC レジスタがリセット値にセットされます。

29.4.9 RTC の同期

RTC は、高精度でリモートクロックと同期できます。サブセカンド項目（RTC_SSR または RTC_TSSSR）を読み出すと、リモートクロックによって維持されている時刻と RTC 間の正確なオフセットが計算できます。その後、RTC_SHIFTR を使用してほんの一瞬クロックを「シフト」することによって RTC を調整し、このオフセットを取り除くことができます。

RTC_SSR には、同期プリスケーラのカウンタの値が入っています。これにより、RTC によって維持されている正確な時刻を 1/(PREDIV_S + 1) 秒の分解能まで計算することができます。その結果、同期プリスケーラ値（PREDIV_S[14:0]）を増加させることにより分解能を改善できます。許可されている最大分解能（32768 Hz クロックで 30.52 µs）は、PREDIV_S を 0x7FFF にセットすることにより得られます。

ただし、PREDIV_S を増加させるということは、同期プリスケーラの出力を 1 Hz に維持するため PREDIV_A を減らす必要があることを意味します。このように、非同期プリスケーラの出力周波数が増加すると、RTC の動的消費電力が増加する場合があります。

RTC は、RTC シフト制御レジスタ（RTC_SHIFTR）を使って微調整できます。RTC_SHIFTR に書き込むことにより、1/（PREDIV_S + 1）秒の分解能で、クロックを最大 1 秒だけシフト（遅れ／進み）させることができます。このシフト操作の本質は、同期プリスケーラのカウンタ SS[15:0] に SUBFS[14:0] 値を加算することであり、この操作はクロックを遅らせることになります。同時に ADD1S ビットがセットされた場合、1 秒追加すると同時に秒の小数部を差し引くことになるため、クロックを進めることになります。

注意： **シフト操作を始める前に、ユーザは SS[15] = 0 であることを確認し、オーバーフローが発生しないようにする必要があります。**

RTC_SHIFTR レジスタへの書込みによってシフト操作が始まるとすぐに、シフト操作が保留中であることを示す SHPF フラグがハードウェアによってセットされます。このビットは、シフト操作が完了するとすぐに、ハードウェアによってクリアされます。

注意： **この同期機能はリファレンスクロック検出機能とは両立できません。具体的には、REFCKON = 1 のときにファームウェアから RTC_SHIFTR への書込みはできません。**

29.4.10 RTC リファレンスクロック検出

RTC カレンダの更新は、リファレンスクロックである RTC_REFIN に同期させることができます。通常は商用電源（50 または 60 Hz）です。RTC_REFIN リファレンスクロックには、32.768 kHz LSE クロックより高い精度が必要です。RTC_REFIN 検出を有効にした際（RTC_CR の REFCKON ビットが 1 にセット）、カレンダは引き続き LSE クロックによって駆動され、RTC_REFIN はカレンダ更新周波数（1 Hz）の誤差の補正に使用されます。

各 1 Hz クロックエッジは、一番近い RTC_REFIN クロックエッジ（所与の時間枠内に見つかった場合）と比較されます。ほとんどの場合、2 つのクロックエッジは正しく整列しています。LSE クロックが不正確なために 1 Hz のクロックがずれた場合、RTC は 1 Hz のクロックを少しシフトさせ、その後の 1 Hz のクロックエッジが整列するようにします。このメカニズムのおかげで、カレンダはリファレンスクロックと同様に正確になります。

RTC は、32.768 kHz クォーツから生成される 256 Hz クロック（ck_apre）を使用して、リファレンスクロックソースがあるかどうかを検出します。検出は各カレンダ更新（1 秒ごと）程度の時間枠で行われます。最初のリファレンスクロックエッジを検出する際、この時間枠は ck_apre 7 周期に等しくなります。その後のカレンダ更新では、ck_apre 3 周期より短い時間枠が使用されます。

リファレンスクロックがこの時間枠内で検出されるたびに、ck_spre クロックを出力する同期プリスケーラは強制的に再ロードされます。プリスケーラは同時に再ロードされるので、リファレンスクロックおよび 1 Hz のクロックが整列するタイミングには影響しません。クロックが整列していない

場合、後の 1 Hz クロックエッジは、リファレンスクロックと整列するように再ロードによって少しシフトされます。

リファレンスクロックが停止した（ck_apre 3 周期の枠内でリファレンスクロックエッジが発生しない）場合、カレンダは LSE クロックのみを基準にして更新が継続されます。その後 RTC は ck_spre エッジを中心として ck_apre 7 周期という広い検出時間枠でリファレンスクロックを待ちます。

RTC_REFIN検出を有効にした場合、PREDIV_A および PREDIV_S を以下に示すそれぞれのデフォルト値にセットする必要があります。

- PREDIV_A = 0x007F
- PREVID_S = 0x00FF

注： **RTC_REFIN クロック検出は、STANDBY モードでは利用できません。**

29.4.11 RTC の高精度デジタル較正

RTC 周波数の精度は、-487.1～+488.5 ppm の範囲で、分解能約 0.954 ppm でデジタル的に較正できます。周波数の修正は、一連の微調整（個々の RTCCLK パルスの追加や削除）によって行われます。このような調整は、短い期間で観測された場合でも RTC が十分に較正されるように、かなり広範に分散して行われます。

この高精度デジタル較正は、入力周波数が 32768 Hz の場合、RTCCLK 約 2^{20} パルスのサイクルまたは 32 秒の間で行われます。このサイクルは、RTCCLK によって駆動される 20 ビットカウンタ、cal_cnt[19:0] によって維持されます。

高精度較正レジスタ（RTC_CALR）によって、32 秒サイクル中にマスクされる RTCCLK クロックサイクル数を指定します。

- CALM[0] ビットを 1 にセットすると、32 秒サイクルの中でちょうど 1 パルス

がマスクされます。

- CALM[1] ビットを 1 にセットすると、さらに 2 サイクルがマスクされます。
- CALM[2] ビットを 1 にセットすると、さらに 4 サイクルがマスクされます。
- CALM[8] ビットを 1 にセットするまで続けると、256 クロックがマスクされます。

注： **CALM[8:0]（RTC_CALR）によって、32 秒サイクル中にマスクされる RTCCLK パルス数を指定します。CALM[0] ビットを 1 にセットすると、cal_cnt[19:0] = 0x80000 になった時点で、32 秒サイクル中でちょうど 1 パルスがマスクされます。CALM[1] = 1 では、さらに 2 サイクルがマスクされ（cal_cnt = 0x40000 および 0xC0000）、CALM[2] = 1 では、さらに 4 サイクルがマスクされ（cal_cnt = 0x20000/0x60000/0xA0000/ 0xE0000）、CALM[8] = 1 まで続けると、256 クロックがマスクされます（cal_cnt = 0xXX800）。**

CALM では、細かい分解能で RTC 周波数を最大 487.1 ppm 負の方向に調整することができ、CALP ビットでは周波数を 488.5 ppm 正の方向に調整することができます。CALP を“1”にセットすることにより、実質上は、RTCCLK 2^{11} サイクルごとに、RTCCLK パルスが 1 パルス追加で挿入されます。すなわち、32 秒サイクルごとに 512 クロックが追加されることとなります。

CALM を CALP と合わせて使用すると、32 秒サイクルの間に RTCCLK -511 から +512 サイクルまでのオフセットが追加でき、これは約 0.954 ppm の分解能で較正範囲 -487.1～+488.5 ppm に換算されます。

有効較正周波数（FCAL）を入力周波数（FRTCCLK）に対して求める計算式は次のとおりです。

$$F_{CAL} = F_{RTCCLK} \times [1 + (CALP \times 512 - CALM) / (2^{20} + CALM - CALP \times 512)]$$

PREDIV_A < 3 の場合の較正

非同期プリスケーラ値（RTC_PRER レジスタの PREDIV_A ビット）が 3 未満の場合、CALP ビットを 1 にセットすることはできません。CALP がすでに 1 にセットされていて、PREDIV_A ビットが 3 未満の値にセットされた場合、CALP の設定値は無視され、CALP が 0 に設定された場合と同じように較正されます。

PREDIV_A が 3 未満の状態で較正を実施するには、各秒のカウントが 8 RTCCLK クロックサイクル分早められるように同期プリスケーラ値（PREDIV_S）を小さくする必要があります。これは 32 秒毎に 256 クロックサイクル追加することに相当します。結果として、CALM ビットのみを使用して 32 秒周期の間に 255 クロックパルスから 256 クロックパルス（243.3 から 244.1 ppm の較正範囲に相当）を追加することができます。

公称 RTCCLK 周波数が 32768 Hz で、PREDIV_A が 1（分周比 2）の場合、PREDIV_S を 16383 ではなく 16379（4 少ない）にセットする必要があります。また、PREDIV_A が 0 の場合、PREDIV_S を 32767 ではなく 32759（8 少ない）にセットする必要がありますので注意してください。

PREDIV_S をこのように減少させた場合、較正された入力クロックの

有効周波数の式は次のようになります。

$F_{CAL} = F_{RTCCLK} \times [1 + (256 - CALM) / (2^{20} + CALM - 256)]$

この場合、RTCCLK が正確に 32768.00 Hz であれば、CALM[7:0] が 0x100（CALM 設定範囲の中間値）と等しくなるのが正しい設定です。

RTC 較正値の確認

RTC の精度は、RTCCLK の正確な周波数を測定し、正しい CALM 値および CALP 値を計算することにより保証されます。オプションの 1 Hz 出力が搭載されており、アプリケーションによって RTC 精度の測定と確認を行うことができます。

ある時間間隔で RTC の周波数を精密に測定すると、デジタル較正サイクルを測定周期とどのように合わせているかにより、測定期間中に最大 2 RTCCLK クロックサイクルの測定誤差が生じます。

ただし、この測定誤差は、測定周期が較正サイクル周期と同じ長さであれば排除できます。この場合、観測される唯一の誤差はデジタル較正の分解能による誤差となります。

- デフォルトでは、較正サイクル周期は 32 秒です。

このモードを使用して正確に 32 秒で 1 Hz 出力の精度を測定すると、その精度は 0.477 ppm（較正分解能の制限により 32 秒で 0.5 RTCCLK サイクル）以内となることが保証されます。

- RTC_CALR レジスタの CALW16 ビットを 1 にセットして、較正サイクル周期を強制的に 16 秒にすることができます。

この場合、RTC 精度は最大誤差 0.954 ppm（16 秒で 0.5 RTCCLK サイクル）で 16 秒間で測定できます。ただし、較正分解能が下がるため、長期的な RTC 精度もまた 0.954 ppm に下がります。CALW16 が 1 にセットされると、CALM[0] ビットは 0 のままとなります。

- RTC_CALR レジスタの CALW8 ビットを 1 にセットして、較正サイクル周期を強制的に 8 秒にすることができます。

この場合、RTC の精度を最大誤差 1.907 ppm（8 秒で 0.5 RTCCLK サイクル）で、8 秒間で測定できます。長期的な RTC 精度もまた 1.907 ppm に下がります。CALW8 が 1 にセットされると、CALM[1:0] ビットは 00 のままとなります。

動作中の再較正

次の処理を実施することにより、RTC_ISR/INITF = 0 の間でも、較正レジスタ（RTC_CALR）を動作中に更新することができます。

1. RTC_ISR/RECALPF（再較正保留フラグ）をポーリングします。
2. このフラグが 0 にセットされている場合は、必要に応じて新しい値を RTC_CALR に書き込みます。すると、RECALPF が自動的に 1 にセットされます。
3. RTC_CALR への書込み動作後 ck_apre 3 サイクル以内に、新しい較正設定が有効になります。

29.4.12 タイムスタンプ機能

タイムスタンプは、RTC_CR レジスタの TSE または ITSE ビットを 1 にセットすることにより有効になります。

TSE がセットされている場合：

RTC_TS ピンでタイムスタンプイベントが検出されると、タイムスタンプレジスタ（RTC_TSSSR、RTC_TSTR、RTC_TSDR）にカレンダが保存されます。

ITSE がセットされている場合：

内部タイムスタンプイベントが検出されると、タイムスタンプレジスタ（RTC_TSSSR、RTC_TSTR、RTC_TSDR）にカレンダが保存されます。内部タイムスタンプイベントは、VBAT 電源への切り替えによって生成されます。

また、タイムスタンプイベントが発生すると、内部または外部イベントによって、RTC_ISR レジスタのタイムスタンプフラグビット（TSF）がセットされます。イベントが内部である場合は、ITSF フラグが RTC_ISR レジスタにもセットされます。

RTC_CR レジスタの TSIE ビットをセットすることにより、タイムスタンプイベントが発生したときに割込みが生成されます。

タイムスタンプフラグ（TSF）がすでにセットされている間に新しいタイムスタンプイベントが検出された場合、タイムスタンプオーバーフローフラグ（TSOVF）がセットされ、タイムスタンプレジスタ（RTC_TSTR および RTC_TSDR）は、その前のイベントの結果を維持します。

注： **同期処理のため、TSF はタイムスタンプイベント発生から ck_apre 2 サイクル後にセットされます。**

一方、TSOVF のセットに遅延はありません。これは、2 つのタイムスタンプイベントの発生したタイミングが近い場合、TSF がまだ“0”であっても TSOVF が“1”と検出される可能性があることを意味します。よって、TSOVF のポーリングは TSF がセットされた後に実施することをお勧めします。

注意： **TSF ビットがクリアされたと思われた直後にタイムスタンプイベントが発生した場合、TSF および TSOVF ビットの両方がセットされます。同時に発生するタイムスタンプイベントのマスキングを回避するため、TSF がすでに“1”と読み出されていない限りは、アプリケーションによる“0”クリアの処理を行ってはなりません。**

オプション機能として、タンパイベントによってタイムスタンプイベントを記録することもできます。TAMPTS 制御ビットの詳細については、セクション 29.7.16：RTC タンパ設定レジスタ（RTC_TAMPCR）を参照してください。

29.4.13 タンパ検出

RTC_TAMPx 入力イベントは、フィルタを使用してエッジ検出またはレベル検出のどちらにも設定できます。

タンパ検出は次の目的で設定できます。

- RTC バックアップレジスタ （デフォルト設定）を消去する。
- STOP モードおよび STANDBY モードからのウェイクアップが可能な割込みを生成する。
- 低電力タイマのためのハードウェアトリガを生成する。

RTC バックアップレジスタ

バックアップレジスタ（RTC_BKPxR）は、システムリセットや STANDBY モードからのウェイクアップではリセットされません。

バックアップレジスタは、タンパ検出イベント発生時にリセットされます（セクション 29.7.20：RTC バックアップレジスタ（RTC_BKPxR）および 927 ページのタンパ検出の初期化を参照。）が、TAMPxNOERASE ビットがセットされている場合や RTC_TAMPCR レジスタの TAMPxMF がセットされている場合は例外です。

タンパ検出の初期化

各入力は、RTC_TAMPCR レジスタにおいて該当する TAMPxE ビットを 1 にセットすることにより有効にできます。

各 RTC_TAMPx タンパ検出入力は、RTC_ISR レジスタの TAMPxF フラグに関連付けられています。

TAMPxMF がクリアされている場合

TAMPxF フラグは、ピン上でタンパイベントが発生した後にアサートされます。その際の遅延時間を以下に示します。

- TAMPFLT = 0x0 以外の場合、ck_apre 3 サイクル（フィルタを使ったレベル検出）
- TAMPTS = 1 の場合、ck_apre 3 サイクル（タンパイベント時のタイムスタンプ）
- TAMPFLT = 0x0（エッジ検出）および TAMPTS = 0 の場合、遅延なし

TAMPxF がセットされている場合に、この周期中に同一ピンで発生した新たなタンパイベントを検出することはできません。

TAMPxMF がセットされている場合

同一ピンで発生した新たなタンパイベントは、上述した遅延の間とさらに ck_rtc 2.5 サイクルの間は検出できません。

RTC_TAMPCR レジスタの TAMPIE ビットをセットすることにより、タンパ検出イベント発生時（TAMPxF がセットされた時）に割込みが生成されます。1 つ以上の TAMPxMF がセットされている場合、TAMPIE をセットすることはできません。

TAMPIE がクリアされている場合は、各タンパピンイベント／割込みは、RTC_TAMPCR レジスタの対応する TAMPxIE ビットをセットすることによって個別に有効にすることができます。対応する TAMPxMF がセットされている場合、TAMPxIE をセットすることはできません。

タンパイベント時のトリガ出力の生成

タンパイベント検出は、低電力タイマによるトリガ入力として使用できます。

RTC_TAMPCR レジスタ の TAMPxMF ビットがクリアされている場合、TAMPxF フラグをソフトウェアでクリアして、同一ピンで新たなタンパイベントを検出できるようにする必要があります。

TAMPxMF ビットがセットされている場合、TAMPxF フラグはマスクされ、RTC_ISR レジスタでクリアされたままとなります。この設定により、TAMPxF をクリアするためにシステムをウェイクアップする必要もなく、STOP モードのまま低電力タイマを自動的にトリガすることができます。この場合、バックアップレジスタはクリアされません。

タンパイベント時のタイムスタンプ

TAMPTS を“1”にセットすると、すべてのタンパイベントがタイムスタンプイベントを発生させるようになります。この場合、通常のタイムスタンプイベント発生時と同様に TSF ビットまたは TSOVF ビットが RTC_ISR でセットされます。TSF または TSOVF がセットされるのと同時に、影響を受けるタンパフラグレジスタ、TAMPxF がセットされます。

タンパ入力でのエッジ検出

TAMPFLT ビットが“00”の場合、該当する TAMPxTRG ビットに応じて立ち上がりエッジまたは立ち下がりエッジが観測されると、RTC_TAMPx ピンがタンパ検出イベントを生成します。エッジ検出を選択すると、RTC_TAMPx 入力の内部プルアップ抵抗が無効になります。

注意： **エッジ検出を使用する場合は、タンパ検出の有効化直後のタンパピンのレベルをソフトウェアでチェックすることをお勧めします（GPIO レジスタを読み出す）。また、タンパイベントの検出を有効化する前にアクティブエッジが発生していないかどうかを確認するため、影響を受ける値をバックアップレジスタに書き込む前にソフトウェアでチェックすることをお勧めします。**
TAMPFLT="00" で TAMPxTRG = 0（立ち上がりエッジ検出）のとき、タンパ検出を有効にする前にタンパ入力がすでにハイレベルにある場合は、タンパイベントをハードウェアで検出できます。

タンパイベントが検出されクリアされた後に、バックアップレジスタ（RTC_BKPxR）を再プログラムする場合には、事前に、RTC_TAMPx を無効にしてから再度有効にする（TAMPxE を 1 にセット）必要があります。これによって、RTC_TAMPx 入力の値がタンパ検出を示している間に、アプリケーションがバックアップレジスタにデータを書き込むのを防ぎます。これは、RTC_TAMPx の入力でのレベル検出に相当します。

注： **タンパ検出は、V_{DD} 電源がオフのときでも有効です。バックアップレジスタの不必要なリセットを避けるには、RTC_TAMPx が設定されているピンを外部で適切な信号レベルに接続しておく必要があります。**

RTC_TAMPx 入力でのフィルタを使ったレベル検出

フィルタを使ったレベル検出は、TAMPFLT を 0 以外の値にセットすることにより行われます。タンパ検出イベントは、（TAMPFLT に応じて）2、4 または 8 回のいずれかの連続したサンプルが TAMPxTRG ビットで指定するレベルで観測されたときに生成されます。

RTC_TAMPx 入力は、TAMPPUDIS が 1 にセットされて無効な状態になっていない限り、その状態がサンプリングされる前に I/O の内部プルアップ抵抗でプリチャージされています。プリチャージの継続時間は TAMPPRCH ビットによって決定され、RTC_TAMPx 入力ピンにおけるより大きな容量を持たせることができます。

タンパ検出の遅延時間と、プルアップによる電力消費との間のトレードオフは、TAMPFREQ を使用してレベル検出のサンプリング周波数を決定することにより、最適化できます。

注： **プルアップ抵抗の電気特性については、データシートを参照してください。**

29.4.14 較正クロック出力

RTC_CR レジスタで COE ビットが 1 にセットされると、RTC_CALIB デバイス出力にリファレンスクロックが供給されます。

RTC_CR レジスタの COSEL ビットがリセットされ、かつ PREDIV_A = 0x7F である場合、RTC_CALIB 周波数は $f_{RTCCLK/64}$ です。これは 32.768 kHz の RTCCLK 周波数に対する 512 Hz の較正出力に相当します。立ち下がりエッジには軽いジッタがあるため、RTC_CALIB のデューティサイクルは不規則になります。したがって、立ち上がりエッジの使用が推奨されます。

COSEL がセットされ、かつ “PREDIV_S+1”がゼロ以外の 256 の倍数である場合（すなわち、PREDIV_S[7:0] = 0xFF）、RTC_CALIB 周波数は fRTCCLK/(256 * (PREDIV_A+1))となります。これは、RTCCLK 周波数が 32.768 kHz で、プリスケーラデフォルト値（PREDIV_A = Ox7F、PREDIV_S = 0xFF）に対する 1 Hz の較正出力に相当します。シフト操作が進行中の場合、1 Hz 出力が影響を受け、シフト操作中にトグルされる可能性があります（SHPF=1）。

注： **COSEL ビットがクリアされると、RTC_CALIB 出力は非同期プリスケーラの 6 番目のステージの出力になります。**

COSEL ビットがセットされると、RTC_CALIB 出力は同期プリスケーラの 8 番目のステージの出力になります。

29.4.15 アラーム出力

RTC_CR レジスタの OSEL[1:0] 制御ビットを使用してアラーム出力、RTC_ALARM を有効にし、出力となる機能を選択します。これらの機能は、RTC_ISR レジスタの該当するフラグの内容を反映します。

RTC_CR の POL 制御ビットは、POL が 1 にセットされているときに選択されたフラグビットの逆が出力されるよう、出力の極性を決定します。

アラーム出力

RTC_ALARM ピンは、RTC_OR レジスタを使用して、出力オープンドレインまたは出力プッシュプルに設定できます。

注： **RTC_ALARM 出力が有効になると、この設定は、RTC_CALIB（COE ビットは無視され、クリアされたまま）の設定よりも優先されます。**

29.5 RTC 低電力モード

表 181. 低消費電力モードが RTC に与える影響

モード	説明
SLEEP	影響なし。 RTC 割込みによって、デバイスは SLEEP モードから復帰します。
低電力 RUN	影響はありません。
低電力 SLEEP	影響はありません。RTC 割込みによって、デバイスは低電力 SLEEP モードから復帰します。
STOP 0	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC アラーム、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップにより、デバイスは STOP モードから復帰します。
STOP 1	
STOP 2	
STANDBY	RTC クロックソースが LSE または LSI の場合、RTC はアクティブのままです。RTC アラーム、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップにより、デバイスは STANDBY モードから復帰します。
SHUTDOWN	RTC クロックソースが LSE の場合、RTC はアクティブのままです。RTC アラーム、RTC タンパイベント、RTC タイムスタンプイベント、RTC ウェイクアップにより、デバイスは SHUTDOWN モードから復帰します。

29.6 RTC 割込み

すべての RTC 割込みは、EXTI コントローラに接続されています。セクション 14：拡張割込み／イベントコントローラ（EXTI）を参照してください。

表 182. 割込み制御ビット

割込みイベント	イベントフラグ	有効制御ビット	SLEEP モードの終了	STOP モードの終了	STANDBY モードの終了
アラーム A	ALRAF	ALRAIE	可能	はい(1)	あり (1)
アラーム B	ALRBF	ALRBIE	可能	あり (1)	あり (1)
RTC_TS 入力（タイムスタンプ）	TSF	TSIE	可能	あり (1)	あり (1)
RTC_TAMP1 入力検出	TAMP1F	TAMPIE	可能	あり (1)	あり (1)
RTC_TAMP2 入力検出	TAMP2F	TAMPIE	可能	あり (1)	あり (1)
RTC_TAMP3 入力検出	TAMP3F	TAMPIE	可能	あり (1)	あり (1)
ウェイクアップタイマ割込み	WUTF	WUTIE	可能	あり (1)	あり (1)

1. STOP モードおよび STANDBY モードからのウェイクアップは、RTC クロックソースが LSE または LSI のときのみ可能です。

29.7 RTC レジスタ

レジスタの説明で使用されている略語のリストについては、リファレンスマニュアルの 60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスすることができます。

29.7.1 RTC 時刻レジスタ（RTC_TR）

RTC_TR は、カレンダ時刻シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。920 ページのカレンダの初期化と設定 および 921 ページのカレンダの読出しを参照してください。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x00

バックアップ ドメインリセット値：0x0000 0000

システムリセット：BYPSHAD = 0 の場合、0x0000 0000 です。BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

29.7.2 RTC 日付レジスタ（RTC_DR）

RTC_DR は、カレンダ日付シャドウレジスタです。このレジスタは、必ず初期化モードで書き込む必要があります。920 ページのカレンダの初期化と設定 および 921 ページのカレンダの読出しを参照してください。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x04

バックアップ ドメインリセット値：0x0000 2101

システムリセット：BYPSHAD = 0 の場合、0x0000 2101 です。BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]				YU[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **YT[3:0]**：BCD 形式での年の十の位

ビット 19:16 **YU[3:0]**：BCD 形式での年の一の位

ビット 15:13 **WDU[2:0]**：曜日
000：禁止
001：月曜日
.....
111：日曜日

ビット 12 **MT**：BCD 形式での月の十の位

ビット 11:8 **MU[3:0]**：BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **DT[1:0]**：BCD 形式での日の十の位

ビット 3:0 **DU[3:0]**：BCD 形式での日の一の位

29.7.3 RTC 制御レジスタ（RTC_CR）

アドレスオフセット：0x08

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSE	COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H
							rw	rw	rw	rw	rw	rw	rw	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	Res.	FMT	BYPS HAD	REFCKON	TSEDGE	WUCKSEL[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **ITSE**：内部イベントでのタイムスタンプイネーブル

0：内部イベントでのタイムスタンプは無効です。
1：内部イベントでのタイムスタンプは有効です。

ビット 23 **COE**：較正出力イネーブル

このビットは、RTC_CALIB 出力を有効にします。

0：較正出力は無効です。
1：較正出力は有効です。

ビット 22:21 **OSEL[1:0]**：出力選択

これらのビットは、RTC_ALARM 出力に送られるフラグの選択に使用します。

00：出力は無効です。
01：アラーム A 出力は有効です。
10：アラーム B 出力は有効です。
11：ウェイクアップ出力は有効です。

ビット 20 **POL**：出力極性

このビットは、RTC_ALARM 出力の極性の設定に使用します。

0：ALRAF/ALRBF/WUTF がアサートされると、このピンがハイになります（OSEL[1:0] に応じて）。
1：ALRAF/ALRBF/WUTF がアサートされると、このピンがローになります（OSEL[1:0] に応じて）。

ビット 19 **COSEL**：較正出力選択

COE = 1 のとき、このビットによって RTC_CALIB に出力される信号を選択します。

0：較正出力は 512 Hz です（デフォルトのプリスケーラ設定）
1：較正出力は 1 Hz です（デフォルトのプリスケーラ設定）

これらの周波数は、RTCCLK が 32.768 kHz で、プリスケーラがデフォルト値（PREDIV_A = 127 および PREDIV_S = 255）の場合に有効です。セクション 29.4.14：較正クロック出力を参照してください。

ビット 18 **BKP**：バックアップ

このビットは、サマータイムの変更を実施したか否かを記憶しておくため、ユーザが書き込むことができます。

ビット 17 **SUB1H**：1 時間差し引き（冬時間変更）

このビットをセットすると、現在時刻が 0 でない場合にカレンダ時刻から 1 時間を差し引きます。このビットは常に 0 として読み出されます。

現在時間が 0 のときにこのビットをセットしても、影響はありません。

0：影響なし。
1：現在時刻から 1 時間差し引きます。これは、初期化モード以外の冬時間変更に使用できます。

ビット 16 **ADD1H**：1 時間加算（サマータイム変更）

このビットをセットすると、カレンダ時刻に 1 時間加算します。このビットは常に 0 として読み出されます。

0：影響なし。

1：現在時刻に 1 時間加算します。これは、初期化モード以外のサマータイム変更に使用できます。

ビット 15 **TSIE**：タイムスタンプ割込みイネーブル

0：タイムスタンプ割込みは無効です。

1：タイムスタンプ割込みは有効です。

ビット 14 **WUTIE**：ウェイクアップタイマ割込みイネーブル

0：ウェイクアップタイマ割込みは無効です。

1：ウェイクアップタイマ割込みは有効です。

ビット 13 **ALRBIE**：アラーム B 割込みは有効です。

0：アラーム B 割込みは無効です。

1：アラーム B 割込みは有効です。

ビット 12 **ALRAIE**：アラーム A 割込みイネーブル

0：アラーム A 割込みは無効です。

1：アラーム A 割込みは有効です。

ビット 11 **TSE**：タイムスタンプイネーブル

0：タイムスタンプは無効です。

1：タイムスタンプは有効です。

ビット 10 **WUTE**：ウェイクアップタイマイネーブル

0：ウェイクアップタイマは無効です。

1：ウェイクアップタイマは有効です。

注： ウェイクアップタイマが無効の場合は、再度有効にする前に WUTWF=1 になるまで待ちます。

ビット 9 **ALRBE**：アラーム B イネーブル

0：アラーム B は無効です。

1：アラーム B は有効です。

ビット 8 **ALRAE：**アラーム A イネーブル

0：アラーム A は無効です。

1：アラーム A は有効です。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **FMT**：時間形式

0：24 時間／日形式

1：AM／PM 時間形式

ビット 5 **BYPSHAD**：シャドウレジスタをバイパスします。

0：カレンダ値は（RTC_SSR、RTC_TR、RTC_DR から読み出す場合）、シャドウレジスタから取得され、これらは 2 RTCCLK サイクルごとに 1 回更新されます。

1：カレンダ値は（RTC_SSR、RTC_TR、RTC_DR から読み出す場合）、カレンダカウンタから直接取得されます。

注： APB クロックの周波数が RTCCLK の 7 倍未満である場合、BYPSHAD は“1”にセットする必要があります。

ビット 4 **REFCKON**：RTC_REFIN リファレンスクロック検出イネーブル（50 または 60 Hz）

0：RTC_REFIN 検出は無効です。
1：RTC_REFIN 検出は有効です。

注： PREDIV_S は 0x00FF である必要があります。

ビット 3 **TSEDGE**：タイムスタンプイベントアクティブエッジ

0：RTC_TS 入力の立ち上がりエッジによってタイムスタンプイベントを生成します。
1：RTC_TS 入力の立ち下がりエッジによってタイムスタンプイベントを生成します。
不要な TSF 設定を回避するため、TSEDGE が変化した場合には TSE をリセットする必要があります。

ビット 2:0 **WUCKSEL[2:0]**：ウェイクアップクロック選択

000：RTC/16 クロックが選択されます。
001：RTC/8 クロックが選択されます。
010：RTC/4 クロックが選択されます。
011：RTC/2 クロックが選択されます。
10x：ck_spre（通常は 1 Hz）クロックが選択されます。
11x：ck_spre（通常は 1 Hz）クロックが選択され、2^{16} が WUT カウンタ値に加算されます（下記注を参照）。

注： 初期化モード（RTC_ISR/INITF = 1）の場合のみ、このレジスタのビット 7、6、4 が書き込めます。

WUT = ウェイクアップユニットカウンタ値。WUT = (0x0000～0xFFFF) + 0x10000（WUCKSEL[2:1] = 11 の場合追加されます。）

このレジスタのビット 2～0 は、RTC_CR WUTE ビット = 0 かつ RTC_ISR WUTWF ビット = 1 の場合にのみ書き込めます。

カレンダの時間項目のインクリメント中は時間を変更しないことが推奨されます。カレンダの時間項目のインクリメントがマスクされる可能性があるためです。

ADD1H および SUB1H の変更は、次の秒から有効になります。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

注意： TSE は、TSEDGE が変更されたらリセットし、TSF の不要なセットを回避する必要があります。

29.7.4 RTC 初期化とステータスレジスタ（RTC_ISR）

このレジスタは、書込み保護されています（RTC_ISR[13:8] ビットを除く）。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x0C

バックアップ ドメインリセット値：0x0000 0007

システムリセット：0 にクリアされる INIT、INITF、RSF ビット以外は影響されません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSF	RECALPF
														rc_w0	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAMP3F	TAMP2F	TAMP1F	TSOVF	TSF	WUTF	ALRBF	ALRAF	INIT	INITF	RSF	INITS	SHPF	WUTWF	ALRBWF	ALRAWF
rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rw	r	rc_w0	r	r	r	r	r

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **ITSF**：内部タイムスタンプフラグ

このフラグは、内部イベントでタイムスタンプが発生したときに、ハードウェアによってセットされます。

このフラグは、0 を書き込むことでソフトウェアによってクリアされ、両方のビットに 0 を書き込むことで TSF ビットとともにクリアする必要があります。

ビット 16 **RECALPF**：再較正保留フラグ

ソフトウェアによって RTC_CALR レジスタに書込みが行われると、RECALPF ステータスフラグが自動的に“1”にセットされ、RTC_CALR レジスタがブロックされたことを示します。新たな較正設定が認識されると、このビットは“0”に戻ります。動作中の再較正を参照してください。

ビット 15 **TAMP3F**：RTC_TAMP3 検出フラグ

このフラグは、RTC_TAMP3 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 14 **TAMP2F**：RTC_TAMP2 検出フラグ

このフラグは、RTC_TAMP2 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 13 **TAMP1F**：RTC_TAMP1 検出フラグ

このフラグは、RTC_TAMP1 入力にタンパ検出イベントが検出されたときに、ハードウェアによってセットされます。

ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 12 **TSOVF**：タイムスタンプオーバーフローフラグ

このフラグは、TSF が既にセットされている間にタイムスタンプイベントが発生したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。TSOVF は、TSF ビットをクリアした後、チェックしてからクリアすることが推奨されます。そうしないと、TSF ビットがクリアされる直前にタイムスタンプイベントが発生した場合、オーバーフローを見逃す可能性があります。

ビット 11 **TSF**：タイムスタンプフラグ

このフラグは、タイムスタンプイベントが発生したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。ITSF フラグがセットされている場合は、TSF は両方のビットに 0 を書き込むことで、ITSF とともにクリアする必要があります。

ビット 10 **WUTF**：ウェイクアップタイマフラグ

このフラグは、ウェイクアップ自動再ロードカウンタが 0 に到達したときに、ハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

このフラグは、WUTF が再び 1 にセットされる前、RTCCLK 1.5 周期以上前にソフトウェアでクリアする必要があります。

ビット 9 **ALRBF**：アラーム B フラグ

このフラグは、時刻／日付レジスタ（RTC_TR および RTC_DR）がアラーム B レジスタ（RTC_ALRMBR）と一致したときにハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 8 **ALRAF**：アラーム A フラグ

このフラグは、時刻／日付レジスタ（RTC_TR および RTC_DR）がアラーム A レジスタ（RTC_ALRMAR）と一致したときにハードウェアによってセットされます。

このフラグは、ソフトウェアで 0 を書き込むことによってクリアされます。

ビット 7 **INIT**：初期化モード

0：フリーランニングモード

1：時刻と日付レジスタ（RTC_TR と RTC_DR）、およびプリスケーラレジスタ（RTC_PRER）のプログラムに使用する初期化モードです。INIT がリセットされると、カウンタは停止し、新しい値からカウントし始めます。

ビット 6 **INITF**：初期化フラグ

このビットが 1 にセットされると、RTC は初期化状態となり、時刻、日付およびプリスケーラレジスタが更新できます。

0：カレンダレジスタを更新できません。

1：カレンダレジスタを更新できます。

ビット 5 **RSF**：レジスタ同期フラグ

このビットは、カレンダレジスタがシャドウレジスタ（RTC_SSR、RTC_TR、および RTC_DR）にコピーされるたびにハードウェアによってセットされます。このビットは、シフト操作が保留中（SHPF = 1）に初期化モードで、またはバイパスシャドウレジスタモード（BYPSHAD = 1）で、ハードウェアによってクリアされます。このビットは、ソフトウェアでクリアすることもできます。

初期化モードでソフトウェアまたはハードウェアによってクリアされます。

0：カレンダシャドウレジスタはまだ同期していません。

1：カレンダシャドウレジスタは同期しています。

ビット 4 **INITS**：初期化ステータスフラグ

このビットは、カレンダの年の項目が 0 ではないとき（バックアップ ドメインリセット状態）にハードウェアによってセットされます。

0：カレンダは初期化されていません。

1：カレンダは初期化されています。

ビット 3 **SHPF**：シフト操作保留

0：保留中のシフト操作はありません。

1：保留中のシフト操作があります。

このフラグは、RTC_SHIFTR への書込みによってシフト操作が開始された直後に、ハードウェアによってセットされます。該当するシフト操作が実行されると、ハードウェアによってクリアされます。SHPF ビットに書き込んでも影響はありません。

ビット 2 **WUTWF**：ウェイクアップタイマ書込みフラグ

このビットは、ハードウェアによって WUTE ビットが RTC_CR で 0 にセットされた後で 2 RTCCLK サイクルまでセットされ、WUTE ビットが 1 にセットされた後で 2 RTCCLK サイクルまでクリアされます。ウェイクアップタイマ値は、WUTE ビットがクリアされ、WUTWF がセットされたときに変更できます。

0：ウェイクアップタイマ設定は更新できません。

1：ウェイクアップタイマ設定は更新できます。

ビット 1 **ALRBWF**：アラーム B 書込みフラグ

このビットは、RTC_CR で ALRBE ビットが 0 にセットされた後、アラーム B 値が変更可能な時にハードウェアによってセットされます。

初期化モードでハードウェアによってクリアされます。

0：アラーム B は更新できません。

1：アラーム B は更新できます。

ビット 0 **ALRAWF**：アラーム A 書込みフラグ

このビットは、RTC_CR で ALRAE ビットが 0 にセットされた後、アラーム A 値が変更可能な時にハードウェアによってセットされます。

初期化モードでハードウェアによってクリアされます。

0：アラーム A は更新できません。

1：アラーム A は更新できます。

注： ALRAF、ALRBF、WUTF、および TSF ビットは、0 にプログラムされてから 2 APB クロックサイクル後にクリアされます。

29.7.5 RTC プリスケーラレジスタ（RTC_PRER）

このレジスタは、必ず初期化モードで書き込む必要があります。初期化は、2 回の書込みアクセスに分けて行う必要があります。920 ページのカレンダの初期化と設定を参照してください。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x10

バックアップ ドメインリセット値：0x007F：00FF

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]						
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PREDIV_S[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22:16 **PREDIV_A[6:0]**：非同期プリスケーラ分周比

非同期分周比です。

ck_apre 周波数 = RTCCLK 周波数／(PREDIV_A+1)

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **PREDIV_S[14:0]**：同期プリスケーラ分周比

同期分周比です。

ck_spre 周波数 = ck_apre 周波数／(PREDIV_S+1)

29.7.6 RTC ウェイクアップタイマレジスタ（RTC_WUTR）

このレジスタは、RTC_ISR の WUTWF が 1 にセットされているときにのみ書き込めます。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x14

バックアップ ドメインリセット値：0x0000 FFFF

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **WUT[15:0]**：ウェイクアップ自動再ロード値ビット

ウェイクアップタイマが有効（WUTE が 1 にセット）なとき、ck_wut の（WUT[15:0] + 1）サイクルごとに WUTF フラグがセットされます。ck_wut の周期は、RTC_CR レジスタの WUCKSEL[2:0] ビットで選択します。

WUCKSEL[2] = 1 のとき、ウェイクアップタイマは 17 ビットとなり、WUCKSEL[1] が事実上タイマに再ロードされる最上位ビットである WUT[16] となります。

WUTF の最初のアサートは、WUTE がセットされてから ck_wut の（WUT+1）サイクル後に発生します。

WUCKSEL[2:0] = 011 (RTCCLK/2) のときに WUT[15:0] を 0x0000 にセットすることはできません。

29.7.7 RTC アラーム A レジスタ（RTC_ALRMAR）

このレジスタは、RTC_ISR の ALRAWF が 1 にセットされた場合、または初期化モードの場合にのみ書き込めます。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x1C

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **MSK4**：アラーム A 日付マスク
0：日付／曜日が一致すると、アラーム A がセットされます。
1：アラーム A の比較では日付／曜日を無視します。

ビット 30 **WDSEL**：曜日選択
0：DU[3:0] は日付の一の位を表します。
1：DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]**：BCD 形式での日の十の位

ビット 27:24 **DU[3:0]**：BCD 形式での日の一の位または曜日

ビット 23 **MSK3**：アラーム A 時マスク
0：時が一致すると、アラーム A がセットされます。
1：アラーム A の比較では時を無視します。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 **MSK2**：アラーム A 分マスク
0：分が一致すると、アラーム A がセットされます。
1：アラーム A の比較では分を無視します。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 **MSK1**：アラーム A 秒マスク
0：秒が一致すると、アラーム A がセットされます。
1：アラーム A の比較では秒を無視します。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

29.7.8 RTC アラーム B レジスタ（RTC_ALRMBR）

このレジスタは、RTC_ISR の ALRBWF が 1 にセットされた場合、または初期化モードの場合にのみ書き込めます。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x20

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **MSK4**：アラーム B 日付マスク
0：日付／曜日が一致すると、アラーム B がセットされます。
1：アラーム B の比較では日付／曜日を無視します。

ビット 30 **WDSEL**：曜日選択
0：DU[3:0] は日付の一の位を表します。
1：DU[3:0] は曜日を表します。DT[1:0] は無視されます。

ビット 29:28 **DT[1:0]**：BCD 形式での日の十の位

ビット 27:24 **DU[3:0]**：BCD 形式での日の一の位または曜日

ビット 23 **MSK3**：アラーム B 時マスク
0：時が一致すると、アラーム B がセットされます。
1：アラーム B の比較では時を無視します。

ビット 22 **PM**：AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 **MSK2**：アラーム B 分マスク
0：分が一致すると、アラーム B がセットされます。
1：アラーム B の比較では分を無視します。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 **MSK1**：アラーム 秒マスク
0：秒が一致すると、アラーム B がセットされます。
1：アラーム B の比較では秒を無視します。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

29.7.9 RTC 書込み保護レジスタ（RTC_WPR）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
								w	w	w	w	w	w	w	w

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **KEY[7:0]**：書込み保護キー

このバイトはソフトウェアで書き込まれます。

このバイトを読み出すと常に 0x00 が返されます。

RTC レジスタの書込み保護解除方法については、RTC レジスタ書込み保護を参照してください。

29.7.10 RTC サブセカンドレジスタ（RTC_SSR）

アドレスオフセット：0x28

バックアップ ドメインリセット値：0x0000 0000

システムリセット：BYPSHAD = 0 の場合、0x0000 0000 です。BYPSHAD = 1 の場合、影響を受けません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **SS[15:0]**：サブセカンド値

SS[15:0] は、同期プリスケーラのカウンタ内の値です。秒の小数部は、下の式によって与えられます。

秒の小数部 = (PREDIV_S - SS) / (PREDIV_S + 1)

注： SS は、シフト操作後に限り、PREDIV_S より大きな値となる場合があります。この場合、正確な時刻／日付は、RTC_TR/RTC_DR で示される値よりも 1 秒少ない値となります。

29.7.11 RTC シフト制御レジスタ（RTC_SHIFTR）

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x2C

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
w															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SUBFS[14:0]														
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31 **ADD1S**：1 秒加算

0：影響なし。

1：時計／カレンダに 1 秒加算します。

このビットは書込み専用であり、常に 0 として読み出されます。シフト操作が保留中（RTC_ISR で SHPF = 1）の場合、このビットに書き込んでも影響はありません。

この機能は、SUBFS（下記説明を参照）と共に使用されることを想定しており、不可分操作で、効果的に時計に秒の小数部を加算することを目的としています。

ビット 30:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **SUBFS[14:0]**：秒の小数部差し引き

このビットは書込み専用であり、常に 0 として読み出されます。シフト操作が保留中（RTC_ISR で SHPF = 1）の場合、このビットに書き込んでも影響はありません。

SUBFS に書き込まれた値は、同期プリスケーラのカウンタに加算されます。このカウンタはカウントダウンしていくので、この操作によって、次の式で求める値が効果的にクロックから差し引き（遅延）されます。

遅れ（秒）= SUBFS / (PREDIV_S + 1)

ADD1S 機能が SUBFS と共に用いられた場合、秒の小数部を効果的にクロックに加算する（クロックを進める）ことができ、実際のクロックの進みは次の式のとおりとなります。

進み（秒）= (1 - (SUBFS / (PREDIV_S + 1)))

注： SUBFS に書き込むことにより RSF はクリアされます。その後、ソフトウェアが RSF = 1 まで待つことにより、シャドウレジスタがシフトされた時刻で更新されていることが確実になります。

29.7.12 RTC タイムスタンプ時刻レジスタ（RTC_TSTR）

このレジスタの内容は、RTC_ISR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。

アドレスオフセット：0x30

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	r	r	r	r	r	r	r		r	r	r	r	r	r	r

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **PM :** AM/PM 表記
0：AM または 24 時間形式
1：PM

ビット 21:20 **HT[1:0]**：BCD 形式での時の十の位

ビット 19:16 **HU[3:0]**：BCD 形式での時の一の位

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **MNT[2:0]**：BCD 形式での分の十の位

ビット 11:8 **MNU[3:0]**：BCD 形式での分の一の位

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **ST[2:0]**：BCD 形式での秒の十の位

ビット 3:0 **SU[3:0]**：BCD 形式での秒の一の位

29.7.13 RTC タイムスタンプ日付レジスタ（RTC_TSDR）

このレジスタの内容は、RTC_ISR で TSF が 1 にセットされている場合にのみ有効です。また、TSF ビットがリセットされるとクリアされます。

アドレスオフセット：0x34

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
r	r	r	r	r	r	r	r			r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:13 **WDU[2:0]**：曜日

ビット 12 **MT**：BCD 形式での月の十の位

ビット 11:8 **MU[3:0]**：BCD 形式での月の一の位

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **DT[1:0]**：BCD 形式での日の十の位

ビット 3:0 **DU[3:0]**：BCD 形式での日の一の位

29.7.14 RTC タイムスタンプサブセカンドレジスタ（RTC_TSSSR）

このレジスタの内容は、RTC_ISR/TSF がセットされている場合にのみ有効です。また、RTC_ISR/TSF ビットがリセットされるとクリアされます。

アドレスオフセット：0x38

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **SS[15:0]**：サブセカンド値

SS[15:0] は、タイムスタンプイベントが発生したときの同期プリスケーラのカウンタの値です。

29.7.15 RTC 較正レジスタ（RTC_CALR）

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x3C

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALP	CALW8	CALW16	Res.	Res.	Res.	Res.	CALM[8:0]								
rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **CALP**：RTC 周波数を 488.5 ppm 増加

0：RTCCLK パルスは加えられません。

1：RTCCLK の 2^{11} パルスごとに 1 パルス効果的に挿入されます（周波数が 488.5 ppm 増加）。

この機能は、CALM と共に使用されることを想定しており、カレンダの周波数を高分解能で下げることができます。入力周波数が 32768 Hz の場合、32 秒枠の間に追加される RTCCLK パルスの数は次のように算出されます：(512 * CALP) - CALM

セクション 29.4.11：RTC の高精度デジタル較正を参照してください。

ビット 14 **CALW8：**8 秒較正サイクル周期の使用

CALW8 が“1”にセットされると、8 秒較正サイクル周期が選択されます。

注： CALW8 = 1 の場合、CALM[1:0] は“00”に固定されます。セクション 29.4.11：RTC の高精度デジタル較正 を参照してください。

ビット 13 **CALW16：**16 秒較正サイクル周期の使用

CALW16 が“1”にセットされると、16 秒較正サイクル周期が選択されます。CALW8 = 1 の場合、このビットを“1”にセットすることはできません。

注： CALW16 = 1 の場合、CALM[0] は“0”に固定されます。セクション 29.4.11：RTC の高精度デジタル較正を参照してください。

ビット 12:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **CALM[8:0]**：較正マイナス

RTCCLK 2^{20} パルス（入力周波数が 32768 Hz の場合 32 秒）内の CALM をマスクすることによって、カレンダの周波数が下げられます。この方法により、カレンダの周波数を 0.9537 ppm の分解能で下げることができます。

カレンダの周波数を上げるには、この機能を CALP と共に使用する必要があります。セクション 29.4.11：924 ページのRTC の高精度デジタル較正を参照してください。

29.7.16 RTC タンパ設定レジスタ（RTC_TAMPCR）

アドレスオフセット：0x40

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3MF	TAMP3NOERASE	TAMP3IE	TAMP2MF	TAMP2NOERASE	TAMP2IE	TAMP1MF	TAMP1NOERASE	TAMP1IE
							rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAMPPUDIS	TAMPPRCH[1:0]		TAMPFLT[1:0]		TAMPFREQ[2:0]			TAMPTS	TAMP3TRG	TAMP3E	TAMP2TRG	TAMP2E	TAMPIE	TAMP1TRG	TAMP1E
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **TAMP3MF**：タンパ 3 マスクフラグ

0:タンパ 3 イベントでトリガイベントが生成され、次のタンパイベント検出を許可するために TAMP3F をソフトウェアでクリアする必要があります。

1：タンパ 3 イベントによってトリガイベントが生成されます。TAMP3F はマスクされ、ハードウェアで内部的にクリアされます。バックアップレジスタは消去されません。

注： TAMP3MF がセットされている場合、タンパ 3 割込みを有効にすることはできません。

ビット 23 **TAMP3NOERASE**：タンパ 3 消去なし

0：タンパ 3 イベントでバックアップレジスタは消去されます。

1：タンパ 3 イベントでバックアップレジスタは消去されません。

ビット 22 **TAMP3IE**：タンパ 3 割込みイネーブル

0：TAMPIE = 0 の場合、タンパ 3 割込みは無効です。

1：タンパ 3 割込みは有効です。

ビット 21 **TAMP2MF**：タンパ 2 マスクフラグ

0:タンパ 2 イベントでトリガイベントが生成され、次のタンパイベント検出を許可するために TAMP2F をソフトウェアでクリアする必要があります。

1：タンパ 2 イベントによってトリガイベントが生成されます。TAMP2F はマスクされ、ハードウェアで内部的にクリアされます。バックアップレジスタは消去されません。

注： TAMP2MF がセットされている場合、タンパ 2 割込みを有効にすることはできません。

ビット 20 **TAMP2NOERASE**：タンパ 2 消去なし

0：タンパ 2 イベントでバックアップレジスタは消去されます。

1：タンパ 2 イベントでバックアップレジスタは消去されません。

ビット 19 **TAMP2IE**：タンパ 2 割込みイネーブル

0：TAMPIE = 0 の場合、タンパ 2 割込みは無効です。

1：タンパ 2 割込みは有効です。

ビット 18 **TAMP1MF**：タンパ 1 マスクフラグ

0:タンパ 1 イベントでトリガイベントが生成され、次のタンパイベント検出を許可するために TAMP1F をソフトウェアでクリアする必要があります。

1：タンパ 1 イベントによってトリガイベントが生成されます。TAMP1F はマスクされ、ハードウェアによって内部でクリアされます。バックアップレジスタは消去されません。

注： TAMP1MF がセットされている場合、タンパ 1 割込みを有効にすることはできません。

ビット 17 **TAMP1NOERASE**：タンパ 1 消去なし

0：タンパ 1 イベントでバックアップレジスタは消去されます。

1：タンパ 1 イベントでバックアップレジスタは消去されません。

ビット 16 **TAMP1IE**：タンパ 1 割込みイネーブル

0：TAMPIE = 0 の場合、タンパ 1 割込みは無効です。

1：タンパ 1 割込みは有効です。

ビット 15 **TAMPPUDIS**：RTC_TAMPx プルアップディセーブル

このビットにより、毎回のサンプリング前に各 RTC_TAMPx ピンをプリチャージするかどうか決定します。

0：サンプリング前に RTC_TAMPx ピンをプリチャージします（内部プルアップを有効化）。

1：RTC_TAMPx ピンのプリチャージを無効化します。

ビット 14:13 **TAMPPRCH[1:0]**：RTC_TAMPx プリチャージ時間

これらのビットにより、各サンプリングの前にプルアップを有効化している時間を決定します。TAMPPRCH は、各 RTC_TAMPx 入力に対して有効です。

0x0：1 RTCCLK サイクル

0x1：2 RTCCLK サイクル

0x2：4 RTCCLK サイクル

0x3：8 RTCCLK サイクル

ビット 12:11 **TAMPFLT[1:0]**：RTC_TAMPx フィルタカウント

これらのビットにより、タンパイベントをアクティブにするのに必要な指定のレベル（TAMP*TRG）での連続サンプリングの数を決定します。TAMPFLT は、各 RTC_TAMPx 入力に対して有効です。

0x0：RTC_TAMPx 入力がアクティブレベル（RTC_TAMPx 入力における内部プルアップ無し）に遷移するときのエッジで、タンパイベントがアクティブになります。

0x1：アクティブレベルでの連続した 2 回のサンプリングの後、タンパイベントがアクティブになります。

0x2：アクティブレベルでの連続した 4 回のサンプリングの後、タンパイベントがアクティブになります。

0x3：アクティブレベルでの連続した 8 回のサンプリングの後、タンパイベントがアクティブになります。

ビット 10:8 **TAMPFREQ[2:0]**：タンパサンプリング周波数

各 RTC_TAMPx 入力がサンプリングされる周波数を決定します。

0x0：RTCCLK / 32768（RTCCLK = 32768 Hz の場合 1 Hz）

0x1：RTCCLK / 16384（RTCCLK = 32768 Hz の場合 2 Hz）

0x2：RTCCLK / 8192（RTCCLK = 32768 Hz の場合 4 Hz）

0x3：RTCCLK / 4096（RTCCLK = 32768 Hz の場合 8 Hz）

0x4：RTCCLK / 2048（RTCCLK = 32768 Hz の場合 16 Hz）

0x5：RTCCLK / 1024（RTCCLK = 32768 Hz の場合 32 Hz）

0x6：RTCCLK / 512（RTCCLK = 32768 Hz の場合 64 Hz）

0x7：RTCCLK / 256（RTCCLK = 32768 Hz の場合 128 Hz）

ビット 7 **TAMPTS**：タンパ検出イベント時のタイムスタンプの有効化

0：タンパ検出イベントがあっても、タイムスタンプは保存されません。

1：タンパ検出イベント時、タイムスタンプが保存されます。

RTC_CR レジスタで TSE = 0 であっても TAMPTS は有効です。

ビット 6 **TAMP3TRG**：RTC_TAMP3 入力のアクティブレベル

TAMPFLT ≠ 00 の場合：

0：RTC_TAMP3 入力がローのままのとき、タンパ検出イベントがトリガされます。

1：RTC_TAMP3 入力がハイのままのとき、タンパ検出イベントがトリガされます。

TAMPFLT = 00 の場合

0：RTC_TAMP3 入力の立ち上がりエッジでタンパ検出イベントがトリガされます。

1：RTC_TAMP3 入力の立ち下がりエッジでタンパ検出イベントがトリガされます。

ビット 5 **TAMP3E**：RTC_TAMP3 検出イネーブル

0：RTC_TAMP3 入力検出は無効です。

1：RTC_TAMP3 入力検出は有効です。

ビット 4 **TAMP2TRG**：RTC_TAMP2 入力のアクティブレベル

TAMPFLT ! = 00 の場合

0：RTC_TAMP2 入力がローのままのとき、タンパ検出イベントがトリガされます。

1：RTC_TAMP2 入力がハイのままのとき、タンパ検出イベントがトリガされます。

TAMPFLT = 00 の場合

0：RTC_TAMP2 入力の立ち上がりエッジでタンパ検出イベントがトリガされます。

1：RTC_TAMP2 入力の立ち下がりエッジでタンパ検出イベントがトリガされます。

ビット 3 **TAMP2E**：RTC_TAMP2 入力検出イネーブル

0：RTC_TAMP2 検出は無効です。

1：RTC_TAMP2 検出は有効です。

ビット 2 **TAMPIE**：タンパ割込みイネーブル

0：タンパ割込みは無効です。

1：タンパ割込みは有効です。

注： このビットは、TAMPxIE レベルにかかわらず、すべてのタンパピンイベントに対する割込みを有効にします。このビットがクリアされた場合、TAMPxIE をセットすることによって、各タンパイベントの割込みを個別に有効にすることができます。

ビット 1 **TAMP1TRG**：RTC_TAMP1 入力のアクティブレベル

TAMPFLT ! = 00 の場合

0：RTC_TAMP1 入力がローのままのとき、タンパ検出イベントがトリガされます。

1：RTC_TAMP1 入力がハイのままのとき、タンパ検出イベントがトリガされます。

TAMPFLT = 00 の場合

0：RTC_TAMP1 入力の立ち上がりエッジでタンパ検出イベントがトリガされます。

1：RTC_TAMP1 入力の立ち下がりエッジでタンパ検出イベントがトリガされます。

ビット 0 **TAMP1E**：RTC_TAMP1 入力検出イネーブル

0：RTC_TAMP1 検出は無効です。

1：RTC_TAMP1 検出は有効です。

注意： TAMPFLT = 0 の場合、TAMPxE ビットは、TAMPxTRG が変更されたらリセットし、TAMPxF の不要なセットを回避する必要があります。

29.7.17 RTC アラーム A サブセカンドレジスタ（RTC_ALRMASSR）

このレジスタは、RTC_CR レジスタの ALRAIE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

このレジスタは書込み保護されています。書込みアクセスの手順は、920 ページのRTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x44

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MASKSS[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SS[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 MASKSS[3:0]：このビットから始まる最上位ビットのマスク

0：アラーム A に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます（他の項目が一致していることを前提として）。
1：アラーム A の比較では SS[14:1] を無視します。SS[0] のみ比較されます。
2：アラーム A の比較では SS[14:2] を無視します。SS[1:0] のみ比較されます。
3：アラーム A の比較では SS[14:3] を無視します。SS[2:0] のみ比較されます。
.....
12：アラーム A の比較では SS[14:12] を無視します。SS[11:0] が比較されます。
13：アラーム A の比較では SS[14:13] を無視します。SS[12:0] が比較されます。
14：アラーム A の比較では SS[14] を無視します。SS[13:0] が比較されます。
15：アラームをアクティブにするには、15 の全ての SS ビットを比較し一致する必要があります。
同期カウンタのオーバーフロービット（ビット 15）が比較されることはありません。このビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 SS[14:0]：サブセカンド値

この値が同期プリスケーラのカウンタの内容と比較され、アラーム A をアクティブ化するかどうかを決定します。0〜MASKSS-1 のビットだけが比較されます。

29.7.18 RTC アラーム B サブセカンドレジスタ（RTC_ALRMBSSR）

このレジスタは、RTC_CR レジスタの ALRBE がリセットされた場合、または初期化モードの場合にのみ書き込めます。

このレジスタは書込み保護されています。書込みアクセスの手順は、セクション ：RTC レジスタ書込み保護を参照してください。

アドレスオフセット：0x48

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MASKSS[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SS[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:24 **MASKSS[3:0]**：このビットから始まる最上位ビットのマスク

0x0：アラーム B に対してサブセカンドを比較しません。このアラームは秒の位がインクリメントされたときにセットされます（他の項目が一致していることを前提として）。
0x1：アラーム B の比較では SS[14:1] を無視します。SS[0] のみ比較されます。
0x2：アラーム B の比較では SS[14:2] を無視します。SS[1:0] のみ比較されます。
0x3：アラーム B の比較では SS[14:3] を無視します。SS[2:0] のみ比較されます。
.....
0xC：アラーム B の比較では SS[14:12] を無視します。SS[11:0] が比較されます。
0xD：アラーム B の比較では SS[14:13] を無視します。SS[12:0] が比較されます。
0xE：アラーム B の比較では SS[14] を無視します。SS[13:0] が比較されます。
0xF：アラームをアクティブにするには、15 の全ての SS ビットを比較し一致する必要があります。
同期カウンタのオーバーフロービット（ビット 15）が比較されることはありません。このビットは、シフト操作後に限り、0 でなくなる場合があります。

ビット 23:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:0 **SS[14:0]**：サブセカンド値

この値が同期プリスケーラのカウンタの内容と比較され、アラーム B をアクティブ化するかどうかを決定します。0～MASKSS-1 のビットだけが比較されます。

29.7.19 RTC オプションレジスタ （RTC_OR）

アドレスオフセット：0x4C

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RTC_ OUT_ RMP	RTC_ ALARM_ TYPE
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **RTC_OUT_RMP**：RTC_OUT 再配置

このビットを設定することで、以下のように、PB2 の RTC 出力を再配置することが可能になります。

RTC_OUT_RMP = “0”（STM32WB55 でのみ使用可能）

OSEL が“00”以外のとき、PC13 に RTC_ALARM が出力されます。

OSEL が“00”かつ COE が“1”のとき、PC13 に RTC_CALIB が出力されます。

RTC_OUT_RMP = 1 の場合

OSEL が“00”以外かつ COE が“0”のとき、PB2に RTC_ALARM が出力されます。

OSEL が“00”かつ COE が“1”のとき、PB2に RTC_CALIB が出力されます。

OSEL が“00”以外かつ COE が“1”のとき、PB2 に RTC_CALIB が出力され、（STM32WB55 でのみ）PC13 に RTC_ALARM が出力されます。

ビット 0 **RTC_ALARM_TYPE**：PC13 の RTC_ALARM 出力形式

このビットは、ソフトウェアによってセット／クリアされます。

0：RTC_ALARM は、PC13 に配置される場合は、オープンドレイン出力です。

1：RTC_ALARM は、PC13 に配置される場合は、プッシュプル出力です。

注： このビットは STM32WB35 では予約済みです。

29.7.20 RTC バックアップレジスタ（RTC_BKPxR）

アドレスオフセット：0x50 ~ 0x9C

バックアップ ドメインリセット値：0x0000 0000

システムリセット：影響なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

ビット 31:0 BKP[31:0]

アプリケーションはこれらのレジスタに対してデータの読み書きをすることができます。

これらのレジスタは、V_{DD} がオフになった場合、V_{BAT} によって電源が供給されるため、システムリセットによりリセットされず、デバイスが低電力モードで動作する場合、レジスタの内容は有効なまま保持されます。

このレジスタは、TAMPxF=1 である限り、タンパ検出イベントでリセットされます。

29.7.21 RTC レジスタマップ

表 183. RTC レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**RTC_TR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]				Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	リセット値										0	0	0	0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x04	**RTC_DR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]				YU[3:0]				WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
	リセット値									0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1			0	0	0	0	0	1
0x08	**RTC_CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSE	COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H	TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	Res.	FMT	BYPSHAD	REFCKON	TSEDGE	WUCKSEL[2:0		
	リセット値								0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x0C	**RTC_ISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSF	RECALPF	TAMP3F	TAMP2F	TAMP1F	TSOVF	TSF	WUTF	ALRBF	ALRAF	INIT	INITF	RSF	INITS	SHPF	WUT WF	ALRBWF	ALRAWF
	リセット値															0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x10	**RTC_PRER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]							PREDIV_S[14:0]															
	リセット値										1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0x14	**RTC_WUTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUT[15:0]															
	リセット値																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x1C	**RTC_ALRMAR**	MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**RTC_ALRMBR**	MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK2	ST[2:0]			SU[3:0]			
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	**RTC_WPR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY							
	リセット値																									0	0	0	0	0	0	0	0
0x28	**RTC_SSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**RTC_SHIFTR**	ADD1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBFS[14:0]														
	リセット値	0																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	**RTC_TSTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]				Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	リセット値										0	0	0	0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x34	**RTC_TSDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDU[1:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
	リセット値																	0	0	0	0	0	0	0	0			0	0	0	0	0	0

表 183. RTC レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x38	**RTC_TSSSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	**RTC_ CALR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALP	CALW8	CALW16	Res.	Res.	Res.	Res.	CALM[8:0]								
	リセット値																	0	0	0					0	0	0	0	0	0	0	0	0
0x40	**RTC_TAMPCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP3MF	TAMP3NOERASE	TAMP3IE	TAMP2MF	TAMP2NOERASE	TAMP2IE	TAMP1MF	TAMP1NOERASE	TAMP1IE	TAMPPUDIS	TAMPPRCH[1:0]		TAMPFLT[1:0]		TAMPFREQ[2:0]			TAMPTS	TAMP3TRG	TAMP3E	TAMP2TRG	TAMP2E	TAMPIE	TAMP1TRG	TAMP1E
	リセット値								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	**RTC_ ALRMASSR**	Res.	Res.	Res.	Res.	MASKSS [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]														
	リセット値					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	**RTC_ALRMBSSR**	Res.	Res.	Res.	Res.	MASKSS [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]														
	リセット値					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	**RTC_ OR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RTC_OUT_RMP	RTC_ALARM_TYPE
	リセット値																															0	0
0x50 to 0x9C	**RTC_BKP0R**	BKP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	to **RTC_BKP19R**	BKP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

30 独立型ウォッチドッグ（IWDG）

30.1 概要

デバイス は、内蔵ウォッチドッグペリフェラルを搭載しており、使用上、高い安全レベル、タイミングの正確さ、および柔軟性を兼ね備えています。独立型ウォッチドッグペリフェラルは、ソフトウェア障害による誤動作を検出および解決し、カウンタが所定のタイムアウト値に達すると、システムリセットをトリガします。

独立型ウォッチドッグ（IWDG）は、独自の低速クロック（LSI）によってクロック供給されるので、メインクロックに障害があってもアクティブなままです。

IWDG は、メインアプリケーションの外部で、完全に独立したプロセスとして実行するウォッチドッグが必要な場合に最適ですが、タイミング精度が低いという制約があります。ウィンドウ型ウォッチドッグの詳細については、セクション 31：システムウィンドウ型ウォッチドッグ（WWDG）を参照してください。

30.2 IWDG の主な機能

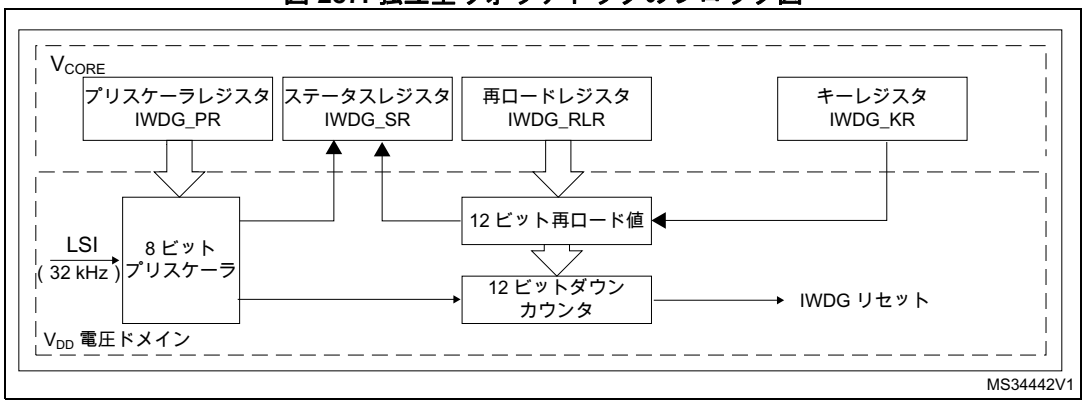
- フリーランニングダウンカウンタ
- 独立した RC オシレータからのクロック供給（STANDBY および STOP モードで動作可能）
- 条件付きリセット
  - ダウンカウンタの値が 0x000 より小さくなったときにリセット（ウォッチドッグが有効な場合）。
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）。

30.3 IWDG の機能説明

30.3.1 IWDG ブロック図

図 287 に、独立型ウォッチドッグモジュールの機能ブロックを示します。

図 287. 独立型ウォッチドッグのブロック図



1. レジスタインタフェースは V_{CORE} 電圧ドメインにあります。ウォッチドッグ機能は、STOP モードおよび STANDBY モードでも機能する V_{DD} 電圧ドメインに配置されています。

IWDG キーレジスタ（IWDG_KR）に値 0x0000 CCCC が書き込まれることによって独立型ウォッチドッグが開始すると、カウンタはリセット値 0xFFF からカウントダウンを開始します。カウント値の終わり（0x000）に達すると、リセット信号が生成されます（IWDG_reset）。

IWDG キーレジスタ（IWDG_KR）にキー値 0x0000 AAAA が書き込まれると、IWDG_RLR の値がカウンタに再ロードされ、ウォッチドッグのリセットが防止されます。

一度起動すると、IWDG は停止できません。

30.3.2 ウィンドウオプション

IWDG は、IWDG ウィンドウレジスタ（IWDG_WINR）に適切なウィンドウをセットすることによって、ウィンドウ型ウォッチドッグとしても機能します。

カウンタがIWDG ウィンドウレジスタ（IWDG_WINR）に格納された値より大きい間に再ロード操作が行われると、リセットが生成されます。

IWDG ウィンドウレジスタ（IWDG_WINR）のデフォルト値は 0x0000 0FFF です。この値が更新されない場合は、ウィンドウオプションは無効にされます。

ウィンドウ値が変わるとすぐに再ロード操作が行われ、ダウンカウンタをIWDG 再ロードレジスタ（IWDG_RLR）値にリセットし、次の再ロードを生成するためのサイクル数計算を容易にします。

ウィンドウオプションが有効な場合の IWDG の設定

1. IWDG キーレジスタ（IWDG_KR）に 0x0000 CCCC を書き込むことによって、IWDG を有効にします。
2. IWDG キーレジスタ（IWDG_KR）に 0x0000 5555 を書き込むことによって、レジスタのアクセスを有効にします。
3. IWDG プリスケーラレジスタ（IWDG_PR）を 0 から 7 までプログラムすることによって、IWDG のプリスケーラに書込みを行います。
4. IWDG 再ロードレジスタ（IWDG_RLR）に書き込みます。
5. レジスタが更新されるのを待ちます（IWDG_SR = 0x0000 0000）。
6. IWDG ウィンドウレジスタ（IWDG_WINR）に書き込みます。これにより、IWDG 再ロードレジスタ（IWDG_RLR）のカウンタ値が自動的にリフレッシュされます。

注： **ウィンドウ値を書き込むことで、IWDG ステータスレジスタ（IWDG_SR）が “0x0000 0000”にセットされた時点でカウンタ値を RLR でリフレッシュすることができます。**

ウィンドウオプションが無効な場合の IWDG の設定

ウィンドウオプションが使用されていない場合、IWDG は以下のように設定することができます。

1. IWDG キーレジスタ（IWDG_KR）に 0x0000 CCCC を書き込むことによって、IWDG を有効にします。
2. IWDG キーレジスタ（IWDG_KR）に 0x0000 5555 を書き込むことによって、レジスタのアクセスを有効にします。
3. IWDG プリスケーラレジスタ（IWDG_PR）を 0 から 7 までプログラムすることによって、プリスケーラに書込みを行います。
4. IWDG 再ロードレジスタ（IWDG_RLR）に書き込みます。
5. レジスタが更新されるのを待ちます（IWDG_SR = 0x0000 0000）。
6. カウンタ値を IWDG_RLR（IWDG_KR = 0x0000 AAAA）でリフレッシュします。

30.3.3 ハードウェアウォッチドッグ

デバイスのオプションビットを使って「ハードウェアウォッチドッグ」機能が有効化されると、ウォッチドッグは電源投入時に自動的に有効になり、カウンタがカウントの終わりに達する前にソフトウェアによって IWDG キーレジスタ（IWDG_KR）へ書き込まれない限り、またはダウンカウンタがウィンドウ外で再ロードされた場合は、リセットを生成します。

30.3.4 低消費電力モード

IWDG_STOP および IWDG_STBY のオプション設定に応じて、IWDG では STOP モード中および STANDBY モード中にそれぞれカウントを継続または停止できます。STOP または STANDBY モード中に IWDG を実行したままにすると、このモードからデバイスをウェイクアップできます。詳細については、ユーザオプションバイトおよび読出し保護オプションバイトを参照してください。

30.3.5 レジスタのアクセス保護

IWDG プリスケーラレジスタ（IWDG_PR）、IWDG 再ロードレジスタ（IWDG_RLR）、および IWDG ウィンドウレジスタ（IWDG_WINR）への書込みアクセスは保護されます。これらを変更するには、まず、IWDG キーレジスタ（IWDG_KR）にコード 0x0000 5555 を書き込む必要があります。このレジスタに別の値で書込みアクセスすると、シーケンスがブレークされ、レジスタへのアクセスが再び保護されます。これは、再ロード操作（0x0000 AAAA の書込み）の場合に相当します。

ステータスレジスタは、プリスケーラの更新、あるいはダウンカウンタ再ロード値の更新やウィンドウ値の更新が行われていることを示すために使用されます。

30.3.6 デバッグモード

CPU1 がデバッグモードになると（コアは停止状態）、IWDG カウンタは、DBGMCU フリーズレジスタの対応するビットの設定に応じて、通常どおりに動作を続けるか、または停止します。

30.4 IWDG レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

30.4.1 IWDG キーレジスタ（IWDG_KR）

アドレスオフセット：0x00

リセット値：0x0000 0000（STANDBY モードによりリセットされる）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **KEY[15:0]**：キー値（書込み専用、読出しでは 0x0000）

これらのビットには、ソフトウェアによって一定間隔でキー値 0xAAAA が書き込まれなければなりません。そうしないと、カウンタが 0 に達した時点でウォッチドッグがリセットを生成します。

キー値 0x5555 を書き込むことによって、IWDG_PR、IWDG_RLR、および IWDG_WINR レジスタへのアクセスが可能になります（セクション 30.3.5：レジスタのアクセス保護を参照）。

キー値 0xCCCC を書き込むと、ウォッチドッグが開始します（ハードウェアウォッチドッグオプションが選択されている場合を除く）。

30.4.2 IWDG プリスケーラレジスタ（IWDG_PR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
													rw	rw	rw

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **PR[2:0]**：プリスケーラ分周回路

これらのビットは、書込みアクセス保護されています（セクション 30.3.5 : レジスタのアクセス保護を参照）。カウンタクロックを供給するプリスケーラ分周回路を選択するようにソフトウェアで書き込まれます。プリスケーラ分周回路を変更できるようにするには、IWDG ステータスレジスタ（IWDG_SR）の PVU ビットがリセットされる必要があります。

000：4 分周
001：8 分周
010：16 分周
011：32 分周
100：64 分周
101：128 分周
110：256 分周
111：256 分周

注： このレジスタを読み出すと、V_{DD} 電圧ドメインからプリスケーラ値が返されます。このレジスタへの書込み操作が進行中の場合には、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG ステータスレジスタ（IWDG_SR）の PVU ビットがリセットされているときのみとなります。

30.4.3 IWDG 再ロードレジスタ（IWDG_RLR）

アドレスオフセット：0x08

リセット値：0x0000 0FFF（STANDBY モードによりリセットされる）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	RL[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **RL[11:0]**：ウォッチドッグカウンタ再ロード値

これらのビットは、書込みアクセス保護されています（レジスタのアクセス保護を参照）。IWDG キーレジスタ（IWDG_KR）に値 0xAAAA が書き込まれるたびにウォッチドッグカウンタにロードされる値を定義するために、ソフトウェアで書き込まれます。ウォッチドッグカウンタは、この値からカウントダウンします。タイムアウトまでの時間は、この値とクロックプリスケーラによって決まります。タイムアウトに関する詳細はデータシートを参照してください。

再ロード値を変更できるようにするには、IWDG ステータスレジスタ（IWDG_SR）の RVU ビットがリセットされる必要があります。

注： このレジスタを読み出すと、V_{DD} 電圧ドメインから再ロード値が返されます。このレジスタへの書込み操作が進行中の場合には、この値は最新でないか、有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG ステータスレジスタ（IWDG_SR）の RVU ビットがリセットされているときのみとなります。

30.4.4 IWDG ステータスレジスタ（IWDG_SR）

アドレスオフセット：0x0C

リセット値：0x0000 0000（STANDBY モードによりリセットされません）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WVU	RVU	PVU
													r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **WVU**：ウォッチドッグカウンタウィンドウ値の更新

このビットは、ウィンドウ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 サイクルかかります）。

ウィンドウ値は、WVU ビットがリセットされているときのみ更新できます。

ビット 1 **RVU**：ウォッチドッグカウンタ再ロード値の更新

このビットは、再ロード値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインで再ロード値の更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 サイクルかかります）。

再ロード値は、RVU ビットがリセットされているときのみ更新できます。

ビット 0 **PVU**：ウォッチドッグプリスケーラ値の更新

このビットは、プリスケーラ値の更新が進行中であることを示すために、ハードウェアによってセットされます。V_{DD} 電圧ドメインでプリスケーラの更新操作が完了したときに、ハードウェアによってリセットされます（最大 5 サイクルかかります）。

プリスケーラ値は、PVU ビットがリセットされているときのみ更新できます。

注： **複数の再ロード値、プリスケーラ値、またはウィンドウ値がアプリケーションで使用される場合は、それぞれ、再ロード値を変更する前に RVU ビットがリセットされるまで待つか、プリスケーラ値を変更する前に PVU ビットがリセットされるまで待つか、またはウィンドウ値を変更する前に WVU ビットがリセットされるまで待つ必要があります。ただし、プリスケーラ値、再ロード値、またはウィンドウ値を更新した後は、RVU、PVU 、または WVU がリセットされるのを待たずに、コード実行を続けることができます（低消費電力モードに入った場合を除く）。**

30.4.5 IWDG ウィンドウレジスタ（IWDG_WINR）

アドレスオフセット：0x10

リセット値：0x0000 0FFF（STANDBY モードによりリセットされる）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	WIN[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **WIN[11:0]**：ウォッチドッグカウンタウィンドウ値

これらのビットは書込みアクセス保護されており（セクション 30.3.5 を参照）、ダウンカウンタと比較されるウィンドウ値の上限を格納しています。

リセットを防ぐには、カウンタの値がウィンドウレジスタの値よりも小さく、0x0 よりも大きい間にダウンカウンタを再ロードする必要があります。

再ロード値を変更できるようにするには、IWDG ステータスレジスタ（IWDG_SR）の WVU ビットがリセットされる必要があります。

注： このレジスタを読み出すと、V_{DD} 電圧ドメインから再ロード値が返されます。このレジスタへの書込み操作が進行中の場合には、この値は有効でないことがあります。このため、このレジスタから読み出された値が有効なのは、IWDG ステータスレジスタ（IWDG_SR）の WVU ビットがリセットされているときのみとなります。

30.4.6 IWDG レジスタマップ

次の表に、IWDG レジスタマップとリセット値を示します。

表 184. IWDG レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**IWDG_KR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**IWDG_PR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
	リセット値																														0	0	0
0x08	**IWDG_RLR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RL[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1
0x0C	**IWDG_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WVU	RVU	PVU
	リセット値																														0	0	0
0x10	**IWDG_WINR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WIN[11:0]											
	リセット値																					1	1	1	1	1	1	1	1	1	1	1	1

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

31 システムウィンドウ型ウォッチドッグ（WWDG）

31.1 概要

システムウィンドウ型ウォッチドッグ（WWDG）は、通常、外部の影響や予期しない論理条件などによって発生し、アプリケーションプログラムを正常なシーケンスから逸脱させるソフトウェア障害の発生を検出するために使用されます。

ウォッチドッグ回路は、T6 ビットがクリアされる前にプログラムがダウンカウンタの内容を更新しない限り、プログラムされた時間の経過後に MCU リセットを生成します。MCU リセットは、ダウンカウンタがウィンドウレジスタ値に達する前に 7 ビットのダウンカウンタの値（制御レジスタ内）がリフレッシュされた場合にも生成されます。このことは、限られた時間枠（time-window）の間にカウンタがリフレッシュされなければならないことを意味します。

WWDG クロックは、APB クロックから分周され、また設定可能な時間枠（time-window）があるので、これをプログラムしてアプリケーション動作の異常な進み・遅れを検出できます。

WWDG は、正確な時間枠内で反応するウォッチドッグが必要なアプリケーションに適しています。

31.2 WWDG の主な機能

- プログラム可能なフリーランニングダウンカウンタ
- 条件付きリセット
  - ダウンカウンタの値が 0x40 より小さくなったときにリセット（ウォッチドッグが有効な場合）。
  - ダウンカウンタがウィンドウ外で再ロードされた場合にリセット（ウォッチドッグが有効な場合）（図 289 を参照）。
- 早期ウェイクアップ割込み（EWI）：ダウンカウンタが 0x40 になったときにトリガ（それが有効であり、ウォッチドッグがアクティブな場合）

31.3 WWDG の機能説明

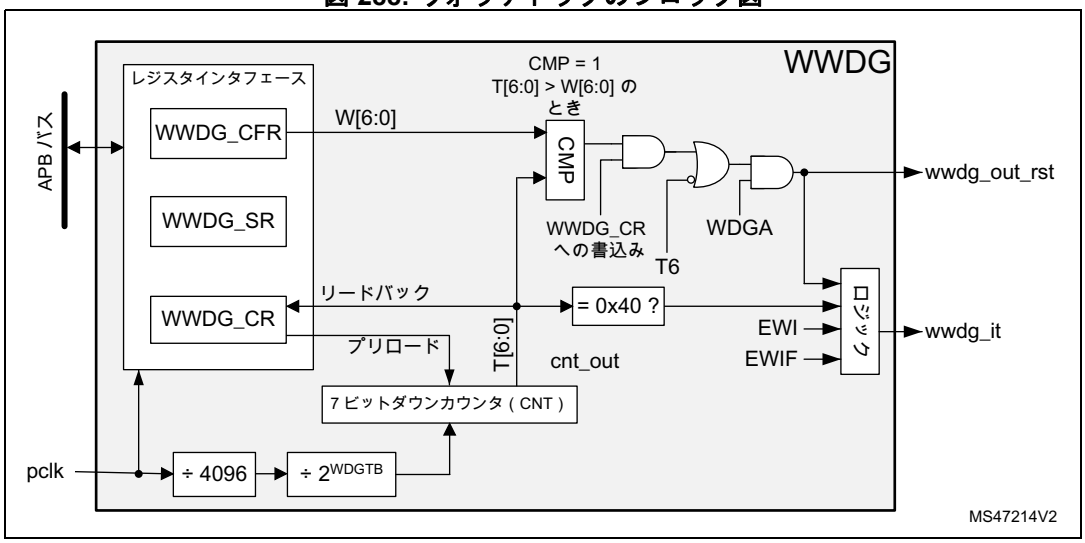
ウォッチドッグが有効な（WWDG_CR レジスタの WDGA ビットがセットされている）場合、7 ビットのダウンカウンタ（T[6:0] ビット）が 0x40 に達して 0x3F にデクリメントされた（T6 がクリアされた）時点で、リセットを開始します。カウンタがウィンドウレジスタに格納された値より大きい間にソフトウェアがカウンタを再ロードした場合にも、リセットが生成されます。

アプリケーションプログラムは、通常動作時には定期的に WWDG_CR レジスタへの書込みを行って、MCU リセットを防ぐ必要があります。この操作は、カウンタの値がウィンドウレジスタの値以下で、かつ 0x3F より高いときのみ、行えます。WWDG_CR レジスタに格納される値は、0xFF から 0xC0 の間でなければなりません。

WWDG のブロック図については、図 288 を参照してください。

31.3.1 WWDG ブロック図

図 288. ウォッチドッグのブロック図



31.3.2 ウォッチドッグの有効化

ユーザオプション WWDG_SW で “ソフトウェアウィンドウウォッチドッグ”を選択すると、リセット後、ウォッチドッグは常に無効です。これを有効にするには、WWDG_CR レジスタの WDGA ビットをセットします。この後は、リセット以外の方法でウォッチドッグを無効にすることはできません。

ユーザオプション WWDG_SW で “ハードウェアウィンドウウォッチドッグ”を選択すると、リセット後、ウォッチドッグは常に有効であり、無効にできません。

31.3.3 ダウンカウンタの制御

このダウンカウンタはフリーランニングであり、ウォッチドッグが無効状態であってもカウントダウンを続けます。ウォッチドッグを有効にするときには、T6 ビットをセットして、ただちにリセットが生成されるのを防ぐ必要があります。

T[5:0] ビットは、ウォッチドッグがリセットを生成するまでの時間遅延を表すインクリメント数を含みます。このタイミングは、WWDG_CR レジスタへの書込み時のプリスケーラの状態が不明なので最小値から最大値の間で変化します（図 289 参照）。WWDG 設定レジスタ（WWDG_CFR）はウィンドウの上限値を含みます。リセットを防ぐには、カウンタの値がウィンドウレジスタの値以下で、0x3F よりも大きい間にダウンカウンタを再ロードする必要があります。図 289 に、ウィンドウ型ウォッチドッグのプロセスを示します。

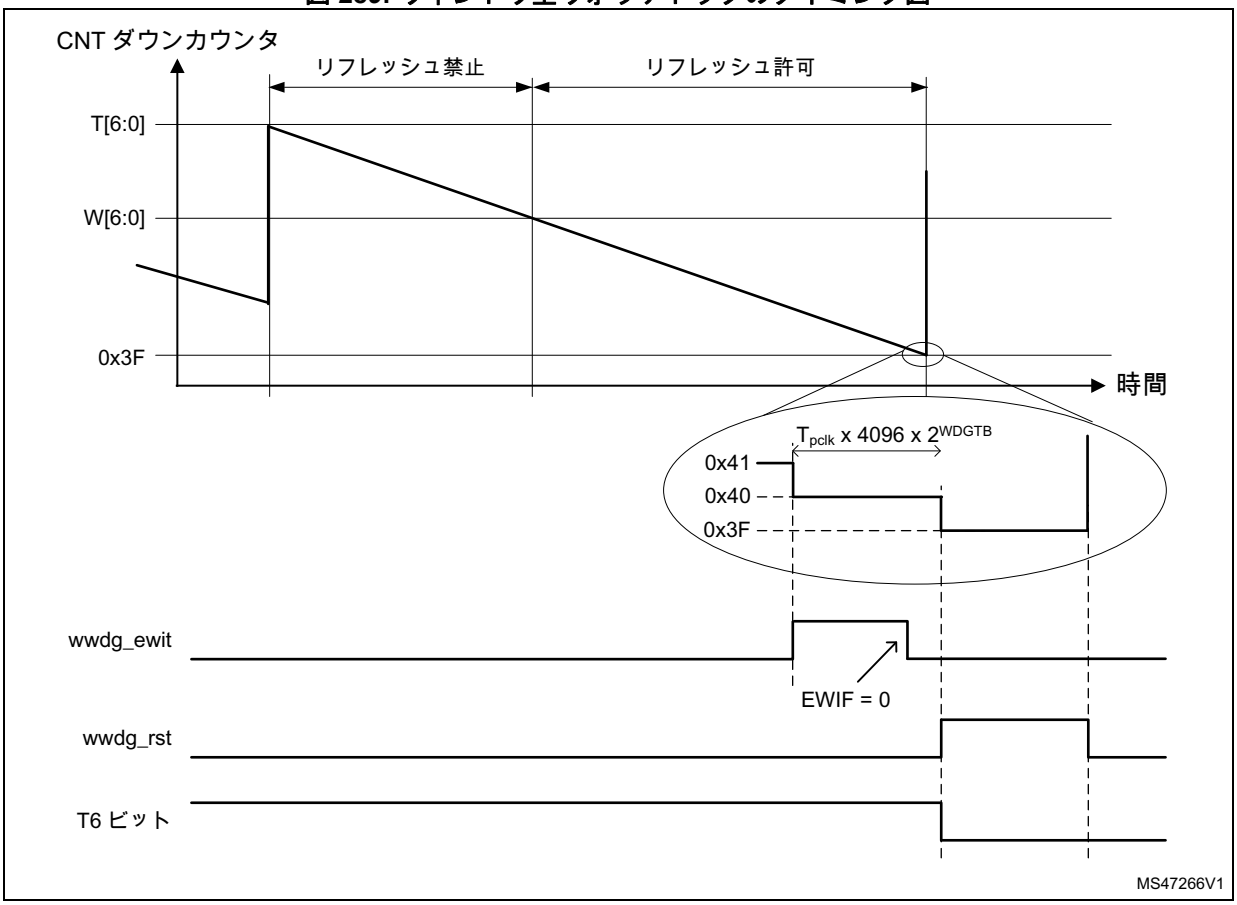
注： **T6 ビットを使用して、ソフトウェアリセットを生成することができます（WDGA ビットはセット、T6 ビットはクリアされる）。**

31.3.4 ウォッチドッグタイムアウトをプログラムする方法

図 289 の式を使用して、WWDG のタイムアウトを計算します。

警告： WWDG_CR レジスタに書き込むときには、ただちにリセットされるのを防ぐために、常に T6 ビットに 1 を書き込んでください。

図 289. ウィンドウ型ウォッチドッグのタイミング図



タイムアウト値は次の式で算出されます。

$$t_{WWDG} = t_{PCLK} \times 4096 \times 2^{WDGTB[2:0]} \times (T[5:0] + 1) \quad (ms)$$

ここで、

t_{WWDG}：WWDG タイムアウト

t_{PCLK}：APB クロック周期の測定値（ms）

4096：内部分周器に対応する値

たとえば、APB 周波数が 48 MHz の場合、WDGTB[2:0] は 3 にセットされ、T[5:0] は 63 にセットされます。

$$t_{WWDG} = (1/48000) \times 4096 \times 2^{3} \times (63 + 1) = 43.69ms$$

t_{WWDG} の最小値と最大値については、データシートを参照してください。

31.3.5 デバッグモード

デバイスがデバッグモードになると（プロセッサは停止状態）、WWDG カウンタは、DBG モジュールの設定ビットに応じて、通常どおりに動作を続けるか、または停止します。詳細については、セクション 41：デバッグサポート（DBG）を参照してください。

31.4 WWDG 割込み

リセットが生成される前に特定の安全処理やデータロギングを実施する必要がある場合は、早期ウェイクアップ割込み（EWI）が使用できます。早期ウェイクアップ割込みを有効にするには、アプリケーションは以下のことを実行する必要があります。

- WWDG_SR レジスタの EWIF ビットに 0 を書き込み、不要な保留割込みをクリアします。
- WWDG_CFR レジスタの EWI ビットに 1 を書き込み、割込みを有効にします。

ダウンカウンタ値が 0x40 に到達すると、ウォッチドッグ割込みが生成され、デバイスがリセットされる前に対応する割込みサービスルーチン（ISR）を使用して特定の処理（通信やデータロギングなど）をトリガすることができます。

アプリケーションによっては、EWI 割込みを使用して、WWDG リセットを生成せずにソフトウェアのシステムチェックやシステム復旧／グレースフルデグラデーションを管理することができます。この場合、対応する ISR で WWDG カウンタを再ロードし、WWDG リセットを回避してから必要な操作をトリガする必要があります。

ウォッチドッグ割込みは、WWDG_SR レジスタの EWIF ビットに“0”を書き込むことによってクリアされます。

注： **ウォッチドッグ割込みが（たとえば優先順位の高いタスクにおけるシステムロックなどによって）使用できない場合、最終的には WWDG リセットが生成されます。**

31.5 WWDG レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスすることができます。

31.5.1 WWDG 制御レジスタ（WWDG_CR）

アドレスオフセット：0x000

リセット値：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
								rs	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **WDGA**：有効化ビット

このビットは、ソフトウェアでセットされ、リセット後はハードウェアによってのみクリアされます。WDGA = 1 のとき、ウォッチドッグはリセットを生成できます。

0：ウォッチドッグは無効です。

1：ウォッチドッグは有効です。

ビット 6:0 **T[6:0]**：7 ビットカウンタ（MSB から LSB まで）

これらのビットは、ウォッチドッグカウンタの値を含みます。

（4096 x $2^{WDGTB[2:0]}$）PCLK サイクルごとにデクリメントされます。0x40 に達して 0x3F にデクリメントされると（T6 がクリアされると）、リセットが生成されます。

31.5.2 WWDG 設定レジスタ（WWDG_CFR）

アドレスオフセット：0x004

リセット値：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	WDGTB[2:0]			Res.	EWI	Res.	Res.	W[6:0]						
		rw	rw	rw		rs			rw	rw	rw	rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:11 **WDGTB[2:0]**：タイマベース

プリスケーラのタイムベースは、次のように変更できます。

000：CK カウンタクロック（PCLK/4096）1 分周

001：CK カウンタクロック（PCLK/4096）2 分周

010：CK カウンタクロック（PCLK/4096）4 分周

011：CK カウンタクロック（PCLK/4096）8 分周

100：CK カウンタクロック（PCLK/4096）16 分周

101：CK カウンタクロック（PCLK/4096）32 分周

110：CK カウンタクロック（PCLK/4096）64 分周

111：CK カウンタクロック（PCLK/4096）128 分周

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **EWI**：早期ウェイクアップ割込みイネーブル

ソフトウェアでセットされ、リセット後はハードウェアによってクリアされます。このビットがセットされているときには、カウンタの値が 0x40 に達したときに割込みが発生します。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **W[6:0]**：7 ビットウィンドウ値

これらのビットは、ダウンカウンタと比較されるウィンドウ値を含みます。

31.5.3 WWDG ステータスレジスタ（WWDG_SR）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
															rc_w0

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EWIF**：早期ウェイクアップ割込みフラグ

このビットは、カウンタの値が 0x40 に達したときにハードウェアによってセットされます。0 を書き込んでソフトウェアでクリアする必要があります。1 を書き込んでも、ビットの値は変化しません。このビットは、割込みが有効でない場合にもセットされます。

31.5.4 WWDG レジスタマップ

次の表に、WWDG レジスタマップとリセット値を示します。

表 185. WWDG レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	WWDG_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
	リセット値																									0	1	1	1	1	1	1	1
0x004	WWDG_CFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGTB [2:0]			Res.	EWI	Res.	Res.	W[6:0]						
	リセット値																			0	0	0		0			1	1	1	1	1	1	1
0x008	WWDG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
	リセット値																																0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

32 I²C（Inter-integrated circuit）インタフェース

32.1 概要

I²C（Inter-integrated circuit）バスインタフェースは、マイクロコントローラとシリアル I²C バス間の通信を処理します。マルチマスタ機能を備え、すべての I²C バス固有のシーケンシング、プロトコル、アービトレーション、およびタイミングを制御します。標準モード（Sm）、高速モード（Fm）、および高速モードプラス（Fm+）をサポートします。

また、SMBus（System Management Bus）および PMBus®（Power Management Bus）と互換性があります。

DMA を使用して、CPU の負荷を軽減できます。

32.2 I²C の主な機能

- I²C バス仕様 rev03 との互換性：
  - スレーブおよびマスタモード
  - マルチマスタ機能
  - 標準モード（最大 100 kHz）
  - 高速モード（最大 400 kHz）
  - 高速モードプラス（最大 1 MHz）
  - 7 ビットおよび 10 ビットアドレッシングモード
  - 複数の 7 ビットスレーブアドレス（2 つのアドレス、1 つは設定可能なマスク付き）
  - すべての 7 ビットアドレス確認応答モード
  - 同報（General call）コール
  - プログラム可能なセットアップおよびホールド時間
  - 使いやすいイベント管理
  - クロックストレッチオプション
  - ソフトウェアリセット
- DMA 機能付きの 1 バイトバッファ
- プログラム可能なアナログおよびデジタルノイズフィルタ

製品の実装によっては、次の追加機能も使用できます（セクション 32.3 を参照）：

- SMBus 仕様 rev 3.0 との互換性：
  - ハードウェア PEC（Packet Error Checking）の生成と ACK 制御による確認
  - コマンドおよびデータ確認応答制御
  - アドレス解決プロトコル（ARP）サポート
  - ホストおよびデバイスのサポート
  - SMBus アラート
  - タイムアウトおよびアイドル条件の検出
- PMBus rev 1.3 標準との互換性
- 独立したクロック：独立したクロックソースの選択により、I2C の通信速度は PCLK の再プログラミングから独立
- アドレス一致時に STOP モードからウェイクアップ

32.3 I²C の実装

表 186. I²C の実装

I2C の機能(1)	I2C1	I2C3
7 ビットアドレスモード	X	X
10 ビットアドレスモード	X	X
標準モード（最大 100 kbit/s）	X	X
高速モード（最大 400 kbit/s）	X	X
20mA 出力駆動 I/O 搭載高速モードプラス（最大 1 Mbit/s）	X	X
独立クロック	X	X
SMBus/PMbus	X	X
アドレス一致時に STOP 0 / STOP 1 モードからのウェイクアップ	X	X
アドレス一致時に STOP 2 モードからのウェイクアップ	-	X

1. X : サポートされています。

32.4 I²C の機能詳細

データの送受信に加えて、このインタフェースは、データをシリアル形式からパラレル形式（およびその逆）に変換します。割込みは、ソフトウェアによって有効または無効にできます。このインタフェースは、データピン（SDA）とクロックピン（SCL）によって I2C バスに接続されます。標準（最大 100 kHz）、高速モード（最大 400 kHz）、または高速モードプラス（最大 1 MHz）の I²C バスで接続できます。

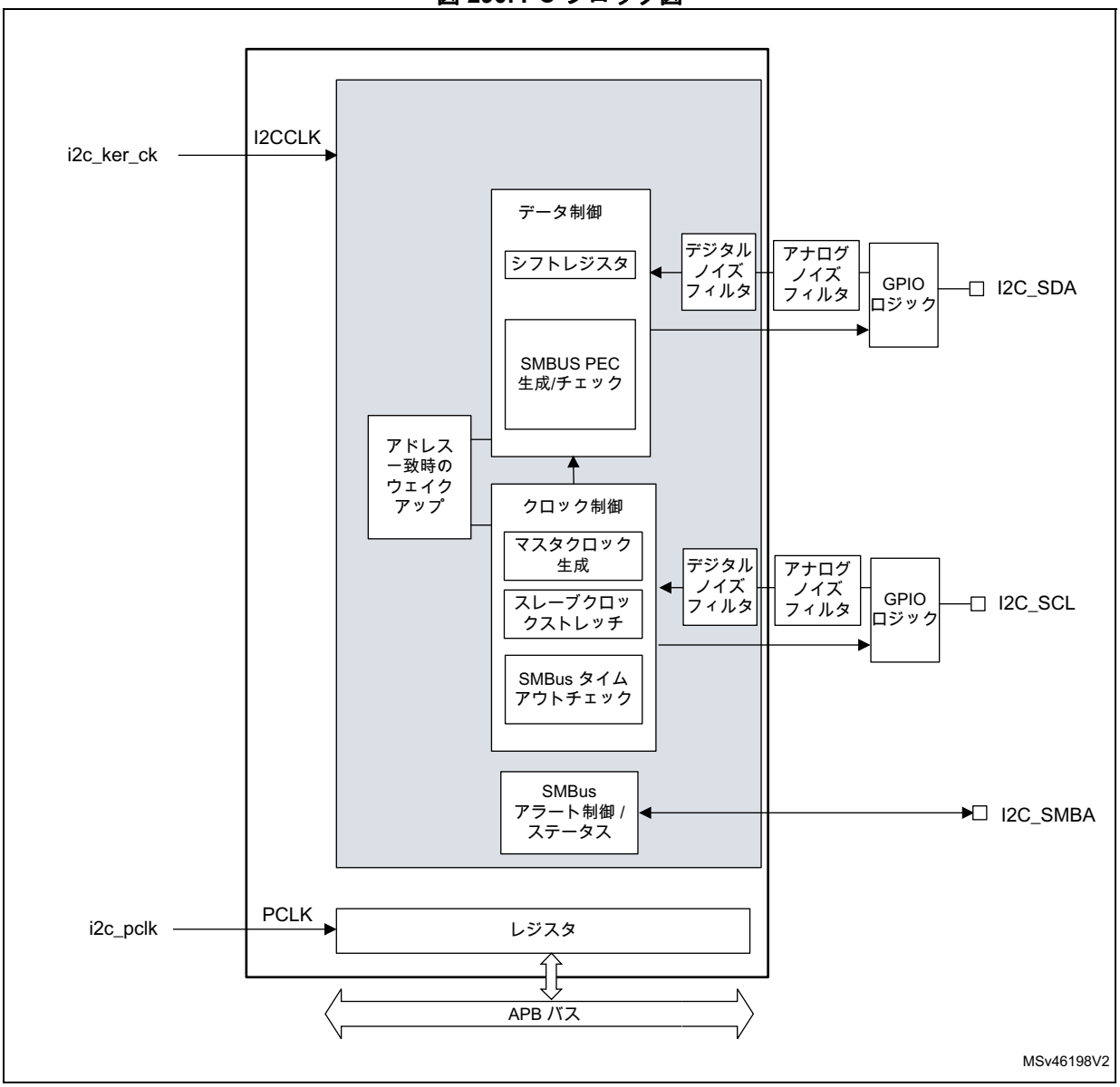
このインタフェースは、データ（SDA）ピンとクロック（SCL）ピンによって SMBus に接続することもできます。

SMBus 機能がサポートされる場合、オプションの SMBus アラートピン（SMBA）も使用できます。

32.4.1 I²C ブロック図

I²C インタフェースのブロック図を図 290 に示します。

図 290. I²C ブロック図



I²C は、独立したクロックソースによってクロック供給されるため、I²C は PCLK 周波数から独立して動作できます。

高速モードプラス動作のための 20 mA 出力電流駆動をサポートする I2C I/O では、駆動能力をシステム設定コントローラ（SYSCFG）の制御ビットで有効にします。セクション 32.3 : I2C の実装を参照してください。

32.4.2 I²C ピンおよび内部信号

表 187. I²C の入出力ピン

ピン名	信号タイプ	説明
I2C_SDA	双方向	I2C データ
I2C_SCL	双方向	I2C クロック
I2C_SMBA	双方向	SMBus アラート

表 188. I²C 内部入力／出力信号

内部信号名	信号タイプ	説明
i2c_ker_ck	入力	I²C カーネルクロック（本書では I2CCLK とも言います）
i2c_pclk	入力	I²C APB クロック
i2c_it	出力	I²C 割込み。割込みソースの全リストは、表 201 を参照してください。
i2c_rx_dma	出力	I²C 受信データ DMA リクエスト（I2C_RX）
i2c_tx_dma	出力	I²C 送信データ DMA リクエスト（I2C_TX）

32.4.3 I²C クロックの要件

I²C カーネルは I2CCLKによってクロック供給されます。

I2CCLK の周期 t_{I2CCLK} は、次の条件を満たす必要があります。

- $t_{I2CCLK} < (t_{LOW} - t_{filters}) / 4$
- $t_{I2CCLK} < t_{HIGH}$

ここで：

t_{LOW}：SCL ロー時間、および t_{HIGH}：SCL ハイ時間

$t_{filters}$：有効なときには、アナログフィルタとデジタルフィルタによる遅延の合計。

デジタルフィルタの遅延は、DNF x t_{I2CCLK} です。

PCLK のクロック周期 t_{PCLK} は、次の条件を満たす必要があります。

- $t_{PCLK} < 4/3\ t_{SCL}$（t_{SCL}: SCL 周期）

注意： **I²C カーネルが PCLKによってクロック供給されるとき、このクロックは t_{I2CCLK} の条件を満たす必要があります。**

32.4.4 モード選択

このインタフェースは、次の 4 つのモードのいずれかで動作できます：

- スレーブトランスミッタ
- スレーブレシーバ
- マスタトランスミッタ
- マスタレシーバ

デフォルトでは、スレーブモードで動作します。このインタフェースは、START コンディションを生成したときにはスレーブからマスタへ、アービトレーションの喪失または STOP 生成が発生したときにはマスタからスレーブへ自動的に切り替わるため、マルチマスタ機能を使用できます。

通信の流れ

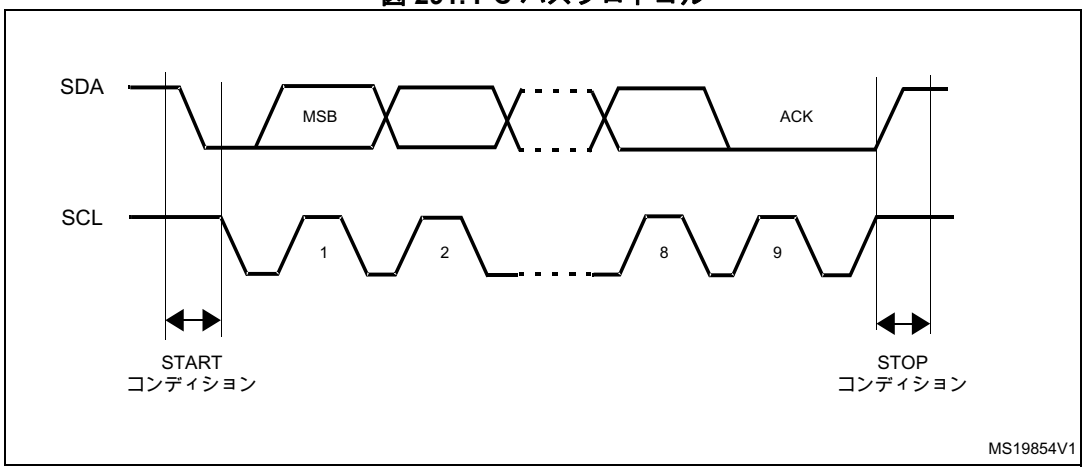
マスタモードでは、I²C インタフェースは、データ転送を開始し、クロック信号を生成します。シリアルデータ転送は、常に START コンディションで開始され、STOP コンディションで終わります。START および STOP コンディションは、マスタモードではソフトウェアによって生成されます。

スレーブモードでは、このインタフェースは、自己アドレス（7 または 10 ビット）と同報アドレスを認識できます。同報アドレスの検出は、ソフトウェアによって有効または無効にできます。予約済みの SMBus アドレスもソフトウェアによって有効にできます。

データとアドレスは、MSB ファーストの 8 ビットバイトとして転送されます。START コンディションの後に続く最初のバイト（7 ビットモードでは 1 バイト、10 ビットモードでは 2 バイト）にアドレスが含まれています。アドレスは、常にマスタモードで送信されます。

8 つの クロックサイクルのバイト転送の後には 9 番目のクロックパルスが続きます。その間に、レシーバはトランスミッタに確認応答ビットを送信する必要があります（図 291 を参照）。

図 291. I²C バスプロトコル



確認応答（Acknowledge）は、ソフトウェアによって有効または無効にできます。I²C インタフェースのアドレスは、ソフトウェアによって選択できます。

32.4.5 I²C の初期化

ペリフェラルの有効化と無効化

I²C ペリフェラルクロックは、クロックコントローラで設定して有効にする必要があります。その後 I²C は、I2C_CR1 レジスタの PE ビットをセットすることで有効にできます。

I²C が無効にされると（PE = 0）、I²C はソフトウェアリセットを実行します。詳細については、セクション 32.4.6 を参照してください。

ノイズフィルタ

I2C_CR1 レジスタの PE ビットをセットすることによって I²C ペリフェラルを有効にする前に、必要な場合は、ノイズフィルタを設定する必要があります。デフォルトでは、SDA および SCL 入力にアナログノイズフィルタがあります。このフィルタは I²C 仕様に準拠しており、高速モードおよび高速モードプラスで最大 50 ns のパルス幅を持つスパイクを抑制します。ANFOFF ビットをセットすることによって、このアナログフィルタを無効にし、I2C_CR1 レジスタの DNF[3:0] ビットを設定することによってデジタルフィルタを選択することができます。

デジタルフィルタが有効なときには、SCL または SDA ラインのレベルは、DNF x I2CCLK 周期より長く安定していた場合のみ、内部で変更されます。これにより、プログラム可能な 1～15 I2CCLK 周期の長さを持つスパイクを抑制できます。

表 189. アナログフィルタとデジタルフィルタの比較

-	アナログフィルタ	デジタルフィルタ
抑制されるスパイクのパルス幅	≥ 50 ns	長さを I²C ペリフェラルクロック 1 ～ 15 にプログラム可能
利点	STOP モードで使用可能	– プログラム可能な長さ : 追加のフィルタリング機能対標準要件 – 安定した長さ
欠点	温度、電圧、プロセスのばらつき	デジタルフィルタが有効なときには、アドレス一致時の STOP モードからのウェイクアップは使用できない

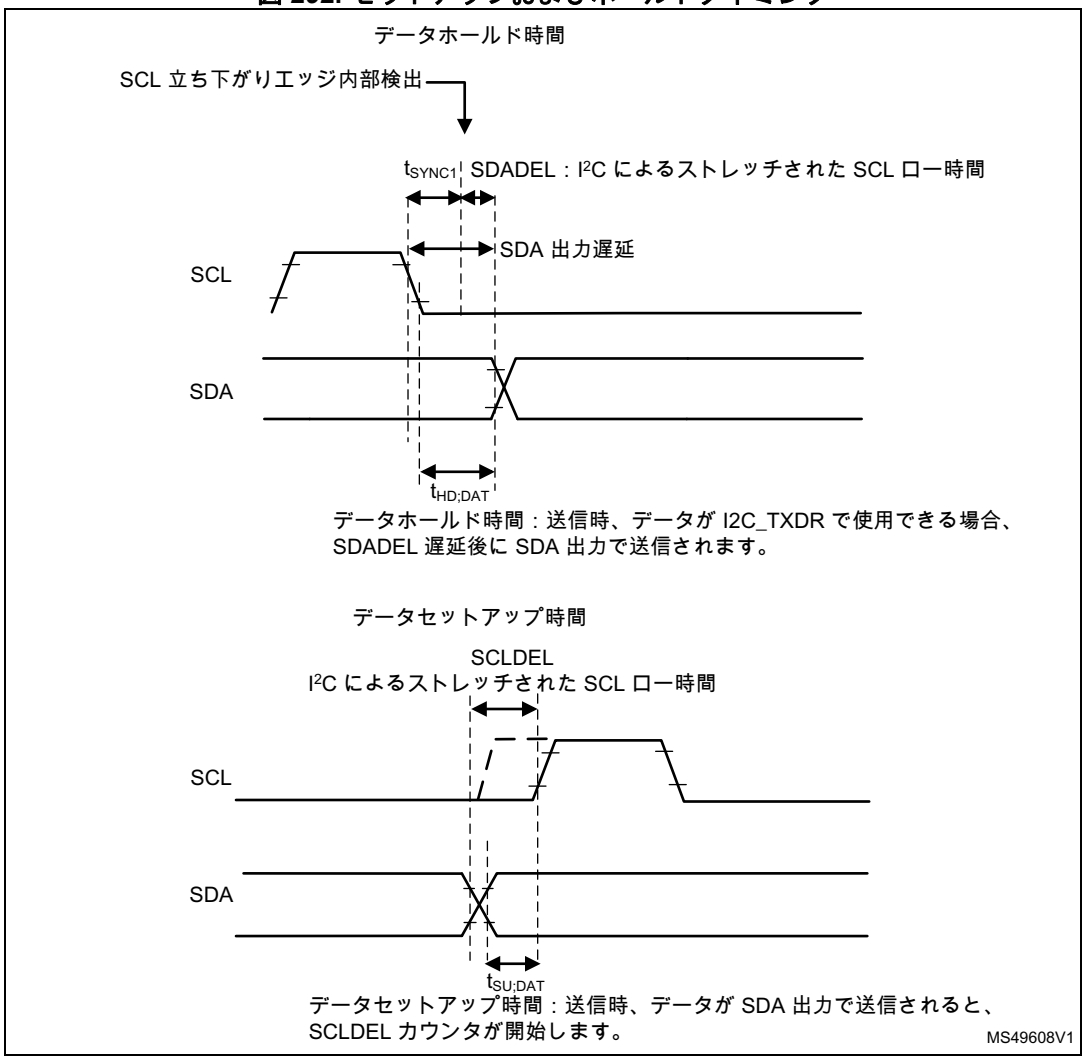
注意 : **I²C が有効なときには、フィルタ構成は変更できません。**

I²C のタイミング

マスタおよびスレーブモードで正しいデータホールドおよびセットアップ時間を保証するためには、タイミングを設定する必要があります。これを行うには、I2C_TIMINGR レジスタの PRESC[3:0]、SCLDEL[3:0]、および SDADEL[3:0] ビットをプログラムします。

STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

図 292. セットアップおよびホールドタイミング



SCL の立ち下がりエッジが内部で検出されると、遅延（ホールド時間 $t_{HD;DAT}$ へ影響を与える t_{SDADEL}）が SDA 出力を送信する前に挿入されます。t_{SDADEL} = SDADEL x t_{PRESC} + t_{I2CCLK}、ここで t_{PRESC} = (PRESC + 1) x t_{I2CCLK}。

SDA 出力遅延の合計は、次のとおりです：

t_{SYNC1} + {[SDADEL x (PRESC + 1) + 1] x t_{I2CCLK} }

t_{SYNC1} 時間は次のものに依存します。

- SCL 立ち下がり傾斜
- アナログフィルタが有効なときの入力遅延：$t_{AF(min)} < t_{AF} < t_{AF(max)}$
- デジタルフィルタが有効なときの入力遅延：t_{DNF} = DNF x t_{I2CCLK}
- SCL と I2CCLK クロックの同期による遅延（2 ～ 3 I2CCLK 周期）

SCL 立ち下がりエッジの未定義の領域をブリッジするためには、SDADEL を次のようにプログラムする必要があります。

{$t_{f\ (max)}$ + $t_{HD;DAT\ (min)}$ - $t_{AF(min)}$ - [(DNF + 3) x t_{I2CCLK}]} / {(PRESC + 1) x t_{I2CCLK}} ≤ SDADEL

SDADEL ≤ {$t_{HD;DAT\ (max)}$ - $t_{AF(max)}$ - [(DNF + 4) x t_{I2CCLK}]} / {(PRESC + 1) x t_{I2CCLK}}

注： **$t_{AF(min)}$ / $t_{AF(max)}$ は、アナログフィルタが有効なときのみ、等式に含まれます。t_{AF} の値については、デバイスのデータシートを参照してください。**

最大の $t_{HD;DAT}$ は、標準モード、高速モード、高速モードプラスで、それぞれ 3.45、0.9、0.45 µs となる可能性があります。これは、$t_{VD;DAT}$ の最大値よりも遷移時間だけ小さくなければなりません。この最大値を満たす必要があるのは、デバイスが SCL 信号の LOW 周期（t_{LOW}）をストレッチしない場合だけです。クロックが SCL をストレッチする場合、クロックをリリースする前に、データがセットアップ時間まで有効である必要があります。

通常、SDA の立ち上がりエッジが最悪ケースです。この場合、前の式は次のようになります。

$SDADEL \leq \{t_{VD;DAT\ (max)} - t_{r\ (max)} - t_{AF(max)} - [(DNF + 4) \times t_{I2CCLK}]\} / \{(PRESC + 1) \times t_{I2CCLK}\}$。

注： **NOSTRETCH = 0 のときには、SCLDEL の値に従って、デバイスはセットアップ時間を保証するために SCL ローをストレッチするので、この条件に違反することがあります。**

t_f、t_r、$t_{HD;DAT}$、および $t_{VD;DAT}$ の標準値については、表 190 を参照してください。

- t_{SDADEL} の後や、データが I2C_TXDR レジスタにまだ書き込まれていないためスレーブがクロックをストレッチしなければならなかった場合の SDA 出力送信後、SCL ラインはセットアップ時間中、ローレベルで保持されます。このセットアップ時間は、$t_{SCLDEL} = (SCLDEL + 1) \times t_{PRESC}$ であり、ここで、$t_{PRESC} = (PRESC + 1) \times t_{I2CCLK}$ です。t_{SCLDEL} は セットアップ時間 $t_{SU;DAT}$ に影響を与えます。

SDA 遷移（立ち上がりエッジは通常、最悪のケース）の未定義の領域をブリッジするためには、SCLDEL を次のようにプログラムする必要があります。

$\{[t_{r\ (max)} + t_{SU;DAT\ (min)}] / [(PRESC + 1)] \times t_{I2CCLK}\} - 1 \leq SCLDEL$

t_r および $t_{SU;DAT}$ の標準値については、表 190 を参照してください。

使用する SDA および SCL 遷移時間の値は、アプリケーションの値です。標準から最大値を使用すると、SDADEL と SCLDEL の計算の制約が増えますが、アプリケーションにかかわらず、この機能を使用できます。

注： **各クロックパルスで、SCL 立ち下がりエッジの検出後、I²C マスタまたはスレーブは、最低 [(SDADEL + SCLDEL + 1) x (PRESC + 1) + 1] x t_{I2CCLK} の間、送信および受信の両モードで SCL ローをストレッチします。送信モードで、SDADEL カウンタ終了時にデータがまだ I2C_TXDR に書き込まれていない場合、I²C は次のデータが書き込まれるまで SCL ローをストレッチし続けます。その時、新しいデータ MSB が SDA 出力で送信され、SCLDEL カウンタが開始し、SCL ローのストレッチを継続して、データセットアップ時間を保証します。**

スレーブモードで NOSTRETCH = 1 の場合、SCL はストレッチされません。そのため、十分なセットアップ時間が保証されるように、SDADEL をプログラムする必要があります。

表 190. I²C-SMBus 仕様のデータのセットアップおよびホールド時間

記号	パラメータ	標準モード（Sm）		高速モード（Fm）		高速モードプラス（Fm+）		SMBus		単位
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
$t_{HD;DAT}$	データホールド時間	0	-	0	-	0	-	0.3	-	µs
$t_{VD;DAT}$	データ有効時間	-	3.45	-	0.9	-	0.45	-	-	
$t_{SU;DAT}$	データセットアップ時間	250	-	100	-	50	-	250	-	ns
t_r	SDA および SCL 信号の立ち上がり時間	-	1000	-	300	-	120	-	1000	
t_f	SDA および SCL 信号の立ち下がり時間	-	300	-	300	-	120	-	300	

また、マスタモードでは、I2C_TIMINGR レジスタの PRESC[3:0]、SCLH[7:0]、および SCLL[7:0] ビットフィールドをプログラムすることによって、SCL クロックのハイおよびローレベルを設定する必要があります。

- SCL 立ち下がりエッジが内部で検出されると、SCL 出力をリリースする前に遅延が挿入されます。この遅延は、t_{SCLL} = (SCLL + 1) x t_{PRESC} であり、t_{PRESC} = (PRESC + 1) x t_{I2CCLK} です。
  t_{SCLL} は、SCL ロー時間 t_{LOW} に影響を与えます。
- SCL 立ち上がりエッジが内部で検出されると、SCL 出力を強制的にローレベルにする前に遅延が挿入されます。この遅延は、t_{SCLH} = （SCLH + 1）x t_{PRESC} であり、t_{PRESC} = （PRESC + 1）x t_{I2CCLK} です。t_{SCLH} は SCL ハイ時間 t_{HIGH}に影響を与えます。

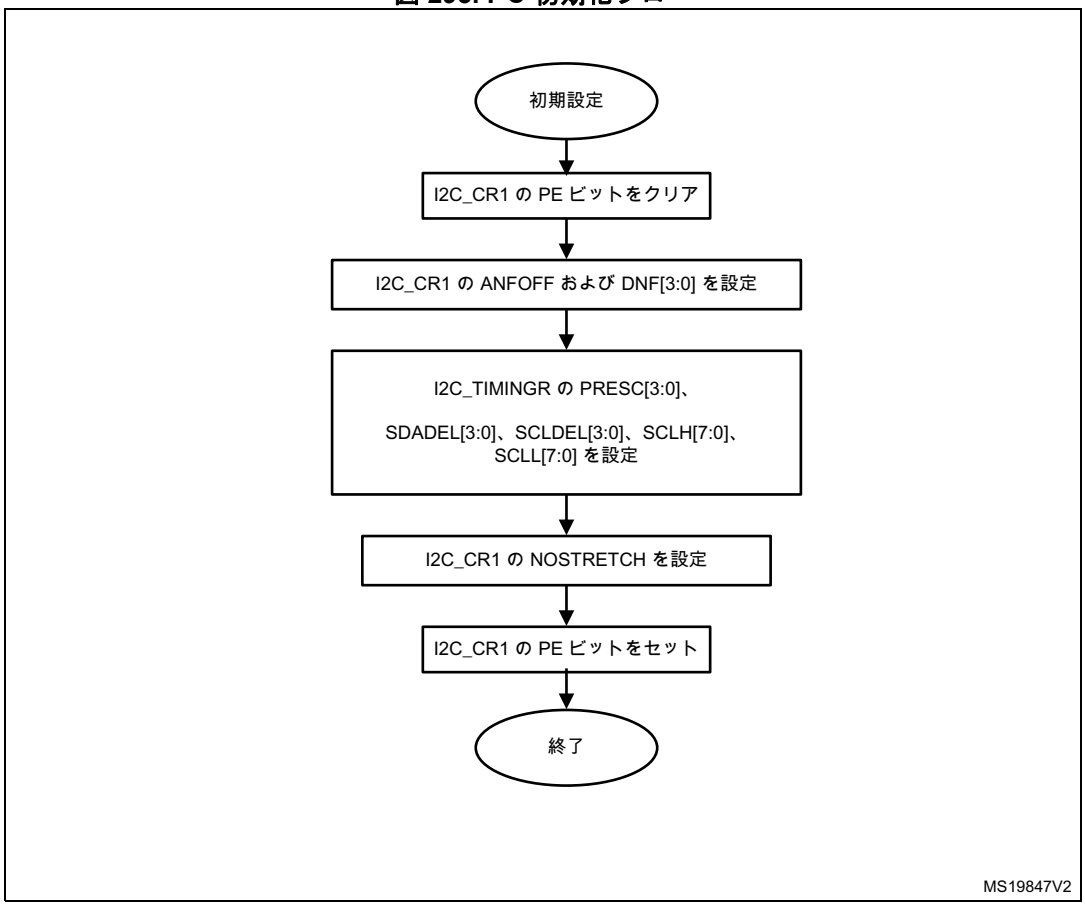
詳細については、I2C マスタ初期化を参照してください。

注意： **I²C が有効なときには、タイミング構成の設定はできません。**

ペリフェラルを有効にする前に、I²C スレーブ NOSTRETCH モードも設定する必要があります。詳細については、I2C スレーブ初期化を参照してください。

注意： **I²C が有効なときには、NOSTRETCH 構成の変更はできません。**

図 293. I²C 初期化フロー



32.4.6 ソフトウェアリセット

ソフトウェアリセットを行うには、I2C_CR1 レジスタの PE ビットをクリアします。その場合、I²C のライン SCL および SDA がリリースされます。内部状態マシンがリセットされ、通信制御ビットとステータスビットがリセット値に戻ります。構成レジスタは影響を受けません。

影響を受けるレジスタのビットは、以下のとおりです：

1. I2C_CR2 レジスタ：START、STOP、NACK
2. I2C_ISR レジスタ：BUSY、TXE、TXIS、RXNE、ADDR、NACKF、TCR、TC、STOPF、BERR、ARLO、OVR

SMBus 機能がサポートされるときには、以下も影響を受けます：

1. I2C_CR2 レジスタ：PECBYTE
2. I2C_ISR レジスタ：PECERR、TIMEOUT、ALERT

ソフトウェアリセットを実行するためには、PE は少なくとも 3 APB クロックサイクルの間、ローに保たれなければなりません。このためには、次のソフトウェアシーケンスを書き込みます：

1. PE = 0 を書き込む。
2. PE = 0 であることを確認します。
3. PE = 1 を書き込む。

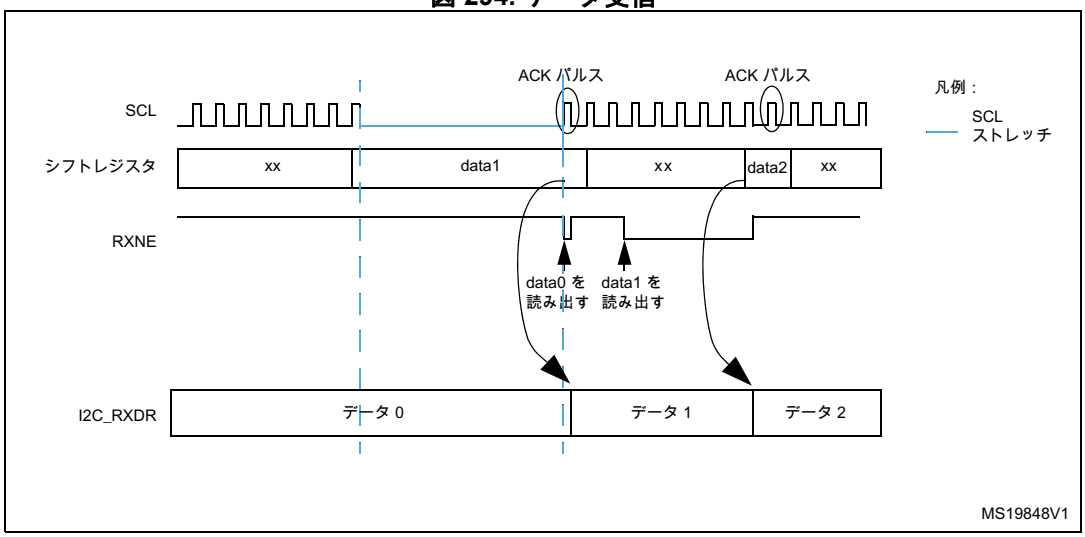
32.4.7 データ転送

データ転送は、送受信データレジスタとシフトレジスタを通じて管理されます。

受信

SDA 入力はシフトレジスタに送られます。8 番目の SCL パルスの後（完全なデータバイトの受信後）、シフトレジスタは、I2C_RXDR レジスタが空の場合（RXNE = 0）、このレジスタにコピーされます。RXNE = 1 の場合、すなわち、前に受信されたデータバイトがまだ読み出されていなかった場合、SCL ラインは I2C_RXDR が読み出されるまでストレッチされます。ストレッチは、8 番目と 9 番目の SCL パルスの間（確認応答パルスの前）に挿入されます。

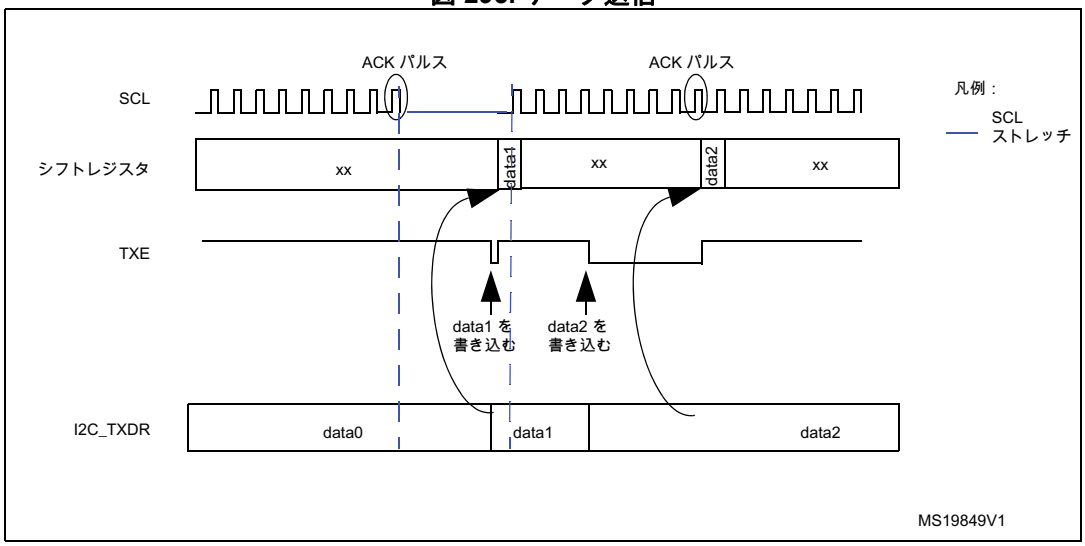
図 294. データ受信



送信

I2C_TXDR レジスタが空（TXE = 0）でない場合、その内容が 9 番目の SCL パルス（確認応答パルス）の後、シフトレジスタにコピーされます。次に、シフトレジスタの内容が SDA ラインにシフトアウトされます。TXE = 1 の場合、すなわち、I2C_TXDR にデータがまだ書き込まれていない場合、SCL ラインは I2C_TXDR に書き込まれるまでストレッチされます。ストレッチは、9 番目の SCL パルスの後で行われます。

図 295. データ送信



ハードウェア転送管理

次のようにさまざまなモードでバイト転送を管理し、通信をクローズするために、I2C にはハードウェアにバイトカウンタが組み込まれています。

- マスタモードでの NACK、STOP、および ReSTART 生成
- スレーブレシーバモードでの ACK 制御
- SMBus 機能がサポートされているときの PEC 生成／確認

バイトカウンタは、マスタモードでは常に使用されます。デフォルトでは、スレーブモードでは無効ですが、I2C_CR1 レジスタの SBC（スレーブバイト制御）ビットをセットすることによって、ソフトウェアにより有効にできます。

転送されるバイト数は、I2C_CR2 レジスタの NBYTES[7:0] ビットフィールドでプログラムされます。転送バイト数（NBYTES）が 255 より大きい場合、またはレシーバが受信データバイトの確認応答値を制御したい場合には、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。このモードでは、NBYTES でプログラムされたバイト数が転送されると、TCR フラグがセットされ、TCIE がセットされている場合は割込みが生成されます。SCL は、TCR フラグがセットされている間、ストレッチされます。TCR は、NBYTES にゼロ以外の値が書き込まれたときにソフトウェアによってクリアされます。

NBYTES カウンタに最後のバイト数が再ロードされたときには、RELOAD ビットがクリアされる必要があります。

マスタモードで RELOAD = 0 のときには、カウンタは以下の 2 つのモードで使用できます。

- **自動終了モード**（I2C_CR2 レジスタの AUTOEND = “1”）。このモードでは、NBYTES[7:0] ビットフィールドでプログラムされたバイト数が転送されると、マスタは STOP コンディションを自動的に送信します。
- **ソフトウェア終了モード**（I2C_CR2 レジスタの AUTOEND = 0）。このモードでは、NBYTES[7:0] ビットフィールドでプログラムされたバイト数が転送されると、ソフトウェアアクションが求められます。TC フラグがセットされ、TCIE ビットがセットされている場合は割込みが生成されます。SCL 信号は、TC フラグがセットされている間、ストレッチされます。TC フラグは、I2C_CR2 レジスタの START または STOP ビットがセットされたときに、ソフトウェアによってクリアされます。マスタが RESTART コンディションを送信したいときには、このモードを使用する必要があります。

注意： **AUTOEND ビットは、RELOAD ビットがセットされているときには効果がありません。**

表 191. I²C 設定

機能	SBC ビット	RELOAD ビット	AUTOEND ビット
マスタ Tx/Rx NBYTES + STOP	x	0	1
マスタ Tx/Rx + NBYTES + RESTART	x	0	0
スレーブ Tx/Rx、すべての受信バイトに ACK	0	x	x
スレーブ Rx および ACK 制御	1	1	x

32.4.8 I²C スレーブモード

I²C スレーブ初期化

スレーブモードで動作するには、少なくとも 1 つのスレーブアドレスを有効にする必要があります。レジスタ I2C_OAR1 と I2C_OAR2 を使用して、スレーブ専用アドレス OA1 および OA2 をプログラムできます。

- OA1 は、I2C_OAR1 レジスタの OA1MODE ビットをセットすることによって、7 ビットモード（デフォルト）または 10 ビットアドレッシングモードに設定できます。

  OA1 を有効にするには、I2C_OAR1 レジスタの OA1EN ビットをセットします。
- 追加のスレーブアドレスが必要な場合は、2 番目のスレーブアドレス OA2 を設定できます。I2C_OAR2 レジスタの OA2MSK[2:0] ビットを設定することによって、最大 7 つの OA2 LSB をマスクできます。したがって、OA2MSK が 1 から 6 まで設定された場合、OA2[7:2]、OA2[7:3]、OA2[7:4]、OA2[7:5]、OA2[7:6]、または OA2[7] のみが受信アドレスと比較されます。OA2MSK が 0 に等しくなくなるとすぐに、OA2 のアドレスコンパレータは、確認応答されない I2C 予約済みアドレス（0000 XXX および 1111 XXX）を除外します。OA2MSK = 7 の場合、受信されたすべての 7 ビットのアドレスが確認応答されます（予約済みアドレスを除く）。OA2 は常に 7 ビットアドレスです。

  これらの予約済みアドレスは、特定のイネーブルビットによって有効化された場合、I2C_OAR1 または I2C_OAR2 レジスタが OA2MSK = 0 でプログラムされた場合、確認応答できます。

  OA2 を有効にするには、I2C_OAR2 レジスタの OA2EN ビットをセットします。
- 同報アドレスは、I2C_CR1 レジスタの GCEN ビットをセットすることで有効になります。

I2C が有効アドレスの 1 つによって選択されると、ADDR 割込みステータスフラグがセットされ、ADDRIE ビットがセットされている場合は割込みが生成されます。

デフォルトでは、スレーブはクロックストレッチ機能を使用します。これは、必要なときには、ソフトウェアアクションを実行するために、SCL 信号をローレベルでストレッチすることを意味します。

マスタがクロックストレッチをサポートしない場合、I2C_CR1 レジスタの NOSTRETCH = 1 で I²C を設定する必要があります。

ADDR 割込みの受信後、いくつかのアドレスが有効な場合は、I2C_ISR レジスタの ADDCODE[6:0] ビットを読み出して、一致するアドレスを確認する必要があります。転送方向を知るために、DIR フラグも確認する必要があります。

スレーブクロックストレッチ（NOSTRETCH = 0）

デフォルトモードでは、I²C スレーブは次の状況で SCL クロックをストレッチします：

- ADDR フラグがセットされると：受信アドレスは有効なスレーブアドレスの 1 つと一致します。このストレッチは、ADDRCF ビットをセットすることによりソフトウェアによって ADDR フラグがクリアされたときにリリースされます。
- 送信時、前のデータ送信が完了し、新しいデータが I2C_TXDR レジスタに書き込まれなかった場合、または ADDR フラグがクリアされたときに（TXE = 1）、最初のデータバイトが書き込まれていなかった場合。このストレッチは、データが I2C_TXDR レジスタに書き込まれたときにリリースされます。
- 受信時、I2C_RXDR レジスタがまだ読み出されておらず、新しいデータ受信が完了したとき。このストレッチは、I2C_RXDR が読み出されたときにリリースされます。
- スレーブバイト制御モードおよび再ロードモード（SBC = 1 および RELOAD = 1）で TCR = 1 のとき、すなわち、最後のデータバイトが転送されたとき。このストレッチは、NBYTES[7:0] フィールドにゼロ以外の値を書き込むことによって TCR がクリアされたときにリリースされます。
- SCL 立ち下がりエッジの検出後、I2C は、$[(SDADEL + SCLDEL + 1) \times (PRESC+ 1) + 1] \times t_{I2CCLK}$ の間、SCL ローをストレッチします。

クロックストレッチなしのスレーブ（NOSTRETCH = 1）

I2C_CR1 レジスタの NOSTRETCH = 1 のとき、I²C スレーブは SCL 信号をストレッチしません。

- ADDR フラグがセットされている間、SCL クロックはストレッチされません。
- 送信時、転送に対応する最初の SCL パルスが発生する前に、I2C_TXDR レジスタにデータが書き込まれる必要があります。そうでない場合、アンダーランが発生し、I2C_ISR レジスタで OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。OVR フラグは、最初のデータ送信が開始し、STOPF ビットがまだセットされている（クリアされていない）ときにもセットされます。したがって、次の転送で送信される最初のデータを書き込んだ後でのみ、前に転送の STOPF フラグをクリアすることによって、送信される最初のデータについても、OVR ステータスが提供されることを確実にできます。
- 受信時、次のデータバイトの 9 番目の SCL パルス（ACK パルス）が発生する前に、I2C_RXDR レジスタからデータが読み出される必要があります。そうでない場合、オーバーランが発生し、I2C_ISR レジスタの OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

スレーブバイト制御モード

スレーブ受信モードでバイト ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。これは、SMBus 標準に準拠する必要があります。

スレーブ受信モードでバイト ACK 制御を可能にするためには、再ロードモードを選択する必要があります（RELOAD = 1）。各バイトの制御を得るには、ADDR 割込みサブルーチンで NBYTES を 0x1 に初期化し、各受信バイト後に 0x1 に再ロードする必要があります。バイトが受信されると、TCR ビットがセットされ、8 番目と 9 番目の SCL パルスの間で、SCL 信号ローをストレッチします。I2C_RXDR レジスタからデータを読み出すことができ、その後、I2C_CR2 レジスタの ACK ビットを設定することによって、確認応答するかどうかを決定できます。SCL ストレッチは、NBYTES をゼロ以外の値にプログラムすることによってリリースされ、確認応答または非確認応答が送信され、次のバイトを受信できます。

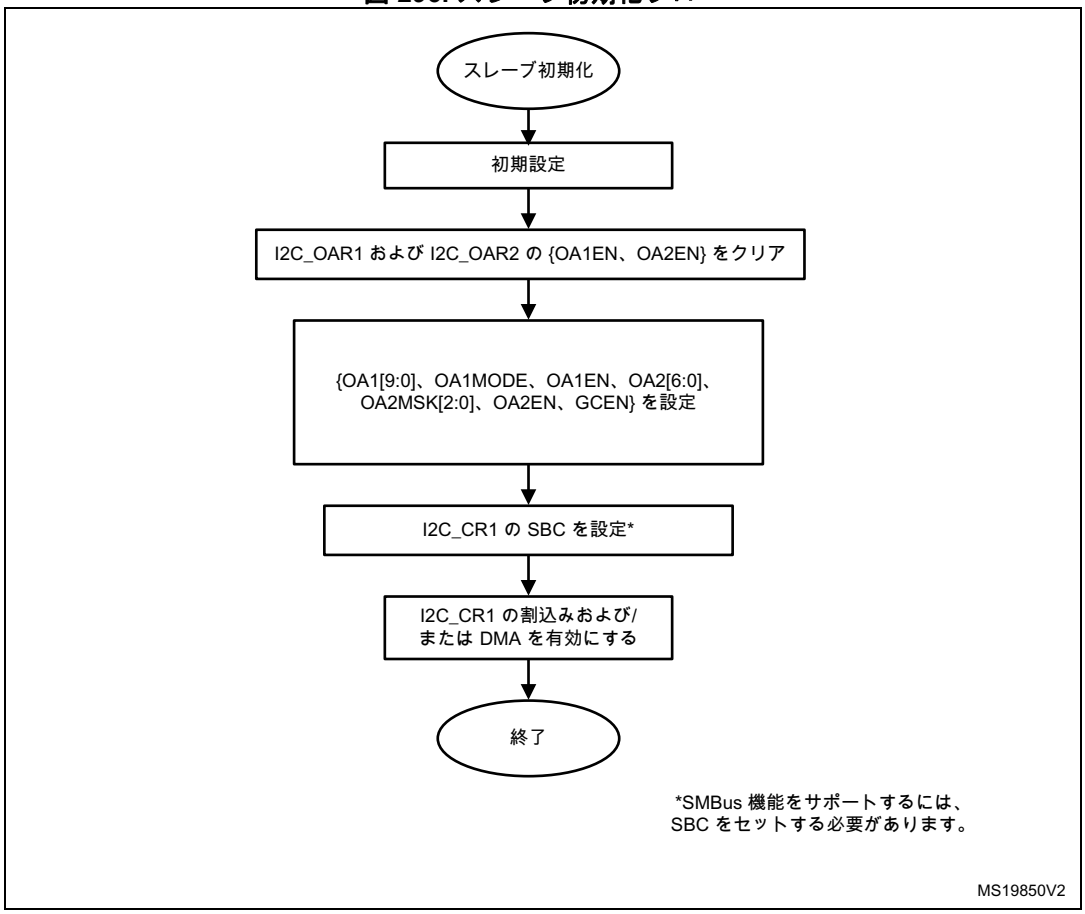
NBYTES に 0x1 より大きい値をロードでき、この場合、受信フローは NBYTES データ受信中、継続します。

注： **SBC ビットは、I²C が無効なとき、またはスレーブがアドレス指定されていないとき、または ADDR = 1 のときに設定する必要があります。**

RELOAD ビットの値は、ADDR = 1 のとき、または TCR = 1 のときに変更できます。

注意： **スレーブバイト制御モードは、NOSTRETCH モードと互換性がありません。NOSTRETCH = 1 のときに SBC をセットすることはできません。**

図 296. スレーブ初期化フロー



スレーブトランスミッタ

I2C_TXDR レジスタが空になると、送信割込みステータス（TXIS）が生成されます。I2C_CR1 レジスタの TXIE ビットがセットされている場合は、割込みが生成されます。

TXIS ビットは、I2C_TXDR レジスタに次に送信されるデータバイトが書き込まれると、クリアされます。

NACK が受信されると、I2C_ISR レジスタの NACKF ビットがセットされ、I2C_CR1 レジスタの NACKIE ビットがセットされていた場合は割込みが生成されます。マスタが STOP または RESTART コンディションを実行できるように、スレーブは SCL および SDA ラインを自動的にリリースします。TXIS ビットは、NACK 受信時にはセットされません。

STOP が受信され、I2C_CR1 レジスタの STOPIE ビットがセットされると、I2C_ISR レジスタの STOPF フラグがセットされ、割込みが生成されます。ほとんどのアプリケーションでは、SBC は通常、0 にプログラムされます。この場合、スレーブアドレスが受信されたときに（ADDR = 1）、TXE = 0 であった場合、I2C_TXDR レジスタの内容を最初のデータバイトとして送信するか、新しいデータバイトをプログラムするために TXE ビットをセットすることによって I2C_TXDR レジスタを一掃するかを選択できます。

スレーブバイト制御モード（SBC = 1）では、送信バイト数をアドレス一致割込みサブルーチンの NBYTES でプログラムする必要があります（ADDR = 1）。この場合、転送中の TXIS イベントの数は、NBYTES でプログラムされた値に対応します。

注意： **NOSTRETCH = 1 のとき、SCL クロックは ADDR フラグがセットされている間はストレッチされないので、最初のデータバイトをプログラムするために ADDR サブルーチンで I2C_TXDR レジスタの内容を一掃することはできません。最初に送信されるデータバイトは、I2C_TXDR レジスタで前もってプログラムされている必要があります。**

- このデータは、前の送信メッセージの最後の TXIS イベントで書き込まれたデータでもかまいません。
- このデータバイトが送信データバイトでない場合、新しいデータバイトをプログラムするために TXE ビットをセットすることによって I2C_TXDR レジスタをFlashできます。アドレスの確認応答に続いて、最初のデータ送信が開始する前にこれらが実行されることを保証するためには、STOPF ビットのクリアは、これらのアクションの後でのみ行う必要があります。

  最初のデータ送信が開始したときに STOPF がまだセットされていた場合、アンダーランエラーが生成されます（OVR フラグがセットされます）。

  TXIS イベントが必要な場合（送信割込みまたは送信 DMA リクエスト）、TXIS イベントを生成するためには、TXE ビットに加えて TXIS ビットもセットする必要があります。

図 297. I²C スレーブトランスミッタの転送シーケンスフロー（NOSTRETCH = 0）

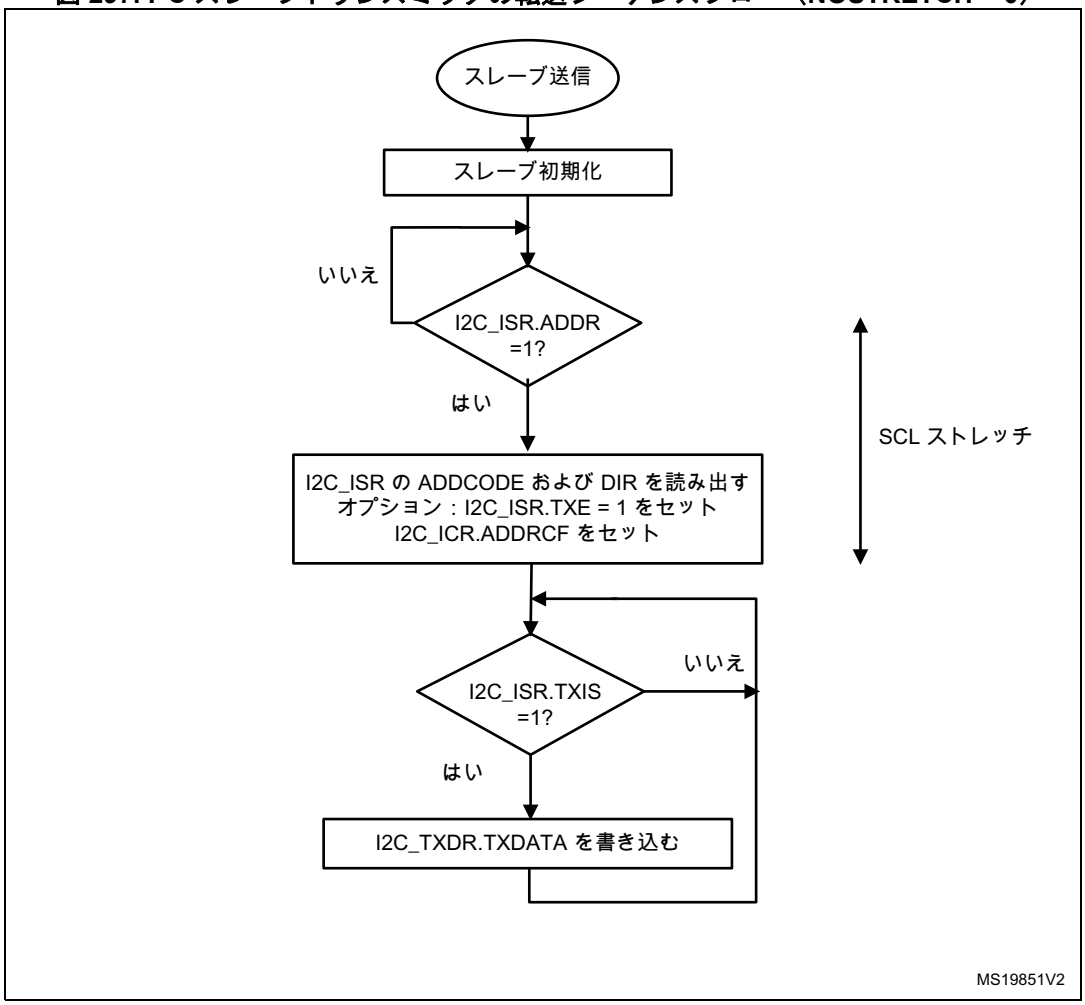


図 298. I²C スレーブトランスミッタの転送シーケンスフロー（NOSTRETCH = 1）

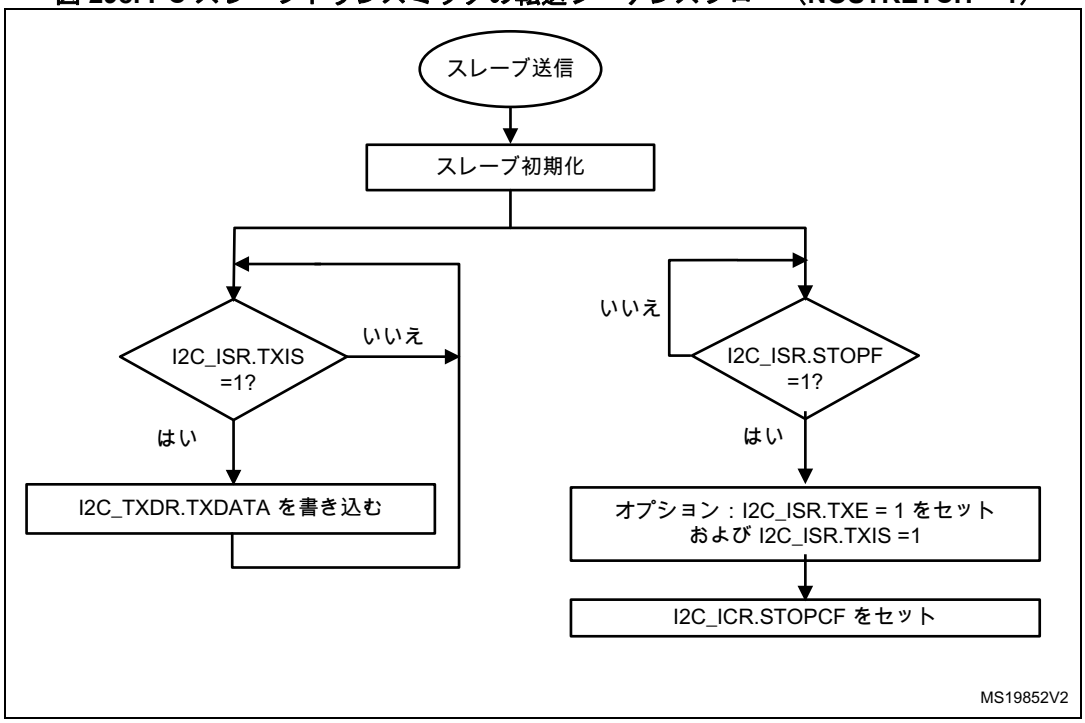
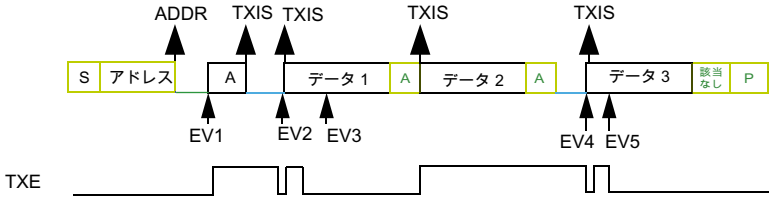
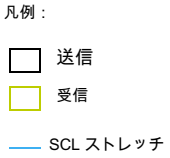


図 299. I²C スレーブトランスミッタの転送バス図（必須イベントのみ）

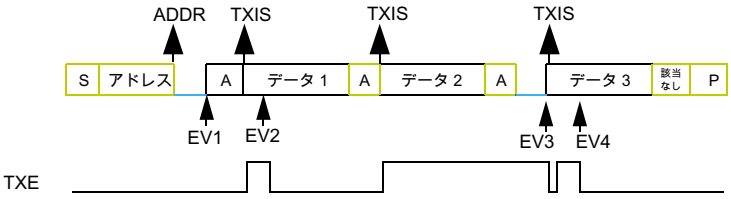
最初のデータをFlashする I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=0 の例：

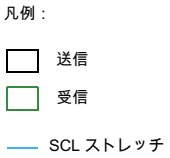




EV1：ADDR ISR：ADDCODE および DIR をチェック、TXE をセット、ADDRCF をセット
EV2：TXIS ISR：data1 を書き込む
EV3：TXIS ISR：data2 を書き込む
EV4：TXIS ISR：data3 を書き込む
EV5：TXIS ISR：data4 を書き込む（送信されない）

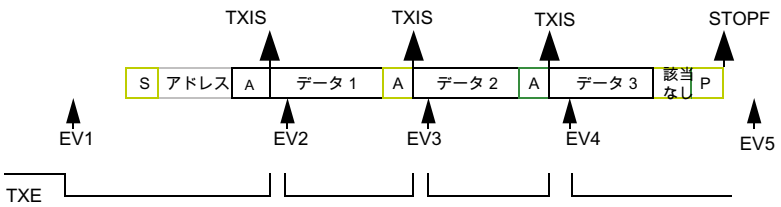
最初のデータをFlashしない I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=0 の例：

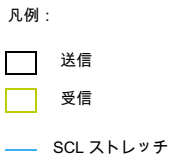




EV1：ADDR ISR：ADDCODE および DIR をチェック、ADDRCF をセット
EV2：TXIS ISR：data2 を書き込む
EV3：TXIS ISR：data3 を書き込む
EV4：TXIS ISR：data4 を書き込む（送信されない）

I²C スレーブトランスミッタ 3 バイト、NOSTRETCH=1 の例：





Ev1：data1 を書き込む
EV2：TXIS ISR：data2 を書き込む
EV3：TXIS ISR：data3 を書き込む
EV4：TXIS ISR：data4 を書き込む（送信されない）
EV5：STOPF ISR：（オプション：TXE および TXIS をセット）、STOPCF をセット

MS19853V2

スレーブレシーバ

I2C_RXDR がフルのときには、I2C_ISR の RXNE がセットされ、I2C_CR1 の RXIE がセットされている場合は割込みが生成されます。RXNE は、I2C_RXDR が読み出されたときにクリアされます。

STOP が受信され、I2C_CR1 レジスタの STOPIE ビットがセットされると、I2C_ISR の STOPF がセットされ、割込みが生成されます。

図 300. スレーブレシーバの転送シーケンスフロー（NOSTRETCH = 0）

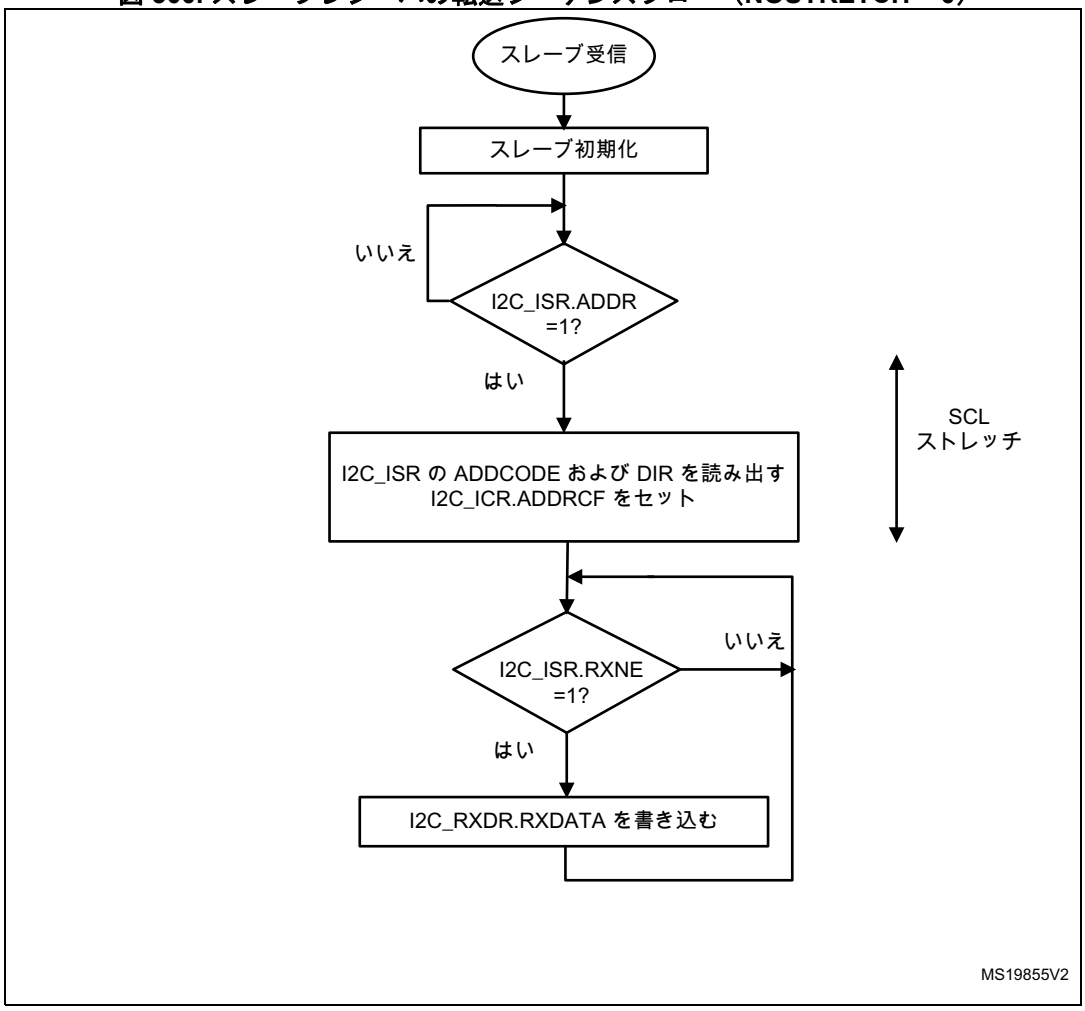


図 301. スレーブレシーバの転送シーケンスフロー（NOSTRETCH = 1）

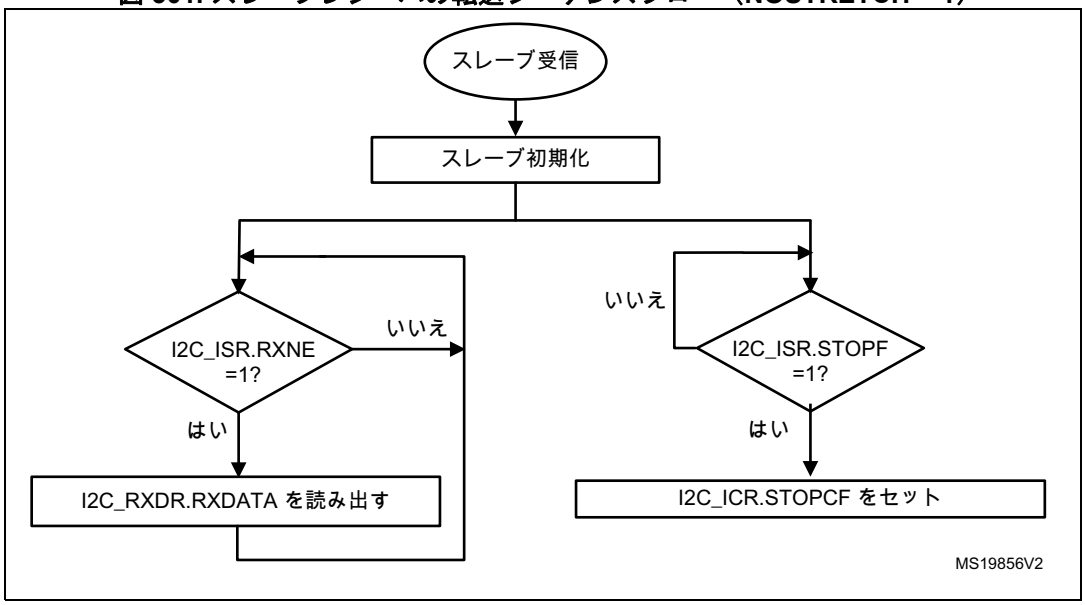
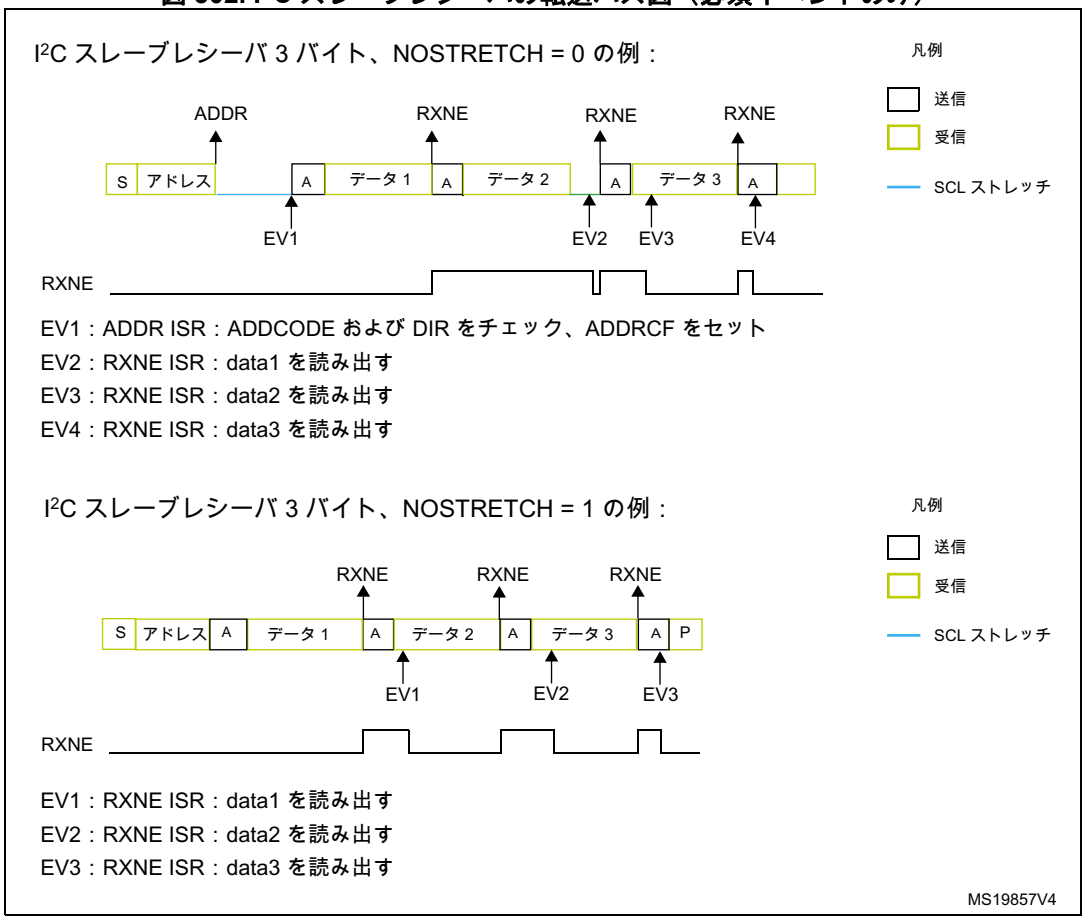


図 302. I²C スレーブレシーバの転送バス図（必須イベントのみ）



32.4.9 I²C マスタモード

I²C マスタ初期化

ペリフェラルを有効にする前に、I2C_TIMINGR レジスタの SCLH および SCLL ビットをセットすることによって、I²C マスタクロックを設定する必要があります。

STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

マルチマスタ環境とスレーブクロックストレッチをサポートするために、クロック同期メカニズムが実装されています。

クロック同期を可能にするために：

- クロックのローレベルは SCLL カウンタを使用してカウントされ、SCL ローレベル内部検出から開始されます。
- クロックのハイレベルは SCLH カウンタを使用してカウントされ、SCL ハイレベル内部検出から開始されます。

I²C は、SCL 立ち下がりエッジ、SCL 入力ノイズフィルタ（アナログ + デジタル）、および I2CxCLK クロックとの SCL 同期に応じた遅延 t_{SYNC1} の後に SCL ローレベルを検出します。SCLL カウンタが I2C_TIMINGR レジスタの SCLL[7:0] ビットでプログラムされた値に達すると、I²C は SCL をハイレベルにリリースします。

I²C は、SCL 立ち上がりエッジ、SCL 入力ノイズフィルタ（アナログ + デジタル）、および I2CxCLK クロックとの SCL 同期に応じた遅延 t_{SYNC2} の後に SCL ハイレベルを検出します。SCLH カウンタが I2C_TIMINGR レジスタの SCLH[7:0] ビットでプログラムされた値に達すると、I²C は SCL をローレベルにします。

結果として、マスタクロック周期は次のとおりです：

$t_{SCL} = t_{SYNC1} + t_{SYNC2} + \{[(SCLH+ 1) + (SCLL+ 1)] \times (PRESC+ 1) \times t_{I2CCLK}\}$

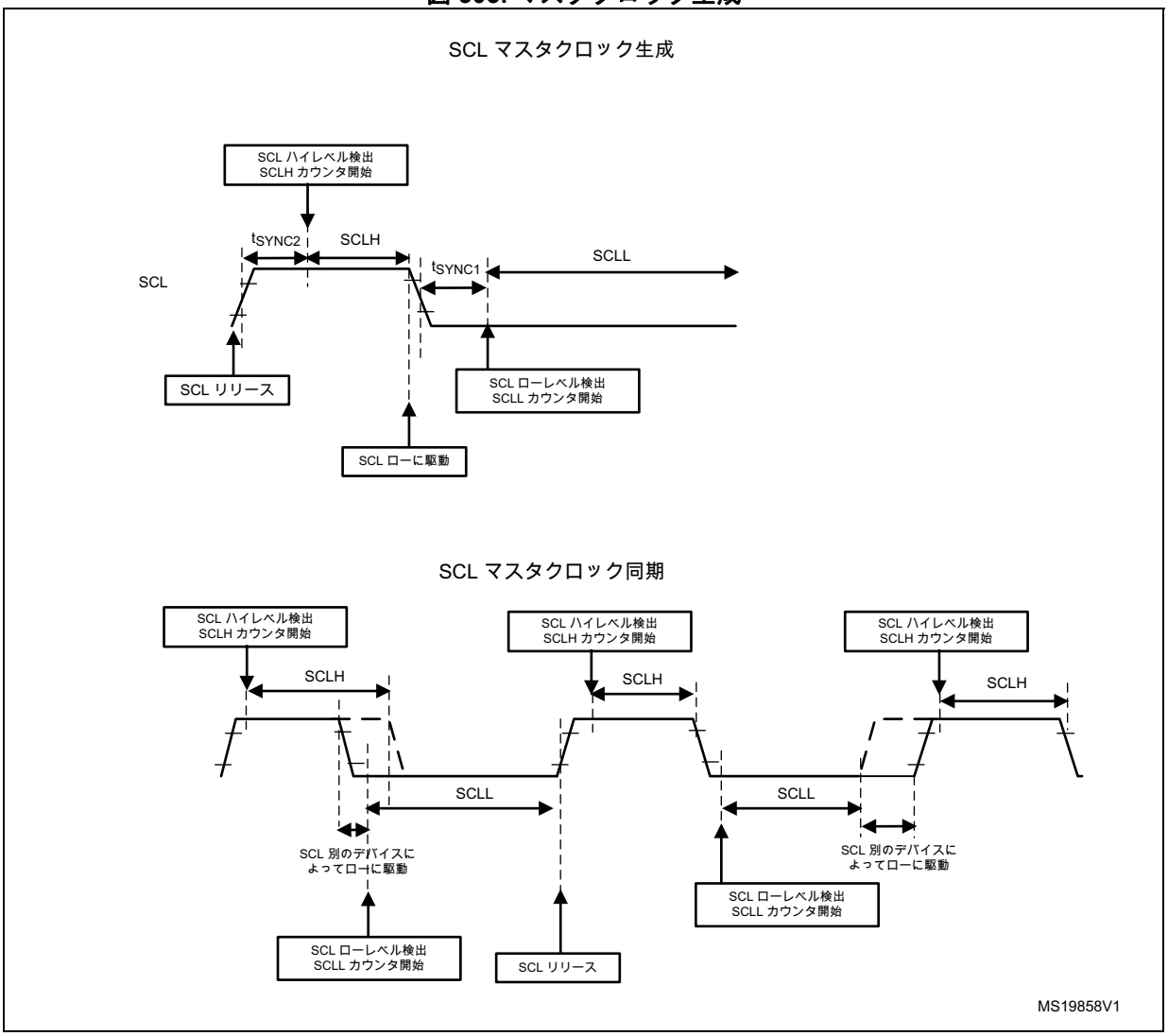
t_{SYNC1} の長さは、次のパラメータに依存します：

- SCL 立ち下がり傾斜
- 有効な場合、アナログフィルタによる入力遅延。
- 有効な場合、デジタルフィルタによる入力遅延：DNF x t_{I2CCLK}
- SCL と I2CCLK クロックの同期による遅延（2 ～ 3 I2CCLK 周期）

t_{SYNC2} の長さは、次のパラメータに依存します：

- SCL 立ち上がり傾斜
- 有効な場合、アナログフィルタによる入力遅延。
- 有効な場合、デジタルフィルタによる入力遅延：DNF x t_{I2CCLK}
- SCL と I2CCLK クロックの同期による遅延（2 ～ 3 I2CCLK 周期）

図 303. マスタクロック生成



注意： **I²C または SMBus 準拠のためには、マスタクロックは次の表のタイミングを満たす必要があります。**

表 192. I²C-SMBus 仕様のクロックタイミング

記号	パラメータ	標準モード（Sm）		高速モード（Fm）		高速モードプラス (Fm+)		SMBus		単位
		最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値	
f_{SCL}	SCL クロック周波数	-	100	-	400	-	1000	-	100	kHz
$t_{HD:STA}$	（反復）START コンディションのホールド時間	4.0	-	0.6	-	0.26	-	4.0	-	µs
$t_{SU:STA}$	反復 START コンディションのセットアップ時間	4.7	-	0.6	-	0.26	-	4.7	-	
$t_{SU:STO}$	STOP コンディションのセットアップ時間	4.0	-	0.6	-	0.26	-	4.0	-	
t_{BUF}	STOP コンディションと START コンディションの間のバスフリー時間	4.7	-	1.3	-	0.5	-	4.7	-	
t_{LOW}	SCL クロックのロー周期	4.7	-	1.3	-	0.5	-	4.7	-	
t_{HIGH}	SCL クロックの周期	4.0	-	0.6	-	0.26	-	4.0	50	
t_r	SDA および SCL 信号の立ち上がり時間	-	1000	-	300	-	120	-	1000	ns
t_f	SDA および SCL 信号の立ち下がり時間	-	300	-	300	-	120	-	300	

注： **SCLL は、t_{BUF} および $t_{SU:STA}$ タイミング の生成にも使用され、SCLH は、$t_{HD:STA}$ および $t_{SU:STO}$ タイミングの生成にも使用されます。**

I2C_TIMINGR 設定と I2CCLK 周波数の例については、セクション 32.4.10 を参照してください。

マスタ通信の初期化（アドレスフェーズ）

通信を初期化するためには、I2C_CR2 レジスタでアドレス指定されたスレーブについて次のパラメータをプログラムする必要があります。

- アドレッシングモード（7 ビットまたは 10 ビット）：ADD10
- 送信されるスレーブアドレス：SADD[9:0]
- 転送方向：RD_WRN
- 10 ビットアドレスが読み出される場合：HEAD10R ビット。HEAD10R を設定して、完全なアドレスシーケンスが送信されなければならないか、ヘッダのみ（方向の変更の場合）かを示す必要があります。
- 転送されるバイト数：NBYTES[7:0]バイト数が 255 バイト以上の場合は、NBYTES[7:0] に 0xFF を書き込む必要があります。

次に、I2C_CR2 レジスタの START ビットをセットする必要があります。START ビットがセットされているとき、上記のすべてのビットを変更することはできません。

その場合、マスタは、バスがフリーである（BUSY = 0）ことを検出すると、t_{BUF} の遅延後に、自動的に START コンディションとスレーブアドレスを送信します。

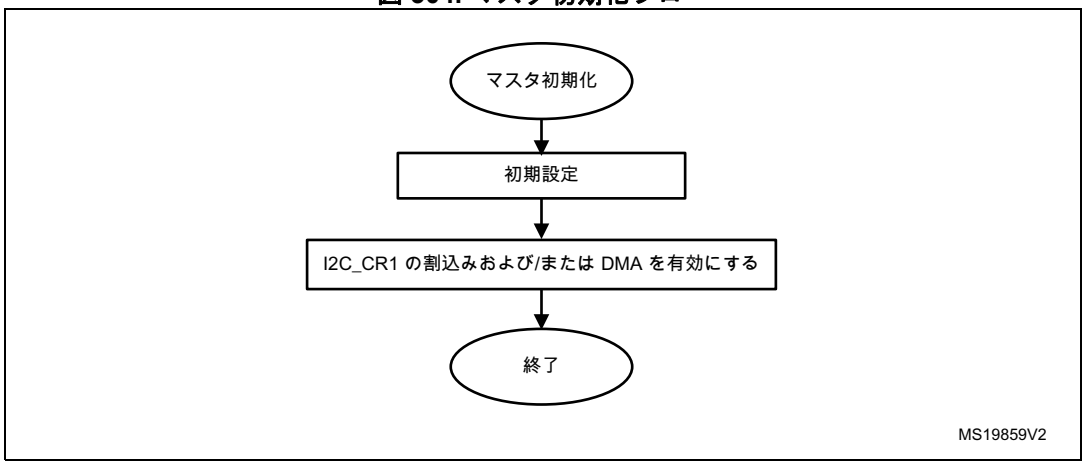
アービトレーション喪失の場合、マスタはスレーブモードに自動的に切り替えて、スレーブとしてアドレス指定された場合は専用アドレスを確認応答できます。

注： **START ビットは、スレーブアドレスがバスに送信されたとき、受信した確認応答値にかかわらず、ハードウェアによってリセットされます。START ビットは、アービトレーション喪失が発生した場合にも、ハードウェアによってリセットされます。**
10 ビットアドレッシングモードでは、スレーブアドレスの最初の 7 ビットがスレーブによって

NACK されている場合、マスタは ACK が受信されるまで自動的にスレーブアドレスの送信を再開します。この場合、NACK をスレーブから受信するかどうか、ADDRCF をセットしてスレーブアドレスの送信を停止する必要があります。
START ビットがセットされているときに、I2C がスレーブとしてアドレス指定された場合（ADDR = 1）、I²C はスレーブモードに切り替わり、ADDRCF ビットがセットされたときに START ビットがクリアされます。

注： **反復スタートコンディションにも同じ手順が適用されます。この場合、BUSY = 1 です。**

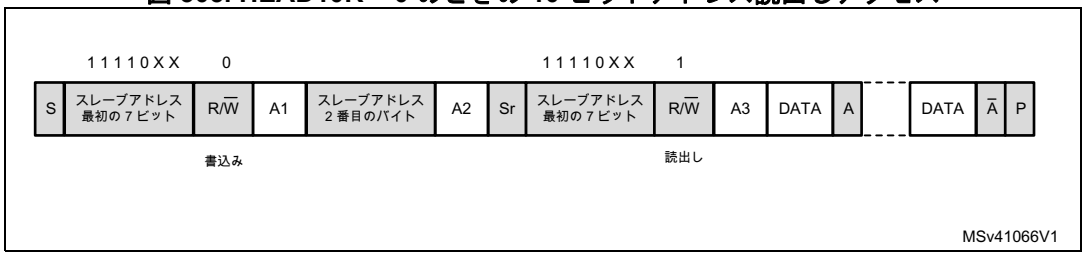
図 304. マスタ初期化フロー



10 ビットアドレススレーブをアドレス指定するマスタレシーバの初期化

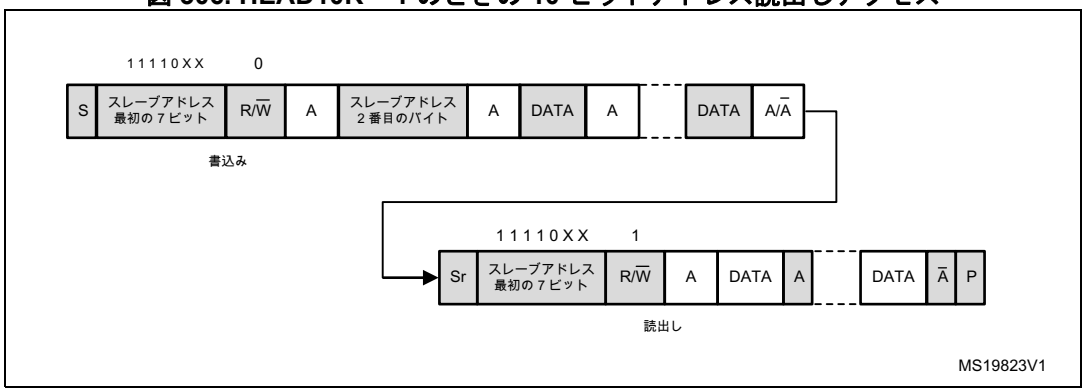
- スレーブアドレスが 10 ビット形式の場合、I2C_CR2 レジスタの HEAD10R ビットをクリアすることによって、完全な読出しシーケンスを送信することができます。この場合、マスタは、START ビットがセットされた後、次のような完全なシーケンスを自動的に送信します：（Re）START + スレーブアドレス 10 ビットヘッダ書込み + スレーブアドレスの 2 番目のバイト + REStart + スレーブアドレス 10 ビットヘッダ読出し。

図 305. HEAD10R = 0 のときの 10 ビットアドレス読出しアクセス



- マスタが 10 ビットアドレススレーブをアドレス指定して、このスレーブアドレスにデータを送信した後、同じスレーブからデータを読み出す場合には、まず、マスタ送信フローが行われる必要があります。その場合、反復開始が、HEAD10R = 1 で設定された 10 ビットスレーブアドレスでセットされます。この場合、マスタは次のシーケンスを送信します：ReStart + スレーブアドレス 10 ビットヘッダ読出し。

図 306. HEAD10R = 1 のときの 10 ビットアドレス読出しアクセス



マスタトランスミッタ

書込み転送の場合、ACK が受信されたときの 9 番目の SCL パルス後、各バイトの送信後に TXIS フラグがセットされます。

I2C_CR1 レジスタの TXIE ビットがセットされている場合、TXIS イベント時に割込みが生成されます。このフラグは、I2C_TXDR レジスタに次に送信されるデータバイトが書き込まれると、クリアされます。

転送中の TXIS イベントの数は、NBYTES[7:0] でプログラムされた値に対応します。送信されるデータバイト数の合計が 255 より大きい場合、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。この場合、NBYTES データが転送されると、TCR フラグがセットされ、NBYTES[7:0] にゼロ以外の値が書き込まれるまで、SCL ラインはローでストレッチされます。

TXIS フラグは、NACK 受信時にはセットされません。

- RELOAD = 0 で NBYTES データが転送されたとき：
  - 自動終了モード（AUTOEND = 1）では、STOP が自動的に送信されます。
  - ソフトウェア終了モード（AUTOEND = 0）では、TC フラグがセットされ、ソフトウェアアクションを実行するために SCL ラインがローでストレッチされます：

    正しいスレーブアドレス設定と転送バイト数で I2C_CR2 レジスタの START ビットをセットすることによって、RESTART コンディションをリクエストできます。START ビットをセットすると、TC フラグがクリアされ、START コンディションがバスに送信されます。

    I2C_CR2 レジスタの STOP ビットをセットすることによって、STOP コンディションをリクエストできます。STOP ビットをセットすると、TC フラグがクリアされ、STOP コンディションがバスに送信されます。
- NACK が受信された場合：TXIS フラグはセットされず、NACK 受信後、自動的に STOP コンディションが送信されます。I2C_ISR レジスタの NACKF フラグがセットされ、NACKIE ビットがセットされていた場合は割込みが生成されます。

図 307. N ≤ 255 バイトの場合の I²C マスタトランスミッタの転送シーケンスフロー

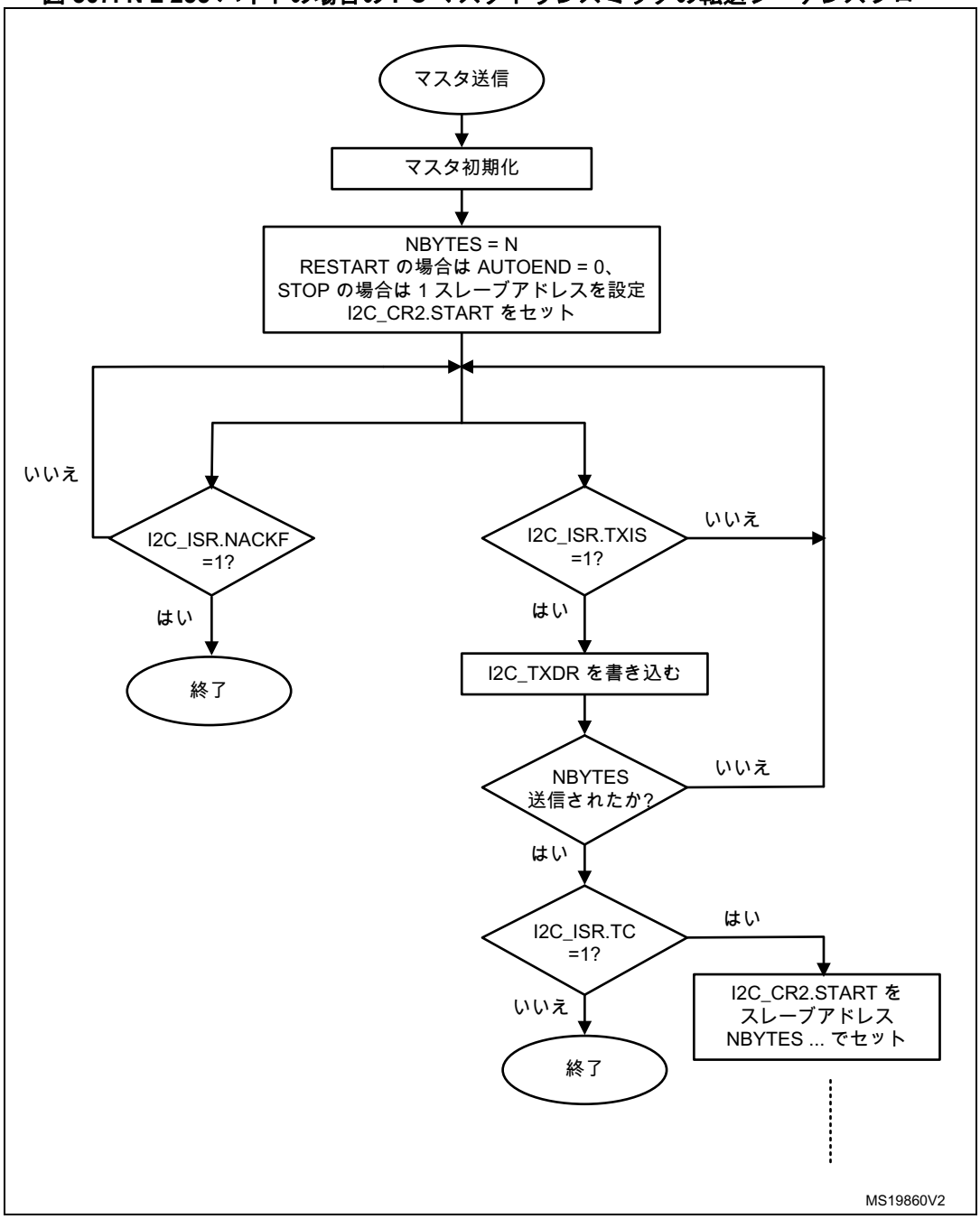


図 308. N > 255 バイトの場合の I²C マスタトランスミッタの転送シーケンスフロー

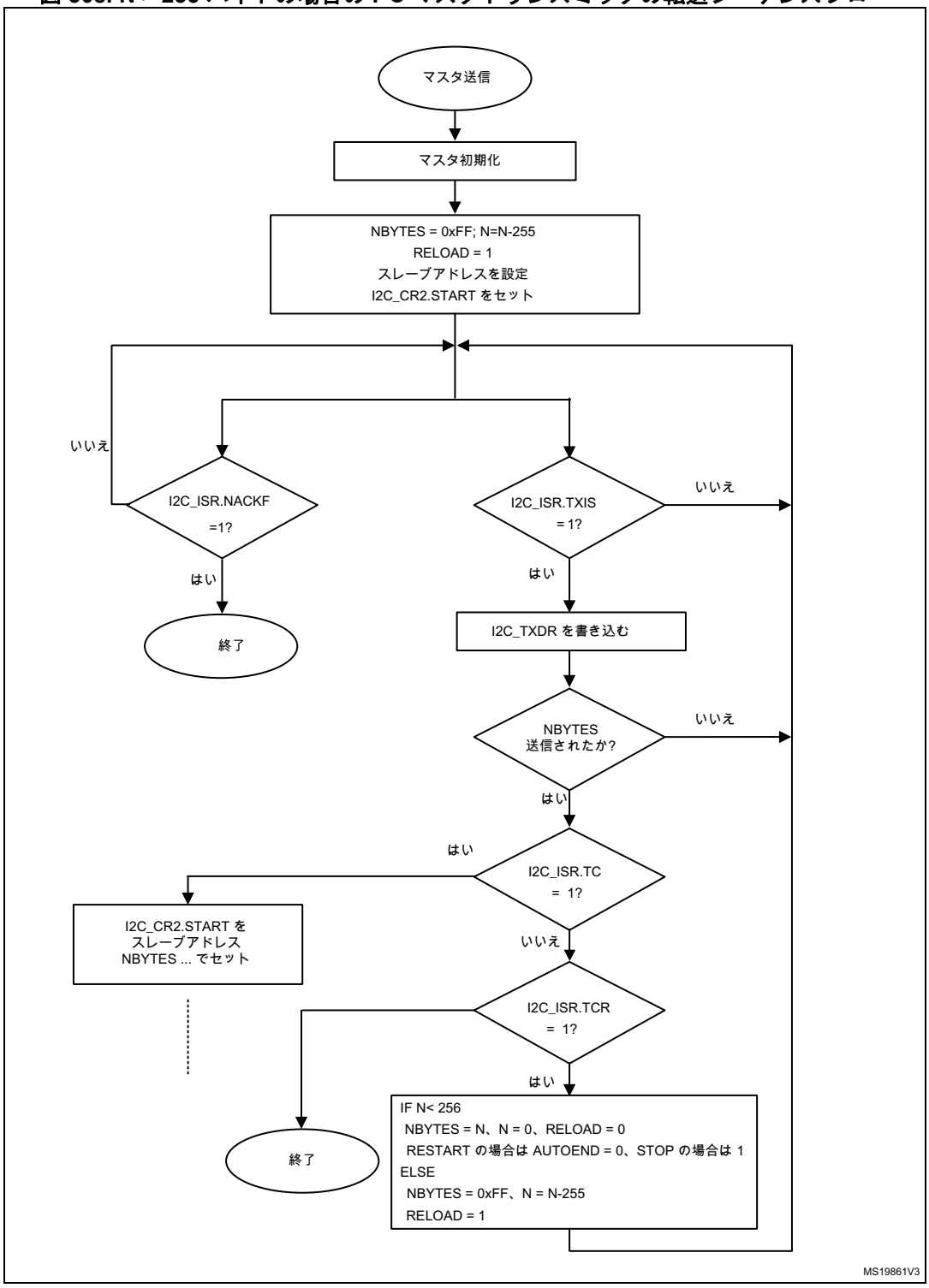
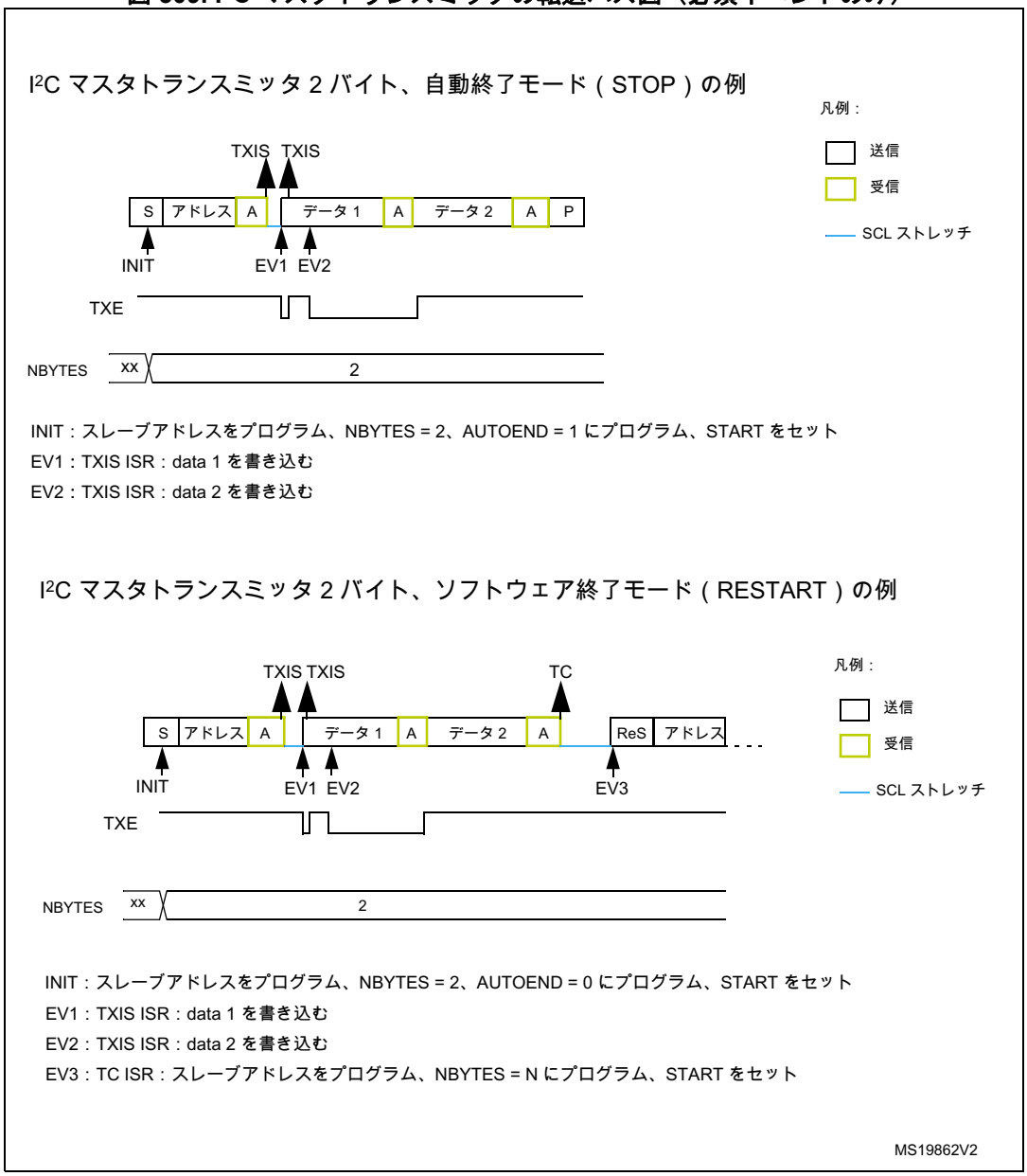


図 309. I²C マスタトランスミッタの転送バス図（必須イベントのみ）



マスタレシーバ

読出し転送の場合、各バイトの受信後や 8 番目の SCL パルス後に RXNE フラグがセットされます。I2C_CR1 レジスタの RXIE ビットがセットされている場合、RXNE イベント時に割込みが生成されます。このフラグは、I2C_RXDR が読み出されたときにクリアされます。

受信されるデータバイト数の合計が 255 より大きい場合、I2C_CR2 レジスタの RELOAD ビットをセットすることによって、再ロードモードを選択する必要があります。この場合、NBYTES[7:0] データが転送されると、TCR フラグがセットされ、NBYTES[7:0] にゼロ以外の値が書き込まれるまで、SCL ラインはローでストレッチされます。

- RELOAD = 0 で NBYTES[7:0] データが転送されたとき：
  - 自動終了モード（AUTOEND = 1）では、最後の受信バイト後に NACK および STOP が自動的に送信されます。
  - ソフトウェア終了モード（AUTOEND = 0）では、最後の受信バイト後に NACK が自動的に送信され、TC フラグがセットされ、ソフトウェアアクションを実行できるように、SCL ラインがローでストレッチされます。

    正しいスレーブアドレス設定と転送バイト数で I2C_CR2 レジスタの START ビットをセットすることによって、RESTART コンディションをリクエストできます。START ビットをセットすると、TC フラグがクリアされ、START コンディションとスレーブアドレスがバスに送信されます。

    I2C_CR2 レジスタの STOP ビットをセットすることによって、STOP コンディションをリクエストできます。STOP ビットをセットすると、TC フラグがクリアされ、STOP コンディションがバスに送信されます。

図 310. N ≤ 255 バイトの場合の I²C マスタレシーバの転送シーケンスフロー

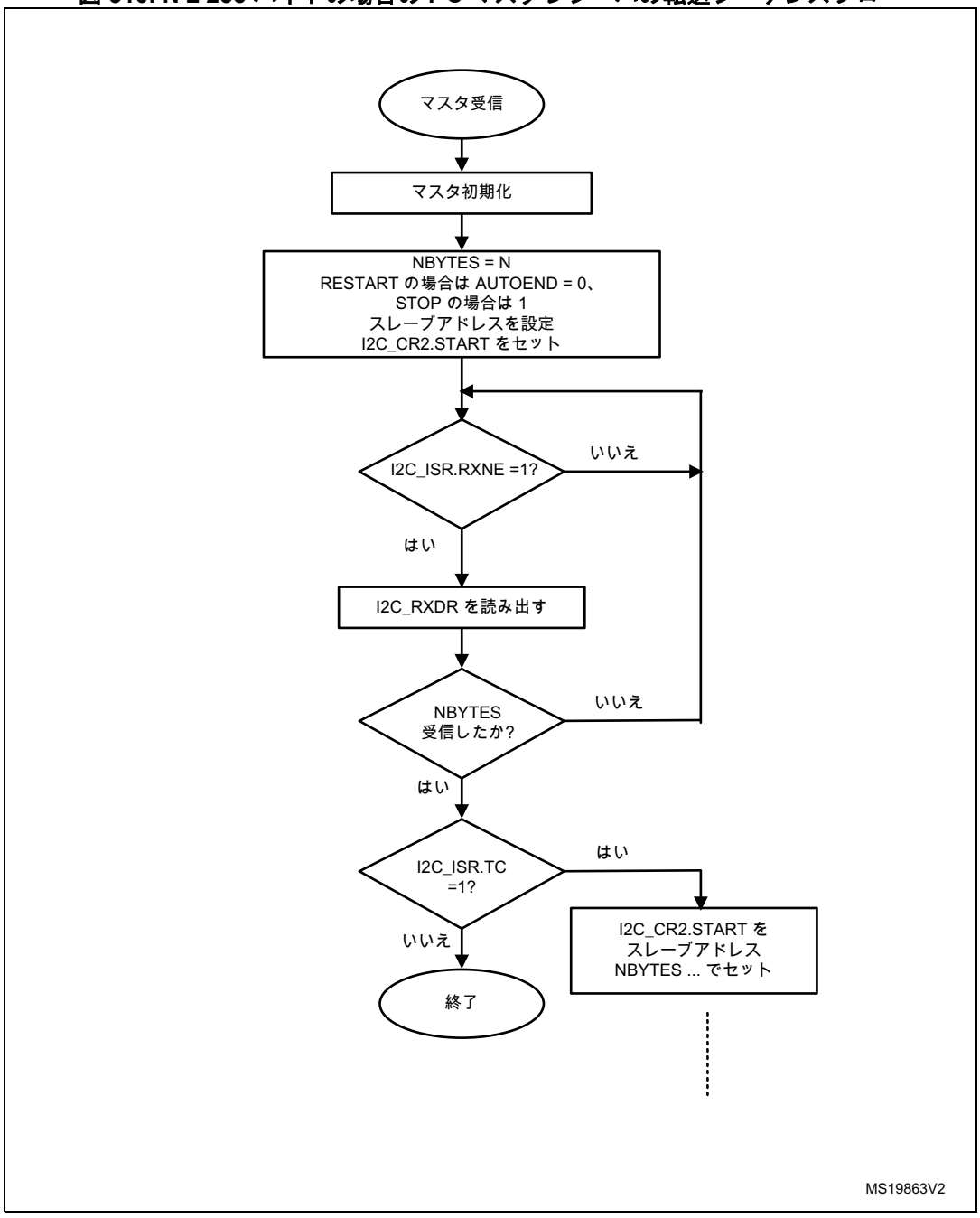


図 311. N > 255 バイトの場合の I²C マスタレシーバの転送シーケンスフロー

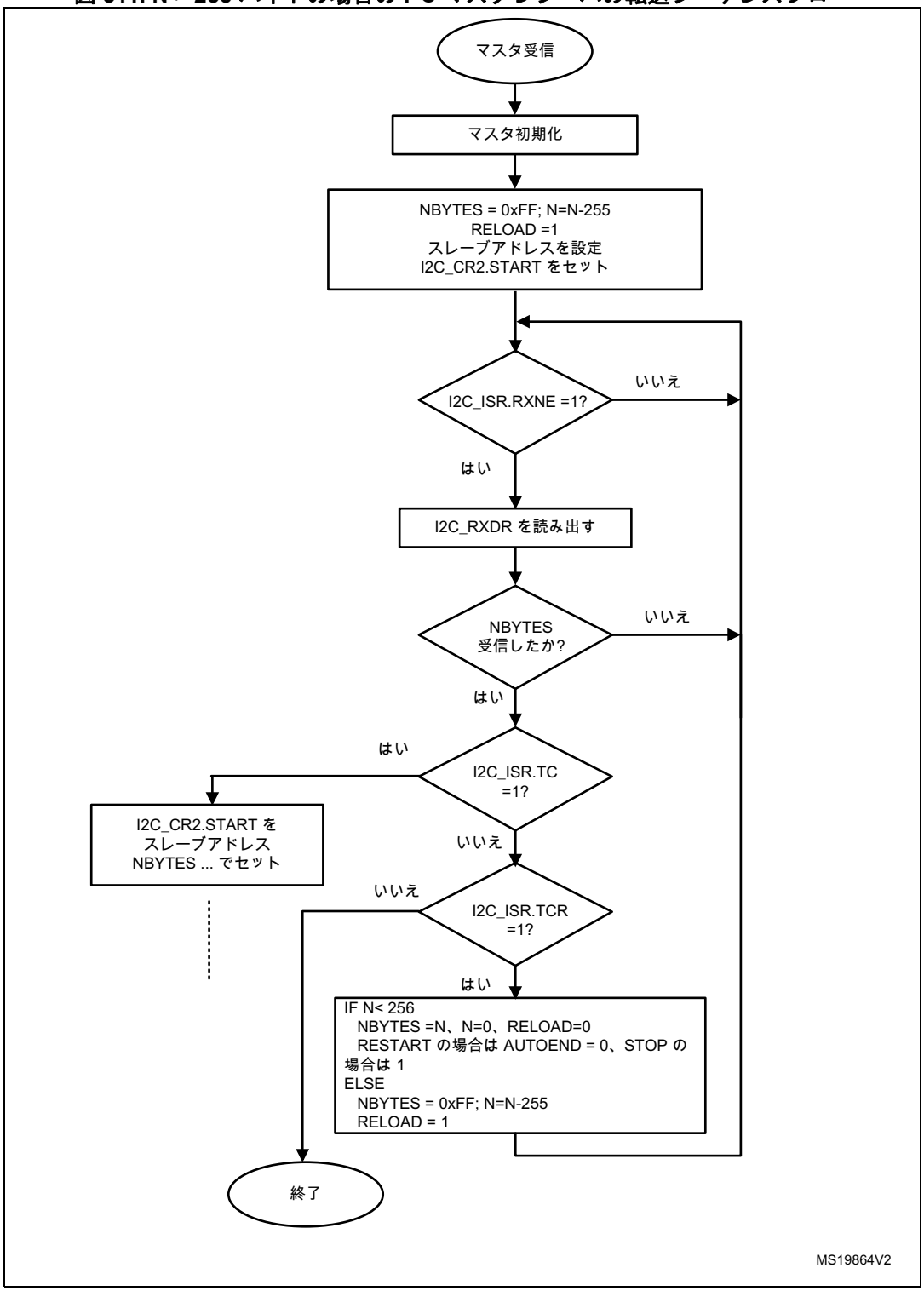
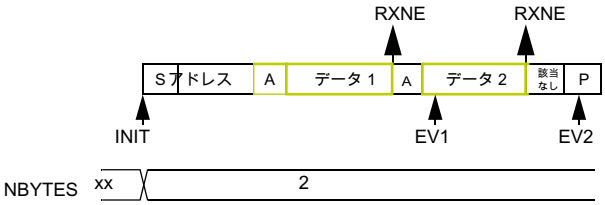


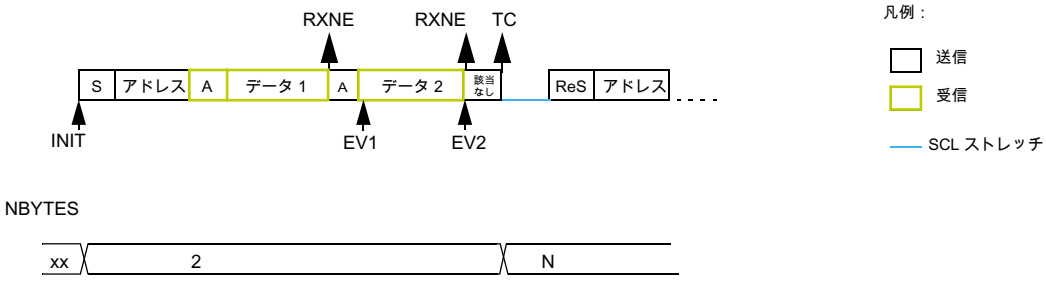
図 312. I²C マスタレシーバの転送バス図（必須イベントのみ）

I²C マスタレシーバ 2 バイト、自動終了モード（STOP）の例



INIT：スレーブアドレスをプログラム、NBYTES = 2、AUTOEND=1 にプログラム、START をセット
EV1：RXNE ISR：data1 を読み出す
EV2：RXNE ISR：data2 を読み出す

I²C マスタレシーバ 2 バイト、ソフトウェア終了モード（RESTART）の例



INIT：スレーブアドレスをプログラム、NBYTES = 2、AUTOEND=0 にプログラム、START をセット
EV1：RXNE ISR：data1 を読み出す
EV2：RXNE ISR：data2 を読み出す
EV3：TC ISR：スレーブアドレスをプログラム、NBYTES = N にプログラム、START をセット

MS19865V1

32.4.10 I2C_TIMINGR レジスタの設定例

次の表に、I²C 仕様に準拠したタイミングを得るための I2C_TIMINGR をプログラムする方法の例を示します。より正確な設定値を得るには、STM32CubeMX ツール（I²C 設定ウィンドウ）を使用してください。

表 193. f_{I2CCLK} = 8 MHz でのタイミング設定の例

パラメータ	標準モード（Sm）		高速モード（Fm）	高速モードプラス (Fm+)
	10 kHz	100 kHz	400 kHz	500 kHz
PRESC	0x1	0x1	0x0	0x0
SCLL	0xC7	0x13	0x9	0x6
t_{SCLL}	200 x 250 ns = 50 µs	20 x 250 ns = 5.0 µs	10 x 125 ns = 1250 ns	7 x 125 ns = 875 ns
SCLH	0xC3	0xF	0x3	0x3
t_{SCLH}	196 x 250 ns = 49 µs	16 x 250 ns = 4.0 µs	4 x 125 ns = 500 ns	4 x 125 ns = 500 ns
t_{SCL}(1)	～100 µs(2)	～10 µs (2)	～2500 ns(3)	～2000 ns(4)
SDADEL	0x2	0x2	0x1	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	1 x 125 ns = 125 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	2 x 125 ns = 250 ns

1. t_{SCL} は、SCL 内部検出遅延のため、t_{SCLL} + t_{SCLH} より大きくなります。t_{SCL} として示されている値は例にすぎません。
2. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 500 ns です。例：t_{SYNC1} + t_{SYNC2} = 1000 ns
3. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 500 ns です。例：t_{SYNC1} + t_{SYNC2} = 750 ns
4. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 500 ns です。例：t_{SYNC1} + t_{SYNC2} = 655 ns

表 194. f_{I2CCLK} = 16 MHz でのタイミング設定の例

パラメータ	標準モード（Sm）		高速モード（Fm）	高速モードプラス (Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	0x3	0x3	0x1	0x0
SCLL	0xC7	0x13	0x9	0x4
t_{SCLL}	200 x 250 ns = 50 µs	20 x 250 ns = 5.0 µs	10 x 125 ns = 1250 ns	5 x 62.5 ns = 312.5 ns
SCLH	0xC3	0xF	0x3	0x2
t_{SCLH}	196 x 250 ns = 49 µs	16 x 250 ns = 4.0 µs	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns
t_{SCL}(1)	～100 µs(2)	～10 µs (2)	～2500 ns(3)	～1000 ns(4)
SDADEL	0x2	0x2	0x2	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	2 x 125 ns = 250 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x2
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns

1. t_{SCL} は、SCL 内部検出遅延のため、t_{SCLL} + t_{SCLH} より大きくなります。t_{SCL} として示されている値は例にすぎません。
2. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 250 ns です。例：t_{SYNC1} + t_{SYNC2} = 1000 ns
3. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 250 ns です。例：t_{SYNC1} + t_{SYNC2} = 750 ns
4. t_{SYNC1} + t_{SYNC2} 最小値は、4 x t_{I2CCLK} = 250 ns です。例：t_{SYNC1} + t_{SYNC2} = 500 ns

32.4.11 SMBus 固有の機能

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

概要

システム管理バス（SMBus）は、さまざまなデバイスが互いに通信したり、残りのシステム部分と通信したりできる 2 線インタフェースです。I²C の動作原理に基づきます。SMBus により、システムおよびパワーマネージメント関連のタスク向けの制御バスが実現できます。

このペリフェラルは、SMBus 仕様（http://smbus.org）と互換性があります。

システム管理バス仕様では、3 種類のデバイスを規定しています。

- スレーブとは、コマンドを受信したり、コマンドに応答したりするデバイスです。
- マスタとは、コマンドを発行し、クロックを生成し、転送を終了させるデバイスです。
- ホストとは、システムの CPU にメインインタフェースを提供する特殊なマスタです。ホストは、マスタ／スレーブとすることができ、SMBus ホスト通知プロトコルをサポートする必要があります。システム内では、ただ 1 つのホストが許容されます。

このペリフェラルは、マスタまたはスレーブデバイスとして、また、ホストとしても設定できます。

バスプロトコル

特定のデバイスについて、11 の可能なコマンドプロトコルがあります。デバイスは、11 のプロトコルの一部または全部を使用して通信できます。プロトコルは、Quick Command、Send Byte、Receive Byte、Write Byte、Write Word、Read Byte、Read Word、Process Call、Block Read、Block Write、および Block Write-Block Read Process Call です。これらのプロトコルは、ユーザのソフトウェアによって実装する必要があります。

これらのプロトコルの詳細については、SMBus 仕様（http://smbus.org）を参照してください。

アドレス解決プロトコル（ARP）

SMBus スレーブアドレスの競合は、各スレーブデバイスに新しいユニークなアドレスを動的に割り当てることによって解決できます。アドレス割り当てを目的とする各デバイスを分離する仕組みを提供するために、各デバイスは一意デバイス識別子（UDID）を実装する必要があります。128 ビットの番号がソフトウェアによって実装されます。

このペリフェラルは、アドレス解決プロトコル（ARP）をサポートします。SMBus デバイスのデフォルトアドレス（0b1100 001）は、I2C_CR1 レジスタの SMBDEN ビットをセットすることによって有効になります。ARP コマンドは、ユーザのソフトウェアによって実装する必要があります。

ARP サポートのために、スレーブモードでアービトレーションも行われます。

SMBus アドレス解決プロトコルの詳細については、SMBus 仕様（http://smbus.org）を参照してください。

受信コマンドおよびデータ確認応答制御

SMBus レシーバは、受信した各コマンドまたはデータを NACK できなければなりません。スレーブモードで ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。詳細については、スレーブバイト制御モードを参照してください。

ホスト通知プロトコル

このペリフェラルは、I2C_CR1 レジスタの SMBHEN ビットをセットすることによって、ホスト通知プロトコルをサポートします。この場合、ホストは SMBus ホストアドレス（0b0001 000）を確認応答します。

このプロトコルが使用されると、デバイスはマスタとして動作し、ホストはスレーブとして動作します。

SMBus アラート

SMBus ALERT オプション信号がサポートされます。スレーブ専用デバイスは、通信したいホストの SMBALERT# ピンを通じてホストに信号を送信します。ホストは、割込みを処理し、アラート応答アドレス（0b0001 100）を通じて全 SMBALERT# デバイスに同時にアクセスします。SMBALERT# をローに引き下げたデバイスのみが、アラート応答アドレスを確認応答します。

スレーブデバイスとして設定されたとき（SMBHEN = 0）、I2C_CR1 レジスタの ALERTEN ビットをセットすることによって、SMBA ピンはローに引き下げられます。同時に、アラート応答アドレスが有効になります。

ホストとして設定されたとき（SMBHEN = 1）、SMBA ピンで立ち下がりエッジが検出され、ALERTEN = 1 のとき、I2C_ISR レジスタの ALERT フラグがセットされます。I2C_CR1 レジスタの ERRIE ビットがセットされている場合は、割込みが生成されます。ALERTEN = 0 のときには、外部 SMBA ピンがローの場合でも、ALERT ラインはハイとみなされます。

SMBus ALERT ピンが不要な場合には、ALERTEN = 0 の場合、SMBA ピンを標準 GPIO として使用できます。

パケットエラーチェック

信頼性と通信の堅牢性を向上させるために、SMBus 仕様にパケットエラーチェックメカニズムが導入されました。パケットエラーチェックは、各メッセージ転送の終わりにパケットエラーコード（PEC）を付加することによって実装されます。PEC は、すべてのメッセージバイト（アドレスと読出し／書込みビットを含む）に対して $C(x) = x_8 + x^2 + x + 1$ CRC-8 多項式を使用して計算されます。

ペリフェラルはハードウェア PEC 計算機が組み込まれ、受信バイトがハードウェアによって計算された PEC に一致しないときには自動的に非確認応答を送信できます。

タイムアウト

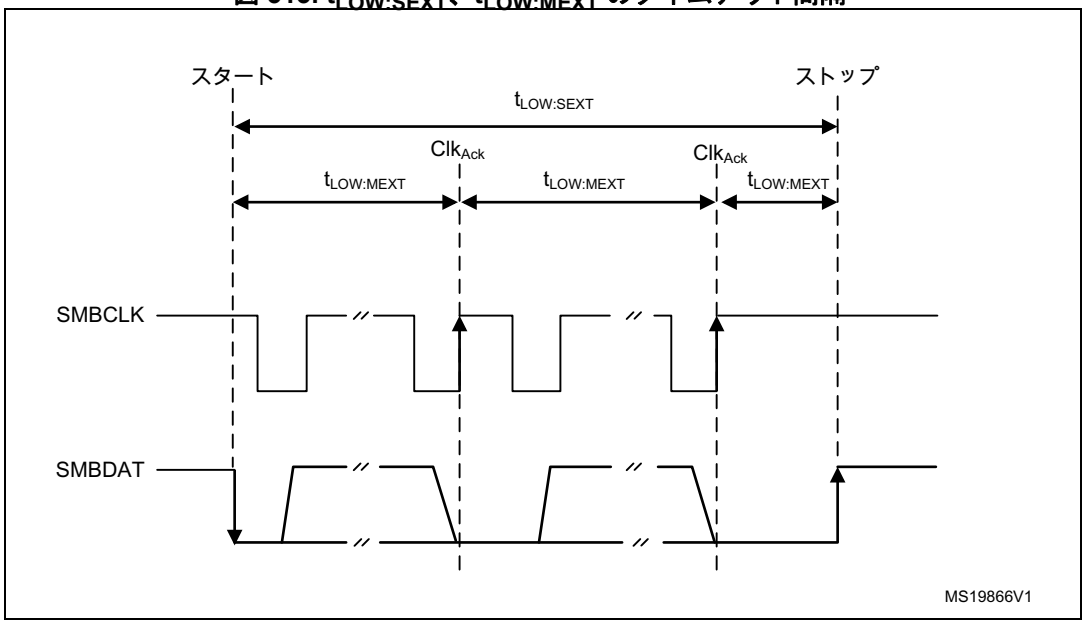
このペリフェラルは、SMBus 仕様で定義された 3 つのタイムアウトに準拠するために、ハードウェアタイマが組み込まれています。

表 195. SMBus タイムアウト仕様

記号	パラメータ	リミット		単位
		最小値	最大値	
$t_{TIMEOUT}$	クロックロータイムアウト検出	25	35	ms
$t_{LOW:SEXT}$(1)	累積クロックロー延長時間（スレーブデバイス）	-	25	
$t_{LOW:MEXT}$(2)	累積クロックロー延長時間（マスタデバイス）	-	10	

1. $t_{LOW:SEXT}$ は、特定のスレーブデバイスが初めの START から STOP までの 1 つのメッセージのクロックサイクルを延長できる累積時間です。別のスレーブデバイスまたはマスタもクロックを延長して、合計のクロックロー延長時間が $t_{LOW:SEXT}$ より大きくなることがあります。したがって、このパラメータは、スレーブデバイスをフルスピードのマスタの単独のターゲットとして測定されます。
2. $t_{LOW:MEXT}$ は、マスタがメッセージの各バイト内のクロックサイクルを START-to-ACK、ACK-to-ACK、または ACK-to-STOP から定義に従って延長できる累積時間です。スレーブデバイスまたは別のマスタも与えられたバイトでクロックを延長して、合計のクロックロー時間を $t_{LOW:MEXT}$ より大きくすることができます。したがって、このパラメータは、フルスピードスレーブデバイスをマスタの単独のターゲットとして測定されます。

図 313. $t_{LOW:SEXT}$、$t_{LOW:MEXT}$ のタイムアウト間隔



バスアイドル検出

マスタは、クロックおよびデータ信号が $t_{HIGH,MAX}$ より大きい t_{IDLE} の間ハイであった場合、バスはフリーであるとみなすことができます（表 190 を参照）。

このタイミングパラメータは、マスタがバスに動的に追加し、SMBCLK または SMBDAT ラインで状態遷移を検出しなかった可能性のあるコンディションをカバーします。この場合、マスタは十分に長い時間待って、転送が進行中でないことを確認する必要があります。このペリフェラルは、ハードウェアバスアイドル検出をサポートします。

32.4.12 SMBus 初期化

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3を参照）。

SMBus 通信を行うためには、I²C 初期化に加えて、他にも特定の初期化を行う必要があります。

受信コマンドおよびデータ確認応答制御（スレーブモード）

SMBus レシーバは、受信した各コマンドまたはデータを NACK できなければなりません。スレーブモードで ACK 制御を可能にするためには、I2C_CR1 レジスタの SBC ビットをセットすることによって、スレーブバイト制御モードを有効にする必要があります。詳細については、スレーブバイト制御モードを参照してください。

特定アドレス（スレーブモード）

必要な場合は、特定の SMBus アドレスを有効にしてください。詳細については、バスアイドル検出を参照してください。

- SMBus デバイスのデフォルトアドレス（0b1100 001）は、I2C_CR1 レジスタの SMBDEN ビットをセットすることによって有効になります。
- SMBus ホストアドレス（0b0001 000）は、I2C_CR1 レジスタの SMBHEN ビットをセットすることによって有効になります。
- アラート応答アドレス（0b0001100）は、I2C_CR1 レジスタの ALERTEN ビットをセットすることで有効になります。

パケットエラーチェック

PEC 計算を有効にするには、I2C_CR1 レジスタの PECEN ビットをセットします。その場合、PEC 転送はハードウェアバイトカウンタ（I2C_CR2 レジスタの NBYTES[7:0]）を使用して管理されます。PECEN ビットは、I²C を有効にする前に設定する必要があります。

PEC 転送はハードウェアバイトカウンタによって管理されるので、スレーブモードで SMBus とインタフェースするときには SBC ビットをセットする必要があります。PEC は、PECBYTE ビットがセットされ、RELOAD ビットがクリアされたとき、NBYTES - 1 データの転送後に転送されます。RELOAD がセットされた場合、PECBYTE は効果がありません。

注意： **I²C が有効なときには、PECEN 設定の変更はできません。**

表 196. SMBus の PEC 設定

モード	SBC ビット	RELOAD ビット	AUTOEND ビット	PECBYTE ビット
マスタ Tx/Rx NBYTES + PEC+ STOP	x	0	1	1
マスタ Tx/Rx NBYTES + PEC + ReSTART	x	0	0	1
スレーブ Tx/Rx と PEC	1	0	x	1

タイムアウト検出

タイムアウト検出は、I2C_TIMEOUTR レジスタの TIMOUTEN および TEXTEN ビットをセットすることによって有効になります。SMBus 仕様で指定された最大時間の前にタイムアウトを検出するようにタイマをプログラムする必要があります。

- $t_{TIMEOUT}$ チェック

  $t_{TIMEOUT}$ チェックを有効にするためには、12 ビットの TIMEOUTA[11:0] ビットを、$t_{TIMEOUT}$ パラメータをチェックするためにタイマ再ロード値でプログラムする必要があります。SCL ローレベルタイムアウトを検出するためには、TIDLE ビットを 0 に設定する必要があります。

  その場合、タイマは、I2C_TIMEOUTR レジスタの TIMOUTEN をセットすることによって有効になります。

  SCL が (TIMEOUTA + 1) x 2048 x t_{I2CCLK} より長い時間、ローに設定された場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。

  表 197 を参照してください。

注意： **TIMEOUTEN ビットがセットされているときには、TIMEOUTA[11:0] ビットおよび TIDLE ビットの設定変更はできません。**

- $t_{LOW:SEXT}$ および $t_{LOW:MEXT}$ チェック

  ペリフェラルがマスタとして設定されているか、スレーブとして設定されているかに応じて、12 ビットの TIMEOUTB タイマは、スレーブの場合は $t_{LOW:SEXT}$ をチェックするために、マスタの場合は $t_{LOW:MEXT}$ をチェックするために、設定する必要があります。標準では最大値のみが規定されているので、両方について同じ値を選ぶことができます。

  その場合、タイマは、I2C_TIMEOUTR レジスタの TEXTEN ビットをセットすることによって有効になります。

  SMBus ペリフェラルが、（TIMEOUTB + 1）x 2048 x t_{I2CCLK} より長い時間および バスアイドル検出 セクションで述べられているタイムアウト間隔で、累積 SCL ストレッチを実行した場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。

  表 198を参照してください。

注意： **TEXTEN ビットがセットされているときには、TIMEOUTB 設定変更はできません。**

バスアイドル検出

t_{IDLE} チェックを有効にするためには、12 ビットの TIMEOUTA[11:0] フィールドを t_{IDLE} パラメータを得るためにタイマ再ロード値でプログラムする必要があります。SCL および SDA ハイレベルタイムアウトを検出するためには、TIDLE ビットを 1 に設定する必要があります。

その場合、タイマは、I2C_TIMEOUTR レジスタの TIMOUTEN ビットをセットすることによって有効になります。

SCL および SDA の両方のラインが（TIMEOUTA + 1）x 4 x t_{I2CCLK} より長い間ハイのままであった場合、I2C_ISR レジスタの TIMEOUT フラグがセットされます。

表 199 を参照してください。

注意： **TIMEOUTEN がセットされているときに、TIMEOUTA および TIDLE 設定を変更することはできません。**

32.4.13 SMBus：I2C_TIMEOUTR レジスタの設定例

このセクションは、SMBus 機能がサポートされるときにのみ適用されます。セクション 32.3 を参照してください。

- $t_{TIMEOUT}$ の最大時間を 25 ms に設定：

表 197. TIMEOUTA の設定例（最大 $t_{TIMEOUT}$ = 25 ms）

f_{I2CCLK}	TIMEOUTA[11:0] ビット	TIDLE ビット	TIMEOUTEN ビット	$t_{TIMEOUT}$
8 MHz	0x61	0	1	98 x 2048 x 125 ns = 25 ms
16 MHz	0xC3	0	1	196 x 2048 x 62.5 ns = 25 ms

- $t_{LOW:SEXT}$ および $t_{LOW:MEXT}$ の最大時間を 8 ms に設定：

表 198. TIMEOUTB の設定例

f_{I2CCLK}	TIMEOUTB[11:0] ビット	TEXTEN ビット	$t_{LOW:EXT}$
8 MHz	0x1F	1	32 x 2048 x 125 ns = 8 ms
16 MHz	0x3F	1	64 x 2048 x 62.5 ns = 8 ms

- t_{IDLE} の最大時間を 50 µs に設定

表 199. TIMEOUTA の設定例（最大 t_{IDLE} = 50 µs）

f_{I2CCLK}	TIMEOUTA[11:0] ビット	TIDLE ビット	TIMEOUTEN ビット	t_{TIDLE}
8 MHz	0x63	1	1	100 x 4 x 125 ns = 50 µs
16 MHz	0xC7	1	1	200 x 4 x 62.5 ns = 50 µs

32.4.14 SMBus スレーブモード

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

I²C スレーブ転送管理（セクション 32.4.8 を参照）に加えて、SMBus をサポートするために、いくつか追加のソフトウェアフローが用意されています。

SMBus スレーブトランスミッタ

IP が SMBus で使用されるときには、SBC は、プログラムされたデータバイト数の終わりの PEC 送信を有効にするため、"1"にプログラムする必要があります。PECBYTE ビットがセットされているときには、NBYTES[7:0] でプログラムされたバイト数には PEC 送信が含まれます。その場合、TXIS 割込みの合計数は NBYTES - 1 であり、NBYTES - 1 データ転送後にマスタが追加のバイトをリクエストした場合、I2C_PECR レジスタの内容が自動的に送信されます。

注意： **PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。**

図 314. N バイト + PEC の場合の SMBus スレーブトランスミッタの転送シーケンスフロー

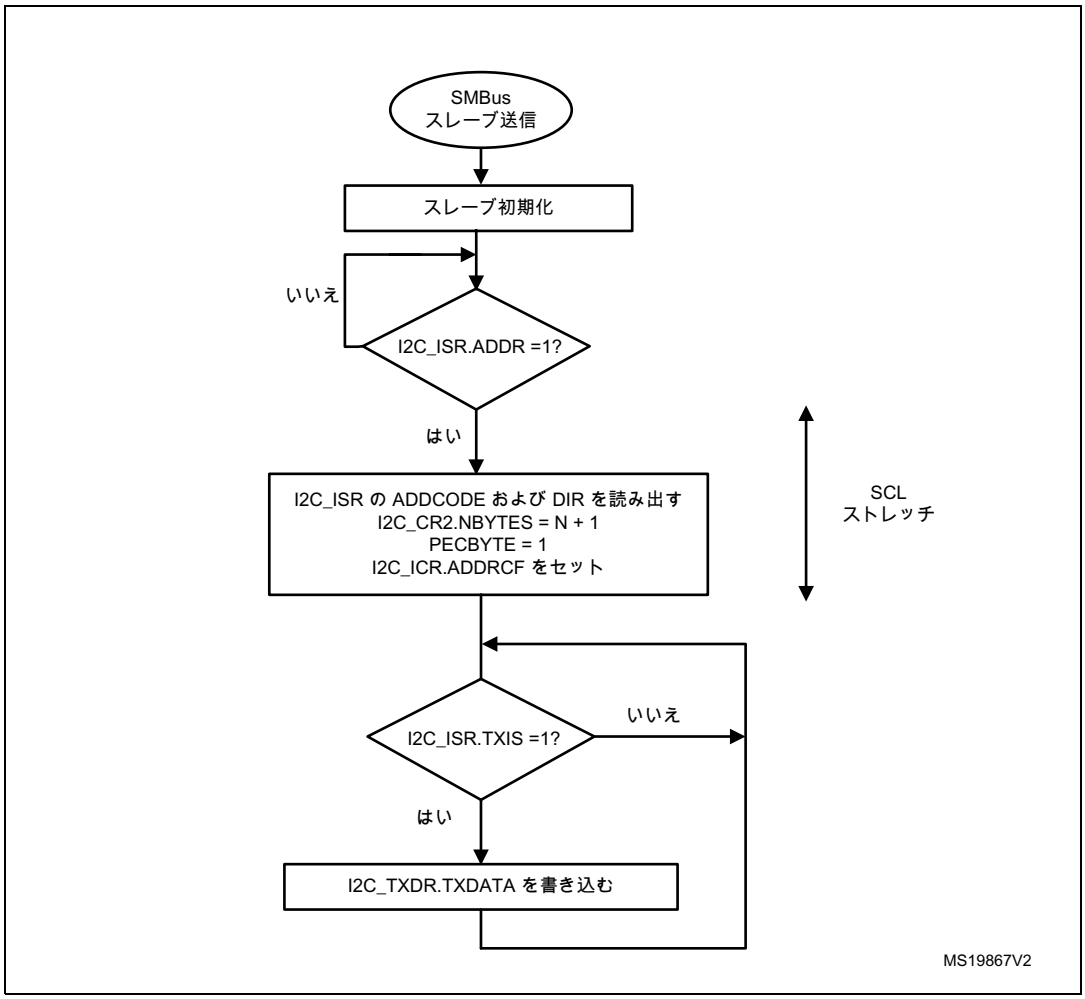
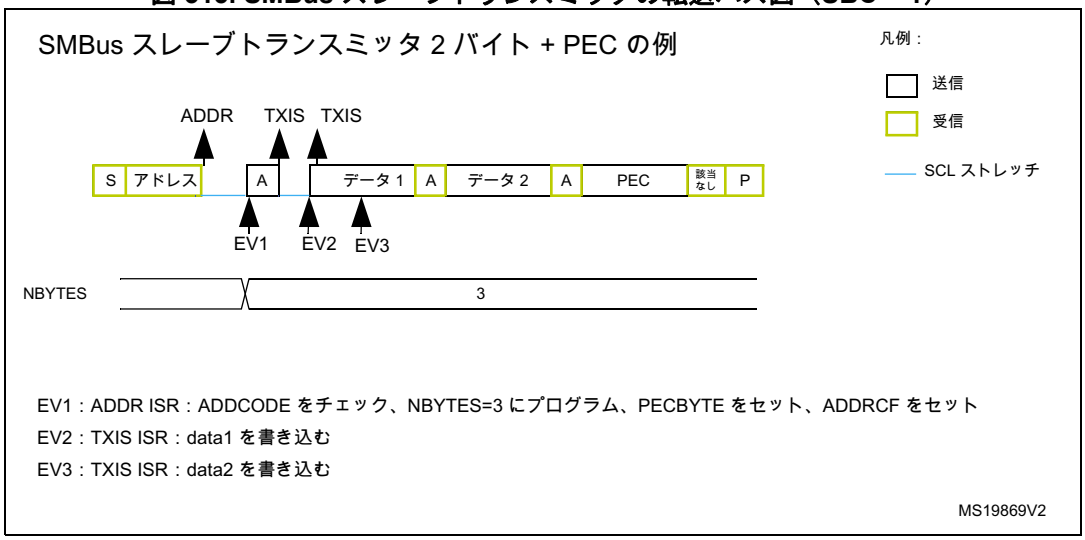


図 315. SMBus スレーブトランスミッタの転送バス図（SBC = 1）



SMBus スレーブレシーバ

I²C が SMBus モードで使用されるときには、SBC は、プログラムされたデータバイト数の終わりの PEC チェックを可能にするため、"1"にプログラムする必要があります。各バイトの ACK 制御を可能にするためには、再ロードモードを選択する必要があります（RELOAD = 1）。詳細については、スレーブバイト制御モードを参照してください。

PEC バイトをチェックするためには、RELOAD ビットをクリアして、PECBYTE ビットをセットする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが内部 I2C_PECR レジスタの内容と比較されます。ACK ビットの値にかかわらず、比較が一致しなかった場合は NACK が自動的に生成され、比較が一致した場合は ACK が自動的に生成されます。PEC バイトが受信されると、他のデータと同様に I2C_RXDR レジスタにコピーされ、RXNE フラグがセットされます。

PEC 不一致の場合、PECERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

ACK ソフトウェア制御が不要な場合は、PECBYTE = 1 をプログラムし、同じ書込み操作で NBYTES を連続フローで受信するバイト数にプログラムします。NBYTES - 1 が受信された後、次の受信バイトが PEC であるかどうかがチェックされます。

注意： **PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。**

図 316. N バイト + PEC の場合の SMBus スレーブレシーバの転送シーケンスフロー

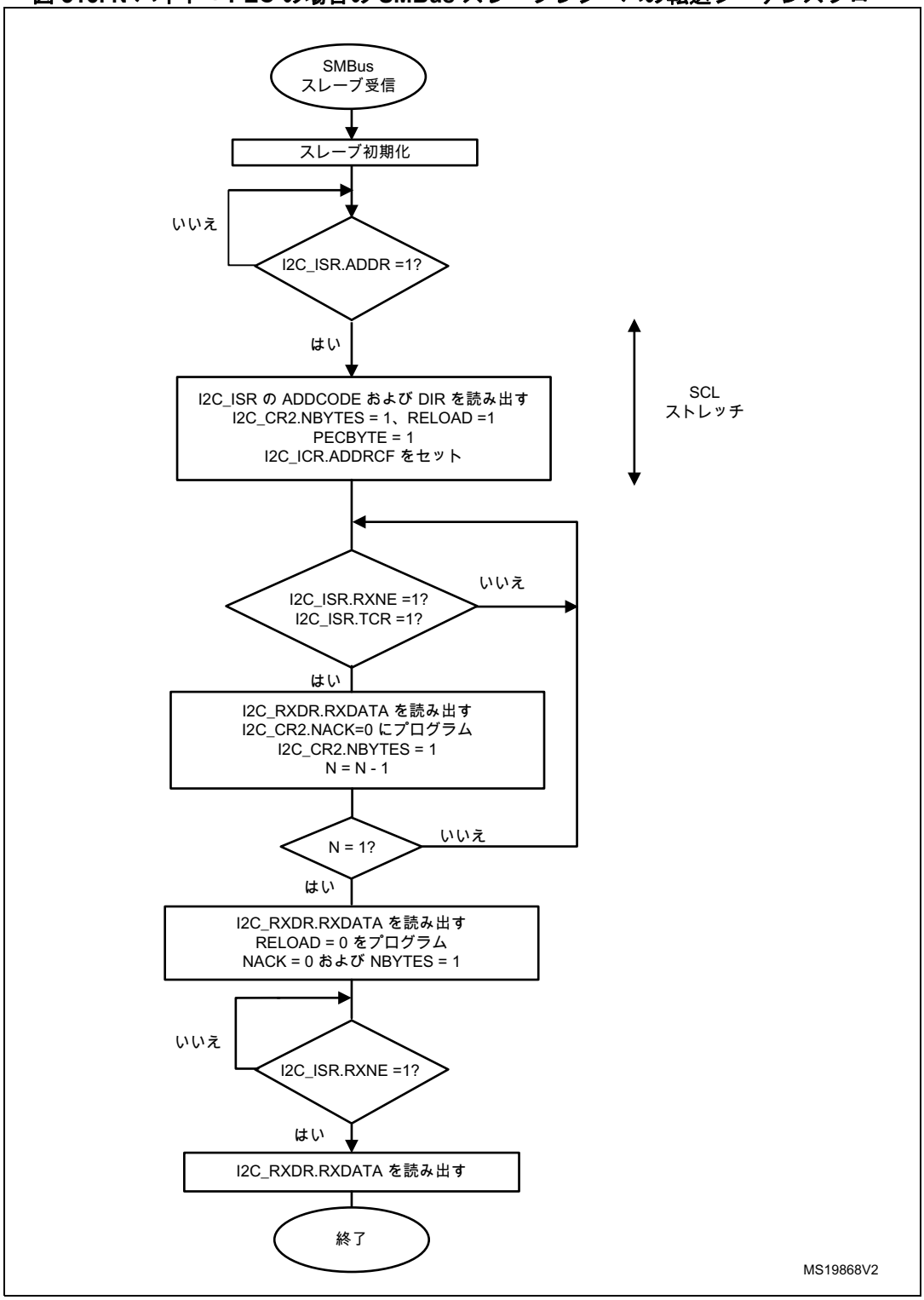
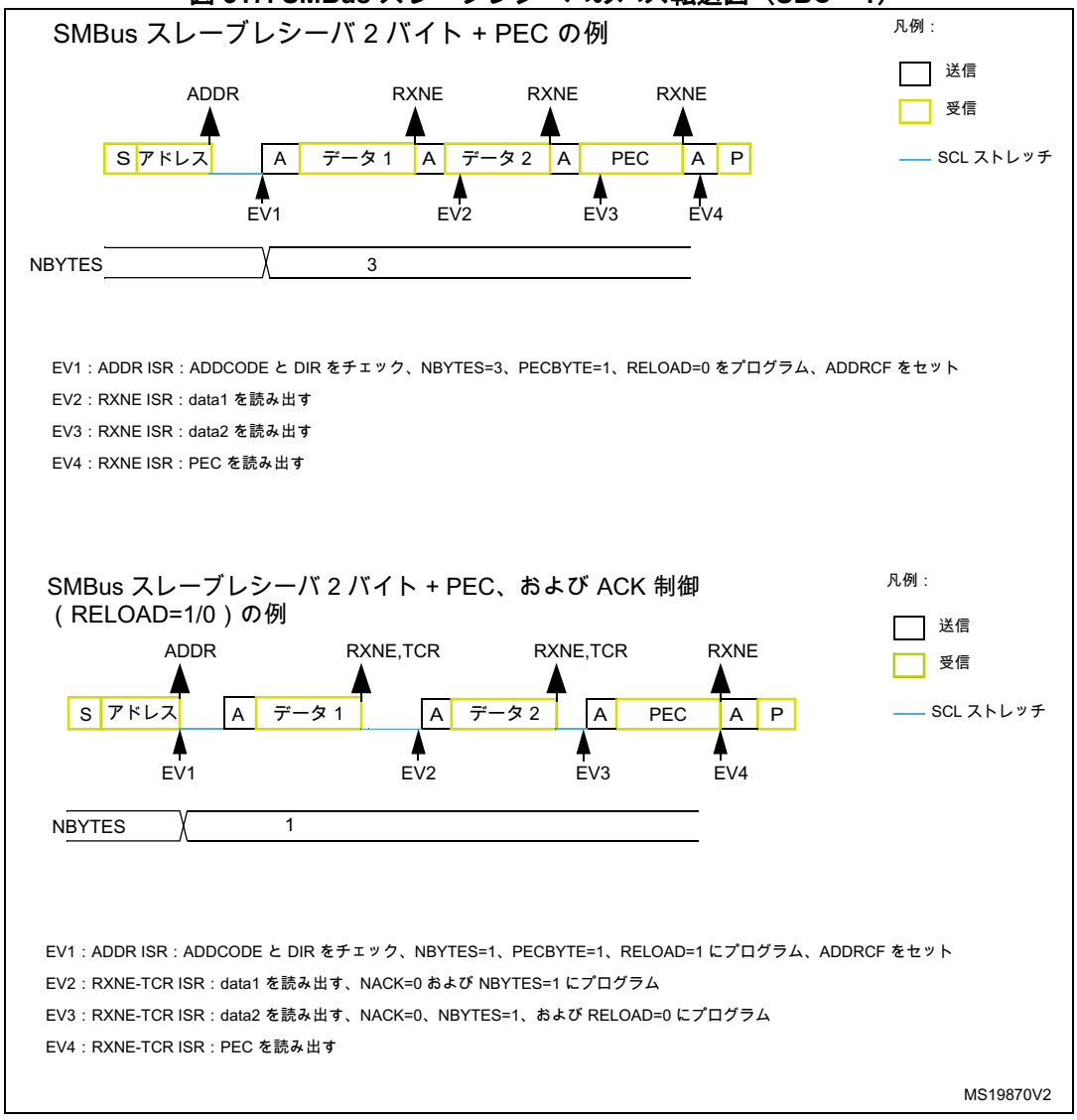


図 317. SMBus スレーブレシーバのバス転送図（SBC = 1）



このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

I2C マスタ転送管理（セクション 32.4.9 を参照）に加えて、SMBus をサポートするために、いくつか追加のソフトウェアフローが用意されています。

SMBus マスタトランスミッタ

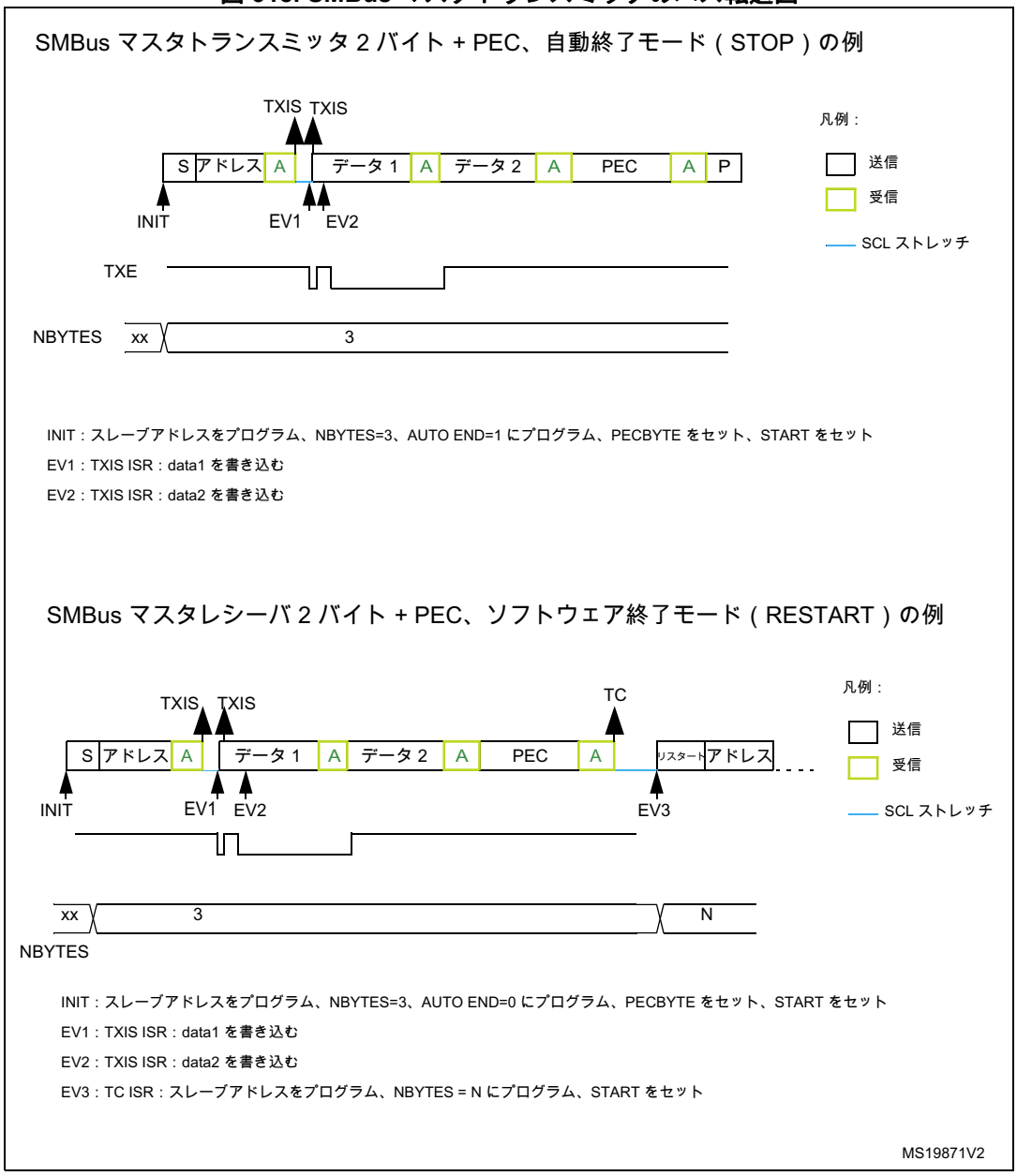
SMBus マスタが PEC を送信したいときには、START ビットをセットする前に、PECBYTE ビットをセットする必要があり、バイト数を NBYTES[7:0] フィールドでプログラムする必要があります。この場合、TXIS 割込みの合計数は NBYTES - 1 になります。したがって、NBYTES = 0x1 のときに PECBYTE ビットがセットされた場合、I2C_PECR レジスタの内容が自動的に送信されます。

SMBus マスタが PEC 後に STOP コンディションを送信したい場合は、自動終了モードを選択してください（AUTOEND = 1）。この場合、PEC 送信に続いて、STOP コンディションが自動的に送信されます。

SMBus マスタが PEC 後に RESTART コンディションを送信したい場合は、ソフトウェアモードを選択してください（AUTOEND = 0）。この場合、NBYTES - 1 が送信されると、PEC 送信後に I2C_PECR レジスタの内容が送信され、TC フラグがセットされ、SCL ラインローをストレッチします。RESTART コンディションを TC 割込みサブルーチンでプログラムする必要があります。

注意： **PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。**

図 318. SMBus マスタトランスミッタのバス転送図



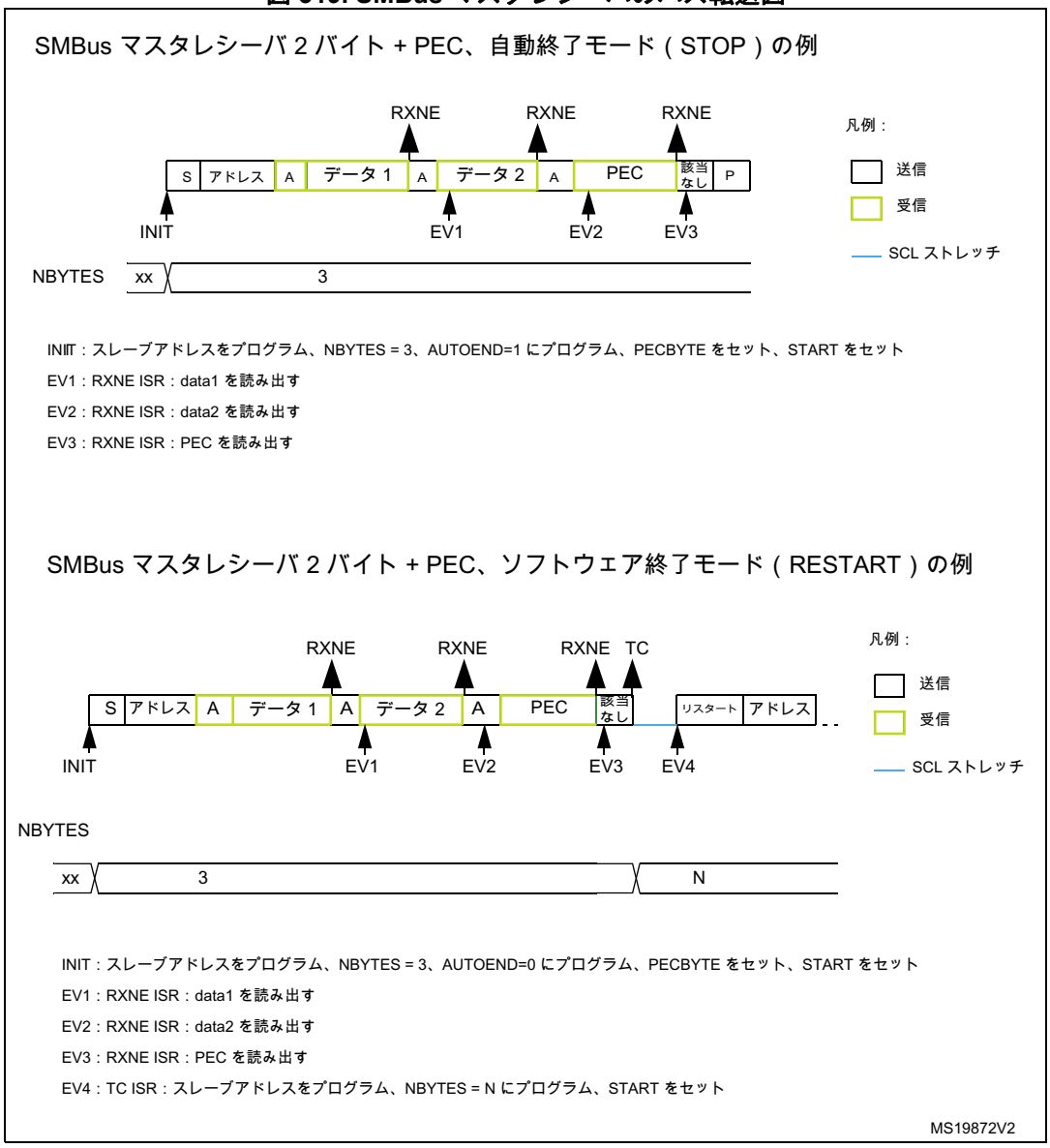
SMBus マスタレシーバ

SMBus マスタが転送終了時に PEC を受信してから STOP を受信したいときには、自動終了モードを選択できます（AUTOEND = 1）。START ビットをセットする前に、PECBYTE ビットをセットする必要があり、スレーブアドレスをプログラムする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが I2C_PECR レジスタの内容と自動的に照合されます。PEC バイトに対して NACK 応答が与えられた後、STOP コンディションが送信されます。

SMBus マスタが転送終了時に PEC バイトを受信してから RESTART を受信したいときには、ソフトウェアモードを選択する必要があります（AUTOEND = 0）。START ビットをセットする前に、PECBYTE ビットをセットする必要があり、スレーブアドレスをプログラムする必要があります。この場合、NBYTES - 1 データが受信された後、次の受信バイトが I2C_PECR レジスタの内容と自動的に照合されます。PEC バイト受信後に TC フラグがセットされ、SCL ラインローをストレッチします。RESTART コンディションは、TC 割込みサブルーチンでプログラムできます。

注意： **PECBYTE ビットは、RELOAD ビットがセットされているときには効果がありません。**

図 319. SMBus マスタレシーバのバス転送図



32.4.15 アドレス一致時に STOP モードからウェイクアップ

このセクションは、STOP モードからのウェイクアップ機能がサポートされるときにのみ適用されます（セクション 32.3 を参照）。

I²C は、アドレス指定されたとき、MCU を STOP モードからウェイクアップできます（APB クロックはオフ）。すべてのアドレッシングモードがサポートされます。

STOP モードからのウェイクアップを有効にするには、I2C_CR1 レジスタの WUPEN ビットをセットします。STOP モードからのウェイクアップを可能にするには、HSI オシレータを I2CCLK のクロックソースとして選択する必要があります。

STOP モード中、HSI はオフです。START が検出されると、I²C インタフェースは HSI をオンに切り替えて、HSI がウェイクアップするまで SCL ローをストレッチします。

HSI は、アドレス受信に使用されます。

アドレス一致の場合、I2C は、MCU のウェイクアップ時間の間、SCL ローをストレッチします。ストレッチは、ADDR フラグがソフトウェアによってクリアされたときにリリースされ、転送は通常通りに続行されます。

アドレスが一致しなかった場合、HSI は再びオフになり、MCU はウェイクアップしません。

注： **I²C クロックがシステムクロックの場合、または WUPEN = 0 の場合、START 受信後もHSIはオンになりません。**

ADDR 割込みによってのみ、MCU をウェイクアップきます。したがって、I²C がマスタとして、または ADDR フラグのセット後にアドレス指定されたスレーブとして転送を行っているときには、STOP モードに入らないでください。これを管理するには、ADDR 割込みルーチンで SLEEPDEEP ビットをクリアして、STOPF フラグのセット後にのみ再びオンにセットします。

注意： **デジタルフィルタは、STOP モードからのウェイクアップ機能と互換性がありません。DNF ビットが 0 でない場合、WUPEN ビットをセットしても効果はありません。**

注意： **この機能は、I2C クロックソースが HSI オシレータのときのみ使用できます。**

注意： **STOP モードからのウェイクアップ機能の正しい動作を保証するには、クロックストレッチを有効にする必要があります（NOSTRETCH = 0）。**

注意： **STOP モードからのウェイクアップが無効な場合（WUPEN = 0）、STOP モードに入る前に、I²C ペリフェラルを無効にする必要があります（PE = 0）。**

32.4.16 エラー条件

次のエラーは、通信エラーを引き起こす可能性のある条件です。

バスエラー（BERR）

バスエラーは、START または STOP コンディションが検出され、複数の 9 SCL クロックパルス後になかったときに検出されます。START または STOP コンディションは、SCL がハイとのときに SDA エッジが発生した場合に検出されます。

バスエラーフラグは、I2C がマスタまたはアドレス指定されたスレーブとして転送に関与する場合にのみ（すなわち、スレーブモードのアドレスフェーズでないとき）、セットされます。

スレーブモードで START または RESTART の誤配置が検出された場合、I²C は、正しい START コンディションの場合と同様に、アドレス認識状態に入ります。

バスエラーが検出されると、I2C_ISR レジスタの BERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

アービトレーション喪失（ARLO）

アービトレーション喪失は、SDA ラインでハイレベルが送信されたが、SCL 立ち上がりエッジでローレベルがサンプリングされたときに検出されます。

- マスタモードでは、アービトレーション喪失は、アドレスフェーズ、データフェーズ、およびデータ確認応答フェーズで検出されます。この場合、SDA および SCL ラインはリリースされ、START 制御ビットがハードウェアによってクリアされ、マスタは自動的にスレーブモードに切り替わります。
- スレーブモードでは、アービトレーション喪失は、データフェーズとデータ確認応答フェーズで検出されます。この場合、転送は中止され、SCL および SDA ラインがリリースされます。

アービトレーション喪失が検出されると、I2C_ISR レジスタの ARLO フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

オーバーラン／アンダーランエラー（OVR）

オーバーランまたはアンダーランエラーは、スレーブモードで NOSTRETCH = 1 のとき、および次のときに検出されます：

- 受信時、新しいバイトが受信され、RXDR レジスタがまだ読み出されていないとき。新しい受信バイトは失われ、新しいバイトへの応答として NACK が自動的に送信されます。
- 送信時：
  - STOPF = 1 のときには、最初のデータバイトが送信されなければなりません。TXE = 0 の場合、I2C_TXDR レジスタの内容が送信され、そうでない場合は 0xFF が送信されます。
  - 新しいバイトが送信されるべきときに、I2C_TXDR レジスタがまだ書き込まれていなかった場合、0xFF が送信されます。

オーバーランまたはアンダーランエラーが検出されると、I2C_ISR レジスタの OVR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

パケットエラーチェックエラー（PECERR）

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

PEC エラーは、受信した PEC バイトが I2C_PECR レジスタの内容と一致しなかったときに検出されます。正しくない PEC の受信後、NACK が自動的に送信されます。

PEC エラーが検出されると、I2C_ISR レジスタの PECERR フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

タイムアウトエラー（TIMEOUT）

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

タイムアウトエラーは、次のような条件で発生します：

- TIDLE = 0 であり、SCL が TIMEOUTA[11:0] ビットで定義された時間だけローのままであった場合：これは SMBus タイムアウトの検出に使用されます。
- TIDLE = 1 であり、SDA および SCL が TIMEOUTA[11:0] ビットで定義された時間だけハイのままであった場合：これはバスアイドル状態の検出に使用されます。
- マスタ累積クロックロー延長時間が TIMEOUTB[11:0] ビットで定義された時間に達した場合（SMBus $t_{LOW:MEXT}$ パラメータ）。
- スレーブ累積クロックロー延長時間が TIMEOUTB[11:0] ビットで定義された時間に達した場合（SMBus $t_{LOW:SEXT}$ パラメータ）。

マスタモードでタイムアウト違反が検出されると、STOP コンディションが自動的に送信されます。

スレーブモードでタイムアウト違反が検出されると、SDA および SCL ラインが自動的にリリースされます。

タイムアウトエラーが検出されると、I2C_ISR レジスタの TIMEOUT フラグがセットされ、I2C_CR1 レジスタの ERRIE ビットがセットされていた場合は割込みが生成されます。

アラート（ALERT）

このセクションは、SMBus 機能がサポートされるときにのみ適用されます（セクション 32.3 を参照してください）。

ALERT フラグは、I2C インタフェースがホストとして設定され（SMBHEN = 1）、アラートピン検出が有効であり（ALERTEN = 1）、SMBA ピンで立ち下がりエッジが検出されたときにセットされます。I2C_CR1 レジスタの ERRIE ビットがセットされている場合は、割込みが生成されます。

32.4.17 DMA リクエスト

DMA を使用した送信

送信について DMA（Direct Memory Access）を有効にするには、I2C_CR1 レジスタの TXDMAEN ビットをセットします。TXIS ビットがセットされるたびに、データは、DMA ペリフェラル（を参照）を使用して設定された SRAM 領域から I2C_TXDR レジスタにロードされます。

データのみが DMA で転送されます。

- マスタモード：初期化、スレーブアドレス、方向、バイト数、および START ビットはソフトウェアによってプログラムされます（送信されたスレーブアドレスを DMA で転送することはできません）。すべてのデータが DMA を使用して転送されるときには、START ビットをセットする前に、DMA を初期化する必要があります。転送の終了は、NBYTES カウンタによって管理されます。マスタトランスミッタを参照してください。
- スレーブモードでは：
  - NOSTRETCH = 0 では、すべてのデータが DMA を使用して転送されるときには、アドレス一致イベントの前、または ADDR 割込みサブルーチンで、ADDR をクリアする前に DMA を初期化する必要があります。
  - NOSTRETCH = 1 では、アドレス一致イベントの前に DMA を初期化する必要があります。
- SMBus をサポートする場合：PEC 転送は NBYTES カウンタによって管理されます。SMBus スレーブトランスミッタ および SMBus マスタトランスミッタを参照してください。

注： **DMA が送信に使用される場合、TXIE ビットが有効である必要はありません。**

DMA を使用した受信

受信について DMA（Direct Memory Access）を有効にするには、I2C_CR1 レジスタの RXDMAEN ビットをセットします。RXNE ビットがセットされているときには、データは、I2C_RXDR レジスタから DMA ペリフェラル（ を参照）を使用して設定された SRAM 領域にロードされます。データのみ（PEC を含む）が DMA で転送されます。

- マスタモード、初期化、スレーブアドレス、方向、バイト数、および START ビットはソフトウェアによってプログラムされます。すべてのデータが DMA を使用して転送されるときには、START ビットをセットする前に、DMA を初期化する必要があります。転送の終了は、NBYTES カウンタによって管理されます。
- NOSTRETCH = 0 のスレーブモードでは、すべてのデータが DMA を使用して転送されるときには、アドレス一致イベントの前、または ADDR 割込みサブルーチンで、ADDR をクリアする前に DMA を初期化する必要があります。
- SMBus がサポートされる場合（セクション 32.3 を参照）：PEC 転送は NBYTES カウンタによって管理されます。SMBus スレーブレシーバおよびSMBus マスタレシーバを参照してください。

注： **DMA が受信に使用される場合、RXIE ビットが有効である必要はありません。**

32.4.18 デバッグモード

マイクロコントローラがデバッグモードに入ると（コア停止）、DBG モジュールの DBG_I2Cx_ 設定ビットに応じて、SMBus タイムアウトは、通常の動作を続行するか、あるいは停止します。

32.5 I²C 低電力モード

表 200. 低電力モードが I²C に与える影響

モード	説明
SLEEP	影響はありません。I²C 割込みによって、デバイスは SLEEP モードから復帰します。
STOP(1)	I²C レジスタの内容は保たれます。 – WUPEN = 1 かつ I2C が内部オシレータ（HSI）によってクロック供給されている：アドレス認識が機能します。I2C アドレス一致条件によって、デバイスは STOP モードから復帰します。 – WUPEN = 0：STOP モードに入る前に I²C を無効にする必要があります。
STANDBY	I²C ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

1. 各インスタンスでサポートされる STOP モードについては、セクション 32.3 を参照してください。特定の STOP モードからのウェイクアップがサポートされていない場合、この STOP モードに入る前に、インスタンスを無効にする必要があります。

32.6 I²C 割込み

次の表に、I²C 割込みリクエストの一覧を示します。

表 201. I²C 割込みリクエスト

項目（割込みの略称）		割込みイベント	イベントフラグ	有効制御ビット	割込みのクリア方法	SLEEP モードの終了	終了 STOP モード	終了 STANDBY モード
I2C	I2C_EV	受信バッファノットエンプティ	RXNE	RXIE	I2C_RXDR レジスタを読み出す	可能	不可	不可
		送信バッファ割込みステータス	TXIS	TXIE	I2C_TXDR レジスタに書き込む			
		STOP 検出割込みフラグ	STOPF	STOPIE	STOPCF = 1 を書き込む。			
		転送完了再ロード	TCR	TCIE	I2C_CR2 の NBYTES[7:0] に 0 以外 を書き込む			
		転送完了	TC		START = 1 または STOP = 1 を書き込む			
		アドレス一致	ADDR	ADDRIE	ADDRCF = 1 を書き込む。		可能(1)	
		NACK 受信	NACKF	NACKIE	NACKCF = 1 を書き込む。		不可	
	I2C_ER	バスエラー	BERR	ERRIE	BERRCF = 1 を書き込む。	可能	不可	不可
		アービトレーション喪失	ARLO		ARLOCF = 1 を書き込む。			
		オーバーラン／アンダーラン	OVR		OVRCF = 1 を書き込む。			
		PEC エラー	PECERR		PECERRCF = 1 を書き込む			
		タイムアウト／t_{LOW} エラー	TIMEOUT		TIMEOUTCF = 1 を書き込む			
		SMBus アラート	ALERT		ALERTCF = 1 を書き込む			

1. ADDR 一致イベントは、I2C インスタンスが STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。セクション 32.3 を参照してください。

32.7 I²C レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタは、ワード（32 ビット）単位でアクセスされます。

32.7.1 I²C 制御レジスタ 1（I2C_CR1）

アドレスオフセット：0x00

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLKです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]				ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE
rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **PECEN**：PEC 有効化

0：PEC 計算は無効です。

1：PEC 計算は有効です。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 22 **ALERTEN**：SMBus アラート有効

0：SMBus アラートピン（SMBA）はホストモード（SMBHEN = 1）でサポートされません。デバイスモード（SMBHEN = 0）では、SMBA ピンが解放され、アラート応答アドレスヘッダが無効になります（0001100x の後には NACK が続きます）。

1：SMBus アラートピンはホストモード（SMBHEN = 1）でサポートされます。デバイスモード（SMBHEN = 0）では、SMBA ピンがローに駆動され、アラート応答アドレスヘッダが有効になります（0001100x の後には ACK が続きます）。

注： ALERTEN = 0 のときには、SMBA ピンを標準 GPIO として使用できます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 21 **SMBDEN**：SMBus デバイスデフォルトアドレス有効

0：デバイスデフォルトアドレス無効。アドレス 0b1100001x は NACK されます。

1：デバイスデフォルトアドレス有効。アドレス 0b1100001x は ACK されます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 20 **SMBHEN**：SMBus ホストアドレス有効

0：ホストアドレス無効。アドレス 0b0001000x は NACK されます。

1：ホストアドレス有効。アドレス 0b0001000x は ACK されます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 19 **GCEN**：同報イネーブル

0：同報は無効です。アドレス 0b00000000 は NACK されます。
1：同報は有効です。アドレス 0b00000000 は ACK されます。

ビット 18 **WUPEN**：STOP モードからのウェイクアップ有効

0：STOP モードからのウェイクアップは無効です。
1：STOP モードからのウェイクアップは有効です。

注： STOP モードからのウェイクアップ機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に "0" に設定されます。セクション 32.3 を参照してください。

注： WUPEN は、DNF = 0000 のときのみセットできます。

ビット 17 **NOSTRETCH**：クロックストレッチ無効

このビットは、スレーブモードでのクロックストレッチを無効にするために使用されます。マスタモードではクリアされたままでなければなりません。

0：クロックストレッチ有効
1：クロックストレッチ無効

注： このビットは、I²C が無効（PE = 0）のときのみプログラムできます。

ビット 16 **SBC**：スレーブバイト制御

このビットは、スレーブモードでのハードウェアバイト制御を有効にするために使用されます。

0：スレーブバイト制御無効
1：スレーブバイト制御有効

ビット 15 **RXDMAEN**：DMA 受信リクエスト有効

0：DMA モードは受信に無効
1：DMA モードは受信に有効

ビット 14 **TXDMAEN**：DMA 送信リクエスト有効

0：DMA モードは送信に無効
1：DMA モードは送信に有効

ビット 13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **ANFOFF**：アナログノイズフィルタ OFF

0：アナログノイズフィルタ有効
1：アナログノイズフィルタ無効

注： このビットは、I²C が無効（PE = 0）のときのみプログラムできます。

ビット 11:8 **DNF[3:0]**：デジタルノイズフィルタ

これらのビットは、SDA および SCL 入力のデジタルノイズフィルタを設定するために使用されます。デジタルフィルタは、最大 DNF[3:0] * t_{I2CCLK} の長さのスパイクを除去します。

0000：デジタルフィルタ無効
0001：デジタルフィルタは有効であり、最大 1 t_{I2CCLK} の除去能力を持ちます。
.....
1111：デジタルフィルタは有効であり、最大 15 t_{I2CCLK} の除去能力を持ちます。

注： アナログフィルタも有効化した場合、デジタルフィルタがアナログフィルタに追加されます。このフィルタは、I²C が無効（PE = 0）のときのみプログラムできます。

ビット 7 **ERRIE**：エラー割込み有効

0：エラー検出割込み無効
1：エラー検出割込み有効

注： 次のようなエラーが発生すると、割込みが生成されます：
アービトレーション喪失（ARLO）
バスエラー検出（BERR）
オーバーラン／アンダーラン（OVR）
タイムアウト検出（TIMEOUT）
PEC エラー検出（PECERR）
アラートピンイベント検出（ALERT）

ビット 6 **TCIE**：転送完了割込み有効化

0：転送完了割込みは無効です。
1：転送完了割込みは有効です。

注： 次のようなイベントが発生すると、割込みが生成されます：
転送完了（TC）
転送完了再ロード（TCR）

ビット 5 **STOPIE**：STOP 検出割込み有効

0：STOP 検出（STOPF）割込み無効
1：STOP 検出（STOPF）割込み有効

ビット 4 **NACKIE**：非確認応答受信割込み有効

0：非確認応答（NACKF）受信割込み無効
1：非確認応答（NACKF）受信割込み有効

ビット 3 **ADDRIE**：アドレス一致割込み有効（スレーブのみ）

0：アドレス一致（ADDR）割込み無効
1：アドレス一致（ADDR）割込み有効

ビット 2 **RXIE**：RX 割込み有効

0：受信（RXNE）割込み無効
1：受信（RXNE）割込み有効

ビット 1 **TXIE**：TX 割込み有効

0：送信（TXIS）割込み無効
1：送信（TXIS）割込み有効

ビット 0 **PE**：ペリフェラルは有効です。

0：ペリフェラルは無効です。
1：ペリフェラルは有効です。

注： PE = 0 のとき、I2C SCL および SDA ラインはリリースされます。内部ステートマシンおよびステータスビットはリセット値に戻されます。クリアされたときには、PE は少なくとも 3 APB クロックサイクルの間、ローに保たれる必要があります。

32.7.2 I²C 制御レジスタ 2（I2C_CR2）

アドレスオフセット：0x04

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	PEC BYTE	AUTO END	RE LOAD	NBYTES[7:0]							
					rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]									
rs	rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:27 予約済みであり、リセット値に保持する必要があります。

ビット 26 **PECBYTE**：パケットエラーチェックバイト

このビットはソフトウェアによってセットされ、PEC が転送されたとき、または STOP コンディションあるいはアドレス一致を受信したとき、また、PE = 0 のとき、ハードウェアによってクリアされます。

0：PEC 転送なし。

1：PEC 送信／受信がリクエストされます。

注： このビットに 0 を書き込んでも、効果はありません。

このビットは、RELOAD がセットされているときには効果がありません。

このビットは、SBC = 0 のとき、スレーブモードでは効果がありません。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 25 **AUTOEND**：自動終了モード（マスタモード）

このビットは、ソフトウェアによってセット／クリアされます。

0：ソフトウェア終了モード：NBYTES データが転送されると TC フラグがセットされ、SCL ローをストレッチします。

1：自動終了モード：NBYTES データが転送されると、STOP コンディションが自動的に送信されます。

注： このビットは、スレーブモードまたは RELOAD ビットがセットされているときには効果がありません。

ビット 24 **RELOAD**：NBYTES 再ロードモード

このビットは、ソフトウェアによってセット／クリアされます。

0：転送は、NBYTES データの転送後、完了します（STOP または RESTART が続きます）。

1：転送は、NBYTES データの転送後に完了しません（NBYTES が再ロードされます）。NBYTES データが転送されると TCR フラグがセットされ、SCL ローをストレッチします。

ビット 23:16 **NBYTES[7:0]**：バイト数

送受信されるバイト数は、ここでプログラムされます。このフィールドは、SBC = 0 のスレーブモードでは効果がありません。

注： START ビットがセットされているときに、これらのビットを変更することはできません。

ビット 15 **NACK**：NACK 生成（スレーブモード）

このビットはソフトウェアによってセットされ、NACK が送信されたとき、または STOP コンディションあるいはアドレス一致を受信したとき、または PE = 0 のとき、ハードウェアによってクリアされます。

0：現在の受信バイト後に ACK が送信されます。

1：現在の受信バイト後に NACK が送信されます。

注： このビットに 0 を書き込んでも、効果はありません。

このビットは、スレーブモードでのみ使用されます：マスタレシーバモードでは、NACK ビットの値にかかわらず、STOP または RESTART コンディション前の最後のバイト後に NACK が自動的に生成されます。

スレーブレシーバ NOSTRETCH モードでオーバーランが発生すると、NACK ビットの値にかかわらず、NACK が自動的に生成されます。

ハードウェア PEC チェックが有効なとき（PECBYTE = 1）、PEC 確認応答値は NACK 値に依存しません。

ビット 14 **STOP**：STOP 生成（マスタモード）

このビットはソフトウェアによってセットされ、STOP コンディションが検出されたとき、または PE=0 のときにハードウェアによってクリアされます。

マスタモード：

0：STOP 生成なし。

1：現在のバイト転送後の STOP 生成。

注： このビットに 0 を書き込んでも、効果はありません。

ビット 13 **START**：START 生成

このビットはソフトウェアによってセットされ、START とアドレスシーケンスが送信された後、アービトレーション喪失によって、タイムアウトエラー検出によって、または PE=0 のときに、ハードウェアによってクリアされます。I2C_ICR レジスタの ADDRCF ビットに "1" を書き込むことによって、ソフトウェアによってクリアすることもできます。

0：START 生成なし。

1：RESTART/START生成：

I2C がすでにマスタモードであり、AUTOEND = 0 の場合、このビットをセットすると、RELOAD = 0 のとき、NBYTES 転送の終了後に REPEATED START コンディションが生成されます。

そうでない場合、バスがフリーになると、このビットをセットすることで START コンディションが生成されます。

注： このビットに 0 を書き込んでも、効果はありません。

バスが BUSY の場合、または I²C がスレーブモードの場合でも、START ビットをセットできます。

このビットは、RELOAD がセットされているときには効果がありません。

ビット 12 **HEAD10R**：読出し方向のみの 10 ビットアドレスヘッダ（マスタレシーバモード）

0：マスタは完全な 10 ビットスレーブアドレス読出しシーケンスを送信します：START + 2 バイトの書込み方向の 10 ビットアドレス + RESTART + 読出し方向の 10 ビットアドレスの最初の 7 ビット。

1：マスタは 10 ビットアドレスの最初の 7 ビットのみを送信し、その後に読出し方向を送信します。

注： START ビットがセットされているときに、このビットを変更することはできません。

ビット 11 **ADD10**：10 ビットアドレッシングモード（マスタモード）

0：マスタは 7 ビットアドレッシングモードで動作します。

1：マスタは 10 ビットアドレッシングモードで動作します。

注： START ビットがセットされているときに、このビットを変更することはできません。

ビット 10 **RD_WRN**：転送方向（マスタモード）

0：マスタは書込み転送をリクエストします。

1：マスタは読出し転送をリクエストします。

注： START ビットがセットされているときに、このビットを変更することはできません。

ビット 9:0 **SADD[9:0]**：スレーブアドレス（マスタモード）

7 ビットアドレッシングモード（ADD10=0）：

SADD[7:1] には、送信される 7 ビットのスレーブアドレスを書き込む必要があります。SADD[9]、SADD[8]、および SADD[0] ビットは無視されます。

10 ビットアドレッシングモード（ADD10=1）：

SADD[9:0] には、送信される 10 ビットのスレーブアドレスを書き込む必要があります。

注： START ビットがセットされているときに、これらのビットを変更することはできません。

32.7.3 I²C Own Address 1 レジスタ（I2C_OAR1）

アドレスオフセット：0x08

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA1EN	Res.	Res.	Res.	Res.	OA1 MODE	OA1 [9:0]									
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OA1EN**：Own Address 1 有効

0：Own Address 1 は無効です。受信されたスレーブアドレス OA1 は NACK されます。

1：Own Address 1 は有効です。受信されたスレーブアドレス OA1 は ACK されます。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **OA1MODE**：Own Address 1 10 ビットモード

0：Own Address 1 は 7 ビットアドレスです。

1：Own Address 1 は 10 ビットアドレスです。

注： このビットは、OA1EN = 0 のときのみ書き込むことができます。

ビット 9:0 **OA1[9:0]**：インタフェース専用スレーブアドレス

7 ビットアドレスモード：OA1[7:1] には 7 ビットの専用スレーブアドレスが含まれます。OA1[9]、OA1[8]、および OA1[0] ビットは無視されます。

10 ビットアドレスモード：OA1[9:0] には 10 ビットの専用スレーブアドレスが含まれます。

注： これらのビットは、OA1EN = 0 のときのみ書き込むことができます。

32.7.4 I²C Own Address 2 レジスタ（I2C_OAR2）

アドレスオフセット：0x0C

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLK です。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA2EN	Res.	Res.	Res.	Res.	OA2MSK [2:0]			OA2 [7:1]							Res.
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **OA2EN**：Own Address 2 有効

0：Own Address 2 は無効です。受信されたスレーブアドレス OA2 は NACK されます。

1：Own Address 2 は有効です。受信されたスレーブアドレス OA2 は ACK されます。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **OA2MSK[2:0]**：Own Address 2 マスク

000：マスクなし。

001：OA2[1] はマスクされ、無視されます。OA2[7:2] のみ比較されます。

010：OA2[2:1] はマスクされ、無視されます。OA2[7:3] のみ比較されます。

011：OA2[3:1] はマスクされ、無視されます。OA2[7:4] のみ比較されます。

100：OA2[4:1] はマスクされ、無視されます。OA2[7:5] のみ比較されます。

101：OA2[5:1] はマスクされ、無視されます。OA2[7:6] のみ比較されます。

110：OA2[6:1] はマスクされ、無視されます。OA2[7] のみ比較されます。

111：OA2[7:1] はマスクされ、無視されます。比較は行われず、すべての（予約済みを除く）7 ビット受信アドレスが確認応答されます。

注： これらのビットは、OA2EN = 0 のときのみ書き込むことができます。

OA2MSK が 0 でなくなると、予約済み I2C アドレス（0b0000xxx および 0b1111xxx）は、比較が一致した場合でも確認応答されません。

ビット 7:1 **OA2[7:1]**：インタフェースアドレス

7 ビットアドレスモード：7 ビットアドレス

注： これらのビットは、OA2EN = 0 のときのみ書き込むことができます。

ビット 0 予約済みであり、リセット値に保持する必要があります。

32.7.5 I²C タイミングレジスタ（I2C_TIMINGR）

アドレスオフセット：0x10

リセット値：0x0000 0000

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRESC[3:0]				Res.	Res.	Res.	Res.	SCLDEL[3:0]				SDADEL[3:0]			
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLH[7:0]								SCLL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **PRESC[3:0]**：タイミングプリスケーラ

このフィールドは、データのセットアップおよびホールドカウンタ（I2C のタイミングを参照）と SCL ハイおよびローレベルカウンタ（I2C マスタ初期化を参照）に使用されるクロック周期 t_{PRESC} を生成して、I2CCLK をプリスケールするために使用されます。

t_{PRESC} = (PRESC + 1) x t_{I2CCLK}

ビット 27:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:20 **SCLDEL[3:0]**：データセットアップ時間

このフィールドは、SDA エッジと SCL 立ち上がりエッジの間に遅延 t_{SCLDEL} を生成するために使用されます。NOSTRETCH = 0 でのマスタモードおよびスレーブモードでは、SCL ラインは、t_{SCLDEL} の間ローにストレッチされます。

t_{SCLDEL} = (SCLDEL + 1) x t_{PRESC}

注： t_{SCLDEL} は、$t_{SU:DAT}$ タイミングを生成するために使用されます。

ビット 19:16 **SDADEL[3:0]**：データホールド時間

このフィールドは、SCL 立ち下がりエッジと SDA エッジの間に遅延 t_{SDADEL} を生成するために使用されます。NOSTRETCH = 0 でのマスタモードおよびスレーブモードでは、SCL ラインは、t_{SDADEL} の間ローにストレッチされます。

t_{SDADEL}= SDADEL x t_{PRESC}

注： SDADEL は、$t_{HD:DAT}$ タイミングを生成するために使用されます。

ビット 15:8 **SCLH[7:0]**：SCL ハイ周期（マスタモード）

このフィールドは、マスタモードで SCL ハイ周期を生成するために使用されます。

t_{SCLH} = (SCLH + 1) x t_{PRESC}

注： SCLH は、$t_{SU:STO}$ および $t_{HD:STA}$ タイミングを生成するためにも使用されます。

ビット 7:0 **SCLL[7:0]**：SCL ロー周期（マスタモード）

このフィールドは、マスタモードで SCL ロー周期を生成するために使用されます。

t_{SCLL} = (SCLL + 1) x t_{PRESC}

注： SCLL は、t_{BUF} および $t_{SU:STA}$ タイミングを生成するためにも使用されます。

注： このレジスタは、I²C が無効（PE=0）のときに設定する必要があります。

注： STM32CubeMX ツールは、I²C 設定ウィンドウの I2C_TIMINGR コンテンツを計算し、提供します。

32.7.6 I²C タイムアウトレジスタ（I2C_TIMEOUTR）

アドレスオフセット：0x14

リセット値：0x0000 0000

アクセス：このレジスタへの書込みアクセスが進行中のときに書込みアクセスが発生した場合を除き、ウェイト状態なし。この場合、前の書込みアクセスが完了するまで、2 番目の書込みアクセスにウェイト状態が挿入されます。2 番目の書込みアクセスの遅延は、最大 2 x PCLK1 + 6 x I2CCLKです。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TEXTEN	Res.	Res.	Res.	TIMEOUTB[11:0]											
rw				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMOUTEN	Res.	Res.	TIDLE	TIMEOUTA[11:0]											
rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **TEXTEN**：拡張クロックタイムアウト有効

0：拡張クロックタイムアウト検出は無効です。

1：拡張クロックタイムアウト検出は有効です。$t_{LOW:EXT}$ を超える累積 SCL ストレッチが I²C インタフェースによって行われると、タイムアウトエラーが検出されます（TIMEOUT = 1）。

ビット 30:28 予約済みであり、リセット値に保持する必要があります。

ビット 27:16 **TIMEOUTB[11:0]**：バスタイムアウト B

このフィールドは、累積クロック拡張タイムアウトを設定するために使用されます：

マスタモードでは、マスタ累積クロックロー拡張時間（$t_{LOW:MEXT}$）が検出されます。

スレーブモードでは、スレーブ累積クロックロー拡張時間（$t_{LOW:SEXT}$）が検出されます。

$t_{LOW:EXT}$ = (TIMEOUTB + TIDLE = 01) x 2048 x t_{I2CCLK}

注： これらのビットは、TEXTEN = 0 のときのみ書き込むことができます。

ビット 15 **TIMOUTEN**：クロックタイムアウト有効

0：SCL タイムアウト検出は無効です。

1：SCL タイムアウト検出は有効です。SCL が $t_{TIMEOUT}$（TIDLE = 0）を超えてローであるか、t_{IDLE}（TIDLE = 1）を超えてハイであった場合、タイムアウトエラーが検出されます（TIMEOUT = 1）。

ビット 14:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **TIDLE**：アイドルクロックタイムアウト検出

0：TIMEOUTA は、SCL ロータイムアウトの検出に使用されます。

1：TIMEOUTA は、SCL と SDA の両方のハイタイムアウト（バスアイドル条件）の検出に使用されます。

注： このビットは、TIMOUTEN = 0 のときのみ書き込むことができます。

ビット 11:0 **TIMEOUTA[11:0]**：バスタイムアウト A

このフィールドは、以下を設定するために使用されます：

TIDLE = 0 のときの SCL ロータイムアウト条件 $t_{TIMEOUT}$

$t_{TIMEOUT}$ = (TIMEOUTA + 1) x 2048 x t_{I2CCLK}

TIDLE = 1 のときのバスアイドル条件（SCL と SDA の両方のハイ）

t_{IDLE} = (TIMEOUTA + 1) x 4 x t_{I2CCLK}

注： これらのビットは、TIMOUTEN = 0 のときのみ書き込むことができます。

注： SMBus 機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって強制的に 0x00000000 に設定されます。セクション 32.3 を参照してください。

32.7.7 I²C 割込みおよびステータスレジスタ（I2C_ISR）

アドレスオフセット：0x18

リセット値：0x0000 0001

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDCODE[6:0]							DIR
								r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	Res.	ALERT	TIME OUT	PEC ERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE
r		r	r	r	r	r	r	r	r	r	r	r	r	rs	rs

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:17 **ADDCODE[6:0]**：アドレス一致コード（スレーブモード）

これらのビットは、アドレス一致イベントが発生したときに（ADDR = 1）、受信したアドレスで更新されます。

10 ビットアドレスの場合、ADDCODE は 10 ビットのヘッダとその後のアドレスの 2 つの MSB を示します。

ビット 16 **DIR**：転送方向（スレーブモード）

このフラグは、アドレス一致イベントが発生したときに（ADDR = 1）、更新されます。

0：書込み転送、スレーブはレシーバモードになります。

1：読出し転送、スレーブはトランスミッタモードになります。

ビット 15 **BUSY**：バスビジー

このフラグは、バスで通信が進行中であることを示します。START コンディションが検出されたときに、ハードウェアによってセットされます。STOP コンディションが検出されたとき、または PE = 0 のときにハードウェアによってクリアされます。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ALERT**：SMBus アラート

このフラグは、SMBHEN = 1（SMBus ホスト設定）、ALERTEN = 1、および SMBALERT イベント（立ち下がりエッジ）が SMBA ピンで検出されたときに、ハードウェアによってセットされます。ALERTCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注：　このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 12 **TIMEOUT**：タイムアウトまたは t_{LOW} 検出フラグ

このフラグは、タイムアウトまたは拡張クロックタイムアウトが発生したときに、ハードウェアによってセットされます。TIMEOUTCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注：　このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 11 **PECERR**：受信時の PEC エラー

このフラグは、受信した PEC が PEC レジスタの内容に一致しないときに、ハードウェアによってセットされます。正しくない PEC の受信後、NACK が自動的に送信されます。PECCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 10 **OVR**：オーバーラン／アンダーラン（スレーブモード）

このフラグは、NOSTRETCH = 1 のスレーブモードで、オーバーラン／アンダーランエラーが発生したときに、ハードウェアによってセットされます。OVRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 9 **ARLO**：アービトレーション喪失

このフラグは、アービトレーション喪失の場合に、ハードウェアによってセットされます。ARLOCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 8 **BERR**：バスエラー

このフラグは、ペリフェラルが転送に関与しているので、START または STOP コンディションの誤配置が検出されたときに、ハードウェアによってセットされます。このフラグは、スレーブモードのアドレスフェーズではセットされません。BERRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 7 **TCR**：転送完了再ロード

このフラグは、RELOAD = 1 および NBYTES データが転送されたときに、ハードウェアによってセットされます。NBYTES にゼロ以外の値が書き込まれたときにソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

このフラグは、マスタモード、または SBC ビットがセットされているときのスレーブモードでのみ使用されます。

ビット 6 **TC**：転送完了（マスタモード）

このフラグは、RELOAD = 0、AUTOEND = 0、および NBYTES データが転送されたときに、ハードウェアによってセットされます。START ビットまたは STOP ビットがセットされたときに、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 5 **STOPF**：STOP 検出フラグ

このフラグは、バス上で STOP コンディションが検出され、ペリフェラルがこの転送に関与しているときに、ハードウェアによってセットされます：

– マスタとして。ただし、STOP コンディションがペリフェラルによって生成される場合。

– または、スレーブとして。ただし、ペリフェラルがこの転送中にアドレス指定されていた場合。

STOPCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 4 **NACKF**：非確認応答受信フラグ

このフラグは、バイト送信後に NACK を受信したときに、ハードウェアによってセットされます。NACKCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 3 **ADDR**：アドレス一致（スレーブモード）

このビットは、受信したスレーブアドレスが有効なスレーブアドレスの 1 つに一致したときに、ハードウェアによってセットされます。ADDRCF ビットをセットすることによって、ソフトウェアによってクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 2 **RXNE**：受信データレジスタノットエンプティ（レシーバ）

このビットは、受信データが I2C_RXDR レジスタにコピーされ、読み出す準備ができたときに、ハードウェアによってセットされます。I2C_RXDR が読み出されたときにクリアされます。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 1 **TXIS**：送信割込みステータス（トランスミッタ）

このビットは、I2C_TXDR レジスタが空であり、送信データを I2C_TXDR レジスタに書き込む必要があるときに、ハードウェアによってセットされます。次の送信データが I2C_TXDR レジスタに書き込まれたときにクリアされます。

このビットは、NOSTRETCH = 1 のときのみ、ソフトウェアによって"1"を書き込んで、TXIS イベントを生成することができます（TXIE = 1 の場合に割込み、または TXDMAEN = 1 の場合に DMA リクエスト）。

注： このビットは、PE = 0 のとき、ハードウェアによってクリアされます。

ビット 0 **TXE**：送信データレジスタエンプティ（トランスミッタ）

このビットは、I2C_TXDR レジスタが空のときに、ハードウェアによってセットされます。次の送信データが I2C_TXDR レジスタに書き込まれたときにクリアされます。

このビットは、ソフトウェアによって 1 を書き込んで、送信データレジスタ I2C_TXDR をFlashできます。

注： このビットは、PE = 0 のとき、ハードウェアによってセットされます。

32.7.8 I²C 割込みクリアレジスタ（I2C_ICR）

アドレスオフセット：0x1C

リセット値：0x0000 0000

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ALERTCF	TIMOUTCF	PECCF	OVRCF	ARLOCF	BERRCF	Res.	Res.	STOPCF	NACKCF	ADDRCF	Res.	Res.	Res.
		w	w	w	w	w	w			w	w	w			

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **ALERTCF**：アラートフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの ALERT フラグがクリアされます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 12 **TIMOUTCF**：タイムアウト検出フラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの TIMEOUT フラグがクリアされます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 11 **PECCF**：PEC エラーフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの PECERR フラグがクリアされます。

注： SMBus 機能がサポートされない場合、このビットは予約済みであり、ハードウェアによって強制的に 0 に設定されます。セクション 32.3 を参照してください。

ビット 10 **OVRCF**：オーバーラン／アンダーランフラグクリア

このビットに 1 を書き込むと、I2C_ISR レジスタの OVR フラグがクリアされます。

ビット 9 **ARLOCF**：アービトレーション喪失フラグクリア
このビットに 1 を書き込むと、I2C_ISR レジスタの ARLO フラグがクリアされます。

ビット 8 **BERRCF**：バスエラーフラグクリア
このビットに 1 を書き込むと、I2C_ISR レジスタの BERRF フラグがクリアされます。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **STOPCF**：STOP 検出フラグクリア
このビットに 1 を書き込むと、I2C_ISR レジスタの STOPF フラグがクリアされます。

ビット 4 **NACKCF**：非確認応答フラグクリア
このビットに 1 を書き込むと、I2C_ISR レジスタの NACKF フラグがクリアされます。

ビット 3 **ADDRCF**：アドレス一致フラグクリア
このビットに 1 を書き込むと、I2C_ISR レジスタの ADDR フラグがクリアされます。このビットに 1 を書き込むと、I2C_CR2 レジスタの START ビットもクリアされます。

ビット 2:0 予約済みであり、リセット値に保持する必要があります。

32.7.9 I²C PEC レジスタ（I2C_PECR）

アドレスオフセット：0x20

リセット値：0x0000 0000

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PEC[7:0]**：パケットエラーチェックレジスタ
PECEN=1 のとき、このフィールドは内部 PEC を含みます。
PEC は、PE = 0 のとき、ハードウェアによってクリアされます。

注： **SMBus 機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって強制的に 0x00000000 に設定されます。セクション 32.3 を参照してください。**

32.7.10 I²C 受信データレジスタ（I2C_RXDR）

アドレスオフセット：0x24

リセット値：0x0000 0000

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **RXDATA[7:0]：**8 ビットの受信データ

I²C バスから受信したデータバイト。

32.7.11 I²C 送信データレジスタ（I2C_TXDR）

アドレスオフセット：0x28

リセット値：0x0000 0000

アクセス：ウェイト状態なし

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TXDATA[7:0]：**8 ビットの送信データ

I²C バスに送信されるデータバイト。

注： これらのビットは、TXE = 1 のときのみ書き込むことができます。

32.7.12 I²C レジスタマップ

次の表に、I²C のレジスタマップとリセット値を示します。

表 202. I²C レジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0	I2C_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]				ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE
	リセット値									0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x4	I2C_CR2	Res.	Res.	Res.	Res.	Res.	PECBYTE	AUTOEND	RELOAD	NBYTES[7:0]								NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]									
	リセット値						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8	I2C_OAR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA1EN	Res.	Res.	Res.	Res.	OA1MODE	OA1 [9:0]									
	リセット値																	0					0	0	0	0	0	0	0	0	0	0	0
0xC	I2C_OAR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA2EN	Res.	Res.	Res.	Res.	OA2MSK [2:0]			OA2 [7:1]							Res.
	リセット値																	0					0	0	0	0	0	0	0	0	0	0	
0x10	I2C_ TIMINGR	PRESC[3:0]				Res.	Res.	Res.	Res.	SCLDEL [3:0]				SDADEL [3:0]				SCLH[7:0]								SCLL[7:0]							
	リセット値	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	I2C_ TIMEOUTR	TEXTEN	Res.	Res.	Res.	TIMEOUTB[11:0]												TIMOUTEN	Res.	Res.	TIDLE	TIMEOUTA[11:0]											
	リセット値	0				0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	I2C_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDCODE[6:0]							DIR	BUSY	Res.	ALERT	TIMEOUT	PECERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE
	リセット値									0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x1C	I2C_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ALERTCF	TIMOUTCF	PECCF	OVRCF	ARLOCF	BERRCF	Res.	Res.	STOPCF	NACKCF	ADDRCF	Res.	Res.	Res.
	リセット値																			0	0	0	0	0	0			0	0	0			
0x20	I2C_PECR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x24	I2C_RXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x28	I2C_TXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
	リセット値																									0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

33 ユニバーサル同期／非同期レシーバトランスミッタ（USART/UART）

このセクションでは、ユニバーサル同期非同期レシーバトランスミッタ（USART）について説明します。

33.1 USART の概要

USART を使用すると、業界標準の NRZ 非同期シリアルデータフォーマットを必要とする外部機器と柔軟性の高い全二重データ交換を行うことができます。フラクショナルボーレートジェネレータによって、非常に広範囲のボーレートが達成できます。

USART は同期式単方向通信と半二重単線通信の両方のほか、LIN（Local Interconnection Network）、スマートカードプロトコル、IrDA（infrared data association）SIR ENDEC 仕様、およびモデム動作（CTS/RTS）もサポートします。マルチプロセッサ通信もサポートされています。

マルチバッファ設定で DMA（直接メモリアクセス）を使用することによって、ハイスピードデータ通信が可能です。

33.2 USART の主な機能

- 全二重非同期通信
- NRZ 標準フォーマット（マーク／スペース）
- 16 倍または 8 倍に設定可能なオーバーサンプリング方式によって、速度とクロック誤差の間の最適な調整を達成
- ボーレートジェネレータシステム
- データ送信および受信用の 2 つの内部 FIFO
  各 FIFO はソフトウェアで有効／無効にすることができ、ステータスフラグを装備
- 共通にプログラム可能な送信および受信ボーレート
- PCLK から独立したペリフェラル専用のカーネルクロックによるデュアルクロックドメイン
- 自動ボーレート検出
- プログラム可能なデータワード長（7 または 8 または 9 ビット）
- データ順序をプログラム可能（MSB ファースト／LSB ファーストのシフト）
- 設定可能なストップビット（1 または 2 個のストップビット）
- 同期通信のための同期マスタ／スレーブモードとクロック出力／入力
- SPI スレーブ送信アンダーランエラーフラグ
- 単線半二重通信
- DMA を使用した連続通信
- 送受信バイトは集中型 DMA を使用して予約済み SRAM にバッファ
- トランスミッタとレシーバ用に個別の有効ビット
- 送信と受信の信号極性を個別に制御
- スワップ可能な Tx/Rx ピン設定
- モデムと RS-485 トランシーバのハードウェアフロー制御
- 通信制御／エラー検出フラグ
- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- フラグ付き割込みソース
- マルチプロセッサ通信：アイドルライン検出またはアドレスマーク検出によるミュートモードからのウェイクアップ
- STOP モードからのウェイクアップ

33.3 USART の拡張機能

- LIN マスタの同期ブレーク送信機能と LIN スレーブのブレーク検出機能
  - USART が LIN 用にハードウェア設定されている場合、13 ビットのブレーク生成と 10/11 ビットのブレーク検出
- 通常モードで 3/16 ビット期間をサポートする IrDA SIR エンコーダデコーダ
- スマートカードモード
  - ISO/IEC 7816-3 標準で定義されているスマートカードの T = 0 および T= 1 非同期プロトコルをサポート
  - スマートカード動作用に 0.5 個および 1.5 個のストップビット
- Modbus 通信のサポート
  - タイムアウト機能
  - CR/LF キャラクタ認識

33.4 USART の実装

下の表に、USART の実装を示します。比較のため、表には LPUART も含めています。

表 203. USART/LPUART の機能

USART/LPUART のモード／機能(1)	USART1	LPUART1
モデムのハードウェアフロー制御	X	X
DMA を使用した連続通信	X	X
マルチプロセッサ通信	X	X
同期モード（マスタ／スレーブ）	X	-
スマートカードモード	X	-
単線半二重通信	X	X
Ir SIR ENDEC ブロック	X	-
LIN モード	X	-
デュアルクロックドメインと低消費電力モードからのウェイクアップ	X	X
レシーバタイムアウト割込み	X	-
Modbus 通信	X	-
自動ボーレート検出	X	-
ドライバイネーブル	X	X
USART データ長	7、8、および 9 ビット	
Tx/Rx FIFO	X	X
Tx/Rx FIFO サイズ	8	

1. X : サポートされています。

33.5 USART の機能説明

33.5.1 USART ブロック図

図 320. USART ブロック図

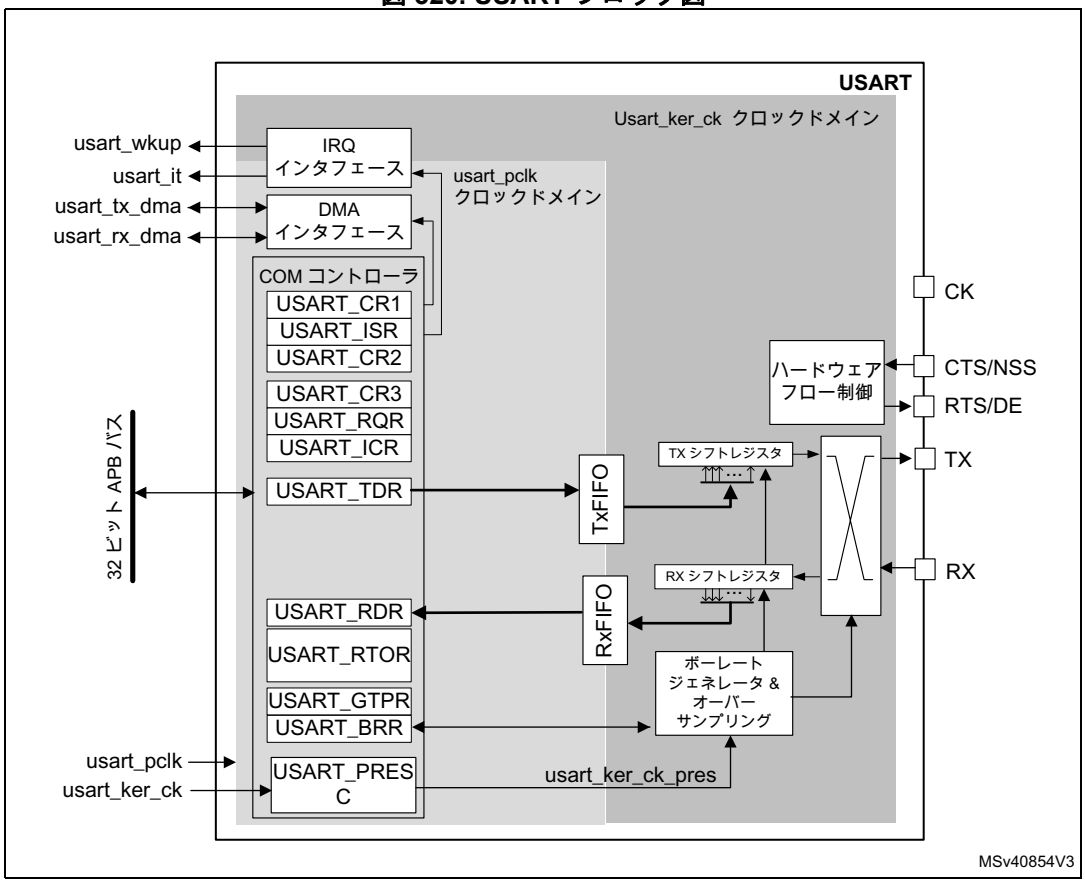


図 320 に示した簡易ブロック図には、以下の完全に独立した 2 つのクロックドメインが示されています。

- **usart_pclk** クロックドメイン

  Usart_pclk クロック信号はペリフェラルバスインタフェースにクロック供給します。USART レジスタへアクセスが必要なとき、アクティブになっていなければなりません。

- **usart_ker_ck** カーネルクロックドメイン

  usart_ker_ck は USART クロックソースです。**usart_pclk** とは独立で、RCC によって供給されます。したがって、**usart_ker_ck** クロックが停止しているときでも、USART レジスタは読み書きできます。

  デュアルクロックドメイン機能が無効になっているときは、**usart_ker_ck** クロックは **usart_pclk** クロックと同じになります。

usart_pclk と **usart_ker_ck** の間には何の制約もありません。**usart_ker_ck** は **usart_pclk** より速くすることも遅くすることもできます。唯一の限界は、十分に速く通信を管理できるソフトウェアの能力です。

USART が SPI スレーブモードで動作するときは、USART は、外部マスタ SPI デバイスによって提供される外部 CK 信号から導き出されるシリアルインタフェースクロックを使用してデータフローを処理します。**usart_ker_ck** クロックは CK 入力のクロックより少なくとも 3 倍は速くなければなりません。

33.5.2 USART 信号

USART 双方向通信

USART の双方向通信には、少なくとも 2 本のピンが必要です。すなわち、受信データ入力（RX）と送信データ出力（TX）です。

- **RX**（受信データ入力）

  RX はシリアルデータ入力です。データ復旧にはオーバーサンプリング技術が使用されています。それによって、有効な入力データとノイズを区別しています。

- **TX**（送信データ出力）

  トランスミッタが無効なときは、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効で、データを送信する必要がないとき、TX ピンはハイになります。単線およびスマートカードモードでは、この I/O はデータの送受信に使用されます。

RS232 ハードウェアフロー制御モード

RS232 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **CTS**（Clear To Send）

  ハイレベルのとき、この信号は現在の転送の終わりにデータ送信をブロックします。

- **RTS**（Request To Send）

  ローレベルのとき、この信号は USART がデータを受信する準備ができたことを示します。

RS485 ハードウェア制御モード

RS485 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **DE**（Driver Enable）

  この信号は、外部トランシーバの送信モードを有効にします。

注： **DE と RTS は同じピンを共有します。**

同期マスタ／スレーブモードおよびスマートカードモード

同期マスタ／スレーブモードおよびスマートカードモードでは、以下のピンが必要です。

- CK

  このピンは同期マスタモードおよびスマートカードモードで、クロック出力として機能します。

  同期スレーブモードでは、クロック入力として機能します。

  同期マスタモードでは、このピンは、SPI マスタモードに対応する同期送信用のトランスミッタデータクロックを出力します（スタートビットとストップビットのクロックパルスはなく、ソフトウェアオプションで最後のデータビットのクロックパルスを送信します）。これと並行して、RX ピンでデータを同期受信できます。このメカニズムを使用して、シフトレジスタを持つペリフェラル（例：LCD ドライバ）を制御できます。クロックの位相と極性は、ソフトウェアでプログラム可能です。

  スマートカードモードでは、CK 出力はスマートカードにクロックを供給します。

- NSS

  このピンは、同期スレーブモードでスレーブ選択入力として機能します。

注： **NSS と CTS は同じピンを共有します。**

33.5.3 USART キャラクタの説明

ワード長は、USART_CR1 レジスタの M ビット（M0：ビット 12 および M1：ビット 28）をプログラムすることによって、7、8、または 9 ビットに設定できます（図 321 を参照）。

- 7 ビットのキャラクタ長：M[1:0] = “10”
- 8 ビットのキャラクタ長：M[1:0] = “00”
- 9 ビットのキャラクタ長：M[1:0] = “01”

注： **7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート（0x7F および 0x55 フレーム検出）はサポートされません。**

デフォルトでは、信号（TX または RX）はスタートビットの処理中ではロー状態です。また、ストップビットの処理中にはハイ状態です。

これらの値は、極性設定制御により、各信号について個別に反転できます。

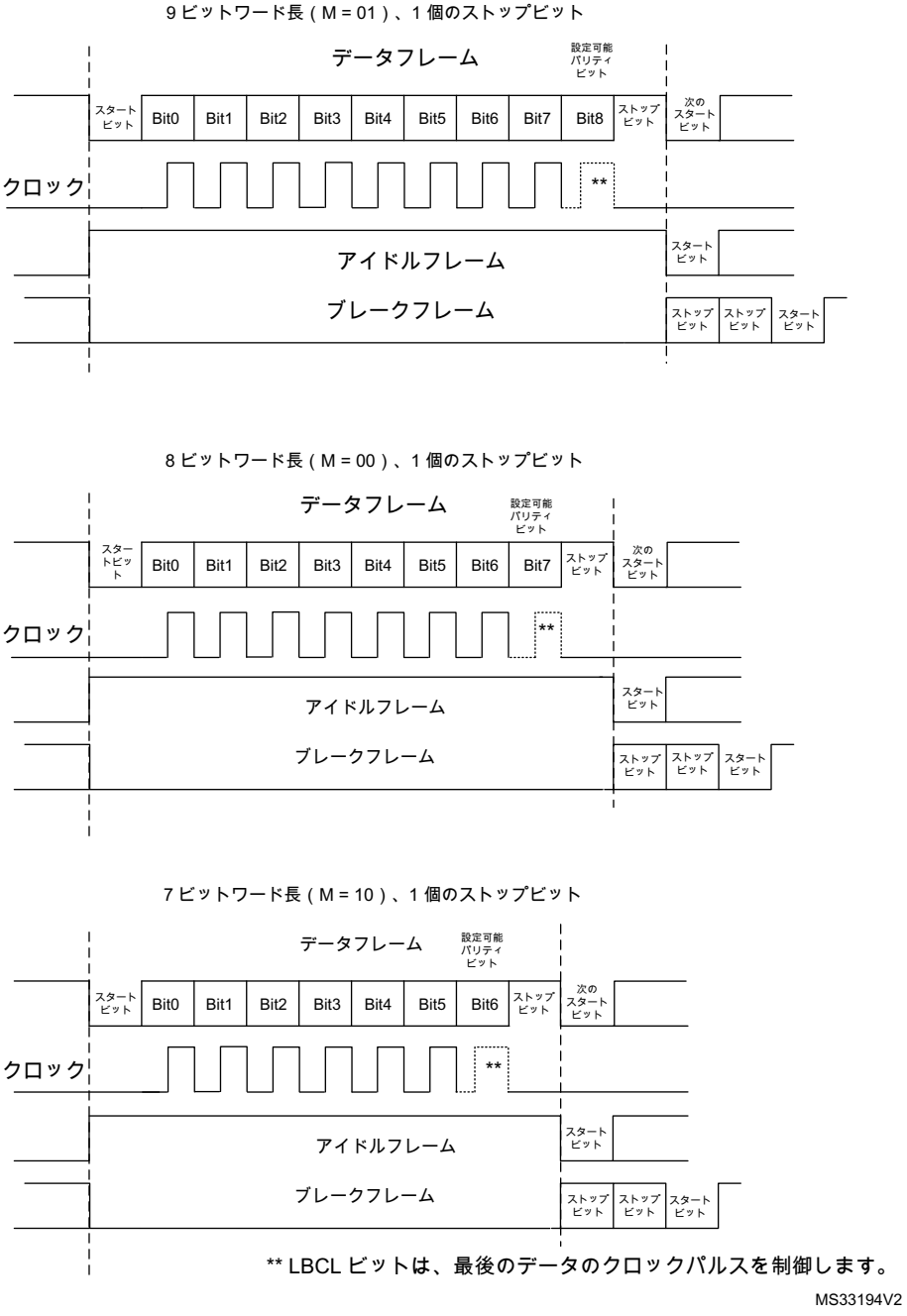
アイドルキャラクタは、すべてが「1」のフレームとして解釈されます（「1」の数にはストップビットの数が含まれます）。

ブレークキャラクタは、フレーム周期中に「0」を受信することと解釈されます。ブレークフレームの終了時、トランスミッタは 2 個のストップビットを挿入します。

送信と受信は共通ボーレートジェネレータによって駆動されます。送信および受信クロックは、トランスミッタとレシーバの有効ビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 321. ワード長のプログラミング



33.5.4 USART の FIFO と閾値

USART は FIFO モードで動作できます。

USART は送信 FIFO（TXFIFO）と受信 FIFO（RXFIFO）を備えています。FIFO モードは、USART_CR1 レジスタの FIFOEN（ビット 29）をセットすることによって有効になります。このモードは、UART、SPI、およびスマートカードモードでのみ、サポートされます。

最大のデータワード長が 9 ビットなので、TXFIFO は 9 ビット幅です。しかし、RXFIFO のデフォルト幅は 12 ビットです。この理由は、レシーバは FIFO にデータを格納するだけでなく、各キャラクタに伴うエラーフラグ（パリティエラー、ノイズエラー、およびフレーミングエラーフラグ）も格納するためです。

注： **受信データは、対応するフラグとともに RXFIFO に格納されます。ただし、RDR を読み出すときは、データのみが読み出されます。**

ステータスフラグは、USART_ISR レジスタで入手可能です。

Tx および RX 割込みがトリガされる TXFIFO および RXFIFO のレベルを設定することができます。これらの閾値は、USART_CR3 制御レジスタの RXFTCFG および TXFTCFG ビットフィールドによってプログラムされます。

このとき、

- RXFIFO に受信したデータの数が RXFTCFG ビットフィールドでプログラムされた閾値に達すると、USART_ISR レジスタの RXFT フラグがセットされ、対応する割込みが（有効になっている場合）生成されます。

  これは、RXFIFO 内のデータ数が、プログラムされた閾値と等しくなるまで RXFIFO が満たされることを意味します。

  RXFTCFG 分のデータが受信されると、1 データが USART_RDR にあり、（RXFTCFG - 1）データが RXFIFO に入っています。例として、RXFTCFG が“101”にプログラムされている場合、FIFO サイズに相当する量のデータが受信された（FIFO サイズ -1 のデータが RXFIFO に入り、1 データが USART_RDR に入った）時に、RXFT フラグがセットされます。その結果、次に受信されるデータによってオーバーランフラグがセットされることはありません。
- TXFIFO の空き場所の数が TXFTCFG ビットフィールドでプログラムされた閾値に達すると、USART_ISR レジスタの TXFT フラグがセットされ、対応する割込みが（有効になっている場合）生成されます。

  これは、TXFIFO の空き場所の数が、プログラムされた閾値と等しくなるまで TXFIFO が空にされることを意味します。

33.5.5 USART トランスミッタ

トランスミッタは、M ビットのステータスに応じて、7 または 8 または 9 ビットのデータワードを送信できます。トランスミッタ機能を有効にするには、送信イネーブルビット（TE）をセットする必要があります。送信シフトレジスタ内のデータは TX ピンで出力され、対応するクロックパルスは CK ピンで出力されます。

キャラクタ送信

USART 送信時、データは LSB ファースト（デフォルト設定）で TX ピンにシフトアウトされます。このモードでは、USART_TDR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます。

FIFO モードが有効なとき、送信データレジスタ（USART_TDR）に書き込まれたデータは TXFIFO のキューに入ります。

各キャラクタの前には、スタートビット（1 ビット周期、ロー論理レベル）があります。キャラクタは、設定可能な数のストップビットで終端されます。

ストップビットの数は 0.5、1、1.5、または 2 に設定できます。

注： **送信データを USART_TDR に書き込む前に、TE ビットをセットする必要があります。**

データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが停止されるため、TX ピンのデータが破壊されます。送信中の現在のデータは失われます。

TE ビットが有効になると、アイドルフレームが送信されます。

設定可能なストップビット

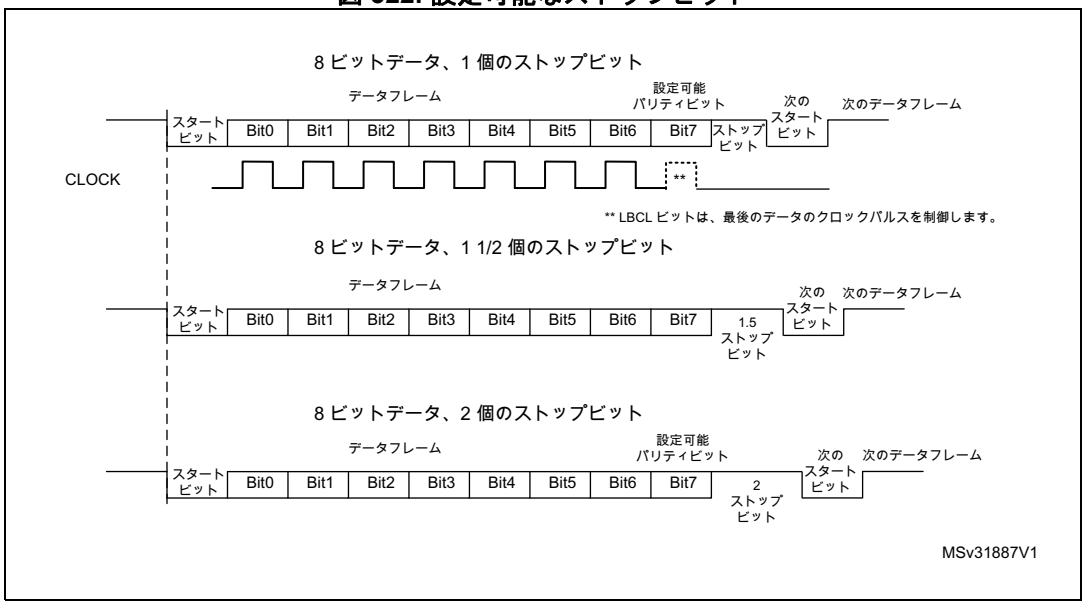
各キャラクタとともに送信されるストップビットの数は、USART_CR2 のビット 13、12 でプログラミングできます。

- **1 個のストップビット**：ストップビット数のデフォルト値です。
- **2 個のストップビット**：通常の USART モード、単線モード、およびモデムモードでサポートされます。
- **1.5 個のストップビット**：スマートカードモードで使用されます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信は、10 個のロービット（M[1:0] = “00”のとき）または 11 個のロービット（M[1:0] = “01”のとき）または 9 個のロービット（M[1:0] = “10”のとき）の後に 2 個のストップビットが続きます（図 322 を参照）。長いブレーク（9/10/11 個のロービットを超える長さのブレーク）を送信することはできません。

図 322. 設定可能なストップビット



キャラクタ送信手順

キャラクタを送信するには、次の手順に従います。

1. USART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. USART_BRR レジスタを使用して、希望するボーレートを選択します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. USART_CR1 レジスタの UE ビットに 1 を書き込んで、USART を有効にします。
5. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA 有効（DMAT）を選択します。セクション 33.5.19 : USART および DMA を使用した連続通信の説明に基づいて、DMA レジスタを設定します。
6. USART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを USART_TDR レジスタに書き込みます。シングルバッファの場合、送信される各データにこれを繰り返します。
   - FIFO モードが無効になっている場合は、USART_TDR に 1 つのデータを書き込むと、TXE フラグがクリアされます。
   - FIFO モードが有効になっている場合は、USART_TDR に 1 つのデータを書き込むと、1 つのデータが TXFIFO に追加されます。TXFNF フラグがセットされたとき、USART_TDR への書込み動作が行われます。このフラグは TXFIFO がフルになるまでセットされたままになります。
8. USART_TDR レジスタに最後のデータを書き込んだら、TC = 1 になるまで待ちます。
   - FIFO モードが無効になっている場合、これは、最後のフレームの送信が完了したことを示します。
   - FIFO モードが有効になっている場合、これは、TXFIFO とシフトレジスタの両方が空になっていることを示します。

   このチェックは、USART が無効になったり、停止モードに入ったりするときに、最後の送信が壊れないようにするために必要です。

1 バイト通信

- FIFO モードが無効の場合

  送信データレジスタに書き込むと、必ず TXE ビットがクリアされます。TXE フラグがハードウェアによってセットされます。同フラグは以下を示します。
  - データは USART_TDR レジスタからシフトレジスタへ移動され、データ送信が開始しています。
  - USART_TDR レジスタは空です。
  - 次のデータを、前のデータに上書きせずに、USART_TDR レジスタに書き込めます。

  TXEIE ビットがセットされている場合、このフラグは割込みを生成します。

  送信が行われているとき、USART_TDR レジスタへの書込み命令によってデータが TDR バッファに格納されます。そして、データは現在の送信の最後にシフトレジスタにコピーされます。

  送信が行われていないときには、USART_TDR レジスタへの書込み命令によってデータがシフトレジスタに格納され、データ送信が開始され、TXE ビットがセットされます。
- FIFO モードが有効になっている場合は、以下を示すためにハードウェアによって TXFNF（TXFIFO はフルではない）フラグがセットされます。
  - TXFIFO はフルではありません。
  - USART_TDR レジスタは空です。

– 次のデータを、前のデータに上書きせずに、USART_TDR レジスタに書き込めます。送信が行われているとき、USART_TDR レジスタへの書込み命令によってデータが TXFIFO に格納されます。現在の送信の最後にデータが TXFIFO からシフトレジスタにコピーされます。

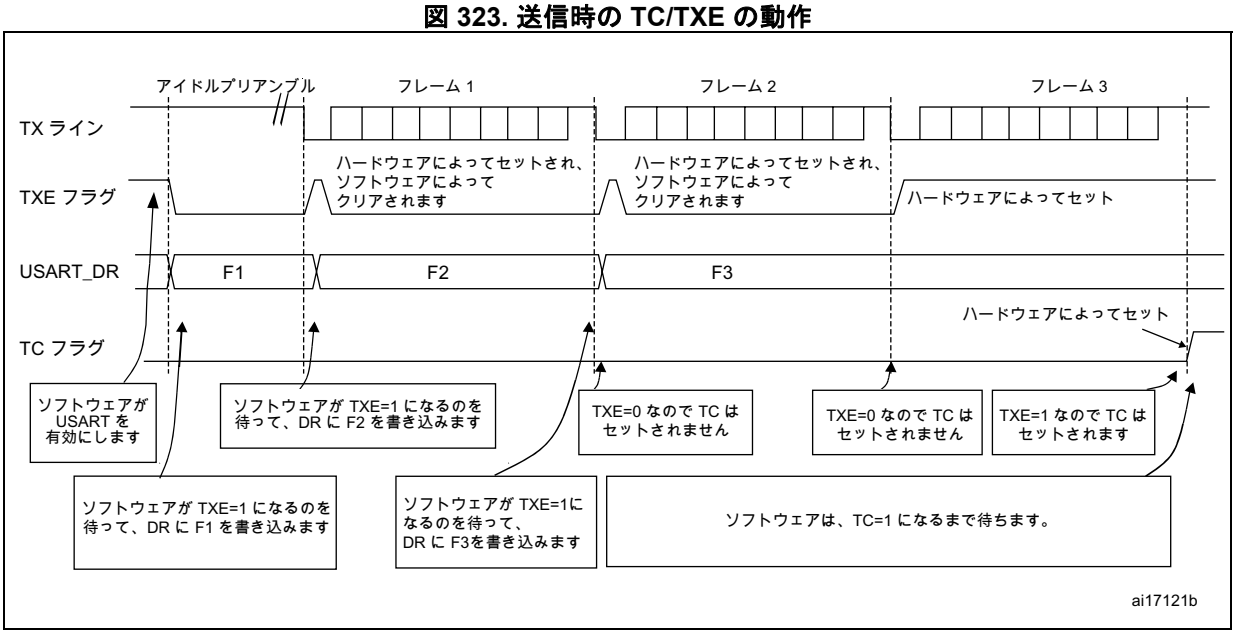
TXFIFO がフルではない場合、USART_TDR レジスタへの書込み動作が終わった後も、TXFNF フラグは“1”のままに留まります。TXFIFO がフルになると、クリアされます。TXFNFIE ビットがセットされている場合、このフラグは割込みを生成します。

あるいは、TXFIFO 閾値に達した時、割込みが生成され、データを FIFO に書き込むことができます。この場合、CPU は、プログラムされたトリガレベルによって定義されたデータのブロックを書き込むことができます。

フレームが送信され（ストップビットの後）、TXE フラグ（FIFO モードの場合は TXFE）がセットされると、TC フラグはハイレベルになります。USART_CR1 レジスタの TCIE ビットがセットされると、割込みが生成されます。

USART_TDR レジスタに最後のデータを書き込んだ後は、USART を無効にしたり、デバイスを低消費電力モードにする前に TC がセットされるまで待つ必要があります（図 323 : 送信時の TC/TXE の動作 を参照）。

図 323. 送信時の TC/TXE の動作



注： **FIFO 管理が有効になっているときは、TXFNF フラグがデータ送信のために使用されます。**

ブレークキャラクタ

SBKRQ ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（図 321 を参照）。

SBKRQ ビットに 1 が書き込まれた場合、現在のキャラクタ送信の完了後、TX ラインにブレークキャラクタが送信されます。SBKF ビットは書込み操作によってセットされ、ブレークキャラクタが完了すると（ブレークキャラクタの後のストップビット時に）ハードウェアによってリセットされます。USART は、次のフレームのスタートビットの認識を保証するために、ブレークフレームの終わりに 2 ビットの長さの間、ロジック 1 信号（ストップ）を挿入します。

SBKRQ ビットがセットされると、現在のキャラクタ送信の最後に、ブレークキャラクタが送信されます。

FIFO モードが有効になっている場合、TXFIFO がフルになっていても、ブレークキャラクタの送信はデータ送信より優先されます。

アイドルキャラクタ

TE ビットをセットすると、USART は、最初のデータフレームの前にアイドルフレームを送信します。

33.5.6 USART レシーバ

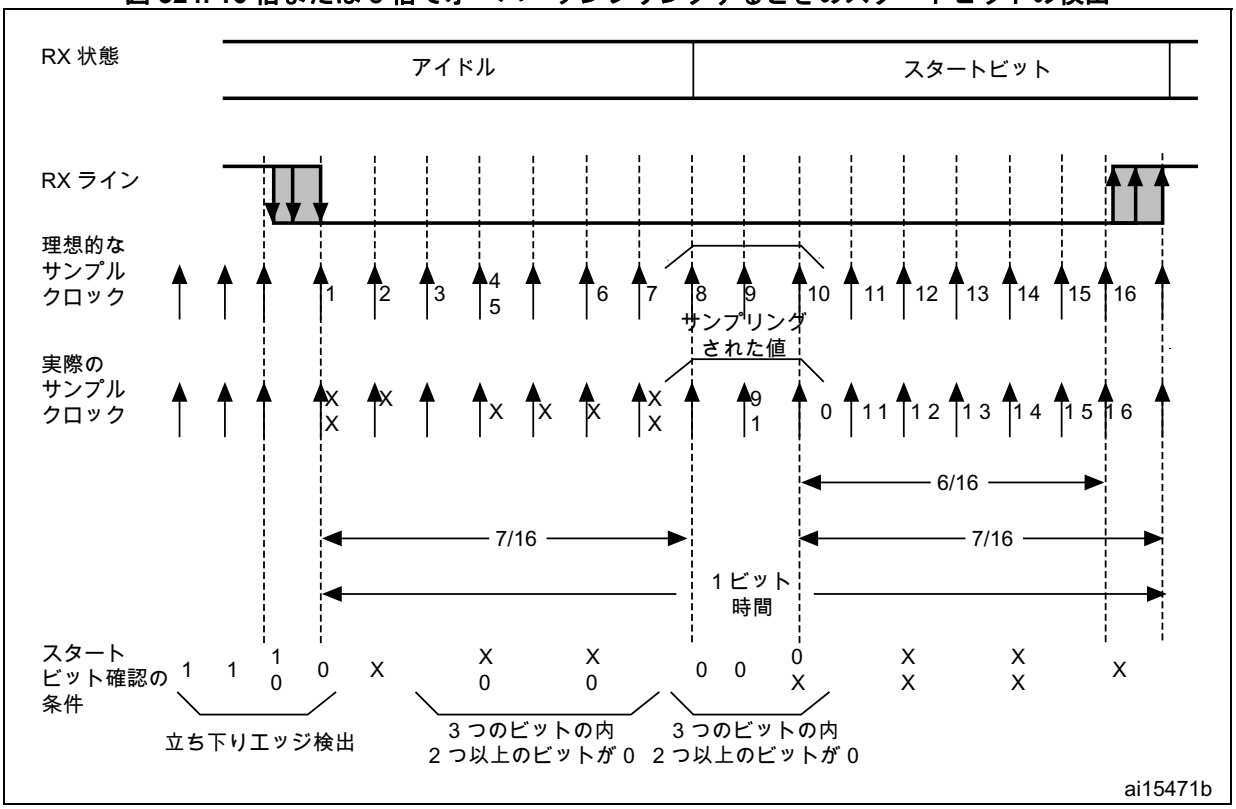
USART は、USART_CR1 レジスタの M ビットに応じて、7 または 8 または 9 ビットのデータワードを受信できます。

スタートビット検出

スタートビット検出シーケンスは、16 倍または 8 倍でオーバーサンプリングするときと同じです。

USART では、サンプルの特定シーケンスが認識されると、スタートビットが検出されます。このシーケンスは、1 1 1 0 X 0 X 0X 0X 0 X 0X 0 です。

図 324. 16 倍または 8 倍でオーバーサンプリングするときのスタートビットの検出



注： **シーケンスが完了していない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻って（フラグはセットされません）、立ち下がりエッジを待ちます。**

サンプリングされた 3 つのビットが“0”の場合（第 3、第 5、および第 7 ビットでの最初のサンプリングで 3 つのビットが“0”であり、第 8、第 9、および第 10 ビットでの 2 回目のサンプリングでも 3 つのビットが“0”）、スタートビットが確認されます（RXNE フラグがセットされ、RXNEIE = 1 の場合は割込みが生成されるか、または FIFO モードが有効な場合は、RXFNE フラグがセットされ、RXFNEIE = 1 の場合は割込みが生成されます）。

次の場合、スタートビットは確認されますが、NE ノイズフラグがセットされます。

a) 両方のサンプリングについて、サンプリングされた 3 ビットのうちの 2 ビットが“0”の場合（第 3、第 5、および第 7 ビットのサンプリングと、第 8、第 9、および第 10 ビットのサンプリング）。

または

b) いずれか一方のサンプリングで（第 3、第 5、および第 7 ビットでのサンプリングまたは第 8、第 9、および第 10 ビットでのサンプリング）、3 つのビットのうち 2 つが“0”の場合。

上記のいずれの条件も満たされない場合、スタートビットの検出は中止され、レシーバはアイドル状態に戻ります（フラグはセットされません）。

キャラクタの受信

USART の受信時には、データは RX ピンを通じて LSB ファースト（デフォルトの設定）でシフトアウトされます。

キャラクタ受信手順

キャラクタを受信するには、次の手順に従います。

1. USART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. ボーレートレジスタ USART_BRR を使用して、希望するボーレートを選択します。
3. USART_CR2 レジスタでストップビットの数をプログラミングします。
4. USART_CR1 レジスタの UE ビットに“1”を書き込んで、USART を有効にします。
5. マルチバッファ通信を行う場合には、USART_CR3 レジスタの DMA 有効（DMAR）を選択します。セクション 33.5.19 : USART および DMA を使用した連続通信の説明に基づいて、DMA レジスタを設定します。
6. USART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- FIFO モードが無効の場合、RXNE ビットは、シフトレジスタの内容が RDR レジスタに転送されたことを示すためにセットされます。言い換えると、データは受信され、読出し可能です（関連するエラーフラグも同様です）。
- FIFO モードが有効な場合、RXFIFO が空ではないことを示すために RXFNE ビットがセットされます。USART_RDR を読み出すと、RXFIFO に入力された最も古いデータが返されます。データが受信されると、対応するエラービットとともに RXFIFO に格納されます。
- RXNEIE（FIFO モードが有効な場合は RXFNEIE）ビットがセットされていた場合、割込みが生成されます。
- 受信中にフレームエラー、ノイズ、パリティ、またはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファ通信モードでは、
  - FIFO モードが無効な場合は、RXNE フラグはバイトを受信するたびにセットされます。DMA が受信データレジスタを読み出すと、同フラグはクリアされます。
  - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。DMA リクエストのたびに、RXFIFO から 1 データが取り出されます。DMA リクエストは、RXFIFO が空ではないとき、すなわち、RXFIFO から読み出されるべきデータがあるときに、トリガされます。

- シングルバッファモードでは、
  - FIFO モードが無効の場合、RXNE フラグのクリアは、ソフトウェアによる USART_RDR レジスタからの読出しによって行われます。RXNE フラグは、USART_RQR レジスタの RXFRQ ビットに“1”をプログラムすることによってクリアすることもできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE フラグをクリアする必要があります。
  - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE がセットされます。USART_RDR からの読出し動作のたびに、RXFIFO から 1 つのデータが取り出されます。RXFIFO が空になると、RXFNE フラグがクリアされます。RXFNE フラグは、USART_RQR の RXFRQ ビットに“1”をプログラムすることによってクリアすることもできます。RXFIFO がフルのとき、オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXFIFO 内の最初のエントリを読み出す必要があります。RXFNEIE ビットがセットされている場合、RXFNE フラグは割込みを生成します。あるいは、RXFIFO 閾値に達した時、割込みが生成され、データを RXFIFO から読み出すことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを読み出すことができます。

ブレークキャラクタ

ブレークキャラクタを受信すると、USART はブレークキャラクタをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データキャラクタ受信と同じように処理されますが、違いは、IDLEIE ビットがセットされている場合に割込みが生成されることです。

オーバーランエラー

- FIFO モードが無効の場合

  RXNE ビットがリセットされていなくてキャラクタを受信すると、オーバーランエラーが発生します。

  RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。RXNE フラグは、バイトを受信するたびにセットされます。

  次のデータを受信したときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、
  - ORE ビットがセットされます。
  - RDR の内容は失われません。前回のデータは USART_RDR レジスタを読み出すことによって、入手可能です。
  - シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
  - RXNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。
- FIFO モードが有効な場合

  シフトレジスタが転送される準備ができていて、受信 FIFO がフルのとき、オーバーランエラーが発生します。

  RXFIFO に 1 つの空き場所ができるまで、データをシフトレジスタから USART_RDR レジスタに転送することはできません。RXFIFO が空でないとき、RXFNE フラグがセットされます。

  RXFIFO がフルで、シフトレジスタが転送される準備ができている場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、
  - ORE ビットがセットされます。

– RXFIFO の最初のエントリは失われません。それは、USART_RDR レジスタを読み出すことによって入手可能です。
– シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
– RXFNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

ORE ビットは、USART_ICR レジスタの ORECF ビットをセットすることによってリセットされます。

注： **ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。**

FIFO モードが無効になっているとき、2 つの可能性があります。

- **RXNE = 1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読出しが可能です。**
- **RXNE = 0 の場合、最後の有効なデータはすでに読み出されたので、RDR レジスタには読み出すべきものが残ってないことを意味します。このケースは、有効な最後のデータが RDR レジスタで読み出されると同時に新しい（そして失われた）データが受信されると発生します。**

クロックソースと適切なオーバーサンプリング方式の選択

クロックソースの選択は、クロック制御システムを通じて行われます（**リセットおよびクロック制御（RCC）**のセクションを参照）。クロックソースは、UE ビットのセットによって USART を有効にする前に選ぶ必要があります。

クロックソースは、次の 2 つの基準に従って選択する必要があります。

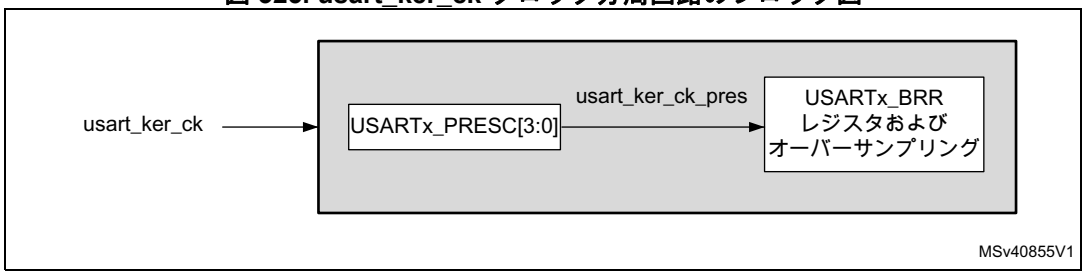
- USART を低消費電力モードで使用できること
- 通信速度

クロックソース周波数は、usart_ker_ck です。

デュアルクロックドメインと低消費電力モードからのウェイクアップ機能がサポートされるときには、usart_ker_ck クロックソースは RCC で設定できます（*リセットおよびクロック制御（RCC）*のセクションを参照）。そうしない場合、usart_ker_ck クロックは usart_pclk と同じになります。

usart_ker_ck クロックは、USART_PRESC レジスタで定義されたプログラム可能な係数によって分周できます。

図 325. usart_ker_ck クロック分周回路のブロック図



usart_ker_ck ソースによっては、USART は MCU が低消費電力モードのときにデータを受信することができます。受信データと選択されたウェイクアップモードに応じて、USART より必要なときに MCU をウェイクアップし、ソフトウェアによる USART_RDR レジスタの読出しによって、または DMA によって受信データを転送できます。

他のクロックソースの場合、USART 通信を可能にするためには、システムをアクティブにする必要があります。

通信速度の範囲（特に最大通信速度）もクロックソースによって決まります。

レシーバは有効な受信データとノイズを区別して、データを復旧するユーザ設定可能なさまざまなオーバーサンプリング技術を実装しています（同期モードの場合を除く）。これにより、最大通信速度とノイズ／クロック精度の耐性との間の最適なトレードオフが図られます。

オーバーサンプリング方式は、USART_CR1 レジスタの OVER8 ビットをボーレートクロックの 16 倍または 8 倍にプログラムすることによって選択できます（図 326 および 図 327 を参照）。

アプリケーションに応じて、

- 高速（最大 usart_ker_ck_pres/8）を達成するには 8 倍（OVER8 = 1）のオーバーサンプリングを選択します。この場合、クロック偏差に対するレシーバの最大許容誤差は軽減されます（セクション 33.5.8 : 1056 ページのクロック偏差に対する USART レシーバの許容誤差を参照）。
- クロック偏差に対するレシーバの許容誤差を増やすには、16 倍（OVER8 = 0）のオーバーサンプリングを選択します。この場合、最大速度は 最大 usart_ker_ck_pres/16 に制限されます（ここで、usart_ker_ck_pres は USART 入力クロックをプリスケーラで分周したものです）。

論理レベルの評価方法を選択するには、USART_CR3 レジスタの ONEBIT ビットをプログラミングします。次の 2 つのオプションが利用できます。

- 受信されたビットの中央にある 3 つのサンプルの多数決。この場合、多数決に使用された 3 つのサンプルが等しくないとき、NE ビットがセットされます。
- 受信されたビットの中央にある 1 つのサンプル。

  アプリケーションに応じて、

  – ノイズの多い環境で操作するときは 3 つのサンプルの多数決方式（ONEBIT = 0）を選択します。そしてノイズが検出された場合（図 204 を参照）は、サンプリング中にグリッチが発生していることになりますので、そのデータを除去します。

  – ラインがノイズフリーであるときは、1 つのサンプルによる方式（ONEBIT = 1）を選択し、クロック偏差に対するレシーバの許容誤差を増やします（セクション 33.5.8 : 1056 ページのクロック偏差に対する USART レシーバの許容誤差を参照）。この場合、NE ビットはセットされません。

フレーム内でノイズが検出された場合：

- RXNE ビット（FIFO モードが有効な場合は RXFNE ビット）の立ち上がりエッジで、NE ビットがセットされます。
- 無効なデータがシフトレジスタから USART_RDR レジスタへ転送されます。
- シングルバイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビット（FIFO モードが有効な場合は RXFNE ビット）と同時に立ち上がります。マルチバッファ通信の場合、USART_CR3レジスタの EIE ビットがセットされている場合に割込みが発行されます。

NE ビットは、USART_ICR レジスタの NECF ビットをセットすることによってリセットされます。

注： **ノイズエラーは SPI モードではサポートされていません。**

8 倍のオーバーサンプリングは、スマートカード、IrDA、および LIN の各モードでは使用できません。これらのモードでは、OVER8 ビットはハードウェアによって“0”に固定されています。

図 326. データサンプリング（16 倍のオーバーサンプリング）

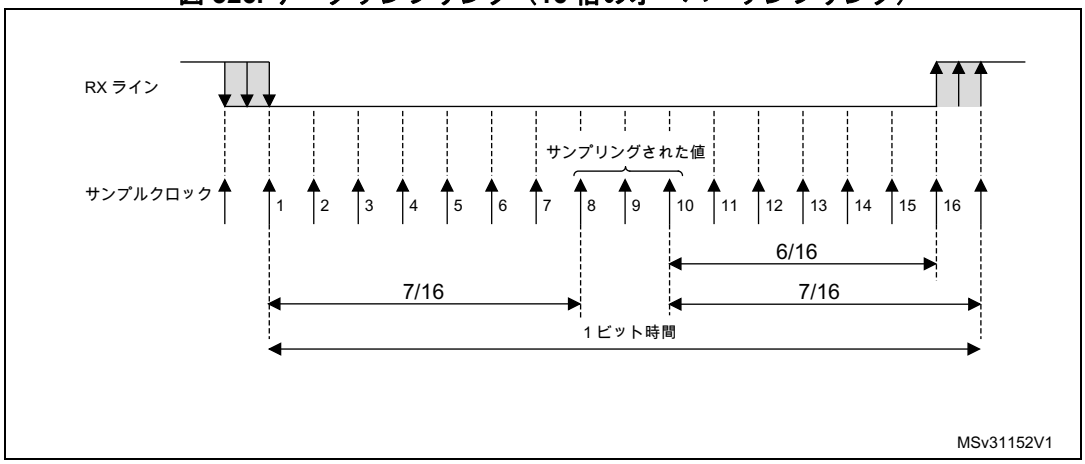


図 327. データサンプリング（8 倍のオーバーサンプリング）

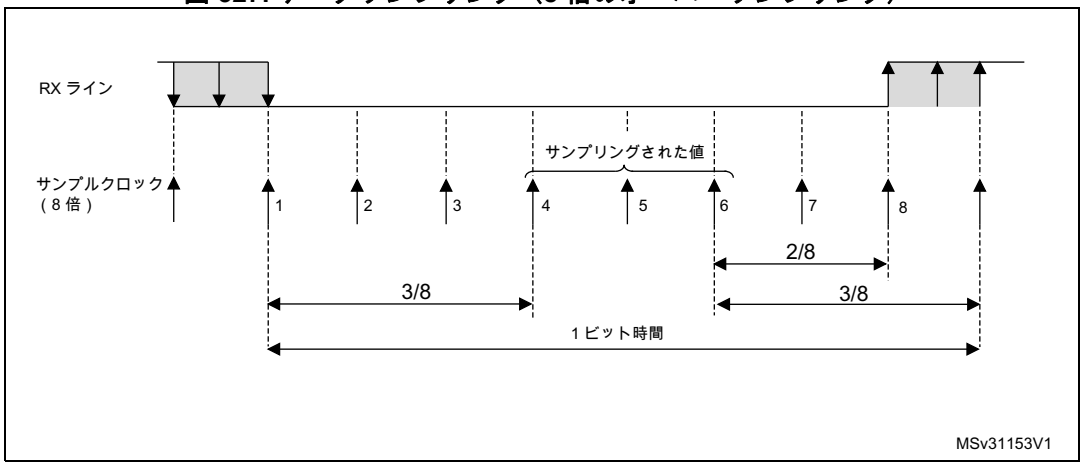


表 204. サンプリングされたデータからのノイズ検出

サンプリングされた値	NE ステータス	受信ビットの値
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

フレーミングエラー

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合、フレーミングエラーが検出されます。

フレーミングエラーが検出された場合：

- FE ビットがハードウェアによってセットされます。
- 無効なデータがシフトレジスタから USART_RDR レジスタ（FIFO モードが有効な場合は RXFIFO）へ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビット（FIFO モードが有効な場合は RXFNE ビット）と同時に立ち上がります。マルチバッファ通信の場合、USART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

USART_ICR レジスタの FECF に“1”を書き込むことによって、FE ビットがリセットされます。

注： **フレーミングエラーは SPI モードではサポートされていません。**

受信時の設定可能なストップビット

受信するストップビット数は、USART_CR の制御ビットを通じて設定でき、通常モードでは 1 または 2、スマートカードモードでは 0.5 または 1.5 にできます。

- **0.5 個のストップビット（スマートカードモードでの受信）**：0.5 個のストップビットでは、サンプリングは行われません。したがって、0.5 個のストップビットが選択されている場合、フレーミングエラーやブレークフレームは検出されません。
- **1 個のストップビット**：ストップビット 1 個のサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
- 1.5 個のストップビット（スマートカードモード）

  スマートカードモードでの送信時は、デバイスは、データが正しく送信されたことをチェックする必要があります。したがって、レシーバブロックを有効にし（USART_CR1 の RE = 1）、ストップビットをチェックして、スマートカードがパリティエラーを検出したかどうかをテストする必要があります。

  パリティエラーが発生した場合、スマートカードはサンプリング時のデータ信号を強制的にローレベルにします（これは、フレーミングエラーとしてフラグされる NACK 信号です）。その後、1.5 個のストップビットの最後に、RXNE フラグ（FIFO モードが有効な場合は RXFNE フラグ）を通して FE フラグがセットされます。ストップビット 1.5 個のサンプリングは、16 番目、17 番目、および 18 番目のサンプルで（ストップビットの開始から1 ボークロック周期後に）行われます。1.5 個のストップビットは、2 つの部分に分解できます。すなわち、何も起こらない 0.5 ボークロック周期と、途中でサンプリングが行われる通常の 1 ストップビット周期です（詳細はセクション 33.5.16：1068 ページのUSART レシーバタイムアウトを参照）。
- 2 個のストップビット

  ストップビット 2 個のサンプリングは、最初のストップビットの 8 番目、9 番目、および 10 番目のサンプルで行われます。

  最初のストップビット中にフレーミングエラーが検出された場合、フレーミングエラーフラグがセットされます。

  2 番目のストップビットでは、フレーミングエラーの検査は行われません。最初のストップビットの最後に、RXNE フラグ（FIFO モードが有効な場合は RXFNE フラグ）がセットされます。

33.5.7 USART ボーレート生成

レシーバとトランスミッタ（Rx と Tx）のボーレートは、USART_BRR レジスタでプログラムされた値に設定されます。

式 1：標準 USART のボーレート（SPI モードを含む）（OVER8 = “0”または“1”）

16 倍のオーバーサンプリングの場合、ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{\text{usart_ker_ckpres}}{\text{USARTDIV}}$$

8 倍のオーバーサンプリングの場合、ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{2 \times \text{usart_ker_ckpres}}{\text{USARTDIV}}$$

式 2：スマートカード、LIN、および IrDA モードのボーレート（OVER8 = 0）

ボーレートは次の計算式で与えられます。

$$\text{Tx/Rx ボー} = \frac{\text{usart_ker_ckpres}}{\text{USARTDIV}}$$

USARTDIV は、符号なしの固定小数点数であり、USART_BRR レジスタでコード化されます。

- OVER8 = 0 のとき、BRR = USARTDIV です。
- OVER8 = 1 のとき、
  - BRR[2:0] = USARTDIV[3:0] であり、右に 1 ビットシフトされます。
  - BRR[3] は、クリアされたままにする必要があります。
  - BRR[15:4] = USARTDIV[15:4]

注： **ボーカウンタは、USART_BRR への書込み後、ボーレジスタの新しい値によって更新されます。したがって、通信中はボーレートレジスタの値を変更しないでください。**

16 倍および 8 倍のオーバーサンプリングの場合、USARTDIV は 16 以上である必要があります。

USART_BRR レジスタの値から USARTDIV を得る方法

例 1

usart_ker_ck_pres = 8 MHz で 9600 ボーを得るには、

- 16 倍のオーバーサンプリングの場合：
  USARTDIV = 8 000 000/9600
  BRR = USARTDIV = 0d833 = 0x0341
- 8 倍のオーバーサンプリングの場合：
  USARTDIV = 2 * 8 000 000/9600
  USARTDIV = 1666,66 (0d1667 = 0x683)
  BRR[3:0] = 0x3 >> 1 = 0x1
  BRR = 0x681

例 2

usart_ker_ck_pres = 48 MHz で 921.6 キロボーを得るには、

- 16 倍のオーバーサンプリングの場合：
  USARTDIV = 48 000 000/921 600
  BRR = USARTDIV = 0d52 = 0x34
- 8 倍のオーバーサンプリングの場合：
  USARTDIV = 2 * 48 000 000/921 600
  USARTDIV = 104 (0d104 = 0x68)
  BRR[3:0] = USARTDIV[3:0] >> 1 = 0x8 >> 1 = 0x4
  BRR = 0x64

33.5.8 クロック偏差に対する USART レシーバの許容誤差

USART の非同期レシーバは、クロックシステムの合計偏差が USART レシーバの許容誤差未満の場合のみ、正しく動作します。

合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらす可能性のあるトランシーバに起因）

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{USART receiver 許容誤差}$$

ここで、

DWU は、低消費電力モードからのウェイクアップが使用されたときのサンプリングポイントの偏差によるエラーです。

M[1:0] = 01 の場合：

$$DWU = \frac{t_{WUUSART}}{11 \times Tbit}$$

M[1:0] = 00 の場合：

$$DWU = \frac{t_{WUUSART}}{10 \times Tbit}$$

M[1:0] = 10 の場合：

$$DWU = \frac{t_{WUUSART}}{9 \times Tbit}$$

$t_{WUUSART}$ は、スタートビットの立ち下がりエッジが検出され、クロック（ペリフェラルによるリクエスト）が動作可能状態になってペリフェラルに達し、レギュレータが動作可能状態になるまでの時間です。

USART レシーバは、次の設定に応じて、表 205 および 表 206 で指定された最大許容偏差まで、データを正しく受信できます。

- USART_CR1 レジスタの M ビットによって定義された 9、10 または 11 ビットのキャラクタ長
- USART_CR1 レジスタの OVER8 ビットによって定義された 8 倍または 16 倍のオーバーサンプリング
- USART_BRR レジスタのビット BRR[3:0] が 0000 に等しいかどうか。
- データのサンプリングに 1 ビットを使用するか 3 ビットを使用するか（USART_CR3 レジスタの ONEBIT ビットの値に依存）。

表 205. BRR [3:0] = 0000 のときの USART レシーバの許容誤差

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT = 0	ONEBIT = 1	ONEBIT = 0	ONEBIT = 1
00	3.75%	4.375%	2.50%	3.75%
01	3.41%	3.97%	2.27%	3.41%
10	4.16%	4.86%	2.77%	4.16%

表 206. BRR[3:0] が 0000 でないときの USART レシーバの許容誤差

M ビット	OVER8 ビット = 0		OVER8 ビット = 1	
	ONEBIT = 0	ONEBIT = 1	ONEBIT = 0	ONEBIT = 1
00	3.33%	3.88%	2%	3%
01	3.03%	3.53%	1.82%	2.73%
10	3.7%	4.31%	2.22%	3.33%

注： **表 205 および 表 206 で指定されたデータは、M ビット = 00 のとき、受信フレームに正確に 10 ビット時間のアイドルフレームが含まれる特殊なケースで、若干異なることがあります（M = 01 のときには 11 ビット時間、または M = 10 のときには 9 ビット時間）。**

33.5.9 USART 自動ボーレート検出

USART は、1 キャラクタの受信に基づいて、USART_BRR レジスタ値を検出し、自動的にセットすることができます。自動ボーレート検出は、2 つの状況で便利です。

- システムの通信速度が事前に分かっていないとき。
- システムが比較的低い精度のクロックソースを使用している場合、このメカニズムによって、クロック偏差を測定しなくても、正しいボーレートを求めることができます。

クロックソース周波数は、予期される通信速度と互換性がなければなりません。

- 16 倍のオーバーサンプリングのとき、ボーレートは usart_ker_ck_pres/65535 から usart_ker_ck_pres/16 までの範囲内です。
- 8 倍のオーバーサンプリングのとき、ボーレートは usart_ker_ck_pres/65535 から usart_ker_ck_pres/8 までの範囲内です。

自動ボーレート検出を有効にする前に、USART_CR2 レジスタの ABRMOD[1:0] フィールドによって自動ボーレート検出モードを選択する必要があります。キャラクタパターンに基づいて、4 つのモードがあります。これらの自動ボーレートモードでは、同期データ受信中にボーレートが数回測定され、各測定値が前回の測定値と比較されます。

これらのモードは以下のとおりです。

- **モード 0** : “1”のビットで始まるキャラクタ。

  この場合、USART はスタートビットの時間を測定します（立ち下がりエッジから立ち上がりエッジまで）。
- **モード 1** : 10xx ビットパターンで始まるキャラクタ。

  この場合、USART はスタートと最初のデータビットの時間を測定します。低速な信号スロープの場合の精度を高めるために、測定は立ち下がりエッジから立ち下がりエッジまでで行われます。
- **モード 2**: 0x7F キャラクタフレーム（LSB ファーストモードでは 0x7F キャラクタ、または MSB ファーストモードでは 0xFE）。

  この場合、ボーレートは、最初はスタートビット（BRs）の終了時に更新され、次にビット 6 の終了時に更新されます（立ち下がりエッジから立ち下がりエッジまで行われた測定に基づいて、BR6）。ビット 0 からビット 6 までが BRs でサンプリングされ、キャラクタの残りのビットは BR6 でサンプリングされます。
- **モード 3** : 0x55 キャラクタフレーム。

  この場合、ボーレートは、最初はスタートビット（BRs）の終了時に更新され、次にビット 0 の終了時に更新されます（立ち下がりエッジから立ち下がりエッジまで行われた測定に基づいて、BR0）、最後にビット 6（BR6）の終了時に更新されます。ビット 0 は BRs でサンプリングされ、ビット 1 からビット 6 までは BR0 でサンプリングされ、キャラクタの残りのビットは BR6 でサンプリングされます。並行して、RX ラインの中間遷移ごとに別のチェックが行われます。RX の遷移がレシーバと十分に同期していない場合はエラーが生成されます（レシーバは、ビット 0 で計算されたボーレートに基づきます）。

自動ボーレート検出を有効にする前に、ゼロ以外のボーレート値を書き込むことによって、USART_BRR レジスタを初期化する必要があります。

自動ボーレート検出を有効にするには、USART_CR2 レジスタの ABREN ビットをセットします。USART は、RX ラインの最初のキャラクタを待ちます。自動ボーレート動作の完了は、USART_ISR レジスタの ABRF フラグのセットによって示されます。ラインにノイズが多い場合、正しいボーレート検出を保証できません。この場合、BRR 値が破損して、ABRE エラーフラグがセットされることがあります。また、通信速度が自動ボーレート検出の範囲と互換性がない場合にも発生します（ビット時間が 16 から 65536 までのクロック周期でなく（16 倍のオーバーサンプリング）、8 から 65536 までのクロック周期でない（8 倍のオーバーサンプリング））。

その後、ABRF フラグをリセットすることによって（“0”を書き込むことによって）、自動ボーレート検出を再開できます。

FIFO マネージメントが無効になっていて、自動ボーレートエラーが発生した場合、RXNE および FE ビットを通して ABRE フラグがセットされます。

FIFO マネージメントが有効になっていて、自動ボーレートエラーが発生した場合、RXFNE および FE ビットを通して ABRE フラグがセットされます。

FIFO モードが有効な場合、自動ボーレート検出は、RXFIFO の最初の場所のデータを使用して行うべきです。したがって、自動ボーレート検出を開始する前に、USART_ISR レジスタの RXFNE フラグをチェックして RXFIFO が空であることを確認してください。

注 : **自動ボーレート操作中に USART が無効化された場合（UE = 0）、BRR 値が破損することがあります。**

33.5.10 USART マルチプロセッサ通信

USART のマルチプロセッサ通信が可能です（ネットワーク内で複数の USART を接続して）。たとえば、1 つの USART をマスタとして、その TX 出力を別の USART の RX 入力に接続することができます。一方、他の USART は、それぞれの TX 出力の論理和をとってマスタの RX 入力に接続して、スレーブとなります。

マルチプロセッサ設定では、多くの場合、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましく、これによって対象外の受信者に対する USART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードにできます。ミュートモード機能を使用するためには、USART_CR1 レジスタの MME ビットをセットする必要があります。

注： **FIFO マネージメントが有効になっていて MME がすでにセットされている場合は、MME ビットはクリアしてはなりません。クリアした場合はすぐに（2 usart_ker_ck サイクル以内に）再セットしてください。そうしないとミュートモードはアクティブのままになることがあります。**

ミュートモードが有効な場合、

- 受信ステータスビットはセットできません。
- 受信割込みはすべて禁止されます。
- USART_ISR レジスタの RWU ビットは“1”にセットされます。特定の条件下では、USART_RQR レジスタの MMRQ ビットを通じて、RWU をハードウェアまたはソフトウェアによって自動的に制御できます。

USART は、USART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードに入ったり終了したりできます。

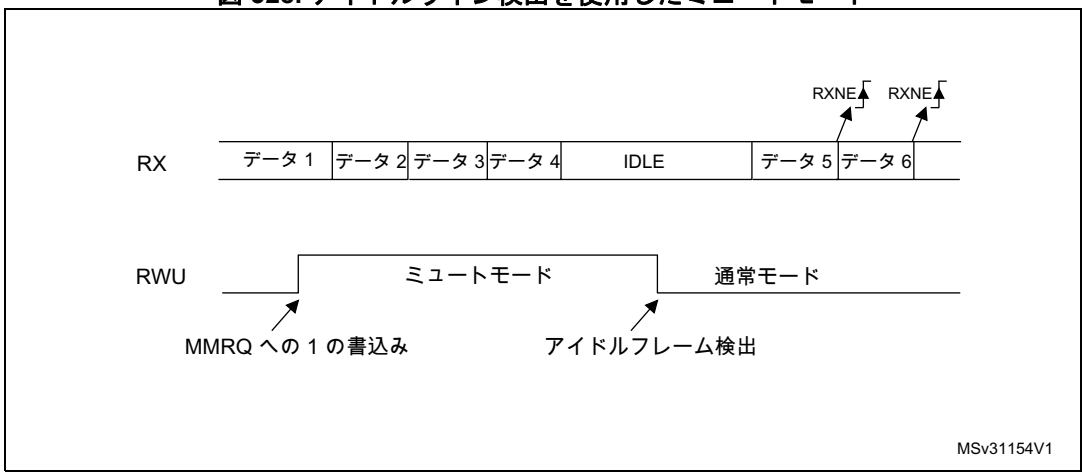
- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出（WAKE = 0）

MMRQ ビットに“1”が書き込まれ、RWU が自動的にセットされたときには、USART はミュートモードに入ります。

USART は、アイドルフレームを検出するとウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、USART_ISR レジスタの IDLE ビットはセットされません。アイドルライン検出を使用したミュートモードの動作例を 図 328 に示します。

図 328. アイドルライン検出を使用したミュートモード



注： **IDLE キャラクタがすでに経過しているときに MMRQ がセットされた場合は、ミュートモードに入りません（RWU はセットされません）。**

ラインが IDLE のときに USART が有効にされた場合、1 IDLE フレーム後にアイドル状態が検出されます（1 キャラクタフレームの受信後だけでなく）。

4 ビット／7 ビットアドレスマーク検出（WAKE = 1）

このモードでは、MSB が“1”の場合、バイトはアドレスとして認識され、そうでない場合はデータとみなされます。アドレスバイトのうち、ターゲットレシーバのアドレスは 4 または 7 LSB です。7 または 4 ビットアドレス検出の選択は、ADDM7 ビットを使用して行われます。この 4 ビット／7 ビットワードは、レシーバによって、USART_CR2 レジスタの ADD ビットでプログラムされたレシーバの自己アドレスと比較されます。

注： **7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス（ADD[5:0] および ADD[7:0]）で行われます。**

プログラミングされたアドレスと一致しないアドレスキャラクタを受信すると、USART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。USART がミュートモードに入ったときには、このアドレスバイトに対して RXNE フラグはセットされず、割込みも DMA リクエストも発行されません。FIFO 管理が有効になっている場合、ミュートモードに入る前に、RXFIFO に少なくとも 1 つの空き場所があることをソフトウェアによって確認するべきです。

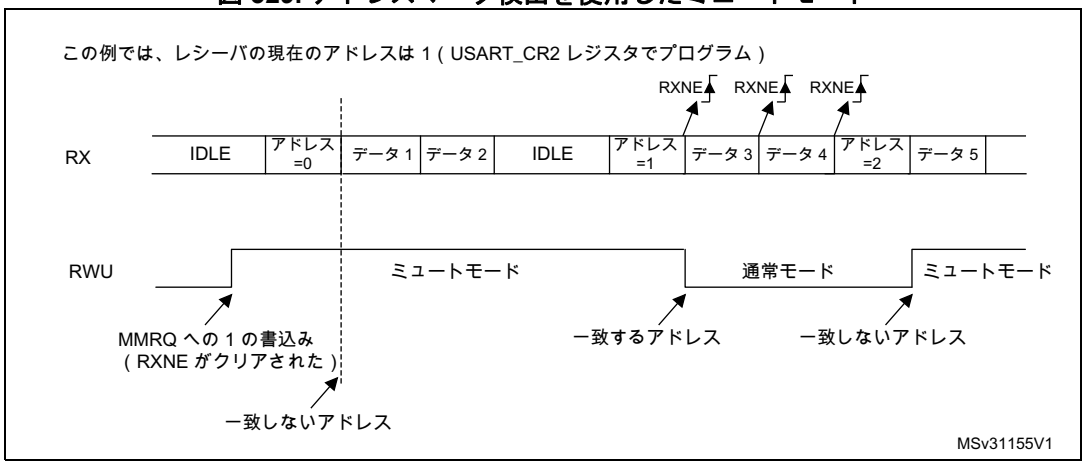
MMRQ ビットに 1 が書き込まれたときにも、USART はミュートモードに入ります。この場合、RWU ビットも自動的にセットされます。

プログラムされたアドレスに一致するアドレスキャラクタを受信すると、USART はミュートモードを終了します。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE/RXFNE ビットがセットされます。

注： **FIFO 管理が有効になっている場合、レシーバがデータの最後のビットをサンプリングしている間に MMRQ がセットされると、ミュートモードに実際に移行する前にこのデータが受信されることがあります。**

アドレスマーク検出を使用したミュートモードの動作例を 図 329 に示します。

図 329. アドレスマーク検出を使用したミュートモード



33.5.11 USART Modbus 通信

USART は、Modbus/RTU および Modbus/ASCII プロトコルの実装に対する基本的サポートを備えています。Modbus/RTU は、半二重のブロック転送プロトコルです。プロトコルの制御部分（アドレス認識、ブロック整合性制御、およびコマンド解釈）は、ソフトウェアで実装する必要があります。

USART は、ソフトウェアに負荷をかけず、他のリソースを使用せずに、ブロック検出の終了に対する基本的サポートを提供します。

Modbus/RTU

このモードでは、1 つのブロックの終了は 2 キャラクタ時間を超える「サイレンス」（アイドルライン）によって認識されます。この機能は、プログラム可能なタイムアウト機能を通じて実装されます。

タイムアウト機能と割込みは、USART_CR2 レジスタの RTOEN ビットと、USART_CR1 レジスタの RTOIE を通じて有効にする必要があります。2 キャラクタ時間に対応する値（たとえば、22 x ビット時間）を RTO レジスタでプログラムする必要があります。最後のストップビットの受信後、この時間にわたって受信ラインがアイドルのときには、割込みが生成されて、現在のブロック受信が完了したことをソフトウェアに知らせます。

Modbus/ASCII

このモードでは、ブロックの終了は特定の（CR/LF）キャラクタシーケンスによって認識されます。USART は、キャラクター致機能を使用して、このメカニズムを管理します。

ADD[7:0] フィールドで LF ASCII コードをプログラムし、キャラクター致割込みを有効にすることによって（CMIE = 1）、LF が受信されたときにソフトウェアに通知し、ソフトウェアは DMA バッファの CR/LF をチェックできます。

33.5.12 USART パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティチェック）を有効にするには、USART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されたフレーム長に応じて、可能な USART フレームフォーマットを表 207 に示します。

表 207. USART フレームのフォーマット

M ビット	PCE ビット	USART フレーム(1)
00	0	| SB | 8 ビットデータ | STB |
00	1	| SB | 7 ビットデータ | PB | STB |
01	0	| SB | 9 ビットデータ | STB |
01	1	| SB | 8 ビットデータ | PB | STB |
10	0	| SB | 7 ビットデータ | STB |
10	1	| SB | 6 ビットデータ | PB | STB |

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット。データレジスタでは、PB は常に MSB 位置を取ります（M ビットの値に応じて、8 または 7 番目）。

偶数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの 値に応じて）とパリティビットから構成されるフレーム内で 「1」の数が偶数になるように計算されます。

たとえば、データ = 00110101 であり、4bit がセットされた場合、偶数パリティが選択された場合（USART_CR1 の PS ビット = 0）、パリティビットは 0 になります。

奇数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットで構成されるフレーム内で「1」の数が奇数になるように計算されます。

たとえば、データ = 00110101 であり、4bit がセットされた場合、奇数パリティが選択された場合（USART_CR1 の PS ビット = 1）、パリティビットは 1 になります。

受信中のパリティチェック

パリティチェックに失敗した場合、USART_ISR レジスタの PE フラグがセットされ、USART_CR1 レジスタの PEIE ビットがセットされている場合は割込みが生成されます。PE フラグは、USART_ICR レジスタの PECF に 1 を書き込むことによってクリアされます。

送信中のパリティ生成

USART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます（偶数パリティが選択された場合（PS = 0）は偶数個の「1」、奇数パリティが選択された場合（PS = 1）は奇数個の「1」）。

33.5.13 USART LIN（Local Interconnection Network）モード

このセクションは、LIN モードがサポートされるときにのみ適用されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

LIN モードを選択するには、USART_CR2 レジスタの LINEN ビットをセットします。LIN モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの CLKEN
- USART_CR3 レジスタの STOP[1:0]、SCEN、HDSEL、および IREN

LIN 送信

LIN マスタ送信の場合、セクション 33.5.4 に記述されている手順を適用する必要があります。通常の USART 送信と同じですが、次のような違いがあります。

- 8 ビットのワード長を設定するには M ビットをクリアします。
- LIN モードに入るには、LINEN ビットをセットします。この場合、SBKRQ ビットをセットすると、13 個の “0” ビットがブレークキャラクタとして送信されます。その後、値 “1” の 2bit が送信され、次の START 検出が可能になります。

LIN 受信

LIN モードが有効になると、ブレーク検出回路が有効になります。この検出は、通常の USART レシーバとは完全に独立しています。アイドル状態時やフレームの処理中には、発生のたびにブレークが検出できます。

レシーバが有効になると（USART_CR1 の RE = 1）、RX 入力の START 信号を探します。スタートビットの検出方法は、ブレークキャラクタやデータの検索方法と同じです。スタートビットが検出された後、データの場合とまったく同様に次のビットがサンプリングされます（8、9、および 10番目のサンプル）。10 個（USART_CR2 レジスタの LBDL = 0）または 11 個（USART_CR2 レジスタの LBDL = 1）の連続したビットが “0” として検出され、その後にデリミタキャラクタが続く場合、USART_ISR レジスタの LBDF フラグがセットされます。LBDIE *ビット*が 1 の場合、割込みが生成されます。ブレークを確認する前に、RX ラインがハイレベルに戻ったことを知らせるデリミタが検査されます。

この 10 または 11 が発生する前に“1”がサンプリングされた場合、ブレーク検出回路は現在の検出をキャンセルし、再びスタートビットを検索します。

LIN モードが無効にされた場合（LINEN = 0）、レシーバは、ブレーク検出を考慮することなく、通常の USART として機能し続けます。

LIN モードが有効にされた場合（LINEN = 1）、フレーミングエラーが発生（つまり、ブレークフレームの場合と同様に、“0” の位置でストップビットを検出）すると、レシーバは停止し、ブレーク検出回路が “1” （ブレークワードが完全でなかった場合）またはデリミタキャラクタ（ブレークが検出された場合）を受信するまで停止状態を維持します。

ブレーク検出回路ステートマシンの動作とブレークフラグを 図 330：1063 ページのLIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）に示します。

ブレークフレームの例を図 331:1064 ページのLIN モードでのブレーク検出とフレーミングエラー検出 に示します。

図 330. LIN モードでのブレーク検出（11 ビットブレーク長、LBDL=1）

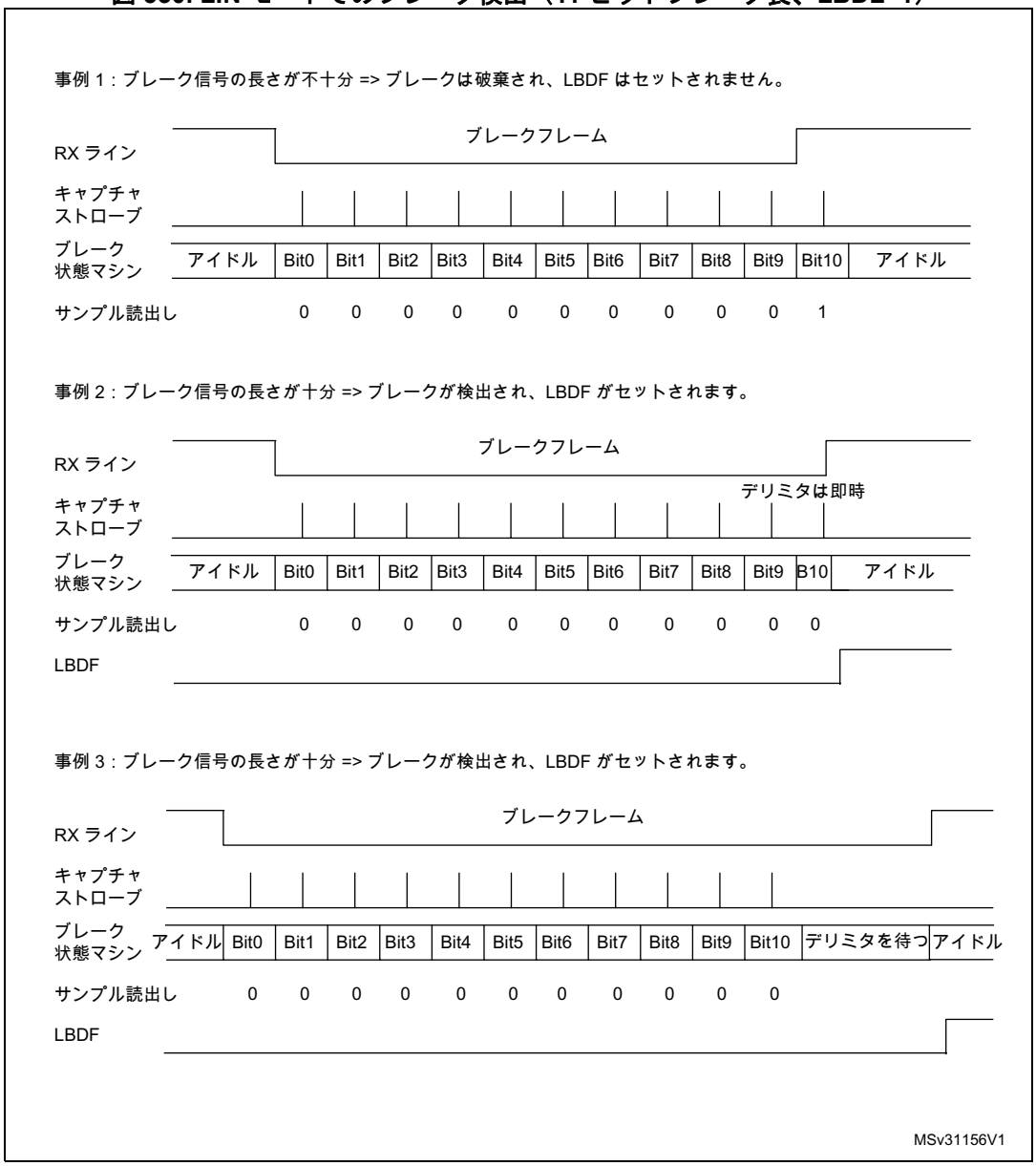
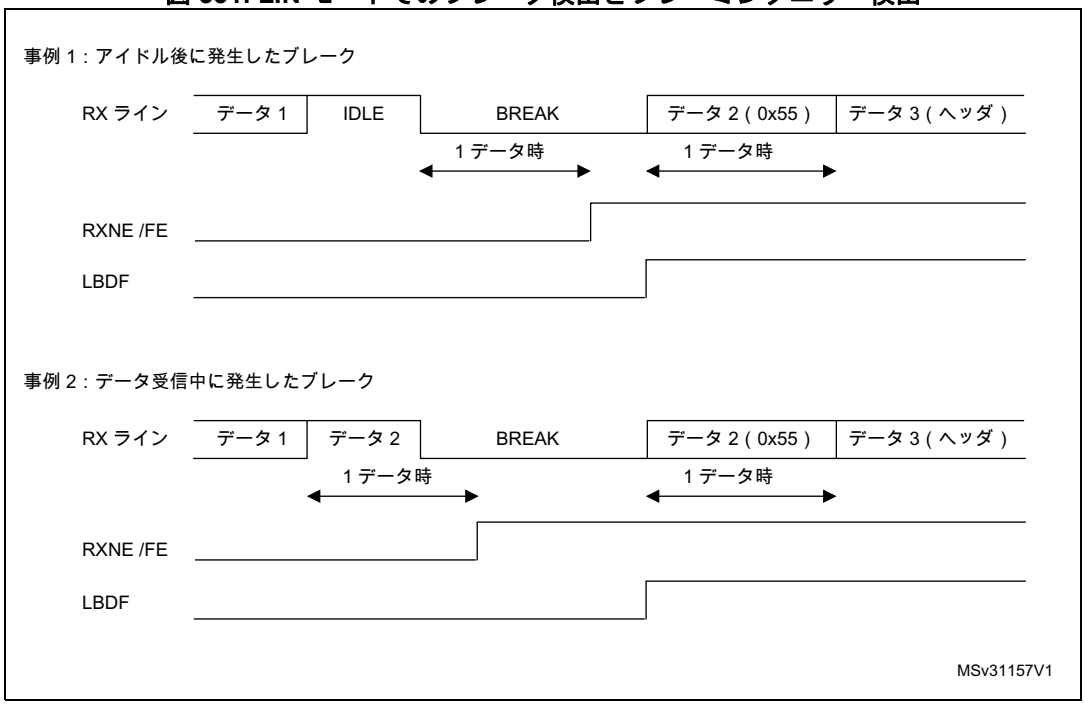


図 331. LIN モードでのブレーク検出とフレーミングエラー検出



33.5.14 USART 同期モード

マスタモード

同期マスタモードを選択するには、USART_CR2 レジスタの CLKEN ビットを“1”にプログラムします。同期モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

このモードでは、USART を使用して、双方向同期シリアル通信をマスタモードで制御できます。CK ピンは USART トランスミッタクロックの出力です。スタートビットとストップビットの処理中には、CK ピンにクロックパルスは送信されません。USART_CR2 レジスタの LBCL ビットの状態によっては、有効な最後のデータビット（アドレスマーク）の処理中にクロックパルスが生成されることもあります。USART_CR2 レジスタの CPOL ビットは、クロック極性を選択するために使用され、USART_CR2 レジスタの CPHA ビットは、外部クロックの位相を選択するために使用されます（図 332、図 333、および図 334 を参照）。

アイドル時、プリアンブル処理時、およびブレーク送信時には、外部 CK クロックは起動されません。

同期マスタモードでは、USART トランスミッタは非同期モードの場合とまったく同じように動作します。しかし、CPOL と CPHA に基づいて CK が TX と同期するので、TX 上のデータが同期します。

同期マスタモードでは、USART レシーバは非同期モードの場合とは異なる動作をします。RE が 1 にセットされた場合、データはオーバーサンプリングなしで、CK（CPOL と CPHA に応じて立ち上がりまたは立ち下がりエッジ）でサンプリングされます。ボーレート（1/16 ビット時間）に応じたセットアップ時間とホールド時間に従う必要があります。

注： マスタモードでは、CK ピンは TX ピンと連携して動作します。したがって、クロックが供給されるのは、トランスミッタが有効であり（TE = 1）、データが送信中（USART_TDR データレジスタへの書込み）の場合に限られます。つまり、データ送信を行わずに同期データを受信することはできません。

図 332. USART の同期マスタ送信の例

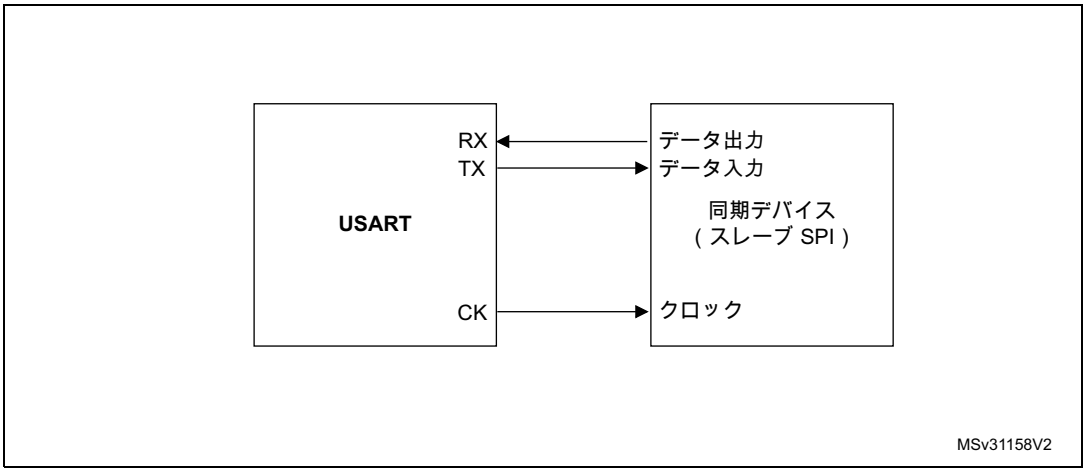


図 333. 同期マスタモードでの USART データクロックタイミング図（M ビット = 00）

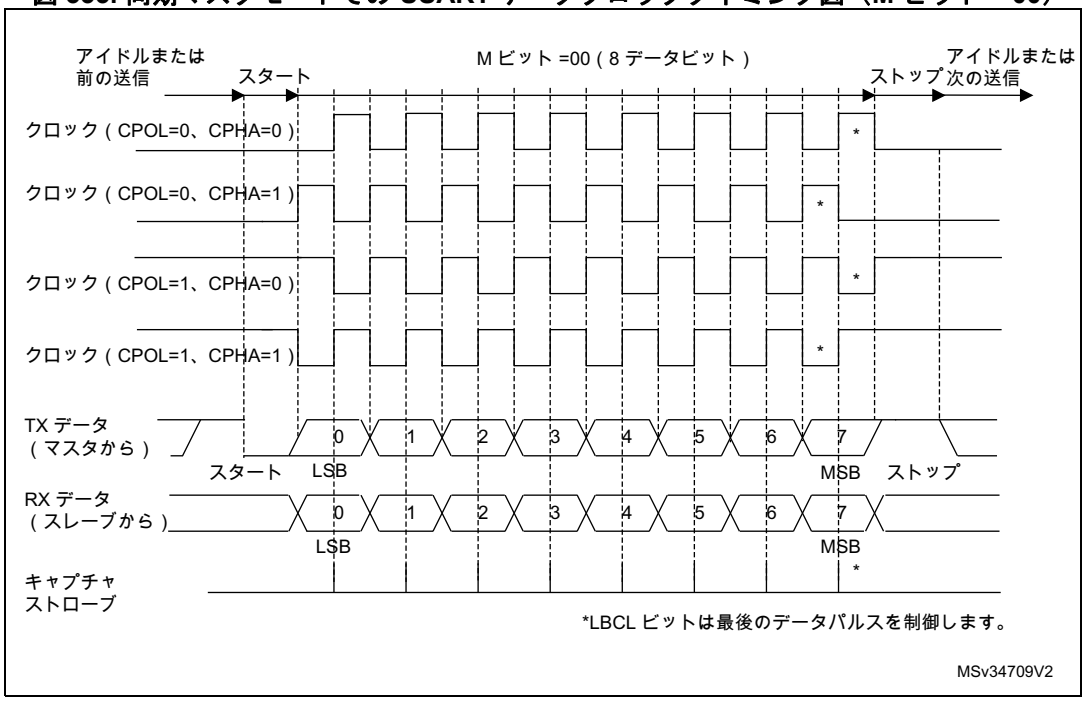
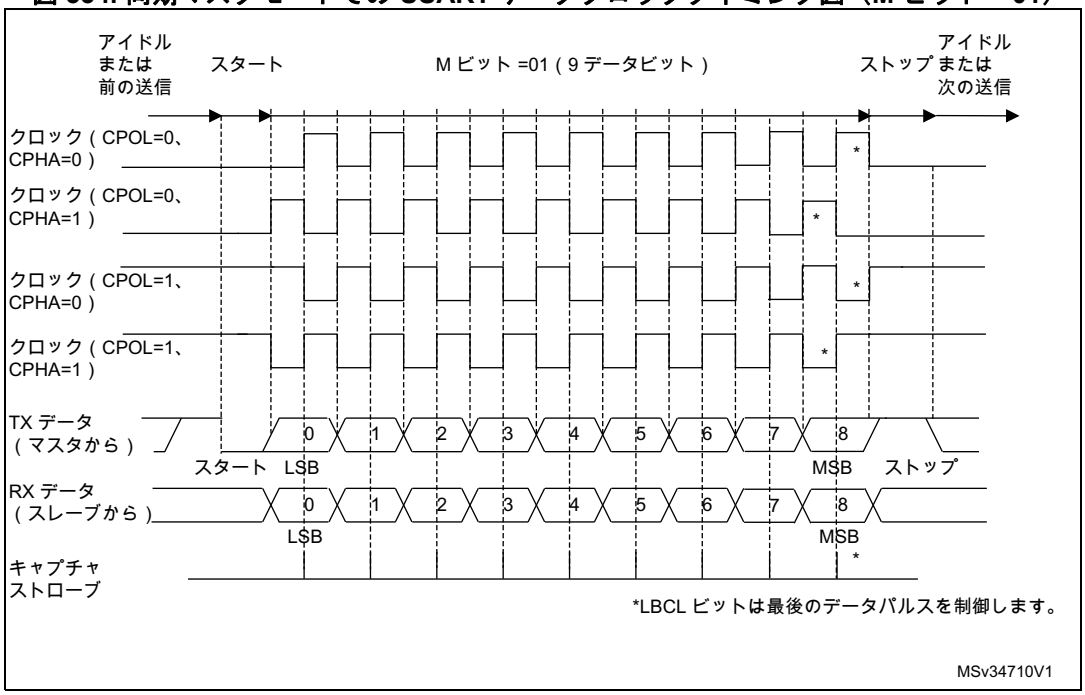


図 334. 同期マスタモードでの USART データクロックタイミング図（M ビット = 01）



スレーブモード

同期スレーブモードを選択するには、USART_CR2 レジスタの SLVEN ビットを“1”にプログラムします。同期スレーブモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN、HDSEL、および IREN ビット

このモードでは、USART を使用して、双方向同期シリアル通信をスレーブモードで制御できます。CK ピンは、スレーブモードの USART の入力です。

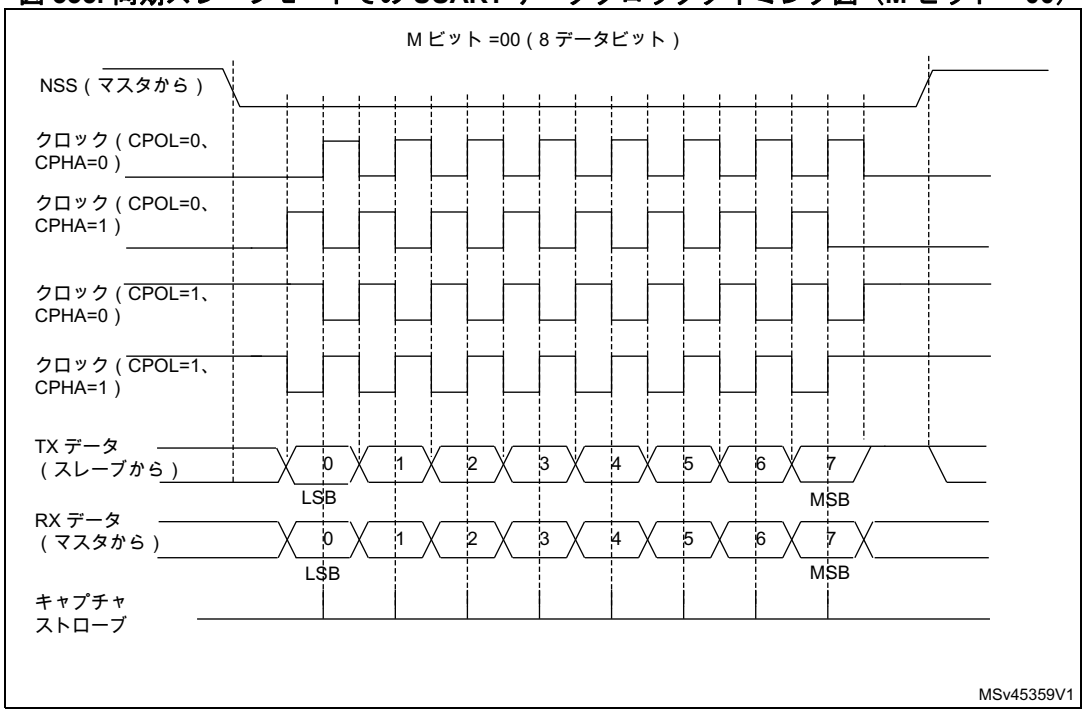
注： **ペリフェラルが SPI のスレーブモードで使用されるとき、ペリフェラルのクロックソースの周波数（usart_ker_ck_pres）は CK 入力周波数の 3 倍より大きくなければなりません。**

USART_CR2 レジスタの CPOL ビットと CPHA ビットは、それぞれクロック極性と外部クロックの位相を選択するために使用されます（図 335 を参照）。

アンダーランエラーフラグはスレーブ送信モードで使用できます。ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現われると、このフラグがセットされます。

スレーブはハードウェアおよびソフトウェアの NSS 管理をサポートしています。

図 335. 同期スレーブモードでの USART データクロックタイミング図（M ビット = 00）



スレーブ選択（NSS）ピンの管理

ハードウェアまたはソフトウェアのスレーブ選択管理は、USART_CR2 レジスタの DIS_NSS ビットを使用して設定することができます。

- ソフトウェア NSS 管理（DIS_NSS = 1）

  SPI スレーブが常に選択され、NSS 入力ピンは無視されます。

  外部NSS ピンは他のアプリケーションで使用できます。

- ハードウェア NSS 管理（DIS_NSS = 0）

  SPI スレーブ選択は NSS 入力ピンに依存します。NSS がローレベルのときにスレーブが選択され、NSS がハイレベルのときには選択されません。

注： **USART が無効にされたときには（UE= 0）、クロックパルスが正常に機能するように、LBCL（SPI マスタモードでのみ使用）、CPOL、および CPHA ビットを選択する必要があります。**

SPI スレーブモードでは、マスタ通信を開始する前に（またはクロックが安定しているときのフレーム間で）、USART を有効にする必要があります。そうしないと、マスタがフレームの中央に位置しているときに USART スレーブが有効化されると、スレーブはマスタとの同期がとれなくなります。スレーブのデータレジスタは、通信クロックの最初のエッジまたは現在の通信の終了より前に、準備ができている必要があります。そうしないと、SPI スレーブはゼロを送信します。

SPI スレーブのアンダーランエラー

アンダーランエラーが起きると、USART_ISR レジスタの UDR フラグがセットされ、ソフトウェアによってアンダーランエラーフラグがクリアされるまで SPI スレーブは最後のデータを送信し続けます。

アンダーランフラグはフレームの開始時にセットされます。USART_CR3 レジスタの EIE ビットがセットされている場合、アンダーランエラー割込みがトリガされます。

アンダーランエラーフラグは、USART_ICR レジスタのビット UDRCF をセットすることによってクリアされます。

アンダーランエラーの場合、TDR レジスタに書き込むことは可能です。アンダーランエラーをクリアすると、新しいデータを送信できます。

アンダーランエラーが起きて、TDR に書き込まれる新しいデータがない場合は、フレームの終りに TC フラグがセットされます。

注： **データが USART_TDR に書き込まれた時点が CK の最初の送信エッジに近すぎると、アンダーランエラーが起きることがあります。このアンダーランエラーを避けるために、USART_TDR への書込みは、最初の CK エッジより usart_ker_ck の 3 サイクル前に行うべきです。**

33.5.15 USART 単線半二重通信

単線半二重モードを選択するには、USART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN および CLKEN ビット
- USART_CR3 レジスタの SCEN および IREN ビット

USART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部接続されます。半二重通信と全二重通信の選択は、USART_CR3 レジスタの制御ビット HDSEL で行います。

HDSEL ビットに“1”が書き込まれると、

- TX ラインと RX ラインが内部接続されます。
- RX ピンは使用されなくなります。
- データが送信されないときには、TX ピンは常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が外部プルアップ付きの代替機能オープンドレインとして設定されるように、I/O を設定する必要があります。

この点を除くと、通信プロトコルは通常の USART モードと同じです。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用して）。特に、送信がハードウェアによってブロックされることはなく、TE ビットがセットされている間は、データレジスタにデータが書き込まれるとすぐに、送信が続行されます。

33.5.16 USART レシーバタイムアウト

レシーバタイムアウト機能を有効にするには、USART_CR2 制御レジスタの RTOEN ビットをセットします。

タイムアウト経過時間は USART_RTOR レジスタの RTO ビットフィールドを使用してプログラムします。

レシーバタイムアウトカウンタは次の時点からカウントを開始します。

- STOP = “00” または STOP = “11” の場合、ストップビットの最後から
- STOP = “10” の場合、2 番目のストップビットの最後から。
- STOP = “01” の場合、ストップビットの最初から。

タイムアウト経過時間が過ぎると、USART_ISR レジスタの RTOF フラグがセットされます。USART_CR1レジスタの RTOIE ビットがセットされている場合、タイムアウトが生成されます。

33.5.17 USART スマートカードモード

このセクションは、スマートカードモードがサポートされるときにのみ適用されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

スマートカードモードを選択するには、USART_CR3 レジスタの SCEN ビットをセットします。スマートカードモードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN ビット
- USART_CR3 レジスタの HDSEL および IREN ビット

スマートカードにクロックを供給するために CLKEN ビットもセットすることができます。

スマートカードインタフェースは、ISO 7816-3 標準で定義された非同期スマートカードプロトコルをサポートするように設計されています。T = 0（キャラクタモード）と T = 1（ブロックモード）の両方がサポートされます。

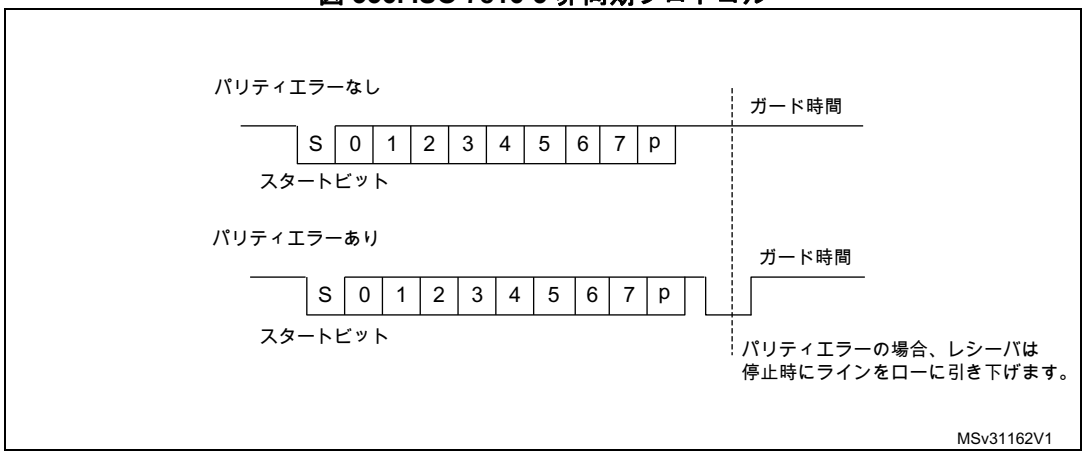
USART は次のように設定してください。

- 8 ビット＋パリティ：USART_CR1 レジスタの M = 1 および PCE = 1
- データ送受信ではストップビット 1.5 個：USART_CR2 レジスタの STOP = “11”。受信にはストップビット 0.5 個を選択することも可能です。

T = 0（キャラクタ）モードでは、パリティエラーはガードタイム中の各キャラクタの終わりに示されます。

図 336 に、パリティエラーの有無によるデータラインの状況の変化の例を示します。

図 336. ISO 7816-3 非同期プロトコル



スマートカードと接続されると、USART の TX 出力は、やはりスマートカードによって駆動される双方向ラインを駆動します。TX ピンは、オープンドレインとして設定される必要があります。

スマートカードモードは、単線半二重通信プロトコルを実装します。

- 送信シフトレジスタからのデータの送信は、少なくとも 1/2 ボークロックの遅れが保証されます。通常動作では、フルの送信シフトレジスタは、次のボークロックエッジでシフト動作を開始します。スマートカードモードでは、この送信は、保証された 1/2 ボークロック分だけさらに遅れます。
- 送信時、スマートカードがパリティエラーを検出した場合には、ラインをローに駆動することによって（NACK）、この条件を USART に知らせます。この NACK 信号（1 ボークロックの間、送信ラインをローに引き下げ）は、1.5 個のストップビットが組み込まれたトランスミッタ側にフレーミングエラーを引き起こします。USART は、プロトコルに従って、データの自動再送信を処理できます。再試行回数は、SCARCNT ビットフィールドでプログラムされます。プログ

ラムされた再試行回数後も USART が NACK を受信し続けた場合は、送信を停止して、エラーをフレーミングエラーとして通知します。TXE ビット（FIFO モードが有効な場合は TXFNF ビット）は、USART_RQR レジスタの TXFRQ ビットを使用してセットできます。

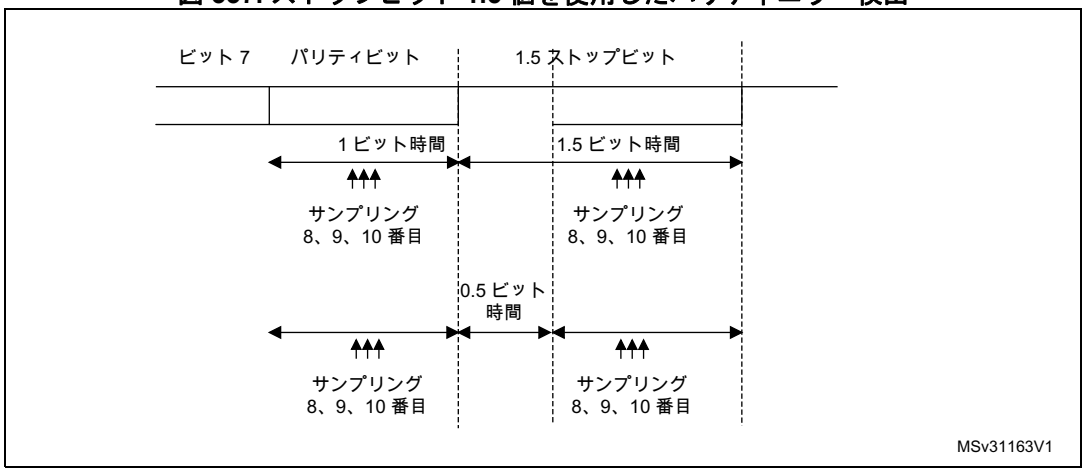
- 送信時のスマートカード自動再試行：USART による NACK の検出と反復キャラクタのスタートビットの間に 2.5 ボー周期の遅延が挿入されます。最後の反復キャラクタの受信終了時、ただちに TC ビットがセットされます（ガードタイムはありません）。ソフトウェアで再び繰り返したい場合は、規格によって指定されている 2 ボー周期以上を確保する必要があります。
- 1.5　個のストップビット周期でプログラムされたフレームの受信時にパリティエラーが検出された場合、受信フレームの完了後 1 ボークロック周期間、送信ラインがローに引き下げられます。これは、USART に送信されたデータが正しく受信されなかったことをスマートカードに知らせるためです。NACK 制御ビットがセットされている場合、パリティエラーはレシーバによって “NACK” され、そうでない場合、NACK は送信されません（T = 1 モードで使用されます）。受信したキャラクタにエラーがあった場合、RXNE（FIFO モードが有効な場合は RXFNE）／受信 DMA リクエストは有効になりません。プロトコルの仕様に従って、スマートカードは同じキャラクタを再送信する必要があります。SCARCNT ビットフィールドで指定された最大試行回数後も、受信したキャラクタにエラーがあった場合、USART は NACK の送信を停止して、エラーをパリティエラーとして通知します。
- 受信時のスマートカード自動再試行：USART がカードを NACK したが、カードがキャラクタを繰り返さなかった場合、BUSY フラグはセットされたままです。
- 送信時、USART は 2 つの連続するキャラクタの間にガードタイム（ガードタイムレジスタでプログラム）を挿入します。ガードタイムは前のキャラクタのストップビット後に測定されるので、GT[7:0] レジスタを目的の CGT（7816-3 仕様で定義されている Character Guard Time）から 12（1 キャラクタの時間）を引いた値にプログラムする必要があります。
- TC フラグのアサーションは、ガードタイムレジスタをプログラムすることによって遅らせることができます。通常動作では、TC がアサートされるのは、送信シフトレジスタが空であり、他に未処理の送信リクエストがない場合です。スマートカードモードでは、空の送信シフトレジスタは、ガードタイムカウンタをトリガして、ガードタイムレジスタにプログラミングされた値までカウントアップします。この間、TC は強制的にローレベルに保たれます。ガードタイムカウンタがプログラミングされた値に達すると、TC がハイにアサートされます。TCBGT フラグは、ガード時間完了を待たずにデータ転送の終わりを検出するために使用できます。このフラグは、フレーム送信終了後およびカードから NACK を受信しなかった場合にのみセットされます。
- TC フラグのネゲートは、スマートカードモードの影響を受けません。
- レシーバからの NACK によってトランスミッタ端でフレーミングエラーが検出された場合、トランスミッタの受信ブロックは、この NACK をスタートビットとして検出しません。ISO プロトコルによれば、受信される NACK の期間は 1 または 2 ボークロック周期です。
- レシーバ側では、パリティエラーが検出されて NACK が送信された場合、レシーバはこの NACK をスタートビットとして検出しません。

注： **スマートカードモードでは、ブレークキャラクタは意味を持ちません。フレーミングエラー発生時のデータ 0x00 は、ブレークではなくデータとして処理されます。**

TE ビットをトグルするとき、アイドルフレームは送信されません。アイドルフレームは、他の設定では定義されますが、ISO プロトコルでは定義されていません。

図 337 に、USART による NACK 信号のサンプリング方法を示します。この例では、USART はデータを送信中であり、ストップビットが 1.5 個組み込まれています。データと NACK 信号の整合性を検査するために、USART のレシーバ部が有効にされます。

図 337. ストップビット 1.5 個を使用したパリティエラー検出



USART は、CK 出力を通じてスマートカードにクロックを供給できます。スマートカードモードでは、CK は通信に関係せず、5 ビットのプリスケーラを通じて単に内部のペリフェラル入力クロックから取得されます。この分周比は、USART_GTPR レジスタで設定されます。CK の周波数は usart_ker_ck_pres/2 から usart_ker_ck_pres/62 の間でプログラミングできます。ここで、usart_ker_ck_pres は、プログラムされたプリスケーラで分周されたペリフェラル入力クロックです。

ブロックモード（T = 1）

T = 1（ブロック）モードでは、パリティエラー送信は、USART_CR3 レジスタの NACK ビットをクリアすることによって無効化されます。

ブロックモードでスマートカードからの読出しをリクエストするときには、ソフトウェアは RTOR レジスタを BWT（ブロックウェイトタイム）- 11 の値にプログラムする必要があります。この期間が終了する前にカードからの応答が受信されなかった場合、タイムアウト割込みが生成されます。この期間が終了する前に最初のキャラクタが受信された場合は、RXNE/RXFNE 割込みによって通知されます。

注： **ブロックモードのスマートカードからの読出しに USART を DMA モードで使用するときでも、RXNE/RXFNE 割込みを有効にする必要があります。並行して、DMA は最初の受信バイトの後でのみ有効にする必要があります。**

2つの連続するキャラクタの間で最大ウェイトタイムの自動チェックを行うには、最初のキャラクタの受信後（RXNE/RXFNE 割込み）、RTO レジスタを CWT（キャラクタウェイトタイム -11）の値にプログラムする必要があります。この時間は、ボータイム単位で表されます。スマートカードが前のキャラクタの終了後、CWT 未満の時間内に新しいキャラクタを送信しなかった場合、USART は RTOF フラグと割込み（RTOIE ビットがセットされているとき）によって、これをソフトウェアに通知します。

注： **スマートカードプロトコルの定義にあるように、BWT/CWT 値は最後のキャラクタの開始（スタートビット）から定義されるべきです。RTO レジスタは、最後のキャラクタ自体の長さを考慮して、それぞれ BWT -11 または CWT -11 にプログラムする必要があります。**

ブロック長カウンタは、USART が受信するすべてのキャラクタをカウントするために使用されます。このカウンタは、USART の送信時にリセットされます。ブロックの長さは、スマートカードによってブロックの 3 番目のバイト（プロローグフィールド）で伝えられます。この値を USART_RTOR レジスタの BLEN フィールドでプログラムする必要があります。DMA モードを使用するときには、ブロックの開始前に、このレジスタフィールドを最小値（0x0）にプログラムする必要があります。この値では、4 番目の受信キャラクタの後に割込みが生成されます。ソフトウェアは LEN フィールド（3 番目のバイト）を読み出す必要があり、その値は受信バッファから読み出される必要があります。

割込み駆動受信モードでは、ブロックの長さはソフトウェアによって、または BLEN 値をプログラムすることによってチェックできます。ただし、ブロックの開始前に、BLEN の最大値（0xFF）をプログラムすることができます。実際の値は、3番目のキャラクタの受信後にプログラムされます。

ブロックが LRC 水平冗長検査（1 エピローグバイト）を使用している場合は、BLEN = LEN です。ブロックが CRC メカニズム（2 エピローグバイト）を使用している場合は、BLEN = LEN+1 をプログラムする必要があります。合計ブロック長（プロローグ、エピローグ、および情報フィールドを含む）は、BLEN+4 に等しくなります。ブロックの終わりは EOBF フラグと割込み（EOBIE ビットがセットされているとき）によってソフトウェアに通知されます。

ブロック長エラーの場合、ブロックの終わりは RTO 割込みによって通知されます（キャラクタウェイトタイムオーバーフロー）。

注： **エラーチェックコード（LRC/CRC）は、ソフトウェアによって計算／確認されなければなりません。**

ダイレクトおよびインバースコンベンション

スマートカードプロトコルは、ダイレクトとインバースの 2 つコンベンションを定義しています。

ダイレクトコンベンションは、LSB ファースト、論理ビットの値 1 がラインの H 状態に対応、および偶数パリティとして定義されています。このコンベンションを使用するためには、制御ビット MSBFIRST = 0、DATAINV = 0（デフォルト値）をプログラムする必要があります。

インバースコンベンションは、MSB ファースト、論理ビットの値 1 が単線の L 状態に対応、および偶数パリティとして定義されています。このコンベンションを使用するためには、制御ビット MSBFIRST = 1、DATAINV = 1 をプログラムする必要があります。

注： **論理データ値が反転されると（0 = H、1 = L）、パリティビットも同じように反転されます。**

カードのコンベンションを認識するために、カードは最初のキャラクタ TS を ATR（Answer To Reset）フレームの最初のキャラクタとして送信します。TS には、LHHL LLL LLH と LHHL HHH LLH の 2 つのパターンが使えます。

- (H) LHHL LLL LLH は、インバースコンベンションをセットアップします。状態 L が値 1 にエンコードされ、モーメント 2 は最上位ビットを含みます（MSB ファースト）。インバースコンベンションによってデコードされると、送受信されたバイトは 3F に等しくなります。
- (H) LHHL HHH LLH は、ダイレクトコンベンションをセットアップします。状態 H が値 1 にエンコードされ、モーメント 2 は最下位ビットを含みます（LSB ファースト）。ダイレクトコンベンションによってデコードされると、送受信されたバイトは 3B に等しくなります。

キャラクタパリティは、2 から 10 までの 9 個のモーメントに 1 にセットされた偶数個のビットがあったときに正しいとみなされます。

USART はカードが使用するコンベンションを知らないので、いずれのパターンであるかを認識して、それに応じて動作できる必要があります。パターン認識はハードウェアでは行われず、ソフトウェアシーケンスによって行われます。さらに、USART がダイレクトコンベンション（デフォルト）で設定され、カードがインバースコンベンションで応答した場合、TS = LHHL LLL LLH は、USART が受信したキャラクタの 03 と奇数パリティとなります。

したがって、TS パターン認識には 2 つの方式を使用できます。

方式 1

USART は、標準スマートカードモード／ダイレクトコンベンションでプログラムされます。この場合、TS パターンの受信によってパリティエラー割込みと、カードに対するエラー信号が生成されます。

- パリティエラー割込みは、カードがダイレクトコンベンションで正しく応答しなかったことをソフトウェアに知らせます。ソフトウェアは、USART をインバースコンベンションで再プログラムします。
- エラー信号に対して、カードは同じ TS キャラクタを再試行し、再プログラムされた USART によって今度は正しく受信されます。

または、パリティエラー割込みに応答して、ソフトウェアは USART を再プログラムし、カードに対して新しいリセットコマンドを生成してから、TS を再び待つこともできます。

方式 2

USART は 9 ビット／パリティなしモード、ビット反転なしでプログラムされます。このモードでは、次のように 2 つの TS パターンのいずれかを受信します。

(H) LHHL LLL LLH = 0x103 : インバースコンベンションを選択

(H) LHHL HHH LLH = 0x13B : ダイレクトコンベンションを選択

ソフトウェアは受信されたキャラクタをこの 2 つのパターンと照合して、いずれかに一致した場合は、それに応じて、次のキャラクタ受信に備えて USART をプログラムします。

2 つのうちのどちらも認識されなかった場合、ネゴシエーションを再開始するためにカードリセットが生成されます。

33.5.18 USART IrDA SIR ENDEC ブロック

このセクションは、IrDA モードがサポートされるときにのみ適用されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

IrDA モードを選択するには、USART_CR3 レジスタの IREN ビットをセットします。IrDA モードでは、次のビットをクリアされた状態に保つ必要があります。

- USART_CR2 レジスタの LINEN、STOP、および CLKEN ビット
- USART_CR3 レジスタの SCEN および HDSEL ビット

IrDA SIR 物理層は、ロジック 0 を赤外光パルスとして表現する RZI（Return to Zero, Inverted）変調方式の使用を指定します（図 338 を参照）。

SIR 送信エンコーダは、USART からの NRZ（Non Return to Zero）送信ビットストリーム出力を変調します。出力パルスストリームは、外部の出力ドライバと赤外線 LED に送信されます。SIR ENDEC の場合、USART は最大 115.2 kbaud のビットレートしかサポートしません。通常モードでは、送信されるパルス幅は、ビット周期の 3/16 と指定されます。

SIR 受信デコーダは、赤外線検出回路からの RZ（Return to Zero）ビットストリームを復調し、受信した NRZ シリアルビットストリームを USART に出力します。デコーダの入力は、アイドル状態のノーマルハイレベル（マーク状態）です。送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。デコーダ入力がローレベルのとき、スタートビットが検出されます。

- IrDA は半二重通信プロトコルです。トランスミッタがビジーである場合（USART が IrDA エンコーダにデータを送信しているとき）、IrDA デコーダは IrDA 受信ライン上にあるすべてのデータを無視します。レシーバがビジーである（USART がデコードされたデータを受信している）場合、IrDA は USART から IrDA への TX 上のデータをエンコードしません。データの受信中は、送信データの破壊を防ぐために、送信を避けてください。

- “0”はハイパルスとして送信され、“1”は“0”として送信されます。通常モードでは、パルスの幅は、選択されたビット周期の 3/16 と規定されます（図 339 を参照）。
- SIR デコーダは、IrDA 準拠の受信信号を USART 用のビットストリームに変換します。
- SIR 受信ロジックは、ハイ状態を論理値 1 とみなし、ローパルスを論理値 0 とみなします。
- 送信エンコーダの出力は、デコーダ入力とは逆の極性になっています。SIR 出力は、アイドル時にロー状態になります。
- IrDA 仕様では、1.41 us より大きなパルスを受け入れる必要があります。受け入れられるパルス幅は、プログラム可能です。レシーバ端のグリッチ検出回路は、PSC 2 周期（PSC は USART_GTPR でプログラムされたプリスケーラ値）より小さな幅のパルスをフィルタします。PSC 1周期より小さな幅のパルスは常に拒否されますが、1周期以上 2周期未満の幅のパルスは受け入れられることも、拒否されることもあります。2周期より大きな幅のパルスは、パルスとして受け入れられます。PSC = 0 のとき、IrDA エンコーダ/デコーダは機能しません。
- レシーバは、低電力トランスミッタと通信できます。
- IrDA モードでは、USART_CR2 レジスタのストップビットを“1 ストップビット”に設定する必要があります。

IrDA 低電力モード

- トランスミッタ

  低電力モードでは、パルス幅はビット周期の 3/16 に維持されません。代わりに、パルス幅は低電力ボーレート（最小で 1.42 MHz）の 3 倍となります。一般に、この値は 1.8432 MHz（1.42 MHz < PSC < 2.12 MHz）です。低電力モードのプログラム可能な分周器は、この値を得るためにシステムクロックを分周します。

- レシーバ

  低電力モードでの受信は、通常モードでの受信と同様です。グリッチ検出の場合、USART は 1/PSC よりも短いパルスを破棄する必要があります。有効なローレベルは、その期間が IrDA 低電力ボークロック（USART_GTPR の PSC 値）の 2 周期分を超える場合にのみ受け入れられます。

注： **PSC 2 周期未満 1 周期以上の幅のパルスは、拒否されることも、拒否されないこともあります。**

レシーバのセットアップ時間は、ソフトウェアで管理してください。IrDA 物理層仕様では、送信と受信の間に最小 10 ms の遅延を指定しています（IrDA は半二重プロトコルです）。

図 338. IrDA SIR ENDEC ブロック図

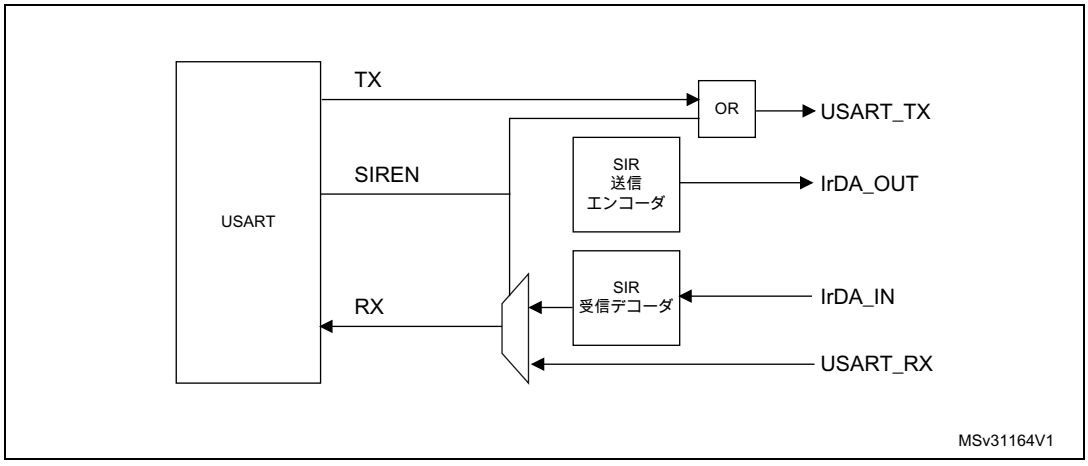
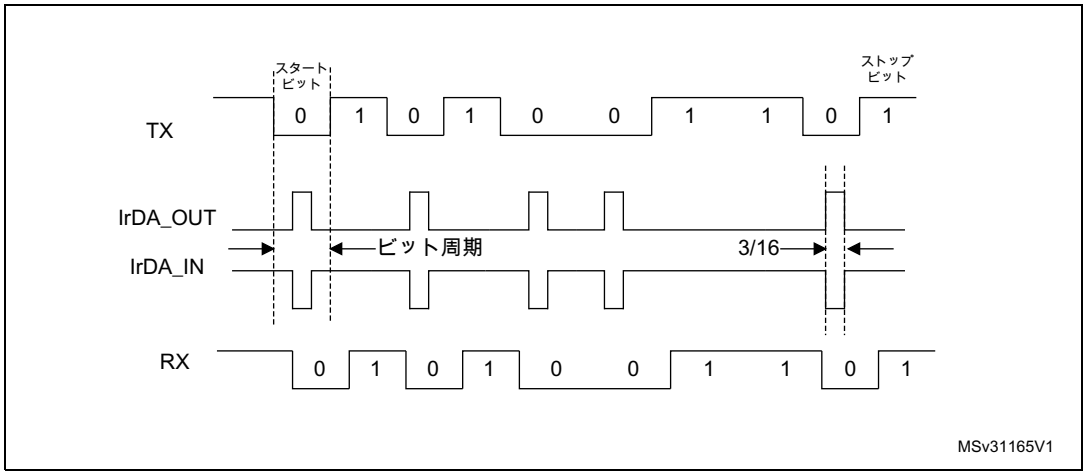


図 339. IrDA データ変調（3/16）- 通常モード



33.5.19 USART および DMA を使用した連続通信

USART は、DMA を使用して連続通信を行うことができます。Rx バッファと Tx バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： **DMA モードがサポートされるかどうかについては、セクション 33.4 : 1039 ページのUSART の実装を参照してください。DMA がサポートされない場合は、セクション 33.5.6 の説明に従って USART を使用してください。FIFO が無効の場合、連続通信を行うには、USART_ISR レジスタの TXE/ RXNE フラグをクリアします。**

DMA を使用した送信

DMA モードでの送信を有効にするには、USART_CR3 レジスタの DMAT ビットをセットします。TXE フラグ（FIFO モードが有効な場合は TXFNF フラグ）がセットされるたびに、データは、DMA ペリフェラル（対応するダイレクトメモリアクセスコントローラのセクションを参照）を使用して設定された SRAM 領域から USART_TDR レジスタにロードされます。DMA チャネルを USART 送信用に割り付けるには、次の手順を実行します（x はチャネル番号を示します）

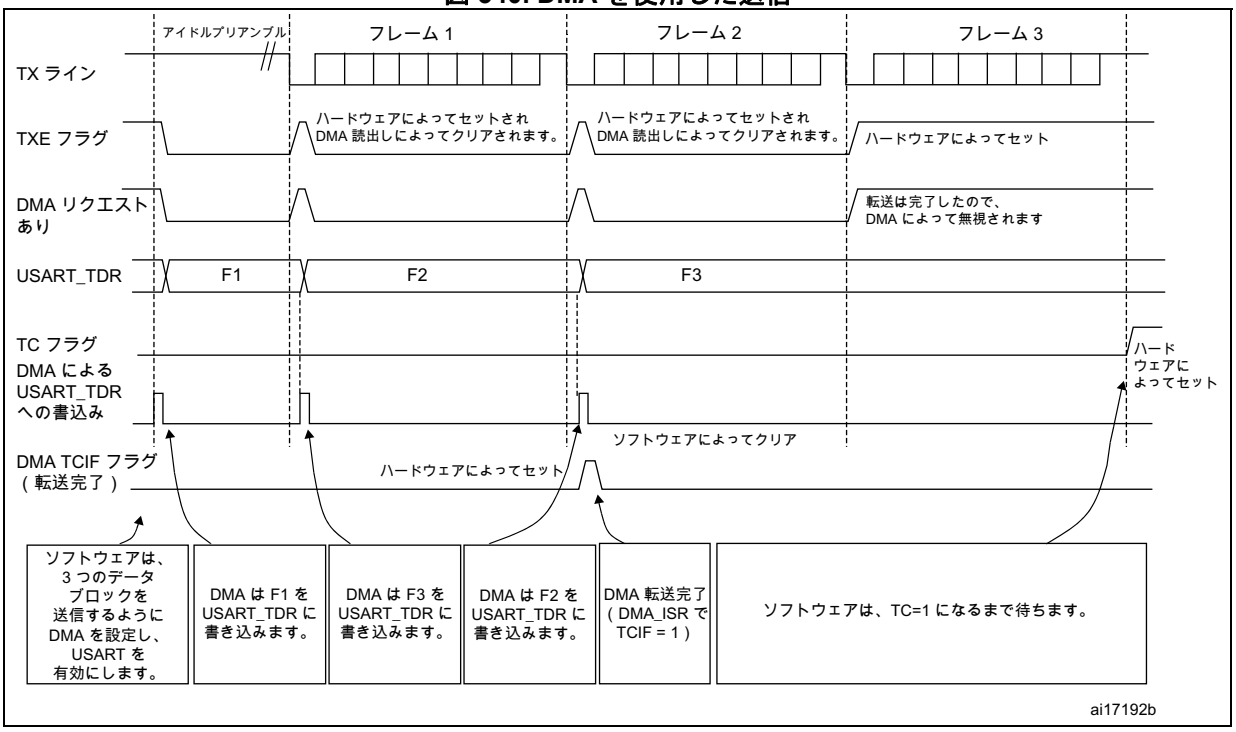
1. DMA 制御レジスタに USART_TDR レジスタのアドレスを書き込み、これを転送先として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、メモリからこのアドレスに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送元として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、このメモリ領域から USART_TDR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割込み生成を設定します。
6. USART_ICR レジスタの TCCF ビットをセットすることによって、USART_ISR レジスタの TC フラグをクリアします。
7. DMA レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと（DMA_ISR レジスタの TCIF フラグがセットされます）、TC フラグを観察して USART 通信の完了を確認することができます。これは、USART を無効にする前に、またはペリフェラルクロックが無効のときシステムが低消費電力モード

に入る前に、最後の送信が壊れないようにするために必要です。ソフトウェアは、TC = 1 になるまで待つ必要があります。TC フラグは、すべてのデータ転送中、クリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

図 340. DMA を使用した送信



注： **FIFO 管理が有効になっているときは、DMA リクエストは、送信 FIFO ノットフル（すなわち、TXFNF = 1）によってトリガされます。**

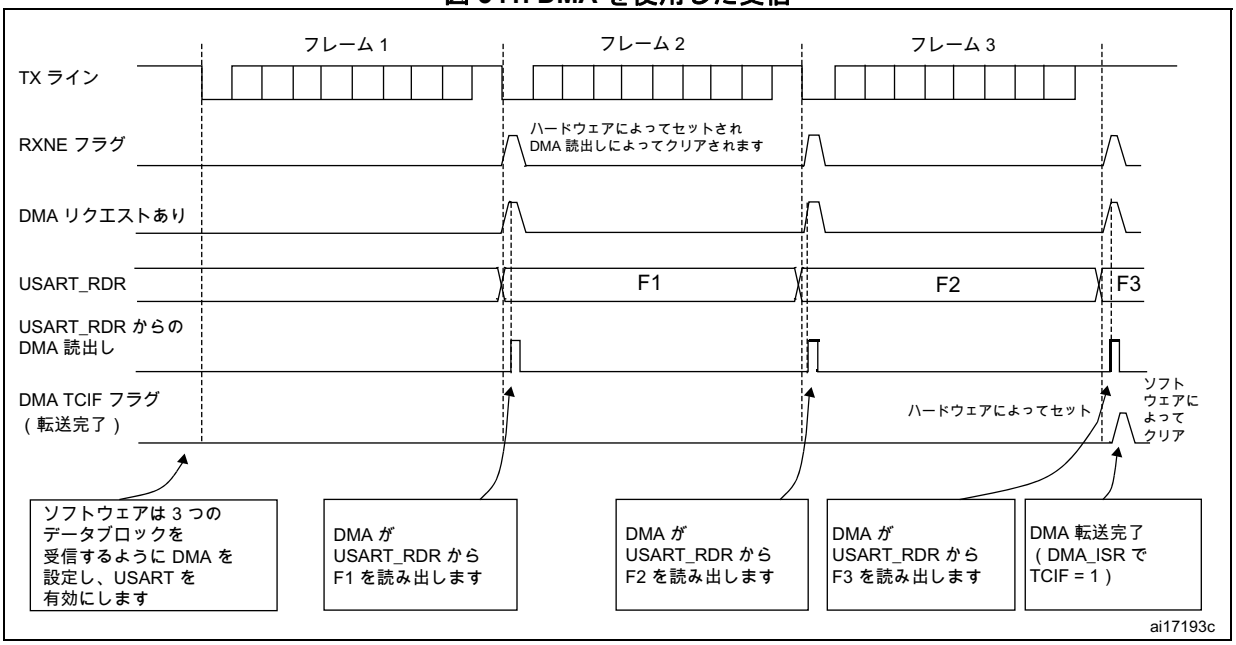
DMA を使用した受信

DMA モードでの受信を有効にするには、USART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、USART_RDR レジスタから DMA ペリフェラル（対応するダイレクトメモリアクセスコントローラのセクションを参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを USART 受信用に割り付けるには、次の手順を実行します。

1. DMA 制御レジスタに USART_RDR レジスタのアドレスを書き込み、これを転送元として設定します。データは、各 RXNE（FIFO モードが有効な場合は RXFNE）イベント後に、このアドレスからメモリに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送先として設定します。データは、各 RXNE（FIFO モードが有効な場合は RXFNE）イベント後に、USART_RDR からこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。

図 341. DMA を使用した受信



注： **FIFO 管理が有効になっているときは、DMA リクエストは、受信 FIFO ノットエンプティ（すなわち、RXFNE = 1）によってトリガされます。**

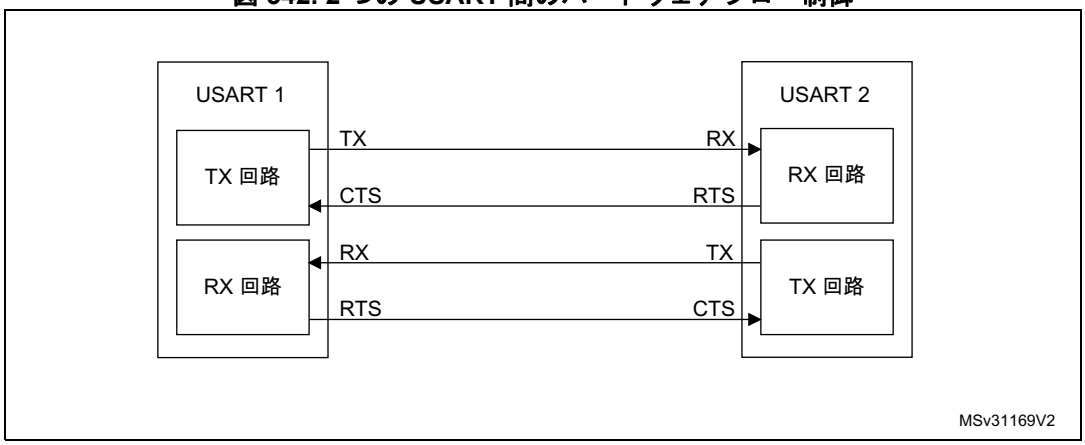
マルチバッファ通信における割込み生成とエラーフラグ

マルチバッファ通信モードでトランザクション中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割込み有効フラグがセットされている場合、割込みが生成されます。1 バイト受信において RXNE（FIFO モードが有効な場合は RXFNE）とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別のエラーフラグ割込み有効ビット（USART_CR3 レジスタの EIE ビット）があり、これがセットされている場合、いずれかのエラーが発生すると、現在のバイトの後で割込みが有効になります。

33.5.20 RS232 ハードウェアフロー制御および RS485 ドライバ有効

CTS 入力と RTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。図 342 に、このモードで 2 つのデバイスを接続する方法を示します。

図 342. 2 つの USART 間のハードウェアフロー制御

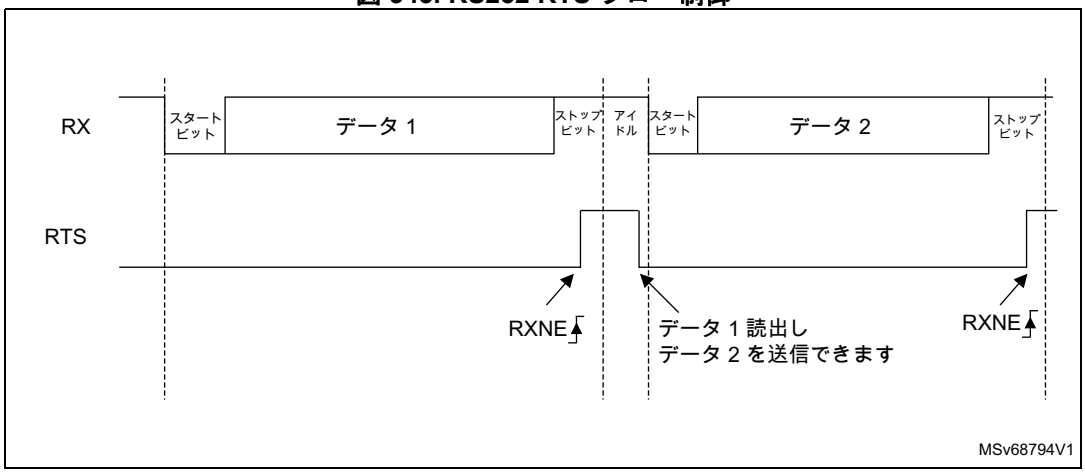


RS232 RTS と CTS のフロー制御は、USART_CR3 レジスタの RTSE ビットと CTSE ビットに“1”を書き込むことによって、個別に有効にできます。

RS232 RTS フロー制御

RTS フロー制御が有効な場合（RTSE = 1）、USART レシーバが新しいデータを受信可能である限り、RTS がネゲートされます（ローレベル接続）。受信レジスタがフルになると RTS がアサートされ、現在のフレームの終わりに送信が停止する予定であることを示します。図 343 に、RTS フロー制御が有効な場合の通信例を示します。

図 343. RS232 RTS フロー制御



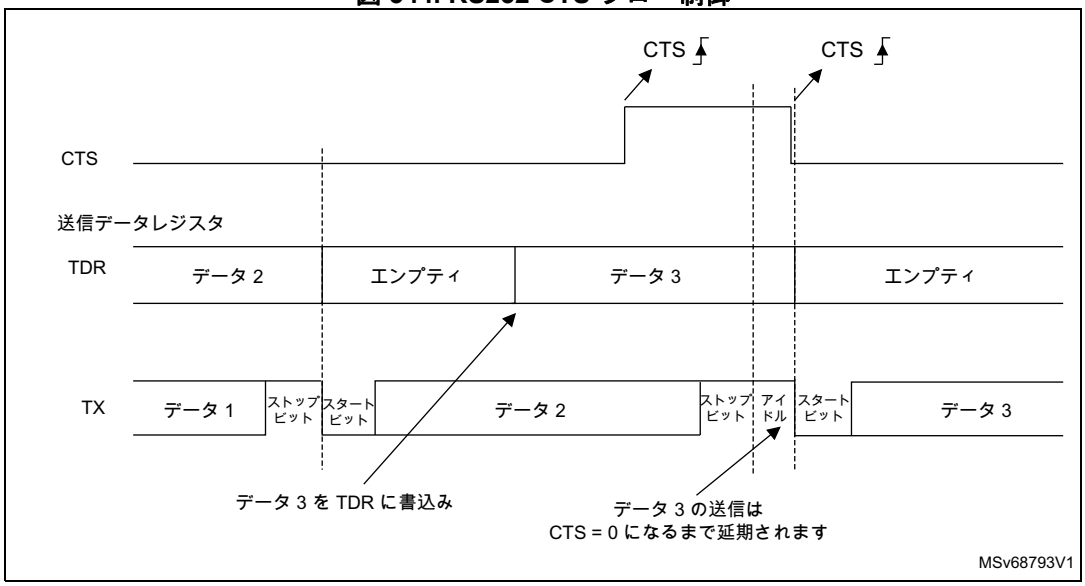
注： **FIFO モードが有効な場合は、RXFIFO がフルのときにのみ、RTS がアサートされます。**

RS232 CTS フロー制御

CTS フロー制御が有効な場合（CTSE = 1）、トランスミッタは、CTS 入力をチェックしてから、次のフレームを送信します。CTS がネゲートされた場合（ローレベル接続）、次のデータが送信されます（データが送信されると想定、つまり TXE/TXFE = 0 の場合）。そうでない場合、送信は行われません。送信中に CTS がアサートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE = 1 の場合、CTS 入力がトグルすると、CTSIF ステータスビットはハードウェアによってただちに自動的にセットされます。このビットは、レシーバの通信準備ができているかどうかを示します。USART_CR3 レジスタの CTSIE ビットがセットされている場合、割込みが生成されます。図 344 に、CTS フロー制御が有効な場合の通信例を示します。

図 344. RS232 CTS フロー制御



注： **正しい動作のために、CTS は、現在のキャラクタの終了の少なくとも 3 USART クロックソース周期前にネゲートする必要があります。さらに、2 x PCLK 周期より短いパルスでは CTSCF フラグがセットされない場合があることに注意してください。**

RS485 ドライバ有効

ドライバ有効機能を有効にするには、USART_CR3 制御レジスタのビット DEM をセットします。これにより、DE（Driver Enable）信号によって外部トランシーバ制御を有効にできます。アサーション時間は、DE 信号の有効化から スタートビットの開始までの時間です。USART_CR1 制御レジスタの DEAT [4:0] ビットフィールドを使用してプログラムされます。ネゲート時間は、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。USART_CR1 制御レジスタの DEDT [4:0] ビットフィールドを使用してプログラムされます。DE 信号の極性は、USART_CR3 制御レジスタの DEP ビットを使用して設定できます。

USART では、DEAT および DEDT はサンプル時間単位（オーバーサンプリングレートに応じて 1/8 または 1/16 ビット時間）で表されます。

33.5.21 USART 低消費電力管理

USART には、高度な低消費電力モード機能があり、usart_pclk クロックが無効になっているときでもデータを適切に転送することができます。

USART は、UESM ビットがセットされているとき、MCU を低消費電力モードからウェイクアップできます。

Usart_pclk がゲートされているとき、**usart_pclk** クロックの有効化を必要とする特定の動作が必要になった場合、USART はウェイクアップ割込み（**usart_wkup**）を生成します。

- FIFO モードが無効の場合

  USART データレジスタを空にするために Usart_pclk クロックを有効にする必要があります。

  この場合、usart_wkup 割込みのソースは“1”にセットされた RXNE です。低消費電力モードに入る前に RXNEIE ビットをセットする必要があります。

- FIFO モードが有効な場合

  次のために Usart_pclk クロックを有効にする必要があります。

  – TXFIFO を満たすため
  – または RXFIFO を空にするため

  この場合、usart_wkup 割込みのソースになる可能性のあるものは以下の通りです。

  – RXFIFO ノットエンプティ。この場合、低消費電力モードに入る前に RXFNEIE ビットをセットする必要があります。
  – RXFIFO フル。この場合、低消費電力モードに入る前に RXFFIE ビットをセットする必要があります。受信データの数は RXFIFO のサイズに一致し、RXFF フラグはセットされません。
  – TXFIFO エンプティ。この場合、低消費電力モードに入る前に TXFEIE ビットをセットする必要があります。

  これによって、低消費電力モード中にデータを TXFIFO/RXFIFO に送信／受信することができます。

  低消費電力モードで、オーバーラン／アンダーランエラーを避けてデータを送信／受信するために、usart_wkup 割込みソースになり得るのは次のイベントのうちの 1 つです。

  – TXFIFO 閾値に達した。この場合、低消費電力モードに入る前に TXFTIE ビットをセットする必要があります。
  – RXFIFO 閾値に達した。この場合、低消費電力モードに入る前に RXFTIE ビットをセットする必要があります。

  たとえば、ウェイクアップ時間が、ラインを経て 1 バイトを受信するのに必要な時間より少ない場合は、アプリケーションは閾値を RXFIFO の最大サイズに設定できます。

  MCU を低消費電力モードからウェイクアップするための RXFIFO フル、TXFIFO エンプティ、RXFIFO ノットエンプティ、および RXFIFO/TXFIFO 閾値割込みを使用すれば、低消費電力モード中にできるだけ多くの USART 転送を行うことができ、電力消費を最適化できるメリットがあります。

あるいは、WUS ビットフィールドによって、特定の **usart_wkup** 割込みを選択することもできます。

ウェイクアップイベントが検出されると、ハードウェアによって WUF フラグがセットされ、WUFIE ビットがセットされていた場合は **usart_wkup** 割込みが生成されます。

注： **低消費電力モードに移行する前に、USART 転送が進行中ではないことを確認してください。BUSY フラグをチェックすることでは、データ受信中に低消費電力モードに入らないことを保証できません。**

WUF フラグは、MCU が 低消費電力モードか、アクティブモードかに関係なく、ウェイクアップイベントが検出されたときにセットされます。

初期化とレシーバの有効化の直後に低消費電力モードに入るときには、REACK ビットをチェックして、USART が有効であることを確認する必要があります。

受信に DMA が使用されるときには、低消費電力モードに入る前に無効化し、低消費電力モードの終了時に再び有効にする必要があります。

FIFO が有効なときには、アドレス一致時の低消費電力モードからのウェイクアップはミュートモードが有効な場合のみ可能です。

低消費電力モードでのミュートモードの使用

低消費電力モードに入る前に USART がミュートモードになった場合は、

- アイドル検出は低消費電力モードでは機能しないので、アイドル検出時にミュートモードからウェイクアップすることはできません。
- アドレス一致によるミュートモードからのウェイクアップが使用される場合、低消費電力モードからのウェイクアップのソースもアドレス一致でなければなりません。低消費電力モードに入るときに RXNE フラグがセットされた場合、アドレス一致によって低消費電力モードからウェイクアップしても、インタフェースはミュートモードのままです。

注： **FIFO 管理が有効なとき、ミュートモードは何の制約もなく低消費電力モードからのウェイクアップとともに使用できます（すなわち、ミュートおよび低消費電力モードについて上に述べた 2 点は、FIFO 管理が無効なときのみに有効です）。**

低消費電力モードで USART カーネルクロック（usart_ker_ck）がオフのときの低消費電力モードからのウェイクアップ

低消費電力モード中、usart_ker_ck クロックがオフになっている場合、USART 受信ラインの立ち下がりエッジが検出されると、usart_ker_ck_req 信号によって USART インタフェースが usart_ker_ck クロックをオンにするようリクエストします。その後、usart_ker_ck がフレーム受信に使用されます。

ウェイクアップイベントが確認された場合、MCU は低消費電力モードからウェイクアップし、データ受信が正常に続行します。

ウェイクアップイベントが確認されない場合、usart_ker_ck クロックが再度オフになり、MCU がウェイクアップせずに低消費電力モードに留まり、カーネルクロックリクエストが解除されます。

以下の例は、ウェイクアップイベントが「アドレス一致検出」にプログラムされ、FIFO 管理が無効になっている場合を示しています。

図 345 に、ウェイクアップイベントが確認された時の USART の動作を示します。

図 345. 確認されたウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効）

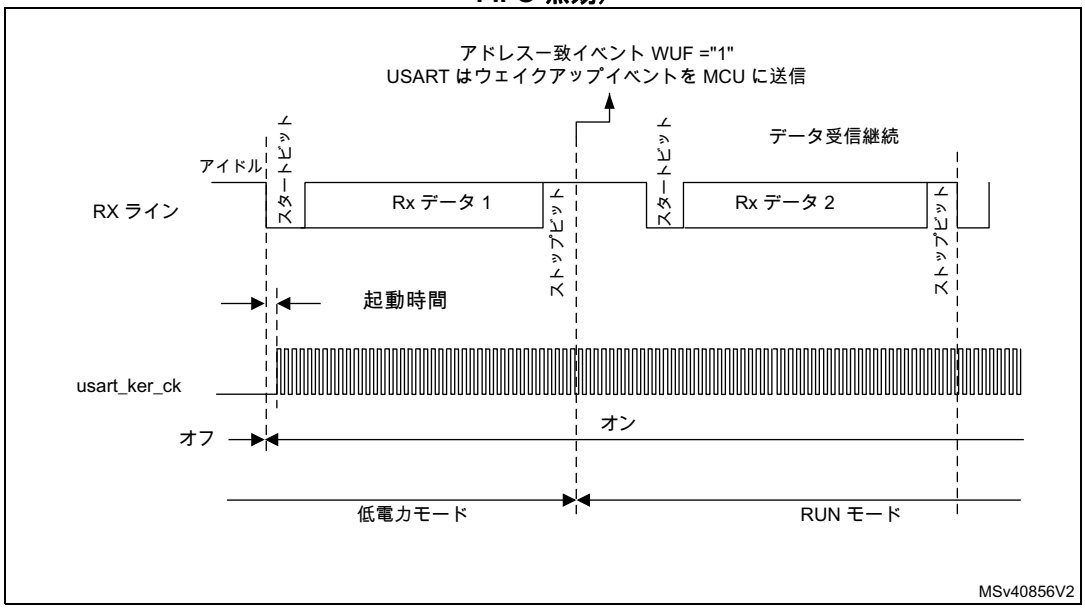
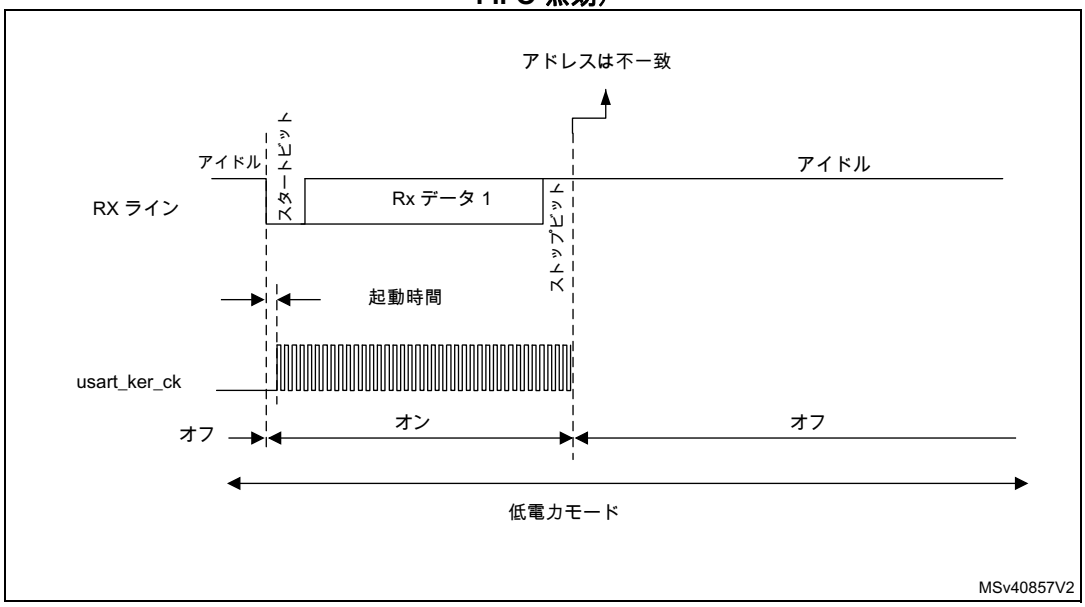


図 346 に、ウェイクアップイベントが確認されない時の USART の動作を示します。

図 346. 確認されないウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効）



注： **上図は、アドレス一致または受信フレームがウェイクアップイベントとして使用されたとき、有効です。ウェイクアップイベントがスタートビット検出である場合、USART はスタートビットの終端にウェイクアップイベントを MCU に送ります。**

デバイスの低消費電力モードからの正常なウェイクアップを可能にする最大 USART ボーレートの決定

デバイスの低消費電力モードからの正常なウェイクアップを可能にする最大 USART ボーレートは、ウェイクアップ時間パラメータ（デバイスのデータシートを参照）と USART レシーバの許容誤差（セクション 33.5.8：クロック偏差に対する USART レシーバの許容誤差を参照）に依存します。

例として、OVER8 = 0、M ビット = "01"、ONEBIT = 0、BRR [3:0] = 0000 とします。

この条件では、表 205：BRR [3:0] = 0000 のときの USART レシーバの許容誤差 によると、USART レシーバの許容誤差は 3.41% です。

DTRA + DQUANT + DREC + DTCL + DWU < USART レシーバの許容誤差

$D_{WUmax} = t_{WUUSART} / (11 \times T_{bit\ Min})$

$T_{bit\ Min} = t_{WUUSART} / (11 \times D_{WUmax})$

ここで、$t_{WUUSART}$ は低消費電力モードからのウェイクアップ時間です。

パラメータ DTRA、DQUANT、DREC、および DTCL が 0% であるときに理想的なケースを考えた場合、DWU の最大値は 3.41% です。実際には、最低 usart_ker_ck 精度を考慮する必要があります。

たとえば HSI が usart_ker_ck として使用され、HSI 精度が 1% の場合、以下を得ることができます。

$t_{WUUSART}$ = 3 µs（この値は 1 例です。正確な値については、デバイスのデータシートを参照してください）

D_{WUmax} = 3.41% - 1% = 2.41%

$T_{bit\ min}$ = 3 µs/ (11 x 2.41%) = 11.32 µs

その結果、低消費電力モードからの正しいウェイクアップを可能にする最大ボーレートは、次のようになります。1/11.32 µs = 88.36 K ボー

33.6 低消費電力モードでの USART

表 208. 低消費電力モードが USART に与える影響

モード	説明
SLEEP	影響はありません。USART 割込みによって、デバイスは SLEEP モードを終了します。
STOP(1)	USART レジスタの内容は保持されます。 STOP モードで使用可能なオシレータによって USART がクロック供給されている場合、USART はマイクロコントローラを STOP モードからウェイクアップすることができます。
STANDBY	USART ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

1. STOP モードからのウェイクアップが特定のペリフェラル機能でサポートされているかどうかを知るには、セクション 33.4：USART の実装を参照してください。インスタンスが特定の STOP モードで機能しない場合、この STOP モードに入る前に無効にする必要があります。

33.7 USART 割込み

すべての USART 割込みリクエストの詳細な説明については、表 209 を参照してください。

表 209. USART 割込みリクエスト

割込みベクタ	割込みイベント	イベントフラグ	イネーブル制御ビット	割込みのクリア方法	SLEEP モードの終了	STOP(1) モードの終了	STANDBY モードの終了
USART または UART	送信データレジスタエンプティ	TXE	TXEIE	TDR を書き込む	可能	不可	不可
	送信 FIFO ノットフル	TXFNF	TXFNFIE	TXFIFO フル		不可	
	送信 FIFO エンプティ	TXFE	TXFEIE	TDR を書き込むか、TXFRQ に 1 を書き込む		可能	
	送信 FIFO 閾値到達	TXFT	TXFTIE	TDR を書き込む		可能	
	CTS 割込み	CTSIF	CTSIE	CTSCF に 1 を書き込む		不可	
	送信完了	TC	TCIE	TDR を書き込むか、TCCF に 1 を書き込む		不可	
	ガード時間前に送信完了	TCBGT	TCBGTIE	TDR を書き込むか、TCBGT に 1 を書き込む		不可	
USART または UART	受信データレジスタノットエンプティ（データの読出し可能）	RXNE	RXNEIE	RDR を読み出すか、RXFRQ に 1 を書き込む	可能	可能	不可
	受信 FIFO ノットエンプティ	RXFNE	RXFNEIE	RXFIFO が空になるまで RDR を読み出すか、RXFRQ に 1 を書き込む		可能	
	受信 FIFO フル	RXFF(2)	RXFFIE	読出しは RDR です。		可能	
	受信 FIFO 閾値到達	RXFT	RXFTIE	読出しは RDR です。		可能	
	オーバーランエラー検出	ORE	RXNEIE/ RXFNEIE	ORECF に 1 を書き込む		不可	
	アイドルライン検出	IDLE	IDLEIE	IDLECF に 1 を書き込む		不可	
	パリティエラー	PE	PEIE	PECF に 1 を書き込む		不可	
	LIN ブレーク	LBDF	LBDIE	LBDCF に 1 を書き込む		不可	
	マルチバッファ通信におけるノイズエラー	NE	EIE	NFCF に 1 を書き込む		不可	
	マルチバッファ通信でのオーバーランエラー	ORE(3)		ORECF に 1 を書き込む		不可	
	マルチバッファ通信でのフレーミングエラー	FE		FECF に 1 を書き込む		不可	
	キャラクター致	CMF	CMIE	CMCF に 1 を書き込む		不可	
	レシーバタイムアウト	RTOF	RTOFIE	RTOCCF に 1 を書き込む		不可	
	ブロックの終了	EOBF	EOBIE	EOBCF に 1 を書き込む		不可	
	低消費電力モードからのウェイクアップ	WUF	WUFIE	WUC に 1 を書き込む		可能	
	SPI スレーブのアンダーランエラー	UDR	EIE	UDRCF に 1 を書き込む		不可	

1. USART は、ペリフェラル機能が STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。サポートされている STOP モードのリストについては、セクション 33.4 : USART の実装 を参照してください。

2. RXFF フラグは、USART が 次のように n+1 個のデータを受信した場合にアサートされます（n は RXFIFO のサイズ）。RXFIFO に n 個のデータ、USART_RDR に 1 個のデータ。STOP モードでは、USART_RDR はクロック供給されません。その結果として、このレジスタは書き込まれず、n 個のデータが受信されて RXFIFO に書き込まれた後に、RXFF 割込みがアサートされます（RXFF フラグはセットされません）。
3. OVRDIS = 0 の場合。

33.8 USART レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

33.8.1 USART 制御レジスタ 1（USART_CR1）

アドレスオフセット：0x00

リセット値：0x0000 0000

同じレジスタが FIFO モード有効（このセクション）でも、FIFO モード無効（次のセクション）でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXFFIE	TXFEIE	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **RXFFIE**：RXFIFO フル割込み有効化

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの RXFF = 1 のときに、USART 割込みが生成されます。

ビット 30 **TXFEIE**：TXFIFO エンプティ割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの TXFE = 1 のときに、USART 割込みが生成されます。

ビット 29 **FIFOEN**：FIFO モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：FIFO モードは無効です。

1：FIFO モードは有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： FIFO モードは、SPI マスタ／スレーブモードおよびスマートカードモードでのみ、標準 UART 通信で使用できます。IrDA および LIN のモードでは有効にしてはいけません。

ビット 28 **M1**：ワード長

このビットはビット 12（M0）と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット／クリアされます。

M[1:0] = “00”：スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = “01”：スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = “10”：スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート（0x7F および 0x55 フレーム検出）はサポートされません。

ビット 27 **EOBIE**：ブロック終了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの EOBF フラグがセットされると、USART 割込みが生成されます。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 26 **RTOIE**：レシーバタイムアウト割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの RTOF ビットがセットされると、USART 割込みが生成されます。

注： USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 25:21 **DEAT[4:0]**：ドライバ有効アサーション時間

この 5 ビット値は、DE（Driver Enable）信号の有効化からスタートビットの開始までの時間を定義します。サンプル時間単位（オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間）で表されます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 20:16 **DEDT[4:0]**：ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE（Driver Enable）信号の無効化までの時間を定義します。サンプル時間単位（オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間）で表されます。

DEDT 時間中に USART_TDR レジスタに書込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 15 **OVER8**：オーバーサンプリングモード

0：16 倍のオーバーサンプリング

1：8 倍のオーバーサンプリング

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： LIN、IrDA、およびスマートカードモードでは、このビットは常にクリア状態に保つ必要があります。

ビット 14 **CMIE**：キャラクター致割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの CMF ビットがセットされると、USART 割込みが生成されます。

ビット 13 **MME**：ミュートモード有効

このビットは USART ミュートモード機能を有効にします。セットされると、USART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット／クリアされます。

0：レシーバは永続的にアクティブモードです。

1：レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 **M0**：ワード長

このビットはビット 28（M1）と併せて使用して、ワード長を決定します。ソフトウェアによってセット／クリアされます（ビット 28（M1）の説明を参照）。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11 **WAKE**：レシーバのウェイクアップ方法

このビットによって、ミュートモードからの USART のウェイクアップ方式が決まります。ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 10 **PCE**：パリティ制御有効

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成／検出が有効である（PCE ビットがセットされている）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 8 **PEIE**：PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの PE = 1 のときには、USART 割込みが生成されます。

ビット 7 **TXFNFIE**：TXFIFO ノットフル割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの TXFNF=1 のときには、USART 割込みが生成されます。

ビット 6 **TCIE**：転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの TC = 1 のときには、USART 割込みが生成されます。

ビット 5 **RXFNEIE**：RXFIFO ノットエンプティ割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの ORE = 1 または RXFNE = 1 のときには、USART 割込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの IDLE = 1 のときには、USART 割込みが生成されます。

ビット 3 **TE**：トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： **スマートカードモードの場合を除いて、送信中に TE ビットにローパルスを与える（“0”に続けて“1”を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。アイドルキャラクタを生成するためには、すぐには TE に“1”を書き込まないでください。必要な時間を確保するために、ソフトウェアは USART_ISR レジスタの TEACK ビットをポーリングできます。**

スマートカードモードでは、TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **UESM**：USART 低消費電力モードで有効

このビットがクリアされると、USART は MCU を 低消費電力モードからウェイクアップできません。

このビットがセットされると、USART は MCU を 低消費電力モードからウェイクアップできます。

このビットは、ソフトウェアによってセット／クリアされます。

0：USART は低消費電力モードから MCU をウェイクアップできません。

1：USART は低消費電力モードから MCU をウェイクアップできます。

注： **低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。**

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。**セクション 33.4：1039 ページのUSART の実装を参照してください。**

ビット 0 **UE**：USART 有効

このビットがクリアされると、USART プリスケーラと出力はただちに停止され、現在のすべての動作は破棄されます。USART の設定は保たれますが、USART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット／クリアされます。

0：USART プリスケーラと出力は無効であり、低消費電力モードです。

1：USART は有効です。

注： **ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットを事前にリセットする必要があり、ソフトウェアは USART_ISR の TC ビットがセットされるのを待ってから、UE ビットをリセットする必要があります。**

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャネルを無効にする必要があります。

スマートカードモードでは（SCEN = 1）、CK は UE ビット値にかかわらず、CLKEN = 1 の場合に常に使用可能です。

33.8.2 USART 制御レジスタ 1[オルタネート]（USART_CR1）

アドレスオフセット：0x00

リセット値：0x0000 0000

同じレジスタが FIFO モード有効（前のセクション）でも、FIFO モード無効（このセクション）でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]				
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **FIFOEN**：FIFO モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：FIFO モードは無効です。

1：FIFO モードは有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： FIFO モードは、SPI マスタ／スレーブモードおよびスマートカードモードでのみ、標準 UART 通信で使用できます。IrDA および LIN のモードでは有効にしてはいけません。

ビット 28 **M1**：ワード長

このビットはビット 12（M0）と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット／クリアされます。

M[1:0] = “00”：スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = “01”：スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = “10”：スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート（0x7F および 0x55 フレーム検出）はサポートされません。

ビット 27 **EOBIE**：ブロック終了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの EOBF フラグがセットされると、USART 割込みが生成されます。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 26 **RTOIE**：レシーバタイムアウト割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの RTOF ビットがセットされると、USART 割込みが生成されます。

注： USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 25:21 **DEAT[4:0]**：ドライバ有効アサーション時間

この 5 ビット値は、DE（Driver Enable）信号の有効化からスタートビットの開始までの時間を定義します。サンプル時間単位（オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間）で表されます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 20:16 **DEDT[4:0]**：ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE（Driver Enable）信号の無効化までの時間を定義します。サンプル時間単位（オーバーサンプリングレートに応じて、1/8 または 1/16 ビット時間）で表されます。

DEDT 時間中に USART_TDR レジスタに書込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 15 **OVER8**：オーバーサンプリングモード

0：16 倍のオーバーサンプリング

1：8 倍のオーバーサンプリング

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： LIN、IrDA、およびスマートカードモードでは、このビットは常にクリア状態に保つ必要があります。

ビット 14 **CMIE**：キャラクター致割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの CMF ビットがセットされると、USART 割込みが生成されます。

ビット 13 **MME**：ミュートモード有効

このビットは USART ミュートモード機能を有効にします。セットされると、USART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット／クリアされます。

0：レシーバは永続的にアクティブモードです。

1：レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 **M0**：ワード長

このビットはビット 28（M1）と併せて使用して、ワード長を決定します。ソフトウェアによってセット／クリアされます（ビット 28（M1）の説明を参照）。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11 **WAKE**：レシーバのウェイクアップ方法

このビットによって、ミュートモードからの USART のウェイクアップ方式が決まります。ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 10 **PCE**：パリティ制御有効

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成／検出が有効である（PCE ビットがセットされている）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 8 **PEIE**：PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの PE = 1 のときには、USART 割込みが生成されます。

ビット 7 **TXEIE**：送信データレジスタエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの TXE=1 のときには、USART 割込みが生成されます。

ビット 6 **TCIE**：転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの TC = 1 のときには、USART 割込みが生成されます。

ビット 5 **RXNEIE**：受信データレジスタノットエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの ORE = 1 または RXNE = 1 のときには、USART 割込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの IDLE = 1 のときには、USART 割込みが生成されます。

ビット 3 **TE**：トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： スマートカードモードの場合を除いて、送信中に TE ビットにローパルスを与える（“0”に続けて“1”を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。アイドルキャラクタを生成するためには、すぐには TE に“1”を書き込まないでください。必要な時間を確保するために、ソフトウェアは USART_ISR レジスタの TEACK ビットをポーリングできます。

スマートカードモードでは、TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **UESM**：USART 低消費電力モードで有効

このビットがクリアされると、USART は MCU を 低消費電力モードからウェイクアップできません。
このビットがセットされると、USART は MCU を 低消費電力モードからウェイクアップできます。
このビットは、ソフトウェアによってセット／クリアされます。
0：USART は低消費電力モードから MCU をウェイクアップできません。
1：USART は低消費電力モードから MCU をウェイクアップできます。

注： 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

USART が STOP モードからのウェイクアップをサポートしない場合､このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 0 **UE**：USART 有効

このビットがクリアされると、USART プリスケーラと出力はただちに停止され、現在のすべての動作は破棄されます。USART の設定は保たれますが、USART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット／クリアされます。
0：USART プリスケーラと出力は無効であり、低消費電力モードです。
1：USART は有効です。

注： ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットを事前にリセットする必要があり、ソフトウェアは USART_ISR の TC ビットがセットされるのを待ってから、UE ビットをリセットする必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャネルを無効にする必要があります。

スマートカードモードでは（SCEN = 1）、CK ピンは UE ビット値にかかわらず、CLKEN = 1 の場合に常に使用可能です。

33.8.3 USART 制御レジスタ 2（USART_CR2）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								RTOEN	ABRMOD[1:0]		ABREN	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res.	LBDIE	LBDL	ADDM7	DIS_NSS	Res.	Res.	SLVEN
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw

ビット 31:24 **ADD[7:0]**：USART ノードのアドレス

これらのビットは、ミュートモードでの USART ノードのアドレス、または低消費電力または RUN モードで認識される文字コードを指定します。

- ミュートモードの場合：これらは、マルチプロセッサ通信で 4 ビット／7 ビットアドレスマーク検出を用いてミュートモードからウェイクアップするために使用されます。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。4 ビットアドレスマーク検出では、ADD[3:0] ビットのみが使用されます。
- 低消費電力モードの場合：これらはキャラクター致時の低消費電力モードからのウェイクアップに使用されます。
  WUS[1:0] が 0b00（アドレス一致時に WUF がアクティブ）にプログラムされている場合、受信したキャラクタが ADD[6:0] または ADD[3:0]ビットフィールド（ADDM7 ビットに依存する）でプログラムされたキャラクタに一致する場合に、低消費電力モードからのウェイクアップが実行されます。なお、WUFIE ビットをセットすることによって WUF 割込みが有効になります。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。
- ミュートモードが無効である RUN モード（ModBus プロトコルでのブロック終了検出など）の場合：受信したキャラクタ全体（8 ビット）が ADD[7:0] 値と比較され、一致すると CMF フラグがセットされます。CMIE ビットがセットされている場合、割込みが生成されます。

このビットは、受信が無効のとき（RE = 0）または USART が無効のとき（UE = 0）のみ、書き込むことができます。

ビット 23 **RTOEN**：レシーバタイムアウト有効

このビットは、ソフトウェアによってセット／クリアされます。

0：レシーバタイムアウト機能は無効です。

1：レシーバタイムアウト機能は有効です。

この機能が有効なとき、RTOR（レシーバタイムアウトレジスタ）でプログラムされた時間にわたって RX ラインがアイドル（受信なし）であった場合、USART_ISR レジスタの RTOF フラグがセットされます。

注：　USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 22:21 **ABRMOD[1:0]**：自動ボーレートモード

これらのビットは、ソフトウェアによってセット／クリアされます。

00：スタートビットの測定がボーレートの検出に使用されます。

01：立ち下がりエッジから立ち下がりエッジまでの測定（受信されたフレームはシングルビット = 1 で始まり、フレーム = Start10xxxxxx でなければなりません）

10：0x7F フレーム検出

11：0x55 フレーム検出

このビットフィールドは、ABREN= 0 または USART が無効（UE = 0）のときのみ書き込むことができます。

注： DATAINV = 1 および／または MSBFIRST = 1 の場合、パターンはライン上で同じである必要があります（たとえば、MSBFIRST の場合は 0xAA）。

USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 20 **ABREN**：自動ボーレート有効

このビットは、ソフトウェアによってセット／クリアされます。

0：自動ボーレート検出は無効です。

1：自動ボーレート検出は有効です。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 19 **MSBFIRST**：MSB ファースト

このビットは、ソフトウェアによってセット／クリアされます。

0：スタートビットに続いて、データはデータビット 0 から順に送受信されます。

1：スタートビットに続いて、データは MSB（ビット 7/8）から順に送受信されます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 18 **DATAINV**：バイナリデータ反転

このビットは、ソフトウェアによってセット／クリアされます。

0：データレジスタからの論理データは正／ダイレクトロジックで送受信されます。（1 = H、0 = L）

1：データレジスタからの論理データは、負／インバースロジックで送受信されます。（1 = L、0 = H）パリティビットも反転されます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 17 **TXINV**：TX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット／クリアされます。

0：TX ピン信号は標準ロジックレベルを使用して機能します（V_{DD} = 1/アイドル、Gnd = 0/マーク）。

1：TX ピンの信号値が反転されます（V_{DD} =0/マーク、Gnd = 1/アイドル）。

これにより、TX ラインで外部インバータを使用できます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 16 **RXINV**：RX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット／クリアされます。

0：RX ピン信号は標準ロジックレベルを使用して機能します（V_{DD} = 1/アイドル、Gnd = 0/マーク）。

1：RX ピンの信号値が反転されます（V_{DD} =0/マーク、Gnd = 1/アイドル）。

これにより、RX ラインで外部インバータを使用できます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 15 **SWAP**：TX/RX ピンのスワップ

このビットは、ソフトウェアによってセット／クリアされます。

0：TX/RX ピンは標準ピンアウトでの定義に従って使用されます。

1：TX および RX ピンの機能はスワップされます。これにより、別の UART へのクロスワイヤ接続の場合に動作できます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 14 **LINEN**：LIN モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：LIN モードが無効の場合

1：LIN モードが有効な場合

LIN モードでは、USART_CR1 レジスタの SBKRQ ビットを使用して LIN 同期ブレーク（下位 13 ビット）を送信し、LIN 同期ブレークを検出することができます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 13:12 **STOP[1:0]**：ストップ･ビット

このビットは、ストップビットのプログラミングに使用します。

00：1 個のストップビット

01：0.5 個のストップビット

10：2 個のストップビット

11：1.5 個のストップビット

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11 **CLKEN**：クロック有効

このビットによって、CK ピンを有効にできます。

0：CK ピンは無効です。

1：CK ピンは有効です。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 同期モードまたはスマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

スマートカードモードでは、スマートカードに CK クロックを正しく供給するには、次のステップを順守する必要があります。
UE = 0
SCEN = 1
GTPR 設定
CLKEN= 1
UE = 1

ビット 10 **CPOL**：クロック極性

このビットによって、同期モードにおける CK ピンのクロック出力の極性を選択できます。CPHA ビットと連携して動作し、希望するクロック／データ関係になるようにします。

0：送信ウィンドウの外で、CK ピンはローレベルを維持します。

1：送信ウィンドウの外で、CK ピンはハイレベルを維持します。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 9 **CPHA**：クロック位相

このビットは、同期モードでの CK ピンのクロック出力の位相を選択するために使用されます。CPOL ビットと連携して動作し、希望するクロック／データ関係になるようにします（図 326 および図 327 を参照）。

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 8 **LBCL**：最終ビットのクロックパルス

このビットは、同期モードで送信される最終データビット（MSB）に関連するクロックパルスを、CK ピンに出力する必要があるかどうかを選択するために使用されます。

0：最終データビットのクロックパルスは、CK ピンに出力されません。

1：最終データビットのクロックパルスは、CK ピンに出力されます。

注意： 最終ビットは、USART_CR1 レジスタの M ビットによって選択された 7 または 8 または 9 ビットフォーマットに応じて送信された 7 番目または 8 番目または 9 番目のデータビットです。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 同期モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LBDIE**：LIN ブレーク検出割込み有効

ブレーク割込みマスクです（ブレークデリミタを使用したブレーク検出）。

0：割込みは禁止されています。

1：USART_ISR レジスタの LBDF = 1 のときには、割込みが生成されます。

注： LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 5 **LBDL**：LIN ブレーク検出長

このビットでは、10 ビットと 11 ビットのブレーク検出を選択します。

0：10 ビットブレーク検出

1：11 ビットブレーク検出

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 4 **ADDM7**：7 ビットアドレス検出／4 ビットアドレス検出

このビットは、4 ビットアドレス検出と 7 ビットアドレス検出の選択に使用されます。

0：4 ビットアドレス検出

1：7 ビットアドレス検出（8 ビットデータモード）

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス（ADD[5:0] および ADD[7:0]）に対して行われます。

ビット 3 **DIS_NSS**：NSS ピン有効

DIS_NSS ビットがセットされているとき、NSS ピンの入力は無視されます。

0：SPI スレーブ選択は NSS 入力ピンに依存します。

1：SPI スレーブが常に選択され、NSS 入力ピンは無視されます。

注： SPI スレーブモードがサポートされていないときは、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SLVEN**：同期スレーブモード有効

SLVEN ビットがセットされると、同期スレーブモードが有効になります。

0：スレーブモードは無効です。

1：スレーブモードは有効です。

注： SPI スレーブモードがサポートされていないときは、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

注： トランスミッタが有効なときには、CPOL、CPHA、LBCL のビットに書き込まないでください。

33.8.4 USART 制御レジスタ 3（USART_CR3）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXF TIE	RXFTCFG[2:0]			TCBG TIE	TXFTIE	WUFIE	WUS[1:0]		SCARCNT[2:0]			Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVR DIS	ONE BIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HD SEL	IRLP	IREN	EIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:29 **TXFTCFG[2:0]**：TXFIFO 閾値設定

000：TXFIFO はその深さの 1/8 に達します。
001：TXFIFO はその深さの 1/4 に達します。
010：TXFIFO はその深さの 1/2 に達します。
011：TXFIFO はその深さの 3/4 に達します。
100：TXFIFO はその深さの 7/8 に達します。
101：TXFIFO は空になります。
残りの組み合わせ：予約済みです。

ビット 28 **RXFTIE**：RXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：受信 FIFO が RXFTCFG でプログラムされた閾値に達すると、USART 割込みが生成されます。

ビット 27:25 **RXFTCFG[2:0]**：受信 FIFO 閾値設定

000：受信 FIFO はその深さの 1/8 に達します。
001：受信 FIFO はその深さの 1/4 に達します。
010：受信 FIFO はその深さの 1/2 に達します。
011：受信 FIFO はその深さの 3/4 に達します。
100：受信 FIFO はその深さの 7/8 に達します。
101：受信 FIFO はフルになります。
残りの組み合わせ：予約済みです。

ビット 24 **TCBGTIE**：ガード時間前送信完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：USART_ISR レジスタの TCBGT=1 のときには、USART 割込みが生成されます。

注：　USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 23 **TXFTIE**：TXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：TXFIFO が TXFTCFG でプログラムされた閾値に達すると、USART 割込みが生成されます。

ビット 22 **WUFIE**：低消費電力モードからのウェイクアップ割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：USART_ISR レジスタの WUF = 1 のときには、USART 割込みが生成されます。

注： WUFIE は、低消費電力モードに入る前にセットする必要があります。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装 を参照してください。

ビット 21:20 **WUS[1:0]**：低消費電力モードからのウェイクアップ割込みフラグ選択

このビットフィールドは、WUF を有効にするイベントを指定します（低消費電力モードからのウェイクアップフラグ）。

00：WUF はアドレス一致時に有効になります（ADD[7:0] および ADDM7 による定義に従って）。

01：予約済み。

10：WUF はスタートビット検出時に有効になります。

11：WUF は RXNE/RXFNE 時に有効になります。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装 を参照してください。

ビット 19:17 **SCARCNT[2:0]**：スマートカード自動再試行カウント

このビットフィールドは、スマートカードモードにおける送受信の再試行回数を指定します。

送信モードでは、送信エラーが生成されるまでの送信の自動再試行回数を指定します（FE ビットをセット）。

受信モードでは、受信エラーが生成される（RXNE/RXFNE および PE ビットのセット）までの受信の試行エラー回数を指定します。

このビットフィールドは、USART が無効（UE = 0）のときのみプログラムする必要があります。

USART が有効になると（UE = 1）、このビットフィールドは再送信を停止するために 0x0 にのみ書込み可能です。

0x0：再送信無効 - 送信モードでの自動再送信禁止

0x1 から 0x7：自動再送信試行回数（信号エラーの生成前）

注： スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **DEP**：ドライバ有効極性選択

0：DE 信号はアクティブハイです。

1：DE 信号はアクティブローです。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 14 **DEM**：ドライバ有効モード

このビットにより、DE 信号によって外部トランシーバ制御を有効にできます。

0：DE 機能は無効です。

1：DE 機能は有効です。DE 信号は RTS ピンで出力されます。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ドライバ有効機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 13 **DDRE**：受信エラー時 DMA 無効

0：受信エラーの場合、DMA は無効になりません。対応するエラーフラグはセットされますが、RXNE は 0 に保たれ、オーバーランを防ぎます。結果として、DMA リクエストはアサートされないので、エラーのあるデータは転送されず（DMA リクエストなし）、次の正しい受信データが転送されます（スマートカードモードで使用される）。

1：受信エラーの後、DMA は無効化されます。対応するエラーフラグと RXNE がセットされます。エラーフラグがクリアされるまで、DMA リクエストはマスクされます。つまり、ソフトウェアはまず最初にDMA リクエストを無効にするか（DMAR = 0）、FIFO モードが有効な場合、RXNE/RXFNEをクリアしてから、エラーフラグをクリアする必要があります。

このビットは、USART が無効（UE=0）のときのみ書き込むことができます。

注： 受信エラーは、パリティエラー、フレーミングエラー、またはノイズエラーです。

ビット 12 **OVRDIS**：オーバーラン無効

このビットは、受信オーバーラン検出を無効にするために使用されます。

0：オーバーランエラーフラグ、ORE は、受信データが読み出される前に新しいデータを受信したときにセットされます。

1：オーバーラン機能は無効です。RXNE フラグがまだセットされている間に新しいデータを受信した場合、

ORE フラグはセットされず、新しく受信されたデータが USART_RDR レジスタの前の内容に上書きされます。FIFO モードが有効なとき、RXFIFO はバイパスされ、データは直接、USART_RDR レジスタに書き込まれます。FIFO 管理が有効になっているときでも、RXNE フラグが使用されます。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： この制御ビットにより、データを読み出さずに通信フローをチェックできます。

ビット 11 **ONEBIT**：1 サンプルビット方式有効

このビットによって、サンプル方式を選択できます。1 サンプルビット方式が選択されると、ノイズ検出フラグ（NE）が無効になります。

0：3 サンプルビット方式

1：1 サンプルビット方式

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 10 **CTSIE**：CTS 割込み有効

0：割込みは禁止されています。

1：USART_ISR レジスタの CTSIF = 1 のときには、割込みが生成されます。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 9 **CTSE**：CTS 有効化

0：CTS ハードウェアフロー制御が無効です。

1：CTS モードが有効です。データは CTS 入力がネゲート（0 に固定）されている場合にのみ転送されます。データの送信中に CTS 入力がアサートされた場合、送信は停止前に完了します。CTS がアサートされている間にデータがデータレジスタに書き込まれた場合、CTS がネゲートされるまで送信は延期されます。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 8 **RTSE**：RTS 有効化

0：RTS ハードウェアフロー制御が無効です。

1：RTS 出力は有効であり、レシーババッファにスペースがあるときにのみ、データがリクエストされます。現在の文字が転送された後、データの転送は停止すると期待されます。データを受信できるとき、RTS 出力がネゲートされます（0 にプルされます）。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7 **DMAT**：DMA 有効トランスミッタ

このビットは、ソフトウェアでセット / クリアされます。

1：DMA モードは送信に有効です。

0：DMA モードは送信に無効です。

ビット 6 **DMAR**：DMA 有効レシーバ

このビットは、ソフトウェアでセット / クリアされます。

1：DMA モードが受信に有効です。

0：DMA モードが受信に無効です。

ビット 5 **SCEN**：スマートカードモード有効

このビットはスマートカードモードを有効にするために使用します。

0：スマートカードモードが無効です。

1：スマートカードモードが有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 4 **NACK**：スマートカード NACK 有効

0：パリティエラーの際の NACK 転送が無効です。

1：パリティエラー時の NACK 転送が有効です。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 3 **HDSEL**：半二重選択

単線半二重モードの選択です。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

ビット 2 **IRLP**：IrDA 低電力

このビットは、通常と低電力の IrDA モードの選択に使用されます。

0：通常モード

1：低電力モード

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： IrDA モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 1 **IREN**：IrDA モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：IrDA は無効です。

1：IrDA は有効です。

このビットは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： IrDA モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 0 **EIE**：エラー割込み有効化

エラー割込み有効ビットは、フレーミングエラー、オーバーランエラー、ノイズフラグ、または SPI スレーブアンダーランエラー（USART_ISR レジスタの FE = 1 または ORE = 1 または NE = 1 または UDR = 1）の場合に割込み生成を有効にするために必要です。

0：割込みは禁止されています。

1：USART_ISR レジスタの FE = 1 または ORE = 1 または NE = 1 または UDR = 1（SPI スレーブモードで）のときに、割込みが生成されます。

33.8.5 USART ボーレートレジスタ（USART_BRR）

このレジスタは、USART が無効（UE = 0）のときのみ書き込むことができます。自動ボーレート検出モードでハードウェアによって自動的に更新されます。

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:0 **BRR[15:0]**：USART ボーレート

BRR[15:4]

BRR[15:4] = USARTDIV[15:4]

BRR[3:0]

OVER8 = 0 のとき、BRR[3:0] = USARTDIV[3:0]。

OVER8 = 1 のとき、

BRR[2:0] = USARTDIV[3:0] であり、右に 1 ビットシフトされます。

BRR[3] は、クリアされたままにする必要があります。

33.8.6 USART ガード時間およびプリスケーラレジスタ（USART_GTPR）

アドレスオフセット：0x10

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:8 **GT[7:0]**：ガード時間値

このビットフィールドは、ガード時間値をボークロック周期数でプログラムするために使用します。

これはスマートカードモードで使用します。このガード時間値の後は転送完了フラグがセットされます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7:0 **PSC[7:0]**：プリスケーラ値

IrDA 低電力および IrDA 通常モード：

PSC[7:0] = IrDA 通常および低電力ボーレート

PSC[7:0] は、USART ソースクロックを分周して低電力周波数を得るためのプリスケーラのプログラミングに使用します。ソースクロックは、レジスタで指定された値（上位 8bit）で分周されます。

スマートカードモード：

PSC[4:0] = プリスケーラ値

PSC[4:0] は、USART ソースクロックを分周してスマートカードのクロックを提供するプリスケーラのプログラミングに使用します。レジスタで指定された値（上位 5 ビット）を 2 倍して、クロックソース周波数の分周比を求めます。

00000：予約済み - この値はプログラミングしないでください。
00001：ソースクロックは 1（IrDA モード）または 2（スマートカードモード）で分周されます。
00010：ソースクロックは 2（IrDA モード）または 4（スマートカードモード）で分周されます。
00011：ソースクロックは 3（IrDA モード）または 6（スマートカードモード）で分周されます。
.....
11111：ソースクロックは 31（IrDA モード）または 62（スマートカードモード）で分周されます。
0010 0000：ソースクロックは 32（IrDA モード）で分周されます。
.....
1111 1111：ソースクロックは 255（IrDA モード）で分周されます。

このビットフィールドは、USART が無効（UE = 0）のときのみ書き込むことができます。

注： **スマートカードモードが使用される場合、ビット [7:5] はクリアされたままにする必要があります。スマートカードモードや IrDA モードがサポートされない場合、このビットフィールドは予約済みであり、ハードウェアによって強制的に“0”に設定されます。セクション 33.4：1039 ページの USART の実装を参照してください。**

33.8.7 USART レシーバタイムアウトレジスタ（USART_RTOR）

アドレスオフセット：0x14

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLEN[7:0]								RTO[23:16]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTO[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:24 **BLEN[7:0]**：ブロック長

このビットフィールドは、受信時のスマートカード T = 1 のブロック長を指定します。この値は、情報文字の数 + エピローグフィールドの長さ（1-LEC/2-CRC）- 1 と等しくなります。

例：

BLEN = 0：0 情報文字 + LEC

BLEN = 1：0 情報文字 + CRC

BLEN = 255：254 情報文字 + CRC（合計 256 文字）

スマートカードモードでは、TXE = 0（FIFO モードが有効な場合は TXFE = 0）のときにブロック長カウンタがリセットされます。

このビットフィールドは、他のモードでも使用できます。この場合、RE = 0 （レシーバ無効）のとき、および/または EOBCF ビットが 1 に書き込まれたときに、ブロック長カウンタがリセットされます。

注： この値は、ブロック受信の開始後にプログラムできます（プロローグフィールドの LEN 文字のデータを使用）。必ず受信したブロックにつき一度だけプログラムするようにしてください。

ビット 23:0 **RTO[23:0]**：レシーバタイムアウト値

このビットフィールドは、RX ラインでアクティビティがない間のビット数でレシーバタイムアウト値を指定します。

標準モードでは、最後の受信キャラクタの後、RTO 値を超える間、新しいスタートビットが検出されなかった場合、RTOF フラグがセットされます。

スマートカードモードでは、この値は CWT および BWT を実装するために使用されます。詳細については、スマートカードの章を参照してください。この標準では、CWT/BWT 測定は最後の受信キャラクタのスタートビットから開始して行われます。

注： この値は、受信キャラクタごとにプログラムされる必要があります。

注： RTOR は、動作中に書き込むことができます。新しい値がカウンタ以下の場合、RTOF フラグがセットされます。

レシーバタイムアウト機能がサポートされない場合、このレジスタは予約済みであり、ハードウェアによって 0x00000000 に強制的に設定されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

33.8.8 USART リクエストレジスタ（USART_RQR）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	ABRRQ
											w	w	w	w	w

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **TXFRQ**：送信データー掃リクエスト

FIFO モードが無効になっている場合は、このビットに“1”を書き込むと、TXE フラグがセットされます。これにより、送信データを破棄できます。このビットは、エラー（NACK）によりデータが送信されなかった場合、および USART_ISR レジスタで FE フラグがアクティブである場合に、スマートカードモードでのみ使用する必要があります。USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。

FIFO モードが有効な場合、FIFO 全体を一掃するために TXFRQ ビットがセットされます。これによって TXFE フラグ（送信 FIFO エンプティ、USART_ISR レジスタのビット 23）がセットされます。送信 FIFO の一掃は、UART モードおよびスマートカードモードの両方でサポートされています。

注： FIFO モードでは、一掃リクエスト中にデータがデータレジスタに書き込まれないようにするために、TxFIFO が空になるまで TXFNF フラグはリセットされます。

ビット 3 **RXFRQ**：受信データー掃リクエスト

このビットに 1 を書き込むと、受信 FIFO 全体を空にします（すなわち、RXFNE ビットをクリアします）。これにより、受信したデータを読み出さずに破棄して、オーバーラン条件を避けることができます。

ビット 2 **MMRQ**：ミュートモードリクエスト

このビットに 1 を書き込むと、USART はミュートモードになり、RWU フラグはリセットされます。

ビット 1 **SBKRQ**：ブレーク送信リクエスト

このビットに 1 を書き込むと、SBKF フラグがセットされ、送信マシンが使用可能になるとすぐに、ラインで BREAK を送信するリクエストが発行されます。

注： アプリケーションが、まだ送信されていないものも含めて、以前に挿入されたすべてのデータに続いてブレークキャラクタを送信する必要がある場合、ソフトウェアは SBKRQ ビットをセットする前に、TXE フラグのアサートを待つ必要があります。

ビット 0 **ABRRQ**：自動ボーレートリクエスト

このビットに 1 を書き込むと、USART_ISR の ABRF および ABRE フラグがリセットされ、次の受信データフレームでの自動ボーレート測定をリクエストします。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

33.8.9 USART 割込みおよびステータスレジスタ（USART_ISR）

アドレスオフセット：0x1C

リセット値：0x0X80 00C0

X = 2（FIFO／スマートカードモードが有効の場合）

X = 0（FIFO が有効で、スマートカードモードが無効の場合）

同じレジスタが FIFO モード有効（このセクション）でも、FIFO モード無効（次のセクション）でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	TCBGT	RXFF	TXFE	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
				r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TXFT**：TXFIFO 閾値フラグ

このビットは、TXFIFO が USART_CR3 レジスタの TXFTCFG でプログラムされた閾値に達したとき、すなわち、TXFIFO に TXFTCFG の空き場所ができたときに、ハードウェアによってセットされます。USART_CR3 レジスタの TXFTIE ビット = 1（ビット 31）の場合、割込みが生成されます。

0：TXFIFO はプログラムされた閾値に達していません。

1：TXFIFO はプログラムされた閾値に達しました。

ビット 26 **RXFT**：RXFIFO 閾値フラグ

このビットは、USART_CR3 レジスタの RXFTCFG でプログラムされた閾値に達したときに、ハードウェアによってセットされます。これは、受信 FIFO に（RXFTCFG - 1）個のデータがあり、USART_RDR レジスタに 1 個のデータがあることを意味します。USART_CR3 レジスタの RXFTIE ビット = 1（ビット 27）の場合、割込みが生成されます。

0：受信 FIFO はプログラムされた閾値に達していません。

1：受信 FIFO はプログラムされた閾値に達しました。

注： RXFTCFG 閾値が“101”に設定されているとき、16個のデータが利用可能になった場合（すなわち、RXFIFO に 15個のデータが入り、USART_RDR に 1個のデータが入った場合）、RXFT フラグがセットされます。したがって、17番目の受信データによってオーバーランエラーが起きることはありません。オーバーランエラーは 18 番目のデータを受信した後に発生します。

ビット 25 **TCBGT**：ガード時間前送信完了フラグ

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから正しく送信されたときにセットされます。

スマートカードモードで、データを含むフレームの送信が完了し、スマートカードが NACK を返信しなかった場合、このビットはハードウェアによってセットされます。USART_CR3 レジスタの TCBGTIE = 1 の場合、割込みが生成されます。

このビットは、USART_ICR レジスタの TCBGTCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0：送信が完了していないか、または送信が正常に完了していません（つまり、カードから NACK を受信）。

1：送信は正常に完了しました（ガード時間完了前で、スマートカードから NACK なし）。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。USART がスマートカードモードをサポートしている場合でこのモードが有効な場合、TCBGT のリセット値は“1”です。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 24 **RXFF**：RXFIFO フル

このビットは、受信したデータの数が RXFIFO サイズ + 1 と一致したときに（RXFIFO がフルで、USART_RDR レジスタに 1 個のデータ）、ハードウェアによってセットされます。

USART_CR1 レジスタの RXFFIE ビット = 1 である場合、割込みが生成されます。

0：RXFIFO はフルではありません。

1：RXFIFO はフルです。

ビット 23 **TXFE**：TXFIFO エンプティ

このビットは、TXFIFO が空のとき、ハードウェアによってセットされます。TXFIFO に少なくとも 1 データが入ったとき、このフラグはクリアされます。TXFE フラグは、USART_RQR レジスタのビット TXFRQ（ビット 4）に 1 を書き込むことによってセットすることもできます。

USART_CR1 レジスタの TXFEIE ビット = 1（ビット 30）の場合、割込みが生成されます。

0：TXFIFO ノットエンプティ。

1：TXFIFO エンプティ。

ビット 22 **REACK**：受信有効確認応答フラグ

このビットは、受信有効値が USART によって考慮されるときに、ハードウェアによってセット／リセットされます。

これを使用して、低消費電力モードに入る前に、USART が受信できる状態であることを確認できます。

注： USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 21 **TEACK**：送信有効確認応答フラグ

このビットは、送信有効値が USART によって考慮されるときに、ハードウェアによってセット／リセットされます。

USART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF**：低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。USART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注： UESM がクリアされると、WUF フラグもクリアされます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 19 **RWU**：レシーバのミュートモードからのウェイクアップ

このビットは、USART がミュートモードかどうかを示します。ウェイクアップ／ミュートシーケンスが認識されたときに、ハードウェアによってクリア／セットされます。ミュートモード制御シーケンス（アドレスまたは IDLE）は、USART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、ソフトウェアによってのみ、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことができます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 18 **SBKF**：ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。USART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0：ブレークキャラクタが送信されます。

1：USART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタがリクエストされました。

ビット 17 **CMF**：キャラクター致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。USART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0：キャラクター致は検出されていません。

1：キャラクター致が検出されました。

ビット 16 **BUSY**：ビジーフラグ

このビットは、ハードウェアによってセット／リセットされます。RX ラインで通信中（スタートビットの検出時）はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0：USART はアイドルです（受信なし）。

1：受信中です。

ビット 15 **ABRF**：自動ボーレートフラグ

このビットは、自動ボーレートがセットされたとき（RXFNE もセットされ、RXFNEIE = 1 の場合は割込みが生成されます）、または、自動ボーレート操作が成功せずに完了したときにハードウェアによってセットされます（ABRE = 1）（この場合、ABRE、RXFNE、および FE もセットされます）。

新しい自動ボーレート検出をリクエストするために、USART_RQR レジスタの ABRRQ に 1 を書き込むことによって、ソフトウェアによってクリアされます。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 14 **ABRE**：自動ボーレートエラー

このビットは、ボーレート測定が失敗した場合に、ハードウェアによってセットされます（範囲外のボーレートまたはキャラクタ比較の失敗）。

USART_RQR レジスタの ABRRQ ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 13 **UDR**：SPI スレーブアンダーランエラーフラグ

スレーブ送信モードでは、ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現われると、このフラグがセットされます。このフラグは、USART_ICR レジスタの UDRCF ビットをセットすることによってリセットされます。

0：アンダーランエラーはありません。

1：アンダーランエラーが発生しました。

注： USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 12 **EOBF**：ブロック終了フラグ

このビットは、完全なブロックが受信されたときに、ハードウェアによってセットされます（たとえば、T = 1 スマートカードモード）。検出は、受信バイト数が BLEN + 4 以上である場合に行われます（ブロックの開始時から、プロローグを含む）。

USART_CR1 レジスタの EOBIE = 1 である場合、割込みが生成されます。

USART_ICR レジスタの EOBCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：ブロック終了に達していません。

1：ブロック終了（文字数）に達しました。

注： スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 11 **RTOF**：レシーバタイムアウト

このビットは、RTOR レジスタでプログラムされたタイムアウト値が通信なしで経過したときに、ハードウェアによってセットされます。USART_ICR レジスタの RTOCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの RTOIE=1 の場合、割込みが生成されます。

スマートカードモードでは、タイムアウトは CWT または BWT タイミングに対応します。

0：タイムアウト値に達していません。

1：データを受信せずにタイムアウト値に達しました。

注： 時間が RTOR レジスタでプログラムされた値に等しい場合、2 つのキャラクタが分離され、RTOF はセットされません。この時間がこの値に 2 サンプル時間（オーバーサンプリング方式によって 2/16 または 2/8）を加えた値を超える場合、RTOF フラグがセットされます。

カウンタは RE=0 の場合でもカウントしますが、RTOF は RE=1 のときのみセットされます。RE がセットされたときにタイムアウトがすでに経過していた場合、RTOF はセットされます。

USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 10 **CTS**：CTS フラグ

このビットは、ハードウェアによってセット／リセットされます。CTS 入力ピンのステータスの反転コピーです。

0：CTS ラインはセットされました。

1：CTS ラインはリセットされました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 **CTSIF**：CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。USART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0：CTS ステータスラインでの変更はありません。

1：CTS ステータスラインでの変更はありました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 **LBDF**：LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。USART_ICR レジスタの LBDCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの LBDIE=1 である場合、割込みが生成されます。

0：LIN ブレークは検出されませんでした。

1：LIN ブレークが検出されました。

注： USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7 **TXFNF**：TXFIFO は空ではありません。

TXFIFO がフルではない、つまり USART_TDR にデータを書き込めるとき、TXFNF はハードウェアによってセットされます。USART_TDR レジスタへの書込み動作ごとにデータが TXFIFO に格納されます。このフラグは TXFIFO がフルになるまでセットされたままになります。TXFIFO がフルになると、このフラグはクリアされ、データを USART_TDR に書き込むことができないことを示します。

USART_CR1 レジスタの TXFNFIE ビット =1 の場合、割込みが生成されます。

0：送信 FIFO はフルです。

1：送信 FIFO ノットフル

注： 一掃リクエスト中、TXFIFO が空になるまで、TXFNF はリセットに維持されます。一掃リクエストを（TXFRQ ビットをセットすることによって）送信した後、TXFIFO に書き込む前に TXFNF フラグをチェックするべきです（TXFNF および TXFE は同時にセットされます）。

このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから送信されたことを示します。

データを含むフレームの送信が完了し、TXFE がセットされたとき、ハードウェアによってセットされます。

USART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

TC ビットは、USART_ICR レジスタの TCCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0：送信は完了していません。

1：送信は完了しています。

注： TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXFNE**：RXFIFO は空ではありません。

RXFNE ビットは、RXFIFO が空でないとき、つまりデータが USART_RDR レジスタから読み出せるときに、ハードウェアによってセットされます。USART_RDR からの読出し動作のたびに、RXFIFO の 1 つの場所が解放されます。

RXFIFO が空になると、RXFNE がクリアされます。RXFNE フラグは、USART_RQR レジスタの RXFRQ に 1 を書き込むことによってクリアすることもできます。

USART_CR1 レジスタの RXFNEIE = 1 の場合、割込みが生成されます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。USART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXFNE ビットがセットされるまで（新しいアイドルラインが発生するまで）、IDLE ビットは再びセットされません。

ミュートモードが有効な場合（MME = 1）、WAKE ビットによって選択されたミュートモードに関係なく、USART がミュートでない場合（RWU = 0）、IDLE がセットされます。RWU = 1 の場合、IDLE はセットされません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE=“1”（FIFO モードが有効な場合は RXFF=“1”）のときに、
現在シフトレジスタに受信中のデータを USART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。
USART_CR1 レジスタの RXFNEIE = 1 の場合、または USART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。
0：オーバーランエラーはありません。
1：オーバーランエラーが検出されました。

注： このビットがセットされると、USART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

USART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます（オーバーラン検出なし）。

ビット 2 **NE**：ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されるとハードウェアによってセットされます。USART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：ノイズは検出されていません。
1：ノイズが検出されました。

注： このビットは、割込みを生成する RXFNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ラインがノイズフリーであるとき、NE フラグを無効にして、ONEBIT ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増加させることができます（セクション 33.5.8：1056 ページのクロック偏差に対する USART レシーバの許容誤差を参照）。

このエラーはUSART_RDR 内のキャラクタに関連します。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。USART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
スマートカードモードでデータを送信しているとき、送信時、成功せずに（カードがデータフレームを NACK）最大送信試行回数に達すると、このビットがセットされます。
USART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。
0：フレーミングエラーは検出されていません。
1：フレーミングエラーまたはブレークキャラクタが検出されました。

注： このエラーはUSART_RDR 内のキャラクタに関連します。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。USART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。
USART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。
0：パリティエラーはありません。
1：パリティエラー

注： このエラーはUSART_RDR 内のキャラクタに関連します。

33.8.10 USART 割込みおよびステータスレジスタ [オルタネート]（USART_ISR）

アドレスオフセット：0x1C

リセット値：0x0000 00C0

同じレジスタが FIFO モード有効（前のセクション）でも、FIFO モード無効（このセクション）でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	TCBGT	Res.	Res.	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
						r			r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **TCBGT**：ガード時間前送信完了フラグ

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから正しく送信されたときにセットされます。

スマートカードモードで、データを含むフレームの送信が完了し、スマートカードが NACK を返信しなかった場合、このビットはハードウェアによってセットされます。USART_CR3 レジスタの TCBGTIE = 1 の場合、割込みが生成されます。

このビットは、USART_ICR レジスタの TCBGTCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0：送信が完了していないか、または送信が正常に完了していません（つまり、カードから NACK を受信）。

1：送信は正常に完了しました（ガード時間完了前で、スマートカードから NACK なし）。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。USART がスマートカードモードをサポートしている場合でこのモードが有効な場合、TCBGT のリセット値は“1”です。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 24:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **REACK**：受信有効確認応答フラグ

このビットは、受信有効値が USART によって考慮されるときに、ハードウェアによってセット／リセットされます。

これを使用して、低消費電力モードに入る前に、USART が受信できる状態であることを確認できます。

注： USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 21 **TEACK**：送信有効確認応答フラグ

このビットは、送信有効値が USART によって考慮されるときに、ハードウェアによってセット／リセットされます。

USART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF**：低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。USART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注： UESM がクリアされると、WUF フラグもクリアされます。

USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 19 **RWU**：*レシーバのミュートモードからのウェイクアップ*

このビットは、USART がミュートモードかどうかを示します。ウェイクアップ／ミュートシーケンスが認識されたときに、ハードウェアによってクリア／セットされます。ミュートモード制御シーケンス（アドレスまたは IDLE）は、USART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、ソフトウェアによってのみ、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことができます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4 : 1039 ページのUSART の実装を参照してください。

ビット 18 **SBKF**：ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。USART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0：ブレークキャラクタが送信されます。

1：USART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタがリクエストされました。

ビット 17 **CMF**：キャラクター致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。USART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0：キャラクター致は検出されていません。

1：キャラクター致が検出されました。

ビット 16 **BUSY**：ビジーフラグ

このビットは、ハードウェアによってセット／リセットされます。RX ラインで通信中（スタートビットの検出時）はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0：USART はアイドルです（受信なし）。

1：受信中です。

ビット 15 **ABRF**：自動ボーレートフラグ

このビットは、自動ボーレートがセットされたとき（RXNE もセットされ、RXNEIE = 1 の場合は割込みが生成されます）、または、自動ボーレート操作が成功せずに完了したときにハードウェアによってセットされます（ABRE = 1）（この場合、ABRE、RXNE、および FE もセットされます）。

新しい自動ボーレート検出をリクエストするために、USART_RQR レジスタの ABRRQ に 1 を書き込むことによって、ソフトウェアによってクリアされます。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 14 **ABRE**：自動ボーレートエラー

このビットは、ボーレート測定が失敗した場合に、ハードウェアによってセットされます（範囲外のボーレートまたはキャラクタ比較の失敗）。

USART_RQR レジスタの ABRRQ ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

注： USART が自動ボーレート機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 13 **UDR**：SPI スレーブアンダーランエラーフラグ

スレーブ送信モードでは、ソフトウェアが USART_TDR にまだ値をロードしていない間に、データ送信用の最初のクロックパルスが現われると、このフラグがセットされます。このフラグは、USART_ICR レジスタの UDRCF ビットをセットすることによってリセットされます。

0：アンダーランエラーはありません。

1：アンダーランエラーが発生しました。

注： USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 12 **EOBF**：ブロック終了フラグ

このビットは、完全なブロックが受信されたときに、ハードウェアによってセットされます（たとえば、T = 1 スマートカードモード）。検出は、受信バイト数が BLEN + 4 以上である場合に行われます（ブロックの開始時から、プロローグを含む）。

USART_CR1 レジスタの EOBIE = 1 である場合、割込みが生成されます。

USART_ICR レジスタの EOBCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：ブロック終了に達していません。

1：ブロック終了（文字数）に達しました。

注： スマートカードモードがサポートされない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 11 **RTOF**：レシーバタイムアウト

このビットは、RTOR レジスタでプログラムされたタイムアウト値が通信なしで経過したときに、ハードウェアによってセットされます。USART_ICR レジスタの RTOCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの RTOIE=1 の場合、割込みが生成されます。

スマートカードモードでは、タイムアウトは CWT または BWT タイミングに対応します。

0：タイムアウト値に達していません。

1：データを受信せずにタイムアウト値に達しました。

注： 時間が RTOR レジスタでプログラムされた値に等しい場合、2 つのキャラクタが分離され、RTOF はセットされません。この時間がこの値に 2 サンプル時間（オーバーサンプリング方式によって 2/16 または 2/8）を加えた値を超える場合、RTOF フラグがセットされます。

カウンタは RE=0 の場合でもカウントしますが、RTOF は RE=1 のときのみセットされます。RE がセットされたときにタイムアウトがすでに経過していた場合、RTOF はセットされます。

USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 10 **CTS**：CTS フラグ

このビットは、ハードウェアによってセット／リセットされます。CTS 入力ピンのステータスの反転コピーです。

0：CTS ラインはセットされました。

1：CTS ラインはリセットされました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 **CTSIF**：CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。USART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0：CTS ステータスラインでの変更はありません。

1：CTS ステータスラインでの変更はありました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 **LBDF**：LIN ブレーク検出フラグ

このビットは、LIN ブレークが検出されると、ハードウェアによってセットされます。USART_ICR レジスタの LBDCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR2 レジスタの LBDIE=1 である場合、割込みが生成されます。

0：LIN ブレークは検出されませんでした。

1：LIN ブレークが検出されました。

注： USART が LIN モードをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7 **TXE**：送信データレジスタエンプティ

このビットは、USART_TDR レジスタの内容がシフトレジスタに転送されると、ハードウェアによってセットされます。このビットは、USART_TDR レジスタへの書込みによってクリアされます。TXE フラグは、USART_RQR レジスタの TXFRQ に 1 を書き込んでセットし、データを破棄することもできます（スマートカード T = 0 モードでの送信失敗の場合のみ）。

USART_CR1 レジスタの TXEIE ビット = 1 である場合、割込みが生成されます。

0：データレジスタはフルです。

1：データレジスタはフルではありません。

ビット 6 **TC**：送信完了

このビットは、USART_TDR に書き込まれた最後のデータがシフトレジスタから送信されたことを示します。

データを含むフレームの送信が完了し、TXE がセットされたとき、ハードウェアによってセットされます。

USART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

TC ビットは、USART_ICR レジスタの TCCF に 1 を書き込むことによって、または USART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

0：送信は完了していません。

1：送信は完了しています。

注： TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXNE**：読出しデータレジスタノットエンプティ

RXNE ビットは、USART_RDR シフトレジスタの内容が USART_RDR レジスタに転送されると、ハードウェアによってセットされます。これは、USART_RDR レジスタからの読出しによってクリアされます。RXNE フラグは、USART_RQR レジスタの RXFRQ に 1 を書き込むことによってクリアすることもできます。

USART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。USART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。USART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXNE ビットがセットされるまで（新しいアイドルラインが発生するまで）、IDLE ビットは再びセットされません。

ミュートモードが有効な場合（MME = 1）、WAKE ビットによって選択されたミュートモードに関係なく、USART がミュートでない場合（RWU = 0）、IDLE がセットされます。RWU = 1 の場合、IDLE はセットされません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE="1"（FIFO モードが有効な場合は RXFF="1"）のときに、

現在シフトレジスタで受信中のデータを USART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。USART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの RXNEIE = 1 または EIE = 1 の場合、または USART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

注： このビットがセットされると、USART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

USART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます（オーバーラン検出なし）。

ビット 2 **NE**：ノイズ検出フラグ

このビットは、受信フレームでノイズが検出されるとハードウェアによってセットされます。USART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：ノイズは検出されていません。

1：ノイズが検出されました。

注： このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ラインがノイズフリーであるとき、NE フラグを無効にして、ONEBIT ビットに 1 をプログラミングして偏差に対する USART の許容誤差を増加させることができます（セクション 33.5.8：1056 ページのクロック偏差に対する USART レシーバの許容誤差を参照）。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。USART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに（カードがデータフレームを NACK）最大送信試行回数に達すると、このビットがセットされます。

USART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。USART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

USART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー

33.8.11 USART 割込みフラグクリアレジスタ（USART_ICR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	UDRCF	EOBCF	RTOCF	Res.	CTSCF	LBDCF	TCBGTCF	TCCF	TXFECF	IDLECF	ORECF	NECF	FECF	PECF
		w	w	w		w	w	w	w	w	w	w	w	w	w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **WUCF**：低消費電力モードからのウェイクアップクリアフラグ

このビットに 1 を書き込むと、USART_ISR レジスタの WUF フラグがクリアされます。

注： USART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CMCF**：キャラクター致フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの CMF フラグがクリアされます。

ビット 16:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **UDRCF**：SPI スレーブアンダーランフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの UDRF フラグがクリアされます。

注： USART が SPI スレーブモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 12 **EOBCF**：ブロック終了クリアフラグ

このビットに 1 を書き込むと、USART_ISR レジスタの EOBF フラグがクリアされます。

注： USART がスマートカードモードをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 11 **RTOCF**：レシーバタイムアウトフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの RTOF フラグがクリアされます。

注： USART がレシーバタイムアウト機能をサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CTSCF**：CTS フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの CTSIF フラグがクリアされます。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 8 **LBDCF**：LIN ブレーク検出クリアフラグ

このビットに 1 を書き込むと、USART_ISR レジスタの LBDF フラグがクリアされます。

注： LIN モードがサポートされない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：1039 ページのUSART の実装を参照してください。

ビット 7 **TCBGTCF**：ガード時間前送信完了フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの TCBGT フラグがクリアされます。

ビット 6 **TCCF**：送信完了フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの TC フラグがクリアされます。

ビット 5 **TXFECF**：TXFIFO エンプティフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの TXFE フラグがクリアされます。

ビット 4 **IDLECF**：アイドルライン検出フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの IDLE フラグがクリアされます。

ビット 3 **ORECF**：オーバーランエラーフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの ORE フラグがクリアされます。

ビット 2 **NECF**：ノイズ検出フラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの NE フラグがクリアされます。

ビット 1 **FECF**：フレーミングエラーフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの FE フラグがクリアされます。

ビット 0 **PECF**：パリティエラーフラグクリア

このビットに 1 を書き込むと、USART_ISR レジスタの PE フラグがクリアされます。

33.8.12 USART レシーバデータレジスタ（USART_RDR）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **RDR[8:0]**：受信データ値

受信データキャラクタを含みます。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します（図 320 を参照）。

パリティを有効にして受信する場合、MSB ビットで読み出される値が受信したパリティビットです。

33.8.13 USART トランスミッタデータレジスタ（USART_TDR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **TDR[8:0]**：送信データ値

送信されるデータキャラクタを含みます。

USART_TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します（図 320 を参照）。

パリティを有効にして（USART_CR1 レジスタの PCE ビットに 1 をセット）送信しているとき、MSB（データ長に応じてビット 7 または 8）に書き込まれた値は、パリティによって置き換えられるため、無効です。

注： このレジスタは、TXE/TXFNF = 1 のときのみ書き込む必要あります。

33.8.14 USART プリスケーラレジスタ（USART_PRESC）

このレジスタは、USART が無効（UE = 0）のときのみ書き込むことができます。

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PRESCALER[3:0]**：クロックプリスケーラ

USART 入力クロックは、以下のようにプリスケーラ分周比によって分周できます。

0000：入力クロックは分周されません。
0001：入力クロックが 2 分周されます。
0010：入力クロックが 4 分周されます。
0011：入力クロックが 6 分周されます。
0100：入力クロックが 8 分周されます。
0101：入力クロックが 10 分周されます。
0110：入力クロックが 12 分周されます。
0111：入力クロックが 16 分周されます。
1000：入力クロックが 32 分周されます。
1001：入力クロックが 64 分周されます。
1010：入力クロックが 128 分周されます。
1011：入力クロックが 256 分周されます。
残りの組み合わせ：予約済みです。

注： PRESCALER が許容される値と異なる値でプログラムされたとき、プログラムされるプリスケーラ値は 1011 になります。すなわち、入力クロックは 256分周されます。

33.8.15 USART レジスタマップ

次の表に、USART のレジスタマップとリセット値を示します。

表 210. USART レジスタのマップとリセット値

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_CR1 FIFO は有効です。	RXFFIE	TXFEIE	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]					OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	USART_CR1 FIFO は無効です。	Res.	Res.	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]					OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	リセット値			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	USART_CR2	ADD[7:0]								RTOEN	ABRMOD[1:0]		ABREN	MSBFIRST	DATAINV	TXINV	RXINV	SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res.	LBDIE	LBDL	ADDM7	DIS_NSS	Res.	Res.	SLVEN
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0			0
0x08	USART_CR3	TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			TCBGTIE	TXFTIE	WUFIE	WUS[1:0]		SCAR CNT[2:0]			Res.	DEP	DEM	DDRE	OVRDIS	ONEBIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_GTPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GT[7:0]								PSC[7:0]							
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	USART_RTOR	BLEN[7:0]								RTO[23:0]																							
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	USART_RQR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	ABRRQ
	リセット値																												0	0	0	0	0
0x1C	USART_ISR FIFO モードが有効な場合	Res.	Res.	Res.	Res.	TXFT	RXFT	TCBGT	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
	リセット値					X	X	X	X	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0x1C	USART_ISR FIFO モードが無効の場合	Res.	Res.	Res.	Res.	Res.	Res.	TCBGT	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	リセット値							0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0x20	USART_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.	Res.	Res.	UDRCF	EOBCF	RTOCF	Res.	CTSCF	LBDCF	TCBGTCF	TCCF	TXFECF	IDLECF	ORECF	NECF	FECF	PECF
	リセット値												0			0				0	0	0		0	0	0	0	0	0	0	0	0	0
0x24	USART_RDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0
0x28	USART_TDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0

表 210. USART レジスタのマップとリセット値 （続き）

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x2C	USART_PRESC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
	リセット値																													0	0	0	0

レジスタ境界アドレスについては、セクション 2.2：メモリ構成を参照してください。

34 低電力ユニバーサル非同期レシーバトランスミッタ（LPUART）

このセクションでは、低電力ユニバーサル非同期レシーバトランスミッタ（LPUART）について説明します。

34.1 LPUART の概要

LPUART は、限られた消費電力で双方向 UART 通信が可能な UART です。わずか 32.768 kHz の LSE クロックで最大 9600 baud の UART 通信が可能です。LSE クロックとは別のクロックソースによって LPUART にクロック供給すると、さらに高いボーレートを達成できます。

デバイスが低消費電力モードのときでも、LPUART は UART フレームの着信を待つことができ、その間のエネルギー消費は非常に低くなっています。LPUART には、最小の消費電力で非同期シリアル通信を可能にするために必要なすべてのハードウェアサポートが含まれています。

半二重単線通信とモデム操作（CTS/RTS）をサポートします。

マルチプロセッサ通信もサポートします。

データの送受信に DMA（直接メモリアクセス）を使用できます。

34.2 LPUART の主な機能

- 全二重非同期通信
- NRZ 標準フォーマット（マーク／スペース）
- プログラム可能なボーレート
- 32.768 kHz クロックソースを使用して、300 baud から 9600 baud まで。
- より高い周波数のクロックソースを使用することにより、より高いボーレートを達成可能
- データを送信および受信する 2 つの内部 FIFO

  各 FIFO はソフトウェアで有効／無効にすることができ、FIFO の状態用のステータスフラグを装備
- PCLK から独立したペリフェラル専用のカーネルクロックによるデュアルクロックドメイン
- プログラム可能なデータワード長（7 または 8 または 9 ビット）
- データ順序をプログラム可能（MSB ファースト／LSB ファーストのシフト）
- 設定可能なストップビット（1 または 2 個のストップビット）
- 単線半二重通信
- DMA を使用した連続通信
- 送受信バイトは集中型 DMA を使用して予約済み SRAM にバッファ
- トランスミッタとレシーバ用に個別の有効ビット
- 送信と受信の信号極性を個別に制御
- スワップ可能な Tx/Rx ピン設定
- モデムと RS-485 トランシーバのハードウェアフロー制御
- 転送検出フラグ：
  - 受信バッファフル
  - 送信バッファエンプティ
  - ビジーおよび送信終了フラグ
- パリティ制御：
  - パリティビットの送信
  - 受信したデータバイトのパリティ検査
- 4 つのエラー検出フラグ：
  - オーバーランエラー
  - ノイズ検出
  - フレームエラー
  - パリティエラー
- フラグ付き割込みソース
- マルチプロセッサ通信：アイドルライン検出またはアドレスマーク検出によるミュートモードからのウェイクアップ

34.3 LPUART の実装

下の表に、LPUART の実装を示します。比較のため、表には USART も含めています。

表 211. USART/LPUART の機能

USART/LPUART のモード／機能(1)	USART1	LPUART1
モデムのハードウェアフロー制御	X	X
DMA を使用した連続通信	X	X
マルチプロセッサ通信	X	X
同期モード（マスタ／スレーブ）	X	-
スマートカードモード	X	-
単線半二重通信	X	X
Ir SIR ENDEC ブロック	X	-
LIN モード	X	-
デュアルクロックドメインと低消費電力モードからのウェイクアップ	X	X
レシーバタイムアウト割込み	X	-
Modbus 通信	X	-
自動ボーレート検出	X	-
ドライバイネーブル	X	X
USART データ長	7、8、および 9 ビット	
Tx/Rx FIFO	X	X
Tx/Rx FIFO サイズ	8	

1. X : サポートされています。

34.4 LPUART の機能詳細

34.4.1 LPUART ブロック図

図 347. LPUART ブロック図

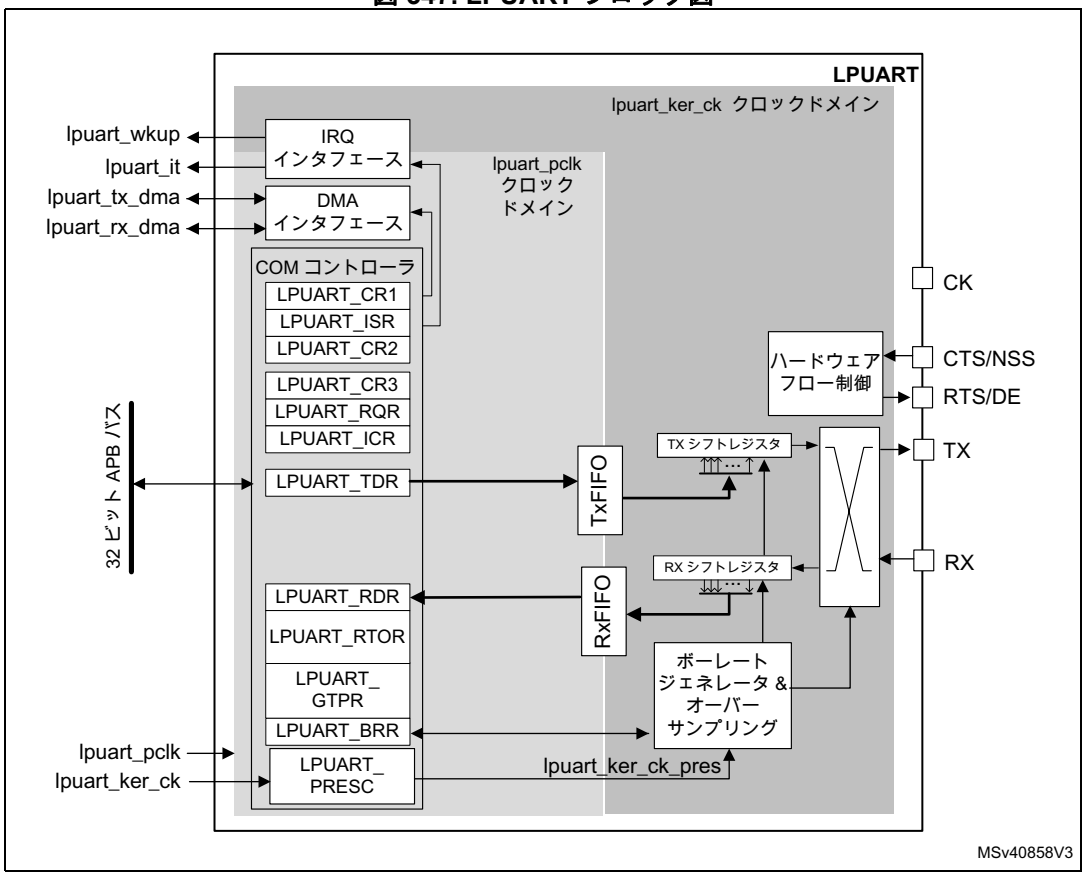


図 347 に示した簡易ブロック図には、以下の完全に独立した 2 つのクロックドメインが示されています。

- **lpuart_pclk** クロックドメイン

  lpuart_pclk クロック信号はペリフェラルバスインタフェースにクロック供給します。LPUART レジスタへアクセスが必要なとき、アクティブになっていなければなりません。

- **lpuart_ker_ck** カーネルクロックドメイン

  lpuart_ker_ck は LPUART クロックソースです。**lpuart_pclk** とは独立で、RCC によって供給されます。したがって、**lpuart_ker_ck** クロックが停止しているときでも、LPUART レジスタは読み書きできます。

  デュアルクロックドメイン機能が無効になっているときは、**lpuart_ker_ck** は lpuart_pclk クロックと同じになります。

lpuart_pclk と **lpuart_ker_ck** の間には何も制約はありません。**lpuart_ker_ck** は **lpuart_pclk** より速いことも遅いこともあり、十分に速く通信を管理できるソフトウェアの能力以外に制限はありません。

34.4.2 LPUART 信号

LPUART の双方向通信には、少なくとも 2 本のピンが必要です。すなわち、受信データ入力（RX）と送信データ出力（TX）です。

- **RX**（受信データ入力）
  RX はシリアルデータ入力です。
- **TX** （送信データ出力）
  トランスミッタが無効なときは、出力ピンは入出力ポート設定に戻ります。トランスミッタが有効で、送信すべきデータがないとき、TX ピンはハイレベルになります。単線モードでは、この I/O はデータの送受信に使用されます。

RS232 ハードウェアフロー制御モード

RS232 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **CTS**（Clear To Send）
  ハイレベルのとき、この信号は現在の転送の終わりにデータ送信をブロックします。
- **RTS**（Request To Send）
  ローレベルのとき、この信号は USART がデータを受信する準備ができたことを示します。

RS485 ハードウェアフロー制御モード

RS485 ハードウェアフロー制御モードでは、以下のピンが必要です。

- **DE**（Driver Enable）
  この信号は、外部トランシーバの送信モードを有効にします。

注： **DE と RTS は同じピンを共有します。**

34.4.3 LPUART キャラクタの説明

ワード長は、LPUART_CR1 レジスタの M ビット（M0：ビット 12 および M1：ビット 28）をプログラムすることによって、7、8、または 9 ビットに設定できます（図 321 を参照）。

- 7 ビットのキャラクタ長：M[1:0] = “10”
- 8 ビットのキャラクタ長：M[1:0] = “00”
- 9 ビットのキャラクタ長：M[1:0] = “01”

デフォルトでは、信号（TX または RX）はスタートビットの処理中ではロー状態です。また、ストップビットの処理中にはハイ状態です。

これらの値は、極性設定制御により、各信号について個別に反転できます。

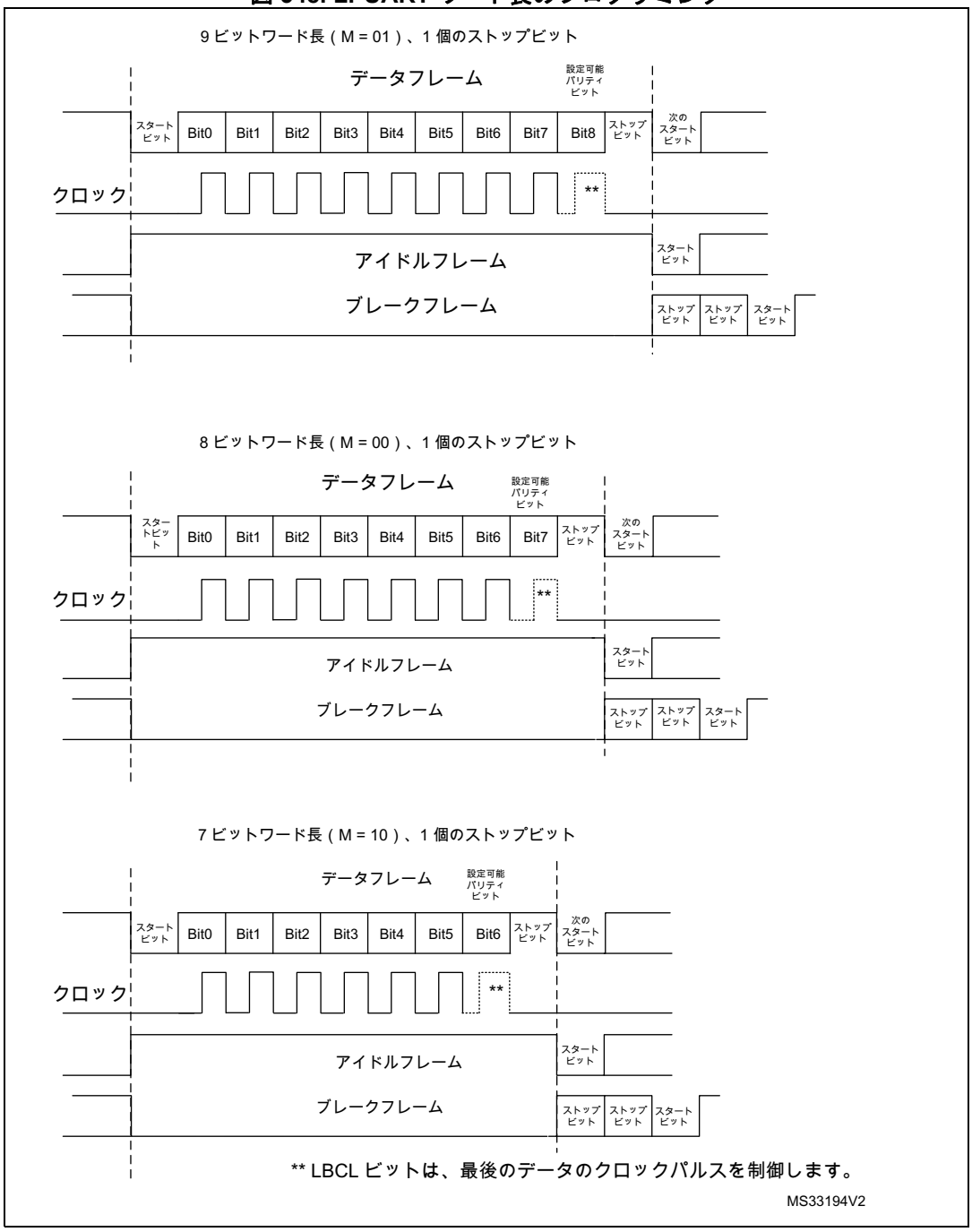
アイドルキャラクタは、すべてが「1」のフレームとして解釈されます（「1」の数にはストップビットの数が含まれます）。

ブレークキャラクタは、フレーム周期中に「0」を受信することと解釈されます。ブレークフレームの終了時、トランスミッタは 2 個のストップビットを挿入します。

送信と受信は共通ボーレートジェネレータによって駆動されます。送信および受信クロックは、トランスミッタとレシーバの有効ビットがそれぞれセットされたときに生成されます。

各ブロックの詳細を次に示します。

図 348. LPUART ワード長のプログラミング



34.4.4 LPUART の FIFO と閾値

LPUART は FIFO モードで動作できます。

LPUART は送信 FIFO（TXFIFO）と受信 FIFO（RXFIFO）を備えています。FIFO モードは、LPUART_CR1 レジスタの FIFOEN ビット（ビット 29）をセットすることによって有効になります。

最大のデータワード長が 9 ビットなので、TXFIFO は 9 ビット幅です。しかし、RXFIFO のデフォルト幅は 12 ビットです。この理由は、レシーバは FIFO にデータを格納するだけでなく、各キャラクタに伴うエラーフラグ（パリティエラー、ノイズエラー、およびフレーミングエラーフラグ）も格納するためです。

注： **受信データは、対応するフラグとともに RXFIFO に格納されます。ただし、RDR を読み出すときは、データのみが読み出されます。**

ステータスフラグは、LPUART_ISR レジスタで入手可能です。

Tx および RX 割込みがトリガされる TXFIFO および RXFIFO のレベルを定義することができます。これらの閾値は、LPUART_CR3 制御レジスタの RXFTCFG および TXFTCFG ビットフィールドによってプログラムされます。

このとき、

- RXFIFO に受信したデータの数が RXFTCFG ビットフィールドでプログラムされた閾値に達すると、LPUART_ISR レジスタの RXFT フラグがセットされ、対応する割込みが（有効になっている場合）生成されます。

  これは、RXFIFO 内のデータ数が、プログラムされた閾値と等しくなるまで RXFIFO が満たされることを意味します。

  RXFTCFG 分のデータが受信されると、1 データが LPUART_RDR にあり、(RXFTCFG - 1) データが RXFIFO に入っています。例として、RXFTCFG が“101”にプログラムされている場合、FIFO サイズに相当する量のデータが受信された時に、RXFT フラグがセットされます。つまり、FIFO サイズ - 1 のデータが RXFIFO に入り、1 データが LPUART_RDR に入っています。その結果、次に受信されるデータによってオーバーランフラグがセットされることはありません。
- TXFIFO の空き場所の数が TXFTCFG ビットフィールドでプログラムされた閾値に達すると、LPUART_ISR レジスタの TXFT フラグがセットされ、対応する割込みが（有効になっている場合）生成されます。

  これは、TXFIFO の空き場所の数が、プログラムされた閾値と等しくなるまで TXFIFO が空にされることを意味します。

34.4.5 LPUART トランスミッタ

トランスミッタは、M ビットのステータスに応じて、7 または 8 または 9 ビットのデータワードを送信できます。トランスミッタ機能を有効にするには、送信イネーブルビット（TE）をセットする必要があります。送信シフトレジスタ内のデータは、TX ピンで出力されます。

キャラクタ送信

LPUART 送信時、データはLSBファースト（デフォルト設定）で TX ピンにシフトアウトされます。このモードでは、LPUART_TDR レジスタは、内部バスと送信シフトレジスタの間のバッファ（TDR）で構成されます（図 347 を参照）。

FIFO モードが有効なとき、LPUART_TDR レジスタに書き込まれたデータは TXFIFO のキューに入ります。

各キャラクタの前には、スタートビット（1 ビット周期、ロー論理レベル）があります。キャラクタは、設定可能な数のストップビットで終端されます。

ストップビットの数は 1 または 2 にできます。

注： **送信データを LPUART_TDR に書き込む前に、TE ビットをセットする必要があります。**

データの送信中に TE ビットをリセットしないでください。送信中に TE ビットをリセットすると、ボーレートカウンタが停止されるため、TX ピンのデータが破壊されます。送信中の現在のデータは失われます。

TE ビットが有効になると、アイドルフレームが送信されます。

設定可能なストップビット

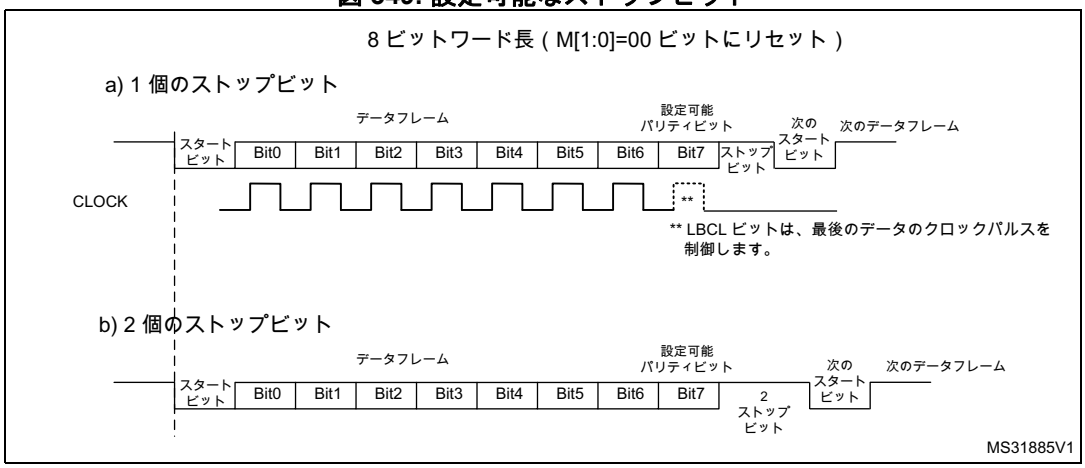
各キャラクタとともに送信されるストップビットの数は、LPUART_CR2（ビット 13、12）でプログラミングできます。

- **1 個のストップビット**：ストップビット数のデフォルト値です。
- **2 個のストップビット**：通常の LPUART モード、単線モード、およびモデムモードでサポートされます。

アイドルフレームの送信にはストップビットが含まれます。

ブレーク送信は、10個のロービット（M[1:0] = “00”のとき）または 11個のロービット（M[1:0] = “01”のとき）または 9個のロービット（M[1:0] = “10”のとき）の後に 2個のストップビットが続きます。長いブレーク（9/10/11 個のロービットを超える長さのブレーク）を送信することはできません。

図 349. 設定可能なストップビット



キャラクタ送信手順

キャラクタを送信するには、次の手順に従います。

1. LPUART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. LPUART_BRR レジスタを使用して、目的のボーレートを選択します。
3. LPUART_CR2 レジスタでストップビットの数をプログラミングします。
4. LPUART_CR1 レジスタの UE ビットに“1”を書き込んで、LPUART を有効にします。
5. マルチバッファ通信を行う場合は、LPUART_CR3 レジスタの DMA 有効（DMAT）を選択します。セクション 34.4.12 : DMA および LPUART を使用した連続通信の説明に基づいて、DMA レジスタを設定します。
6. LPUART_CR1 の TE ビットをセットして、最初の送信としてアイドルフレームを送信します。
7. 送信するデータを LPUART_TDR レジスタに書き込みますシングルバッファの場合、送信される各データにこの操作を繰り返します。
   – FIFO モードが無効になっている場合は、LPUART_TDR に 1 つのデータを書き込むと、TXE フラグがクリアされます。

– FIFO モードが有効になっている場合は、LPUART_TDR に 1 つのデータを書き込むと、1 つのデータが TXFIFO に追加されます。TXFNF フラグがセットされたとき、LPUART_TDR への書込み動作が行われます。このフラグは TXFIFO がフルになるまでセットされたままになります。

8. LPUART_TDR レジスタに最後のデータを書き込んだら、TC = 1 になるまで待ちます。これは、最後のフレームの送信が完了したことを示します。
   – FIFO モードが無効になっている場合、これは、最後のフレームの送信が完了したことを示します。
   – FIFO モードが有効になっている場合、これは、TXFIFO とシフトレジスタの両方が空になっていることを示します。

   このチェックは、LPUART が無効になったり、停止モードに入ったりするときに、最後の送信が壊れないようにするために必要です。

1 バイト通信

- FIFO モードが無効の場合

  送信データレジスタに書き込むと、必ず TXE ビットがクリアされます。TXE フラグがハードウェアによってセットされ、以下のことを示します。
  – データは LPUART_TDR レジスタからシフトレジスタへ移動され、データ送信が開始しています。
  – LPUART_TDR レジスタは空です。
  – 次のデータを、前のデータに上書きせずに、LPUART_TDR レジスタに書き込めます。

  TXEIE ビットがセットされている場合、TXE フラグは割込みを生成します。

  送信が行われているとき、LPUART_TDR レジスタへの書込み命令によってデータが TDR レジスタに格納され、さらに、現在の送信の最後にシフトレジスタにコピーされます。

  送信が行われていないときには、LPUART_TDR レジスタへの書込み命令によってデータがシフトレジスタに格納され、データ送信が開始され、TXE ビットがセットされます。

- FIFO モードが有効になっている場合は、以下を示すためにハードウェアによって TXFNF（TXFIFO はフルではない）フラグがセットされます。
  – TXFIFO はフルではありません。
  – LPUART_TDR レジスタは空です。
  – 次のデータを、前のデータに上書きせずに、LPUART_TDR レジスタに書き込めます。送信が行われているとき、LPUART_TDR レジスタへの書込み命令によってデータが TXFIFO に格納されます。現在の送信の最後にデータが TXFIFO からシフトレジスタにコピーされます。

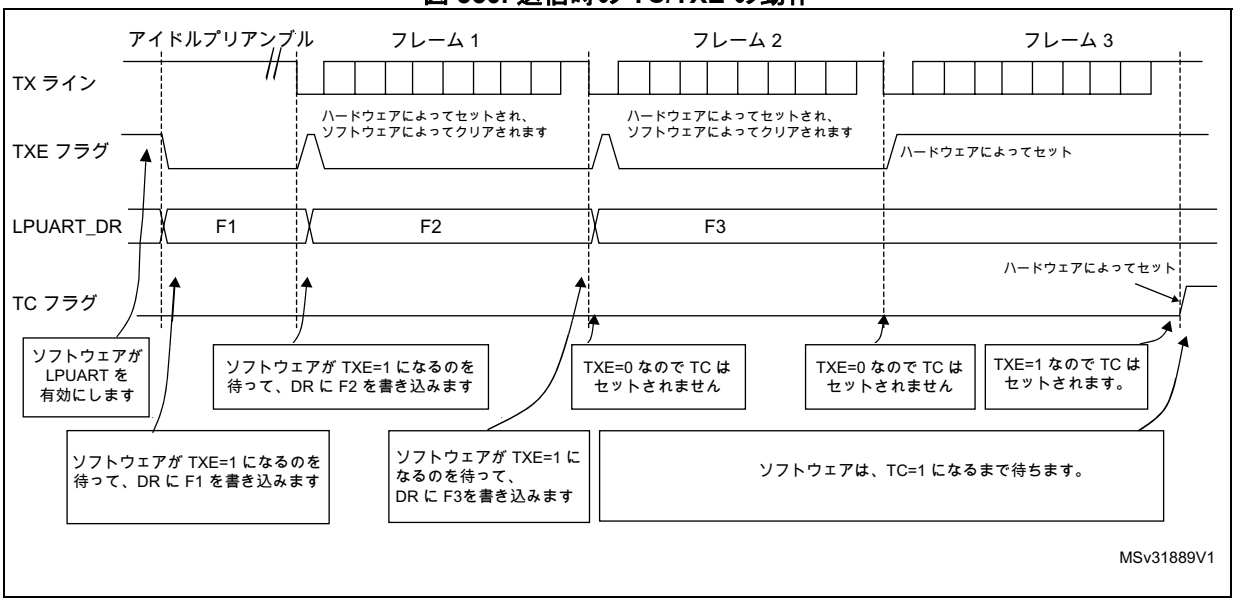
  TXFIFO がフルではない場合、LPUART_TDR レジスタへの書込み後も、TXFNF フラグは“1”のままに留まります。TXFIFO がフルになると、クリアされます。TXFNEIE ビットがセットされている場合、このフラグは割込みを生成します。

  あるいは、TXFIFO 閾値に達した時、割込みが生成され、データを TXFIFO に書き込むことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを書き込むことができます。

  フレームが送信され（ストップビットの後）、TXE フラグ（FIFO モードの場合は TXFE）がセットされると、TC ビットはハイレベルになります。LPUART_CR1 レジスタの TCIE ビットがセットされると、割込みが生成されます。

  LPUART_TDR レジスタに最後のデータを書き込んだ後は、LPUART を無効にしたり、デバイスを低消費電力モードにする前に TC = 1 になるまで待つ必要があります（図 350：送信時の TC/TXE の動作を参照）。

図 350. 送信時の TC/TXE の動作



注： **FIFO 管理が有効になっているときは、TXFNF フラグがデータ送信のために使用されます。**

ブレークキャラクタ

SBKRQ ビットをセットすると、ブレークキャラクタが送信されます。ブレークフレーム長は、M ビットに依存します（図 348 を参照）。

SBKRQ ビットに 1 が書き込まれた場合、現在のキャラクタ送信の完了後、TX ラインにブレークキャラクタが送信されます。SBKF ビットは書込み操作によってセットされ、ブレークキャラクタが完了すると（ブレークキャラクタの後のストップビット時に）ハードウェアによってリセットされます。LPUART は、次のフレームのスタートビットの認識を保証するために、ブレークフレームの終わりに 2 ビットの長さの間、ロジック 1 信号（STOP）を挿入します。

SBKRQ ビットがセットされると、現在のキャラクタ送信の最後に、ブレークキャラクタが送信されます。

FIFO モードが有効になっている場合、TXFIFO がフルになっていても、ブレークキャラクタの送信はデータ送信より優先されます。

アイドルキャラクタ

TE ビットをセットすると、LPUART は、最初のデータフレームの前にアイドルフレームを送信します。

34.4.6 LPUART レシーバ

LPUART は、LPUART_CR1 レジスタの M ビットに応じて、7 または 8 または 9 ビットのデータワードを受信できます。

スタートビット検出

LPUART では、立ち下がりエッジが Rx ラインで発生したときスタートビットが検出され、その後、スタートビットの中央でサンプルが採取され、まだ“0”であることが確認されます。スタートサンプルが“1”であった場合、ノイズエラーフラグ（NE）がセットされ、スタートビットが破棄され、レシーバは新しいスタートビットを待ちます。そうでない場合、レシーバは通常通り、着信するすべてのビットのサンプリングを続けます。

キャラクタの受信

LPUART の受信時には、データは RX ピンを通じて LSB ファースト（デフォルト設定）でシフトインされます。このモードでは、LPUART_RDR レジスタは、内部バスと受信シフトレジスタの間のバッファ（RDR）で構成されます。

キャラクタ受信手順

キャラクタを受信するには、次の手順に従います。

1. LPUART_CR1 の M ビットをプログラムして、ワード長を定義します。
2. ボーレートレジスタ LPUART_BRR を使用して、目的のボーレートを選択します。
3. LPUART_CR2 レジスタでストップビットの数をプログラミングします。
4. LPUART_CR1 レジスタの UE ビットに“1”を書き込んで、LPUART を有効にします。
5. マルチバッファ通信を行う場合には、LPUART_CR3 レジスタの DMA 有効（DMAR）を選択します。セクション 34.4.12 : DMA および LPUART を使用した連続通信の説明に基づいて、DMA レジスタを設定します。
6. LPUART_CR1 レジスタの RE ビットをセットします。これによってレシーバが有効になり、スタートビットの検索を開始します。

キャラクタが受信されると、

- FIFO モードが無効な場合は、RXNE ビットがセットされます。これは、シフトレジスタの内容が RDR レジスタに転送されたことを示します。言い換えると、データは受信され、読出し可能です（関連するエラーフラグも同様です）。
- FIFO モードが有効な場合、RXFIFO が空ではないことを示す RXFNE ビットがセットされます。LPUART_RDR を読み出すと、RXFIFO に入力された最も古いデータが返されます。データが受信されると、対応するエラービットとともに RXFIFO に格納されます。
- RXNEIE（FIFO モードの場合は RXFNEIE）ビットがセットされていた場合、割込みが生成されます。
- 受信中にフレームエラー、ノイズまたはオーバーランエラーが検出された場合、エラーフラグをセットできます。
- マルチバッファ通信モードでは、
  - FIFO モードが無効のとき、RXNE フラグはバイト受信ごとにセットされ、受信データレジスタの DMA 読出しによってクリアされます。
  - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。DMA リクエストのたびに、RXFIFO から 1 データが取り出されます。DMA リクエストは、RXFIFO が空ではないとき、すなわち、RXFIFO から読み出されるべきデータがあるときに、トリガされます。
- シングルバッファモードでは、
  - FIFO モードが無効の場合、RXNE フラグのクリアは、ソフトウェアによる LPUART_RDR レジスタからの読出しによって行われます。RXNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。オーバーランエラーを避けるには、次のキャラクタの受信が終了する前に、RXNE ビットをクリアする必要があります。
  - FIFO モードが有効な場合は、RXFIFO が空ではないときに RXFNE フラグがセットされます。LPUART_RDR レジスタからの読出し動作のたびに、RXFIFO から 1 つのデータが取り出されます。RXFIFO が空になると、RXFNE フラグがクリアされます。RXFNE フラグは、LPUART_RQR レジスタの RXFRQ ビットに 1 を書き込むことによってもクリアすることもできます。RXFIFO がフルのとき、オーバーランエラーを避けるため、次のキャラクタの受信が終了する前に、RXFIFO 内の最初のエントリを読み出す必要があります。RXFNEIE ビットがセットされている場合、RXFNE フラグは割込みを生成します。あるい

は、RXFIFO 閾値に達した時、割込みが生成され、データを RXFIFO から読み出すことができます。この場合、CPU は、プログラムされた閾値によって定義されたデータのブロックを読み出すことができます。

ブレークキャラクタ

ブレークキャラクタを受信すると、LPUART はブレークキャラクタをフレーミングエラーとして処理します。

アイドルキャラクタ

アイドルフレームが検出された場合、データキャラクタ受信と同じように処理されますが、違いは、IDLEIE ビットがセットされている場合に割込みが生成されることです。

オーバーランエラー

- FIFO モードが無効の場合

  RXNE ビットがリセットされていないときにキャラクタを受信すると、オーバーランエラーが発生します。

  RXNE ビットがクリアされない限り、データをシフトレジスタから RDR レジスタに転送することはできません。RXNE フラグは、バイトを受信するたびにセットされます。

  次のデータを受信したときに RXNE フラグがセットされていた場合、または前回の DMA リクエストがまだ処理されていない場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

  – ORE ビットがセットされます。
  – RDR の内容は失われません。LPUART_RDR の読出しが行われると、前のデータが使用できます。
  – シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
  – RXNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

- FIFO モードが有効な場合

  受信 FIFO がフルのときにシフトレジスタが転送される準備ができると、オーバーランエラーが発生します。

  RXFIFO に 1 つの空き場所ができるまで、データをシフトレジスタから LPUART_RDR レジスタに転送することはできません。RXFIFO が空でないとき、RXFNE フラグがセットされます。

  RXFIFO がフルで、シフトレジスタが転送される準備ができている場合、オーバーランエラーが発生します。オーバーランエラーが発生すると、

  – ORE ビットがセットされます。
  – RXFIFO の最初のエントリは失われません。LPUART_RDR の読出しを行うと、そのデータが入手できます。
  – シフトレジスタは上書きされます。その後、オーバーラン中に受信されたデータは失われます。
  – RXFNEIE ビットまたは EIE ビットがセットされている場合、割込みが生成されます。

ORE ビットは、ICR レジスタの ORECF ビットをセットすることによってリセットされます。

注： *ORE ビットがセットされた場合、少なくとも 1 個のデータが失われています。*

FIFO モードが無効になっているとき、2 つの可能性があります。

- **RXNE = 1 の場合、有効な最後のデータは、受信レジスタ RDR に格納され、読出しが可能です。**
- **RXNE = 0 の場合、最後の有効なデータはすでに読み出されたので、RDR には読み出すべきものが残ってないことを意味します。このケースは、有効な最後のデータが RDR で読み出されると同時に新しい（そして失われた）データが受信されると発生します。**

クロックソースの選択

クロックソースの選択は、クロック制御システムを通じて行われます（リセットおよびクロック制御（RCC）のセクションを参照）。クロックソースは、UE ビットのセットによって LPUART を有効にする前に選ぶ必要があります。

クロックソースは、次の 2 つの基準に従って選択する必要があります。

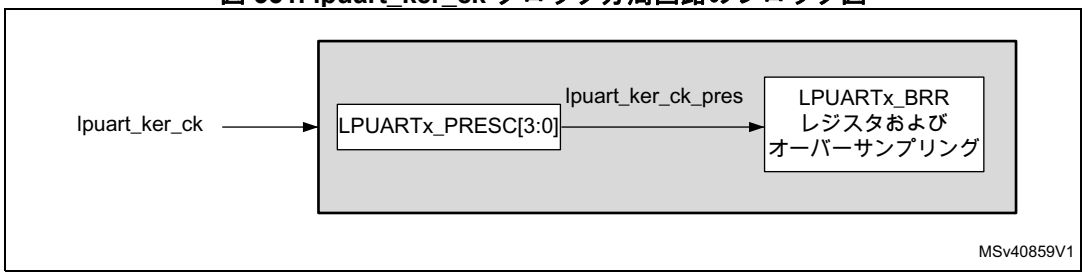
- LPUART を低消費電力モードで使用できること
- 通信速度

クロックソース周波数は、lpuart_ker_ck です。

デュアルクロックドメインと低消費電力モードからのウェイクアップ機能がサポートされるときには、lpuart_ker_ck クロックソースは RCC で設定できます（リセットおよびクロック制御（RCC）のセクションを参照）。そうしない場合、lpuart_ker_ck クロックは lpuart_pclk と同じになります。

lpuart_ker_ck クロックは、LPUART_PRESC レジスタのプログラム可能な係数によって分周できます。

図 351. lpuart_ker_ck クロック分周回路のブロック図



lpuart_ker_ck ソースによっては、LPUART は MCU が低消費電力モードのときにデータを受信することができます。受信データとウェイクアップモードの選択に応じて、LPUART は必要なときに MCU をウェイクアップして、ソフトウェアが LPUART_RDR レジスタを読み出すことによって、または DMA によって受信データを転送します。

他のクロックソースの場合、LPUART 通信を可能にするためには、システムをアクティブにする必要があります。

通信速度の範囲（特に最大通信速度）もクロックソースによって決まります。

レシーバは各着信ビットをビット周期のできるだけ中央でサンプリングします。各着信ビットについて 1 つのサンプルだけが採取されます。

注： **データのノイズ検出は行われません。**

フレーミングエラー

非同期化または過剰なノイズのため、受信時に予想されたタイミングでストップビットが認識されない場合、フレーミングエラーが検出されます。

フレーミングエラーが検出された場合：

- FE ビットがハードウェアによってセットされます。
- 無効なデータがシフトレジスタから LPUART_RDR レジスタへ転送されます。
- 1 バイト通信の場合、割込みは生成されません。ただし、このビットは、割込みを生成する RXNE ビットと同時に立ち上がります。マルチバッファ通信の場合、LPUART_CR3 レジスタの EIE ビットがセットされている場合に割込みが発行されます。

FE ビットは、LPUART_ICR レジスタの FECF に 1 を書き込むことによってリセットされます。

受信時の設定可能なストップビット

受信するストップビット数は、LPUART_CR2 の制御ビットを通じて設定でき、通常モードでは 1 または 2 にできます。

- **1 個のストップビット**：ストップビット 1 個のサンプリングは、8 番目、9 番目、および 10 番目のサンプルで行われます。
- **2 個のストップビット**：2 個のストップビットのサンプリングは、2 番目のストップビットの中央で行われます。RXNE および FE フラグは、このサンプルの直後、すなわち 2 番目のストップビット中にセットされます。最初のストップビットでは、フレーミングエラーの検査は行われません。

34.4.7 LPUART ボーレート生成

レシーバとトランスミッタ（Rx と Tx）のボーレートは、LPUART_BRR レジスタでプログラムされた値に設定されます。

$$\text{Tx/Rx ボー} = \frac{256 \times \text{lpuartckpres}}{\text{LPUARTDIV}}$$

LPUARTDIV は、LPUART_BRR レジスタで定義されます。

注： **ボーカウンタは、LPUART_BRR への書込み操作後、ボーレジスタの新しい値によって更新されます。したがって、通信中はボーレートレジスタの値を変更しないでください。**

LPUART_BRR レジスタに 0x300 未満の値を書き込むことは禁じられています。

f_{CK} は、3 x ボーレートから 4096 x ボーレートの範囲内でなければなりません。

LPUART クロックソースが LSE の場合に達成できる最大ボーレートは、9600 ボーです。LSE クロックとは別のクロックソースによって LPUART にクロック供給すると、さらに高いボーレートを達成できます。たとえば、LPUART クロックソース周波数が 100 MHz の場合、達成できる最大ボーレートは約 33 M ボーです。

表 212. lpuart_ker_ck_pres = 32.768 kHz でプログラムされたボーレートのエラー計算

ボーレート		Lpuart_ker_ck_pres = 32.768 kHz		
S.No	目標	実際	ボーレートレジスタに プログラミングされている値	誤差(%) =（計算値 - 目標値） B レート / 目標の B レート
1	300 ボー	300 ボー	0x6D3A	0
2	600 ボー	600 ボー	0x369D	0
3	1200 ボー	1200.087 ボー	0x1B4E	0.007
4	2400 ボー	2400.17 ボー	0xDA7	0.007
5	4800 ボー	4801.72 ボー	0x6D3	0.035
6	9600 ボー	9608.94 ボー	0x369	0.093

表 213. f_{CK} = 100 MHz でプログラムされたボーレートのエラー計算

ボーレート		f_{CK} = 100 MHz		
S.No	目標	実際	ボーレートレジスタに プログラミングされている値	誤差(%) =（計算値 - 目標値） B レート / 目標の B レート
1	38400 ボー	38400.04 ボー	A2C2A	0.0001
2	57600 ボー	57600.06 ボー	6C81C	0.0001
3	115200 ボー	115200.12 ボー	3640E	0.0001
4	230400 ボー	230400.23 ボー	1B207	0.0001
5	460800 ボー	460804.61 ボー	D903	0,001
6	921600 ボー	921625.81 ボー	6C81	0.0028
7	4000 K ボー	4000000.00 ボー	1900	0
8	10000 K ボー	10000000.00 ボー	A00	0
9	20000 K ボー	20000000.00 ボー	500	0
10	33000 K ボー	33032258.06 ボー	307	0.1

34.4.8 クロック偏差に対する LPUART レシーバの許容誤差

LPUART の非同期レシーバは、クロックシステムの合計偏差が LPUART レシーバの許容誤差未満の場合のみ、正しく動作します。合計偏差の要因は、次のとおりです。

- DTRA：トランスミッタの誤差に起因する偏差（トランスミッタのローカルオシレータの偏差も含みます）
- DQUANT：レシーバのボーレート量子化に起因する誤差
- DREC：レシーバローカルオシレータの偏差
- DTCL：送信ラインに起因する偏差（一般には、ローからハイへの遷移タイミングとハイからローへの遷移タイミングの間に非対称性をもたらす可能性のあるトランシーバに起因）

$$DTRA + DQUANT + DREC + DTCL + DWU < \text{LPUART レシーバの許容誤差}$$

ここで、

DWU は、低消費電力モードからのウェイクアップが使用されたときのサンプリングポイントの偏差によるエラーです。

LPUART レシーバは、表 214 で指定された最大許容偏差まで、データを正しく受信できます。

- LPUART_CR2 レジスタの STOP[1:0] ビットによって定義されたストップビットの数
- LPUART_BRR レジスタの値

表 214. LPUART レシーバの許容誤差

M ビット	768 < BRR < 1024	1024 < BRR < 2048	2048 < BRR < 4096	4096 ≤ BRR
8 ビット（M=00’）、ストップビット 1 個	1.82%	2.56%	3.90%	4.42%
9 ビット（M=01’）、ストップビット 1 個	1.69%	2.33%	2.53%	4.14%
7 ビット（M=’10’）、ストップビット 1 個	2.08%	2.86%	4.35%	4.42%
8 ビット（M=00’）、ストップビット 2 個	2.08%	2.86%	4.35%	4.42%
9 ビット（M=01’）、ストップビット 2 個	1.82%	2.56%	3.90%	4.42%
7 ビット（M=’10’）、ストップビット 2 個	2.34%	3.23%	4.92%	4.42%

注： **表 214 で指定されたデータは、M ビット = “00”のとき、受信フレームに正確に 10 ビット時間のアイドルフレームが含まれる特殊なケースで、若干異なることがあります（M ビット = “01”のときには 11 ビット時間、または M ビット = “10”のときには 9 ビット時間）。**

34.4.9 LPUART マルチプロセッサ通信

LPUART のマルチプロセッサ通信が可能です（ネットワーク内で複数の LPUART を接続して）。たとえば、1 つの LPUART をマスタとして、その TX 出力を別の LPUART の RX 入力に接続することができます。別の LPUART はスレーブであり、それぞれの TX 出力の論理積をとった上でマスタの RX 入力に接続します。

マルチプロセッサ設定では、多くの場合、メッセージの本来の受信者のみがメッセージ内容の全体を能動的に受信することが望ましく、これによって対象外の受信者に対する LPUART サービスの余分なオーバーヘッドを減らすことができます。

対象外のデバイスは、ミュート機能によってミュートモードにできます。ミュートモード機能を使用するためには、LPUART_CR1 レジスタの MME ビットをセットする必要があります。

注：**FIFO マネージメントが有効になっていて MME がすでにセットされている場合は、MME ビットはクリアしてはなりません。クリアした場合はすぐに（2 lpuart_ker_ck サイクル以内に）再セットしてください。そうしないとミュートモードはアクティブのままになることがあります。**

ミュートモードが有効な場合、

- 受信ステータスビットはセットできません。
- 受信割込みはすべて禁止されます。
- LPUART_ISR レジスタの RWU ビットは“1”にセットされます。特定の条件下では、LPUART_RQR レジスタの MMRQ ビットを通じて、RWU をハードウェアまたはソフトウェアによって自動的に制御できます。

LPUART は、LPUART_CR1 レジスタの WAKE ビットの設定に応じて、次のいずれかの方法でミュートモードに入ったり終了したりできます。

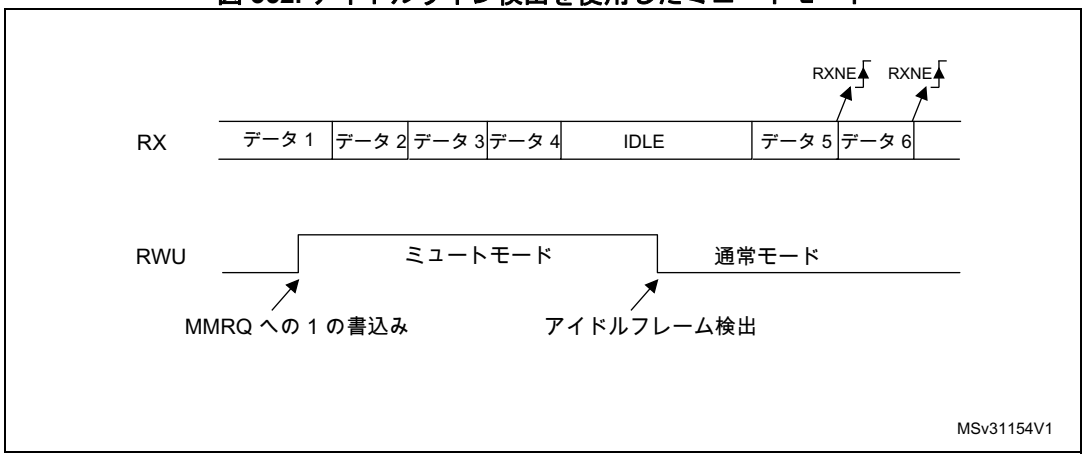
- WAKE ビットがリセットされている場合は、アイドルライン検出
- WAKE ビットがセットされている場合は、アドレスマーク検出

アイドルライン検出（WAKE = 0）

MMRQ ビットに 1 が書き込まれ、RWU が自動的にセットされたときには、LPUART はミュートモードに入ります。

LPUART は、アイドルフレームを検出するとウェイクアップします。その後、RWU ビットはハードウェアによってクリアされますが、LPUART_ISR レジスタの IDLE ビットはセットされません。アイドルライン検出を使用したミュートモードの動作例を 図 352 に示します。

図 352. アイドルライン検出を使用したミュートモード



注：**IDLE キャラクタがすでに経過しているときに MMRQ がセットされた場合は、ミュートモードに入りません（RWU はセットされません）。**

ラインが IDLE のときに LPUART が有効にされた場合、1 IDLE フレーム後にアイドル状態が検出されます（1 キャラクタフレームの受信後だけでなく）。

4 ビット／7 ビットアドレスマーク検出（WAKE = 1）

このモードでは、MSB が 1 の場合、バイトはアドレスとして認識され、そうでない場合はデータとみなされます。アドレスバイトのうち、ターゲットレシーバのアドレスは 4 または 7 LSB です。7 または 4 ビットアドレス検出の選択は、ADDM7 ビットを使用して行われます。この 4 ビット／7 ビットワードは、レシーバによって、LPUART_CR2 レジスタの ADD ビットでプログラムされたレシーバの自己アドレスと比較されます。

注： **7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス（ADD[5:0] および ADD[7:0]）で行われます。**

プログラミングされたアドレスと一致しないアドレスキャラクタを受信すると、LPUART はミュートモードに入ります。この場合、RWU ビットはハードウェアによってセットされます。LPUART がミュートモードに入ったときには、このアドレスバイトに対して RXNE フラグはセットされず、割込みも DMA リクエストも発行されません。

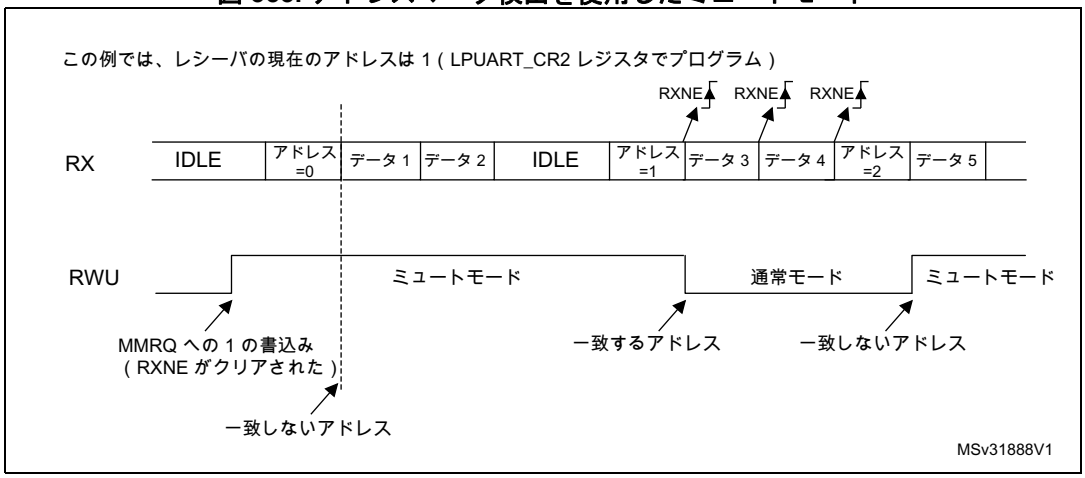
MMRQ ビットに“1”が書き込まれたときにも、LPUART はミュートモードに入ります。この場合、RWU ビットも自動的にセットされます。

プログラムされたアドレスに一致するアドレスキャラクタを受信すると、LPUART はミュートモードを終了します。続いて RWU ビットがクリアされ、それ以降のバイトは通常どおりに受信されます。RWU ビットはクリアされているので、アドレスキャラクタに対して RXNE/RXFNE ビットがセットされます。

注： **FIFO 管理が有効になっている場合、レシーバがデータの最後のビットをサンプリングしている間に MMRQ ビットがセットされると、ミュートモードに実際に移行する前にこのデータが受信されることがあります。**

アドレスマーク検出を使用したミュートモードの動作例を 図 353 に示します。

図 353. アドレスマーク検出を使用したミュートモード



34.4.10 LPUART パリティ制御

パリティ制御（送信中のパリティビット生成と受信中のパリティチェック）を有効にするには、LPUART_CR1 レジスタの PCE ビットをセットします。M ビットによって定義されたフレーム長に応じて、可能な LPUART フレームフォーマットを表 215 に示します。

表 215. LPUART フレームのフォーマット

M ビット	PCE ビット	LPUART フレーム(1)
00	0	| SB | 8 ビットデータ | STB |
00	1	| SB | 7 ビットデータ | PB | STB |
01	0	| SB | 9 ビットデータ | STB |
01	1	| SB | 8 ビットデータ | PB | STB |
10	0	| SB | 7 ビットデータ | STB |
10	1	| SB | 6 ビットデータ | PB | STB |

1. 凡例：SB：スタートビット、STB：ストップビット、PB：パリティビット。
2. データレジスタでは、PB は常に MSB 位置を取ります（M ビットの値に応じて、8 または 7 番目）。

偶数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットで構成されるフレーム内で「1」の数が偶数になるように計算されます。

たとえば、データが 00110101 に等しく、4 ビットがセットされた場合、偶数パリティが選択された場合（LPUART_CR1 の PS ビット = 0）、パリティビットは 0 になります。

奇数パリティ

パリティビットは、6、7、または 8 LSB ビット（M ビットの値に応じて）とパリティビットで構成されるフレーム内で「1」の数が奇数になるように計算されます。

たとえば、データが 00110101 に等しく、4 ビットがセットされた場合、奇数パリティが選択された場合（LPUART_CR1 の PS ビット = 1）、パリティビットは 1 になります。

受信中のパリティチェック

パリティチェックに失敗した場合、LPUART_ISR レジスタの PE フラグがセットされ、LPUART_CR1 レジスタの PEIE ビットがセットされている場合は割込みが生成されます。PE フラグは、LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによりクリアされます。

送信中のパリティ生成

LPUART_CR1 の PCE ビットがセットされている場合、データレジスタに書き込まれたデータの MSB ビットは送信されますが、パリティビットによって変更されます（偶数パリティが選択された場合（PS = 0）は偶数個の「1」、奇数パリティが選択された場合（PS = 1）は奇数個の「1」）。

34.4.11 LPUART 単線半二重通信

単線半二重モードを選択するには、LPUART_CR3 レジスタの HDSEL ビットをセットします。このモードでは、次のビットをクリアされた状態に保つ必要があります。

- LPUART_CR2 レジスタの LINEN および CLKEN ビット
- LPUART_CR3 レジスタの SCEN および IREN ビット

LPUART は、単線半二重のプロトコルに従うように設定できます。この場合、TX ラインと RX ラインは内部接続されます。半二重通信と全二重通信の選択は、LPUART_CR3 レジスタの制御ビット HDSEL で行います。

HDSEL ビットに“1”が書き込まれると、

- TX ラインと RX ラインが内部接続されます。
- RX ピンは使用されなくなります。
- データが送信されないときには、TX ピンは常に解放されます。したがって、アイドル時や受信時には標準入出力として機能します。つまり、TX が外部プルアップ付きの代替機能オープンドレインとして設定されるように、I/O を設定する必要があります。

この点を除くと、通信プロトコルは通常の LPUART モードと同じです。ラインの競合はソフトウェアによって管理する必要があります（たとえば、集中型アービタを使用して）。特に、送信がハードウェアによってブロックされることはなく、TE ビットがセットされている間は、データレジスタにデータが書き込まれるとすぐに、送信が続行されます。

注： **LPUART 通信では、1 個のストップビット設定の場合、ストップビットの中央で RXNE フラグがセットされます。**

34.4.12 DMA および LPUART を使用した連続通信

LPUART は、DMA を使用して連続通信を行うことができます。Rx バッファと Tx バッファに対する DMA リクエストは、それぞれ独立して生成できます。

注： **DMA モードがサポートされるかどうかについては、セクション 33.4 : 1039 ページのUSART の実装を参照してください。DMA がサポートされない場合は、セクション 33.5.6 の説明に従って LPUSRT を使用してください。連続通信を行うには。FIFO が無効のとき、LPUART_ISR レジスタの TXE/RXNE フラグをクリアします。**

DMA を使用した送信

DMA モードでの送信を有効にするには、LPUART_CR3 レジスタの DMAT ビットをセットします。データは、TXE フラグ（FIFO モードが有効な場合は TXFNF フラグ）がセットされると、DMA ペリフェラル（対応する「ダイレクトメモリアクセスコントローラ」セクションを参照）を使用して設定された SRAM 領域から LPUART_TDR レジスタにロードされます。DMA チャネルを LPUART 送信用に割り付けるには、次の手順を実行します（x はチャネル番号を示します）

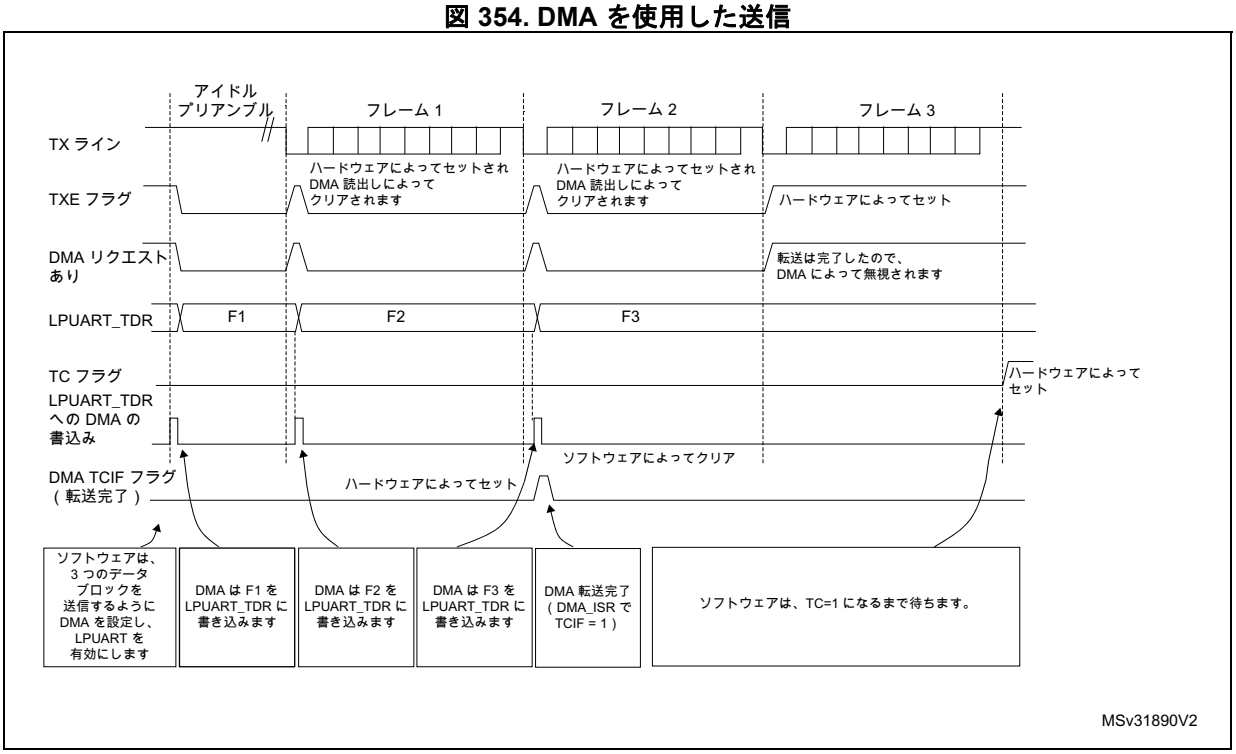
1. DMA 制御レジスタに LPUART_TDR レジスタのアドレスを書き込み、これを転送先として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、メモリからこのアドレスに移動されます。
2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送元として設定します。データは、各 TXE（または FIFO モードが有効な場合は TXFNF）イベント後に、このメモリ領域から LPUART_TDR レジスタにロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の DMA 割込み生成を設定します。

6. LPUART_ICR レジスタの TCCF ビットをセットすることによって、LPUART_ISR レジスタの TC フラグをクリアします。
7. DMA レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。

送信モードでは、送信すべきすべてのデータを DMA が書き込むと（DMA_ISR レジスタの TCIF フラグがセットされます）、TC フラグを観察して LPUART 通信の完了を確認することができます。これは、LPUART を無効にしたり 低消費電力モードに入ったりする前に、最後の送信が壊れないようにするために必要です。ソフトウェアは、TC = 1 になるまで待つ必要があります。TC フラグは、すべてのデータ転送中、クリアされたままであり、最後のフレームの送信終了時にハードウェアによってセットされます。

図 354. DMA を使用した送信



注： FIFO 管理が有効になっているときは、DMA リクエストは、送信 FIFO ノットフル（すなわち、TXFNF = 1）によってトリガされます。

DMA を使用した受信

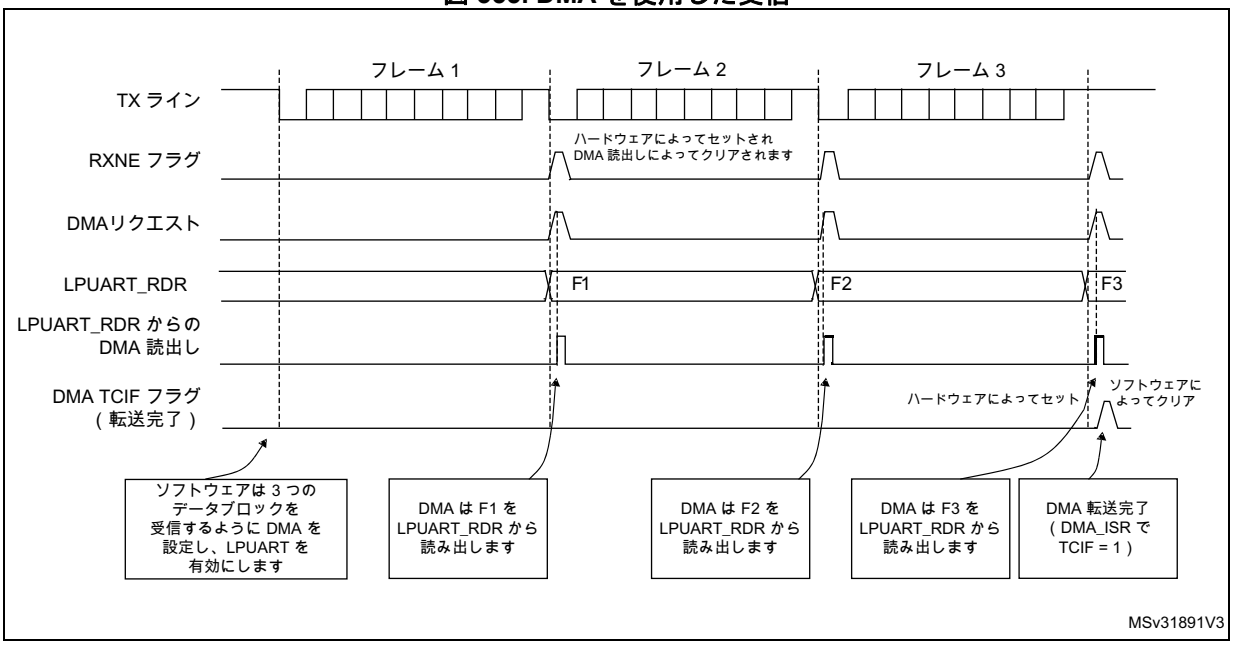
DMA モードでの受信を有効にするには、LPUART_CR3 レジスタの DMAR ビットをセットします。データバイトが受信されるたびに、データは、LPUART_RDR レジスタから DMA ペリフェラル（対応するダイレクトメモリアクセスコントローラ（DMA）のセクションを参照）を使用して設定された SRAM 領域にロードされます。DMA チャネルを LPUART 受信用に割り付けるには、次の手順を実行します。

1. DMA 制御レジスタに LPUART_RDR レジスタのアドレスを書き込み、これを転送元として設定します。データは、各 RXNE（FIFO モードが有効な場合は RXFNE）イベント後に、このアドレスからメモリに移動されます。

2. DMA 制御レジスタにメモリアドレスを書き込み、これを転送先として設定します。データは、各 RXNE（FIFO モードが有効な場合は RXFNE）イベント後に、LPUART_RDR からこのメモリ領域にロードされます。
3. 転送すべきバイト総数を DMA 制御レジスタに設定します。
4. チャネル優先順位を DMA 制御レジスタで設定します。
5. アプリケーションで必要とされる 1/2 転送終了、転送完了後の割込み生成を設定します。
6. DMA 制御レジスタのチャネルを有効にします。

DMA コントローラにプログラミングされたデータ転送数に達すると、DMA コントローラは、DMA チャネルの割込みベクタに基づいて割込みを生成します。

図 355. DMA を使用した受信



注： **FIFO 管理が有効になっているときは、DMA リクエストは、受信 FIFO ノットエンプティ（すなわち、RXFNE = 1）によってトリガされます。**

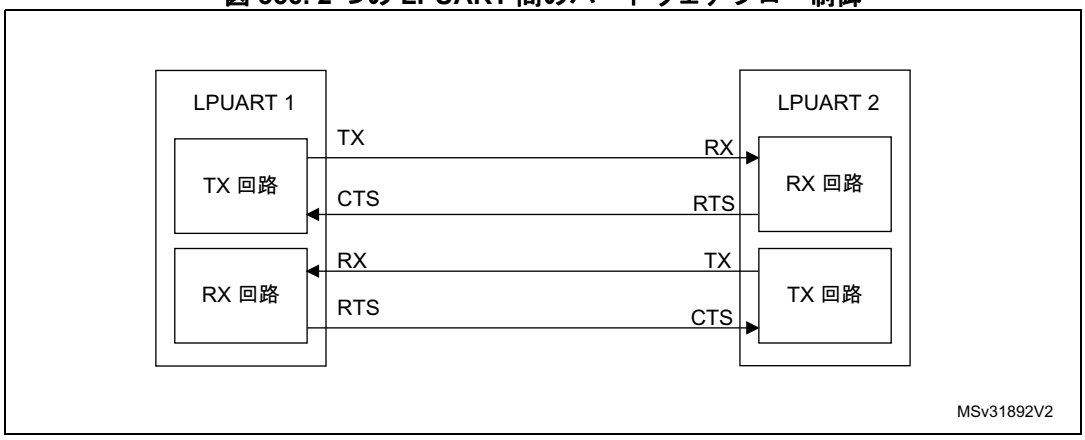
マルチバッファ通信における割込み生成とエラーフラグ

マルチバッファ通信モードでトランザクション中にエラーが発生した場合、現在のバイトの後でエラーフラグがアサートされます。割込み有効フラグがセットされている場合、割込みが生成されます。1 バイト受信において RXNE（FIFO モードが有効な場合は RXFNE）とともにアサートされるフレーミングエラー、オーバーランエラー、およびノイズフラグに関しては、別のエラーフラグ割込み有効ビット（LPUART_CR3 レジスタの EIE ビット）があり、これがセットされている場合、いずれかのエラーが発生すると、現在のバイトの後で割込みが有効になります。

34.4.13 RS232 ハードウェアフロー制御および RS485 ドライバ有効

CTS 入力と RTS 出力を使用すると、2 つのデバイス間でシリアルデータフローを制御できます。図 342 に、このモードで 2 つのデバイスを接続する方法を示します。

図 356. 2 つの LPUART 間のハードウェアフロー制御

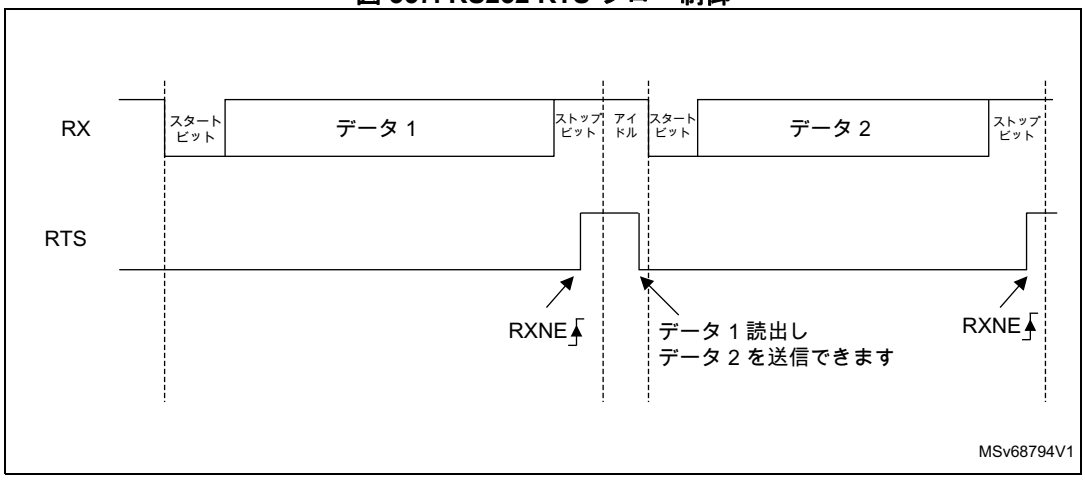


RS232 RTS と CTS のフロー制御は、LPUART_CR3 レジスタの RTSE ビットと CTSE ビットにそれぞれ 1 を書き込むことによって、個別に有効にできます。

RS232 RTS フロー制御

RTS フロー制御が有効な場合（RTSE = 1）、LPUART レシーバが新しいデータを受信可能である限り、RTS がネゲートされます（ローレベル接続）。受信レジスタがフルになると RTS がアサートされ、現在のフレームの終わりに送信が停止する予定であることを示します。図 357 に、RTS フロー制御が有効な場合の通信例を示します。

図 357. RS232 RTS フロー制御



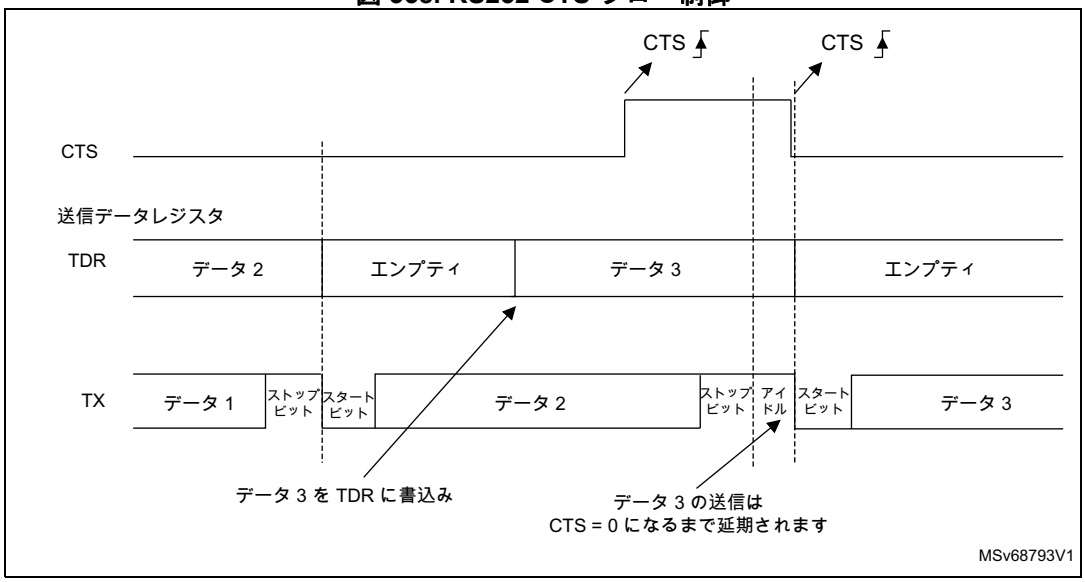
注： **FIFO モードが有効な場合は、RXFIFO がフルのときにのみ、RTS がアサートされます。**

RS232 CTS フロー制御

CTS フロー制御が有効な場合（CTSE = 1）、トランスミッタは、CTS 入力をチェックしてから、次のフレームを送信します。CTS がネゲートされた場合（ローレベル接続）、次のデータが送信されます（データが送信されると想定、つまり TXE/TXFE = 0 の場合）。そうでない場合、送信は行われません。送信中に CTS がアサートされると、現在の送信が完了してから、トランスミッタが停止します。

CTSE = 1 の場合、CTS 入力がトグルすると、CTSIF ステータスビットはハードウェアによってただちに自動的にセットされます。このビットは、レシーバの通信準備ができているかどうかを示します。LPUART_CR3 レジスタの CTSIE ビットがセットされている場合、割込みが生成されます。図 358 に、CTS フロー制御が有効な場合の通信例を示します。

図 358. RS232 CTS フロー制御



注： **正しい動作のために、CTS は、現在のキャラクタの終了の少なくとも 3 LPUART クロックソース周期前にネゲートする必要があります。さらに、2 x PCLK 周期より短いパルスでは CTSCF フラグがセットされない場合があることに注意してください。**

RS485 ドライバ有効

ドライバ有効機能を有効にするには、LPUART_CR3 制御レジスタのビット DEM をセットします。これにより、DE（Driver Enable）信号によって外部トランシーバ制御を有効にできます。アサーション時間は、DE 信号の有効化から スタートビットの開始までの時間です。LPUART_CR1 制御レジスタの DEAT [4:0] ビットフィールドを使用してプログラムされます。ネゲート時間は、送信メッセージの最後のストップビットの終了から DE 信号の無効化までの時間です。LPUART_CR1 制御レジスタの DEDT [4:0] ビットフィールドを使用してプログラムされます。DE 信号の極性は、LPUART_CR3 制御レジスタの DEP ビットを使用して設定できます。

LPUART の DEAT および DEDT は LPUART クロックソース（f_{CK}）サイクルで表されます。

- ドライバ有効アサーション時間は次のようになります。
  - (1 + (DEAT x P)) x f_{CK} 、P ≠ 0 の場合
  - (1 + DEAT) x f_{CK}、P = 0 の場合
- ドライバ有効ネゲート時間は次のようになります。
  - (1 + (DEDT x P)) x f_{CK} 、P ≠ 0 の場合
  - (1 + DEDT) x f_{CK}、P = 0 の場合

ここで、P = BRR[20:11]

34.4.14 LPUART 低消費電力管理

LPUART には、高度な低消費電力モード機能があり、lpuart_pclk クロックが無効になっているときでもデータを適切に転送することができます。

LPUART は、UESM ビットがセットされているとき、MCU を低消費電力モードからウェイクアップできます。

lpuart_pclk がゲートされているとき、lpuart_pclk クロックの有効化を必要とする特定の動作が必要になった場合、LPUART はウェイクアップ割込み（lpuart_wkup）を生成します。

- FIFO モードが無効の場合

  LPUART データレジスタを空にするために luart_pclk クロックを有効にする必要があります。

  この場合、lpuart_wkup 割込みのソースは“1”にセットされた RXNE です。低消費電力モードに入る前に RXNEIE ビットをセットする必要があります。

- FIFO モードが有効な場合

  次のために luart_pclk クロックを有効にする必要があります。

  – TXFIFO を満たすため
  – または RXFIFO を空にするため

  この場合、lpuart_wkup 割込みのソースになる可能性のあるものは以下の通りです。

  – RXFIFO ノットエンプティ。この場合、低消費電力モードに入る前に RXFNEIE ビットをセットする必要があります。
  – RXFIFO フル。この場合、低消費電力モードに入る前に RXFFIE ビットをセットする必要があります。受信データの数は RXFIFO のサイズに一致し、RXFF フラグはセットされません。
  – TXFIFO エンプティ。この場合、低消費電力モードに入る前に TXFEIE ビットをセットする必要があります。

  これによって、低消費電力モード中にデータを TXFIFO/RXFIFO に送信／受信することができます。

  低消費電力モードで、オーバーラン／アンダーランエラーを避けてデータを送信／受信するために、lpuart_wkup 割込みソースになり得るのは次のイベントのうちの 1 つです。

  – TXFIFO 閾値に達した。この場合、低消費電力モードに入る前に TXFTIE ビットをセットする必要があります。
  – RXFIFO 閾値に達した。この場合、低消費電力モードに入る前に RXFTIE ビットをセットする必要があります。

  たとえば、ウェイクアップ時間が、ラインを経て 1 バイトを受信する時間より少ない場合は、アプリケーションは閾値を RXFIFO の最大サイズに設定できます。

  MCU を低消費電力モードからウェイクアップするための RXFIFO フル、TXFIFO エンプティ、RXFIFO ノットエンプティ、および RXFIFO/TXFIFO 閾値割込みを使用すれば、低消費電力モード中にできるだけ多くの LPUART 転送を行うことができ、電力消費を最適化できるメリットがあります。

あるいは、WUS ビットフィールドによって、特定の lpuart_wkup 割込みを選択することもできます。

ウェイクアップイベントが検出されると、ハードウェアによって WUF フラグがセットされ、WUFIE ビットがセットされていた場合は lpuart_wkup 割込みが生成されます。

注： **低消費電力モードに移行する前に、LPUART 転送が進行中ではないことを確認してください。BUSY フラグをチェックすることでは、データ受信中に低消費電力モードに入らないことを保証できません。**

WUF フラグは、MCU が 低消費電力モードか、アクティブモードかに関係なく、ウェイクアップイベントが検出されたときにセットされます。

初期化とレシーバの有効化の直後に低消費電力モードに入るときには、REACK ビットをチェックして、LPUART が実際に有効であることを確認する必要があります。

受信に DMA が使用されるときには、低消費電力モードに入る前に無効化し、低消費電力モードの終了時に再び有効にする必要があります。

FIFO が有効なときには、アドレス一致時の低消費電力モードからのウェイクアップはミュートモードが有効な場合のみ可能です。

低消費電力モードでのミュートモードの使用

低消費電力モードに入る前に LPUART がミュートモードになった場合は、

- アイドル検出は低消費電力モードでは機能しないので、アイドル検出時にミュートモードからウェイクアップすることはできません。
- アドレス一致によるミュートモードからのウェイクアップが使用される場合、低消費電力モードからのウェイクアップのソースもアドレス一致でなければなりません。低消費電力モードに入るときに RXNE フラグがセットされた場合、アドレス一致によって低消費電力モードからウェイクアップしても、インタフェースはミュートモードのままです。

注： **FIFO 管理が有効なとき、ミュートモードは何の制約もなく低消費電力モードからのウェイクアップとともに使用されます（すなわち、ミュートおよび低消費電力モードについて上に述べた 2 点は FIFO 管理が無効なときのみに有効です）。**

低消費電力モードで LPUART カーネルクロック lpuart_ker_ck がオフのときの低消費電力モードからのウェイクアップ

低消費電力モード中、lpuart_ker_ck クロックがオフになっている場合、LPUART 受信ラインの立ち下がりエッジが検出されると、lpuart_ker_ck_req 信号によって LPUART インタフェースが lpuart_ker_ck クロックをオンにするようリクエストします。その後、lpuart_ker_ck がフレーム受信に使用されます。

ウェイクアップイベントが確認された場合、MCU は低消費電力モードからウェイクアップし、データ受信が正常に続行します。

ウェイクアップイベントが確認されない場合、lpuart_ker_ck クロックが再度オフになり、MCU はウェイクアップせずに低消費電力モードに留まり、カーネルクロックリクエストが解除されます。

以下の例は、ウェイクアップイベントが「アドレス一致検出」にプログラムされ、FIFO 管理が無効になっている場合を示しています。

図 359 に、ウェイクアップイベントが確認された時の動作を示します。

図 359. 確認されたウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効）

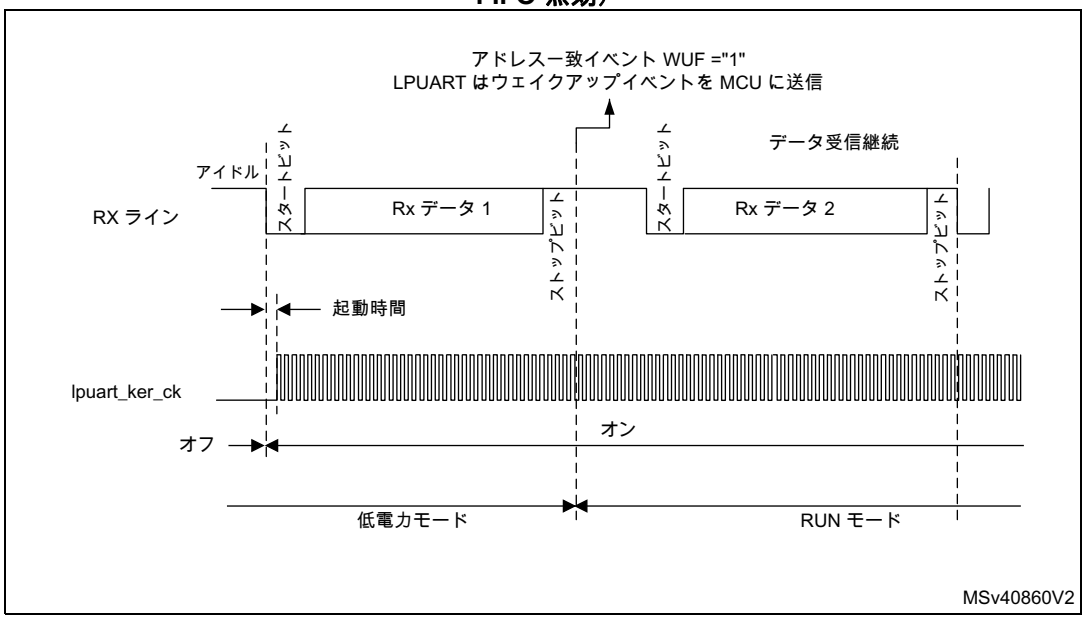
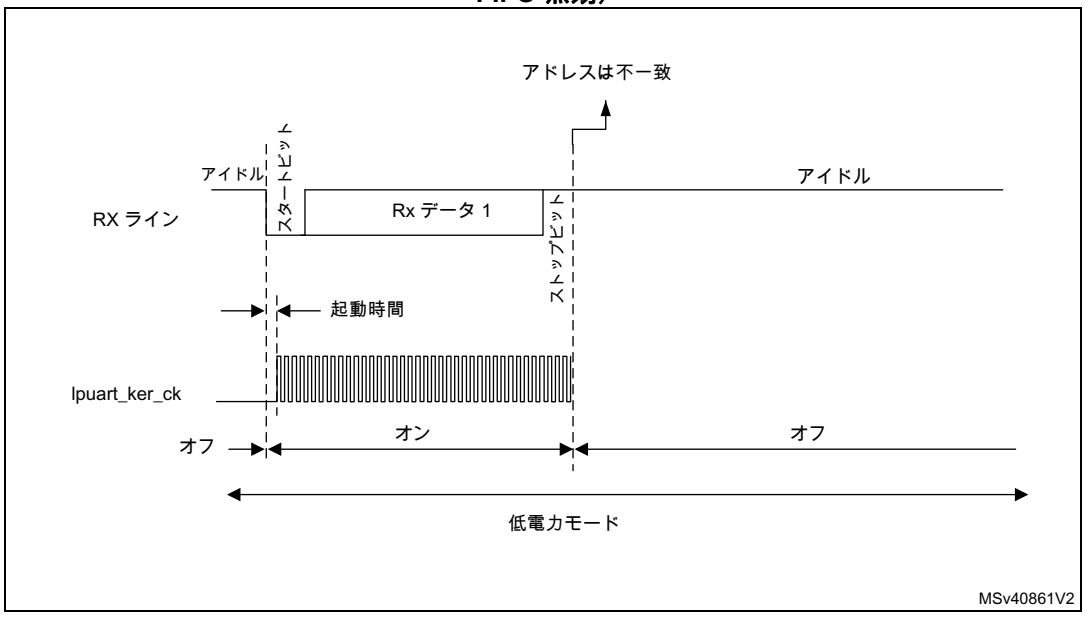


図 360 に、ウェイクアップイベントが確認されない時の動作を示します。

図 360. 確認されないウェイクアップイベント（ウェイクアップイベント = アドレス一致、FIFO 無効）



注： **上図は、アドレス一致または受信フレームがウェイクアップイベントとして使用されたとき、有効です。ウェイクアップイベントがスタートビット検出である場合、LPUART はスタートビットの終端にウェイクアップイベントを MCU に送ります。**

MCU の低消費電力モードからの正常なウェイクアップを可能にする最大 LPUART ボーレートの決定

MCU の低消費電力モードからの正常なウェイクアップを可能にする最大ボーレートは、ウェイクアップ時間パラメータ（デバイスのデータシートを参照）と LPUART レシーバの許容誤差（セクション 34.4.8：クロック偏差に対する LPUART レシーバの許容誤差を参照）に依存します。

例として、OVER8 = 0、M ビット = "01"、ONEBIT = 0、BRR [3:0] = 0000 とします。

この条件では、表 214：LPUART レシーバの許容誤差 によると、LPUART レシーバの許容誤差は 3.41% です。

DTRA + DQUANT + DREC + DTCL + DWU < LPUART レシーバの許容誤差

$D_{WUmax} = t_{WULPUART} / (11 \times T_{bit\ Min})$

$T_{bit\ Min} = t_{WULPUART} / (11 \times D_{WUmax})$

ここで、$t_{WULPUART}$ は低消費電力モードからのウェイクアップ時間です。

パラメータ DTRA、DQUANT、DREC、および DTCL が 0% であるときに理想的なケースを考えた場合、DWU の最大値は 3.41% です。実際には、最低 lpuart_ker_ck 精度を考慮する必要があります。

たとえば HSI が lpuart_ker_ck として使用され、HSI 精度が 1% の場合、以下を得ることができます。

$t_{WULPUART}$ = 3 µs（値は例です。正確な値については、デバイスのデータシートを参照してください）。

D_{WUmax} = 3.41% - 1% = 2.41%

$T_{bit\ min}$ = 3 µs/ (11 x 2.41%) = 11.32 µs

その結果、低消費電力モードからの正しいウェイクアップを可能にする最大ボーレートは、次のようになります。1/11.32 µs = 88.36 kbaud。

34.5 低消費電力モードでの LPUART

表 216. 低消費電力モードが LPUART に与える影響

モード	説明
SLEEP	影響はありません。LPUART 割込みによって、デバイスは SLEEP モードを終了します。
STOP(1)	LPUART レジスタの内容は保持されます。 STOP モードで使用可能なオシレータによって LPUART がクロック供給されている場合、LPUART はマイクロコントローラを STOP モードからウェイクアップすることができます。
STANDBY	LPUART ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

1. STOP モードからのウェイクアップが特定のペリフェラル機能でサポートされているかどうかを知るには、セクション 34.3: LPUART の実装を参照してください。インスタンスが特定の STOP モードで機能しない場合、この STOP モードに入る前に無効にする必要があります。

34.6 LPUART 割込み

すべての LPUART 割込みリクエストの詳細な説明については、表 217 を参照してください。

表 217. LPUART 割込みリクエスト

割込みベクタ	割込みイベント	イベントフラグ	イネーブル制御ビット	割込みのクリア方法	SLEEP モードの終了	STOP(1) モードの終了	STANDBY モードの終了
LPUART	送信データレジスタエンプティ	TXE	TXEIE	TDR を書き込む	可能	不可	不可
	送信 FIFO ノットフル	TXFNF	TXFNFIE	TXFIFO フル		不可	
	送信 FIFO エンプティ	TXFE	TXFEIE	TDR を書き込むか、TXFRQ に 1 を書き込む		可能	
	送信 FIFO 閾値到達	TXFT	TXFTIE	TDR を書き込む		可能	
	CTS 割込み	CTSIF	CTSIE	CTSCF に 1 を書き込む		不可	
	送信完了	TC	TCIE	TDR を書き込むか、TCCF に 1 を書き込む		不可	
	受信データレジスタノットエンプティ（データの読出し可能）	RXNE	RXNEIE	RDR を読み出すか、RXFRQ に 1 を書き込む	可能	はい	
	受信 FIFO ノットエンプティ	RXFNE	RXFNEIE	RXFIFO が空になるまで RDR を読み出すか、RXFRQ に 1 を書き込む		可能	
	受信 FIFO フル	RXFF(2)	RXFFIE	読出しは RDR です。		可能	
	受信 FIFO 閾値到達	RXFT	RXFTIE	読出しは RDR です。		可能	
	オーバーランエラー検出	ORE	RXNEIE/RXFNEIE	ORECF に 1 を書き込む		不可	
	アイドルライン検出	IDLE	IDLEIE	IDLECF に 1 を書き込む		不可	
	パリティエラー	PE	PEIE	PECF に 1 を書き込む		不可	
	マルチバッファ通信でのノイズエラー	NE	EIE	NFCF に 1 を書き込む		不可	
	マルチバッファ通信でのオーバーランエラー	ORE(3)		ORECF に 1 を書き込む		不可	
	マルチバッファ通信でのフレーミングエラー	FE		FECF に 1 を書き込む		不可	
	キャラクター致	CMF	CMIE	CMCF に 1 を書き込む		不可	
	低消費電力モードからのウェイクアップ	WUF	WUFIE	WUC に 1 を書き込む		可能	

1. LPUART は、ペリフェラル機能が STOP モードからのウェイクアップ機能をサポートしている場合にのみデバイスを STOP モードからウェイクアップすることができます。サポートされている STOP モードのリストについては、セクション 34.3 : LPUART の実装を参照してください。
2. RXFF フラグは、LPUART が 次のように n+1 個のデータを受信した場合にアサートされます（n は RXFIFO のサイズ）。RXFIFO に n 個のデータ、LPUART_RDR に 1 個のデータ。STOP モードでは、LPUART_RDR はクロック供給されません。その結果として、このレジスタは書き込まれず、n 個のデータが受信されて RXFIFO に書き込まれた後に、RXFF 割込みがアサートされます（RXFF フラグはセットされません）。
3. OVRDIS = 0 の場合。

34.7 LPUART レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

34.7.1 LPUART 制御レジスタ 1（LPUART_CR1）

アドレスオフセット：0x00

リセット値：0x0000 0000

同じレジスタが FIFO モード有効（このセクション）でも、FIFO モード無効（次のセクション）でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXFFIE	TXFEIE	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **RXFFIE**：RXFIFO フル割込み有効
このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：LPUART_ISR レジスタで RXFF = 1 のときに LPUART 割込みが生成されます。

ビット 30 **TXFEIE**：TXFIFO エンプティ割込み有効
このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：LPUART_ISR レジスタで TXFE = 1 のときに LPUART 割込みが生成されます。

ビット 29 **FIFOEN**：FIFO モード有効
このビットは、ソフトウェアによってセット／クリアされます。
0：FIFO モードは無効です。
1：FIFO モードは有効です。

ビット 28 **M1**：ワード長
このビットはビット 12（M0）と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット／クリアされます。
M[1:0] = “00”：スタートビット 1 個、データビット 8 個、ストップビット n 個
M[1:0] = “01”：スタートビット 1 個、データビット 9 個、ストップビット n 個
M[1:0] = “10”：スタートビット 1 個、データビット 7 個、ストップビット n 個
このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート（0x7F および 0x55 フレーム検出）はサポートされません。

ビット 27:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:21 **DEAT[4:0]**：ドライバ有効アサーション時間

この 5 ビット値は、DE（Driver Enable）信号の有効化からスタートビットの開始までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、セクション 33.5.20 : RS232 ハードウェアフロー制御および RS485 ドライバ有効を参照してください。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 20:16 **DEDT[4:0]**：ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE（Driver Enable）信号の無効化までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、セクション 34.4.13 : RS232 ハードウェアフロー制御および RS485 ドライバ有効を参照してください。

DEDT 時間中に LPUART_TDR レジスタに書込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **CMIE**：キャラクター一致割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタの CMF ビットがセットされると、LPUART 割込みが生成されます。

ビット 13 **MME**：ミュートモード有効

このビットは、LPUART のミュートモード機能を有効にします。セットされると、LPUART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット／クリアされます。

0：レシーバは永続的にアクティブモードです。

1：レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 **M0**：ワード長

このビットはビット 28（M1）と併せて使用して、ワード長を決定します。ソフトウェアによってセット／クリアされます（ビット 28（M1）の説明を参照）。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11 **WAKE**：レシーバのウェイクアップ方法

このビットによって、ミュートモードからの LPUART のウェイクアップ方式が決まります。ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 10 **PCE**：パリティ制御有効

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成／検出が有効である（PCE ビットがセットされている）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 8 **PEIE**：PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで PE = 1 のときには LPUART 割込みが生成されます。

ビット 7 **TXFNFIE**：TXFIFO ノットフル割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで TXE/TXFNF=1 のときには LPUART 割込みが生成されます。

ビット 6 **TCIE**：転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで TC = 1 のときには LPUART 割込みが生成されます。

ビット 5 **RXFNEIE**：RXFIFO ノットエンプティ割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタの ORE = 1 または RXNE/RXFNE = 1 のときには、LPUART 割込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで IDLE = 1 のときには LPUART 割込みが生成されます。

ビット 3 **TE**：トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： 送信中に TE ビットにローパルスを与える（「0」に続けて「1」を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。アイドルキャラクタを生成するためには、すぐには TE に 1 を書き込まないでください。必要な時間を確保するために、ソフトウェアは LPUART_ISR レジスタの TEACK ビットをポーリングできます。

TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **UESM**：STOP モードでの LPUART 有効

このビットがクリアされると、LPUART は MCU を低消費電力モードからウェイクアップできません。

このビットがセットされると、LPUART は MCU を低消費電力モードからウェイクアップできますが、LPUART クロック選択が RCC にて HSI または LSE であることが条件です。

このビットは、ソフトウェアによってセット／クリアされます。

0：LPUART は低消費電力モードから MCU をウェイクアップできません。

1：LPUART は低消費電力モードから MCU をウェイクアップできます。この機能がアクティブなとき、LPUART のクロックソースは HSI または LSE でなければなりません（RCC の章を参照）。

注： 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

ビット 0 **UE**：LPUART 有効

このビットがクリアされると、LPUART プリスケーラと出力はただちに停止され、現在の操作は破棄されます。LPUART の設定は保たれますが、LPUART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット／クリアされます。

0：LPUART プリスケーラと出力は無効であり、低消費電力モードです。

1：LPUART は有効です。

注： ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットをその前にリセットする必要があり、ソフトウェアは 、UE ビットをリセットする前にLPUART_ISR の TC ビットがセットされるのを待つ必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャネルを無効にする必要があります。

34.7.2 LPUART 制御レジスタ 1[オルタネート]（LPUART_CR1）

アドレスオフセット：0x00

リセット値：0x0000 0000

同じレジスタが FIFO モード有効（前のセクション）でも、FIFO モード無効（このセクション）でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFO EN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
		rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **FIFOEN**：FIFO モード有効

このビットは、ソフトウェアによってセット／クリアされます。

0：FIFO モードは無効です。

1：FIFO モードは有効です。

ビット 28 **M1**：ワード長

このビットはビット 12（M0）と併せて使用して、ワード長を決定する必要があります。ソフトウェアによってセット／クリアされます。

M[1:0] = “00”：スタートビット 1 個、データビット 8 個、ストップビット n 個

M[1:0] = “01”：スタートビット 1 個、データビット 9 個、ストップビット n 個

M[1:0] = “10”：スタートビット 1 個、データビット 7 個、ストップビット n 個

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットデータ長モードでは、スマートカードモード、LIN マスタモード、および自動ボーレート（0x7F および 0x55 フレーム検出）はサポートされません。

ビット 27:26 予約済みであり、リセット値に保持する必要があります。

ビット 25:21 **DEAT[4:0]**：ドライバ有効アサーション時間

この 5 ビット値は、DE（Driver Enable）信号の有効化からスタートビットの開始までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、セクション 33.5.20 : RS232 ハードウェアフロー制御および RS485 ドライバ有効を参照してください。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 20:16 **DEDT[4:0]**：ドライバ有効ネゲート時間

この 5 ビット値は、送信メッセージの最後のストップビットの終了から DE（Driver Enable）信号の無効化までの時間を定義します。lpuart_ker_ck クロックサイクルで表されます。詳細については、セクション 34.4.13：RS232 ハードウェアフロー制御および RS485 ドライバ有効を参照してください。

DEDT 時間中に LPUART_TDR レジスタに書込みが行われた場合、DEDT 時間と DEAT 時間の両方が経過するまで、新しいデータは送信されません。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **CMIE**：キャラクター一致割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタの CMF ビットがセットされると、LPUART 割込みが生成されます。

ビット 13 **MME**：ミュートモード有効

このビットは、LPUART のミュートモード機能を有効にします。セットされると、LPUART は、WAKE ビットの定義に従って、アクティブモードとミュートモードを切り替えることができます。ソフトウェアによってセット／クリアされます。

0：レシーバは永続的にアクティブモードです。

1：レシーバはミュートモードとアクティブモードを切り替えることができます。

ビット 12 **M0**：ワード長

このビットはビット 28（M1）と併せて使用して、ワード長を決定します。ソフトウェアによってセット／クリアされます（ビット 28（M1）の説明を参照）。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11 **WAKE**：レシーバのウェイクアップ方法

このビットによって、ミュートモードからの LPUART のウェイクアップ方式が決まります。ソフトウェアによってセット／クリアされます。

0：アイドルライン

1：アドレスマーク

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 10 **PCE**：パリティ制御有効

このビットは、ハードウェアのパリティ制御（生成と検出）を選択します。パリティ制御が有効なとき、算出されたパリティは MSB 位置（M = 1 の場合は 9 番目のビット、M = 0 の場合は 8 番目のビット）に挿入され、受信されたデータではパリティが検査されます。このビットは、ソフトウェアによってセット／クリアされます。このビットがセットされると、送受信において現在のバイトの後で PCE が有効になります。

0：パリティ制御は無効です。

1：パリティ制御は有効です。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 9 **PS**：パリティ選択

このビットは、パリティの生成／検出が有効である（PCE ビットがセットされている）とき、奇数パリティ／偶数パリティを選択します。ソフトウェアによってセット／クリアされます。パリティは、現在のバイトの後で選択されます。

0：偶数パリティ

1：奇数パリティ

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 8 **PEIE**：PE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで PE = 1 のときには LPUART 割込みが生成されます。

ビット 7 **TXEIE**：送信データレジスタエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで TXE/TXFNF=1 のときには LPUART 割込みが生成されます。

ビット 6 **TCIE**：転送完了割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで TC = 1 のときには LPUART 割込みが生成されます。

ビット 5 **RXNEIE**：受信データレジスタノットエンプティ

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタの ORE = 1 または RXNE/RXFNE = 1 のときには、LPUART 割込みが生成されます。

ビット 4 **IDLEIE**：IDLE 割込み有効

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは禁止されています。

1：LPUART_ISR レジスタで IDLE = 1 のときには LPUART 割込みが生成されます。

ビット 3 **TE**：トランスミッタ有効

このビットは、トランスミッタを有効にします。ソフトウェアによってセット／クリアされます。

0：トランスミッタは無効です。

1：トランスミッタは有効です。

注： 送信中に TE ビットにローパルスを与える（「0」に続けて「1」を書き込む）と、現在のワードの後にプリアンブル（アイドルライン）が送信されます。アイドルキャラクタを生成するためには、すぐには TE に 1 を書き込まないでください。必要な時間を確保するために、ソフトウェアは LPUART_ISR レジスタの TEACK ビットをポーリングできます。

TE がセットされると、送信が開始されるまでに 1 ビット時間の遅れが生じます。

ビット 2 **RE**：レシーバ有効

このビットは、レシーバを有効にします。ソフトウェアによってセット／クリアされます。

0：レシーバは無効です。

1：レシーバは有効であり、スタートビットの検索が開始されます。

ビット 1 **UESM**：STOP モードでの LPUART 有効

このビットがクリアされると、LPUART は MCU を低消費電力モードからウェイクアップできません。

このビットがセットされると、LPUART は MCU を低消費電力モードからウェイクアップできますが、LPUART クロック選択が RCC にて HSI または LSE であることが条件です。

このビットは、ソフトウェアによってセット／クリアされます。

0：LPUART は低消費電力モードから MCU をウェイクアップできません。

1：LPUART は低消費電力モードから MCU をウェイクアップできます。この機能がアクティブなとき、LPUART のクロックソースは HSI または LSE でなければなりません（RCC の章を参照）。

注： 低消費電力モードに入る直前に UESM ビットをセットし、低消費電力モードの終了時にクリアすることが推奨されます。

ビット 0 **UE**：LPUART 有効

このビットがクリアされると、LPUART プリスケーラと出力はただちに停止され、現在の操作は破棄されます。LPUART の設定は保たれますが、LPUART_ISR のステータスフラグはすべてリセットされます。このビットは、ソフトウェアによってセット／クリアされます。

0：LPUART プリスケーラと出力は無効であり、低消費電力モードです。

1：LPUART は有効です。

注： ラインにエラーを生成せずに低消費電力モードに入るためには、TE ビットをその前にリセットする必要があり、ソフトウェアは 、UE ビットをリセットする前にLPUART_ISR の TC ビットがセットされるのを待つ必要があります。

UE=0 のときには DMA リクエストもリセットされるので、UE ビットをリセットする前に DMA チャネルを無効にする必要があります。

34.7.3 LPUART 制御レジスタ 2（LPUART_CR2）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	Res.	STOP[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDM7	Res.	Res.	Res.	Res.
rw		rw	rw								rw				

ビット 31:24 **ADD[7:0]**：LPUART ノードのアドレス

これらのビットは、ミュートモードでの LPUART ノードのアドレス、または低消費電力または RUN モードで認識される文字コードを指定します。

- ミュートモードの場合：これらは、マルチプロセッサ通信で 4 ビット／7 ビットアドレスマーク検出を用いてミュートモードからウェイクアップするために使用されます。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。4 ビットアドレスマーク検出では、ADD[3:0] ビットのみが使用されます。
- 低消費電力モードの場合：これらはキャラクター致時の低消費電力モードからのウェイクアップに使用されます。
  WUS[1:0] が 0b00（アドレス一致時に WUF がアクティブ）にプログラムされている場合、受信したキャラクタが ADD[6:0] または ADD[3:0]ビットフィールド（ADDM7 ビットに依存する）でプログラムされたキャラクタに一致する場合に、低消費電力モードからのウェイクアップが実行されます。なお、WUFIE ビットをセットすることによって WUF 割込みが有効になります。トランスミッタによって送信されるキャラクタの MSB は 1 でなければなりません。
- ミュートモードが無効である RUN モード（ModBus プロトコルでのブロック終了検出など）の場合：受信したキャラクタ全体（8 ビット）が ADD[7:0] 値と比較され、一致すると CMF フラグがセットされます。CMIE ビットがセットされている場合、割込みが生成されます。

このビットは、受信が無効のとき（RE = 0）または USART が無効のとき（UE = 0）のみ、書き込むことができます。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19 **MSBFIRST**：MSB ファースト

このビットは、ソフトウェアによってセット／クリアされます。

0：スタートビットに続いて、データはデータビット 0 から順に送受信されます。

1：スタートビットに続いて、データは MSB（ビット 7/8）から順に送受信されます。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 18 **DATAINV**：バイナリデータ反転

このビットは、ソフトウェアによってセット／クリアされます。

0：データレジスタからの論理データは正／ダイレクトロジックで送受信されます。（1 = H、0 = L）

1：データレジスタからの論理データは、負／インバースロジックで送受信されます。（1 = L、0 = H）パリティビットも反転されます。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 17 **TXINV**：TX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット／クリアされます。

0：TX ピン信号は標準ロジックレベルを使用して機能します（V_{DD} = 1/アイドル、Gnd = 0/マーク）。

1：TX ピンの信号値が反転されます（V_{DD} = 0／マーク、Gnd = 1／アイドル）。

これにより、TX ラインで外部インバータを使用できます。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 16 **RXINV**：RX ピンアクティブレベル反転

このビットは、ソフトウェアによってセット／クリアされます。

0：RX ピン信号は標準ロジックレベルを使用して機能します（V_{DD} = 1/アイドル、Gnd = 0/マーク）。

1：RX ピンの信号値が反転されます（V_{DD} = 0／マーク、Gnd = 1／アイドル）。

これにより、RX ラインで外部インバータを使用できます。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 15 **SWAP**：TX/RX ピンのスワップ

このビットは、ソフトウェアによってセット／クリアされます。

0：TX/RX ピンは標準ピンアウトでの定義に従って使用されます。

1：TX および RX ピンの機能はスワップされます。これにより、別の UART へのクロスワイヤ接続の場合に動作できます。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 14 予約済みであり、リセット値に保持する必要があります。

ビット 13:12 **STOP[1:0]**：ストップビット

このビットは、ストップビットのプログラミングに使用します。

00：1 個のストップビット

01：予約済み。

10：2 個のストップビット

11：予約済みです。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 11:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **ADDM7**：7 ビットアドレス検出／4 ビットアドレス検出

このビットは、4 ビットアドレス検出と 7 ビットアドレス検出の選択に使用されます。

0：4 ビットアドレス検出

1：7 ビットアドレス検出（8 ビットデータモード）

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： 7 ビットおよび 9 ビットデータモードでは、アドレス検出は、それぞれ 6 ビットおよび 8 ビットアドレス（ADD[5:0] および ADD[7:0]）に対して行われます。

ビット 3:0 予約済みであり、リセット値に保持する必要があります。

34.7.4 LPUART 制御レジスタ 3（LPUART_CR3）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			Res.	TXFTIE	WUFIE	WUS[1:0]		Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVRDIS	Res.	CTSIE	CTSE	RTSE	DMAT	DMAR	Res.	Res.	HDSEL	Res.	Res.	EIE
rw	rw	rw	rw		rw	rw	rw	rw	rw			rw			rw

ビット 31:29 **TXFTCFG[2:0]**：TXFIFO 閾値設定

000：TXFIFO はその深さの 1/8 に達します。
001：TXFIFO はその深さの 1/4 に達します。
110：TXFIFO はその深さの 1/2 に達します。
011：TXFIFO はその深さの 3/4 に達します。
100：TXFIFO はその深さの 7/8 に達します。
101：TXFIFO は空になります。
残りの組み合わせ：予約済み。

ビット 28 **RXFTIE**：RXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：受信 FIFO が RXFTCFG でプログラムされた閾値に達すると、LPUART 割込みが生成されます。

ビット 27:25 **RXFTCFG[2:0]**：受信 FIFO 閾値設定

000：受信 FIFO はその深さの 1/8 に達します。
001：受信 FIFO はその深さの 1/4 に達します。
110：受信 FIFO はその深さの 1/2 に達します。
011：受信 FIFO はその深さの 3/4 に達します。
100：受信 FIFO はその深さの 7/8 に達します。
101：受信 FIFO はフルになります。
残りの組み合わせ：予約済み。

ビット 24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **TXFTIE**：TXFIFO 閾値割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：TXFIFO が TXFTCFG でプログラムされた閾値に達すると、LPUART 割込みが生成されます。

ビット 22 **WUFIE**：低消費電力モードからのウェイクアップ割込み有効

このビットは、ソフトウェアによってセット／クリアされます。
0：割込みは禁止されています。
1：LPUART_ISR レジスタで WUF = 1 のときには LPUART 割込みが生成されます。

注： **WUFIE は、低消費電力モードに入る前にセットする必要があります。**
LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：USART の実装を参照してください。

ビット 21:20 **WUS[1:0]**：低消費電力モードからのウェイクアップ割込みフラグ選択

このビットフィールドは、WUF を有効にするイベントを指定します（低消費電力モードからのウェイクアップフラグ）。

00：WUF はアドレス一致時に有効になります（ADD[7:0] および ADDM7 による定義に従って）。

01：予約済み

10：WUF はスタートビット検出時に有効になります。

11：WUF は RXNE 時に有効になります。

このビットフィールドは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持する必要があります。セクション 33.4：USART の実装を参照してください。

ビット 19:16 予約済みであり、リセット値に保持する必要があります。

ビット 15 **DEP**：ドライバ有効極性選択

0：DE 信号はアクティブハイです。

1：DE 信号はアクティブローです。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 14 **DEM**：ドライバ有効モード

このビットにより、DE 信号によって外部トランシーバ制御を有効にできます。

0：DE 機能は無効です。

1：DE 機能は有効です。DE 信号は RTS ピンで出力されます。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 13 **DDRE**：受信エラー時 DMA 無効

0：受信エラーの場合、DMA は無効になりません。対応するエラーフラグはセットされますが、RXNE は 0 に保たれ、オーバーランを防ぎます。結果として、DMA リクエストはアサートされないので、エラーのあるデータは転送されず（DMA リクエストなし）、次の正しい受信データが転送されます。

1：受信エラーの後、DMA は無効化されます。対応するエラーフラグと RXNE がセットされます。エラーフラグがクリアされるまで、DMA リクエストはマスクされます。つまり、ソフトウェアは、まず、DMA リクエストを無効にするか（DMAR=0）、RXNE をクリアしてから、エラーフラグをクリアする必要があります。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： 受信エラーは、パリティエラー、フレーミングエラー、またはノイズエラーです。

ビット 12 **OVRDIS**：オーバーラン無効

このビットは、受信オーバーラン検出を無効にするために使用されます。

0：オーバーランエラーフラグ、ORE は、受信データが読み出される前に新しいデータを受信したときにセットされます。

1：オーバーラン機能は無効です。RXNE フラグがまだセットされている間に新しいデータを受信した場合、

ORE フラグはセットされず、新しく受信されたデータが LPUART_RDR レジスタの前の内容に上書きされます。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

注： この制御ビットにより、データを読み出さずに通信フローをチェックできます。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTSIE**：CTS 割込み有効

0：割込みは禁止されています。

1：LPUART_ISR レジスタの CTSIF = 1 のときには、割込みが生成されます。

ビット 9 **CTSE**：CTS 有効化

0：CTS ハードウェアフロー制御が無効です。

1：CTS モードが有効です。データは CTS 入力がネゲート（0 に固定）されている場合にのみ転送されます。データの送信中に CTS 入力がアサートされた場合、送信は停止前に完了します。CTS がアサートされている間にデータがデータレジスタに書き込まれた場合、CTS がネゲートされるまで送信は延期されます。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 8 **RTSE**：RTS 有効化

0：RTS ハードウェアフロー制御が無効です。

1：RTS 出力は有効であり、レシーババッファにスペースがあるときにのみ、データがリクエストされます。現在の文字が転送された後、データの転送は停止すると期待されます。データを受信できるとき、RTS 出力がネゲートされます（0 にプルされます）。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 7 **DMAT**：DMA 有効トランスミッタ

このビットは、ソフトウェアでセット / クリアされます。

1：DMA モードは送信に有効です。

0：DMA モードは送信に無効です。

ビット 6 **DMAR**：DMA 有効レシーバ

このビットは、ソフトウェアでセット / クリアされます。

1：DMA モードが受信に有効です。

0：DMA モードが受信に無効です。

ビット 5:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **HDSEL**：半二重選択

単線半二重モードの選択です。

0：半二重モードは選択されません。

1：半二重モードが選択されます。

このビットは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

ビット 2:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **EIE**：エラー割込み有効化

エラー割込み有効ビットは、フレーミングエラー、オーバーランエラー、またはノイズフラグ（LPUART_ISR レジスタの FE = 1 または ORE = 1 または NE = 1）の場合に割込み生成を有効にするために必要です。

0：割込みは禁止されています。

1：LPUART_ISR レジスタの FE = 1、ORE = 1、または NE = 1 の場合、割込みが生成されます。

34.7.5 LPUART ボーレートレジスタ（LPUART_BRR）

このレジスタは、LPUART が無効（UE = 0）のときのみ書き込むことができます。自動ボーレート検出モードでハードウェアによって自動的に更新されます。

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:16]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:0 **BRR[19:0]**：LPUART ボーレート

注： LPUART_BRR レジスタに 0x300 未満の値を書き込むことは禁じられています。

ただし、LPUART_BRR は ≥ 0x300 でなければならず、LPUART_BRR は 20 ビットであり、高い fck 値を使用して高いボーレートを生成するときには、注意が必要です。fck は [3 x ボーレート～4096 x ボーレート] の範囲内でなければなりません。

34.7.6 LPUART リクエストレジスタ（LPUART_RQR）

アドレスオフセット：0x18

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	Res.
											w	w	w	w	

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **TXFRQ**：送信データー掃リクエスト

このビットは FIFO モードが有効なときに使用されます。FIFO 全体を一掃するために TXFRQ ビットがセットされます。これによって TXFE フラグ（TXFIFO エンプティ、LPUART_ISR レジスタのビット 23）がセットされます。

注： FIFO モードでは、一掃リクエスト中にデータがデータレジスタに書き込まれないようにするために、TxFIFO が空になるまで TXFNF フラグはリセットされます。

ビット 3 **RXFRQ**：受信データー掃リクエスト

このビットに 1 を書き込むと、RXNE フラグがクリアされます。

これにより、受信したデータを読み出さずに破棄して、オーバーラン条件を避けることができます。

ビット 2 **MMRQ**：ミュートモードリクエスト

このビットに 1 を書き込むと、LPUART はミュートモードになり、RWU フラグはリセットされます。

ビット 1 **SBKRQ**：ブレーク送信リクエスト

このビットに 1 を書き込むと、SBKF フラグがセットされ、送信マシンが使用可能になるとすぐに、ラインで BREAK を送信するリクエストが発行されます。

注： アプリケーションが、まだ送信されていないものも含めて、以前に挿入されたすべてのデータに続いてブレークキャラクタを送信する必要がある場合、ソフトウェアは SBKRQ ビットをセットする前に、TXE フラグのアサートを待つ必要があります。

ビット 0 予約済みであり、リセット値に保持する必要があります。

34.7.7 LPUART 割込みおよびステータスレジスタ（LPUART_ISR）

アドレスオフセット：0x1C

リセット値：0x0080 00C0

同じレジスタが FIFO モード有効（このセクション）でも、FIFO モード無効（次のセクション）でも使用できます。

FIFO モードが有効な場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
				r	r		r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TXFT**：TXFIFO 閾値フラグ

このビットは、TXFIFO が LPUART_CR3 レジスタの TXFTCFG でプログラムされた閾値に達したとき、すなわち、TXFIFO に TXFTCFG の空き場所ができたときに、ハードウェアによってセットされます。LPUART_CR3 レジスタの TXFTIE ビット = 1（ビット 31）の場合、割込みが生成されます。

0：TXFIFO はプログラムされた閾値に達していません。

1：TXFIFO はプログラムされた閾値に達しました。

ビット 26 **RXFT**：RXFIFO 閾値フラグ

このビットは、RXFIFO が LPUART_CR3 レジスタの RXFTCFG でプログラムされた閾値に達したとき、すなわち、受信 FIFO に RXFTCFG 分のデータが入ったときに、ハードウェアによってセットされます。LPUART_CR3 レジスタの RXFTIE ビット = 1（ビット 27）の場合、割込みが生成されます。

0：受信 FIFO はプログラムされた閾値に達していません。

1：受信 FIFO はプログラムされた閾値に達しました。

ビット 25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **RXFF**：RXFIFO フル

このビットは、受信したデータの数が RXFIFO サイズ + 1 と一致したときに（RXFIFO がフルで、LPUART_RDR レジスタに 1 個のデータ）、ハードウェアによってセットされます。

LPUART_CR1 レジスタの RXFFIE ビット = 1 である場合、割込みが生成されます。

0：RXFIFO はフルではありません。

1：RXFIFO はフルです。

ビット 23 **TXFE**：TXFIFO エンプティ

このビットは、TXFIFO が空のとき、ハードウェアによってセットされます。TXFIFO に少なくとも 1 データが入ったとき、このフラグはクリアされます。TXFE フラグは、LPUART_RQR レジスタのビット TXFRQ（ビット 4）に 1 を書き込むことによってセットすることもできます。

LPUART_CR1 レジスタの TXFEIE ビット = 1（ビット 30）の場合、割込みが生成されます。

0：TXFIFO は空ではありません。

1：TXFIFO は空です。

ビット 22 **REACK**：受信有効確認応答フラグ

このビットは、受信有効値が LPUART によって考慮されるときに、ハードウェアによってセット／リセットされます。

これを使用して、低消費電力モードに入る前に、LPUART が受信できる状態であることを確認できます。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 21 **TEACK**：送信有効確認応答フラグ

このビットは、送信有効値が LPUART によって考慮されるときに、ハードウェアによってセット／リセットされます。

LPUART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF**：低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。LPUART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注： UESM がクリアされると、WUF フラグもクリアされます。

LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます

ビット 19 **RWU**：レシーバのミュートモードからのウェイクアップ

このビットは、LPUART がミュートモードかどうかを示します。ウェイクアップ／ミュートシーケンスが認識されたときに、ハードウェアによってクリア／セットされます。ミュートモード制御シーケンス（アドレスまたは IDLE）は、LPUART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、ソフトウェアによってのみ、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことができます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 18 **SBKF**：ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。LPUART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0：ブレークキャラクタが送信されます。

1：LPUART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタがリクエストされました。

ビット 17 **CMF**：キャラクター致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0：キャラクター致は検出されていません。

1：キャラクター致が検出されました。

ビット 16 **BUSY**：ビジーフラグ

このビットは、ハードウェアによってセット／リセットされます。RX ラインで通信中（スタートビットの検出時）はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0：LPUART はアイドルです（受信なし）。

1：受信中です。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTS**：CTS フラグ

このビットは、ハードウェアによってセット／リセットされます。CTS 入力ピンのステータスの反転コピーです。

0：CTS ラインはセットされました。

1：CTS ラインはリセットされました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 **CTSIF**：CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。LPUART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0：CTS ステータスラインでの変更はありません。

1：CTS ステータスラインでの変更はありました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TXFNF**：TXFIFO は空ではありません。

TXFIFO がフルではない、つまり LPUART_TDR にデータを書き込めるとき、TXFNF はハードウェアによってセットされます。LPUART_TDR への書込みごとにデータが TXFIFO に格納されます。このフラグは TXFIFO がフルになるまでセットされたままになります。TXFIFO がフルになると、このフラグはクリアされ、データを LPUART_TDR に書き込むことができないことを示します。

一掃リクエスト中、TXFIFO が空になるまで、TXFNF はリセットに維持されます。一掃リクエストを（TXFRQ ビットをセットすることによって）送信した後、TXFIFO に書き込む前に TXFNF フラグをチェックするべきです（TXFNF および TXFE は同時にセットされます）。

LPUART_CR1 レジスタの TXFNFIE ビット = 1 の場合、割込みが生成されます。

0：データレジスタはフル／送信 FIFO はフルです。

1：データレジスタ／送信 FIFO はフルではありません。

注： このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

データを含むフレームの送信が完了し、TXFF がセットされている場合、このビットはハードウェアによってセットされます。LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの TCCF に 1 を書き込むことによって、または LPUART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

0：送信は完了していません。

1：送信は完了しています。

注： TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXFNE**：RXFIFO は空ではありません。

RXFNE ビットは、RXFIFO が空でなく、したがってデータが LPUART_RDR レジスタから読み出せるときに、ハードウェアによってセットされます。LPUART_RDR からの読出しのたびに、RXFIFO の 1 つの場所が解放されます。RXFIFO が空になると、クリアされます。

RXFNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。

LPUART_CR1 レジスタの RXFNEIE = 1 の場合、割込みが生成されます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。LPUART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXFNE ビットがセットされるまで（新しいアイドルラインが発生するまで）、IDLE ビットは再びセットされません。

ミュートモードが有効な場合（MME = 1）、WAKE ビットによって選択されたミュートモードに関係なく、LPUART がミュートでない場合（RWU = 0）、IDLE がセットされます。RWU = 1 の場合、IDLE はセットされません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE=“1”（FIFO モードが有効な場合は RXFF=“1”）のときに、

現在シフトレジスタに受信中のデータを LPUART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの RXFNEIE = 1 または EIE = 1 の場合、または LPUART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0：オーバーランエラーはありません。

1：オーバーランエラーが検出されました。

注： このビットがセットされると、LPUART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。

LPUART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます（オーバーラン検出なし）。

ビット 2 **NE**：スタートビットノイズ検出フラグ

このビットは、受信フレームのスタートビットでノイズが検出されるとハードウェアによってセットされます。LPUART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：ノイズは検出されていません。

1：ノイズが検出されました。

注： このビットは、割込みを生成する RXFNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

このエラーはLPUART_RDR 内のキャラクタに関連します。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

スマートカードモードでデータを送信しているとき、送信時、成功せずに（カードがデータフレームを NACK）最大送信試行回数に達すると、このビットがセットされます。

LPUART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。

0：フレーミングエラーは検出されていません。

1：フレーミングエラーまたはブレークキャラクタが検出されました。

注： このエラーはLPUART_RDR 内のキャラクタに関連します。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。

0：パリティエラーはありません。

1：パリティエラー

注： このエラーはLPUART_RDR 内のキャラクタに関連します。

34.7.8 LPUART 割込みとステータスレジスタ [オルタネート]（LPUART_ISR）

アドレスオフセット：0x1C

リセット値：0x0000 00C0

同じレジスタが FIFO モード有効（前のセクション）でも、FIFO モード無効（このセクション）でも使用できます。

FIFO モードが無効の場合

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
									r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

ビット 31:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **REACK**：受信有効確認応答フラグ

このビットは、受信有効値が LPUART によって考慮されるときに、ハードウェアによってセット／リセットされます。

これを使用して、低消費電力モードに入る前に、LPUART が受信できる状態であることを確認できます。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 21 **TEACK**：送信有効確認応答フラグ

このビットは、送信有効値が LPUART によって考慮されるときに、ハードウェアによってセット／リセットされます。

LPUART_CR1 レジスタで TE = 0 を書き込んだ後、TE = 1 を書き込むことによってアイドルフレームリクエストが生成されるとき、TE = 0 の最小周期を満たすために使用できます。

ビット 20 **WUF**：低消費電力モードからのウェイクアップフラグ

このビットは、ウェイクアップイベントが検出されたときに、ハードウェアによってセットされます。イベントは、WUS ビットフィールドによって定義されます。LPUART_ICR レジスタの WUCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの WUFIE=1 の場合、割込みが生成されます。

注： UESM がクリアされると、WUF フラグもクリアされます。

LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます

ビット 19 **RWU**：レシーバのミュートモードからのウェイクアップ

このビットは、LPUART がミュートモードかどうかを示します。ウェイクアップ／ミュートシーケンスが認識されたときに、ハードウェアによってクリア／セットされます。ミュートモード制御シーケンス（アドレスまたは IDLE）は、LPUART_CR1 レジスタの WAKE ビットによって選択されます。

IDLE モードでのウェイクアップが選択されたとき、ソフトウェアによってのみ、このビットは LPUART_RQR レジスタの MMRQ ビットに 1 を書き込むことができます。

0：レシーバはアクティブモードです。

1：レシーバはミュートモードです。

注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 18 **SBKF**：ブレーク送信フラグ

このビットは、ブレークキャラクタ送信がリクエストされたことを示します。LPUART_CR3 レジスタの SBKRQ ビットに 1 を書き込むことによって、ソフトウェアによってセットされます。ブレーク送信のストップビット時に、ハードウェアによって自動的にリセットされます。

0：ブレークキャラクタが送信されます。

1：LPUART_RQR レジスタの SBKRQ ビットをセットすることによってブレークキャラクタがリクエストされました。

ビット 17 **CMF**：キャラクター致フラグ

このビットは、ADD[7:0] によって定義されたキャラクタが受信されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの CMCF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの CMIE = 1 の場合、割込みが生成されます。

0：キャラクター致は検出されていません。

1：キャラクター致が検出されました。

ビット 16 **BUSY**：ビジーフラグ

このビットは、ハードウェアによってセット／リセットされます。RX ラインで通信中（スタートビットの検出時）はアクティブです。成否にかかわらず、受信終了時にリセットされます。

0：LPUART はアイドルです（受信なし）。

1：受信中です。

ビット 15:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **CTS**：CTS フラグ

このビットは、ハードウェアによってセット／リセットされます。CTS 入力ピンのステータスの反転コピーです。

0：CTS ラインはセットされました。

1：CTS ラインはリセットされました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 9 **CTSIF**：CTS 割込みフラグ

このビットは、CTSE ビットがセットされていた場合、CTS 入力がトグルしたときにハードウェアによってセットされます。LPUART_ICR レジスタの CTSCF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR3 レジスタの CTSIE=1 の場合、割込みが生成されます。

0：CTS ステータスラインでの変更はありません。

1：CTS ステータスラインでの変更はありました。

注： ハードウェアフロー制御機能がサポートされない場合、このビットは予約済みであり、リセット値に保持されます。

ビット 8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **TXE**：送信データレジスタエンプティ／TXFIFO ノットフル

TXE は、LPUART_TDR レジスタの内容がシフトレジスタに転送されると、ハードウェアによってセットされます。LPUART_TDR レジスタへの書込みによってクリアされます。

LPUART_CR1 レジスタの TXEIE ビット =1 の場合、割込みが生成されます。

0：データレジスタはフルです。

1：データレジスタはフルではありません。

注： このビットは、シングルバッファ送信時に使用されます。

ビット 6 **TC**：送信完了

データを含むフレームの送信が完了し、TXE がセットされている場合、このビットはハードウェアによってセットされます。LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの TCCF に 1 を書き込むことによって、または LPUART_TDR レジスタに書き込むことによって、ソフトウェアによってクリアされます。

LPUART_CR1 レジスタの TCIE=1 の場合、割込みが生成されます。

0：送信は完了していません。

1：送信は完了しています。

注： TE ビットがリセットされ、送信中でなかった場合、TC ビットはただちにセットされます。

ビット 5 **RXNE**：読出しデータレジスタノットエンプティ

RXNE ビットは、LPUART_RDR シフトレジスタの内容が LPUART_RDR レジスタに転送されると、ハードウェアによってセットされます。このフラグは、LPUART_RDR レジスタからの読出しによってクリアされます。RXNE フラグは、LPUART_RQR レジスタの RXFRQ に 1 を書き込むことによってもクリアすることもできます。

LPUART_CR1 レジスタの RXNEIE=1 の場合、割込みが生成されます。

0：データは受信されていません。

1：受信データを読み出すことができます。

ビット 4 **IDLE**：アイドルライン検出

このビットは、アイドルラインが検出されたときに、ハードウェアによってセットされます。LPUART_CR1 レジスタの IDLEIE=1 の場合、割込みが生成されます。LPUART_ICR レジスタの IDLECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。

0：アイドルラインは検出されていません。

1：アイドルラインが検出されました。

注： RXNE ビットがセットされるまで（新しいアイドルラインが発生するまで）、IDLE ビットは再びセットされません。

ミュートモードが有効な場合（MME = 1）、WAKE ビットによって選択されたミュートモードに関係なく、LPUART がミュートでない場合（RWU = 0）、IDLE がセットされます。RWU = 1 の場合、IDLE はセットされません。

ビット 3 **ORE**：オーバーランエラー

このビットは、RXNE=“1”（FIFO モードが有効な場合は RXFF=“1”）のときに、
現在シフトレジスタに受信中のデータを LPUART_RDR レジスタに転送する準備ができたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの ORECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。
LPUART_CR1 レジスタの RXNEIE = 1 または EIE = 1 の場合、または LPUART_CR3 レジスタの EIE = 1 の場合、割込みが生成されます。

0：オーバーランエラーはありません。
1：オーバーランエラーが検出されました。

注： このビットがセットされると、LPUART_RDR レジスタの内容は失われませんが、シフトレジスタは上書きされます。EIE ビットがセットされている場合、マルチバッファ通信中に ORE フラグがセットされた場合、割込みが生成されます。
LPUART_CR3 レジスタの OVRDIS ビットがセットされると、このビットは永続的に 0 に強制設定されます（オーバーラン検出なし）。

ビット 2 **NE**：スタートビットノイズ検出フラグ

このビットは、受信フレームのスタートビットでノイズが検出されるとハードウェアによってセットされます。LPUART_ICR レジスタの NECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
0：ノイズは検出されていません。
1：ノイズが検出されました。

注： このビットは、割込みを生成する RXNE ビットと同時に出現するため、割込みを生成しません。EIE ビットがセットされている場合、マルチバッファ通信中に NE フラグがセットされると、割込みが生成されます。

ビット 1 **FE**：フレーミングエラー

このビットは、非同期化、過度なノイズ、またはブレークキャラクタが検出されたときに、ハードウェアによってセットされます。LPUART_ICR レジスタの FECF ビットに 1 を書き込むことによって、ソフトウェアによってクリアされます。
スマートカードモードでデータを送信しているとき、送信時、成功せずに（カードがデータフレームを NACK）最大送信試行回数に達すると、このビットがセットされます。
LPUART_CR3 レジスタの EIE=1 の場合、割込みが生成されます。
0：フレーミングエラーは検出されていません。
1：フレーミングエラーまたはブレークキャラクタが検出されました。

ビット 0 **PE**：パリティエラー

このビットは、レシーバモードでパリティエラーが発生したときに、ハードウェアによってセットされます。LPUART_ICR レジスタの PECF に 1 を書き込むことによって、ソフトウェアによってクリアされます。
LPUART_CR1 レジスタの PEIE=1 である場合、割込みが生成されます。
0：パリティエラーはありません。
1：パリティエラー

34.7.9 LPUART 割込みフラグクリアレジスタ（LPUART_ICR）

アドレスオフセット：0x20

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CTSCF	Res.	Res.	TCCF	Res.	IDLECF	ORECF	NECF	FECF	PECF
						w			w		w	w	w	w	w

ビット 31:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **WUCF**：低消費電力モードからのウェイクアップクリアフラグ
このビットに 1 を書き込むと、LPUART_ISR レジスタの WUF フラグがクリアされます。
注： LPUART が STOP モードからのウェイクアップをサポートしない場合、このビットは予約済みであり、リセット値に保持されます。セクション 33.4：USART の実装を参照してください。

ビット 19:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **CMCF**：キャラクター致フラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの CMF フラグがクリアされます。

ビット 16:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CTSCF**：CTS フラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの CTSIF フラグがクリアされます。

ビット 8:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **TCCF**：送信完了フラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの TC フラグがクリアされます。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **IDLECF**：アイドルライン検出フラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの IDLE フラグがクリアされます。

ビット 3 **ORECF**：オーバーランエラーフラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの ORE フラグがクリアされます。

ビット 2 **NECF**：ノイズ検出フラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの NE フラグがクリアされます。

ビット 1 **FECF**：フレーミングエラーフラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの FE フラグがクリアされます。

ビット 0 **PECF**：パリティエラーフラグクリア
このビットに 1 を書き込むと、LPUART_ISR レジスタの PE フラグがクリアされます。

34.7.10 LPUART 受信データレジスタ（LPUART_RDR）

アドレスオフセット：0x24

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
							r	r	r	r	r	r	r	r	r

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **RDR[8:0]**：受信データ値

受信データキャラクタを含みます。

RDR レジスタは、入力シフトレジスタと内部バスとの間にパラレルインタフェースを提供します（図 347 を参照）。

パリティを有効にして受信する場合、MSB ビットで読み出される値が受信したパリティビットです。

34.7.11 LPUART 送信データレジスタ（LPUART_TDR）

アドレスオフセット：0x28

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8:0 **TDR[8:0]**：送信データ値

送信されるデータキャラクタを含みます。

TDR レジスタは、内部バスと出力シフトレジスタとの間にパラレルインタフェースを提供します（図 347 を参照）。

パリティを有効にして（LPUART_CR1 レジスタの PCE ビットに 1 をセット）送信しているとき、MSB（データ長に応じてビット 7 または 8）に書き込まれた値は、パリティによって置き換えられるため、無効です。

注： このレジスタは、TXE/TXFNF = 1 のときのみ書き込む必要あります。

34.7.12 LPUART プリスケーラレジスタ（LPUART_PRESC）

このレジスタは、LPUART が無効（UE = 0）のときのみ書き込むことができます。

アドレスオフセット：0x2C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PRESCALER[3:0]**：クロックプリスケーラ

LPUART 入力クロックは、以下のようにプリスケーラによって分周できます。

0000：入力クロックは分周されません。
0001：入力クロックが 2 分周されます。
0010：入力クロックが 4 分周されます。
0011：入力クロックが 6 分周されます。
0100：入力クロックが 8 分周されます。
0101：入力クロックが 10 分周されます。
0110：入力クロックが 12 分周されます。
0111：入力クロックが 16 分周されます。
1000：入力クロックが 32 分周されます。
1001：入力クロックが 64 分周されます。
1010：入力クロックが 128 分周されます。
1011：入力クロックが 256 分周されます。
残りの組み合わせ：予約済み。

注： PRESCALER が許容される値と異なる値でプログラムされたとき、プログラムされるプリスケーラ値は 1011 になります。すなわち、入力クロックは 256分周されます。

34.7.13 LPUART レジスタマップ

次の表に、LPUART のレジスタマップとリセット値を示します。

表 218. LPUART レジスタのマップとリセット値

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	LPUART_CR1 FIFO モードが有効な場合	RXFFIE	TXFEIE	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]					Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	リセット値	0	0	0	0			0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	LPUART_CR1 FIFO モードが無効の場合	Res.	Res.	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]					Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	リセット値			0	0			0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	LPUART_CR2	ADD[7:0]								Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV	SWAP	Res.	STOP[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDM7	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0					0	0	0	0	0		0	0								0				
0x08	LPUART_CR3	TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			Res.	TXFTIE	WUFIE	WUS[1:0]		Res.	Res.	Res.	Res.	DEP	DEM	DDRE	OVRDIS	Res.	CTSIE	CTSE	RTSE	DMAT	DMAR	Res.	Res.	HDSEL	Res.	Res.	EIE
	リセット値	0	0	0	0	0	0	0		0	0	0	0					0	0	0	0		0	0	0	0	0			0			0
0x0C	LPUART_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:0]																			
	リセット値																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10 ~0x14	予約済みです。																																
0x18	LPUART_RQR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	Res.
	リセット値																												0	0	0	0	
0x1C	LPUART_ISR FIFO モードが有効な場合	Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	RXFF	TXFF	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
	リセット値					0	0		0	1	0	0	0	0	0	0	0						0	0		1	1	0	0	0	0	0	0
0x1C	LPUART_ISR FIFO モードが無効の場合	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	リセット値										0	0	0	0	0	0	0						0	0		1	1	0	0	0	0	0	0
0x20	LPUART_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTSCF	Res.	Res.	TCCF	Res.	IDLECF	ORECF	NECF	FECF	PECF
	リセット値												0			0								0			0		0	0	0	0	0
0x24	LPUART_RDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0
0x28	LPUART_TDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
	リセット値																								0	0	0	0	0	0	0	0	0

表 218. LPUART レジスタのマップとリセット値 （続き）

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x2C	LPUART_ PRESC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
	リセット値																													0	0	0	0

レジスタ境界アドレスについては、セクション 2.2：メモリ構成を参照してください。

35 シリアルペリフェラルインタフェース（SPI）

35.1 概要

SPI インタフェースを使用して、SPI プロトコルに基づき外部デバイスと通信することができます。SPIモードはソフトウェアによって選択可能です。デバイスのリセット後は、デフォルトで SPI モトローラモードが選択されます。

SPI（シリアルペリフェラルインタフェース）プロトコルは、外部デバイスとの半二重、全二重、および単方向の同期シリアル通信をサポートしています。このインタフェースはマスタとして設定することも可能で、その場合、外部スレーブデバイスに通信クロック（SCK）を供給します。このインタフェースは、マルチマスタ設定で動作することもできます。

35.2 SPI の主な機能

- マスタまたはスレーブ動作
- 3 本のラインでの全二重同期転送
- 2 本のラインでの半二重同期転送（双方向データライン有り）
- 2 本のラインでの単方向同期転送（単方向データライン有り）
- 4～16 ビットデータサイズ選択
- マルチマスタモード機能
- 8 個のマスタモードボーレートプリスケーラ（最大周波数 $f_{PCLK}/2$）
- スレーブモード周波数（最大周波数 $f_{PCLK}/2$）
- マスタとスレーブの両方に対するハードウェア／ソフトウェアによる NSS 管理：マスタ／スレーブ動作の動的切り替え
- クロックの極性と位相をプログラム可能
- データ順序をプログラム可能（MSB ファースト／LSB ファーストのシフト）
- 専用の送受信フラグ（割込み機能付き）
- SPI バスビジーステータスフラグ
- SPI モトローラモードをサポート
- ハードウェア CRC 機能による信頼性の高い通信：
  - Tx モードでは CRC 値を最終バイトとして送信可能
  - 最終受信バイトに対する CRC エラーの自動チェック
- マスタモードの障害、オーバーランの各フラグ（割込み機能付き）
- CRC エラーフラグ
- DMA 機能付きの 2 つの 32 ビット内蔵Rx および Tx FIFO
- 拡張 TI および NSS パルスモードのサポート

35.3 SPI の実装

次の表に、デバイスに組み込まれているすべての SPI インスタンスとその機能を示します。

表 219. SPI の実装

SPI の機能	SPI1	SPI2(1)
拡張 NSSP & TI モード	あり	あり
I^2S のサポート	なし	なし
ハードウェア CRC 計算	あり	あり
設定可能なデータサイズ	4～16 ビット	4～16 ビット
Rx/Tx FIFO サイズ	32 ビット	32 ビット
低電力スリープからのウェイクアップ機能	あり	あり

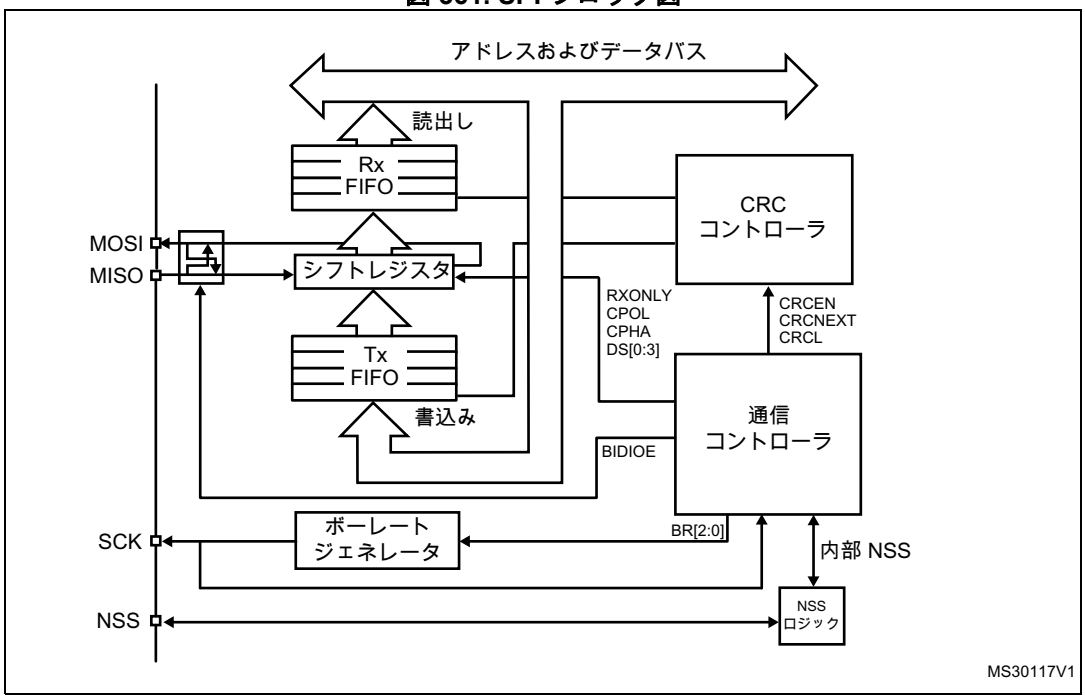
1. STM32WB55xx デバイスでのみ使用できます。

35.4 SPI の機能説明

35.4.1 概要

SPI では、MCU と外部デバイス間の同期シリアル通信が可能です。アプリケーションソフトウェアは、ステータスフラグをポーリングするか、または専用の SPI 割込みを使用することで、通信を管理することができます。SPI の主要要素およびそれらの相互作用を以下のブロック図（図 361に示します。

図 361. SPI ブロック図



4 本の I/O ピンが外部デバイスとの SPI 通信専用に使用されます。

- **MISO**：マスタイン／スレーブアウトデータ。一般に、このピンは、スレーブモードではデータの送信に、マスタモードではデータの受信に使用されます。
- **MOSI**：マスタアウト／スレーブインデータ。一般に、このピンは、マスタモードではデータの送信に、スレーブモードではデータの受信に使用されます。
- **SCK**：SPI マスタではシリアルクロックの出力に、SPI スレーブでは入力に使用されます。
- **NSS**：スレーブ選択用のピンです。このピンは、SPI および NSS の設定に応じて、以下のいずれかに使用できます。
  - 個々の通信用スレーブデバイスを選択する
  - データフレームを同期させる
  - 複数のマスタ間での競合を検出する

  詳細については、セクション 35.4.5：スレーブ選択（NSS）ピンの管理を参照してください。

SPI バスを使用することで、1 つのマスタデバイスと 1 つ以上のスレーブデバイスとの間で通信することができます。バスは 2 本以上の線から成り、1 本はクロック信号用、その他はデータの同期転送用です。SPI ノード間でのデータ交換とそれらのスレーブ選択信号管理に応じて、その他の信号を追加することができます。

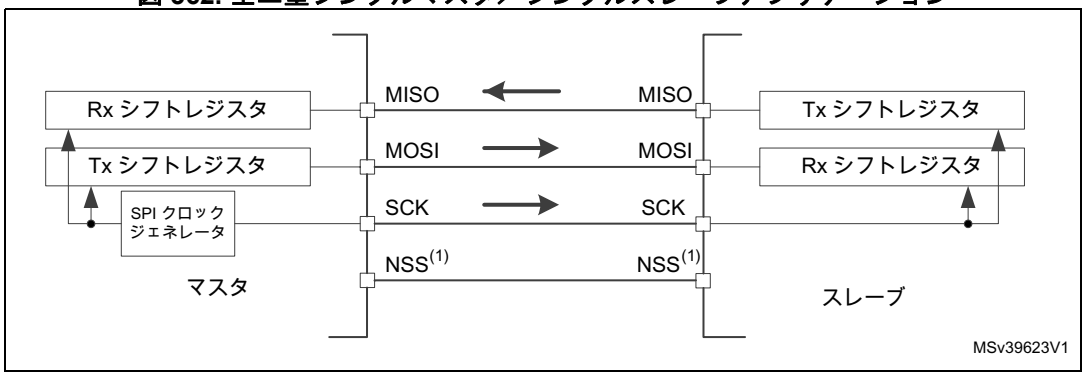
35.4.2 マスタとスレーブの 1 対 1 の通信

SPI を使用することで、MCU は対象となるデバイスやアプリケーション要件に応じたさまざまな設定で通信ができます。これらの設定には、2 または 3 本の線（ソフトウェア NSS 管理あり）、あるいは 3 または 4 本の線（ハードウェア NSS 管理あり）が使われます。通信は常にマスタによって開始されます。

全二重通信

SPI は、デフォルトで全二重通信に設定されます。この設定では、マスタおよびスレーブのシフトレジスタは、MOSI ピンと MISO ピンの間に 2 本の単方向ラインを介してリンクされます。SPI 通信の間、データはマスタから供給される SCK クロックのエッジに同期してシフトされます。マスタは、送信すべきデータを MOSI ライン経由でスレーブに送信し、MISO ライン経由でスレーブからデータを受信します。データフレーム転送が完了した（すべてのビットがシフトされた）時点で、マスタとスレーブの間で情報が交換されます。

図 362. 全二重シングルマスタ／シングルスレーブアプリケーション

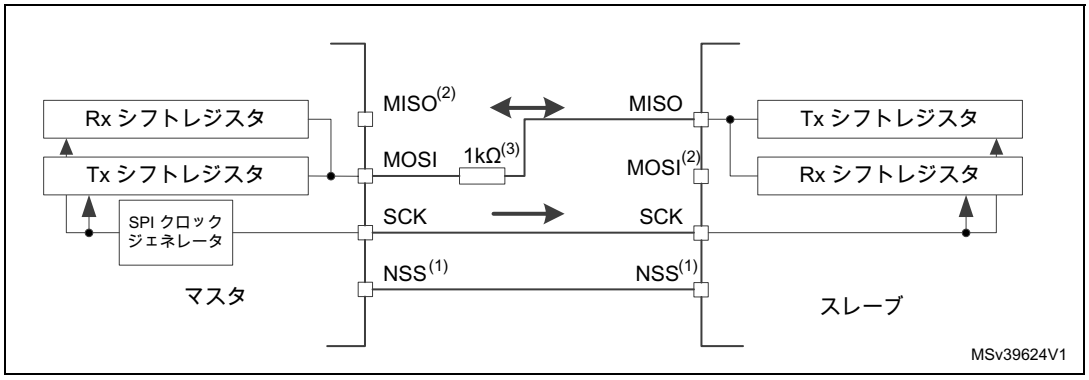


1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、セクション 35.4.5：スレーブ選択（NSS）ピンの管理を参照してください。

半二重通信

SPIx_CR1 レジスタの BIDIMODE ビットをセットすることで、SPI は半二重モードで通信できます。この設定では、1 本の交差接続ラインを使用して、マスタとスレーブのシフトレジスタを互いにリンクさせます。この通信中に、データは SCK クロックのエッジに同期して、シフトレジスタ間でシフトされます。シフトの方向は、マスタとスレーブの両方が SPIx_CR1 レジスタの BDIOE ビットを使用して相互に選択された転送方向となります。この設定では、マスタの MISO ピンとスレーブの MOSI ピンは、他のアプリケーションで使用でき、GPIO として機能します。

図 363. 半二重シングルマスタ／シングルスレーブアプリケーション



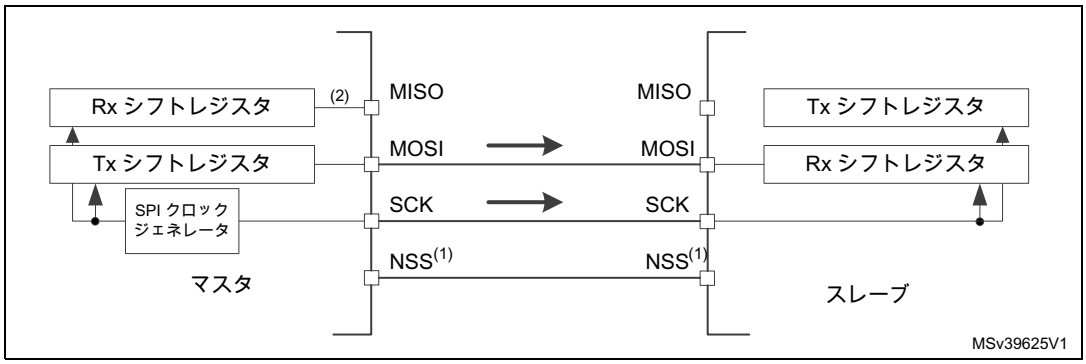
1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、セクション 35.4.5：スレーブ選択（NSS）ピンの管理を参照してください。
2. この設定では、マスタの MISO ピンとスレーブの MOSI ピンは、GPIO として使用できます。
3. 双方向モードで動作している 2 つのノード間で同期されず、通信方向が変更されて、新しいトランスミッタが共通のデータラインにアクセスし、前のトランスミッタが逆の値をライン上に保持している場合（値は SPI 設定および通信データによります）、重大な事態が発生する可能性があります。そのとき、両方のノードが競合し、次のノードが対応する方向設定に変更するまで、共有データラインで一時的に逆の出力レベルも供給されます。このモードでは MISO ピンと MOSI ピンの間に直列抵抗を挿入して、出力を保護し、この状況で流れる電流を制限することをお奨めします。

単方向通信

SPI は、SPIx_CR1 レジスタの RXONLY ビットを使用して送信専用または受信専用に設定することにより、単方向モードで通信できます。この設定では、マスタとスレーブのシフトレジスタ間の転送に使用するのは 1 ラインのみです。残りの MISO ピンと MOSI ピンのペアは通信には使用されず、標準の GPIO として使用できます。

- **送信専用モード（RXONLY = 0）の場合**：設定は全二重の場合と同じです。アプリケーションは、未使用の入力ピンでキャプチャされた情報を無視する必要があります。このピンは標準の GPIO として使用できます。
- **受信専用モード（RXONLY = 1）の場合**：アプリケーションにて、RXONLY ビットをセットすることによって、SPI 出力機能を無効にできます。スレーブ設定では、MISO 出力が無効化され、ピンを GPIO として使用することができます。スレーブ選択信号がアクティブな間は、スレーブは MOSI ピンからデータを受信し続けます（35.4.5：スレーブ選択（NSS）ピンの管理を参照）。データバッファの設定に応じて、受信データイベントが出現します。マスタ設定では、MOSI 出力が無効化され、ピンを GPIO として使用することができます。SPI が有効である間はクロック信号が生成され続けます。クロックを停止させる唯一の方法は、クロックの設定に応じて、RXONLY ビットまたは SPE ビットをクリアし、MISO ピンからの受信パターンが終了し、データバッファ構造への書込みが行われるまで待つことです。

図 364. 単方向シングルマスタ／シングルスレーブアプリケーション（送信専用モードのマスタ／受信専用モードのスレーブ）



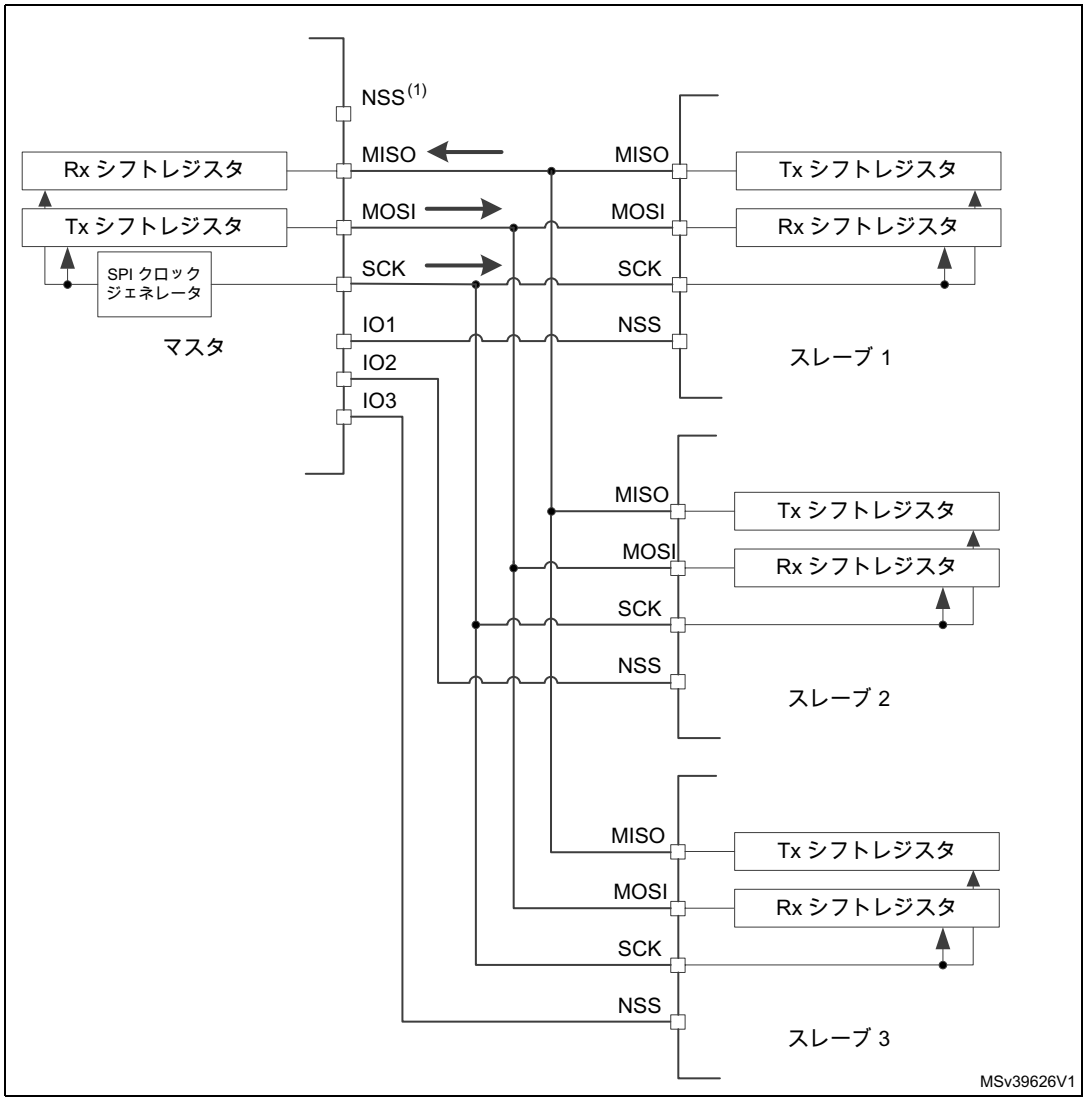
1. NSS ピンを使用して、マスタとスレーブ間のハードウェア制御フローを実現できます。オプションで、ペリフェラルによってピンを未使用状態のままにできます。そのとき、マスタとスレーブ両方に対して内部操作を行う必要があります。詳細については、セクション 35.4.5：スレーブ選択（NSS）ピンの管理を参照してください。
2. 予期しない入力情報はトランスミッタ Rx シフトレジスタの入力でキャプチャされます。トランスミッタ受信フローに関連するすべてのイベントは、標準の送信専用モード（たとえば、OVR フラグ）では無視する必要があります。
3. この設定では、両方のMISO ピンを GPIO として使用できます。

注： すべての単方向通信は、トランザクション方向の設定を固定して（双方向モードは BDIO ビットが変化しない限り有効）、別の半二重通信に置き換えることができます。

35.4.3 標準マルチスレーブ通信

2 つ以上の独立したスレーブがある設定の場合、マスタは GPIO ピンを使用して、各スレーブのチップセレクトラインを管理します（図 365 を参照）。マスタは、スレーブの NSS 入力に接続されている GPIO をローレベルにプルダウンすることによって、スレーブの 1 つを選択する必要があります。これを行うことにより、標準マスタと専用スレーブの通信が確立します。

図 365. マスタと 3 つの独立したスレーブ



1. この設定では、NSS ピンはマスタ側では使用しません。内部的に管理（SSM=1、SSI=1）し、あらゆる MODF エラーを防ぐ必要があります。
2. スレーブの MISO ピンは相互接続されているので、すべてのスレーブにおいて、その MISO ピンの GPIO 設定をオルタネート機能オープンドレインとしてセットする必要があります（I/O オルタネート機能の入力／出力のセクション（GPIO）を参照）。

35.4.4 マルチマスタ通信

SPI バスが本来マルチマスタ機能向けに設計されていない限り、同時にバスを支配しようとする 2 つのノード間での競合の可能性を検出する内蔵機能を使用できます。この検出では、NSS ピンをハードウェア入力モードで設定して使用します。

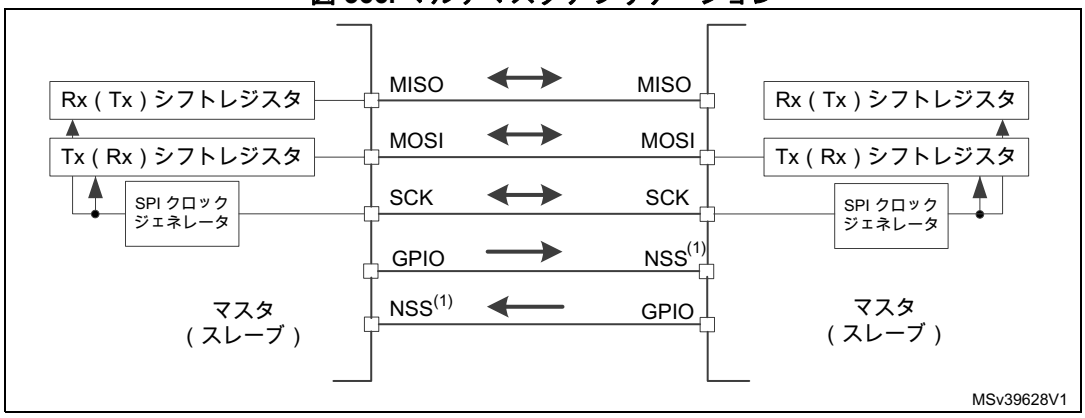
共通のデータラインで一度に出力を適用できるノードは 1 つだけであるため、このモードで動作している 2 つ以上の SPI ノードの接続は、不可能です。

ノードが非アクティブであるとき、両ノードはデフォルトでスレーブモードのままとなります。1 つのノードがバスでの制御を得る場合、自身をマスタモードに切り替えて、専用の GPIO ピンを介して他のノードのスレーブ選択入力にアクティブレベルを適用します。セッションが完了すると、アク

ティブスレーブ選択信号が解放され、バスを一時的に支配するノードがパッシブスレーブモードに戻り、次のセッション開始を待機します。

両ノードのマスタリングリクエストが同時に上がった場合、バス競合イベントが発生します（モードフォールト MODF イベントを参照）。その場合、いくつかの簡単なアービトレーションプロセスを適用できます（たとえば、両方のノードに適用する事前定義された異なるタイムアウトによって次の試行を延期します）。

図 366. マルチマスタアプリケーション



1. NSS ピンは両ノードでハードウェア入力モードで設定されます。アクティブレベルにすることで、パッシブノードがスレーブとして設定されるため、MISO ライン出力の制御が可能になります。

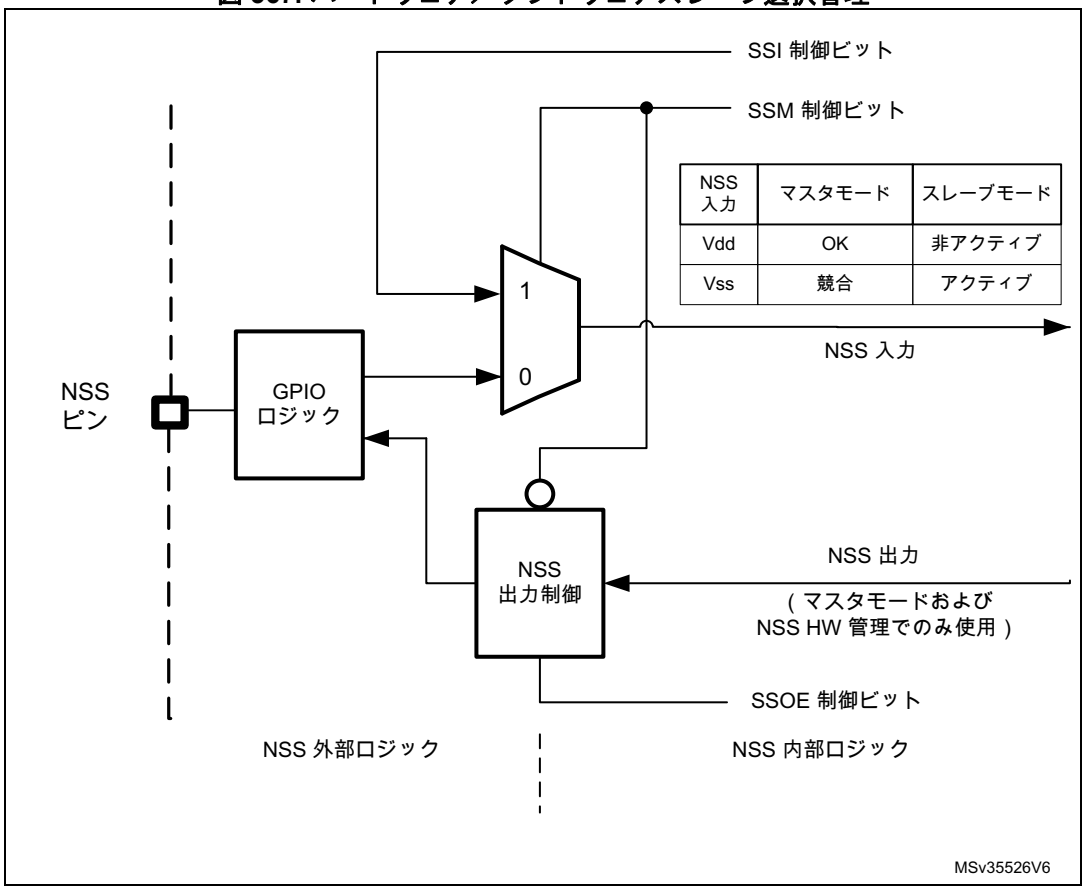
35.4.5 スレーブ選択（NSS）ピンの管理

スレーブモードでは、NSS は標準の「チップセレクト」入力として機能し、スレーブをマスタと通信させます。マスタモードでは、NSS は出力としても入力としても使用できます。入力として使用する場合、NSS はマルチマスタのバスの衝突を未然に防ぎ、出力として使用する場合は 1 つのスレーブのスレーブ選択信号を駆動させることができます。

ハードウェアまたはソフトウェアのスレーブ選択管理は、SPIx_CR1 レジスタの SSM ビットを使用して、以下のようにセットすることができます。

- **ソフトウェア NSS 管理（SSM = 1）**：この設定では、スレーブ選択情報は SPIx_CR1 レジスタの SSI ビットの値によって内部で駆動されます。外部 NSS ピンは他のアプリケーションで使用できます。
- **ハードウェア NSS 管理（SSM = 0）**：この場合、2 通りの設定が可能です。次のどちらの設定を使用するかは、NSS 出力設定（SPIx_CR1 レジスタの SSOE ビット）によって決まります。
  - **NSS 出力が有効な場合（SSM = 0、SSOE = 1）**：この設定は、MCU がマスタとしてセットされている場合にのみ使用します。NSS ピンはハードウェアによって管理されます。NSS 信号は、SPI がマスタモードで有効になる（SPE = 1）とすぐにローレベルに駆動され、SPI が無効化される（SPE = 0）までローレベルに保たれます。パルスは、NSS パルスモードが有効になると連続通信間で生成できます（NSSP = 1）。この NSS 設定では、SPI はマルチマスタ設定で機能させることはできません。
  - **NSS 出力が無効な場合 (SSM = 0, SSOE = 0)**：マイクロコントローラがバスでマスタとして機能している場合、この設定によりマルチマスタ機能が可能になります。このモードで、NSS ピンがローレベルにプルダウンされた場合、SPI はマスタモードのフォールト状態に入り、デバイスは自動的にスレーブモードに再設定されます。スレーブモードでは、NSS ピンは標準の「チップセレクト」入力として機能し、NSS ラインがローレベルの間はスレーブが選択されます。

図 367. ハードウェア／ソフトウェアスレーブ選択管理



35.4.6 通信フォーマット

SPI 通信中は受信と送信の操作が同時に行われます。シリアルクロック（SCK）は、データライン上で行われる情報のシフトとサンプリングを同期させます。通信フォーマットは、クロック位相、クロック極性、およびデータフレームフォーマットに応じて決定されます。マスタデバイスとスレーブデバイスの通信を可能にするには、双方が同じ通信フォーマットに従う必要があります。

クロックの位相および極性の制御

SPIx_CR1 レジスタの CPOL ビットと CPHA ビットを使用することによって、考えられる 4 つのタイミングの関係をソフトウェアで選択できます。CPOL（クロック極性）ビットは、データが転送されていないときのクロックのアイドル状態の値を制御します。このビットは、マスタモードとスレーブモードの両方に影響を与えます。CPOL がリセットされると、SCK ピンはローレベルのアイドル状態になります。CPOL がセットされると、SCK ピンはハイレベルのアイドル状態になります。

CPHA ビットがセットされると、SCK ピンの 2 番目のエッジがトランザクションの最初のデータビットをキャプチャします（CPOL ビットがリセットされていれば立ち下がりエッジ、CPOL ビットがセットされていれば立ち上がりエッジ）。データは、この種のクロック遷移が発生するたびにラッチされます。CPHA ビットがリセットされている場合、SCK ピンの 1 番目のエッジがトランザクションの最初のデータビットをキャプチャします（CPOL ビットがセットされていれば立ち下がりエッジ、CPOL ビットがリセットされていれば立ち上がりエッジ）。データは、この種のクロック遷移が発生するたびにラッチされます。

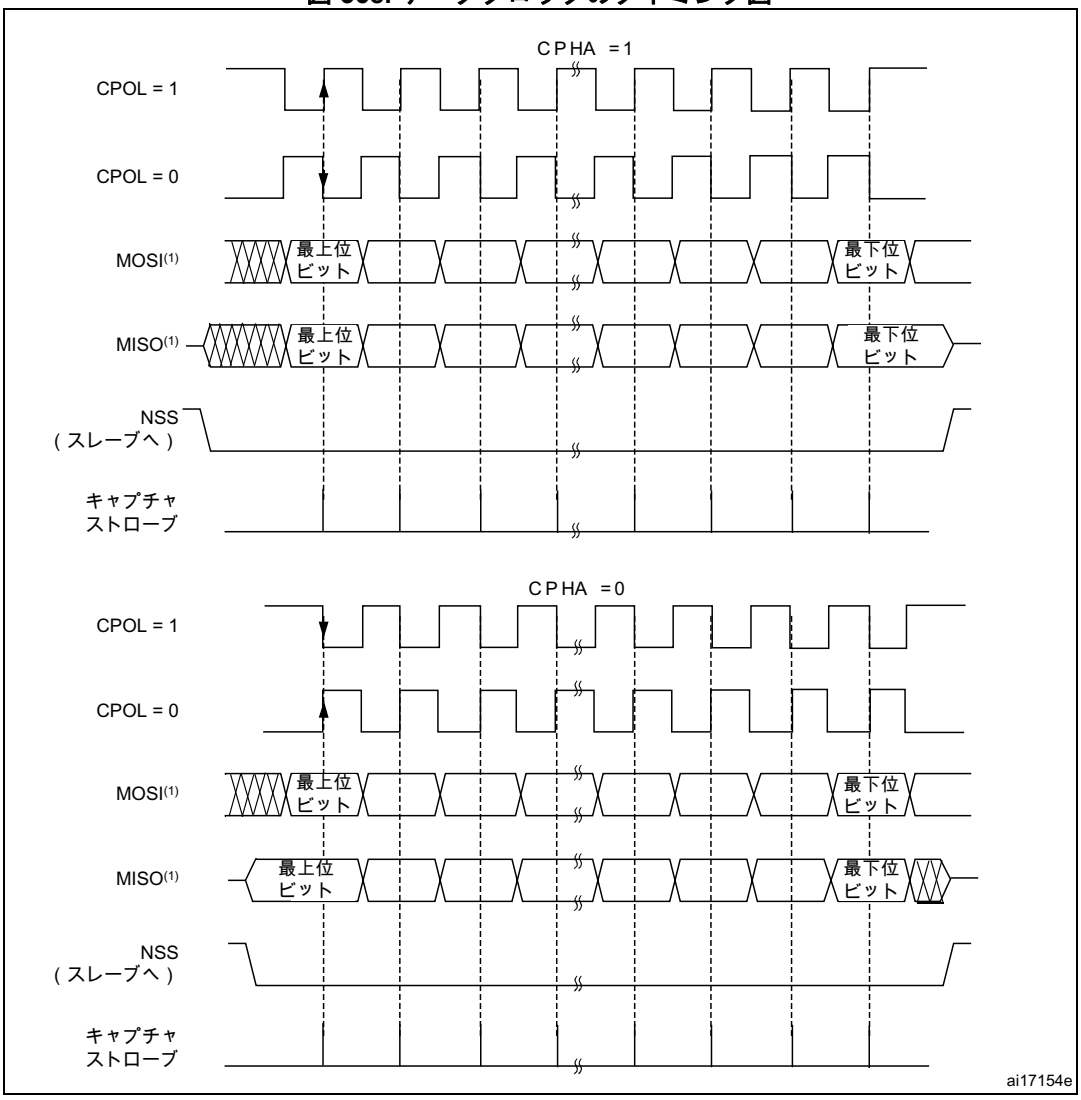
CPOL（クロック極性）ビットと CPHA（クロック位相）ビットの組み合わせによって、データキャプチャのクロックエッジを選択できます。

図 368 は、CPHA ビットと CPOL ビットの 4 つの組み合わせによる SPI 全二重転送を示しています。

注： **CPOL または CPHA ビットを変更する前に、SPE ビットをリセットすることによって、SPI を無効にする必要があります。**

SCK のアイドル状態は、SPIx_CR1 レジスタで（CPOL = 1 なら SCK のプルアップ、CPOL = 0 なら SCK のプルダウンによって）選択された極性に一致する必要があります。

図 368. データクロックのタイミング図

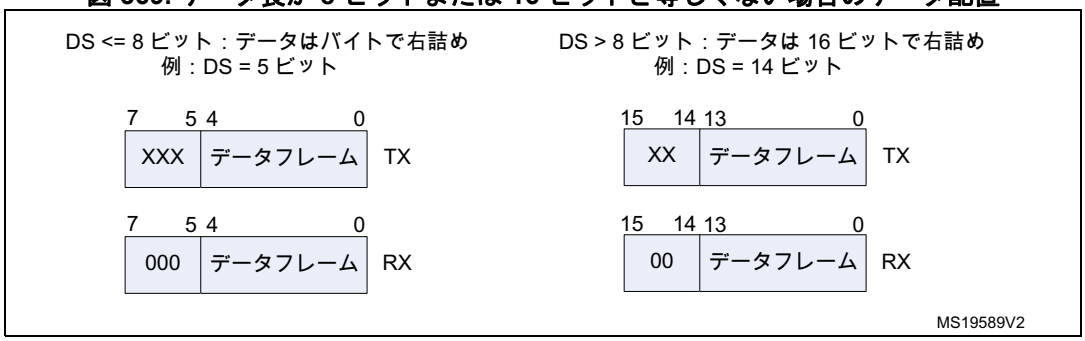


1. データビットの順序は LSBFIRST ビットの設定値に依存します。

データフレームフォーマット

LSBFIRST ビットの値に応じて、SPI シフトレジスタを設定することで、シフトをMSB ファーストまたは LSB ファーストに設定することができます。データフレームサイズは、DS ビットを使用して選択できます。4 ビットから 16 ビット長までの間にセットでき、この設定は送信と受信の両方に適用できます。選択されたデータフレームサイズにかかわらず、FIFO への読出しアクセスは FRXTH レベルに整列されている必要があります。SPIx_DR レジスタにアクセスすると、データフレームはバイト（データがバイトに適合する場合）またはハーフワード（図 369 を参照）のいずれかに常に右詰めされます。通信中、データフレーム内のビットのみがクロック供給され、送信されます。

図 369. データ長が 8 ビットまたは 16 ビットと等しくない場合のデータ配置



注： **最小データ長は 4 ビットです。4 ビット未満のデータ長が選択された場合は、8 ビットのデータフレームサイズに固定されます。**

35.4.7 SPI の設定

設定手順は、マスタとスレーブではほぼ同じです。特定のモードの設定については、それぞれのモードに関するセクションを参照してください。標準通信を初期化する必要があるときは、以下の手順を実行します。

1. 適切な GPIO レジスタに書込みを行います。MOSIピン、MISOピン、SCKピンの GPIO 設定を行います。
2. SPI_CR1 レジスタに書込みを行います。
   a) BR[2:0] ビットを使用して、シリアルクロックボーレートを設定します（注：4）。
   b) CPOL ビットと CPHA ビットの組み合わせを設定して、データ転送とシリアルクロックの 4 つの関係のうちの 1 つを定義します（CPHA は NSSP モードでクリアする必要があります）。（注：2 - CRC が TI モードで有効になっている場合を除きます）。
   c) RXONLY または BIDIMODE、および BIDIOE を設定することによって（RXONLY と BIDIMODE は同時にセットできません）、単方向または半二重モードを選択します。
   d) LSBFIRST ビットを設定して、フレームフォーマットを定義します（注：2）。
   e) CRC が必要な場合は（SCK クロック信号がアイドル状態のとき）、CRCL と CRCEN ビットを設定します。
   f) SSM と SSI を設定します（注：2 および 3）。
   g) MSTR ビットを設定します（マルチマスタ NSS 設定では、MODF エラーを防ぐためにマスタが設定されている場合、NSS での競合を避けること）。

3. 以下のように、SPI_CR2 レジスタに書込みを行います。
   a) 転送のデータ長を選択するために DS[3:0] ビットを選択します。
   b) SSOE を設定します（注：1、2、3）。
   c) TI プロトコルが必要な場合は FRF ビットをセットします（TI モードで NSSP ビットをクリアされたままにする）。
   d) 2 つのデータユニット間で NSS パルスモードが必要な場合は NSSP ビットをセットします（NSSP モードで CHPA と TI ビットをクリアされたままにする）。
   e) FRXTH ビットを設定します。RXFIFO 閾値は、SPIx_DR レジスタの読出しアクセスサイズに揃える必要があります。
   f) DMA がパックモードで使用される場合は､LDMA_TX および LDMA_RX ビットを初期化します。
4. SPI_CRCPR レジスタに書込みを行います。必要に応じて CRC 多項式を設定します。
5. 適切な DMA レジスタに書込みを行います。DMA ストリームが使用されている場合は、DMA レジスタに SPI Tx および Rx 専用の DMA ストリームを設定します。

注： **（1）このステップはスレーブモードでは必要ありません。**

（2）このステップは TI モードでは必要ありません。

（3）このステップは NSSP モードでは必要ありません。

（4）このステップは、スレーブモードにて TI モードで動作している場合を除き、スレーブモードでは必要ありません。

35.4.8 SPI を有効にする手順

マスタがクロックを送信する前に、SPI スレーブを有効にすることを推奨します。さもなければ、望ましくないデータ送信が発生することがあります。スレーブのデータレジスタは、マスタとの通信を開始する前に、送信データをすでに格納していなければなりません（通信クロックの 1 番目のエッジに、またはクロック信号が連続的なときは現在の通信の最後の前に）。SPI スレーブが有効になる前に、SCK 信号を選択された極性に対応するアイドル状態のレベルに安定させる必要があります。

全二重（または送信専用モード）のマスタは、SPI が有効で TXFIFO がエンプティでない場合、または次の TXFIFO への書込み時に通信を開始します。

あらゆるマスタ受信専用モードにおいて（RXONLY = 1 または BIDIMODE = 1、および BIDIOE = 0）、SPI が有効になるとすぐに、マスタは通信を開始し、クロックは動作を開始します。

DMA を処理するには、該当するセクションを参照してください。

35.4.9 データの送受信手順

RXFIFO および TXFIFO

すべての SPI データトランザクションは 32 ビット埋め込み FIFO を通過します。これにより、SPI は連続フローで動作できるようになり、またデータフレームサイズが短い場合にオーバーランを防ぐことができます。各方向にはそれぞれ TXFIFO と RXFIFO と呼ばれる固有の FIFO があります。これらの FIFO は、CRC 計算を有効にした状態で、受信専用モード（スレーブまたはマスタ）を除くすべての SPI モードで使用されます（セクション 35.4.14：CRC 計算を参照）。

FIFO の扱いはデータ変換モード（二重、単方向）、データフレームフォーマット（フレーム内のビット数）、FIFO データレジスタで実行されるアクセスサイズ（8 ビットまたは 16 ビット）、および FIFO アクセス時にデータパッキングが使用されるかどうかに従います（セクション 35.4.13：TI モードを参照）。

SPIx_DR レジスタへの読出しアクセスからは、RXFIFO に保管された、まだ読み出されていない一番古い値が返されます。SPIx_DR への書込みアクセスでは、送信キューの最後に TXFIFO に書き込まれるデータを保管します。読出しアクセスは、必ず SPIx_CR2 レジスタの FRXTH ビットによって設定された RXFIFO 閾値に揃える必要があります。FTLVL[1:0] および FRLVL[1:0] ビットは、両方の FIFO について現在の占有レベルを示します。

SPIx_DR レジスタへの読出しアクセスは RXNE イベントで管理する必要があります。このイベントは、データが RXFIFO に保管され、閾値（FRXTH ビットで定義される）に達した場合にトリガされます。RXNE がクリアされると、RXFIFO はエンプティであるとみなされます。同じように、送信するデータフレームの書込みアクセスは TXE イベントで管理されます。このイベントは、TXFIFO レベルが容量の半分以下である場合にトリガされます。そうでない場合、TXE はクリアされ、TXFIFO がフルであるとみなされます。このように、データフレームフォーマットが 8 ビットを超えない場合、TXFIFO では最大 3 つのデータフレームのみを保管できるのに対し、RXFIFO では最大 4 つを保管することができます。この差異は、ソフトウェアが 16 ビットモードで TXFIFO により多くのデータの書込みを試みた場合に、すでに TXFIFO に保管されている 3x 8 ビットデータフレームが破損する可能性を防ぎます。TXE イベントと RXNE イベントの両方を割込みによってポーリングまたは処理できます。図 371 から 図 374 までを参照してください。

データ交換を管理するもう一つの方法は、DMA を使用することです（DMA（ダイレクトメモリアクセス）を使用する通信を参照）。

RXFIFO がフルのときに次のデータを受信した場合、オーバーランイベントが発生します（セクション 35.4.10：SPI ステータスフラグの OVR フラグの説明を参照）。オーバーランイベントは割込みによってポーリングまたは処理できます。

セットされる BSY ビットは、現在のデータフレームの進行中のトランザクションを示します。クロック信号が流れ続けているときは、BSY フラグはマスタ側のデータフレーム間でセットされたままになりますが、スレーブの各データフレーム転送間の 1 つの SPI クロックの最小時間においてローレベルになります。

シーケンス処理

いくつかのデータフレームを単一シーケンスに渡してメッセージを完成させることができます。送信が有効な場合、シーケンスはマスタ側の TXFIFO に何らかのデータが存在する場合に開始し、その間続行します。TXFIFO がエンプティになるまで、マスタによってクロック信号が供給され続け、その後追加のデータを待つことを停止します。

半二重（BIDIMODE=1、BIDIOE=0）または単方向（BIDIMODE=0、RXONLY=1）の受信専用モードでは、SPI が有効化され、受信専用モードがアクティブ化されると、直ちにマスタによってシーケンスが開始されます。マスタによってクロック信号が供給されますが、この信号はマスタが SPI または受信専用モードを無効にするまで停止しません。マスタは、クロック信号が停止するまでデータフレームを受信し続けます。

マスタはあらゆるトランザクションを連続モードで供給できる（SCK 信号は連続的）一方で、データフローおよびその内容をいつでも処理できるスレーブ機能を優先する必要があります。必要に応じて、マスタは通信速度を下げ、より低速のクロックか、または十分な遅延を含む個別のフレーム／データセッションを供給する必要があります。次の 2 点に注意してください。SPI モードのマスタまたはスレーブに対するアンダーフローエラー信号はありません。また、スレーブからのデータは、たとえスレーブがそれらのデータを時間内に適切に準備できない場合でも、常にマスタによってトランザクション処理されます。スレーブが DMA を使用することが特に望ましいのは、データフレームが短く、バスが高速の場合です。

マルチスレーブシステムにおいて通信用のスレーブを 1 つだけ選択するには、各シーケンスをNSS パルス内に収める必要があります。単一のスレーブシステムでは NSS によってスレーブを制御する必要はありませんが、スレーブを各データ転送シーケンスの開始と同期させるために、ここにもパルスを供給することをお勧めします。NSS は、ソフトウェアとハードウェアの両方で管理できます（セクション 35.4.5：スレーブ選択（NSS）ピンの管理を参照）。

セットされた BSY ビットは、進行中のデータフレームトランザクションを示します。専用のフレームトランザクションが終了すると、RXNE フラグが立てられます。最後のビットは単にサンプリングされ、すべてのデータフレームが RXFIFO に保管されます。

SPI を無効にする手順

SPI を無効にする場合は、本項に記載されている無効化手順に従ってください。この手順は、ペリフェラルクロックが停止し、システムが低電力モードに入る前に行うことが重要です。この場合、進行中のトランザクションが破壊されることがあります。モードによっては、この無効化手順が連続通信を停止させる唯一の方法です。

全二重または送信専用モードでは、マスタは、転送するデータの供給を停止した時点でいかなるトランザクションも終了することができます。この場合、クロックは最後のデータトランザクション後に停止します。奇数のデータフレームがダミーバイトの変換を防ぐためにトランザクション処理された場合、パッキングモードでは特に注意する必要があります（データパッキングセクションを参照）。これらのモードで SPI を無効化する前に、ユーザは標準的な無効化手順に従う必要があります。フレームトランザクションの進行中または次のデータフレームを TXFIFO に保管しているときにマスタトランスミッタで SPI を無効化した場合、SPI の動作は保証されません。

マスタがいずれかの受信専用モードに設定されている場合、連続クロックを停止する唯一の方法は SPE=0 にしてペリフェラルを無効にすることです。これは、最初のビットのサンプリング時間の間、および最後のビット転送が開始される前における最後のデータフレームトランザクション内の特定の時間枠内で発生する必要があります（予測されるデータフレームの総数を受信し、最後の有効データフレーム後に追加の「ダミー」データの読出しを防ぐため）。このモードで SPI を無効にするには、特定の手順に従う必要があります。

SPI が無効の場合、受信済みで読み出されていないデータは RXFIFO に保管されたままになり、次に SPI を有効にする際に、新しいシーケンスを開始する前に処理する必要があります。未読のデータを防ぐには、SPI を無効にする際に RXFIFO がエンプティであることを確認してください。これは、正しい無効化手順を使用して、またはペリフェラルリセット専用の固有レジスタを制御してソフトウェアリセットを行い、すべての SPI レジスタを初期化することで確認できます(RCC_APBiRSTR レジスタの SPIiRST ビットを参照)。

標準的な無効化手順は、送信セッションが完全に終わったかどうかをチェックするために、FTLVL[1:0] および BSY フラグの状態をプルして行われます。このチェックは、たとえば以下に示すように、進行中のトランザクションの終わりを識別する必要があるような特別な場合にも行うことができます。

- NSS 信号がソフトウェアによって管理されており、マスタはスレーブに適切な NSS パルスの終わりを提供する必要がある場合
- 最後のデータフレームまたは CRC フレームのトランザクションがまだペリフェラルバスで進行している間に、DMA または FIFO からのトランザクションのストリームが完了した場合

正しい無効化手順を以下に示します（受信専用モードが使用されている場合を除く）。

1. FTLVL[1:0] = 00（送信するデータがなくなる）まで待ちます。
2. BSY = 0 （最後のデータフレームが処理される）まで待ちます。
3. SPI を無効にします（SPE = 0）。
4. FRLVL[1:0] = 00（受信したデータをすべて読み出す）までデータを読み出します。

受信専用モードの場合の正しい無効化手順を以下に示します。

1. 最後のデータフレームの進行中に特定の時間枠内で SPI を無効（SPE = 0）にすることにより、受信フローへの割込みを行います。
2. BSY = 0 （最後のデータフレームが処理される）まで待ちます。
3. FRLVL[1:0] = 00（受信したデータをすべて読み出す）までデータを読み出します。

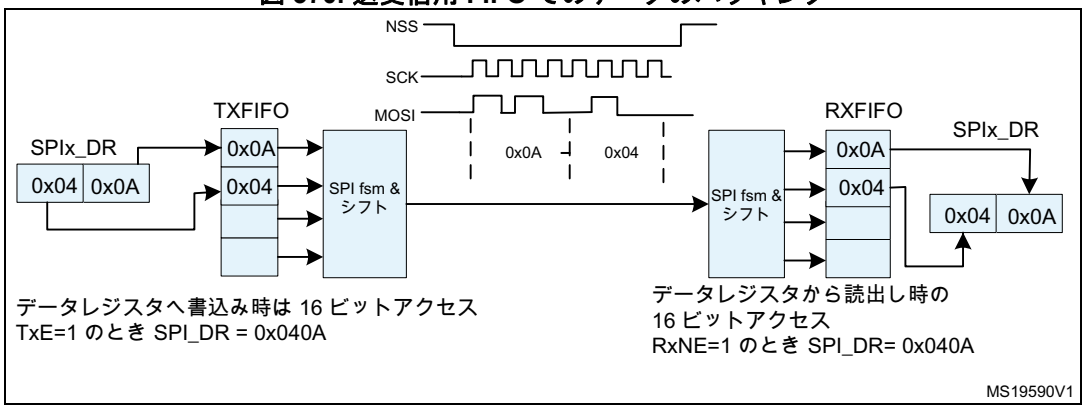
注： **パッキングモードが使用され、8 ビット以下（1 バイトに適合）のフォーマットの奇数のデータフレームを受信する必要がある場合は、FRLVL[1:0] = 01 のときに FRXTH をセットしなければなりません。これにより、最後の奇数データフレームを読み出し、良好な FIFO ポインタの整列を維持するための RXNE イベントが生成されます。**

データパッキング

データフレームサイズが 1 バイト（8 ビット以下）に適合する場合、SPIx_DR レジスタで 16 ビットの読出しまたは書込みアクセスが実行されたときに、自動的にデータパッキングが使用されます。この場合、二重データフレームパターンが並行して処理されます。最初に、SPI はアクセスしたワードの LSB に保管されたパターンを使用して動作します。次に、MSB に保管された残り半分を使用して動作します。図 370 に、データパッキングモードのシーケンス処理の例を示します。2 つのデータフレームは、トランスミッタの SPIx_DR レジスタに単一の 16 ビットがアクセスした後で送信されます。このシーケンスでは、RXFIFO 閾値が 16 ビット（FRXTH=0）にセットされている場合に、レシーバで 1 つの RXNE イベントのみを生成できます。この場合、この単一の RXNE イベントへのレスポンスとして、レシーバは SPIx_DR の単一の 16 ビット読出しにより、両方のデータフレームにアクセスする必要があります。RxFIFO 閾値設定および以下の読出しアクセスは、常にレシーバ側に整列させる必要があります。整列されていない場合は、データを失う可能性があります。

これらの奇数の「1 バイトに適合」するデータフレームを処理する必要がある場合、特定の問題が発生します。トランスミッタ側では、SPIx_DR への 8 ビットアクセスを持つ任意の奇数シーケンスの最後のデータフレームを書き込むだけで十分です。レシーバでは、RXNE イベントを生成するために、フレームの奇数シーケンスで受信した最後のデータフレームの Rx_FIFO 閾値レベルを変更する必要があります。

図 370. 送受信用 FIFO でのデータのパッキング



DMA（ダイレクトメモリアクセス）を使用する通信

最高速度で動作し、オーバーランを回避するために必要なデータレジスタの読出し／書込み処理を容易にするために、SPI は簡単なリクエスト／確認応答プロトコルを実現する DMA 機能を備えています。

SPIx_CR2 レジスタの TXDMAEN または RXDMAEN 有効ビットをセットすると、DMA アクセスがリクエストされます。TxバッファとRxバッファには、別々のリクエストを発行する必要があります。

- 送信では、TXE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPIx_DR レジスタに書き込みます。
- 受信では、RXNE が 1 にセットされるたびに DMA リクエストが発行されます。その後、DMA は SPIx_DR レジスタを読み出します。

図 371 から 図 374までを参照してください。

SPI がデータの送信にのみ使用される場合、SPI Tx DMA チャネルのみを有効にすることができます。この場合、受信したデータは読み出されないため、OVR フラグがセットされます。SPI がデータの受信にのみ使用される場合、SPI Rx DMA チャネルのみを有効にすることができます。

送信モードで、DMA がすべての送信データを書き込んだとき（DMA_ISR レジスタの TCIF フラグがセットされます）、BSY フラグを監視することで SPI 通信の完了を確認できます。最後の送信内容の破壊を避けるために、SPI を無効にする前、または STOP モードに入る前にこの操作を行う必要があります。ソフトウェアは、まず FTLVL[1:0] = 00 になるまで待ってから、BSY=0 になるまで待つ必要があります。

DMA を使用して通信を開始する場合、DMA チャネルの管理によるエラーイベントを防ぐために、以下の手順を順に実行する必要があります。

1. DMA Rx が使用される場合、SPI_CR2 レジスタの RXDMAEN ビットの DMA Rx バッファを有効にします。
2. ストリームが使用される場合、DMA レジスタにて TxおよびRxの DMA ストリームを有効にします。
3. DMA Tx が使用される場合、SPI_CR2 レジスタの TXDMAEN ビットにてDMA Tx バッファを有効にします。
4. SPE ビットをセットして、SPI を有効にします。

通信を終了するには、以下の手順を順に実行する必要があります。

1. ストリームが使用される場合、DMA レジスタにて TxおよびRxの DMA ストリームを無効にします。
2. SPI 無効化手順に従って SPI を無効にします。
3. DMA Tx および（または）DMA Rx が使用されている場合、SPI_CR2 レジスタの TXDMAEN ビットおよび RXDMAEN ビットをクリアすることにより、DMA Tx バッファおよび Rx バッファを無効にします。

DMA によるパッキング

DMA（SPIx_CR2 レジスタでセットされた TXDMAEN および RXDMAEN）で転送が管理される場合、パッキングモードは SPI TX および SPI RX DMA チャネルで設定される PSIZE 値によって、自動的に有効／無効になります。DMA チャネルの PSIZE 値が 16 ビットと等しい場合、SPI データサイズは 8 ビット以下で、パッキングモードは有効になります。その後、DMA は SPIx_DR レジスタへの書込み動作を管理します。

データパッキングモードを使用する場合で転送データ数が 2 の倍数でない場合は、LDMA_TX/LDMA_RX ビットをセットする必要があります。SPI では、最後の DMA 転送の送受信に 1 つのデータのみを考慮します（詳細については、1189 ページのデータパッキングを参照）。

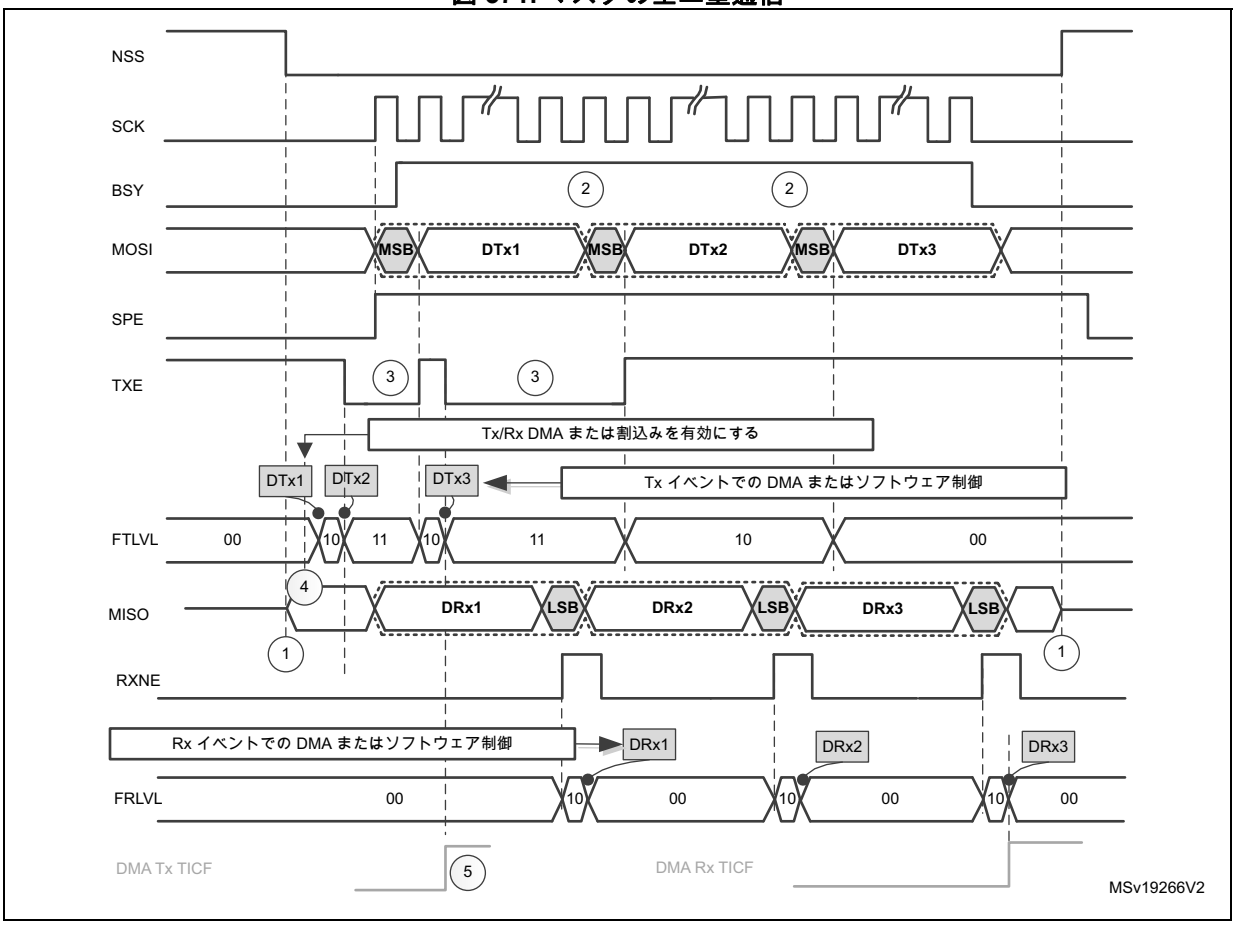
通信図

このセクションでは、一部の標準的なタイミング構成について説明します。これらの構成は、SPI イベントの処理方法（ポーリング、割込み、または DMA）にかかわらず有効です。単純にするには、ここでは LSBFIRST=0、CPOL=0、および CPHA=1 設定を共通の前提として使用します。DMA ストリームの完全な設定は提供されません。

以下の番号が付された注は、1192 ページの図 371 から 1195 ページの図 374 に共通です。

1. スレーブは、NSS がアクティブで SPI が有効になると MISO ラインを制御し始め、そのいずれかがリリースされるとラインから切断されます。事前にマスタ専用のデータを準備するには、トランザクションを開始する前にスレーブに十分な時間を与える必要があります。
   マスタでは、SPI が有効な場合のみ、SPI ペリフェラルが MOSI および SCK 信号で（また、ときに NSS 信号でも）制御できるようになります。SPI が無効の場合、SPI ペリフェラルは GPIO ロジックから切断され、これによりこれらのラインのレベルは GPIO 設定にのみ依存します。
2. マスタでは、通信（クロック信号）が連続的な場合に、BSY はフレーム間でアクティブなままとなります。スレーブでは、BSY 信号は必ずフレーム間で最低でも 1 クロックサイクルは無効になります。
3. TXE 信号は TXFIFO がフルの場合にのみクリアされます。
4. DMA アービトレーションプロセスは TXDMAEN ビットのセット後すぐに開始します。TXE 割込みは TXEIE のセット後すぐに生成されます。TXE 信号がアクティブレベルにあると、TxFIFO へのデータ転送が開始され、TxFIFO がフルまたは DMA 転送が完了するまで続きます。
5. 送信するデータをすべて TxFIFO に適合することができる場合、SPI バスでの通信が開始される前に DMA Tx TCIF フラグを立てることができます。このフラグは、常に SPI トランザクションが完了する前に立てられます。
6. パッケージの CRC 値は、SPIx_TXCRCR および SPIx_RXCRCR レジスタで、フレームごとに連続的に計算されます。CRC 情報はすべてのデータパッケージが完了した後で処理されます。これは、自動的に DMA で（必ず Tx チャネルを処理するフレーム数にセットすること）、またはソフトウェアで（必ず最後のデータフレーム処理中に CRCNEXT を処理すること）行われます。SPIx_TXCRCR で計算された CRC 値がトランスミッタによって簡単に送信されるのに対し、受信した CRC 情報は RxFIFO に読み込まれ、SPIx_RXCRCR レジスタの内容と比較されます（差異がある場合は、ここで CRC エラーフラグが立てられます）。このため、ユーザは注意してこの情報を FIFO から一掃する必要があります。これには、RxFIFO のすべての保管された内容を読み出すソフトウェアか、Rx チャネルの適切なデータフレーム数がプリセットされている場合は DMA を使用します（データフレーム数 + CRC フレーム数）（前提条件の例の設定を参照）。
7. データがパックされたモードで、TxE および RxNE イベントはペアにされ、データフレーム数が偶数になるまで FIFO への各読出し／書込みアクセスは 16 ビット幅となります。TxFIFO が ¾ フルの場合、FTLVL ステータスは FIFO フルレベルのままです。このため、最後の奇数のデータフレームを TxFIFO が ½ フルになる前に格納することはできません。このフレームは 8 ビットアクセスを持つ TxFIFO に格納されます。これは、ソフトウェアで、または LDMA_TX 制御がセットされている場合は自動的に DMA で行われます。
8. パックされたモードで最後の奇数のデータフレームを受信するには、最後のデータフレームが処理された時に Rx 閾値を 8 ビットに変更する必要があります。これは、ソフトウェアで FRXTH=1 に設定するか、LDMA_RX がセットされている場合は自動的に DMA 内部信号で行われます。

図 371. マスタの全二重通信



マスタの全二重通信の前提条件の例：

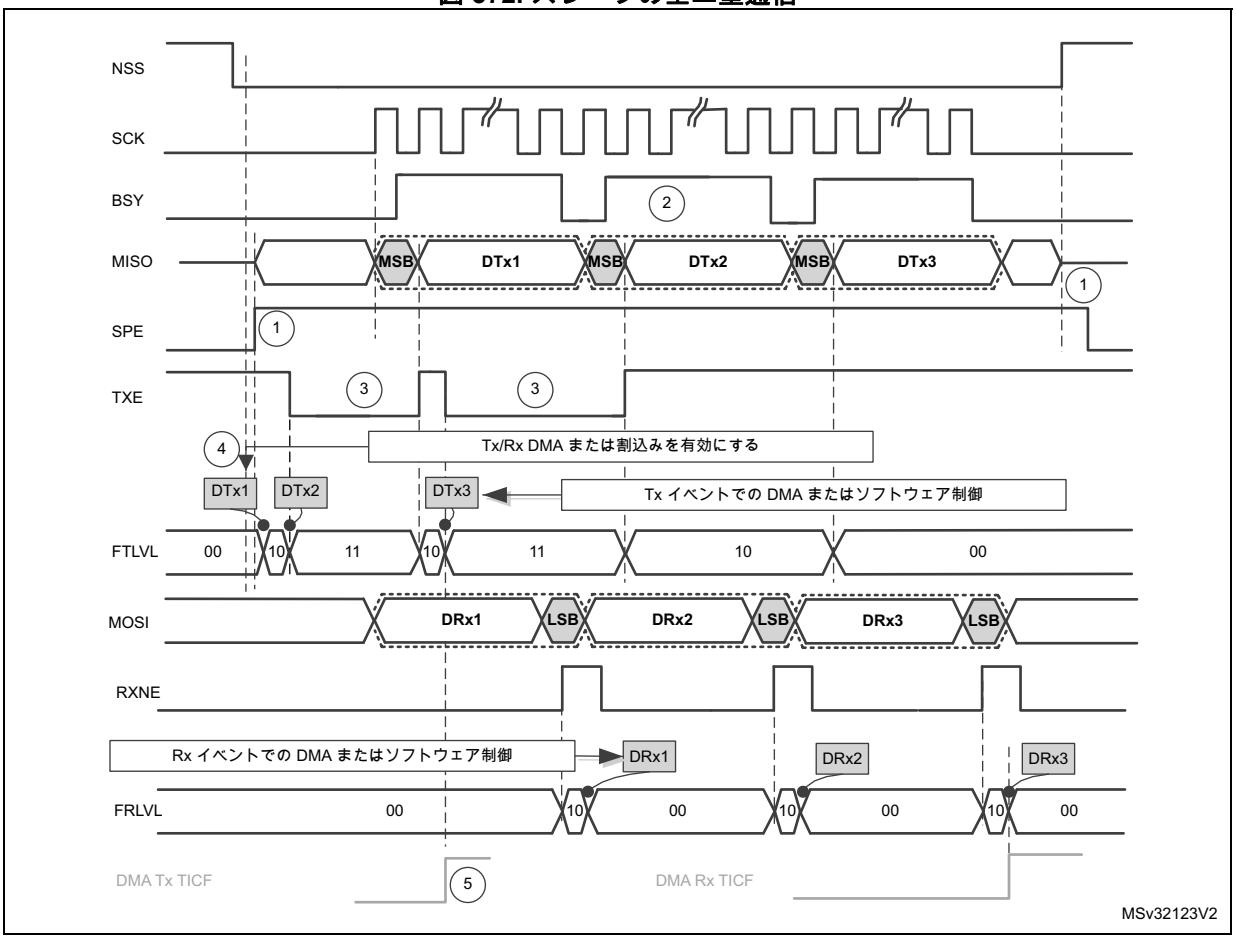
- データサイズ > 8 ビット

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、1191ページの通信図を参照してください。

図 372. スレーブの全二重通信



スレーブの全二重通信の前提条件の例：

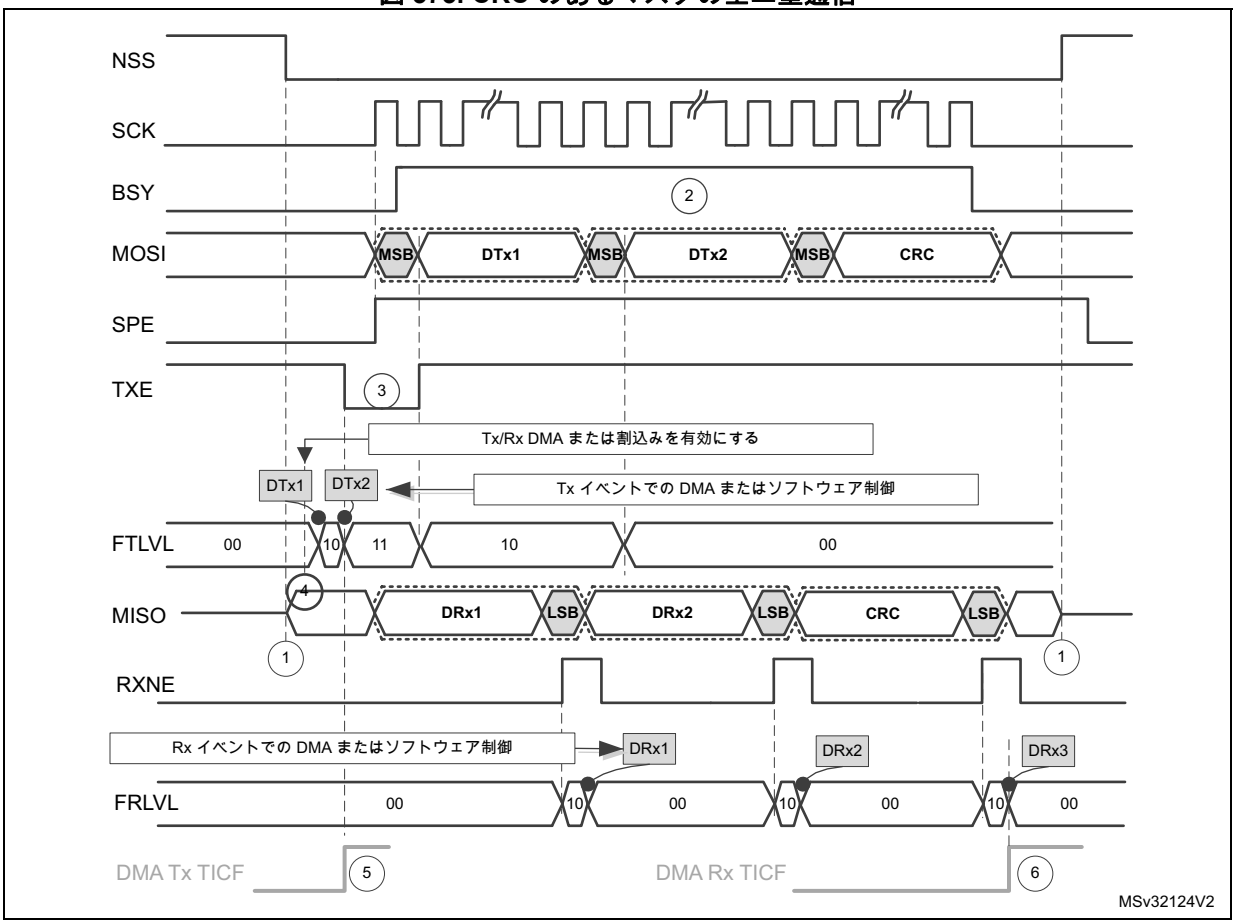
- データサイズ > 8 ビット

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、1191 ページの通信図を参照してください。

図 373. CRC のあるマスタの全二重通信



CRC のあるマスタの全二重通信の前提条件の例：

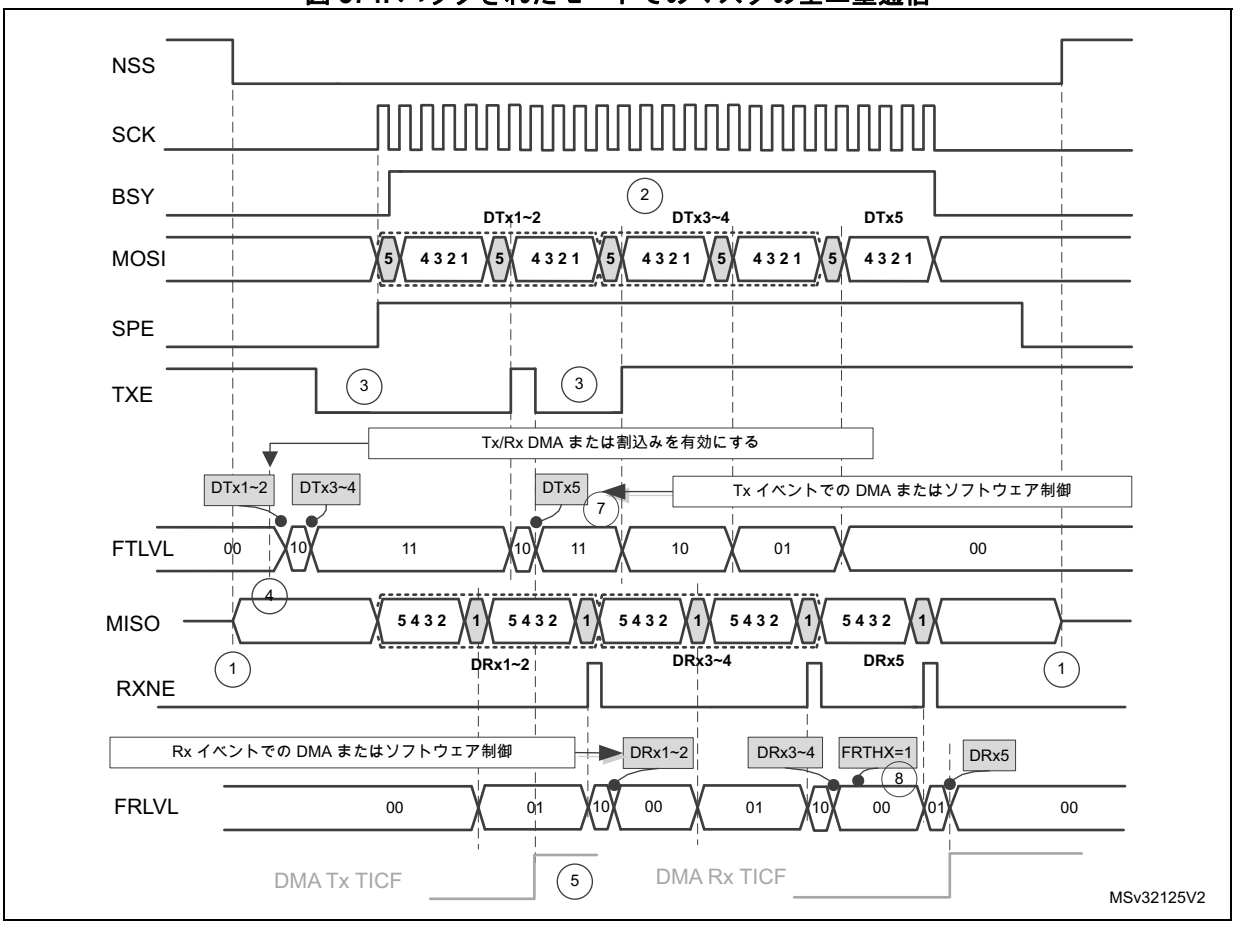
- データサイズ = 16 ビット
- CRC は有効です。

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 2 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット

共通の前提条件および注の詳細については、1191ページの通信図を参照してください。

図 374. パックされたモードでのマスタの全二重通信



パックされたモードでのマスタの全二重通信の前提条件の例：

- データサイズ = 5 ビット
- 読出し／書込み FIFO は、ほとんど 16 ビットアクセスで実行されます。
- FRXTH = 0

DMA を使用する場合：

- DMA でトランザクションされる Tx フレーム数を 3 にセット
- DMA でトランザクションされる Rx フレーム数を 3 にセット
- Tx と Rx DMA チャネルの両方の PSIZE を 16 ビットにセット
- LDMA_TX=1 および LDMA_RX=1

共通の前提条件および注の詳細については、1191ページの通信図を参照してください。

35.4.10 SPI ステータスフラグ

アプリケーションが SPI バスの状態を完全に監視できるように、3 つのステータスフラグが用意されています。

Tx バッファエンプティフラグ（TXE）

TXE フラグは、送信 TXFIFO に送信データを格納するための十分なスペースがある場合にセットされます。TXE フラグは TXFIFO レベルにリンクされます。フラグはハイになり、TXFIFO レベルが FIFO の深さの 1/2 以下になってもハイを維持します。SPIx_CR2 レジスタの TXEIE ビットがセットされている場合は、割込みを生成できます。このビットは、TXFIFO レベルが 1/2 を超えると自動的にクリアされます。

Rx バッファノットエンプティ（RXNE）

SPIx_CR2 レジスタの FRXTH ビット値によって、RXNE フラグがセットされます。

- FRXTH をセットすると RXNE はハイになり、RXFIFO レベルが 1/4（8 ビット）以上になってもハイを維持します。
- FRXTH をクリアすると RXNE はハイになり、RXFIFO レベルが 1/2（16 ビット）以上になってもハイを維持します。

SPIx_CR2 レジスタの RXNEIE ビットがセットされている場合は、割込みを生成できます。

RXNE は、上記の条件が真ではなくなった場合にハードウェアによって自動的にクリアされます。

ビジーフラグ（BSY）

BSY フラグは、ハードウェアによってセット／クリアされます（このフラグへの書込みは無効）。

BSY フラグがセットされると、SPI上 でデータ転送が進行中であることを示します（SPI バスはビジー）。

BSY は、転送終了を検出するために特定のモードで使用できます。これにより、低電力モード（ペリフェラルにクロックを供給しない）に入る前に、ソフトウェアで SPI やそのペリフェラルクロックを無効にすることができます。これによって、最後の転送データの破壊を回避します。

BSY フラグは、マルチマスタシステムでの書込み衝突の回避にも役立ちます。

BSY フラグは次のいずれかの条件下でクリアされます。

- SPI が正常に無効にされたとき
- マスタモードで、障害が検出（MODF ビットが 1 にセットされます）されたとき
- マスタモードで、データ送信が終了し、送信準備ができている新しいデータがないとき
- スレーブモードで、各データ転送間で少なくとも SPI の 1 クロックサイクルの間、BSY フラグが 0 にセットされているとき

注： **次の送信がすぐにマスタで処理される場合（マスタが受信専用モードに設定されているか、その送信 FIFO がエンプティでない場合）、通信は連続的で、BSY フラグはマスタ側での送信の間、“1”にセットされたままになります。スレーブとは異なりますが、必ず（BSY フラグを使用する代わりに）TXE フラグと RXNE フラグを使用して、データの送受信の処理を行うことを推奨します。**

35.4.11 SPI エラーフラグ

次のいずれかのエラーフラグがセットされていて、ERRIE ビットをセットすることにより割込みが有効になっている場合、SPI 割込みが生成されます。

オーバーランフラグ（OVR）

マスタまたはスレーブでデータを受信し、RXFIFO に受信データを格納するための十分なスペースがない場合に、オーバーラン状態が発生します。これは、ソフトウェアまたは DMA が RXFIFO に格納された前の受信データを読み出すために必要な時間が十分になかったか、データストレージのための空間が制限されている場合に発生する可能性があります。たとえば、RXFIFO は CRC が受信専用モードでのみ有効な場合は使用できないため、この場合、受信バッファは単一データフレームバッファに制限されます（セクション 35.4.14：CRC 計算を参照）。

オーバーラン条件が発生すると、RXFIFO にある前の値を新しく受信した値で上書きすることはできません。新しく受信した値は破棄され、それ以降に送信されたすべてのデータは失われます。OVR ビットをクリアするには、SPI_DR レジスタを読み出し、続けて SPI_SR レジスタに読出しアクセスを行います。

モードフォールト（MODF）

モードフォールトは、マスタデバイスが内部 NSS 信号（NSS ハードウェアモードでは NSS ピン、NSS ソフトウェアモードでは SSI ビット）をローレベルにプルダウンしたときに発生します。これにより、MODF ビットが自動的にセットされます。マスタモードフォールトは、SPI インタフェースに次のような影響を与えます。

- MODF ビットがセットされ、ERRIE ビットがセットされている場合は SPI 割込みが生成されます。
- SPE　ビットがクリアされます。これによって、デバイスからのすべての出力がブロックされ、SPI インタフェースが無効になります。
- MSTR ビットがクリアされ、デバイスは強制的にスレーブモードになります。

MODF ビットをクリアするには、次のソフトウェアシーケンスを実行します。

1. MODF ビットがセットされている間、SPIx_SR レジスタに読出し／書込みアクセスを行います。
2. 次に、SPIx_CR1 レジスタに書込みを行います。

複数の MCU で構成されるシステムでスレーブ間の競合を避けるには、MODF ビットをクリアするシーケンス中、NSS ピンをハイレベルにプルアップする必要があります。このクリアシーケンスの後、SPE ビットと MSTR ビットは、元の状態に戻すことができます。安全のため、MODF ビットがセットされている間、ハードウェアは SPE ビットと MSTR ビットのセットを許可しません。スレーブデバイスでは、MODF ビットはセットできません。ただし、前回のマルチマスタ競合の結果としてセットする場合は例外です。

CRC エラー（CRCERR）

このフラグを使用して、SPIx_CR1 レジスタの CRCEN ビットがセットされているときに受信された値の有効性を検証します。シフトレジスタに受信された値が、レシーバである SPIx_RXCRCR の値と一致しなかった場合、SPIx_SR レジスタの CRCERR フラグがセットされます。フラグはソフトウェアによってクリアされます。

TI モードフレームフォーマットエラー（FRE）

SPI がスレーブモードで動作し、かつ TI モードプロトコルに準拠した設定となっている場合、通信の実行中に NSS パルスが発生すると、TI モードフレームフォーマットエラーが検出されます。このエラーが発生すると、SPIx_SR レジスタの FRE フラグがセットされます。エラー発生時には SPI は無効にされず、この NSS パルスは無視されます。SPI は次の NSS パルスを待ってから新規の転送を開

始します。このエラーの検出により 2 バイトのデータが失われるため、データは破壊される可能性があります。

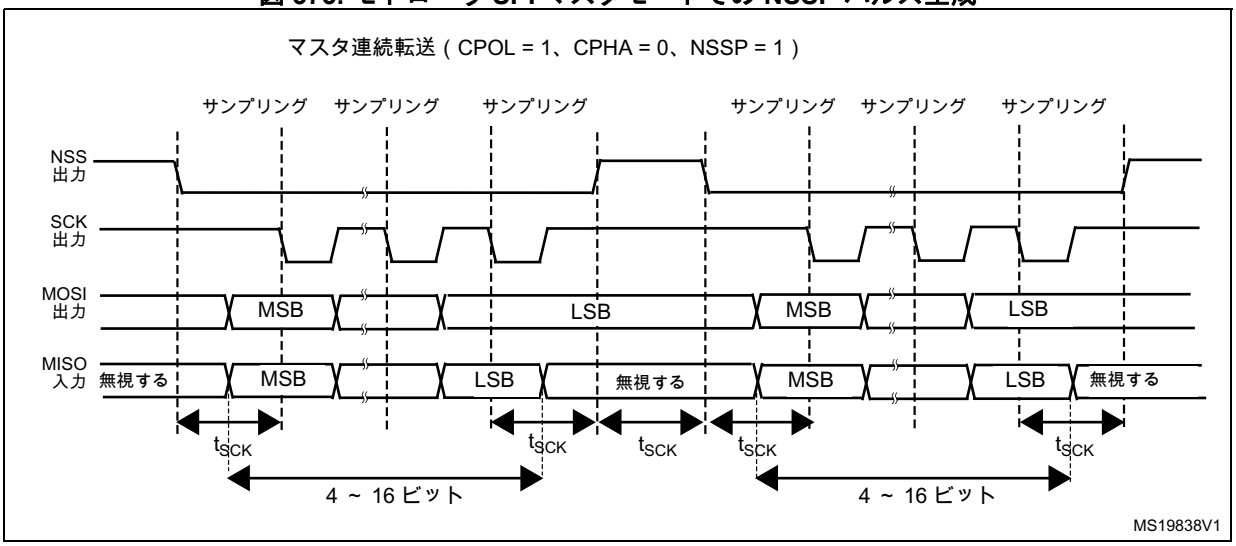
SPIx_SR レジスタを読み出すと、FRE フラグがクリアされます。ERRIE ビットがセットされている場合、NSS エラー検出時に割込みが生成されます。この場合、データの一貫性が保証されなくなるため、SPI を無効にする必要があり、またスレーブ SPI が再び有効化された場合は、マスタによって通信を再起動する必要があります。

35.4.12 NSS パルスモード

このモードは SPIx_CR2 レジスタの NSSP ビットで有効化され、SPI インタフェースが 1 番目のエッジにキャプチャのある モトローラ SPI マスタ（FRF=0）として設定されている場合にのみ有効になります（SPIx_CR1 CPHA = 0、CPOL 設定は無視されます）。有効にすると、最低 1 つのクロック周期の間、NSS がハイレベルを維持する場合に、2 つの連続したデータフレーム転送の間で NSS パルスが生成されます。このモードでは、スレーブでデータをラッチできます。NSSP パルスモードは、シングルマスタ - スレーブペアのアプリケーション用に設計されています。

図 375 に、NSSP パルスモードが有効な場合の NSS ピンの管理の図を示します。

図 375. モトローラ SPI マスタモードでの NSSP パルス生成



注： **CPOL = 0 の場合に同様の動作が発生します。この場合、サンプリングエッジは SCK の立ち上がりエッジで、NSS のアサートおよびネゲートはこのサンプリングエッジを参照します。**

35.4.13 TI モード

マスタモードでの TI プロトコル

SPI インタフェースは TI プロトコルと互換性があります。SPIx_CR2 レジスタの FRF ビットを使って、SPI をこのプロトコルに準拠させるように設定することができます。

SPIx_CR1 レジスタにセットされる値によらず、クロックの極性と位相は TI プロトコル要件に必ず適合します。NSS 管理も TI プロトコルに固有なものになります。これにより、この場合の SPIx_CR1 レジスタと SPIx_CR2 レジスタによる NSS 管理の設定（SSM、SSI、SSOE）ができなくなります。

スレーブモードでは、SPI ボーレートプリスケーラを使用して、現在のトランザクションが終了した時点で、MISO ピンの状態がハイインピーダンスに変化するタイミングを制御します（図 376 を参照）。任意のボーレートが使用できるため、このタイミングを非常に柔軟に決定することができます。

ただし、ボーレートは外部マスタクロックボーレートに設定されるのが一般的です。MISO 信号がハイインピーダンス（$t_{release}$）になるまでの遅延は、内部再同期と SPIx_CR1 レジスタの BR[2:0] ビットで設定されたボーレート値によって変わります。この値は次式で求められます：

$$\frac{t_{baud_rate}}{2} + 4 \times t_{pclk} < t_{release} < \frac{t_{baud_rate}}{2} + 6 \times t_{pclk}$$

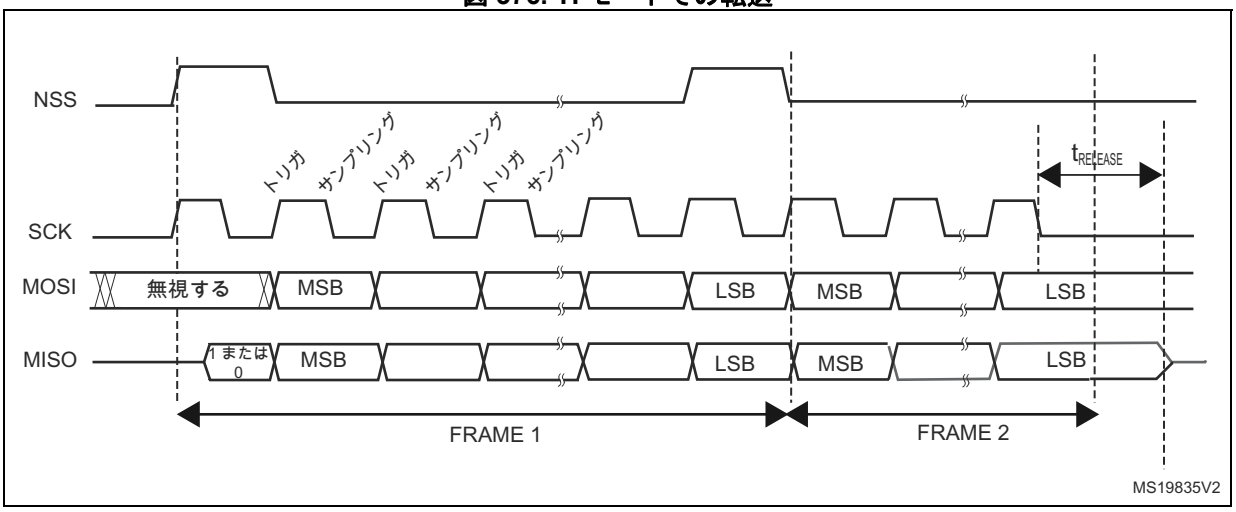
スレーブがデータフレームトランザクション中に NSS パルスの誤配置を検出すると、TIFRE フラグがセットされます。

データサイズが 4 ビットまたは 5 ビットである場合、全二重モードまたは送信専用モードのマスタは、最下位ビット後に追加された 1 つまたは複数のダミーデータビットを持つプロトコルを使用します。TI NSS パルスは、各周期の最下位ビットではなく、このダミービットクロックサイクル上に生成されます。

この機能はモトローラの SPI 通信には使用できません（FRF ビットを 0 に設定）。

図 376：TI モードでの転送 TI モードが選択されているときの SPI の通信波形を示します。

図 376. TI モードでの転送



35.4.14 CRC 計算

2 つの CRC 計算機が、送信データおよび受信データの信頼性をチェックするために実装されています。SPI は、フレームデータ長とは別に、8 ビットまたは 16 ビットに固定される CRC8 または CRC16 を計算します。その他のデータフレーム長では、CRC は使用できません。

CRC の原理

CRC 計算は、SPI が有効（SPE = 1）になる前に、SPIx_CR1 レジスタの CRCEN ビットをセットすることによって有効になります。CRC 値は、各ビットに対して奇数のプログラム可能な多項式の値を使用して計算されます。計算は、SPIx_CR1 レジスタの CPHA ビットと CPOL ビットによって定義されるサンプリングクロックエッジで行われます。計算された CRC 値は、データブロックの最後のみならず、CPU またはDMA によって管理される転送に関しても、自動的にチェックされます。受信データをもとに内部で計算された CRC 値とトランスミッタが送信した CRC 値の間に不一致が検出された場合、データ破壊エラーを示すためにCRCERR フラグがセットされます。CRC 計算を処理する正しい手順は、SPI の設定および選択された転送管理によって変わります。

注： **多項式の値は必ず奇数でなければなりません。偶数の値はサポートされていません。**

CPU によって管理される CRC 転送

通信が開始され、最後のデータフレームが SPIx_DR レジスタで送信または受信されるまで正常に続きます。次に、CRC フレームトランザクションが現在処理中のデータフレームトランザクションの後に行われることを示すために、SPIx_CR1 レジスタの CRCNEXT ビットをセットする必要があります。CRCNEXT ビットは、最後のデータフレームトランザクションの終了前にセットしてください。CRC のトランザクション中は CRC 計算は停止されます。

受信した CRC は、データバイトまたはワードのように RXFIFO に格納されます。このため、CRC モードでは、受信バッファを一度に 1 データフレームずつ受信するために使用する単一の 16 ビットバッファとみなす必要があります。

CRC フォーマットトランザクションは、通常データシーケンスの最後に通信を行うためにデータフレームをもう 1 つ受け取ります。ただし、16 ビット CRC によってチェックされた 8 ビットデータフレームを設定する場合、CRC 全体を送信するにはフレームがあと 2 つ必要です。

最後の CRC データを受信すると、受信した値と SPIx_RXCRC レジスタの値を比較する自動チェックが行われます。ソフトウェアは、SPIx_SR レジスタの CRCERR フラグをチェックして、データ転送の内容が破壊されているか否かを判断する必要があります。ソフトウェアは、CRCERR フラグに”0”を書き込んでクリアします。

CRC 受信後、CRC 値は RXFIFO に格納され、RXNE フラグをクリアするために SPIx_DR レジスタを読み出す必要があります。

DMA によって管理される CRC 転送

SPI 通信が CRC 通信と DMA モードで有効化される場合、CRC の送受信は通信の最後に自動で行われます（ただし、受信専用モードで CRC データを読みだす場合を除く）。CRCNEXT ビットはソフトウェアで処理する必要はありません。SPI 送信用DMA チャネルのカウンタは、転送するデータフレーム数からCRC フレームを除いてセットする必要があります。レシーバ側では、受信した CRC 値はトランザクションの終了時に DMA によって自動的に処理されますが、RXFIFO から受信した CRC 情報は常にレシーバにロードされますので、ユーザは注意してそれを一掃してください。全二重モードでは、受信 DMA チャネルのカウンタを、受信するデータフレームの数（CRC を含む）にセットすることができます。つまり、たとえば 16 ビット CRC でチェックされた 8 ビットデータフレームの特定の例を、次の式で表すことができます。

DMA_RX = Numb_of_data + 2

受信専用モードでは、DMA 受信チャネルカウンタには転送されたデータ量のみが含まれます（CRC 計算を除く）。次に、DMA からの全体の転送に基づき、すべての CRC 値はこのモードでは単一のバッファとして動作するため、ソフトウェアによって FIFO から読み戻す必要があります。

転送中に内容の破壊が生じた場合、データと CRC の転送の最後に SPIx_SR レジスタの CRCERR フラグがセットされます。

パッキングモードが使用され、データ数が奇数の場合は、LDMA_RX ビットを管理する必要があります。

SPIx_TXCRC および SPIx_RXCRC の値のリセット

CRC フェーズのあとで新しいデータがサンプリングされた場合、SPIx_TXCRC 値および SPIx_RXCRC 値は自動的にクリアされます。これにより、データを中断することなく転送するために、DMA サーキュラモードが使用可能になります（受信専用モードでは使用不可）。いくつかのデータブロックは中間の CRC チェックフェーズによってカバーされます。

通信中に SPI が無効化された場合は、次のシーケンスに従う必要があります。

1. SPI を無効にします。
2. CRCEN ビットをクリアします。
3. CRCEN ビットを有効にします。

4. SPI を有効にします。

注： **SPI インタフェースが スレーブとして設定されている場合、CRCNEXT 信号がリリースされたら CRC フェーズのトランザクション中は NSS 内部信号をローレベルに維持する必要があります。そのため、NSS ハードウェアモードをスレーブで正常に適用する必要がある場合、CRC 計算を NSS パルスモードで使用できません。**

TI モードでは、クロックフェーズおよびクロック極性の設定が固定で、SPIx_CR1 レジスタに依存していなくても、CRC が適用される場合、対応する設定 CPOL=0 CPHA=1 は SPIx_CR1 レジスタで保持される必要があります。さらに、マスタおよびスレーブの両方で上記の CRCEN ビットを再有効化しつつ、CRC 計算は SPI 無効化シーケンスでセッション間でリセットされる必要があります。そうしない場合、CRC 計算がこの特定のモードで破損する可能性があります。

35.5 SPI 割込み

SPI 通信中、割込みは次のイベントによって生成できます。

- ロードする準備ができている TXFIFO の送信
- 受信 RXFIFO で受信したデータ
- マスタモードフォールト
- オーバーランエラー
- TI フレームフォーマットエラー
- CRC プロトコルエラー

割込みは個別に有効または無効にできます。

表 220. SPI 割込みリクエスト

割込みイベント	イベントフラグ	イネーブル制御ビット
ロードする準備ができている TXFIFO の送信	TXE	TXEIE
RXFIFO で受信したデータ	RXNE	RXNEIE
マスタモードフォールトイベント	MODF	ERRIE
オーバーランエラー	OVR	
TI フレームフォーマットエラー	FRE	
CRC プロトコルエラー	CRCERR	

35.6 SPI レジスタ

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。さらに、SPI_DR へは 8 ビット単位でアクセスできます。

35.6.1 SPI 制御レジスタ 1（SPIx_CR1）

アドレスオフセット：0x00

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDI MODE	BIDIOE	CRC EN	CRCNE XT	CRCL	RX ONLY	SSM	SSI	LSB FIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 **BIDIMODE**：双方向データモードイネーブル。

このビットは、共通の双方向データラインを 1 本使用して、半二重通信を有効にします。双方向モードがアクティブのときは、RXONLY ビットをクリアされたままにします。

0：2 線単方向データモードを選択します。

1：1 線双方向データモードを選択します。

ビット 14 **BIDIOE**：双方向モードでの出力イネーブル

双方向モードでの転送方向は、このビットと BIDIMODE ビットを組み合わせて選択します。

0：出力は無効です（受信専用モード）。

1：出力は有効です（送信専用モード）。

注： マスタモードでは MOSI ピンが使用され、スレーブモードでは MISO ピンが使用されます。

ビット 13 **CRCEN**：ハードウェア CRC 計算イネーブル

0：CRC 計算は無効です。

1：CRC 計算は有効です。

注： 正しい動作のためには、このビットへの書込みは、SPI が無効（SPE = 0）のときにのみ行います。

ビット 12 **CRCNEXT**：送信 CRC Next

0：次の送信値は Tx バッファから送信されます。

1：次の送信値は Tx CRC レジスタから送信されます。

注： このビットは、最後のデータが SPIx_DR レジスタに書き込まれた直後に書き込む必要があります。

ビット 11 **CRCL**：CRC 長

このビットは、CRC 長をセットするために、ソフトウェアによってセット／クリアされます。

0：8 ビットの CRC 長

1：16 ビットの CRC 長

注： 正しい動作のためには、このビットへの書込みは、SPI が無効（SPE = 0）のときにのみ行います。

ビット 10 **RXONLY**：受信専用モードイネーブル

このビットは、データ受信専用の単方向ラインを 1 本使用して、単方向通信を有効にします。受信専用モードがアクティブのときは、BIDIMODE ビットをクリアされたままにします。このビットはマルチスレーブシステムでも役立ちます。そのシステムでは、この特定のスレーブはアクセスされず、アクセスされたスレーブからの出力は破壊されません。

0：全二重（送受信）

1：出力は無効です（受信専用モード）。

ビット 9 **SSM**：ソフトウェアスレーブ管理

SSM ビットがセットされているとき、NSS ピンの入力は SSI ビットからの値に置き換えられます。

0：ソフトウェアスレーブ管理は無効です。

1：ソフトウェアスレーブ管理は有効です。

注： このビットは SPI TI モードでは使用しません。

ビット 8 **SSI**：内部スレーブ選択

このビットは、SSM ビットがセットされているときにのみ有効です。このビットの値は強制的に NSS ピンに設定され、NSS ピンの I/O 値は無視されます。

注： このビットは SPI TI モードでは使用しません。

ビット 7 **LSBFIRST**：フレームフォーマット

0：データは MSB から先に送信/受信されます。

1：データは LSB から先に送信/受信されます。

注： 1.このビットは、通信中には変更しないでください。

2.このビットは SPI TI モードでは使用しません。

ビット 6 **SPE**：SPI 有効化

0：ペリフェラルは無効です。

1：ペリフェラルは有効です。

注： SPI を無効にするときは、1188 ページのSPI を無効にする手順に記載されている手順に従ってください。

ビット 5:3 **BR[2:0]**：ボーレート制御

000：$f_{PCLK}/2$

001：$f_{PCLK}/4$

010：$f_{PCLK}/8$

011：$f_{PCLK}/16$

100：$f_{PCLK}/32$

101：$f_{PCLK}/64$

110：$f_{PCLK}/128$

111：$f_{PCLK}/256$

注： これらのビットは、通信中には変更しないでください。

ビット 2 **MSTR**：マスタ選択

0：スレーブ設定

1：マスタ設定

注： このビットは、通信中には変更しないでください。

ビット 1 **CPOL**：クロック極性

0：アイドル時に CK は 0 となります。

1：アイドル時に CK は 1 となります。

注： このビットは、通信中には変更しないでください。

このビットは、CRC が TI モードで適用される場合を除き、SPI TI モードで使用しません。

ビット 0 **CPHA**：クロック位相

0：最初のクロック遷移が最初のデータキャプチャエッジです。

1：2 番目のクロック遷移が最初のデータキャプチャエッジです。

注： このビットは、通信中には変更しないでください。

このビットは、CRC が TI モードで適用される場合を除き、SPI TI モードで使用しません。

35.6.2 SPI 制御レジスタ 2（SPIx_CR2）

アドレスオフセット：0x04

リセット値：0x0700

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]				TXEIE	RXNEIE	ERRIE	FRF	NSSP	SSOE	TXDMAEN	RXDMAEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14 **LDMA_TX**：送信の最後の DMA 転送

このビットは、DMA で送信するデータの合計数が奇数であるか偶数であるかを定義するために、データパッキングモードで使用されます。これは、SPIx_CR2 レジスタの TXDMAEN ビットがセットされている場合で、パッキングモードが使用されている場合にのみ意味を持ちます（データ長 =< 8 ビット、SPIx_DR への書込みアクセスは 16 ビット幅）。SPI が無効化された場合に書き込む必要があります（SPIx_CR1 レジスタで SPE = 0）。

0：転送データ項目の数は偶数です。

1：転送データ項目の数は奇数です。

注： CRCEN ビットがセットされている場合、1188 ページのSPI を無効にする手順を参照してください。

ビット 13 **LDMA_RX**：受信の最後の DMA 転送

このビットは、DMA で受信するデータの合計数が奇数であるか偶数であるかを定義するために、データパッキングモードで使用されます。これは、SPIx_CR2 レジスタの RXDMAEN ビットがセットされている場合で、パッキングモードが使用されている場合にのみ意味を持ちます（データ長 =< 8 ビット、SPIx_DR への書込みアクセスは 16 ビット幅）。SPI が無効化された場合に書き込む必要があります（SPIx_CR1 レジスタで SPE = 0）。

0：転送データ項目の数は偶数です。

1：転送データ項目の数は奇数です。

注： CRCEN ビットがセットされている場合、1188 ページのSPI を無効にする手順を参照してください。

ビット 12 **FRXTH**：FIFO 受信閾値

このビットは、RXNE イベントをトリガする RXFIFO の閾値をセットするために使用されます。

0：FIFO レベルが 1/2（16 ビット）以上である場合に RXNE イベントが生成されます。

1：FIFO レベルが 1/4（8 ビット）以上である場合に RXNE イベントが生成されます。

ビット 11:8 **DS[3:0]**：データサイズ

以下のビットは SPI 転送のデータ長を設定します。

0000：未使用

0001：未使用

0010：未使用

0011：4 ビット

0100：5 ビット

0101：6 ビット

0110：7 ビット

0111：8 ビット

1000：9 ビット

1001：10 ビット

1010：11 ビット

1011：12 ビット

1100：13 ビット

1101：14 ビット

1110：15 ビット

1111：16 ビット

ソフトウェアが「未使用」値のいずれかの書込みを試みた場合、値は強制的に「0111」（8 ビット）になります。

ビット 7 **TXEIE**：Txバッファエンプティ割込みイネーブル

0：TXE 割込みはマスクされます。

1：TXE 割込みはマスクされません。TXE フラグがセットされたとき、割込みリクエストの生成に使用されます。

ビット 6 **RXNEIE**：RXバッファノットエンプティ割込みイネーブル

0：RXNE 割込みはマスクされます。

1：RXNE 割込みはマスクされません。RXNE フラグがセットされたとき、割込みリクエストの生成に使用されます。

ビット 5 **ERRIE**：エラー割込み有効化

このビットは、エラー条件が発生したとき（SPI モードでは CRCERR、OVR、MODF、TI モードでは FRE）、割込みの生成を制御します。

0：エラー割込みはマスクされます。

1：エラー割込みは有効です。

ビット 4 **FRF**：フレームフォーマット

0：SPI モトローラモード

1：SPI TI モード

注： このビットは、SPI が無効（SPE=0）のときにのみ書き込む必要があります。

ビット 3 **NSSP**：NSS パルス管理

このビットは、マスタモードでのみ使用されます。これにより、SPI は連続転送中に 2 つの連続したデータ間で NSS パルスを生成できます。単一のデータ転送の場合、転送後、NSS ピンは強制的にハイレベルになります。

CPHA = '1' の場合も FRF = '1' の場合も意味を持ちません。

0：NSS パルスなし

1：NSS パルス発生回路

注： 1.このビットは、SPI が無効（SPE=0）のときにのみ書き込む必要があります。

2.このビットは SPI TI モードでは使用しません。

ビット 2 **SSOE**：SS 出力有効

0：マスタモードで SS 出力は無効にされ、SPI インタフェースはマルチマスタ設定で機能できます。

1：SPI インタフェースが有効であるとき、マスタモードで SS 出力は有効です。SPI インタフェースはマルチマスタ環境では機能できません。

注： このビットは SPI TI モードでは使用しません。

ビット 1 **TXDMAEN**：Txバッファ DMA イネーブル

このビットがセットされると、TXE フラグがセットされるたびに DMA リクエストが生成されます。

0：Txバッファ DMA は無効です。

1：Txバッファ DMA は有効です。

ビット 0 **RXDMAEN**：Rxバッファ DMA イネーブル

このビットがセットされると、RXNE フラグがセットされるたびに DMA リクエストが生成されます。

0：Rxバッファ DMA は無効です。

1：Rxバッファ DMA は有効です。

35.6.3 SPI ステータスレジスタ（SPIx_SR）

アドレスオフセット：0x08

リセット値：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	FTLVL[1:0]		FRLVL[1:0]		FRE	BSY	OVR	MODF	CRCERR	Res.	Res.	TXE	RXNE
			r	r	r	r	r	r	r	r	rc_w0			r	r

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:11 **FTLVL[1:0]**：FIFO 送信レベル

これらのビットは、ハードウェアによってセット／クリアされます。

00：FIFO エンプティ

01：1/4 FIFO

10：1/2 FIFO

11：FIFO フル（FIFO 閾値が 1/2 より大きい場合、FULL とみなす）

ビット 10:9 **FRLVL[1:0]**：FIFO 受信レベル

これらのビットは、ハードウェアによってセット／クリアされます。

00：FIFO エンプティ

01：1/4 FIFO

10：1/2 FIFO

11：FIFO フル

注： これらのビットは、CRC 計算が有効なときはSPI 受信専用モードでは使用されません。

ビット 8 **FRE**：フレームフォーマットエラー

このフラグは、TI スレーブモードの SPI で使用されます。セクション 35.4.11：SPI エラーフラグを参照してください。

このフラグは、ハードウェアによってセットされ、SPIx_SR がソフトウェアによって読み出されるとリセットされます。

0：フレームフォーマットエラーはありません。

1：フレームフォーマットエラーが発生しました。

ビット 7 **BSY**：ビジーフラグ

0：SPI がビジーではありません。

1：SPI が通信ビジー状態であるか、またはTxバッファが空ではありません。

このフラグはハードウェアによってセット／クリアされます。

注： BSY フラグを使用する際は注意が必要です。セクション 35.4.10：SPI ステータスフラグおよび 1188 ページのSPI を無効にする手順を参照してください。

ビット 6 **OVR**：オーバーランフラグ

0：オーバーランは発生していません。

1：オーバーランが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。

ビット 5 **MODF**：モードフォールト

0：モードフォールトは発生していません。

1：モードフォールトが発生しました。

このフラグは、ハードウェアによってセットされ、ソフトウェアシーケンスによってリセットされます。ソフトウェアシーケンスについては、セクション ：1197 ページのモードフォールト（MODF）を参照してください。

ビット 4 **CRCERR**：CRC エラーフラグ

0：受信した CRC 値が SPIx_RXCRCR 値と一致します。

1：受信した CRC 値が SPIx_RXCRCR 値と一致しません。

注： このフラグは、ハードウェアによってセットされ、ソフトウェアによって 0 を書き込むことでクリアされます。

ビット 3:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **TXE**：送信バッファエンプティ

0：Txバッファは空ではありません。

1：Txバッファは空です。

ビット 0 **RXNE**：受信バッファノットエンプティ

0：Rxバッファは空です。

1：Rxバッファは空ではありません。

35.6.4 SPI データレジスタ（SPIx_DR）

アドレスオフセット：0x0C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **DR[15:0]**：データレジスタ

受信したデータまたは送信されるデータ

このデータレジスタは、Rx および Tx FIFO 間のインタフェースとして使用できます。データレジスタが読み出されると、データレジスタへの書込みが TxFIFO にアクセスしている間に、RxFIFO にアクセスされます（セクション 35.4.9：データの送受信手順を参照）。

注： データは常に右詰めです。未使用のビットは、レジスタへの書込み時に無視され、レジスタの読出し時にゼロとして読み出されます。Rx 閾値設定は、常に現在使用中の読出しアクセスに対応している必要があります。

35.6.5 SPI CRC 多項式レジスタ（SPIx_CRCPR）

アドレスオフセット：0x10

リセット値：0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:0 **CRCPOLY[15:0]**：CRC 多項式レジスタ

このレジスタは、CRC 計算用の多項式を格納します。

CRC 多項式（0x0007）は、このレジスタのリセット値です。必要に応じて、別の多項式を設定することができます。

注： 多項式の値は必ず奇数でなければなりません。偶数の値はサポートされていません。

35.6.6 SPI Rx CRC レジスタ（SPIx_RXCRCR）

アドレスオフセット：0x14

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **RXCRC[15:0]**：Rx CRC レジスタ

CRC 計算が有効なとき、RXCRC[15:0] ビットには、その後に受信したバイトから算出された CRC 値が格納されています。このレジスタは、SPIx_CR1 レジスタの CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPIx_CRCPR レジスタにプログラムされた多項式を使用して連続的に計算されます。

CRC フレームフォーマットが 8 ビット長に設定された場合（SPIx_CR1 の CRCL ビットがクリアされている）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビット CRC フレームフォーマットが選択された場合（SPIx_CR1 レジスタの CRCL ビットがセットされている）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

35.6.7 SPI Tx CRC レジスタ（SPIx_TXCRCR）

アドレスオフセット：0x18

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **TXCRC[15:0]：**Tx CRC レジスタ

CRC 計算が有効なとき、TXCRC[7:0] ビットには、その後に送信されたバイトから算出された CRC 値が格納されます。このレジスタは、SPIx_CR1 の CRCEN ビットに 1 が書き込まれたときにリセットされます。CRC は、SPIx_CRCPR レジスタにプログラムされた多項式を使用して連続的に計算されます。

CRC フレームフォーマットが 8 ビット長に設定された場合（SPIx_CR1 の CRCL ビットがクリアされている）、8 つの LSB ビットのみが考慮されます。CRC 計算は、任意の CRC8 規格に基づいて行われます。

16 ビット CRC フレームフォーマットが選択された場合（SPIx_CR1 レジスタの CRCL ビットがセットされている）、このレジスタの 16 ビット全体が考慮されます。CRC 計算は、任意の CRC16 規格に基づいて行われます。

BSY フラグがセットされているときにこのレジスタを読み出すと、誤った値が返されることがあります。

35.6.8 SPI レジスタマップ

表 221 に、SPI レジスタマップとリセット値を示します。

表 221. SPI レジスタのマップとリセット値

オフセット	レジスタ名とリセット値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	SPIx_CR1	BIDIMODE	BIDIOE	CRCEN	CRCNEXT	CRCL	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]			MSTR	CPOL	CPHA
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	SPIx_CR2	Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]				TXEIE	RXNEIE	ERRIE	FRF	NSSP	*SSOE*	TXDMAEN	RXDMAEN
	リセット値		0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
0x08	SPIx_SR	Res.	Res.	Res.	FTLVL[1:0]		FRLVL[1:0]		FRE	BSY	OVR	MODF	CRCERR			TXE	RXNE
	リセット値				0	0	0	0	0	0	0	0	0			1	0
0x0C	SPIx_DR	DR[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	SPIx_CRCPR	CRCPOLY[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x14	SPIx_RXCRCR	RXCRC[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	SPIx_TXCRCR	TXCRC[15:0]															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

36 シリアルオーディオインタフェース（SAI）

36.1 概要

この SAI インタフェース（シリアルオーディオインタフェース）は、柔軟性があり幅広い構成が可能なため、多様なオーディオプロトコルに対応できます。多くのステレオまたはモノラルオーディオアプリケーションが対象になります。例えば、I2S 規格、LSB/MSB 詰め、PCM/DSP、TDM、AC'97 の各プロトコルに対応することができます。オーディオブロックがトランスミッタとして設定された場合、SPDIF 出力が提供されます。

このレベルの柔軟性と再設定機能を実現するため、SAI は独立した 2 つのオーディオサブブロックを内蔵しています。各ブロックには専用のクロックジェネレータと I/O ラインコントローラが備わっています。

この SAI は、マスタまたはスレーブの設定で動作します。このオーディオサブブロックはレシーバにもトランスミッタにもなり、他の一方に対して同期または非同期で動作します。

36.2 SAI の主な機能

- 個別に FIFO を内蔵し、トランスミッタまたはレシーバとなることができる 2 つの独立したオーディオサブブロック。
- 各オーディオサブブロックに 8 ワード FIFO を内蔵。
- オーディオサブブロック間での同期モードまたは非同期モードが可能。
- 両オーディオサブブロックに対して独立してマスタ設定またはスレーブ設定が可能。
- 両オーディオサブブロックをマスタモードに設定した場合に、個別のオーディオサンプリング周波数に対応する各オーディオブロック用クロックジェネレータ。
- 設定可能なデータサイズ：8、10、16、20、24、32 ビット
- オーディオプロトコル：I^2S、LSB/MSB 詰め、PCM/DSP、TDM、AC'97
- 最大 4 台のマイクロフォンのペアをサポートする PDM インタフェース。
- 必要に応じて、SPDIF 出力を利用可能。
- サイズ設定が可能な最大 16 個のスロットが利用可能。
- フレームごとのビット数が設定可能。
- フレーム同期アクティブレベルが設定可能（オフセット、ビット長、レベル）。
- スロット内の先頭アクティブビット位置が設定可能。
- データ転送における LSB ファーストまたは MSB ファーストが可能。
- ミュートモード。
- ステレオ／モノラルオーディオフレーム機能。
- 通信クロックストローブエッジが設定可能（SCK）。
- 対応する割込み付きのエラーフラグ（それぞれイネーブル付き）。
  - オーバーラン検出およびアンダーラン検出、
  - スレーブモードにおける予測フレーム同期信号検出、
  - スレーブモードにおけるレイトフレーム同期信号検出、
  - 受信時 AC'97 モードに対するコーデックノットレディ
- 割込みソース（有効時）：
  - エラー
  - FIFO リクエスト
- 2 チャネル DMA インタフェース

36.3 SAI の実装

表 222. STM32WB55xx SAI の機能 (1)

SAI の機能	SAI1
I²S、LSB/MSB 詰め、PCM/DSP、TDM、AC'97	X
FIFO サイズ	8 ワード
SPDIF	X
PDM	X(2)(3)

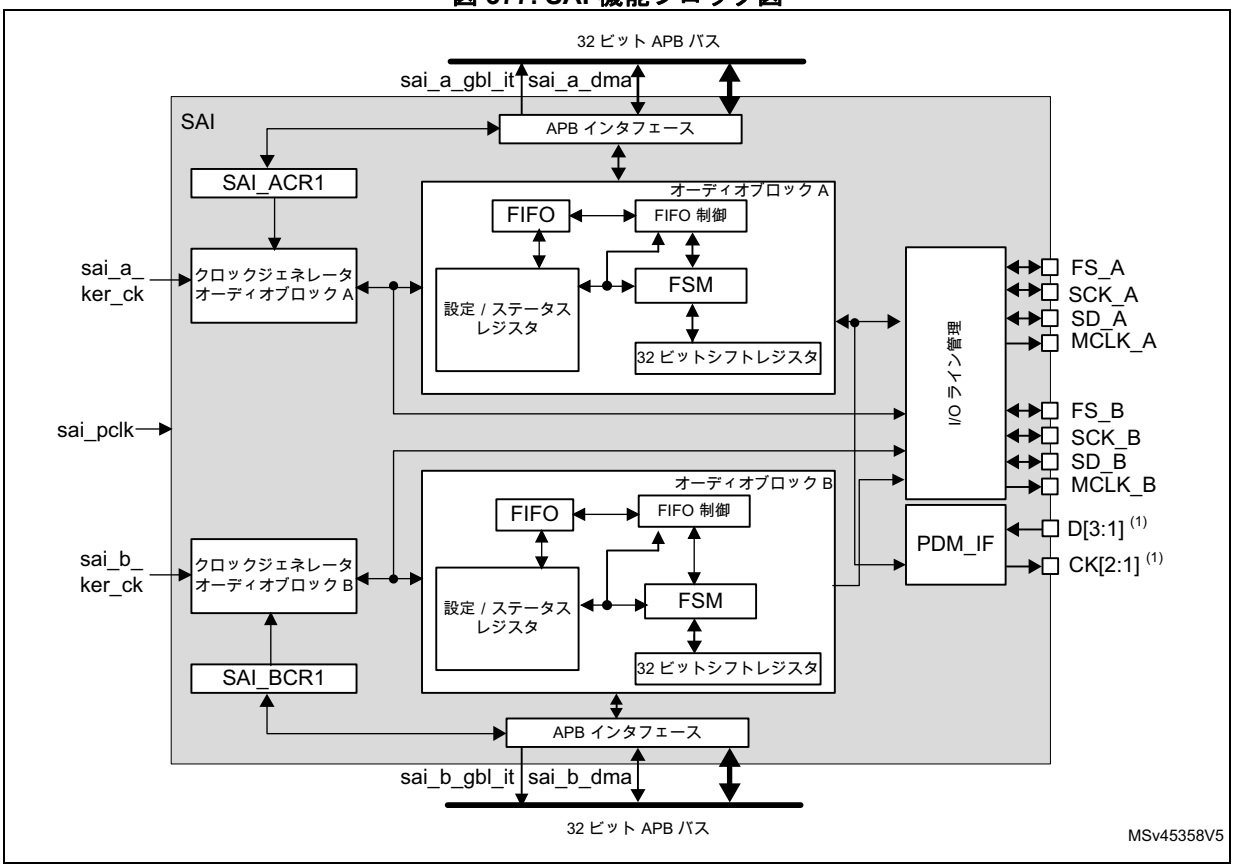
1. "X" はサポートされています。"-" はサポートされていません。
2. D[3:1] および CK[2:1] の信号のみ使用可能です。
3. DLYM4R[2:0] および DLYM4L[2:0] ビットフィールドは使用できず、MICNBR[1:0] は 0b11 にセットできません。

36.4 SAI の機能説明

36.4.1 SAI ブロック図

図 377 に SAI ブロック図を、表 223 および表 224 に SAI 内部および外部信号のリストを示します。

図 377. SAI 機能ブロック図



1. これらの信号は、すべての SAI インタフェースで使用できるわけではありません。詳細については、セクション 36.3 : SAI の実装を参照してください。

この SAI は大部分が 2つのオーディオサブブロックから構成されており、それぞれに固有のクロックジェネレータを装備しています。各オーディオブロックは、それぞれの機能ステートマシンによって制御される 32 ビットシフトレジスタを内蔵しています。データは、専用 FIFO に保存されたり、そこから読み出されたりします。FIFO は CPU からアクセスすることもできれば、通信時に CPU を開放するため DMA からアクセスすることもできます。各オーディオブロックは独立しています。互いに同期することもできます。

I/O ラインコントローラは、SAI 内の指定オーディオブロックに対する 4 本の専用ピン（SD、SCK、FS、MCLK）を管理します。この 2 つのサブブロックを同期するように指定すると、いくつかのピンを共用していくつかのピンを開放し、汎用 I/O として使用することができます。アプリケーション、デコーダ要件、オーディオブロックがマスタとして設定されているか否かによって、MCLK ピンを出力にしたり、それ以外にしたりすることができます。

1 つの SAI が別の SAI と同期して動作するように設定されている場合、より多くの I/O を開放することができます（SD_x ピンを除く）。

この機能ステートマシンは、広範囲なオーディオプロトコルを処理するように設定することができます。所望のプロトコルを設定するため、いくつかのレジスタがあります（オーディオフレーム波形ジェネレータ）。

オーディオサブブロックは、マスタモードまたはスレーブモードでトランスミッタまたはレシーバになることができます。マスタモードでは、SCK_x ビットクロックとフレーム同期信号が SAI で生成されますが、スレーブモードでは、これらの信号を別の外部マスタまたは内部マスタから受け取ります。FS 信号の方向がマスタモードまたはスレーブモードの定義に直接結びつかない特別なケースがあります。AC'97 プロトコルでは、SAI （リンクコントローラ）が SCK クロックを入力するように設定されている場合でも （つまりスレーブモードでも）、FS 信号は SAI の出力になります。

注： **読みやすくするために、このセクションでは SAI_A または SAI_B を SAI_x と表記しています。「x」とは SAI A サブブロックまたは SAI B サブブロックのことです。**

36.4.2 SAI ピンおよび内部信号

表 223. SAI 内部入力／出力信号

内部信号名	信号タイプ	説明
sai_a_gbl_it/ sai_b_gbl_it	出力	オーディオブロック A および B グローバル割込み
sai_a_dma、sai_b_dma	入力／出力	オーディオブロック A および B DMA 確認応答およびリクエスト
sai_a_ker_ck/ sai_b_ker_ck	入力	オーディオブロック A/B カーネルクロック
sai_pclk	入力	APB クロック

表 224. SAI の入出力ピン

名前	信号タイプ	コメント
SAI_SCK_A/B	入力／出力	オーディオブロック A/B ビットクロック
SAI_MCLK_A/B	出力	オーディオブロック A/B マスタクロック
SAI_SD_A/B	入力／出力	ブロック A/B のデータライン
SAI_FS_A/B	入力／出力	オーディオブロック A/B のフレーム同期ライン
SAI_CK[2:1]	出力	PDM ビットストリームクロック(1)
SAI_D[3:1]	入力	PDM ビットストリームデータ (1)

1. これらの信号は、すべての SAI インタフェースで使用できるわけではありません。詳細については、セクション 36.3 : SAI の実装を参照してください。

36.4.3 主要な SAI モード

SAI の各オーディオサブブロックは、選択したオーディオブロックの SAI_xCR1 レジスタの MODE ビットを使ってマスタまたはスレーブに設定することができます。

マスタモード

マスタモードでは、SAI は接続された外部デバイスへタイミング信号を送り出します。

- ビットクロックとフレーム同期はそれぞれ SCK_x ピンと FS_x ピンに出力されます。
- 必要であれば、SAI は MCLK_x ピンにマスタクロックを生成することもできます。

SCK_x、FS_x、および MCLK_x のいずれも出力として設定されます。

スレーブモード

SAI は、外部デバイスからのタイミング信号の受信を待ちます。

- SAI サブブロックが非同期モードに設定されている場合、SCK_x ピンおよび FS_x ピンは入力として設定されます。
- SAI サブブロックが 2 番目のオーディオサブブロックと同期して動作するよう設定されている場合、該当する SCK_x および FS_x ピンは空きとなり汎用 I/O として使用できます。

MCLK_x ピンはスレーブモードでは使用されず、別の機能に割り当てることができます。

スレーブデバイスを有効にした後でマスタを有効にすることをお勧めします。

SAI モードの設定と有効化

各オーディオサブブロックは、該当するオーディオブロックにある SAI_xCR1 レジスタの MODE ビットを使って個別にトランスミッタまたはレシーバに指定することができます。そのため、SAI_SD_x ピンは出力または入力としてそれぞれ設定されます。

同じ SAI にある 2 個のマスタオーディオブロックは、2 つの異なる MCLK および SCK クロック周波数で設定することができます。この場合、オーディオブロックは非同期モードに設定する必要があります。

SAI 内の各オーディオブロックは、SAI_xCR1 レジスタの SAIEN ビットにより有効化されます。このビットがアクティブになると直ちに、トランスミッタまたはレシーバはスレーブモードでクロックライン、データライン、同期ラインの動作に反応するようになります。

マスタ TX モードでは、オーディオブロックを有効化すると直ちに、FIFO にデータがなくとも、外部スレーブに対するビットクロックを生成しますが、FS 信号の生成は、FIFO 内のデータの存在が条件となります。FIFO が先頭の送信データを受け取った後、このデータが外部スレーブに出力されます。FIFO に送信データがない場合、オーディオフレームにおいては 0 値が送信されて、アンダーランフラグが生成されます。

スレーブモードでは、オーディオブロックが有効化されて、フレームの開始が検出されたときに、オーディオフレームが開始されます。

スレーブ TX モードでは、オーディオブロックを有効化した後の最初のフレームでアンダーランイベントが生成されることはありません。理由は、次の動作シーケンスが必要となるためです。

1. ソフトウェアまたは DMA により SAI_xDR へ書込みを行います。
2. FIFO 閾値（FLH）フラグが 0b000（FIFO エンプティ）でなくなるまで待ちます。
3. スレーブ送信ミッタモードでオーディオブロックを有効化します。

36.4.4 SAI 同期モード

SAI サブクロック A と B は同期できます。

内部同期

オーディオサブブロックは、同じ SAI 内の 2 番目のオーディオサブブロックと同期して動作できるよう設定できます。この場合、ビットクロック信号とフレーム同期信号が共用され、通信に使用する外部ピン数を少なくすることができます。同期モードに設定されたオーディオブロックでは、そのSCK_x、FS_x、および MCLK_x ピンは GPIO として開放状態に戻されています。非同期モードに設定されたオーディオブロックのほうが、FS_x、SCK_x、MCLK_x の I/O ピンに適したブロックとなります（オーディオブロックをマスタと考えた場合）。

一般に、同期モードのオーディオブロックを使って、SAI を全二重モードに設定することができます。2 個のオーディオブロックの片方をマスタとして設定し、他方をスレーブとして設定することができます。あるいは、両方をスレーブとして設定し、1 つは非同期ブロック(SAI_xCR1 の対応する SYNCEN[1:0] ビットを 00 にセット）に、もう一方を同期ブロック（SAI_xCR1 の対応する SYNCEN[1:0] ビットを 01 にセット）にすることもできます。

注： **内部再同期ステージのため、PCLK APB 周波数はビットレートクロック周波数の 2 倍以上である必要があります。**

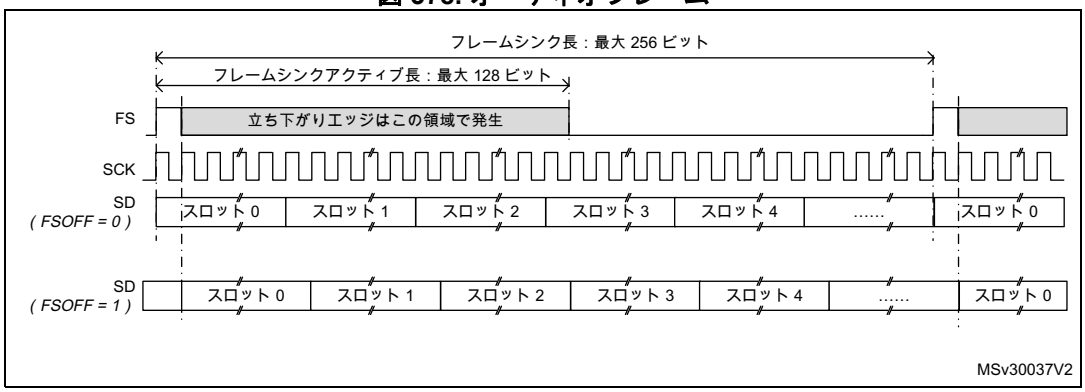
36.4.5 オーディオデータサイズ

オーディオフレームは、SAI_xCR1 レジスタの DS[2:0] ビットを設定することにより、様々なデータサイズを対象とすることができます。データサイズとしては、8、10、16、20、24、32 ビットが可能です。転送時、SAI_xCR1 レジスタの LSBFIRST ビットの設定によってデータの MSB を先頭にして送信することもできれば LSB を先頭にすることもできます。

36.4.6 フレーム同期

FS 信号は、オーディオフレームにおいてフレーム同期信号として機能します（フレーム開始）。この信号の波形は、このフレーム同期動作に関する独自の仕様を持つ様々なオーディオプロトコルに対応するため、全面的に設定可能となっています。この再設定は SAI_xFRCR レジスタを使って実行されます。図 378 にこの柔軟性について図示します。

図 378. オーディオフレーム



AC’97 モードまたは SPDIF モード（SAI_xCR1 レジスタの PRTCFG[1:0] ビット = 10 または PRTCFG[1:0] ビット = 01）では、フレーム同期波形を強制的に AC’97 プロトコルに適合させます。SAI_xFRCR レジスタ値は無視されます。

各オーディオブロックは独立であるため、それぞれに固有の設定が必要となります。

フレーム長

- マスタモード

  オーディオフレーム長は、SAI_xFRCR レジスタの FRL[7:0] ビットを設定して、最大 256 ビットクロックに設定することができます。

  フレーム長がフレームに対して指定されたスロット数より大きい場合、SAI_xCR2 レジスタの TRIS ビットの状態に応じて、残りの送信ビットが 0 に拡張されるか、または SD ラインがハイインピーダンス（HI-Z）状態になります（FS 信号の機能を参照）。受信モードでは、残りのビットは無視されます。

  NODIV ビットがクリアされている場合、(FRL + 1) は 8 から 256 のうちの 2 の累乗の数に調整する必要があります。これは、オーディオフレームがビットクロックサイクル当たり整数個の MCLK パルスを含むようにするためです。

  NODIV ビットがセットされている場合、(FRL + 1) フィールドは 8 から 256 のうちの任意の値をとることができます。セクション 36.4.8：SAI クロックジェネレータを参照してください。

- スレーブモード

  オーディオフレーム長は主に、外部マスタから送信されるオーディオフレーム当たりのビットクロック数をスレーブに対して指定するために使用されます。また、処理中のオーディオフレームでマスタからの想定されるフレーム同期信号または遅延したフレーム同期信号の発生を検出するためにも使用されます。この場合、エラーが生成されます。詳細については、セクション 36.4.14：エラーフラグを参照してください。

  スレーブモードでは、SAI_xFRCR レジスタの FRL[7:0] ビット設定に制約はありません。

フレーム内のビット数は FRL[7:0] + 1 に等しくなります。

オーディオフレーム内で転送する最小ビット数は 8 です。

フレーム同期極性

SAI_xFRCR レジスタの FSPOL ビットにより、フレームが開始される FS ピンのアクティブ極性が設定されます。フレーム開始は、エッジに反応します。

スレーブモードにおいて、オーディオブロックは有効なフレームを待って、送信または受信を開始します。フレーム開始はこの信号に同期します。これは、通信中のフレーム開始が検出されず、予測のフレーム開始と一致しない場合にのみ有効です（セクション 36.4.14：エラーフラグを参照）。

マスタモードでは、SAI_xCR1 レジスタの SAIEN ビットがクリアされるまで、オーディオフレームが完了するごとにフレーム同期が毎回送信されます。前のオーディオフレームの終了時に FIFO にデータがない場合、アンダーラン状態はセクション 36.4.14：エラーフラグの説明のように扱われますが、オーディオ通信フローが中断されることはありません。

フレーム同期アクティブレベル長

SAI_xFRCR レジスタの FSALL[6:0] ビットにより、フレーム同期信号のアクティブレベル長が設定できます。この長さは、1 から 128 のビットクロックに設定することができます。

例えば、I2S、LSB 詰めまたは MSB 詰めモードでは、アクティブ長をフレーム長の 1/2 に、PCM/DSP、TDM では 1 ビット幅に、それぞれ設定することができます。

フレーム同期オフセット

アプリケーションで対象とするオーディオプロトコルに応じて、オーディオフレームの最終ビットまたは先頭ビットを送信したときフレーム同期信号をアサートすることができます（例えば、それぞれ I2S 規格プロトコルおよび MSB 詰めプロトコルの場合）。SAI_xFRCR レジスタの FSOFF ビットにより、2 つの設定のいずれかを選択することができます。

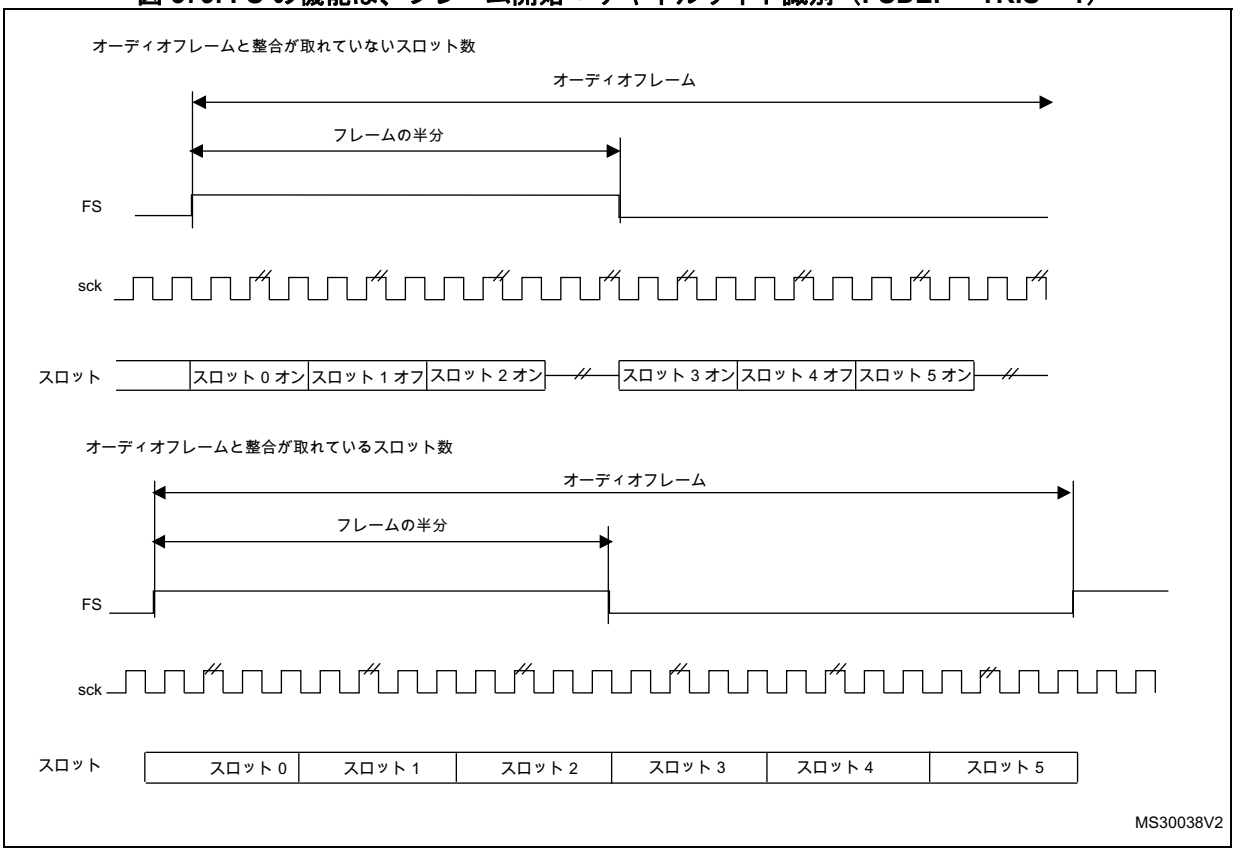
FS 信号の機能

FS 信号は、FS の機能によって意味が異なります。SAI_xFRCR レジスタの FSDEF ビットによりどちらの意味を持たせるかを選択します。

- 0：例えば PCM/DSP、TDM、AC'97 オーディオプロトコルのようなフレーム開始
- 1：例えば I2S、MSB 詰めまたは LSB 詰めプロトコルのような、オーディオフレーム内のチャネルサイド識別およびフレーム開始

FS 信号をフレーム開始およびフレーム内チャネルサイド識別と見なす場合、指定スロット数は半分を左チャネル用、もう半分を右チャネル用と見なす必要があります。ハーフオーディオフレームのビットクロック数がチャネルサイド専用スロット数より大きい場合、TRIS = 0 であれば、SAI_xCR2 レジスタの残りのビットクロックに対して 0 が送信されます。そうしないと、TRIS = 1 の場合、SD ラインがハイインピーダンスに開放されます。受信モード時、残りのビットクロックサイクルはチャネルサイドが変化するまで無視されます。

図 379. FS の機能は、フレーム開始 + チャネルサイド識別（FSDEF = TRIS = 1）

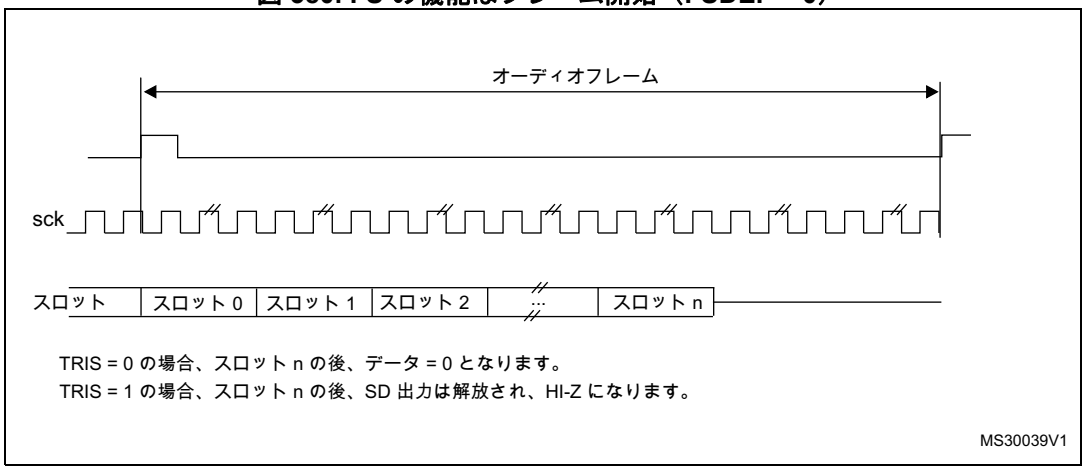


1. フレーム長は偶数である必要があります。

SAI_xFRCR の FSDEF ビットがクリアされたままの場合、FS 信号はフレーム開始に相当し、さらに SAI_xSLOTR の NBSLOT[3:0] ビットで指定されたスロット数に SAI_xSLOTR の SLOTSZ[1:0] ビットで設定されたスロット当たりのビット数を乗算した値が、フレームサイズ（SAI_xFRCR レジスタの FRL[7:0] ビット）より小さい場合、

- SAI_xCR2 レジスタで TRIS = 0 のとき、送信の場合はフレームの終わりまで、最終スロット後の残りのビットは強制的に 0 に設定されます。
- TRIS = 1 のとき、これら残りのビットの転送中、ラインはハイインピーダンス（HI-Z）になります。受信モードでは、これらのビットは破棄されます。

図 380. FS の機能はフレーム開始（FSDEF = 0）



送信モードでオーディオブロックが SD ラインの SPDIF 出力を取得するように設定されている場合は、FS 信号は使用されません。対応する FS の I/O は開放され、他の目的のために空けられます。

36.4.7 スロットの設定

スロットは、オーディオフレームの基本要素です。オーディオフレーム内のスロット数は NBSLOT[3:0] + 1 に等しくなります。

オーディオフレーム当たりの最大スロット数は 16 に固定されています。

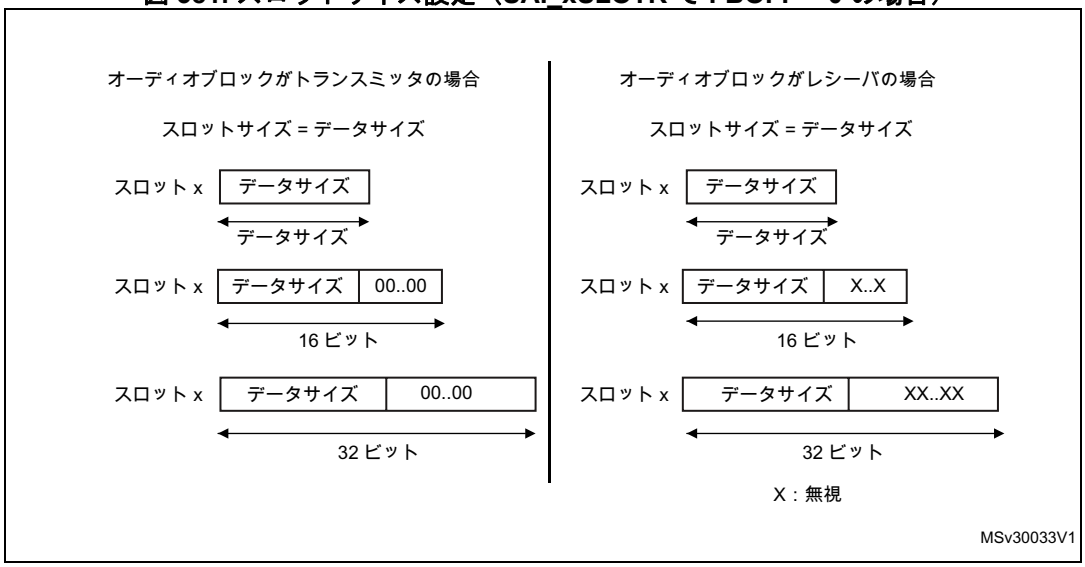
AC'97 プロトコルまたは SPDIF（PRTCFG[1:0] ビット = 10 または PRTCFG[1:0] ビット = 01の場合）に対しては、スロット数は、そのプロトコル仕様を対象とするよう自動的に設定され、NBSLOT[3:0] の値は無視されます。

各スロットは、SAI_xSLOTR レジスタの SLOTEN[15:0] ビットにより有効/無効を指定することができます。

送信モードでは、無効なスロットが転送されると、SD データラインは TRIS ビットの設定に応じて強制的に 0 に設定されるか、または開放されてハイインピーダンス（HI-Z）状態になります（非アクティブスロットでの出力データライン管理を参照）。受信モードでは、このスロットの終わりからの受信した値は無視されます。結果として、FIFO アクセスがないため、この非アクティブなスロット状態にリンクした FIFO からの読出しリクエストや FIFO への書込みリクエストは起こりません。

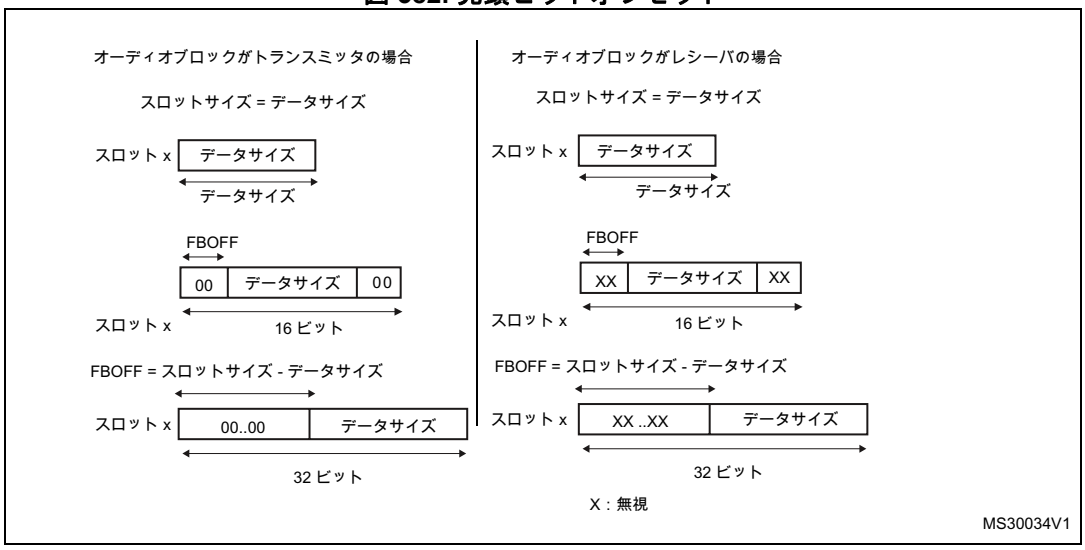
また、スロットのサイズも図 381 に示すように設定可能です。スロットのサイズは、SAI_xSLOTR レジスタの SLOTSZ[1:0] ビットを設定することで選択できます。サイズは、オーディオフレームの各スロットに同じように適用されます。

図 381. スロットサイズ設定（SAI_xSLOTR で FBOFF = 0 の場合）



スロット内で転送する先頭データビットの位置を選択することができます。このオフセットは、SAI_xSLOTR レジスタの FBOFF[4:0] ビットによって設定されます。送信モードでは、スロットの開始からこのオフセット位置に到達するまでの間 0 値が挿入されます。受信時、オフセットフェーズ内のビットは無視されます。この機能は LSB 詰めプロトコルを対象としています （オフセットが、スロットサイズ - データサイズに等しい場合）。

図 382. 先頭ビットオフセット



SAI の誤動作を避けるためには、次の条件を満足する必要があります。

FBOFF ≤(SLOTSZ - DS)、

DS ≤SLOTSZ、

NBSLOT x SLOTSZ ≤FRL（フレーム長）、

SAI_xFRCR レジスタの FSDEF ビットがセットされている場合でも、スロット数は偶数でなければなりません。

AC’97 および SPDIF プロトコル（PRTCFG[1:0] ビット = 10 または PRTCFG[1:0] ビット = 01）では、スロットサイズは、セクション 36.4.11 : AC’97 リンクコントローラで示されるように自動的に設定されます。

36.4.8 SAI クロックジェネレータ

各オーディオブロックには専用のクロックジェネレータが備わっています。クロックジェネレータは、sai_x_ker_ck からマスタクロック（MCLK_x）およびビットクロック（SCK_x）信号を作成します。sai_x_ker_ck クロックは、製品のクロックコントローラ（RCC）によって供給されます。

マスタクロック（MCLK_x）の生成

クロックジェネレータは、オーディオブロックがマスタまたはスレーブとして定義されている場合にマスタクロック（MCLK_x）を供給します。マスタクロックは、該当ブロックの SAIEN ビットが 0 にセットされていても、MCKEN ビットを 1 にセットするとすぐに、生成されます。この機能は、オーディオストリームをアクティブにする前に MCLK_x を生成できるため、MCLK_x クロックが外部オーディオデバイスのシステムクロックとして使用される場合に役立ちます。

オーディオサンプルを転送する前に MCLK_x 出力にマスタクロックを生成するには、ユーザアプリケーションは以下のシーケンスに従う必要があります。

1. SAIEN = 0 であることを確認します。
2. MCKDIV[5:0] 分周器を必要な値にプログラムします。
3. MCKEN ビットを 1 にセットします。
4. 後に、アプリケーションは SAI の他の部分を構成し、SAIEN ビットを 1 に設定してオーディオサンプルの転送を開始できます。

MCLK_x 出力に生成されたクロックの乱れを避けるため、次の操作は推奨されません。

- MCKEN = 1 のときに、MCKDIV を変更すること
- SAIEN = 1 の場合に、MCKEN を 0 にセットすること

SAI では、MCLK_x が（SAIEN = 0 の状態で）MCKEN ビットによってオンおよびオフに切り替えられたときに、MCLK_x 出力にスプールがないことを保証します。

表 225 に、MCLK_x の有効化条件を示します。

表 225. MCLK_x の有効化条件

MCLKEN	NODIV	ブロック x の SAIEN	MCLK_x
0	X	0	無効
1			有効
0	1	1	無効
1			有効
X	0		有効

注 : MCLKEN が 1 にセットされている場合、MCLK_x は AC’97 モードで生成することもできます。

ビットクロック（SCK_x）の生成

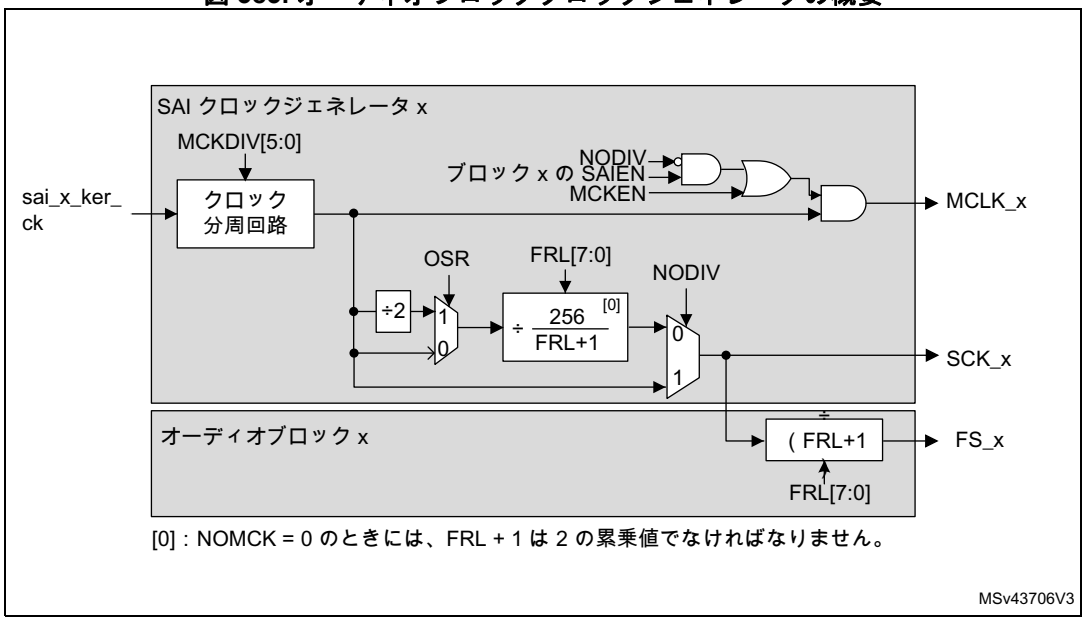
クロックジェネレータは、オーディオブロックがマスタとして定義されている場合にビットクロック（SCK_x）を供給します。フレーム同期（FS_x）は、クロックジェネレータから供給される信号からも得られます。

スレーブモードでは、NODIV および OSR フィールドの値は無視され、SCK_x クロックは生成されません。

SCK_x のビットクロックストローブエッジは、CKSTR フィールドで設定することができ、これはマスタモードとスレーブモードの両方で機能します。

図 383 に、オーディオブロッククロックジェネレータのアーキテクチャを示します。

図 383. オーディオブロッククロックジェネレータの概要



マスタクロック（MCLK_x）とフレーム同期（FS_x）周波数の比率を 256 または 512 に強制するために、NODIV ビットを使用する必要があります。

- NODIV を 0 にセットした場合、フレーム同期とマスタクロックとの周波数比は、OSR 値に従って 512 または 256 に固定されますが、フレーム長は 2 の累乗値でなければなりません。詳細については、以下を参照してください。
- NODIV を 1 にセットした場合、ビットクロック（SCK_x）の周波数は、アプリケーションによって、MCKDIV を介して調整できます。さらに、フレーム長が 8 以上（すなわち、FRL[7:0] > 6）であるかぎり、フレーム長の値に何ら制約はありません。フレーム同期周波数は MCKDIV およびフレーム長（FRL[7:0]）に依存します。この場合、MCLK_x の周波数は SCK_x に等しくなります。

NODIV、MCKEN、SAIEN、OVR、CKSTR、および MCKDIV[5:0] ビットは SAI_xCR1 レジスタに属しますが、FRL[7:0] ビットは SAI_xFRCR レジスタに属します。

NODIV = 0 のときのクロックジェネレータのプログラミング

この場合、MCLK_x 周波数は次のようになります。

- $F_{MCLK_x} = 256 \times F_{FS_x}$（OSR = 0 の場合）
- $F_{MCLK_x} = 512 \times F_{FS_x}$（OSR = 1 の場合）

MCKDIV が 0 ではない場合、MCLK_x 周波数は下の計算式によって与えられます。

$$F_{MCLK_x} = \frac{F_{sai_x_ker_ck}}{MCKDIV}$$

フレーム同期周波数は次のようになります。

$$F_{FS_x} = \frac{F_{sai_x_ker_ck}}{MCKDIV \times (OSR + 1) \times 256}$$

ビットクロック周波数（SCK_x）は次の計算式で与えられます。

$$F_{SCK_x} = \frac{F_{sai_x_ker_ck} \times (FRL + 1)}{MCKDIV \times (OSR + 1) \times 256}$$

注： **NODIV が 0 に等しい場合、（FRL+1）は 2 の累乗値でなければなりません。加えて、（FRL+1）は 8 ～256 でなければなりません。（FRL+1）はオーディオフレーム内のビットクロック数を表します。**

MCKDIV 分周比が奇数である場合には、MCLK のデューティサイクルは 50% にはなりません。MCKDIV が奇数、OSR が 0 に等しく、かつ（FRL+1）= 2^8 であると、ビットクロック信号（SCK_x）についてもデューティサイクルが 50% とは異なることがあります。

MCKDIV を偶数か大きな値（10 を超える値）にプログラミングすることを推奨します。

MCKDIV = 0 であると、MCKDIV = 1 のときと同じ結果となることに注意してください。

NODIV = 1 のときのクロックジェネレータのプログラミング

MCKDIV が 0 ではない場合、ビットクロック（SCK_x）周波数は下の計算式によって与えられます。

$$F_{SCK_x} = F_{MCLK_x} = \frac{F_{sai_x_ker_ck}}{MCKDIV}$$

フレーム同期（FS_x）周波数は次の計算式によって与えられます。

$$F_{FS_x} = \frac{F_{sai_x_ker_ck}}{(FRL + 1) \times MCKDIV}$$

注： **NODIV が 1 にセットされている場合、（FRL+1）は 8 から 256 のうちの任意の値をとることができます。**

MCKDIV = 0 であると、MCKDIV = 1 のときと同じ結果となることに注意してください。

クロックジェネレータのプログラミング例

表 226 に、48、96、192 kHz に対するプログラミング例を示します。

表 226. クロックジェネレータのプログラミング例

入力 sai_x_ker_ck クロック周波数	MCLK	F_{MCLK}/ F_{FS}	FRL (1)	OSR	NODIV	MCKEN	MCKDIV[5:0]	オーディオ サンプリング周波数 (F_{FS})
98.304 MHz	Y	512	2^N-1	1	0	1	0 または 1	192 kHz
		512	2^N-1	1	0	1	2	96 kHz
		512	2^N-1	1	0	1	4	48 kHz
		256	2^N-1	0	0	1	2	192 kHz
		256	2^N-1	0	0	1	4	96 kHz
		256	2^N-1	0	0	1	8	48 kHz
	N	-	63	-	1	0	8	192 kHz
		-	63	-	1	0	16	96 kHz
		-	63	-	1	0	32	48 kHz

1. N は 3～8の整数値です。

36.4.9 内部 FIFO

SAI 内の各オーディオブロックには固有の FIFO を搭載しています。そのブロックがトランスミッタに指定されるかレシーバに指定されるかによって、FIFO にそれぞれ書き込んだり読み出したりすることができます。したがって、SAI_xSR レジスタの FREQ ビットに対応した FIFO リクエストは 1 つしかありません。

SAI_xIM レジスタの FREQIE ビットが有効化されている場合、割込みが生成されます。これは次の条件によって変わります：

- FIFO 閾値設定（SAI_xCR2 の FLVL ビット）
- 通信方向（トランスミッタまたはレシーバ）送信モードでの割込み生成 および 受信モードでの割込み生成を参照してください。

送信モードでの割込み生成

送信モードでの割込みの生成は、次のように FIFO の設定によって変わります：

- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFO エンプティ（FTH[2:0] = 0b000）に設定されている場合、SAI_xDR レジスタに有効なデータがない（SAI_xSR の FLVL[2:0] ビット < 001b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO がエンプティ（空）でなくなった場合（SAI_xSR の FLVL[2:0] ビット ≠0b000）、すなわち FIFO に 1 個以上のデータが格納されている状態になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 1/4（FTH[2:0] = 001b）に設定されている場合、データが FIFO の 1/4 より少ない（SAI_xSR の FLVL[2:0] ビット < 0b010）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 1/4 以上にデータがある状態（SAI_xSR の FLVL[2:0] ビット≧ 0b010）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 1/2（FTH[2:0] = 0b010）に設定されている場合、データが FIFO の 1/2 より少ない（SAI_xSR の FLVL[2:0] ビット < 011b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 1/2 以上にデータがある状態（SAI_xSR の FLVL[2:0] ビット≧ 011b）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 3/4（FTH[2:0] = 011b）に設定されている場合、データが FIFO の 3/4 より少ない（SAI_xSR の FLVL[2:0] ビット < 0b100）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO の 3/4 以上にデータがある状態（SAI_xSR の FLVL[2:0] ビット≧0b100）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフル（FTH[2:0] = 0b100）に設定されている場合、FIFO がフルでない（SAI_xSR の FLVL[2:0] ビット < 101b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO データがフル（SAI_xSR の FLVL[2:0] ビット = 101b）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

受信モードでの割込み生成

受信モードでの割込みの発生は、次のように FIFO の設定によって変わります：

- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFO エンプティ（FTH[2:0] = 0b000）に設定されている場合、SAI_xDR レジスタに 1 個以上のデータがある（SAI_xSR の FLVL[2:0] ビット ≧ 001b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO がエンプティになる（SAI_xSR の FLVL[2:0] ビット = 0b000）、すなわち FIFO にデータがなくなると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 1/4（FTH[2:0] = 001b）に設定されている場合、FIFO データロケーションの 1/4 以上が使用可能（SAI_xSR の FLVL[2:0] ビット ≧ 0b010）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 1/4 未満（SAI_xSR の FLVL[2:0] ビット < 0b010）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 1/2（FTH[2:0] = 0b010）に設定されている場合、FIFO データロケーションの 1/2 以上が使用可能（SAI_xSR の FLVL[2:0] ビット≧011b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 1/2 未満（SAI_xSR の FLVL[2:0] ビット < 011b）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFOがフルの 3/4（FTH[2:0] = 011b）に設定されている場合、FIFO データロケーションの 3/4 以上が使用可能（SAI_xSR の FLVL[2:0] ビット≧0b100）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。使用可能な FIFO データロケーションが 3/4 未満（SAI_xSR の FLVL[2:0] ビット < 0b100）になると、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。
- SAI_xCR2 レジスタの FIFO 閾値ビットが FIFO がフル（FTH[2:0] = 0b100）に設定されている場合、FIFO がフル（SAI_xSR の FLVL[2:0] ビット = 101b）という条件で、割込みが生成されます（SAI_xSR レジスタの FREQ ビットがハードウェアによって 1 にセットされます）。FIFO データがフルでなくなると（SAI_xSR の FLVL[2:0] ビット < 101b）、この割込み（SAI_xSR レジスタの FREQ ビット）はハードウェアによってクリアされます。

SAI_xCR1 レジスタの DMAEN ビットがセットされている場合、SAI は、割込み生成と同様に DMA を使用することができます。FREQ ビットアサーションメカニズムは、上記 FREQIE について説明した割込み生成メカニズムと同じです。

各 FIFO は 8 ワードの FIFO です。FIFO に対する書込み操作や読出し操作は、そのアクセスサイズによらず、1 回につき FIFO の 1 ワード分を対象とします。FIFO の 1 ワードには 1 オーディオスロットが格納されます。FIFO ポインタは、SAI_xDR レジスタに対する各アクセスの後に 1 ワードずつインクリメントされます。

SAI_xDR に書き込む際、データは右詰めである必要があります。

受信データは SAI_xDR で右詰めとなっています。

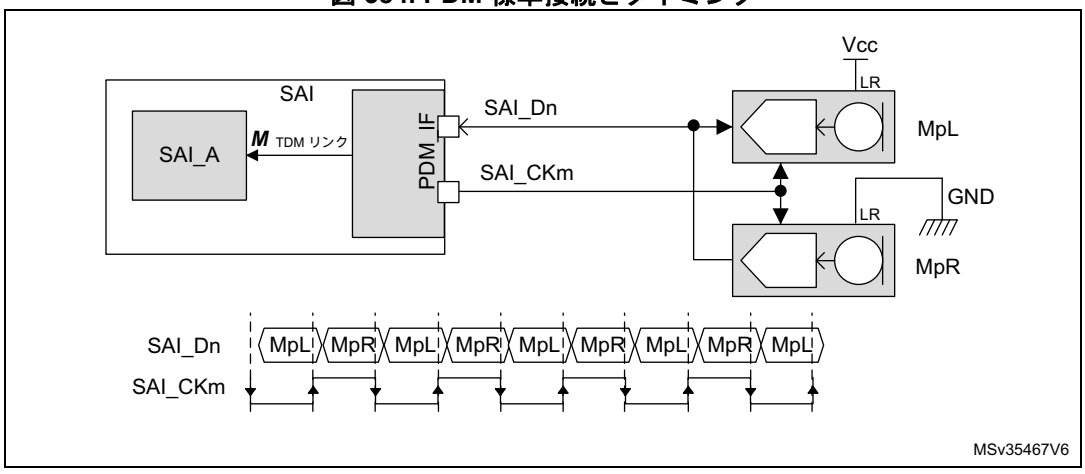
SAI_xCR2 レジスタの FFLUSH ビットをセットして SAI を無効化すると、FIFO ポインタを再初期化することができます。SAI が有効なときに FFLUSH をセットすると、FIFO 内にあるデータは自動的に失われます。

36.4.10 PDM インタフェース

PDM（パルス密度変調）インタフェースは、デジタルマイクロフォン対応のために提供されています。最大 4 組のデジタルマイクロフォンのペアに並列接続可能です。製品の実装によっては、より少ない数のマイクロフォンしか使用できません（セクション 36.3 : SAI の実装を参照）。

図 384 に、PDM インタフェースを介したデジタルマイクロフォンのペアの標準的な接続を示します。どちらのマイクロフォンも同じビットストリームクロックとデータのラインを共有しています。設定ピン（LR）によって、片方のマイクロフォンが SAI_CK[m] の立ち上がりエッジで有効なデータを供給するのと同時に、もう一方が SAI_CK[m] の立ち下がりエッジで有効なデータを供給します（m はクロックライン数）。

図 384. PDM 標準接続とタイミング



1. **n** はデータライン数、**p** はマイクロフォンのペア数を表します。

PDM 機能は、TDM マスタモードで設定された SAI_A サブクロックとともに使用されるためのものです。SAI_B サブクロックとは使用できません。PDM インタフェースは、SAI_A の TDM インタフェースから供給されるタイミング信号を使用して、それを適合させてビットストリームクロック（SAI_CK[m]）を生成します。

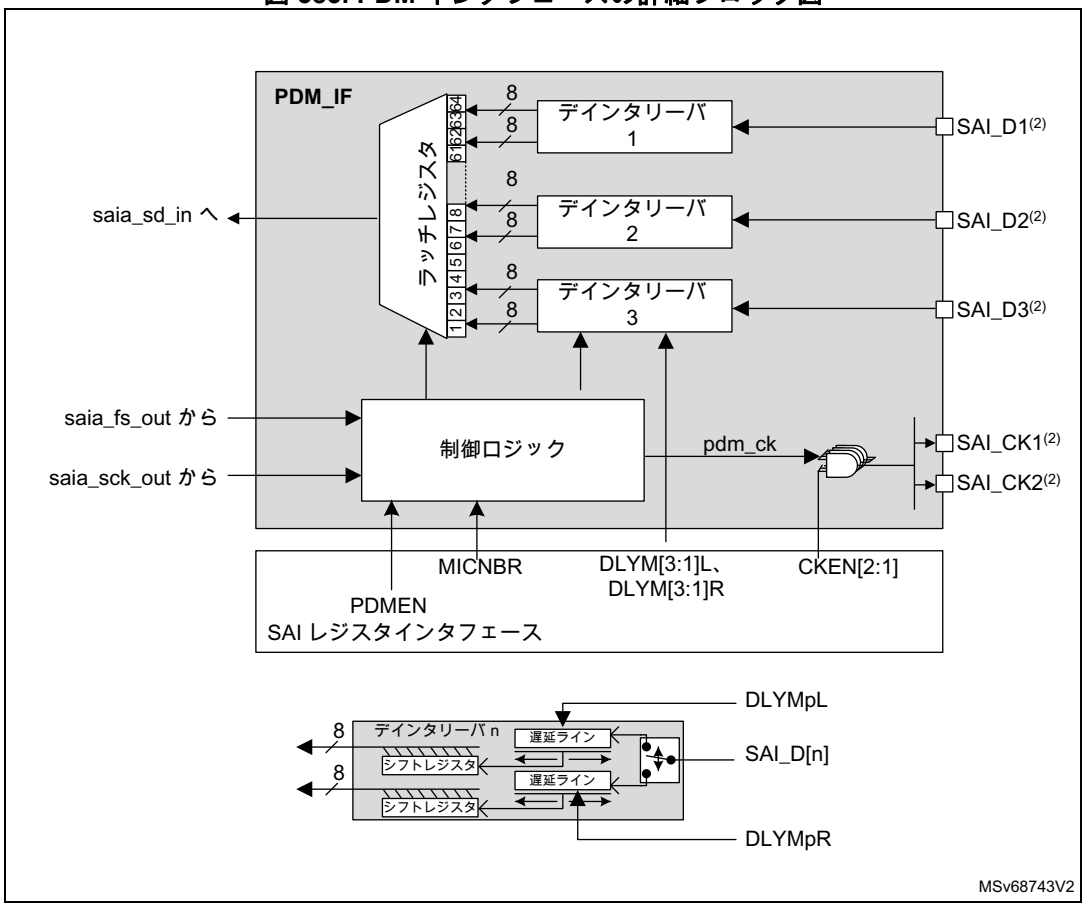
PDM へのデータ処理シーケンスは、次のとおりです。

1. PDM インタフェースは、SAI_A の TDM インタフェースから受信したビットクロックからビットストリームクロックを構築します。
2. マイクロフォンから受信したビットストリームデータ（SAI_D[n]）はインタリーブを解かれ、ビットストリームクロック精度で各マイクロフォンの遅延を微調整するために、7 ビット遅延ラインを通ります。
3. シフトレジスタによって、それぞれのシリアルビットストリームがバイト列に変換されます。
4. 最後の操作では、TDM インタフェースのシリアルデータラインを通じて、結果として得られたバイト列が SAI_A にシフトアウトされます。

以下の図 385 に、PDM インタフェースのブロック図をデインタリーバの詳細図とともに示します。

注： **PDM インタフェースには、ビットストリームから PCM オーディオサンプルを構築するために必要なデシメーションフィルタは組み込まれていません。この操作を行うかどうかは、アプリケーションソフトウェア次第です。**

図 385. PDM インタフェースの詳細ブロック図



1. **n** はデータライン数、**p** はマイクロフォンのペア数を表します。
2. これらの信号は、すべての SAI インスタンスで使用できるわけではありません。詳細については、セクション 36.3 : SAI の実装を参照してください。

PDM インタフェースは、SAI_PDMCR レジスタの PDMEN ビットを通じて有効にできます。ただし、SAI_A ブロックを有効にする前に PDM インタフェースを有効にする必要があります。

メモリのフットプリントを削減するため、アプリケーションが必要とするマイクロフォンの本数を選択できます。この選択は、MICNBR[1:0] ビットで行うことができます。マイクロフォンの本数は、2

本、4 本、6 本、8 本から選択可能です。たとえば、アプリケーションがマイクロホンを 3 本使用するのであれば、4 本を選択する必要があります。

PDM インタフェースの有効化

PDM インタフェースを有効にするには、以下のシーケンスに従います。

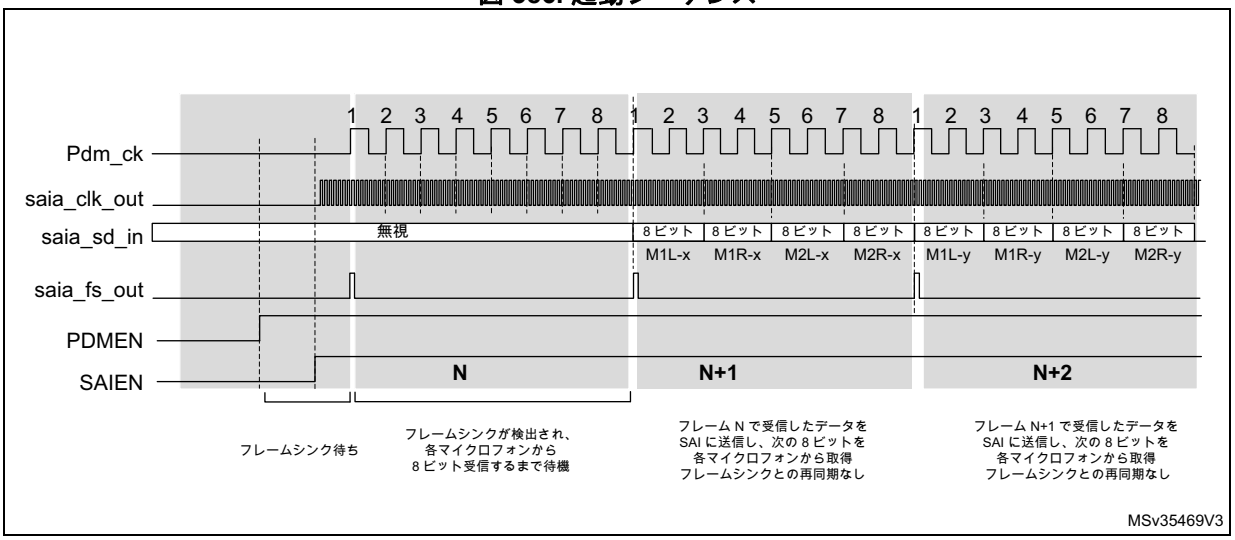
1. SAI_A を TDM マスタモードに設定します（表 227 参照）。
2. 次のように PDM インタフェースを設定します。
   a) MICNBR にデジタルマイクロフォンの本数を設定します。
   b) CKEN の対応するビットを 1 にセットして、アプリケーションで必要なビットストリームクロックを有効にします。
3. PDMEN ビットで PDM インタフェースを有効にします。
4. SAI_A を有効にします。

注： **PDM インタフェースと SAI_A が有効になると、SAI_ADR で受信する最初の 2 つの TDMA フレームは無効ですので、破棄する必要があります。**

起動シーケンス

図 386 に起動シーケンスを示します。PDM インタフェースが有効になると、マイクロフォンサンプルの取得を始める前に、フレーム同期イベントを待ちます。SAI_CK クロック 8 周期後、各マイクロフォンから入力されるデータバイトが利用可能となり、TDM インタフェースを通じて SAI に転送されます。

図 386. 起動シーケンス



SAI_ADR データフォーマット

マイクロフォンから SAI_ADR レジスタに入力されるデータの配列は、次のパラメータに依存しています。

- マイクロフォンの本数
- 選択されたスロット幅
- LSBFIRST ビット

スロット幅によって、SAI_ADR に入力可能な各ワードの有効ビット数が設定されます。

32 ビットのスロット幅が選択された場合には、SAI_ADR に入力可能な各データには 32 ビットの有効なビットが含まれます。これによって、メモリに格納されるワード数が減ります。ただし、対応するには、ソフトウェアが各マイクロフォンのデータのインタリーブを解くための何らかの操作を行う必要があります。

その一方で、8 ビットのスロット幅が選択された場合には、SAI_ADR に入力可能な各データには 8 ビットの有効ビットが含まれます。これによって、メモリに格納されるワード数が増えます。ただし、各ワードにはマイクロフォン 1 本からの情報が含まれているため、これには余計な処理を避けるという利点があります。

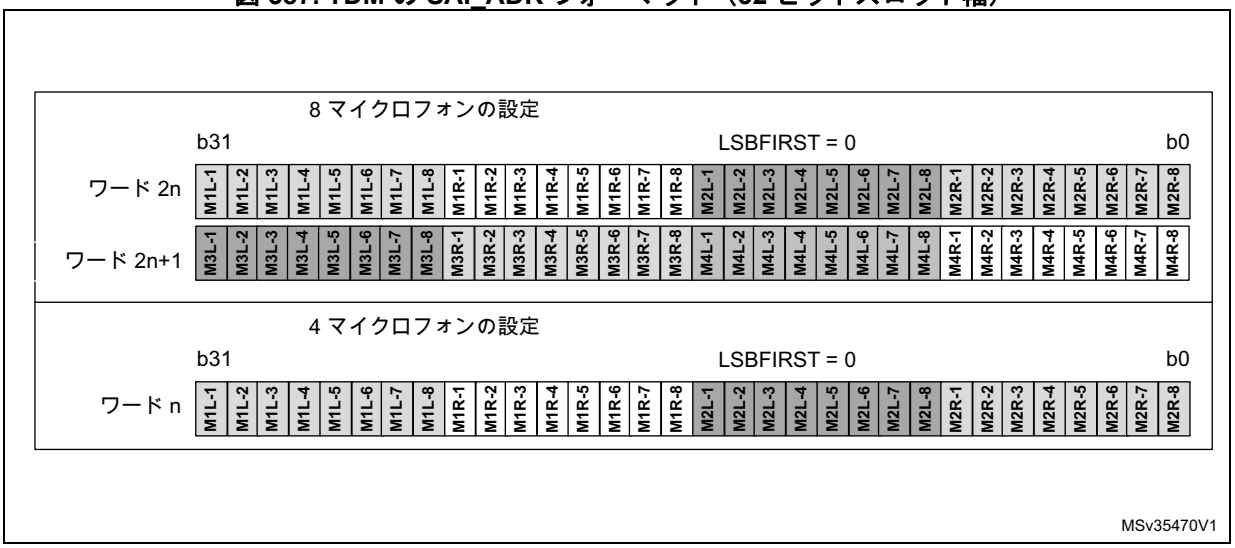
SAI_ADR データフォーマット例

- **32 ビットスロット幅**（DS = 0b111 かつ SLOTSZ = 0）図 387 を参照してください。

  マイクロフォン 8 本の設定では、SAI_ADR レジスタから読み込まれた連続する 2 ワードに、各マイクロフォンからの 1 データバイトが含まれています。

  マイクロフォン 4 本の設定では、SAI_ADR レジスタから読み込まれた各ワードに、各マイクロフォンからの 1 データバイトが含まれています。

図 387. TDM の SAI_ADR フォーマット（32 ビットスロット幅）

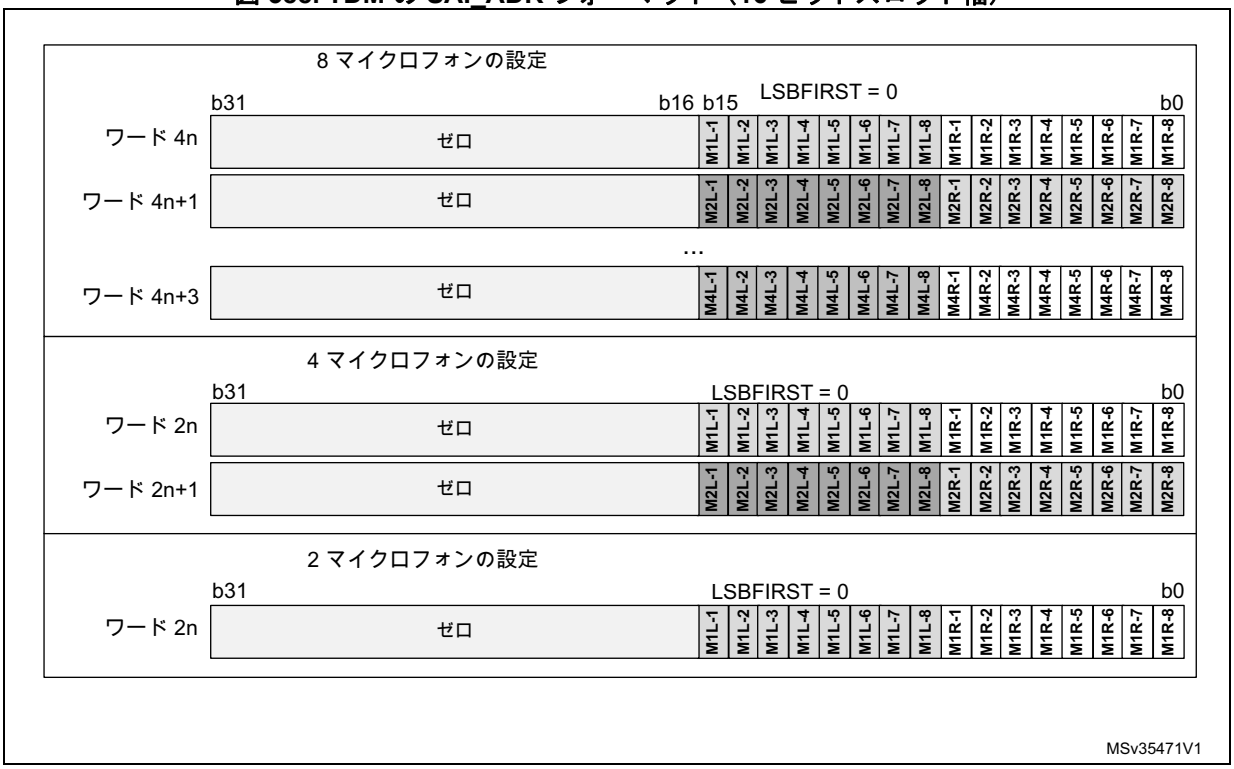


- **16 ビットスロット幅**（DS = 0b100 かつ SLOTSZ = 0）図 388 を参照してください。

  マイクロフォン 8 本の設定では、SAI_ADR レジスタから読み込まれた連続する 4 ワードに、各マイクロフォンからの 1 データバイトが含まれています。SAI_ADR の 16 ビットデータは右詰めされていることに注意してください。

  マイクロフォン 4 本または 2 本の設定では、SAI の動作はマイクロフォン 8 本の設定とほぼ同じです。マイクロフォン 4 本からバイトを取得するには 16 ビットワードが最大で 2 ワード必要であり、マイクロフォン 2 本からであれば 1 ワード必要です。

図 388. TDM の SAI_ADR フォーマット（16 ビットスロット幅）

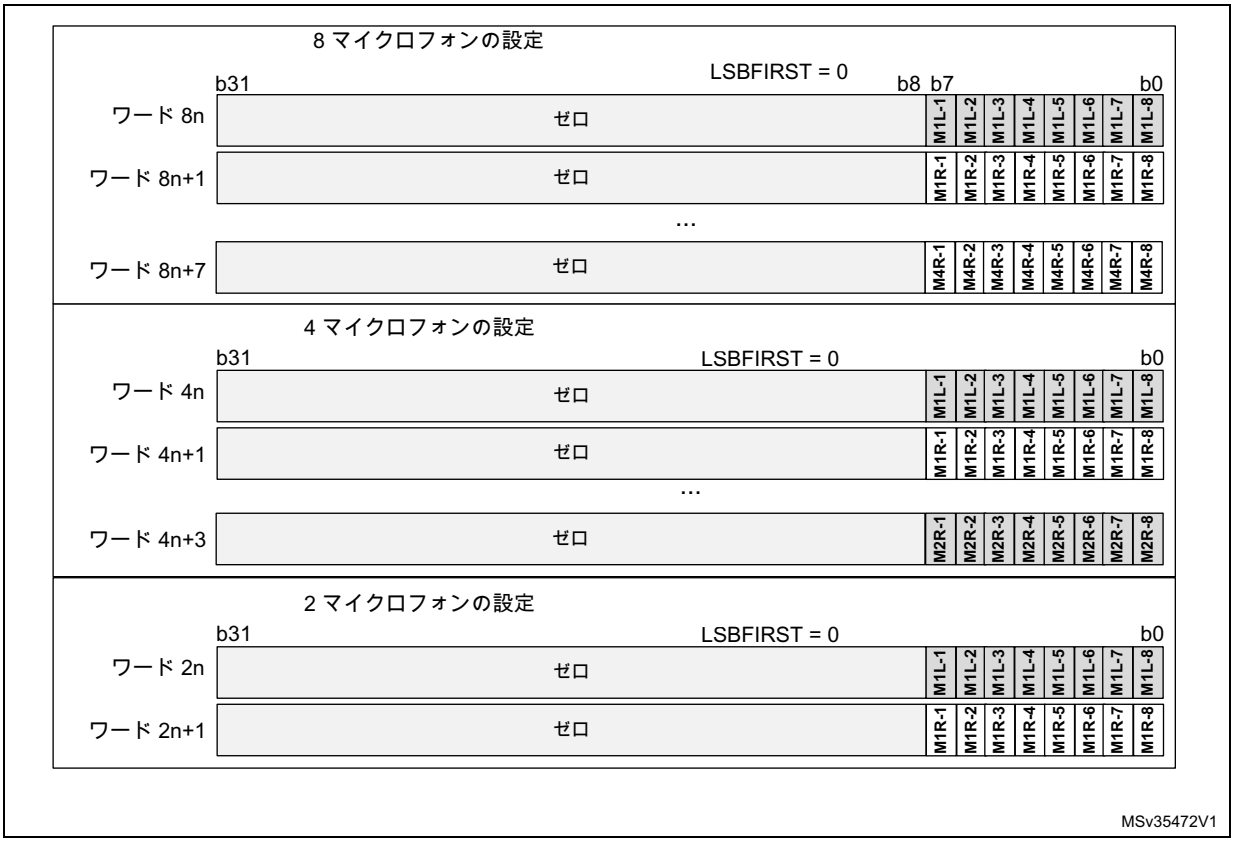


- **8 ビットスロット幅を使用**（DS = 0b010 かつ SLOTSZ = 0）図 389 を参照してください。

  マイクロフォン 8 本の設定では、SAI_ADR レジスタから読み込まれた連続する 8 ワードに、各マイクロフォンからのデータが 1 バイト含まれています。SAI_ADR の 8 ビットデータは右詰めされていることに注意してください。

  マイクロフォン 4 本または 2 本の設定では、SAI の動作はマイクロフォン 8 本の設定とほぼ同じです。マイクロフォン 4 本からバイトを取得するには 8 ビットワードが最大で 4 ワード必要であり、マイクロフォン 2 本からであれば 2 ワード必要です。

図 389. TDM の SAI_ADR フォーマット（8 ビットスロット幅）



PDM インタフェースの TDM 設定

SAI_A TDM インタフェースは、マイクロフォンのサンプルを取得するために、内部で PDM インタフェースに接続されています。ユーザアプリケーションは、PDM インタフェースを表 227 に示すように設定して、PDM インタフェースとの良好な接続を保証する必要があります。

表 227. TDM 設定

ビットフィールド	値	コメント
MODE	0b01	モードは MASTER レシーバである必要があります。
PRTCFG	0b00	TDM 用フリープロトコル
DS	X	フレーム長とスロット数（FRL と NBSLOT）に基づいて、必要なデータフォーマットに応じて調整します。表 228 を参照してください。
LSBFIRST	X	このパラメータは必要なデータフォーマットに応じて使用します。
CKSTR	0	信号の遷移は、SCK_A ビットクロックの立ち上りエッジで発生します。信号はビットクロックの立ち下がりでは安定しています。
MONO	0	ステレオモード
FRL	X	マイクロフォンの本数（MICNBR）に応じて調整します。表 228 を参照してください。
FSALL	0	ハルス幅は 1 ビットクロックサイクルです。
FSDEF	0	FS 信号がフレームの開始です。
FSPOL	1	FS はアクティブハイです。

表 227. TDM 設定 （続き）

ビットフィールド	値	コメント
FSOFF	0	FS はスロット 0 の先頭ビットでアサートされます。
FBOFF	0	スロットにはオフセットはありません。
SLOTSZ	0	スロットサイズ = データサイズ
NBSLOT	X	スロットサイズとフレーム長（FRL と DS）に基づいて、必要なデータフォーマットに応じて調整します。表 228 を参照してください。
SLOTEN	X	NBSLOT に応じて設定します。
NODIV	1	マスタクロック MCLK の生成は不要です。
MCKDIV	X	sai_a_ker_ck 入力に供給される周波数に依存します。 このパラメータは、適切なビットストリームクロック周波数を生成するために調整する必要があります。表 228 を参照してください。

ビットストリームクロックレートの調整

SAI TDM インタフェースを適切にプログラムするには、ユーザアプリケーションは表 227 に記載された設定を考慮し、次のシーケンサに従う必要があります。

1. 次の式を使用して、PDM ビットストリームクロックに必要な周波数に応じてビットクロック周波数（F_{SCK_A}）を調整します。

$$F_{SCK_A} = F_{PDM_CK} \times (MICNBR + 1) \times 2$$

MICNBR は、0、1、2、または 3 の値を取ります（0 = マイクロフォン 2 本、セクション 36.6.17 参照）。

2. 次の式を使用して、フレーム長（FRL）を設定します。

$$FRL = (16 \times (MICNBR + 1)) - 1$$

3. スロットサイズ（DS）を（FRL+1）の倍数に設定します。

表 228. TDM フレームの設定例(1)(2)

マイクロフォンサンプルレート	マイクロフォンの数	必要な SAI_CKn 周波数 (3)	ビットクロック（SCK_A）	フレームシンク（FS_A）	FRL	DS	NBSLOT	コメント
48 kHz	最大 8	3.072 MHz	24.576 MHz	384 kHz	63	0b111	1	フレームあたり 32 ビット 2 スロット
		3.072 MHz	24.576 MHz	384 kHz	63	0b100	3	フレームあたり 16 ビット 4 スロット
		3.072 MHz	24.576 MHz	384 kHz	63	0b010	7	フレームあたり 8 ビット 8 スロット
	最大 6	3.072 MHz	18.432 MHz	384 kHz	47	0b110	1	フレームあたり 24 ビット 2 スロット
		3.072 MHz	18.432 MHz	384 kHz	47	0b100	2	フレームあたり 16 ビット 3 スロット
		3.072 MHz	18.432 MHz	384 kHz	47	0b010	5	フレームあたり 8 ビット 6 スロット
	最大 4	3.072 MHz	12.288 MHz	384 kHz	31	0b111	0	フレームあたり 32 ビット 1 スロット
		3.072 MHz	12.288 MHz	384 kHz	31	0b100	1	フレームあたり 16 ビット 2 スロット
		3.072 MHz	12.288 MHz	384 kHz	31	0b010	3	フレームあたり 8 ビット 4 スロット
	最大 2	3.072 MHz	6.144 MHz	384 kHz	15	0b100	0	フレームあたり 16 ビット 1 スロット
		3.072 MHz	6.144 MHz	384 kHz	15	0b010	1	フレームあたり 8 ビット 2 スロット
16 kHz	最大 8	1.024 MHz	8.192 MHz	128 kHz	63	0b111	1	フレームあたり 32 ビット 2 スロット
		1.024 MHz	8.192 MHz	128 kHz	63	0b100	3	フレームあたり 16 ビット 4 スロット
		1.024 MHz	8.192 MHz	128 kHz	63	0b010	7	フレームあたり 8 ビット 8 スロット
	最大 6	1.024 MHz	6.144 MHz	128 kHz	47	0b110	1	フレームあたり 24 ビット 2 スロット
		1.024 MHz	6.144 MHz	128 kHz	47	0b010	5	フレームあたり 8 ビット 6 スロット
	最大 4	1.024 MHz	4.096 MHz	128 kHz	31	0b111	0	フレームあたり 32 ビット 1 スロット
		1.024 MHz	4.096 MHz	128 kHz	31	0b100	1	フレームあたり 16 ビット 2 スロット
		1.024 MHz	4.096 MHz	128 kHz	31	0b010	3	フレームあたり 8 ビット 4 スロット
	最大 2	1.024 MHz	2.048 MHz	128 kHz	15	0b100	0	フレームあたり 16 ビット 1 スロット
		1.024 MHz	2.048 MHz	128 kHz	15	0b010	1	フレームあたり 8 ビット 2 スロット

1. TDM 設定の詳細については、表 227 : TDM 設定を参照してください。SAI に供給される sai_a_ker_ck クロック周波数は、SCK_A 周波数の倍数である必要があり、MCKDIV はそれに応じてプログラムされる必要があります。
2. 上記の sai_a_ker_ck 周波数は例に過ぎません。これらの周波数をデバイスで生成できるかどうかを確認するにはリセットとクロック制御（RCC）のセクションを参照してください。
3. 上表は、デシメーション比が 64 である場合に許容される設定です。

ディレイラインの調整

PDM インタフェースが有効になると、アプリケーションは、SAI_PDMDLY レジスタを通じて各マイクロフォン入力のディレイセルを実行中に調整できます。

新たなディレイ値は、TDM フレームの 2 周期後に有効になります。

36.4.11 AC’97 リンクコントローラ

SAI は AC’97 リンクコントローラとしても機能することができます。このプロトコルの仕様は次のとおりです：

- スロット番号とスロットサイズは固定です。
- フレーム同期信号は完全に定義されており波形は固定です。

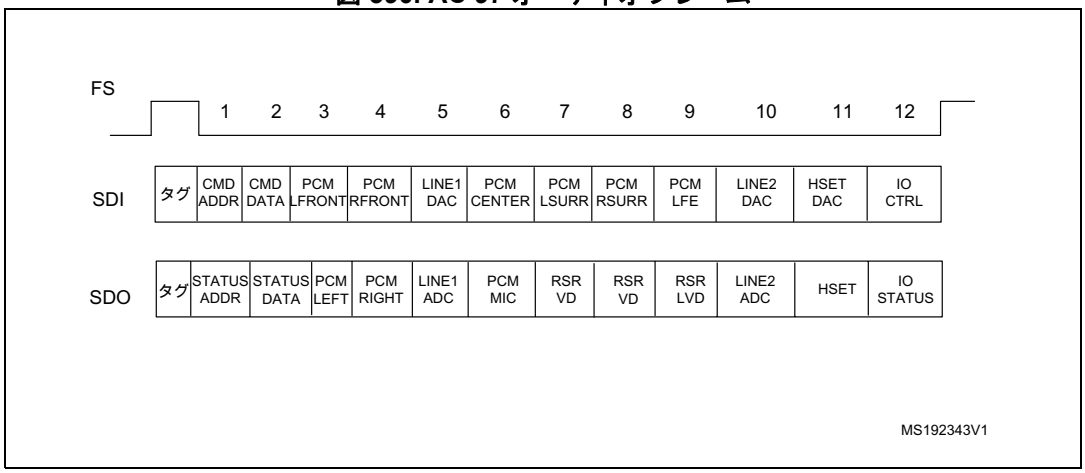
このプロトコルを選択するには、SAI_xCR1 レジスタの PRTCFG[1:0] ビットを 10 に設定します。AC’97 モードを選択した場合、使用可能なデータサイズは 16 ビットまたは 20 ビットのみであり、その他の場合、SAI の動作は保証されません。

- したがって、NBSLOT[3:0] ビットと SLOTSZ[1:0] ビットは無視されます。
- スロット数は 13 スロットに固定されています。最初のスロットは 16 ビット幅で、他はすべて 20 ビット幅（データスロット）です。
- SAI_xSLOTR レジスタの FBOFF[4:0] ビットは無視されます。
- SAI_xFRCR レジスタは無視されます。
- MCLK は使用されません。

非同期指定されたブロックからの FS 信号は、自動的に出力として設定されます。これは、マスタ/スレーブの設定にかかわらず AC’97 コントローラリンクが FS 信号を駆動するためです。

図 390 に、AC’97 オーディオフレーム構造を示します。

図 390. AC’97 オーディオフレーム



注： **AC’97 プロトコルでは、タグのビット 2 は予約済みです（常に 0）。したがって、SAI FIFO に書き込まれる値によらず、タグのビット 2 は 0 レベルに固定されます。**

タグ 表示についての詳細は、AC’97 プロトコル 規格を参照してください。

1 つの SAI を AC’97 の 2 点間通信に的を絞って使用することができます。

受信モードでは、スロット 0 のコーデックレディビットがローにデコードされた場合、AC’97 リンクコントローラとして機能する SAI は、FIFO リクエストを必要としないため FIFO 内のデータストレージも不要です。SAI_xIM レジスタの CNRDYIE ビットが有効化された場合、SAI_xSR レジスタの CNRDY フラグがセットされ、割込みが生成されます。このフラグは、AC’97 プロトコル専用です。

AC’97 モードでのクロックジェネレータのプログラミング

AC’97 モードでは、フレーム長は 256 ビットに固定され、その周波数は 48 kHz に設定する必要があります。セクション 36.4.8 : SAI クロックジェネレータに示す式には、適切なフレームレート（F_{FS_x}）を生成するために、FRL = 255 という条件を適用する必要があります。

36.4.12 SPDIF 出力

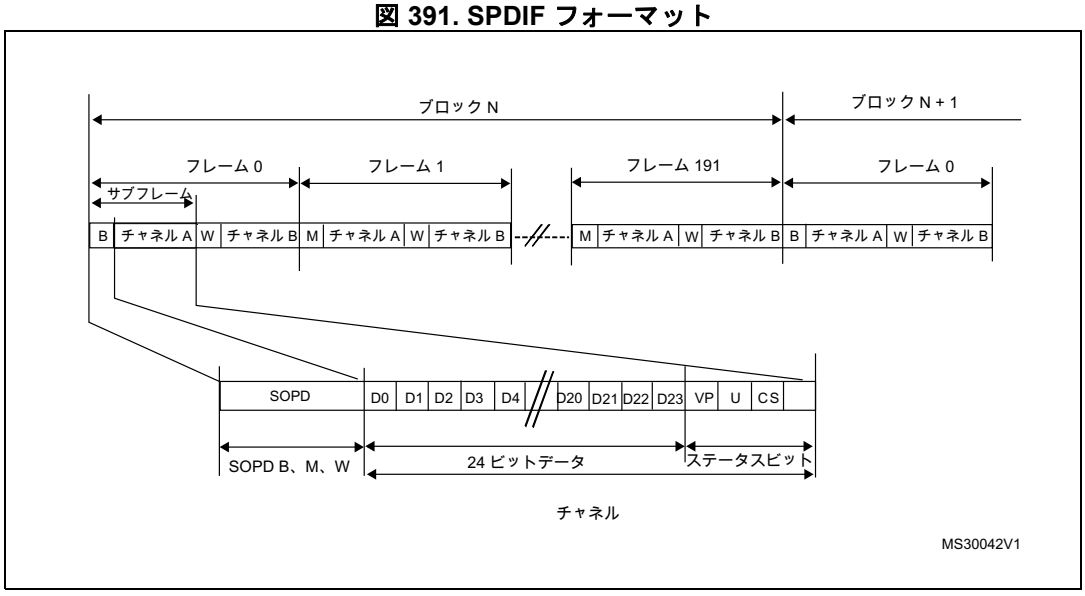
SPDIF インタフェースは送信モードでのみ使用できます。このインタフェースはオーディオ IEC60958 をサポートします。

SPDIF モードを選択するには、SAI_xCR1 レジスタの PRTCFG[1:0] ビットに 01 をセットします。

SPDIF プロトコルを使用する場合

- SD データラインのみが有効です。
- I/O ピンの FS、SCK、MCLK は空けてあります。
- MODE[1] ビットは、SAI のクロックジェネレータを有効にしたり SD ラインでのデータレートを管理するために強制的に 0 にして、マスタモードを選択します。
- データサイズは強制的に 24 ビットに設定されます。SAI_xCR1 レジスタの DS[2:0] ビットにセットされた値は無視されます。
- クロックジェネレータのシンボルレートを、ビットクロックがシンボルレートの 2 倍でなければならないことを考慮して、定義する必要があります。データはマンチェスタープロトコルでコード化されます。
- SAI_xFRCR レジスタおよび SAI_xSLOTR レジスタは無視されます。SAI は、SPDIF プロトコル要件（図 391 を参照）に適合するように内部的に設定されます。

図 391. SPDIF フォーマット



SPDIF ブロックには 192 個のフレームが含まれています。各フレームは、2 個の 32 ビットサブフレーム（一般に左チャネル用と右チャネル用に 1 つずつ）で構成されています。各サブフレームは SOPD パターン（4 ビット）で構成されています。このパターンを使用して、サブフレームがブロックの先頭である（つまり、チャネル A を識別している）、ブロックのどこかでチャネル A を識別している、またはチャネル B を参照しているのいずれかを指定します（表 229 を参照）。チャネル情報の次の 28 ビットは 24 ビットのデータと 4 ビットのステータス情報から成ります。

表 229. SOPD パターン

SOPD	プリアンブルのコード化		説明
	最終ビットが 0	最終ビットが 1	
B	11101000	00010111	ブロックの始めにあるチャネル A データ
W	11100100	00011011	ブロックのどこかにあるチャネル B データ
M	11100010	00011101	チャネル A データ

SAI_xDR に格納されているデータは次のような内容でなければなりません。

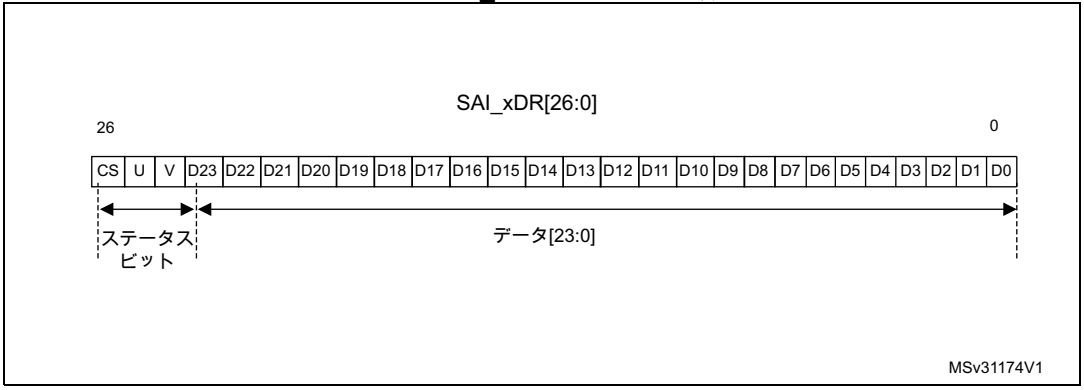
- SAI_xDR[26:24] は、チャネルのステータスビット、ユーザビット、有効性ビットを含みます。
- SAI_xDR[23:0] は、検討されたチャネルに関するデータ 24 ビットを含みます。

データサイズが 20 ビットの場合、データは SAI_xDR[23:4] に配置する必要があります。

データサイズが 16 ビットの場合、データは SAI_xDR[23:8] に配置する必要があります。

SAI_xDR[23] は常に MSB を表します。

図 392. SAI_xDR レジスタの順序



注： **必ず LSB（最下位ビット）から転送されます。**

SAI はまず最初にブロック内の各サブフレームの適切なプリアンブル部を送信します。次に、SAI_xDR が SD ラインに送信されます（マンチェスターコード化）。SAI は、表 230 の記載通りに計算されたパリティビットを転送することで、サブフレームを終了させます。

表 230. パリティビットの計算

SAI_xDR[26:0]	転送されるパリティビット P の値
奇数個の”0 ”	0
奇数個の”1 ”	1

SAI は送信モードでしか動作できないため、アンダーランは SPDIF モードの SAI_xSR レジスタで有効な唯一のエラーフラグです。そのため、アンダーラン割込みまたはアンダーランステータスビットによって検出されたアンダーランエラーから復帰するためには、次のシーケンスを実行する必要があります。

1. DMA が使用されている場合は、DMA ストリームを無効にします（DMA ペリフェラルを使用）。
2. SAI を無効にし、SAI_xCR1 レジスタの SAIEN ビットをポーリングすることでペリフェラルが物理的に無効化されていることを確認します。

3. SAI_xCLRFR レジスタの COVRUNDR フラグをクリアします。
4. FIFO を一掃するために、SAI_xCR2 の FFLUSH ビットをセットします。

   ソフトウェアで、新しいブロックの始めに今後格納するデータ（プリアンブル部 B 用のデータ）のアドレスを指し示す必要があります。DMA が使用されている場合、DMA ソースベースアドレスのポインタは適宜更新する必要があります。
5. DMA を使用して、新しいソースベースアドレスに従ってデータ転送を管理する場合は、DMA ストリーム（DMA ペリフェラル）を再び有効にします。
6. SAI_xCR1 レジスタの SAIEN ビットをセットして、再び SAI を有効にします。

SPDIF ジェネレータモードでのクロックジェネレータのプログラミング

SPDIF ジェネレータモードの場合、SAI はシンボルレートの 2 倍の速度のビットクロックを供給します。下表では、オーディオサンプリングレートに対するシンボルレートの一般例を示します。

表 231. オーディオサンプリング周波数とシンボルレート

オーディオサンプリング周波数（F_S）	シンボルレート
44.1 kHz	2.8224 MHz
48 kHz	3.072 MHz
96 kHz	6.144 MHz
192 kHz	12.288 MHz

より一般的には、オーディオサンプリング周波数（F_S）とビットクロックレート（F_{SCK_X}）の関係は、次の式で求められます。

$$F_S = \frac{F_{SCK_x}}{128}$$

ビットクロックレートは次のように求められます。

$$F_{SCK_x} = \frac{F_{sai_x_ker_ck}}{MCKDIV}$$

注： **上式は、SAI_ACR1 レジスタで NODIV が 1 にセットされている場合にのみ有効です。**

36.4.13 特有の機能

SAI インタフェースには、選択したオーディオプロトコルに応じて役立つ特定の機能が組み込まれています。これらの機能へは、SAI_xCR2 レジスタの特定ビットを使ってアクセスすることができます。

ミュートモード

ミュートモードは、オーディオサブブロックがトランスミッタまたはレシーバであるとき使用することができます。

送信モード時のオーディオサブブロック

送信モード時、ミュートモードはいつでも選択可能です。ミュートモードは、オーディオフレーム全体に対して有効です。処理中のフレーム内で SAI_xCR2 レジスタの MUTE ビットがセットされると、ミュートモードが有効になります。

ミュートモードビットは、フレームの終わりでのみ認識されます。この時点でミュートモードビットがセットされた場合は、ミュートモードは新しいオーディオフレームの先頭から次に来るフレームの

終了までフレーム全体に対して有効になります。その後、このビットを認識して、次のフレームもミュートフレームか否かを決定します。

SAI_xSLOTR レジスタの NBSLOT[3:0] ビットに設定されたスロット数が 2 以下の場合、ミュートモード中に送信される値が 0 なのか、または各スロットの最後の値なのかを指定することができます。この選択は、SAI_xCR2 レジスタの MUTEVAL ビットを使って行います。

SAI_xSLOTR レジスタの NBSLOT[3:0] ビットに設定されたスロット数が 2 より大きい場合、各スロットの各ビットで 0 値が送信されるため、SAI_xCR2 の MUTEVAL ビットは無意味となります。

ミュートモード時は、FIFO ポインタのインクリメントは続きます。つまり、FIFO にデータは供給され続けますが、ミュートモードの間は破棄されます。

受信モード時のオーディオサブブロック

受信モードでは、指定されかつ有効なオーディオフレームのすべてのスロットが、指定された連続した数のオーディオフレームに対して 0 を受信したとき、外部 トランスミッタから送信されたミュートモードを検出することが可能です（ SAI_xCR2 レジスタの MUTECNT[5:0] ビット）。

ミュートフレーム数が検出されると、SAI_xSR レジスタの MUTEDET フラグがセットされて、SAI_xCR2 の MUTEDETIE ビットがセットされている場合は割込みを生成することができます。

オーディオサブブロックが無効化されたとき、または有効なスロットがオーディオフレーム内で 1 つ以上のデータを受信したとき、ミュートフレームカウンタがクリアされます。カウンタが MUTECNT[5:0] ビットに指定された値に到達すると、割込みが 1 回だけ生成されます。次に、カウンタがクリアされると割込みイベントが再初期化されます。

注： **ミュートモードは SPDIF オーディオブロックには使用できません。**

モノラル／ステレオモード

送信モードでは、スロット数が 2 と想定し（SAI_xSLOTR で NBSLOT[3:0] = 0001）、メモリ内でデータを前処理することなくモノラルモードを指定できます。このような場合、スロット 0 のデータがデータスロット 1 へ複製されるため、FIFO へのアクセスタイムは半減されます。

モノラルモードを有効にするには、

1. SAI_xCR1 レジスタの MONO ビットに 1 をセットします。
2. SAI_xSLOTR レジスタの NBSLOT ビットに 1、SLOTEN ビットに 3 をセットします。

受信モードでは、MONO ビットをセットすることができますが、送信モードの場合と同様にスロット数が 2 のときだけ意味があります。このビットをセットした場合、スロット 0 のデータだけが FIFO に格納されます。この場合、前のスロットと同じと見なされるため、スロット 1 に属するデータは無視されます。受信時のデータの流れが左右でデータが異なる真のステレオオーディオフローである場合、MONO ビットは意味を成しません。出力ステレオファイルから等価なモノラルファイルへの変換は、ソフトウェアで行われます。

コンパンディングモード

通信アプリケーションでは、データコンパンディングアルゴリズムにより送信データまたは受信データの処理が必要となることがあります。

図 393に示すように、SAI_xCR2 レジスタの COMP[1:0] ビットに応じて（フリープロトコルモードを選択した場合のみ使用）、SD シリアル出力ラインに送信する前に処理（圧縮）するか否か、あるいは SD シリアル入力ラインから受信した後にデータを処理（伸長）するか否かをソフトウェアで選択することができます。サポートされている 2 つのコンパンディングモードは µ-Law と A-Law(l対数) で、これらは CCITT G.711 勧告の一部となっています。

米国と日本で採用されているコンパンディング規格は µ-Law であり、14 ビットのダイナミックレンジが確保できます（SAI_xCR2 レジスタで COMP[1:0] = 10）。

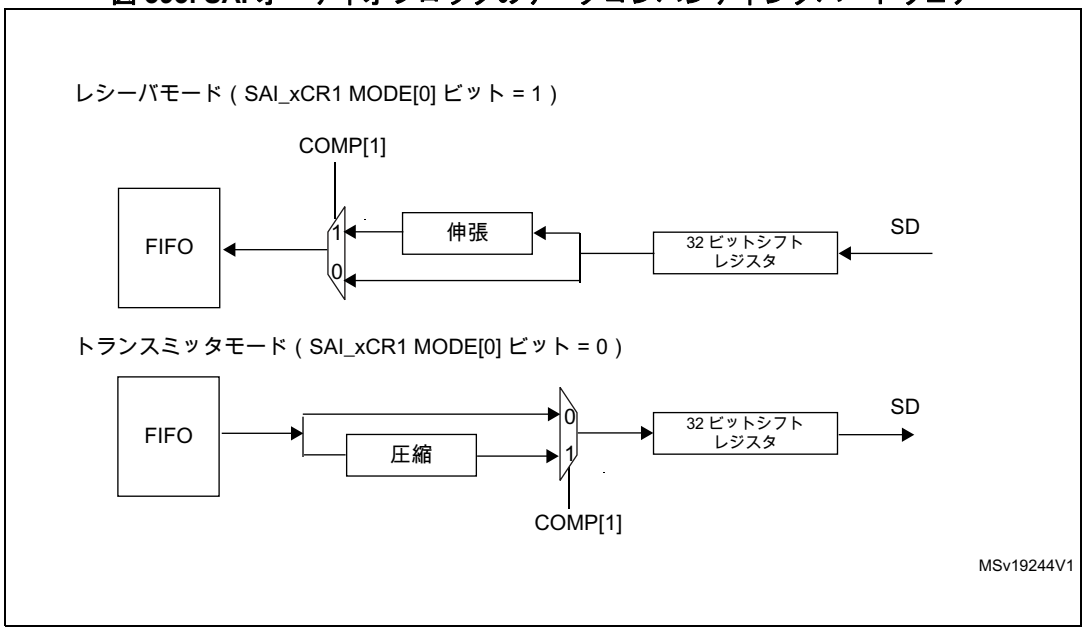
ヨーロッパのコンパンディング規格は A-Law であり、13 ビットのダイナミックレンジが確保できます（SAI_xCR2 レジスタで COMP[1:0] = 11）。

コンパンディング規格（μ-Law または A-Law）は、SAI_xCR2 レジスタの CPL ビットの設定に応じて、1 の補数表現または 2 の補数表現に基づいて計算することができます。

μ-Law および A-Law 規格では、データを MSB 詰めの 8 ビットコードにコード化します。コンパンドされたデータは常に 8 ビット幅です。このため、SAI オーディオブロックが有効化されていて（SAI_xCR1 レジスタで SAIEN ビット = 1）、さらに、COMP[1:0] ビットによりこれら 2 つのコンパンディングモードのいずれかを選択している場合、SAI_xCR1 レジスタの DS[2:0] ビットは強制的に 010 に固定されます。

コンパンディングが不要な場合は、COMP[1:0] ビットをクリアしたままにします。

図 393. SAI オーディオブロックのデータコンパンディングハードウェア



1. AC'97 または SPDIF を選択した場合は適用されません。

伸張モードまたは圧縮モードは SAI_xCR2 により自動的に選択されます。

- SAI オーディオブロックがトランスミッタに設定され、かつ SAI_xCR2 レジスタの COMP[1] ビットがセットされている場合、圧縮モードが適用されます。
- SAI オーディオブロックがレシーバに指定された場合、伸長アルゴリズムが適用されます。

非アクティブスロットでの出力データライン管理

送信モードでは、非アクティブスロットがデータラインに送信されたときに出力となっている SDラインの動作を選択することができます（TRIS ビットを使用）。

- 非アクティブスロットが送信されるとき、SAI が SD 出力ラインを 0 に固定することもできれば、
- 送信データの最終ビットの終わりでラインを HI-Z 状態にして、このノードに接続された他のトランスミッタへラインを開放することもできます。

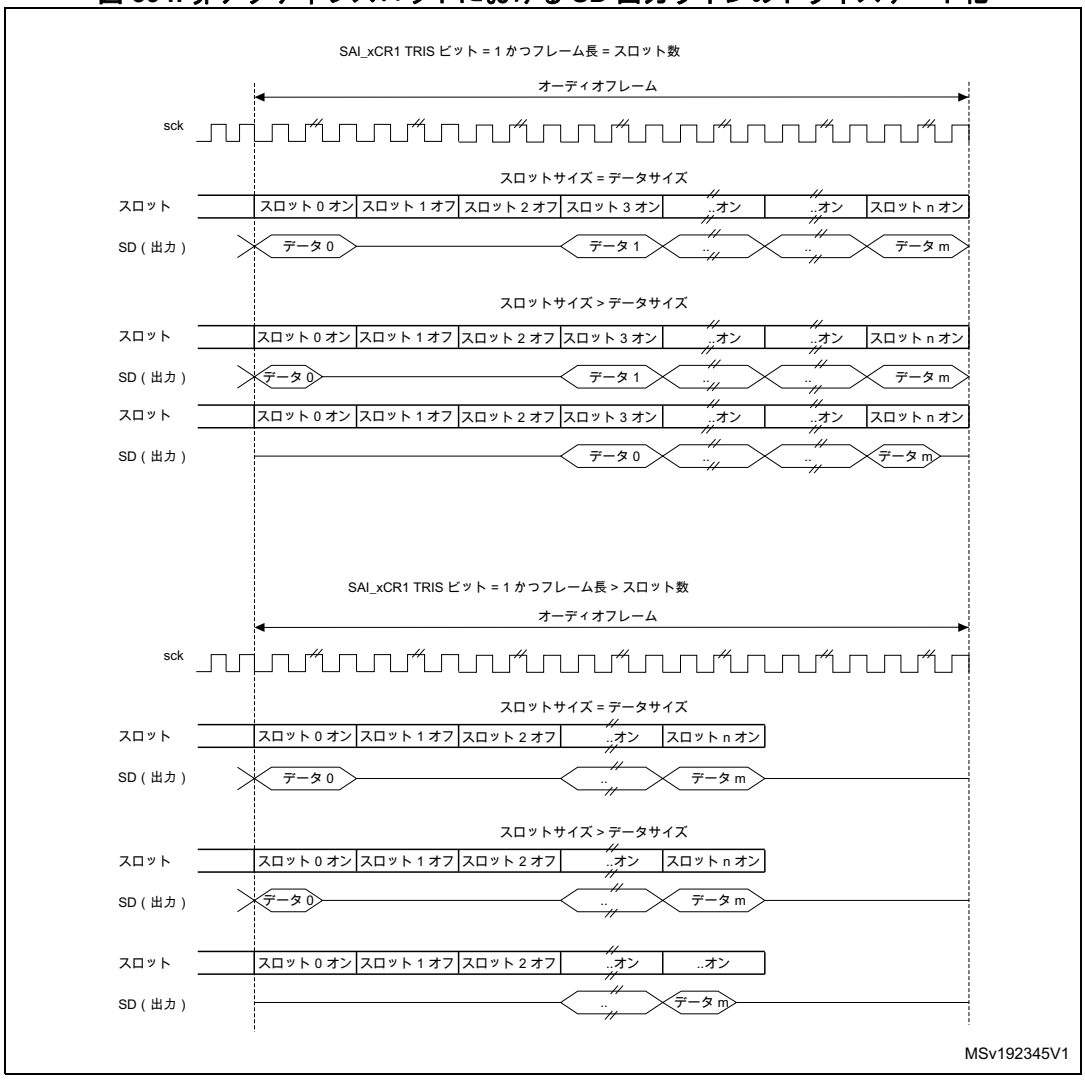
2 つのトランスミッタが同じ SD 出力ピンを同時に駆動しないように注意することが重要です。同時駆動した場合、短絡の原因となることがあります。送信間の間隔を確保するため、データが 32 ビットより短い場合は、SAI_xSLOTR レジスタの SLOTSZ[1:0] ビット = 10 に設定することにより、データを 32 ビットに拡張することができます。すると、次のスロットが非アクティブに指定された場合、

アクティブスロットの LSB の終わりで（データを 32 ビットに拡張するため 0 を詰めるフェーズで）SD 出力ピンがトライステートになります。

さらに、スロット数とスロットサイズの積がフレーム長より小さい場合、0 を詰めてオーディオフレームを完成させるときに SD 出力ラインがトライステートになります。

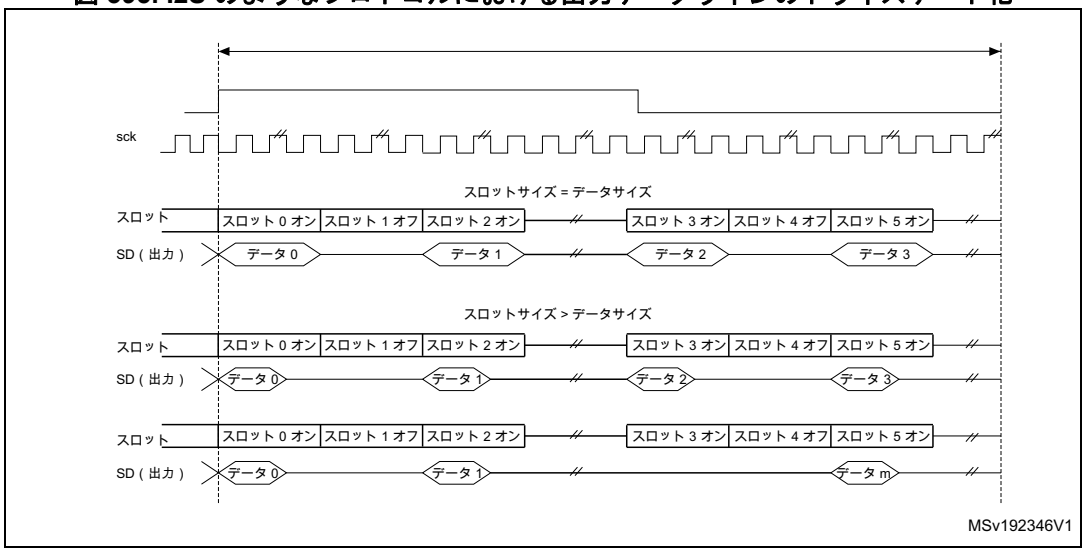
これらの動作を図 394 に示します。

図 394. 非アクティブスロットにおける SD 出力ラインのトライステート化



選択したオーディオプロトコルが FS 信号をフレーム開始とチャネルサイド識別として使用する場合（SAI_xFRCR レジスタでビット FSDEF = 1）、図 395 に従ってトライステートモードが管理されます（この図では、SAI_xCR1 レジスタでビット TRIS = 1、FSDEF = 1、ハーフフレーム長 > スロット数 / 2、NBSLOT = 6）。

図 395. I2S のようなプロトコルにおける出力データラインのトライステート化



SAI_xCR2 レジスタの TRIS ビットがクリアされている場合、図 394 と 図 395 に示す SD 出力ライン上のすべてのハイインピーダンス状態は 0 値での駆動として置き換えます。

36.4.14 エラーフラグ

SAI は次のエラーフラグを実装しています。

- FIFO オーバーラン／アンダーラン
- 予測フレーム同期検出
- レイトフレーム同期検出
- コーデックノットレディ（AC'97 専用）
- マスタモードにおける不正クロック設定

FIFO オーバーラン/アンダーラン（OVRUDR）

FIFO オーバーラン/アンダーランビットは、SAI_xSR レジスタで OVRUDR と呼ばれます。

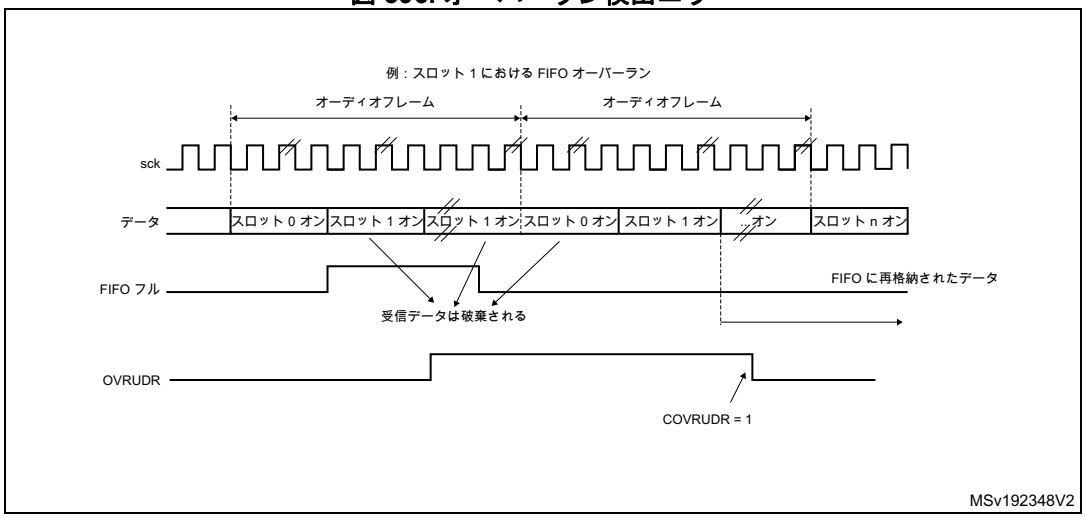
オーディオブロックはレシーバまたはトランスミッタのいずれかであり、SAI 内の各オーディオブロックに固有の SAI_xSR レジスタを搭載しているため、オーバーランエラーとアンダーランエラーは、同じビットを使用しています。

オーバーラン

オーディオブロックがレシーバに設定されていて、FIFO がフルで受信データを保存できないときにオーディオフレームでデータが受信された場合に、オーバーラン状態が発生します。この場合、受信データが失われ、SAI_xSR レジスタの OVRUDR フラグがセットされ、SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合は割込みが生成されます。オーバーランが発生したスロット番号が、内部に保存されます。FIFO が新しいデータを格納できるようになるまで、データは FIFO に保存されません。FIFO に 1 データ分以上の空きがある場合、SAI オーディオブロックレシーバは、オーバーラン状態が検出されたとき内部に保存されたスロット番号からの新しいデータ（新しいオーディオフレームの）を保存します。これにより、転送先メモリでのデータスロットの配置の狂いを回避します（図 396 を参照）。

SAI_xCLRFR レジスタの COVRUDR ビットがセットされると、OVRUDR フラグがクリアされます。

図 396. オーバーラン検出エラー



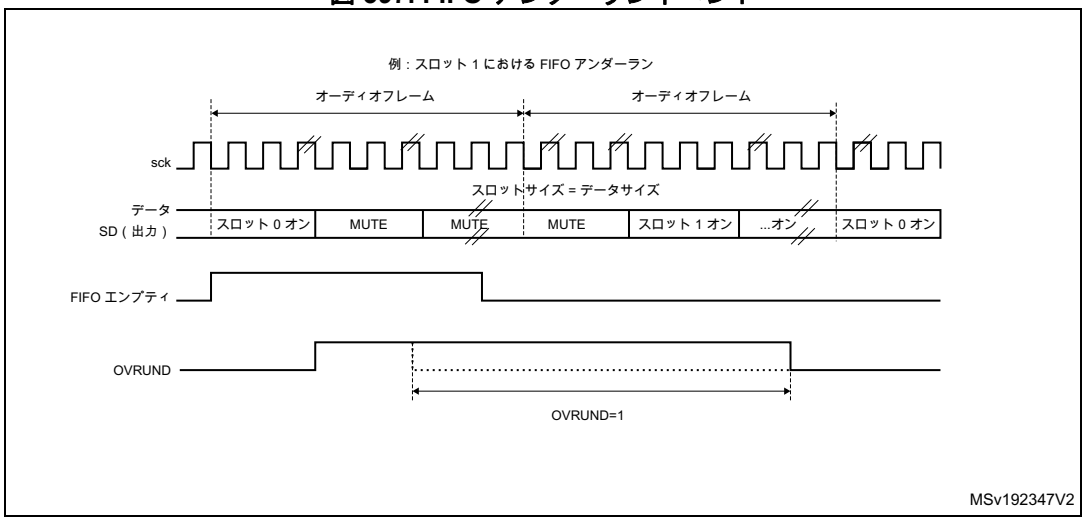
アンダーラン

SAI 内のオーディオブロックがトランスミッタで、かつデータの送信が必要なとき FIFO がエンプティ（空）の場合に、アンダーランが発生します。アンダーランが検出されると、イベントが発生したスロット番号が保存され、FIFO がアンダーランが検出されたスロットに対応するデータを送信する準備ができるまで MUTE 値（00）が送信されます（図 397 を参照）。これにより、メモリポインタとオーディオフレーム内のスロットの同期はずれを回避します。

アンダーランイベントにより SAI_xSR レジスタの OVRUDR フラグがセットされ、SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合、割込みが生成されます。このフラグをクリアするには、SAI_xCLRFR レジスタの COVRUDR ビットをセットします。

アンダーランイベントは、オーディオサブブロックがマスタまたはスレーブとして設定されている場合に発生します。

図 397. FIFO アンダーランイベント



予測フレーム同期検出（AFSDET）

AFSDET フラグはスレーブモードでのみ使用されます。マスタモードでは決してアサートされません。フレーム長、フレーム極性、フレームオフセットが設定されていて既知であるため、フレーム同期 （FS）が予測より早く検出されることを示します。

予測フレームの検出により、SAI_xSR レジスタの AFSDET フラグがセットされます。

この検出は、現在のオーディオフレームに影響を与えません。現在のオーディオフレームは予測 FS に影響されません。つまり、現在のオーディオフレームを乱すことなく、FS 信号に関する「寄生」イベントフラグが立つということです。

SAI_xIM レジスタの AFSDETIE ビットがセットされている場合は、割込みが生成されます。AFSDET フラグをクリアするには、SAI_xCLRFR レジスタの CAFSDET ビットをセットする必要があります。

予測フレーム検出エラーの後にマスタと再同期させるには、次の 4 ステップが必要です。

1. SAI_xCR1 レジスタの SAIEN ビットをリセットして、SAI ブロックを無効化します。SAI が無効であることを確認するには、SAIEN ビットを読み返し、それが 0 にセットされていることを確認します。
2. SAI_xCR2 レジスタの FFLUS ビットを使って FIFO を一掃します。
3. SAI ペリフェラルを再度有効化します（SAIEN ビットを 1 に設定）。
4. SAI ブロックは FS の開始を待ってマスタとの同期を再開します。

注： **AFSDET フラグは AC’97 モードではアサートされません。これは SAI オーディオブロックがリンクコントローラとして機能し、スレーブに指定された場合でも FS 信号を生成するためです。SPDIF モードではFS 信号は使用されないため、このフラグは意味を持ちません。**

レイトフレーム同期検出

SAI オーディオブロックがスレーブとして動作する場合のみ、SAI_xSR レジスタの LFSDET フラグをセットすることができます。フレーム長、フレーム極性、フレームオフセット設定は、SAI_xFRCR レジスタから知ることができます。

外部マスタが FS 信号を予想タイミングで送信しない（信号の発生が遅すぎる）場合、LFSDET フラグがセットされ､SAI_xIM レジスタの LFSDETIE ビットがセットされている場合は割込みが生成されます。

SAI_xCLRFR レジスタの CLFSDET ビットがセットされると、LFSDET フラグがクリアされます。

レイトフレーム同期検出フラグは、対応するエラーが検出されるとセットされます。SAI はマスタと再同期させる必要があります（シーケンスは、予測フレーム同期検出（AFSDET）を参照）。

ノイズの多い環境では、オーディオブロックステートマシンが SCK クロック上のグリッチを間違って検出し、SAI データが間違ったフレーム位置にシフトされることがあります。このようなイベントは SAI によって検出され、レイトフレーム同期検出エラーとして報告することができます。

外部マスタが連続モードでオーディオデータフレーム転送を管理していない場合は破壊は起こりませんが、ほとんどの場合、アプリケーションでこの様な使われ方はされないはずです。この場合、LFSDET フラグがセットされます。

注： **LFSDET フラグは AC’97 モードではアサートされません。これは SAI オーディオブロックがリンクコントローラとして機能し、スレーブと指定された場合でも FS 信号を生成するためです。SPDIF モードではFS 信号はプロトコルで使用されないため、このフラグは意味を持ちません。**

コーデックノットレディ（CNRDY AC’97）

SAI オーディオブロックが AC’97 モードで動作するように設定されている場合にのみ SAI_xSR レジスタの CNRDY フラグが関係します（SAI_xCR1 レジスタの PRTCFG[1:0] ビット = 10）。SAI_xIM レジスタの CNRDYIE ビットがセットされている場合、CNRDY フラグがセットされたときに割込みが生成されます。

AC’97 オーディオフレームのタグ 0（スロット 0）の受信中にコーデックが通信の準備ができていないとき、CNRDY フラグがアサートされます。この場合、コーデックが動作可能であることをタグ 0 が示すまではコーデックは動作可能状態にはないため、FIFO に自動的に保存されるデータはありません。コーデックが動作可能状態になると、SAI_xSLOTR レジスタで指定されたすべてのアクティブスロットがキャプチャされます。

CNRDY フラグをクリアするには、SAI_xCLRFR レジスタの CCNRDY ビットをセットする必要があります。

マスタモードでの不正なクロック設定（ NODIV = 0 の場合）

オーディオブロックがマスタとして動作し（MODE[1] = 0）、NODIV ビットが 0 に等しい場合、次の条件が満たされて SAI が有効になるとすぐに、WCKCFG フラグがセットされます。

- (FRL + 1) は 2の累乗値ではない、かつ
- (FRL + 1) は 8～256の範囲外である。

MODE、NODIV、SAIEN ビットは SAI_xCR1 レジスタに、FRL ビットは SAI_xFRCR レジスタに 属します。

WCKCFGIE ビットがセットされている場合、SAI_xSR レジスタで WCKCFG フラグがセットされると割込みが生成されます。このフラグをクリアするには、SAI_xCLRFR レジスタの CWCKCFG ビットをセットします。

WCKCFG ビットがセットされると、オーディオブロックが自動的に無効化され、ハードウェアによって SAIEN ビットがクリアされます。

36.4.15 SAI の無効化

SAI_xCR1 レジスタの SAIEN ビットをクリアすることによって、SAIオーディオブロックをいつでも無効化することができます。すでに開始しているすべてのフレームは、SAI が動作を停止する前に自動的に完了します。現在のオーディオフレーム転送の最後に SAI が完全にオフするまで、SAIEN ビットはハイを保持します。

他の SAI と同期している SAI 内にオーディオブロックがある場合、マスタになっている SAI を先に無効化する必要があります。

36.4.16 SAI DMA インタフェース

CPU を開放し、バスの帯域幅を最適化するため、各 SAI オーディオブロックには SAI_xDR レジスタ（内部 FIFO へのアクセス用）に対して読み書きを行うための独立した DMA インタフェースを搭載しています。オーディオサブブロック毎に 1 つの DMA チャネルがあり、基本的な DMA リクエスト／確認応答プロトコルに対応しています。

DMA 転送を行うようにオーディオサブブロックを設定するには、SAI_xCR1 レジスタの DMAEN ビットをセットします。DMA リクエストは、FIFO 閾値レベルに応じて FIFO コントローラによって直接管理されます（詳細は、セクション 36.4.9 : 内部 FIFO を参照してください）。DMA 転送方向は、SAI オーディオサブブロック設定と次の様に関連付けされています。

- オーディオブロックがトランスミッタとして動作する場合、オーディオブロックの FIFO コントローラが DMA リクエストを出力して SAI_xDR レジスタに書き込まれたデータを FIFO にロードします。
- オーディオブロックがレシーバとして動作する場合、DMA リクエストは SAI_xDR レジスタからの読出し動作に関わります。

SAI インタフェースを DMA モードに設定するには、次のシーケンスに従ってください。

1. SAI と FIFO 閾値レベルを設定して、DMA リクエストを開始するタイミングを指定します。
2. SAI DMA チャネルを設定します。
3. DMA を有効にします。
4. SAI インタフェースを有効にします。

注： **SAI ブロックを設定する前に、SAI DMA チャネルを無効化する必要があります。**

36.5 SAI 割込み

SAI は表 232に示す 7 つの割込みソースに対応しています。

表 232. SAI 割込みソース

項目（割込みの略称）	割込みソース	割込みグループ	オーディオブロックモード	割込みイネーブル	割込みクリア
SAI	FREQ	FREQ	マスタ／スレーブ 受信または送信モード	SAI_xIM レジスタの FREQIE	下記に応じてクリアします。 – FIFO 閾値設定（SAI_xCR2 の FLVL ビット） – 通信方向（トランスミッタ／レシーバ） 詳細については、セクション 36.4.9 : 内部 FIFOを参照してください。
	OVRUDR	ERROR	マスタ／スレーブ 受信または送信モード	SAI_xIM レジスタの OVRUDRIE	SAI_xCLRFR レジスタの COVRUDR = 1
	AFSDET	ERROR	スレーブ （AC'97 モードおよび SPDIF モードでは使用しません。）	SAI_xIM レジスタの AFSDETIE	SAI_xCLRFR レジスタで CAFSDET = 1
	LFSDET	ERROR	スレーブ （AC'97 モードおよび SPDIF モードでは使用しません。）	SAI_xIM レジスタの LFSDETIE	SAI_xCLRFR レジスタで CLFSDET = 1
	CNRDY	ERROR	スレーブ （AC'97 モードの場合のみ）	SAI_xIM レジスタの CNRDYIE	SAI_xCLRFR レジスタで CCNRDY = 1
	MUTEDET	MUTE	マスタ／スレーブ 受信モードのみ	SAI_xIM レジスタの MUTEDETIE	SAI_xCLRFR レジスタで CMUTEDET = 1
	WCKCFG	ERROR	マスタ（SAI_xCR1 レジスタで NODIV = 0 の場合）	SAI_xIM レジスタの WCKCFGIE	SAI_xCLRFR レジスタで CWCKCFG = 1

割込みを有効にするには、次のシーケンスに従ってください。

1. SAI 割込みを無効化します。
2. SAI を設定します。
3. SAI 割込みソースを設定します。
4. SAI を有効化します。

36.6 SAI レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。

36.6.1 SAI 設定レジスタ 1（SAI_ACR1）

アドレスオフセット：0x004

リセット値：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MCKEN	OSR	MCKDIV[5:0]						NODIV	Res.	DMAEN	SAIEN
				rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	OUTDRIV	MONO	SYNCEN[1:0]		CKSTR	LSBFIRST	DS[2:0]			Res.	PRTCFG[1:0]		MODE[1:0]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **MCKEN**：マスタクロック生成イネーブル
0：マスタクロックは生成されません。
1：マスタクロックが SAIEN ビットから独立して生成されます。

ビット 26 **OSR**：マスタクロックのオーバーサンプリング比
このビットは、NODIV ビットが 0 にセットされているときにのみ意味を持ちます。
0：マスタクロック周波数 = F_{FS} x 256
1：マスタクロック周波数 = F_{FS} x 512

ビット 25:20 **MCKDIV[5:0]**：マスタクロック分周回路
これらのビットは、ソフトウェアによってセット／クリアされます。
000000：分周比 1 のカーネルクロック入力（sai_x_ker_ck）。
その他の場合、マスタクロック周波数はセクション 36.4.8 : SAI クロックジェネレータで指定された式で計算されます。
オーディオブロックがスレーブの場合、これらのビットに意味はありません。
オーディオブロックを無効化して、これらのビットを設定する必要があります。

ビット 19 **NODIV**：分周器なし
このビットは、ソフトウェアによってセット／クリアされます。
0：マスタクロックジェネレータとフレーム同期の比率が 256 または 512 に固定されます。
1：マスタクロックジェネレータとフレーム同期の比率が FRL[7:0] に依存します。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **DMAEN**：DMA 有効化

このビットは、ソフトウェアによってセット／クリアされます。

0：DMA は無効です。

1：DMA は有効です。

注： オーディオブロックはリセット後にトランスミッタとして動作するようにデフォルト設定されていますので、受信モードでの DMA リクエストを回避するために、MODE[1:0] ビットは DMAEN をセットする前に設定する必要があります。

ビット 16 **SAIEN**：オーディオブロック有効化

このビットはソフトウェアでセットされます。

オーディオブロックをスイッチオフするには、アプリケーションソフトウェアでこのビットを 0 に設定し、このビットが 0 に読み返されるまでポーリングする必要があります。これは、ブロックを完全に無効にするということです。このビットを 1 にセットする前に、それが 0 にセットされていることを確認します。そうでないと、有効化コマンドは考慮されません。

このビットを使って、SAI オーディオブロックの状態を制御することができます。オーディオフレーム転送の途中で無効化した場合、処理中の転送は完了し、このオーディオフレーム転送の転送後にセル全体が完全に無効化されます。

0：SAI オーディオブロックは無効です。

1：SAI オーディオブロックは有効です。

注： SAI ブロック（A または B）をマスタモードに設定した場合、SAIEN ビットをセットする前に SAI の入力にクロックが存在する必要があります。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **OUTDRIV**：出力駆動

このビットは、ソフトウェアによってセット／クリアされます。

0：SAIEN がセットされたときオーディオブロック出力が駆動されます。

1：このビットをセットした直後にオーディオブロック出力が駆動されます。

注： このビットは、オーディオブロックを有効化する前で、かつオーディオブロックを設定した後にセットする必要があります。

ビット 12 **MONO**：モノラルモード

このビットは、ソフトウェアによってセット／クリアされます。このビットはスロット数が 2 のときにのみ意味を持ちます。モノラルモードを選択した場合、オーディオブロックがトランスミッタとして動作する場合にスロット 0 のデータがスロット 1 に複製されます。受信モードでは、スロット 1 は破棄され、スロット 0 から受け取ったデータのみが保存されます。詳細については、セクション ：モノラル／ステレオモードを参照してください。

0：ステレオモード

1：モノラルモード

ビット 11:10 **SYNCEN[1:0]**：同期有効化

これらのビットは、ソフトウェアによってセット／クリアされます。オーディオサブブロックを無効化して、これらのビットを設定する必要があります。

00：オーディオサブブロックは非同期モードです。

01：オーディオサブブロックは他の内部オーディオサブブロックと同期します。この場合、オーディオサブブロックはスレーブモードに設定する必要があります。

10：予約済み

11：予約済みです。

注： オーディオサブブロックは、SPDIF モードが有効な場合、非同期として設定する必要があります。

ビット 9 **CKSTR**：クロックストローブエッジ

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、このビットを設定する必要があります。このビットは、SPDIF オーディオプロトコルでは意味を持ちません。

0：SCK 立ち上がりエッジでの SAI の変化によって信号が生成され、SCK 立ち下がりエッジでの SAI のサンプリングによって信号が受信されます。

1：SCK 立ち下がりエッジでの SAI の変化によって信号が生成され、SCK 立ち上がりエッジでの SAI のサンプリングによって信号が受信されます。

ビット 8 **LSBFIRST**：LSB ファースト

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、このビットを設定する必要があります。AC'97 ではデータは常に MSB 先頭で転送されるため、このビットは AC'97 オーディオプロトコルでは意味を持ちません。SPDIF ではデータは常に LSB 先頭で転送されるため、このビットは SPDIF オーディオプロトコルでは意味を持ちません。

0：データは MSB から先に転送されます。

1：データは LSB から先に転送されます。

ビット 7:5 **DS[2:0]**：データサイズ

これらのビットは、ソフトウェアによってセット／クリアされます。SPDIF プロトコルを選択した場合（PRTCFG[1:0] ビット）、フレームおよびデータサイズは固定されているため、これらのビットは無視されます。コンパンディングモードを選択した場合（COMP[1:0] ビット）、データサイズはアルゴリズムによって 8 ビットに固定されているため、DS[1:0] は無視されます。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

000：予約済みです。

001：予約済みです。

010：8 ビット

011：10 ビット

100：16 ビット

101：20 ビット

110：24 ビット

111：32 ビット

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3:2 **PRTCFG[1:0]**：プロトコル設定

これらのビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、これらのビットを設定する必要があります。

00：フリープロトコル。フリープロトコルを選択すると、オーディオブロックの強力な設定機能を使用し、大部分の設定レジスタビットとフレーム設定レジスタを設定して、特定のオーディオプロトコル（例えば、I2S、LSB/MSB 詰め、TDM、PCM/DSP）を処理することができます。

01：SPDIF プロトコル

10：AC'97 プロトコル

11：予約済みです。

ビット 1:0 **MODE[1:0]**：SAIx オーディオブロックモード

これらのビットは、ソフトウェアによってセット／クリアされます。SAIx オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

00：マスタトランスミッタ

01：マスタレシーバ

10：スレーブトランスミッタ

11：スレーブレシーバ

注： オーディオブロックを SPDIF モードに設定した場合、マスタ送信モードが強制されます（MODE[1:0] = 00)）。

36.6.2 SAI 設定レジスタ 1（SAI_BCR1）

アドレスオフセット：0x024

リセット値：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MCKEN	OSR	MCKDIV[5:0]						NODIV	Res.	DMAEN	SAIEN
				rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	OUTDRIV	MONO	SYNCEN[1:0]		CKSTR	LSBFIRST	DS[2:0]			Res.	PRTCFG[1:0]		MODE[1:0]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **MCKEN**：マスタクロック生成イネーブル

0：マスタクロックは生成されません。

1：マスタクロックが SAIEN ビットから独立して生成されます。

ビット 26 **OSR**：マスタクロックのオーバーサンプリング比

このビットは、NODIV ビットが 0 にセットされているときにのみ意味を持ちます。

0：マスタクロック周波数 = F_{FS} x 256

1：マスタクロック周波数 = F_{FS} x 512

ビット 25:20 **MCKDIV[5:0]**：マスタクロック分周回路

これらのビットは、ソフトウェアによってセット／クリアされます。

000000：分周比 1 のカーネルクロック入力（sai_x_ker_ck）。

その他の場合、マスタクロック周波数はセクション 36.4.8 : SAI クロックジェネレータで指定された式で計算されます。

オーディオブロックがスレーブの場合、これらのビットに意味はありません。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

ビット 19 **NODIV**：分周器なし

このビットは、ソフトウェアによってセット／クリアされます。

0：マスタクロックジェネレータとフレーム同期の比率が 256 または 512 に固定されます。

1：マスタクロックジェネレータとフレーム同期の比率が FRL[7:0] に依存します。

ビット 18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **DMAEN**：DMA 有効化

このビットは、ソフトウェアによってセット／クリアされます。

0：DMA は無効です。

1：DMA は有効です。

注： オーディオブロックはリセット後にトランスミッタとして動作するようにデフォルト設定されていますので、受信モードでの DMA リクエストを回避するために、MODE[1:0] ビットは DMAEN をセットする前に設定する必要があります。

ビット 16 **SAIEN**：オーディオブロック有効化

このビットはソフトウェアでセットされます。

オーディオブロックをスイッチオフするには、アプリケーションソフトウェアでこのビットを 0 に設定し、このビットが 0 に読み返されるまでポーリングする必要があります。これは、ブロックを完全に無効にするということです。このビットを 1 にセットする前に、それが 0 にセットされていることを確認します。そうでないと、有効化コマンドは考慮されません。

このビットを使って、SAI オーディオブロックの状態を制御することができます。オーディオフレーム転送の途中で無効化した場合、処理中の転送は完了し、このオーディオフレーム転送の転送後にセル全体が完全に無効化されます。

0：SAI オーディオブロックは無効です。

1：SAI オーディオブロックは有効です。

注： SAI ブロック（A または B）をマスタモードに設定した場合、SAIEN ビットをセットする前に SAI の入力にクロックが存在する必要があります。

ビット 15:14 予約済みであり、リセット値に保持する必要があります。

ビット 13 **OUTDRIV**：出力駆動

このビットは、ソフトウェアによってセット／クリアされます。

0：SAIEN がセットされたときオーディオブロック出力が駆動されます。

1：このビットをセットした直後にオーディオブロック出力が駆動されます。

注： このビットは、オーディオブロックを有効化する前で、かつオーディオブロックを設定した後にセットする必要があります。

ビット 12 **MONO**：モノラルモード

このビットは、ソフトウェアによってセット／クリアされます。このビットはスロット数が 2 のときにのみ意味を持ちます。モノラルモードを選択した場合、オーディオブロックがトランスミッタとして動作する場合にスロット 0 のデータがスロット 1 に複製されます。受信モードでは、スロット 1 は破棄され、スロット 0 から受け取ったデータのみが保存されます。詳細については、セクション ：モノラル／ステレオモードを参照してください。

0：ステレオモード

1：モノラルモード

ビット 11:10 **SYNCEN[1:0]**：同期有効化

これらのビットは、ソフトウェアによってセット／クリアされます。オーディオサブブロックを無効化して、これらのビットを設定する必要があります。

00：オーディオサブブロックは非同期モードです。

01：オーディオサブブロックは他の内部オーディオサブブロックと同期します。この場合、オーディオサブブロックはスレーブモードに設定する必要があります。

10：予約済み

11：予約済みです。

注： オーディオサブブロックは、SPDIF モードが有効な場合、非同期として設定する必要があります。

ビット 9 **CKSTR**：クロックストローブエッジ

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、このビットを設定する必要があります。このビットは、SPDIF オーディオプロトコルでは意味を持ちません。

0：SCK 立ち上がりエッジでの SAI の変化によって信号が生成され、SCK 立ち下がりエッジでの SAI のサンプリングによって信号が受信されます。

1：SCK 立ち下がりエッジでの SAI の変化によって信号が生成され、SCK 立ち上がりエッジでの SAI のサンプリングによって信号が受信されます。

ビット 8 **LSBFIRST**：LSB ファースト

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、このビットを設定する必要があります。AC’97 ではデータは常に MSB 先頭で転送されるため、このビットは AC’97 オーディオプロトコルでは意味を持ちません。SPDIF ではデータは常に LSB 先頭で転送されるため、このビットは SPDIF オーディオプロトコルでは意味を持ちません。

0：データは MSB から先に転送されます。

1：データは LSB から先に転送されます。

ビット 7:5 **DS[2:0]**：データサイズ

これらのビットは、ソフトウェアによってセット／クリアされます。SPDIF プロトコルを選択した場合（PRTCFG[1:0] ビット）、フレームおよびデータサイズは固定されているため、これらのビットは無視されます。コンパンディングモードを選択した場合（COMP[1:0] ビット）、データサイズはアルゴリズムによって 8 ビットに固定されているため、DS[1:0] は無視されます。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

000：予約済みです。

001：予約済みです。

010：8 ビット

011：10 ビット

100：16 ビット

101：20 ビット

110：24 ビット

111：32 ビット

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3:2 **PRTCFG[1:0]**：プロトコル設定

これらのビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを無効化して、これらのビットを設定する必要があります。

00：フリープロトコル。フリープロトコルを選択すると、オーディオブロックの強力な設定機能を使用し、大部分の設定レジスタビットとフレーム設定レジスタを設定して、特定のオーディオプロトコル（例えば、I2S、LSB/MSB 詰め、TDM、PCM/DSP など）を処理することができます。

01：SPDIF プロトコル

10：AC'97 プロトコル

11：予約済みです。

ビット 1:0 **MODE[1:0]**：SAIx オーディオブロックモード

これらのビットは、ソフトウェアによってセット／クリアされます。SAIx オーディオブロックを無効化した場合、これらのビットを設定する必要があります。

00：マスタトランスミッタ

01：マスタレシーバ

10：スレーブトランスミッタ

11：スレーブレシーバ

注： オーディオブロックを SPDIF モードに設定した場合、マスタ送信モードが強制されます（MODE[1:0] = 00)）。マスタ送信モードでは、オーディオブロックはただちに FS およびクロックの生成を開始します。

36.6.3 SAI 設定レジスタ 2（SAI_ACR2）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[1:0]		CPL	MUTECNT[5:0]						MUTEVAL	MUTE	TRIS	FFLUSH	FTH[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:14 **COMP[1:0]**：コンパンディングモード。

これらのビットは、ソフトウェアによってセット／クリアされます。μ-Law と A-Law（対数）は CCITT G.711 勧告の一部であり、使用される補数のタイプは *CPL ビット*によって決まります。

データ伸張かデータ圧縮かは、MODE[0] ビットの状態で決まります。

オーディオブロックがトランスミッタとして設定された場合、データ圧縮が適用されます。

オーディオブロックがレシーバとして設定された場合、自動的にデータ伸張が適用されます。

詳細については、セクション ：コンパンディングモードを参照してください。

00：コンパンディングアルゴリズムなし

01：予約済み。

10：μ-Law アルゴリズム

11：A-Law アルゴリズム

注： コンパンディングモードは、フリープロトコルモードが選択された場合にのみ適用されます。

ビット 13 **CPL**：補数ビット。

このビットは、ソフトウェアによってセット／クリアされます。

このビットにより、コンパンディングモードに使用される補数のタイプを指定します。

0：1 の補数表現。

1：2 の補数表現。

注： コンパンディングモードが μ-Law アルゴリズムまたは A-Law アルゴリズムの場合にのみ、このビットは有効です。

ビット 12:7 **MUTECNT[5:0]**：ミュートカウンタ。

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは受信モードでのみ使用されます。

これらのビットに設定された値は、受信で検出された連続ミュートフレーム数と比較されます。ミュートフレーム数がこの値と一致すると、MUTEDET フラグがセットされ、MUTEDETIE ビットがセットされている場合、割込みが生成されます。

詳細については、セクション ：ミュートモードを参照してください。

ビット 6 **MUTEVAL**：ミュート値。

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを有効化（SAIEN）する前に書き込む必要があります。オーディオブロックがトランスミッタでとして動作し、スロット数が 2 以下で、かつ MUTE ビットがセットされている場合にのみ、このビットは意味を持ちます。

これより多くのスロットが指定された場合、ミュートモードでの送信時に送信されるビット値は、この MUTEVAL ビットの値とは無関係に 0 になります。

スロット数が 2 以下で MUTEVAL = 1 の場合、送信される各スロットのミュート値は、前のフレームで送信したものと同じになります。

詳細については、セクション ：ミュートモードを参照してください。

0：ミュートモード時にビット値 0 を送信します。

1：ミュートモード時に最後の値を送信します。

注： このビットは意味を持たないので、SPDIF オーディオブロックには使用してはなりません。

ビット 5 **MUTE**：ミュート。

このビットは、ソフトウェアによってセット／クリアされます。このビットは、オーディオブロックがトランスミッタとして動作する場合にのみ意味を持ちます。スロット数が 2 以下の場合、ミュート値は MUTEVAL 値に関連付けられますが、スロット数が 2 より大きい場合、ミュート値は 0 になります。

詳細については、セクション ：ミュートモードを参照してください。

0：ミュートモードではありません。

1：ミュートモードは有効です。

注： このビットは意味を持たないので、SPDIF オーディオブロックには使用してはなりません。

ビット 4 **TRIS**：データラインのトライステート管理。

このビットは、ソフトウェアによってセット／クリアされます。このビットは、オーディオブロックがトランスミッタとして設定された場合にのみ意味を持ちます。オーディオブロックが SPDIF モードに設定されている場合、このビットは使用されません。このビットは SAI を無効にして設定する必要があります。

詳細については、セクション ：非アクティブスロットでの出力データライン管理を参照してください。

0：スロットが非アクティブのときでも、SD 出力ラインは SAI によって駆動されます。

1：次のスロットが非アクティブの場合、最終アクティブスロットの最終データビットの終わりで SD 出力ラインを開放（HI-Z）します。

ビット 3 **FFLUSH**：FIFO を一掃します。

このビットはソフトウェアでセットされます。常に 0 が読み出されます。このビットは SAI が無効なときに設定する必要があります。

0：FIFO を一掃しません。

1：FIFO を一掃します。このビットを 1 に設定すると、FIFO の一掃がトリガされます。すべての内部 FIFO ポインタ（読出しと書込み）がクリアされます。この場合、FIFO に残っているデータが失われます（送受信データはそれ以上失われません）。FIFO を一掃する前に、SAI DMA ストリーム／割込みを無効化する必要があります。

ビット 2:0 **FTH[2:0]**：FIFO 閾値。

このビットは、ソフトウェアによってセット／クリアされます。

000：FIFO エンプティ

001：FIFO の ¼

010：FIFO の ½

011：FIFO の ¾

100：FIFO フル

101：予約済みです。

110：予約済みです。

111：予約済みです。

36.6.4 SAI 設定レジスタ 2（SAI_BCR2）

アドレスオフセット：0x028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[1:0]		CPL	MUTECNT[5:0]						MUTEVAL	MUTE	TRIS	FFLUSH	FTH[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:14 **COMP[1:0]**：コンパンディングモード。

これらのビットは、ソフトウェアによってセット／クリアされます。μ-Law と A-Law（対数）は CCITT G.711 勧告の一部であり、使用される補数のタイプは *CPL ビット*によって決まります。

データ伸張かデータ圧縮かは、MODE[0] ビットの状態で決まります。

オーディオブロックがトランスミッタとして設定された場合、データ圧縮が適用されます。

オーディオブロックがレシーバとして設定された場合、自動的にデータ伸張が適用されます。

詳細については、セクション ：コンパンディングモードを参照してください。

00：コンパンディングアルゴリズムなし

01：予約済み。

10：μ-Law アルゴリズム

11：A-Law アルゴリズム

注： コンパンディングモードは、フリープロトコルモードが選択された場合にのみ適用されます。

ビット 13 **CPL**：補数ビット。

このビットは、ソフトウェアによってセット／クリアされます。

このビットにより、コンパンディングモードに使用される補数のタイプを指定します。

0：1 の補数表現。

1：2 の補数表現。

注： コンパンディングモードが μ-Law アルゴリズムまたは A-Law アルゴリズムの場合にのみ、このビットは有効です。

ビット 12:7 **MUTECNT[5:0]**：ミュートカウンタ。

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは受信モードでのみ使用されます。

これらのビットに設定された値は、受信で検出された連続ミュートフレーム数と比較されます。ミュートフレーム数がこの値と一致すると、MUTEDET フラグがセットされ、MUTEDETIE ビットがセットされている場合、割込みが生成されます。

詳細については、セクション ：ミュートモードを参照してください。

ビット 6 **MUTEVAL**：ミュート値。

このビットは、ソフトウェアによってセット／クリアされます。オーディオブロックを有効化（SAIEN）する前に書き込む必要があります。オーディオブロックがトランスミッタでとして動作し、スロット数が 2 以下で、かつ MUTE ビットがセットされている場合にのみ、このビットは意味を持ちます。

これより多くのスロットが指定された場合、ミュートモードでの送信時に送信されるビット値は、この MUTEVAL ビットの値とは無関係に 0 になります。

スロット数が 2 以下で MUTEVAL = 1 の場合、送信される各スロットのミュート値は、前のフレームで送信したものと同じになります。

詳細については、セクション ：ミュートモードを参照してください。

0：ミュートモード時にビット値 0 を送信します。

1：ミュートモード時に最後の値を送信します。

注： このビットは意味を持たないので、SPDIF オーディオブロックには使用してはなりません。

ビット 5 **MUTE**：ミュート。

このビットは、ソフトウェアによってセット／クリアされます。このビットは、オーディオブロックがトランスミッタとして動作する場合にのみ意味を持ちます。スロット数が 2 以下の場合、ミュート値は MUTEVAL 値に関連付けられますが、スロット数が 2 より大きい場合、ミュート値は 0 になります。

詳細については、セクション ：ミュートモードを参照してください。

0：ミュートモードではありません。

1：ミュートモードは有効です。

注： このビットは意味を持たないので、SPDIF オーディオブロックには使用してはなりません。

ビット 4 **TRIS**：データラインのトライステート管理。

このビットは、ソフトウェアによってセット／クリアされます。このビットは、オーディオブロックがトランスミッタとして設定された場合にのみ意味を持ちます。オーディオブロックが SPDIF モードに設定されている場合、このビットは使用されません。このビットは SAI を無効にして設定する必要があります。

詳細については、セクション ：非アクティブスロットでの出力データライン管理を参照してください。

0：スロットが非アクティブのときでも、SD 出力ラインは SAI によって駆動されます。

1：次のスロットが非アクティブの場合、最終アクティブスロットの最終データビットの終わりで SD 出力ラインを開放（HI-Z）します。

ビット 3 **FFLUSH**：FIFO を一掃します。

このビットはソフトウェアでセットされます。常に 0 が読み出されます。このビットは SAI が無効なときに設定する必要があります。

0：FIFO を一掃しません。

1：FIFO を一掃します。このビットを 1 に設定すると、FIFO の一掃がトリガされます。すべての内部 FIFO ポインタ（読出しと書込み）がクリアされます。この場合、FIFO に残っているデータが失われます（送受信データはそれ以上失われません）。FIFO を一掃する前に、SAI DMA ストリーム／割込みを無効化する必要があります。

ビット 2:0 **FTH[2:0]**：FIFO 閾値。

このビットは、ソフトウェアによってセット／クリアされます。

000：FIFO エンプティ

001：FIFO の ¼

010：FIFO の ½

011：FIFO の ¾

100：FIFO フル

101：予約済みです。

110：予約済みです。

111：予約済みです。

36.6.5 SAI フレーム設定レジスタ（SAI_AFRCR）

アドレスオフセット：0x00C

リセット値：0x0000 0007

注： このレジスタは、AC'97および SPDIF オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSOFF	FSPOL	FSDEF
													rw	rw	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	FSALL[6:0]							FRL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **FSOFF**：フレーム同期オフセット。

このビットは、ソフトウェアによってセット／クリアされます。AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。オーディオブロックを無効化して、このビットを設定する必要があります。

0：FS はスロット 0 の先頭ビットで開始されます。

1：FS はスロット 0 の先頭ビットの 1 ビット前でアサートされます。

ビット 17 **FSPOL**：フレーム同期極性。

このビットは、ソフトウェアによってセット／クリアされます。このビットを使用して、FS 信号上のフレーム開始のレベルを設定します。AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。

オーディオブロックを無効化して、このビットを設定する必要があります。

0：FS はアクティブロー（立ち下がりエッジ）になります

1：FS はアクティブハイ（立ち上がりエッジ）になります

ビット 16 **FSDEF**：フレーム同期の定義。

このビットは、ソフトウェアによってセット／クリアされます。

0：FS 信号がフレーム開始信号になります

1：FS 信号がフレーム開始信号 + チャネルサイド識別子になります

このビットがセットされている場合、SAI_xSLOTR レジスタで指定されるスロット数は偶数である必要があります。これは、このスロット数の半分を左チャネルに、残りのスロットを右チャネルに、それぞれ割り当てることを意味します（例えば、このビットは、I^2S プロトコルまたは MSB/LSB 詰めプロトコルなどに対して設定する必要があります）。

AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。オーディオブロックを無効化して、このビットを設定する必要があります。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:8 **FSALL[6:0]**：フレーム同期アクティブレベル長。

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、オーディオフレームにおける FS 信号のアクティブレベルの長さを、

ビットクロック数、（SCK）+ 1（FSALL[6:0] + 1）で指定します。

これらのビットは意味を持たないので、AC'97 または SPDIF オーディオブロックの設定には使用されません。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

ビット 7:0 **FRL[7:0]**：フレーム長。

これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、オーディオフレーム長を SCK クロックサイクル数で定義します。フレーム内のビット数は FRL[7:0] + 1 に等しくなります。

オーディオフレームで転送する最小ビット数は 8 でなければならず、その他の場合、オーディオブロックの動作は予測できません。これは、データサイズが 8 ビットで、SAI_xSLOTR レジスタの NBSLOT[4:0] でスロット 0 が 1 つだけ指定されている場合の例です（NBSLOT[3:0] = 0000 ）。

マスタモードで、マスタクロック（MCLK_x ピンで使用可能）が使用されている場合、フレーム長は、8 から 256 のうちの 2 の累乗の数に調整する必要があります。マスタクロックが使用されていない場合（NODIV = 1）、フレーム長を 8 から 256 のうちの任意の値に設定することをお勧めします。

これらのビットは意味を持たないので、AC'97 または SPDIF オーディオブロックの設定には使用されません。オーディオブロックを無効化して、これらのビットを設定する必要があります。

36.6.6 SAI フレーム設定レジスタ（SAI_BFRCR）

アドレスオフセット：0x02C

リセット値：0x0000 0007

注： このレジスタは、AC'97 および SPDIF オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSOFF	FSPOL	FSDEF
													rw	rw	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	FSALL[6:0]							FRL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **FSOFF**：フレーム同期オフセット。

このビットは、ソフトウェアによってセット／クリアされます。AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。オーディオブロックを無効化して、このビットを設定する必要があります。

0：FS はスロット 0 の先頭ビットで開始されます。

1：FS はスロット 0 の先頭ビットの 1 ビット前でアサートされます。

ビット 17 **FSPOL**：フレーム同期極性。

このビットは、ソフトウェアによってセット／クリアされます。このビットを使用して、FS 信号上のフレーム開始のレベルを設定します。AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。

オーディオブロックを無効化して、このビットを設定する必要があります。

0：FS はアクティブロー（立ち下がりエッジ）になります

1：FS はアクティブハイ（立ち上がりエッジ）になります

ビット 16 **FSDEF**：フレーム同期の定義。

このビットは、ソフトウェアによってセット／クリアされます。

0：FS 信号がフレーム開始信号になります

1：FS 信号がフレーム開始信号 + チャネルサイド識別子になります

このビットがセットされている場合、SAI_xSLOTR レジスタで指定されるスロット数は偶数である必要があります。これは、このスロット数の半分を左チャネルに、残りのスロットを右チャネルに、それぞれ割り当てることを意味します（例えば、このビットは、I2S プロトコルまたは MSB/LSB 詰めプロトコルなどに対して設定する必要があります）。

AC'97 または SPDIF オーディオブロックの設定には、意味を持たないので、使用されません。オーディオブロックを無効化して、このビットを設定する必要があります。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:8 **FSALL[6:0]**：フレーム同期アクティブレベル長。
これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、オーディオフレームにおける FS 信号のアクティブレベルの長さを、
ビットクロック数、（SCK）+ 1（FSALL[6:0] + 1）で指定します。
これらのビットは意味を持たないので、AC'97 または SPDIF オーディオブロックの設定には使用されません。
オーディオブロックを無効化して、これらのビットを設定する必要があります。

ビット 7:0 **FRL[7:0]**：フレーム長。
これらのビットは、ソフトウェアによってセット／クリアされます。これらのビットは、オーディオフレーム長を SCK クロックサイクル数で定義します。フレーム内のビット数は FRL[7:0] + 1 に等しくなります。
オーディオフレームで転送する最小ビット数は 8 でなければならず、その他の場合、オーディオブロックの動作は予測できません。これは、データサイズが 8 ビットで、SAI_xSLOTR レジスタの NBSLOT[4:0] でスロット 0 が 1 つだけ指定されている場合の例です（NBSLOT[3:0] = 0000 ）。
マスタモードで、マスタクロック（MCLK_x ピンで使用可能）が使用されている場合、フレーム長は、8 から 256 のうちの 2 の累乗の数に調整する必要があります。マスタクロックが使用されていない場合（NODIV = 1）、フレーム長を 8 から 256 のうちの任意の値に設定することをお勧めします。
これらのビットは意味を持たないので、AC'97 または SPDIF オーディオブロックの設定には使用されません。

36.6.7 SAI スロットレジスタ（SAI_ASLOTR）

アドレスオフセット：0x010

リセット値：0x0000 0000

注： このレジスタは、AC'97および SPDIF オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLOTEN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	NBSLOT[3:0]				SLOTSZ[1:0]		Res.	FBOFF[4:0]				
				rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:16 **SLOTEN[15:0]**：スロット有効化。
これらのビットは、ソフトウェアによってセット／クリアされます。
各 SLOTEN ビットは 0 から 15 までのスロット位置に対応します（最大 16 スロット）。
0：非アクティブスロット。
1：アクティブスロット。
オーディオブロックを無効化して、スロットを有効にする必要があります。
これらのビットは、AC'97 または SPDIF モードでは無視されます。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **NBSLOT[3:0]**：オーディオフレーム内スロット数。
これらのビットは、ソフトウェアによってセット／クリアされます。
このビットフィールドに設定された値は、オーディオフレーム内のスロット数 + 1 を表します（非アクティブスロット数を含む）。最大スロット数は 16 です。
SAI_xFRCR レジスタの FSDEF ビットがセットされている場合、スロット数は偶数である必要があります。
オーディオブロックを無効化して、スロット数を設定する必要があります。
これらのビットは、AC'97 または SPDIF モードでは無視されます。

ビット 7:6 **SLOTSZ[1:0]**：スロットサイズ

このビットは、ソフトウェアによってセット／クリアされます。

スロットサイズは、データサイズ以上である必要があります。この条件が満たされない場合、SAI の動作は不確定となります。

SD ラインの駆動方法については、非アクティブスロットでの出力データライン管理を参照してください。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

00：スロットサイズをデータサイズ（SAI_xCR1 レジスタの DS[3:0] で指定）に一致させます。

01：16 ビット

10：32 ビット

11：予約済みです。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **FBOFF[4:0]**：先頭ビットオフセット

これらのビットは、ソフトウェアによってセット／クリアされます。

このビットフィールドに設定された値は、スロット内の転送データの先頭ビット位置を定義します。これはオフセット値となっています。送信モードでは、データフィールド範囲外のビットは強制的に 0 に設定されます。受信モードでは、余分な受信ビットは無視されます。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

36.6.8 SAI スロットレジスタ（SAI_BSLOTR）

アドレスオフセット：0x030

リセット値：0x0000 0000

注： このレジスタは、AC'97および SPDIF オーディオプロトコルでは意味を持ちません。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLOTEN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	NBSLOT[3:0]				SLOTSZ[1:0]		Res.	FBOFF[4:0]				
				rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

ビット 31:16 **SLOTEN[15:0]**：スロット有効化。

これらのビットは、ソフトウェアによってセット／クリアされます。

各 SLOTEN ビットは 0 から 15 までのスロット位置に対応します（最大 16 スロット）。

0：非アクティブスロット。

1：アクティブスロット。

オーディオブロックを無効化して、スロットを有効にする必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **NBSLOT[3:0]**：オーディオフレーム内スロット数。

これらのビットは、ソフトウェアによってセット／クリアされます。

このビットフィールドに設定された値は、オーディオフレーム内のスロット数 + 1 を表します（非アクティブスロット数を含む）。最大スロット数は 16 です。

SAI_xFRCR レジスタの FSDEF ビットがセットされている場合、スロット数は偶数である必要があります。

オーディオブロックを無効化して、スロット数を設定する必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

ビット 7:6 **SLOTSZ[1:0]**：スロットサイズ

このビットは、ソフトウェアによってセット／クリアされます。

スロットサイズは、データサイズ以上である必要があります。この条件が満たされない場合、SAI の動作は不確定となります。

SD ラインの駆動方法については、非アクティブスロットでの出力データライン管理を参照してください。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

00：スロットサイズをデータサイズ（SAI_xCR1 レジスタの DS[3:0] で指定）に一致させます。

01：16 ビット

10：32 ビット

11：予約済みです。

ビット 5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **FBOFF[4:0]**：先頭ビットオフセット

これらのビットは、ソフトウェアによってセット／クリアされます。

このビットフィールドに設定された値は、スロット内の転送データの先頭ビット位置を定義します。これはオフセット値となっています。送信モードでは、データフィールド範囲外のビットは強制的に 0 に設定されます。受信モードでは、余分な受信ビットは無視されます。

オーディオブロックを無効化して、これらのビットを設定する必要があります。

これらのビットは、AC'97 または SPDIF モードでは無視されます。

36.6.9 SAI 割込みマスクレジスタ（SAI_AIM）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDETIE	AFSDETIE	CNRDYIE	FREQIE	WCKCFGIE	MUTEDETIE	OVRUDRIE
									rw	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LFSDETIE**：レイトフレーム同期検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの LFSDET ビットがセットされている場合、割込みが生成されます。

このビットは、AC'97、SPDIF モードのとき、またはオーディオブロックがマスタとして動作するときは意味を持ちません。

ビット 5 **AFSDETIE**：予測フレーム同期検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの AFSDET ビットがセットされている場合は割込みが生成されます。

このビットは、AC'97、SPDIF モードのとき、またはオーディオブロックがマスタとして動作するときは意味を持ちません。

ビット 4 **CNRDYIE**：コーデックノットレディ割込み有効化（AC'97）

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

割込みを有効化すると、オーディオブロックは、AC'97 フレームのスロット 0（tag0）でこのラインに接続されているコーデックが動作可能状態（レディ）であるか否かを検出します。動作可能状態にない場合は、SAI_xSR レジスタの CNRDY フラグがセットされ、割込みが生成されます。

このビットは、PRTCFG[1:0] ビットを介して AC'97 モードが選択され、かつオーディオブロックがレシーバとして動作している場合のみ意味を持ちます。

ビット 3 **FREQIE**：FIFO リクエスト割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの FREQ ビットがセットされている場合は割込みが生成されます。

オーディオブロックはリセット後にトランスミッタとして動作するようにデフォルト設定されていますので、受信モードでの寄生割込みを回避するために、MODE ビットは FREQIE をセットする前に設定する必要があります。

ビット 2 **WCKCFGIE**：不正クロック設定割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットは、オーディオブロックがマスタとして設定されている場合（MODE[1] = 0 かつ NODIV = 0）にのみ考慮されます。

SAI_xSR レジスタの WCKCFG フラグがセットされている場合は割込みが生成されます。

注： このビットはフリープロトコルモードでのみ使用され、他のモードでは意味を持ちません。

ビット 1 **MUTEDETIE**：ミュート検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの MUTEDET ビットがセットされている場合は割込みが生成されます。

オーディオブロックが受信モードに設定されている場合にのみ、このビットは意味を持ちます。

ビット 0 **OVRUDRIE**：オーバーラン/アンダーラン割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの OVRUDR ビットがセットされている場合は割込みが生成されます。

36.6.10 SAI 割込みマスクレジスタ（SAI_BIM）

アドレスオフセット：0x034

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDETIE	AFSDETIE	CNRDYIE	FREQIE	WCKCFGIE	MUTEDETIE	OVRUDRIE
									rw	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LFSDETIE**：レイトフレーム同期検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの LFSDET ビットがセットされている場合、割込みが生成されます。

このビットは、AC’97、SPDIF モードのとき、またはオーディオブロックがマスタとして動作するときは意味を持ちません。

ビット 5 **AFSDETIE**：予測フレーム同期検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの AFSDET ビットがセットされている場合は割込みが生成されます。

このビットは、AC’97、SPDIF モードのとき、またはオーディオブロックがマスタとして動作するときは意味を持ちません。

ビット 4 **CNRDYIE**：コーデックノットレディ割込み有効化（AC’97）

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

割込みを有効化すると、オーディオブロックは、AC’97 フレームのスロット 0（tag0）でこのラインに接続されているコーデックが動作可能状態（レディ）であるか否かを検出します。動作可能状態にない場合は、SAI_xSR レジスタの CNRDY フラグがセットされ、割込みが生成されます。

このビットは、PRTCFG[1:0] ビットを介して AC’97 モードが選択され、かつオーディオブロックがレシーバとして動作している場合のみ意味を持ちます。

ビット 3 **FREQIE**：FIFO リクエスト割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの FREQ ビットがセットされている場合は割込みが生成されます。

オーディオブロックはリセット後にトランスミッタとして動作するようにデフォルト設定されていますので、受信モードでの寄生割込みを回避するために、MODE ビットは FREQIE をセットする前に設定する必要があります。

ビット 2 **WCKCFGIE**：不正クロック設定割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットは、オーディオブロックがマスタとして設定されている場合（MODE[1] = 0 かつ NODIV = 0）にのみ考慮されます。

SAI_xSR レジスタの WCKCFG フラグがセットされている場合は割込みが生成されます。

注： このビットはフリープロトコルモードでのみ使用され、他のモードでは意味を持ちません。

ビット 1 **MUTEDETIE**：ミュート検出割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの MUTEDET ビットがセットされている場合は割込みが生成されます。

オーディオブロックが受信モードに設定されている場合にのみ、このビットは意味を持ちます。

ビット 0 **OVRUDRIE**：オーバーラン/アンダーラン割込み有効化。

このビットは、ソフトウェアによってセット／クリアされます。

0：割込みは無効です。

1：割込みは有効です。

このビットをセットすると、SAI_xSR レジスタの OVRUDR ビットがセットされている場合は割込みが生成されます。

36.6.11 SAI ステータスレジスタ（SAI_ASR）

アドレスオフセット：0x018

リセット値：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLVL[2:0]		
													r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTEDET	OVRUDR
									r	r	r	r	r	r	r

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:16 **FLVL[2:0]**：FIFO レベル閾値。

このビットは読出し専用です。FIFO レベル閾値フラグはハードウェアにより管理され、その設定は SAI ブロックの設定（送信モードまたは受信モード）によって決まります。

000：FIFO エンプティ（送信モードおよび受信モード）

001：FIFO ＜ ¼ ただしエンプティではない（送信モード）、FIFO < ¼ ただしエンプティではない（受信モード）

010：¼ < FIFO ≤ ½（送信モード）、¼ ≤ FIFO < ½（受信モード）

011：½ < FIFO ≤ ¾（送信モード）、½ ≤ FIFO < ¾（受信モード）

100：¾ < FIFO ただしフルではない（送信モード）、¾ ≤ FIFO ただしフルではない（受信モード）

101：FIFO フル（送信モードおよび受信モード）

その他：予約済みです。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LFSDET**：レイトフレーム同期検出。
このビットは読出し専用です。
0：エラーなし。
1：フレーム同期信号が正しいタイミングで現れない。
オーディオブロックがスレーブモードに設定された場合のみ、このフラグをセットすることができます。
このフラグは、AC'97 または SPDIF モードでは使用されません。
SAI_xIM レジスタの LFSDETIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CLFSDET ビットをセットすると、このフラグはクリアされます。

ビット 5 **AFSDET**：予測フレーム同期検出。
このビットは読出し専用です。
0：エラーなし。
1：予想より前にフレーム同期信号が検出されました。
オーディオブロックがスレーブモードに設定された場合のみ、このフラグをセットすることができます。
このフラグは AC'97 または SPDIF モードでは使用されません。
SAI_xIM レジスタの AFSDETIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CAFSDET ビットをセットすると、このフラグはクリアされます。

ビット 4 **CNRDY**：コーデックノットレディ。
このビットは読出し専用です。
0：外部 AC'97 コーデックが動作可能状態です。
1：外部 AC'97 コーデックが動作可能状態ではありません。
SAI_xCR1 レジスタで AC'97 オーディオプロトコルが選択され、かつ受信モードに設定された場合にのみ、このビットが使用されます。
SAI_xIM レジスタの CNRDYIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CCNRDY ビットをセットすると、このフラグはクリアされます。

ビット 3 **FREQ**：FIFO リクエスト。
このビットは読出し専用です。
0：FIFO リクエストはありません。
1：SAI_xDR に対する読出しまたは書込みの FIFO リクエストがあります。
このリクエストはオーディオブロック設定によって決まります。
– ブロックが送信モードに設定されている場合、FIFO リクエストは SAI_xDR 内の書込みリクエスト動作に関わります。
– ブロックが受信モードに設定されている場合、FIFO リクエストは SAI_xDR 内の読出しリクエスト動作に関わります。
SAI_xIM レジスタの FREQIE ビットがセットされている場合、このフラグによって割込みを生成することができます。

ビット 2 **WCKCFG**：不正クロック設定フラグ。
このビットは読出し専用です。
0：クロック設定は正常です。
1：クロック設定が セクション 36.4.6：フレーム同期で規定するフレーム長仕様に関する規則に準拠していません（SAI_xFRCR レジスタの FRL[7:0] ビットの設定）。
このビットは、オーディオブロックがマスタモードで動作する場合（MODE[1] = 0 かつ NODIV = 0）にのみ使用されます。
SAI_xIM レジスタの WCKCFGIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CWCKCFG ビットをセットすると、このフラグはクリアされます。

ビット 1 **MUTEDET**：ミュート検出。

このビットは読出し専用です。

0：SD 入力ラインでミュートは検出されません

1：指定数の連続オーディオフレームに対して SD 入力ラインでミュート値が検出されました（0 値）

連続するオーディオフレームに対してオーディオフレームの各スロットで連続する 0 値が受信された場合、このフラグがセットされます（SAI_xCR2 レジスタの MUTECNT ビットをセット）。

SAI_xIM レジスタの MUTEDETIE ビットがセットされている場合は割込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CMUTEDET ビットをセットすると、このフラグはクリアされます。

ビット 0 **OVRUDR**：オーバーラン/アンダーラン。

このビットは読出し専用です。

0：オーバーラン/アンダーランエラーはありません。

1：オーバーラン/アンダーランエラーが検出されました。

オーバーランおよびアンダーラン状態は、オーディオブロックがそれぞれレシーバとトランスミッタとして設定されている場合にのみ発生します。

SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合は割込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの COVRUDR ビットをセットすると、このフラグはクリアされます。

36.6.12 SAI ステータスレジスタ（SAI_BSR）

アドレスオフセット：0x038

リセット値：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLVL[2:0]		
													r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTEDET	OVRUDR
									r	r	r	r	r	r	r

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18:16 **FLVL[2:0]**：FIFO レベル閾値。

このビットは読出し専用です。FIFO レベル閾値フラグはハードウェアにより管理され、その設定は SAI ブロックの設定（送信モードまたは受信モード）によって決まります。

000：FIFO エンプティ（送信モードおよび受信モード）

001：FIFO < ¼ ただしエンプティではない（送信モード）、FIFO < ¼ ただしエンプティではない（受信モード）

010：¼ < FIFO ≤ ½（送信モード）、¼ ≤ FIFO < ½（受信モード）

011：½ < FIFO ≤ ¾（送信モード）、½ ≤ FIFO < ¾（受信モード）

100：¾ < FIFO ただしフルではない（送信モード）、¾ ≤ FIFO ただしフルではない（受信モード）

101：FIFO フル（送信モードおよび受信モード）

その他：予約済みです。

ビット 15:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **LFSDET**：レイトフレーム同期検出。
このビットは読出し専用です。
0：エラーなし。
1：フレーム同期信号が正しいタイミングで現れない。
オーディオブロックがスレーブモードに設定された場合のみ、このフラグをセットすることができます。
このフラグは、AC'97 または SPDIF モードでは使用されません。
SAI_xIM レジスタの LFSDETIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CLFSDET ビットをセットすると、このフラグはクリアされます。

ビット 5 **AFSDET**：予測フレーム同期検出。
このビットは読出し専用です。
0：エラーなし。
1：予想より前にフレーム同期信号が検出されました。
オーディオブロックがスレーブモードに設定された場合のみ、このフラグをセットすることができます。
このビットは AC'97または SPDIF モードでは使用されません。
SAI_xIM レジスタの AFSDETIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CAFSDET ビットをセットすると、このフラグはクリアされます。

ビット 4 **CNRDY**：コーデックノットレディ。
このビットは読出し専用です。
0：外部 AC'97 コーデックが動作可能状態です。
1：外部 AC'97 コーデックが動作可能状態ではありません。
SAI_xCR1 レジスタで AC'97 オーディオプロトコルが選択され、かつ受信モードに設定された場合にのみ、このビットが使用されます。
SAI_xIM レジスタの CNRDYIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CCNRDY ビットをセットすると、このフラグはクリアされます。

ビット 3 **FREQ**：FIFO リクエスト。
このビットは読出し専用です。
0：FIFO リクエストはありません。
1：SAI_xDR に対する読出しまたは書込みの FIFO リクエストがあります。
このリクエストはオーディオブロック設定によって決まります。
– ブロックが送信モードに設定されている場合、FIFO リクエストは SAI_xDR 内の書込みリクエスト動作に関わります。
– ブロックが受信モードに設定されている場合、FIFO リクエストは SAI_xDR 内の読出しリクエスト動作に関わります。
SAI_xIM レジスタの FREQIE ビットがセットされている場合、このフラグによって割込みを生成することができます。

ビット 2 **WCKCFG**：不正クロック設定フラグ。
このビットは読出し専用です。
0：クロック設定は正常です。
1：クロック設定が セクション 36.4.6：フレーム同期で規定するフレーム長仕様に関する規則に準拠していません（SAI_xFRCR レジスタの FRL[7:0] ビットの設定）。
このビットは、オーディオブロックがマスタモードで動作する場合（MODE[1] = 0 かつ NODIV = 0）にのみ使用されます。
SAI_xIM レジスタの WCKCFGIE ビットがセットされている場合は割込みが生成されます。
ソフトウェアによって SAI_xCLRFR レジスタの CWCKCFG ビットをセットすると、このフラグはクリアされます。

ビット 1 **MUTEDET**：ミュート検出。

このビットは読出し専用です。

0：SD 入力ラインでミュートは検出されません

1：指定数の連続オーディオフレームに対して SD 入力ラインでミュート値が検出されました（0 値）

連続するオーディオフレームに対してオーディオフレームの各スロットで連続する 0 値が受信された場合、このフラグがセットされます（SAI_xCR2 レジスタの MUTECNT ビットをセット）。

SAI_xIM レジスタの MUTEDETIE ビットがセットされている場合は割込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの CMUTEDET ビットをセットすると、このフラグはクリアされます。

ビット 0 **OVRUDR**：オーバーラン/アンダーラン。

このビットは読出し専用です。

0：オーバーラン/アンダーランエラーはありません。

1：オーバーラン/アンダーランエラーが検出されました。

オーバーランおよびアンダーラン状態は、オーディオブロックがそれぞれレシーバとトランスミッタとして設定されている場合にのみ発生します。

SAI_xIM レジスタの OVRUDRIE ビットがセットされている場合は割込みが生成されます。

ソフトウェアによって SAI_xCLRFR レジスタの COVRUDR ビットをセットすると、このフラグはクリアされます。

36.6.13 SAI クリアフラグレジスタ（SAI_ACLRFR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLFSDET	CAFSDET	CCNRDY	Res.	CWCKCFG	CMUTEDET	COVRUDR
									w	w	w		w	w	w

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CLFSDET**：レイトフレーム同期検出フラグクリア。

このビットは書込み専用です。

このビットを 1 に設定すると SAI_xSR レジスタの LFSDET フラグがクリアされます。

このビットは、AC’97 または SPDIF モードでは使用されません。

このビットを読み出すと、常に 0 値が返されます。

ビット 5 **CAFSDET**：予測フレーム同期検出フラグクリア。

このビットは書込み専用です。

このビットを 1 に設定すると SAI_xSR レジスタの AFSDET フラグがクリアされます。

このフラグは AC’97 または SPDIF モードでは使用されません。

このビットを読み出すと、常に 0 値が返されます。

ビット 4 **CCNRDY**：コーデックノットレディフラグのクリア

このビットは書込み専用です。

このビットを 1 に設定すると SAI_xSR レジスタの CNRDY フラグがクリアされます。

SAI_xCR1 レジスタで AC’97 オーディオプロトコルが選択された場合にのみ、このビットが使用されます。

このビットを読み出すと、常に 0 値が返されます。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CWCKCFG**：不正クロック設定フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの WCKCFG フラグがクリアされます。
オーディオブロックがマスタとして設定され（MODE[1] = 0）、かつ SAI_xCR1 レジスタで NODIV = 0 の 場合にのみ、このビットが使用されます。
このビットを読み出すと、常に 0 値が返されます。

ビット 1 **CMUTEDET**：ミュート検出フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの MUTEDET フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

ビット 0 **COVRUDR**：オーバーラン/アンダーランクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの OVRUDR フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

36.6.14 SAI クリアフラグレジスタ（SAI_BCLRFR）

アドレスオフセット：0x03C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLFSDET	CAFSDET	CCNRDY	Res.	CWCKCFG	CMUTEDET	COVRUDR
									w	w	w		w	w	w

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6 **CLFSDET**：レイトフレーム同期検出フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの LFSDET フラグがクリアされます。
このビットは、AC’97または SPDIF モードでは使用されません。
このビットを読み出すと、常に 0 値が返されます。

ビット 5 **CAFSDET**：予測フレーム同期検出フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの AFSDET フラグがクリアされます。
このビットは AC’97または SPDIF モードでは使用されません。
このビットを読み出すと、常に 0 値が返されます。

ビット 4 **CCNRDY**：コーデックノットレディフラグのクリア
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの CNRDY フラグがクリアされます。
SAI_xCR1 レジスタで AC’97 オーディオプロトコルが選択された場合にのみ、このビットが使用されます。
このビットを読み出すと、常に 0 値が返されます。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **CWCKCFG**：不正クロック設定フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの WCKCFG フラグがクリアされます。
オーディオブロックがマスタとして設定され（MODE[1] = 0）、かつ SAI_xCR1 レジスタで NODIV = 0 の 場合にのみ、このビットが使用されます。
このビットを読み出すと、常に 0 値が返されます。

ビット 1 **CMUTEDET**：ミュート検出フラグクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの MUTEDET フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

ビット 0 **COVRUDR**：オーバーラン/アンダーランクリア。
このビットは書込み専用です。
このビットを 1 に設定すると SAI_xSR レジスタの OVRUDR フラグがクリアされます。
このビットを読み出すと、常に 0 値が返されます。

36.6.15 SAI データレジスタ（SAI_ADR）

アドレスオフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATA[31:0]**：データ
FIFO がフルでない場合、このレジスタへ書き込むと、FIFO への書込みが行われます。
FIFO がエンプティでない場合、このレジスタを読み出すと、FIFO からの読出しが行われます。

36.6.16 SAI データレジスタ（SAI_BDR）

アドレスオフセット：0x040

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **DATA[31:0]**：データ
FIFO がフルでない場合、このレジスタへ書き込むと、FIFO への書込みが行われます。
FIFO がエンプティでない場合、このレジスタを読み出すと、FIFO からの読出しが行われます。

36.6.17 SAI PDM 制御レジスタ（SAI_PDMCR）

アドレスオフセット：0x0044

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CKEN2	CKEN1	Res.	Res.	MICNBR[1:0]		Res.	Res.	Res.	PDMEN
						rw	rw			rw	rw				rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9 **CKEN2**：ビットストリームクロック 2 番のクロックイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：SAI_CK2 クロック無効

1：SAI_CK2 クロック有効

注： このビットを PDMEN = 1 のときに設定するのは推奨しません。

SAI_CK2 は、すべての SAI インスタンスで使用できるわけではありません。詳細については、セクション 36.3：SAI の実装を参照してください。

ビット 8 **CKEN1**：ビットストリームクロック 1 番のクロックイネーブル

このビットは、ソフトウェアによってセット／クリアされます。

0：SAI_CK1 クロック無効

1：SAI_CK1 クロック有効

注： このビットを PDMEN = 1 のときに設定するのは推奨しません。

SAI_CK1 は、すべての SAI インスタンスで使用できるわけではありません。詳細については、セクション 36.3：SAI の実装を参照してください。

ビット 7:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:4 **MICNBR[1:0]**：マイクロフォンの本数

このビットは、ソフトウェアによってセット／クリアされます。

00：マイクロフォン 2 本の設定

01：マイクロフォン 4 本の設定

10：マイクロフォン 6 本の設定

11：マイクロフォン 8 本の設定

注： このフィールドを PDMEN = 1 のときに設定するのは推奨しません。*

データラインの全セットがすべての SAI インスタンスで使用できるわけではありません。詳細については、セクション 36.3：SAI の実装を参照してください。

ビット 3:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **PDMEN**：PDM 有効化

このビットは、ソフトウェアによってセット／クリアされます。このビットを使って、PDM インタフェースブロックの状態を制御することができます。

PDM インタフェースを有効にする前に SAI がすでに TDM マスタモードで動作していることを確認してください。

0：PDM インタフェースが無効です。

1：PDM インタフェースが有効です。

36.6.18 SAI PDM ディレイレジスタ（SAI_PDMDLY）

アドレスオフセット：0x0048

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	DLYM4R [2:0]			Res.	DLYM4L [2:0]			Res.	DLYM3R [2:0]			Res.	DLYM3L [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	DLYM2R [2:0]			Res.	DLYM2L [2:0]			Res.	DLYM1R [2:0]			Res.	DLYM1L [2:0]		
	rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw	rw

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30:28 **DLYM4R[2:0]**：**ペア No.4** の 2 番目のマイクロフォンのディレイライン
このビットは、ソフトウェアによってセット／クリアされます。
000：遅延なし
001：1 T_{SAI_CK} 周期のディレイ
010：2 T_{SAI_CK} 周期のディレイ
.....
111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D4 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26:24 **DLYM4L[2:0]**：ペア No.4 の 1 番目のマイクロフォンのディレイライン
このビットは、ソフトウェアによってセット／クリアされます。
000：遅延なし
001：1 T_{SAI_CK} 周期のディレイ
010：2 T_{SAI_CK} 周期のディレイ
.....
111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D4 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22:20 **DLYM3R[2:0]**：ペア No.3 の 2 番目のマイクロフォンのディレイライン
このビットは、ソフトウェアによってセット／クリアされます。
000：遅延なし
001：1 T_{SAI_CK} 周期のディレイ
010：2 T_{SAI_CK} 周期のディレイ
.....
111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D3 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 19 予約済みであり、リセット値に保持する必要があります。

ビット 18:16 **DLYM3L[2:0]**：ペア No.3 の 1 番目のマイクロフォンのディレイライン

このビットは、ソフトウェアによってセット／クリアされます。

000：遅延なし

001：1 T_{SAI_CK} 周期のディレイ

010：2 T_{SAI_CK} 周期のディレイ

.....

111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D3 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **DLYM2R[2:0]**：ペア No.2 の 2 番目のマイクロフォンのディレイライン

このビットは、ソフトウェアによってセット／クリアされます。

000：遅延なし

001：1 T_{SAI_CK} 周期のディレイ

010：2 T_{SAI_CK} 周期のディレイ

.....

111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D2 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10:8 **DLYM2L[2:0]**：ペア No.2 の 1 番目のマイクロフォンのディレイライン

このビットは、ソフトウェアによってセット／クリアされます。

000：遅延なし

001：1 T_{SAI_CK} 周期のディレイ

010：2 T_{SAI_CK} 周期のディレイ

.....

111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D2 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6:4 **DLYM1R[2:0]**：ペア No.1 の 2 番目のマイクロフォンのディレイライン

このビットは、ソフトウェアによってセット／クリアされます。

000：遅延なし

001：1 T_{SAI_CK} 周期のディレイ

010：2 T_{SAI_CK} 周期のディレイ

.....

111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D1 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **DLYM1L[2:0]**：ペア No.1 の 1 番目のマイクロフォンのディレイライン

このビットは、ソフトウェアによってセット／クリアされます。

000：遅延なし

001：1 T_{SAI_CK} 周期のディレイ

010：2 T_{SAI_CK} 周期のディレイ

.....

111：7 T_{SAI_CK} 周期のディレイ

このフィールドは動作中に変更することができます。

注： このフィールドは D1 ラインが使用可能な場合のみ使用できます。セクション 36.3：SAI の実装を参照して、使用可能かどうかを確認してください。

36.6.19 SAI レジスタマップ

表 233. SAI レジスタのマップとリセット値

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	予約済みです。																																
0x0004 または 0x0024	SAI_xCR1	Res.	Res.	Res.	Res.	MCKEN	OSR	MCKDIV[5:0]						NODIV	Res.	DMAEN	SAIEN	Res.	Res.	OUTDRIV	MONO	SYNCEN[1:0]		CKSTR	LSBFIRST	DS[2:0]			Res.	PRTCFG[1:0]		MODE[1:0]	
	リセット値					0	0	0	0	0	0	0	0	0		0	0			0	0	0	0	0	0	0	1	0		0	0	0	0
0x0008 または 0x0028	SAI_xCR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COMP[1:0]		CPL	MUTECN[5:0]						MUTE VAL	MUTE	TRIS	FFLUS	FTH[2:0]		
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x000C または 0x002C	SAI_xFRCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSOFF	FSPOL	FSDEF	Res.	FSALL[6:0]							FRL[7:0]							
	リセット値														0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x0010 または 0x0030	SAI_xSLOTR	SLOTEN[15:0]																Res.	Res.	Res.	Res.	NBSLOT[3:0]				SLOTSZ[1:0]		Res.	FBOFF[4:0]				
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0		0	0	0	0	0
0x0014 または 0x0034	SAI_xIM	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDETIE	AFSDETIE	CNRDYIE	FREQIE	WCKCFGIE	MUTEDETIE	OVRUDRIE
	リセット値																										0	0	0	0	0	0	0
0x0018 または 0x0038	SAI_xSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLVL[2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTEDET	OVRUDR
	リセット値														0	0	0										0	0	0	0	1	0	0
0x001C または 0x003C	SAI_xCLRFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLFSDET	CAFSDET	CCNRDY	Res.	CWCKCFG	CMUTEDET	COVRUDR
	リセット値																										0	0	0		0	0	0
0x0020 または 0x0040	SAI_xDR	DATA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 233. SAI レジスタのマップとリセット値 （続き）

オフセット	レジスタ名とリセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0044	SAI_PDMCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CKEN2	CKEN1	Res.	Res.	MICNBR[1:0]		Res.	Res.	Res.	PDMEN
	リセット値																							0	0			0	0				0
0x0048	SAI_PDMDLY	Res.	DLYM4R [2:0]			Res.	DLYM4L [2:0]			Res.	DLYM3R [2:0]			Res.	DLYM3L [2:0]			Res.	DLYM2R [2:0]			Res.	DLYM2L [2:0]			Res.	DLYM1R [2:0]			Res.	DLYM1L [2:0]		
	リセット値		0	0	0		0	0	0		0	0	0		0	0	0		0	0	0		0	0	0		0	0	0		0	0	0

レジスタ境界アドレスについては、セクション 2.2 を参照してください。

37 プロセッサ間通信コントローラ（IPCC）

37.1 IPCC の概要

プロセッサ間通信コントローラ（IPCC）は、2 つのプロセッサ間のデータ通信に使用します。

IPCC ブロックには、通信データを送受信するアトミック動作（アクセスの競合防止）のノンブロッキングシグナリング機構があります。以下の 12 チャネルの信号伝達を可能にします。

- プロセッサ 1 からプロセッサ 2 の方向への 6 チャネル
- 反対方向への 6 チャネル

これにより、各方向に 2 つの異なる通信タイプを実現できます。

IPCC 通信データは、IPCC ブロックの一部ではない共通メモリに置く必要があります。

37.2 IPCC の主な機能

- 12 チャネルのステータス信号発信
  - ロックとしても使用されるチャネル占有/解放フラグ
- プロセッサあたり 2 つの割込みライン
  - 1 つは RX（受信）チャネル占有時（通信データが送信側プロセッサによって送信された時）用
  - もう 1 つは TX（送信）チャネル解放時（通信データが受信側プロセッサによって取得された時）用
- チャネルごとの割込みマスク
  - チャネル占有マスク
  - チャネル解放マスク
- チャネルの 2 つの動作モード
  - 単方向（各チャネルに独自の通信データのメモリ位置が存在）
  - 半二重（双方向通信データ情報のメモリ位置に関連付けられた単一チャネル）

37.3 IPCC の機能説明

IPCC の通信データは、IPCC ブロックの一部ではない共通メモリに配置されます。通信データのアドレス位置は、既知であるか、またはすでに述べたように IPCC ブロックの一部ではない既知の共通領域に位置している必要があります。

IPCC ブロックによって、各通信に対して、チャネルステータスフラグ CHnF が提供されます。

- チャネルステータスフラグ CHnF が 0 の場合、これは、関連する IPCC チャネルが解放（フリー）しており（受信側プロセッサが通信データを取得済み）、送信側プロセッサからアクセスできることを示しています。
- チャネルステータスフラグ CHnF が 1 の場合、これは、関連する IPCC チャネルが占有されており（送信側プロセッサが通信データを送信済み）、受信側プロセッサからアクセスできることを示しています。

チャネルの動作モードは、両方のプロセッサが知っている必要があります。共通パラメータを使用してチャネル転送モードを示すことができ、これも既知の共通領域に配置する必要があります。このパラメータは IPCC からは使用できません。

37.3.1 IPCC ブロック図

IPCC（図 398 を参照）は、次のサブブロックで構成されています。

- チャネルステータスを格納しているステータスブロック
- チャネルステータスレジスタへの AHB アクセスを可能にする IPCC インタフェースブロック
- 割込みを制御する割込みインタフェースブロック

図 398. IPCC ブロック図

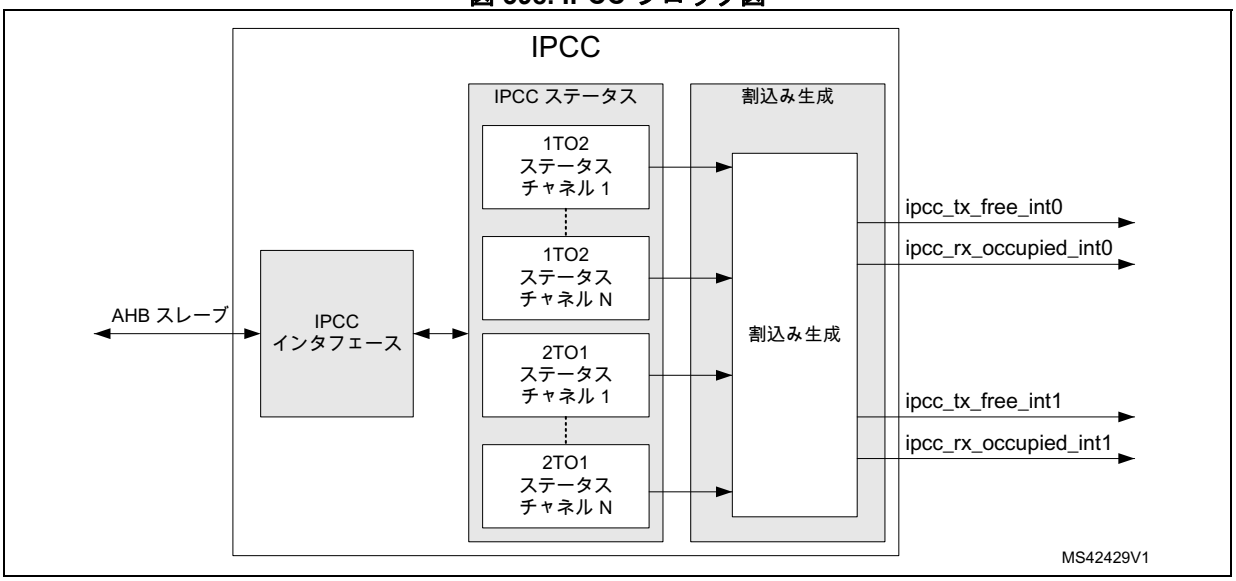


表 234. IPCC インタフェース信号

信号		説明
名前	タイプ	
AHB スレーブ	I/O	AHB レジスタアクセスバス
ipcc_tx_free_int1	O	プロセッサ 1 への TX 解放（フリー）割込み
ipcc_rx_occupied_int1	O	プロセッサ 1 への RX 占有割込み
ipcc_tx_free_int2	O	プロセッサ 2 への TX 解放（フリー）割込み
ipcc_rx_occupied_int2	O	プロセッサ 2 への RX 占有割込み

37.3.2 IPCC 単方向チャネルモード

単方向チャネルモードでは、専用のメモリ位置（単方向でのデータ転送に使用される）が通信データに割り当てられます。関連するチャネル N 制御ビット（表 235 参照）は、送信プロセッサから受信側プロセッサへの転送を管理するために使用されます。

表 235. 通信に使用されるビット

プロセッサ·	A	B
送信 A = 1 受信 B = 2	IPCC_C1CR.TXFIE IPCC_C1MR.CHnFM IPCC_C1SCR.CHnS IPCC_C1TOC2SR.CHnF	IPCC_C2CR.RXOIE IPCC_C2MR.CHnOM IPCC_C2SCR.CHnC
送信 A = 2 受信 B = 1	IPCC_C2CR.TXFIE IPCC_C2MR.CHnFM IPCC_C2SCR.CHnS IPCC_C2TOC1SR.CHnF	IPCC_C1CR.RXOIE IPCC_C1MR.CHnOM IPCC_C1SCR.CHnC

送信側プロセッサは、通信データをメモリに送信すると、チャネルステータスフラグ CHnF を CHnS で占有にセットします。

受信側プロセッサは、メモリから通信データを読み出すと、CHnC でチャネルステータスフラグ CHnF をクリアして空きにします。

図 399. IPCC 単方向チャネルモードの転送タイミング

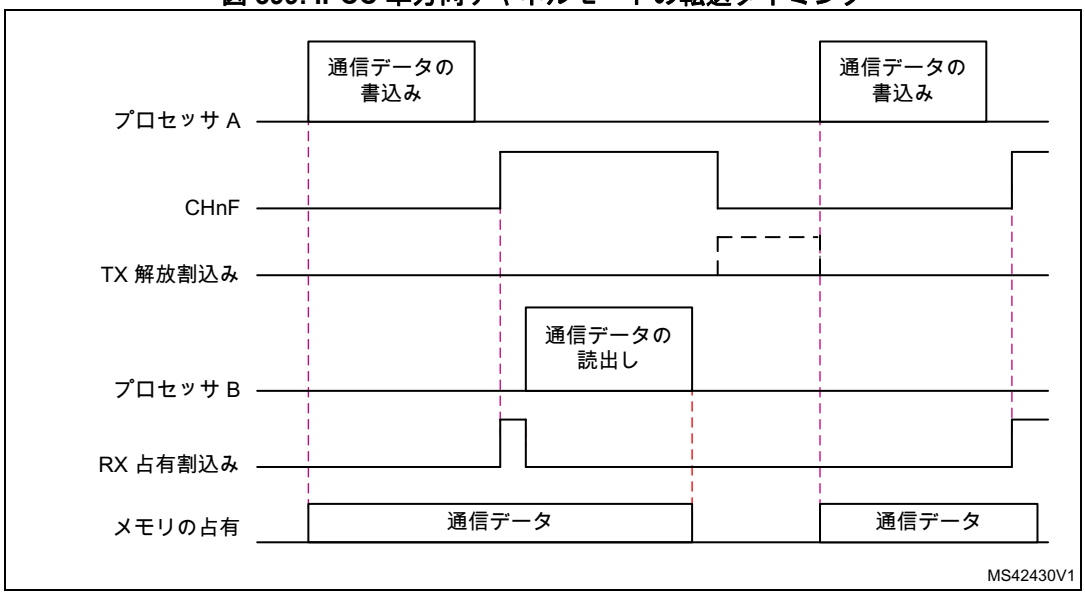
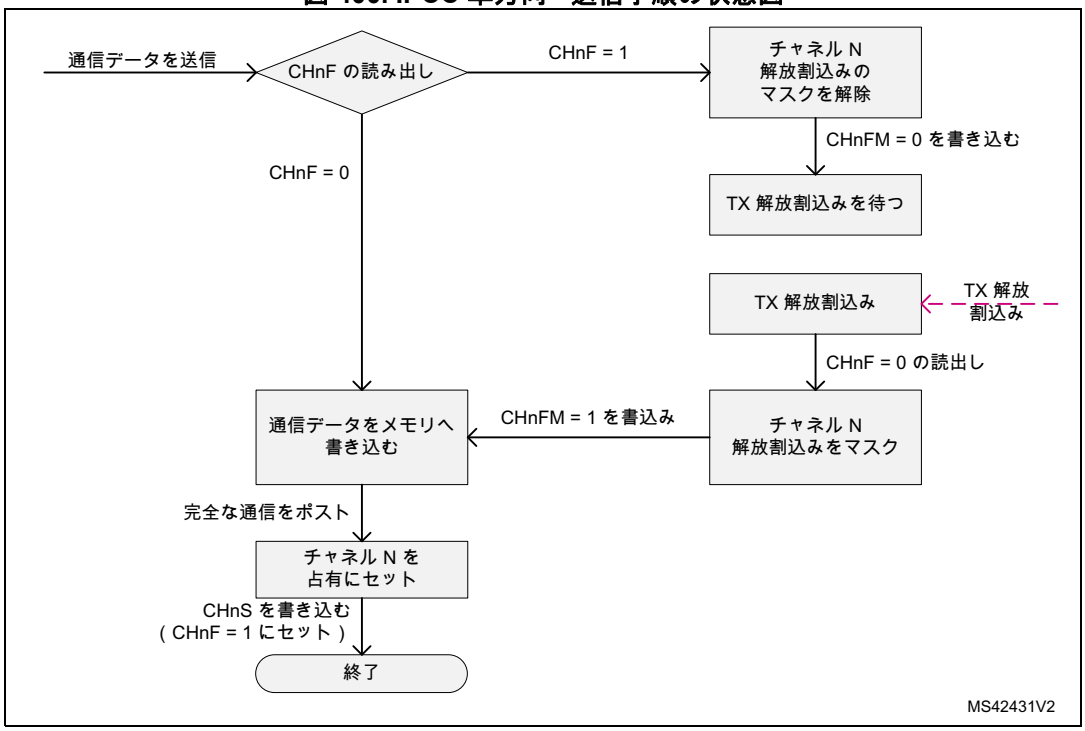


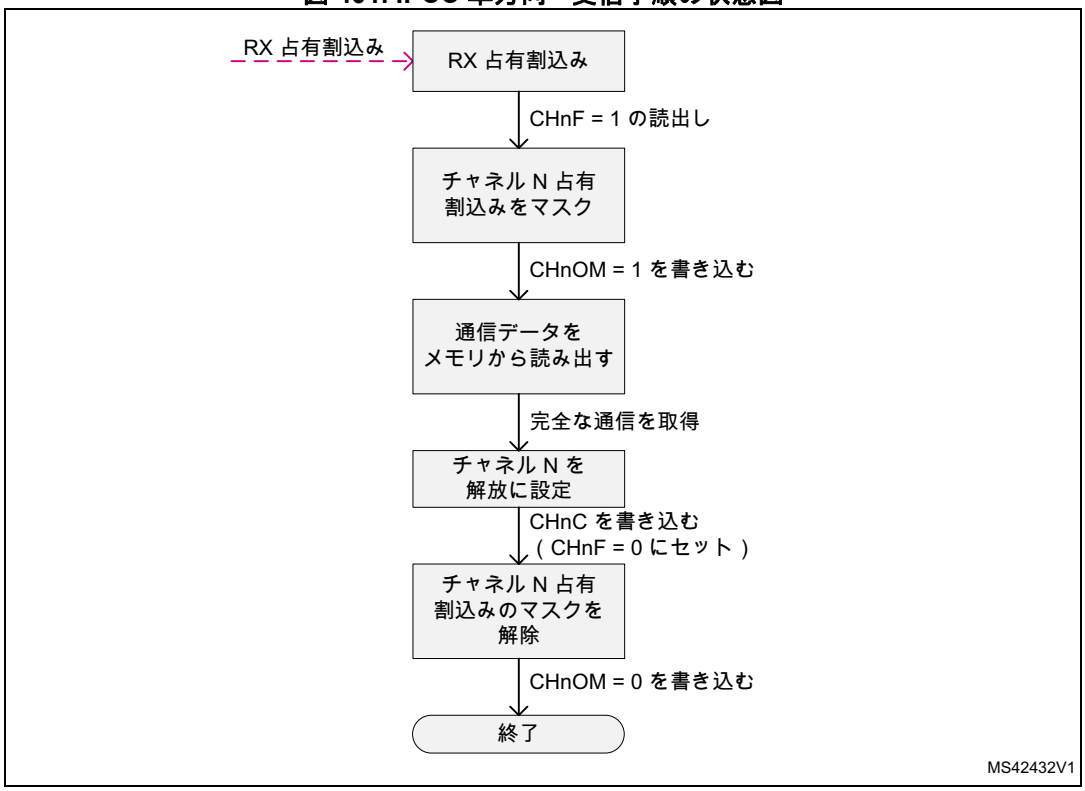
図 400. IPCC 単方向 - 送信手順の状態図



通信データを送信するには、次の手順に従います。

- 送信側プロセッサは、チャネルステータスフラグ CHnF を確認します。
  - CHnF = 0 の場合、チャネルは空き（最後の通信データは受信側プロセッサによって取得済み）で、新しい通信データを書き込むことができます。
  - CHnF = 1 の場合、チャネルは占有されており（受信側プロセッサは最後の通信データを取得していない）、送信側プロセッサはチャネル解放割込みのマスクを解除します（CHnFM = 0）。
  - TX 解放割込みで、送信側プロセッサは、空きになったチャネルを確認し、チャネル解放割込みをマスクします（CHnFM = 1）。その後、新しい通信を行うことができます。
- 完全な通信データが送信されると、チャネルステータスは CHnS によって占有にセットされます。これにより、受信側プロセッサにメモリアクセスが許可され、RX 占有割込みが生成されます。

図 401. IPCC 単方向 - 受信手順の状態図



通信を受信するために、チャネル占有割込みのマスクを解除します（CHnOM = 0）。

- RX 占有割込みで、受信側プロセッサは、どのチャネルが占有になったかを確認し、関連するチャネル占有割込みをマスクし（CHnOM）、メモリから通信データを読み出します。
- 完全な通信データを取得すると、CHnC でチャネルステータスをクリアして空きにします。これにより、送信側プロセッサにメモリアクセスが戻され、TX 解放割込みが生成できるようになります。
- チャネルステータスがクリアされると、チャネル占有割込みのマスクが解除されます（CHnOM = 0）。

37.3.3 IPCC 半二重チャネルモード

半二重チャネルモードは、一方のプロセッサが通信を送信し、別のプロセッサが各通信に対する応答を送信する場合（ピンポン）に使用されます。

半二重チャネルモードでは、1 つの専用のメモリ位置が通信データと応答用に割り当てられ、両方向のデータ転送に使用されます。送信側プロセッサのチャネルステータスフラグ CHnF が、チャネルに割り当てられ、両方のプロセッサによって使用されます（表 235 を参照）。

プロセッサ A は通信データをメモリに送信すると、プロセッサ A のチャネルステータスフラグ CHnF を CHnS で占有にセットします（プロセッサ B にメモリアクセスを与えます）。

プロセッサ B は、メモリから通信データを読み出すと、チャネルステータスフラグは変更しません。メモリアクセスは、応答のためにプロセッサ B によって保持されます。

プロセッサ B は応答をメモリに送信すると、CHnC でチャネルステータスフラグ CHnF をクリアし空きにします（プロセッサ A にメモリアクセスを戻します）。

プロセッサ A は、メモリから応答を読み出すと、チャネルステータスフラグは変更しません。メモリ位置アクセスは、次の通信データのためにプロセッサ A によって保持されます。

図 402. IPCC 半二重チャネルモードの転送タイミング

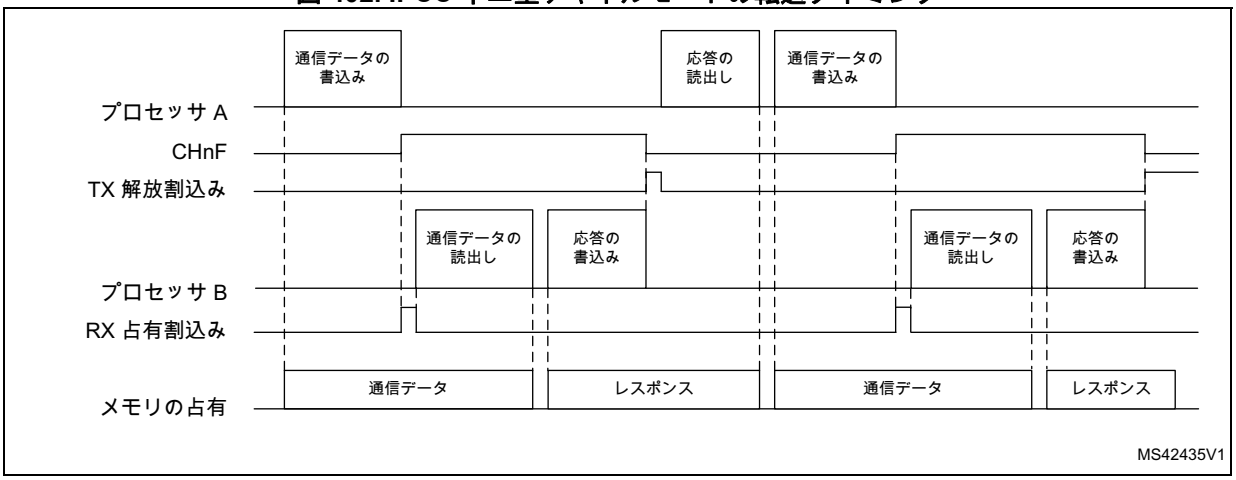
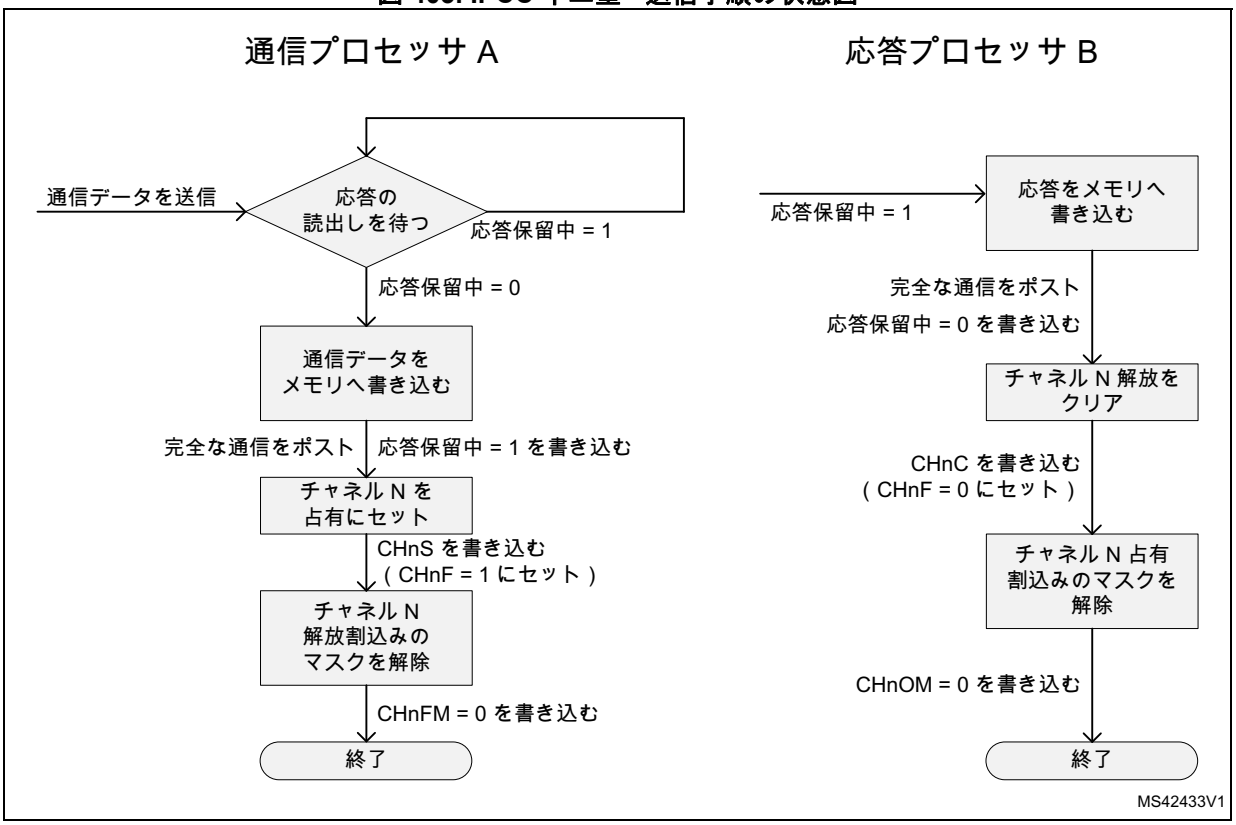


図 403. IPCC 半二重 - 送信手順の状態図



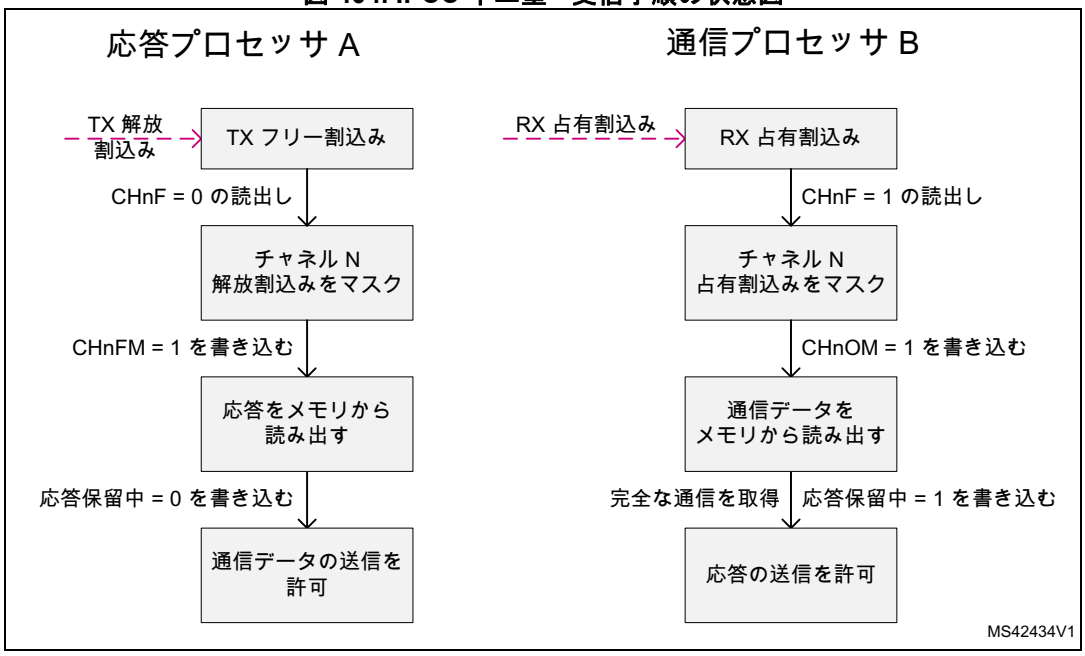
通信データを送信するには、次の手順に従います。

- 送信側プロセッサは、応答保留中ソフトウェア変数が 0 になるのを待ちます。
  - 応答保留中ソフトウェア変数が 0 になると、通信データを送信します。
- 完全な通信データが送信されると、チャネルステータスフラグ CHnF が CHnS で占有にセットされ、応答保留中ソフトウェア変数が 1 にセットされます（これにより、受信側プロセッサにメモリアクセスが許可され、RX 占有割込みが生成されます）。
- チャネルステータスフラグ CHnF がセットされると、チャネル解放割込みのマスクが解除されます（CHnFM = 0）。

応答を送信するには、次の手順に従います。

- 受信側プロセッサは、応答保留中ソフトウェア変数が 1 になるのを待ちます。
  - 応答保留中ソフトウェア変数が 1 になると、応答を送信します。
- 完全な応答が送信されると、チャネルステータスフラグ CHnF が CHnC でクリアされて空きになり、応答保留中ソフトウェア変数が 0 にセットされます（これにより、送信側プロセッサにメモリアクセスが許可され、TX 解放割込みが生成されます）。
- チャネルステータスフラグ CHnF がクリアされると、チャネル占有割込みのマスクが解除されます（CHnOM = 0）。

図 404. IPCC 半二重 - 受信手順の状態図



通信データを受信するため、チャネル占有割込みのマスクを解除します（CHnOM = 0）。

- RX 占有割込みで、受信側プロセッサは、どのチャネルが占有になったかを確認し、関連するチャネル占有割込みをマスクし（CHnOM）、メモリから通信データを読み出します。
- 完全な通信データを取得すると、応答保留中ソフトウェア変数をセットします。チャネルのステータスは変更されず、次の応答を送信するためにメモリへのアクセスが保持されます。

応答を受信するには、チャネル解放割込みのマスクを解除します（CHnFM = 0）。

- TX 解放割込みで、送信側プロセッサは、空きになったチャネルを確認し、関連するチャネル解放割込みをマスクし（CHnFM）、メモリから応答を読み出します。
- 完全なレスポンスが取得されると、応答保留中ソフトウェア変数はクリアされます。チャネルステータスは変更されず、次の通信データを送信するためにメモリへのアクセスが保持されます。

37.3.4 IPCC 割込み

以下の 4 つの 割込みラインがあります。

- 2 つの RX チャネル占有割込み（各プロセッサに 1 つ）
  - プロセッサごとの割込みイネーブル RXOIE
  - チャネルごとの個別マスク CHnOM
- 2 つの TX チャネル解放割込み（各プロセッサに 1 つ）
  - プロセッサごとの割込みイネーブル TXFIE
  - チャネルごとの個別マスク CHnFM

RX 占有割込みは、受信側プロセッサによって使用され、マスクされていないチャネルステータスが占有を示している事（CHnF = 1）を知らせます。

TX 解放割込みは、送信側プロセッサによって使用され、マスクされていないチャネルステータスが解放を示している事（CHnF = 0）を知らせます。

セキュアチャネルは、チャネルがセキュアにマスク解除されていてグローバルセキュアが有効な場合にのみ、セキュア割込みを生成します。

非セキュアチャネルは、チャネルが非セキュアでマスク解除されていて、グローバル非セキュアが有効な場合にのみ、非セキュア割込みを生成します。

37.4 IPCC レジスタ

ペリフェラルレジスタには、ワード（32 ビット）単位でアクセスする必要があります。バイト（8 ビット）およびハーフワード（16 ビット）アクセスは許可されず、バスエラーも生成されません。

37.4.1 IPCC プロセッサ 1 制御レジスタ（IPCC_C1CR）

アドレスオフセット：0x000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE
															rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TXFIE**：プロセッサ 1 送信チャネル解放 割込みイネーブル
IPCC_C1TOC2SR に関連しています。
1：マスクされていないプロセッサ 1 の空きの送信チャネルによる TX 解放割込みの生成を有効にします。
0：プロセッサ 1 の TX 解放割込みは無効です。

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RXOIE**：プロセッサ 1 受信チャネル占有割込みイネーブル
IPCC_C2TOC1SR に関連しています。
1：マスクされていないプロセッサ 1 の占有された受信チャネルによる RX 占有割込みの生成を有効にします。
0：プロセッサ 1 の RX 占有割込みは無効です。

37.4.2 IPCC プロセッサ 1 のマスクレジスタ（IPCC_C1MR）

アドレスオフセット：0x004

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 FM	CH5 FM	CH4 FM	CH3 FM	CH2 FM	CH1 FM
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 OM	CH5 OM	CH4 OM	CH3 OM	CH2 OM	CH1 OM
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnFM**：プロセッサ 1 の送信チャネル n のステータスセット（n = 6～1）
IPCC_C1TOC2SR.CHnF に関連
1：送信チャネル n の解放割込みはマスクされます。
0：送信チャネル n の解放割込みはマスクされません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnOM**：プロセッサ 1 受信チャネル n ステータスクリア（n = 6～1）
IPCC_C2TOC1SR.CHnF に関連
1：受信チャネル n 占有割込みはマスクされます。
0：受信チャネル n 占有割込みはマスクされません。

37.4.3 IPCC プロセッサ 1 ステータスセットクリアレジスタ（IPCC_C1SCR）

アドレスオフセット：0x008

リセット値：0x0000 0000

このレジスタを読み出すと常に 0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnS**：プロセッサ 1 送信チャネル n のステータスセット（n = 6～1）
IPCC_C1TOC2SR.CHnF に関連
1：プロセッサ 1 送信チャネル n ステータスビットがセットされます。
0：影響はありません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnC**：プロセッサ 1 受信チャネル n ステータスクリア（n = 6～1）
IPCC_C2TOC1SR.CHnF に関連
1：プロセッサ 1 受信チャネル n ステータスビットがクリアされます。
0：影響はありません。

37.4.4 IPCC プロセッサ 1 からプロセッサ 2 へのステータスレジスタ（IPCC_C1TOC2SR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
										r	r	r	r	r	r

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnF**：マスクする前のプロセッサ 1 送信からプロセッサ 2 受信へのチャネル n のステータスフラグ（n = 6～1）
1：チャネルは占有され、受信側プロセッサ 2 はデータを読み出せます。
マスクされていない場合、プロセッサ 2 へのチャネル RX 占有割込みを生成します。
0：チャネルは解放されており、送信側プロセッサ 1 によってデータが書き込めます。
マスクされていない場合、プロセッサ 1 へのチャネル TX 解放割込みを生成します。

37.4.5 IPCC プロセッサ 2 制御レジスタ（IPCC_C2CR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE
															rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **TXFIE**：プロセッサ 2 送信チャネル解放割込みイネーブル
IPCC_C2TOC1SR に関連しています。
1：マスクされていないプロセッサ 2 の空き送信チャネルによる TX 解放割込みの生成を有効にします。
0：プロセッサ 2 TX 解放割込みは無効です。

ビット 15:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **RXOIE**：プロセッサ 2 受信チャネル占有割込みイネーブル
IPCC_C1TOC2SR に関連しています。
1：マスクされていないプロセッサ 2 の占有された受信チャネルによる RX 占有割込みの生成を有効にします。
0：プロセッサ 2 の RX 占有割込みは無効です。

37.4.6 IPCC プロセッサ 2 のマスクレジスタ（IPCC_C2MR）

アドレスオフセット：0x014

リセット値：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 FM	CH5 FM	CH4 FM	CH3 FM	CH2 FM	CH1 FM
										rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6 OM	CH5 OM	CH4 OM	CH3 OM	CH2 OM	CH1 OM
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnFM**：プロセッサ 2 送信チャネル n の解放割込みマスク（n = 6～1）
IPCC_C2TOC1SR.CHnF に関連
1：送信チャネル n の解放割込みはマスクされます。
0：送信チャネル n の解放割込みはマスクされません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnOM**：プロセッサ 2 受信チャネル n の占有割込みマスク（n = 6～1）
IPCC_C1TOC2SR.CHnF に関連
1：受信チャネル n 占有割込みはマスクされます。
0：受信チャネル n 占有割込みはマスクされません。

37.4.7 IPCC プロセッサ 2 ステータスセットクリアレジスタ（IPCC_C2SCR）

アドレスオフセット：0x018

リセット値：0x0000 0000

このレジスタを読み出すと常に 0x0000 0000 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
										rw	rw	rw	rw	rw	rw

ビット 31:22 予約済みであり、リセット値に保持する必要があります。

ビット 21:16 **CHnS**：プロセッサ 2 送信チャネル n のステータスセット（n = 6～1）
IPCC_C2TOC1SR.CHnF に関連
1：プロセッサ 2 送信チャネル n ステータスビットがセットされます。
0：影響はありません。

ビット 15:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnC**：プロセッサ 2 受信チャネル n ステータスクリア（n = 6～1）
IPCC_C1TOC2SR.CHnF に関連
1：プロセッサ 2 受信チャネル n ステータスビットがクリアされます。
0：影響はありません。

37.4.8 IPCC プロセッサ 2 からプロセッサ 1 へのステータスレジスタ（IPCC_C2TOC1SR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
										r	r	r	r	r	r

ビット 31:6 予約済みであり、リセット値に保持する必要があります。

ビット 5:0 **CHnF**：マスクする前のプロセッサ 2 送信からプロセッサ 1 受信へのチャネル n のステータスフラグ（n = 6～1）
1：チャネルは占有され、受信側プロセッサ 1 はデータを読み出せます。
マスクされていない場合、プロセッサ 1 へのチャネル RX 占有割込みを生成します。
0：チャネルは空いており、送信側プロセッサ 2 によってデータが書き込めます。
マスクされていない場合、プロセッサ 2 へのチャネル TX 解放割込みを生成します。

37.4.9 IPCC レジスタマップ

表 236. IPCC レジスタのマップとリセット値

オフセット	レジスタ名 リセット値	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	IPCC_C1CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXOIE
	リセット値																0																0
0x0004	IPCC_C1MR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6FM	CH5FM	CH4FM	CH3FM	CH2FM	CH1FM	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6OM	CH5OM	CH4OM	CH3OM	CH2OM	CH1OM
	リセット値											1	1	1	1	1	1											1	1	1	1	1	1
0x0008	IPCC_C1SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
	リセット値											0	0	0	0	0	0											0	0	0	0	0	0
0x000C	IPCC_C1TOC2SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
	リセット値																											0	0	0	0	0	0
0x0010	IPCC_C2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFIE	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	Res.	Res.	Res.	Res.	Res.	RXOIE
	リセット値																0																0
0x0014	IPCC_C2MR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6FM	CH5FM	CH4FM	CH3FM	CH2FM	CH1FM	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6OM	CH5OM	CH4OM	CH3OM	CH2OM	CH1OM
	リセット値											1	1	1	1	1	1											1	1	1	1	1	1
0x0018	IPCC_C2SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CH6S	CH5S	CH4S	CH3S	CH2S	CH1S	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6C	CH5C	CH4C	CH3C	CH2C	CH1C
	リセット値											0	0	0	0	0	0											0	0	0	0	0	0
0x001C	IPCC_C2TOC1SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res.	Res	CH6F	CH5F	CH4F	CH3F	CH2F	CH1F
	リセット値																											0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

38 ハードウェアセマフォ（HSEM）

38.1 概要

ハードウェアセマフォのブロックは、セマフォに基づいて 32 の（32 ビット）レジスタを提供します。

セマフォは、異なるコア間で実行される個々のプロセスが必ず互いに同期されるように使用されます。HSEM は、不可分な方法でセマフォをロックする非ブロッキングメカニズムを備えています。次の機能が供給されます。

- 次の 2 通りのセマフォロック
  - 2 ステップロック：セマフォに COREID と PROCID を書き込み、続いて読出しチェックをします。
  - 1 ステップロック：セマフォから COREID を読み出します。
- セマフォアンロック時の割込み生成
  - 各セマフォは、割込みラインの 1 つに割込みを生成できます。
- セマフォクリア保護
  - セマフォは、COREID と PROCID が一致する場合にのみアンロックされます。
- COREID によるセマフォのグローバルクリア

38.2 主な特徴

HSEM には以下の機能があります。

- 32 の（32 ビット）セマフォ
- 8 ビット PROCID
- 4 ビットの COREID
- プロセッサあたり 1 つの割込みライン
- ロック表示

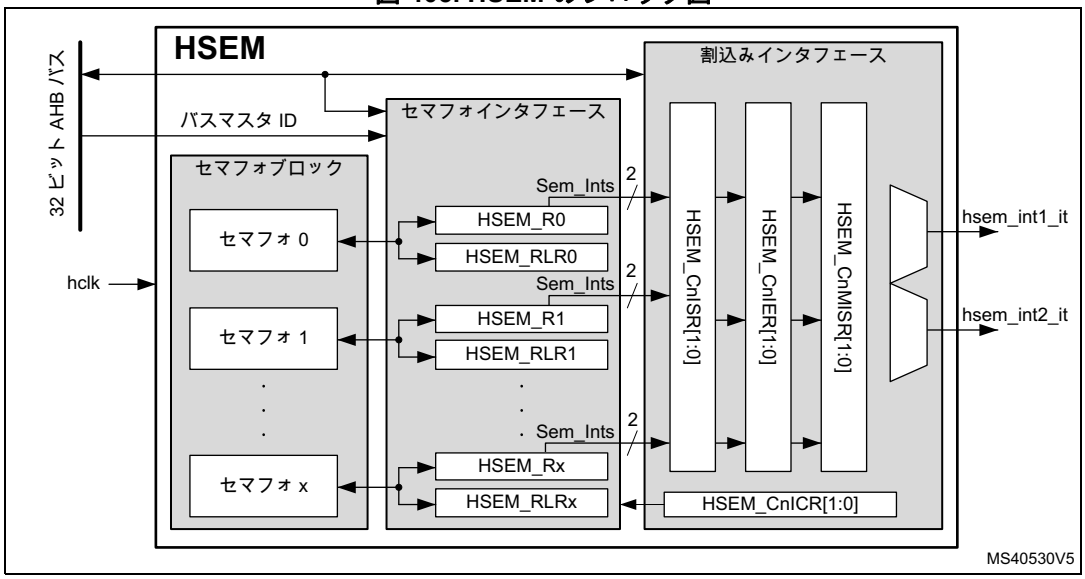
38.3 機能詳細

38.3.1 HSEM ブロック図

図 405 に示すように、HSEM は 3 つのサブブロックをベースにしています。

- セマフォのステータスと ID を含むセマフォブロック
- HSEM_Rx および HSEM_RLRx レジスタを介してセマフォに AHB アクセスを提供するセマフォインタフェースブロック
- HSEM_CnISR、HSEM_CnIER、HSEM_CnMISR、および HSEM_CnICR レジスタを介して割込みの制御を行う割込みインタフェースブロック。

図 405. HSEM のブロック図



38.3.2 HSEM 内部信号

表 237. HSEM 内部入力／出力信号

信号名	信号タイプ	説明
AHB バス	デジタル入出力	AHB レジスタアクセスバス
BusMasterID	デジタル入力	AHB バスマスタ ID
hsem_intn_it	デジタル出力	割込み n ライン （n = 1～ 2）

38.3.3 HSEM ロックの手順

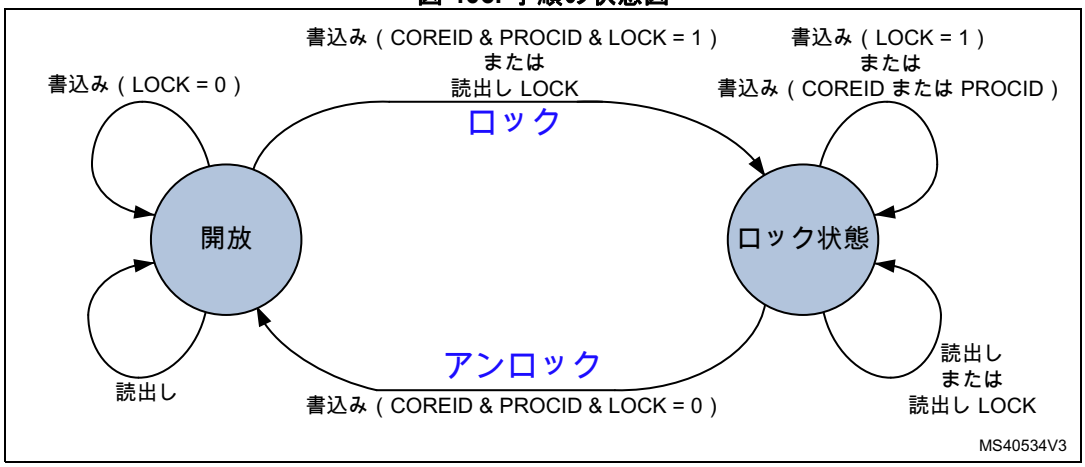
ロック手順には、2 ステップ（書込み）ロックと 1 ステップ（読出し）ロックの 2 つがあります。2 つの手順は同時に使用できます。

セマフォは LOCK ビットが 0 のときに開放されます。この場合は、COREID および PROCID も 0 です。セマフォはロックビットが 1 の場合にロックされ、COREID にはどの AHB バスマスタ ID によってロックされたかが示されます。PROCID には、当該 AHB バスマスタ ID のどのプロセスがセマフォをがロックしているかが示されます。

セマフォを書込みロックする場合、書き込まれる COREID は AHB バスマスタ ID と一致していなければなりません。PROCID は、ロックを取得した AHB バスマスタソフトウェアプロセスによって書き込まれます。

セマフォを読出しロックすると、COREID は AHB バスマスタ ID から取得され、PROCID はハードウェアによって 0 に強制されます。読出しロックで使用可能な PROCID はありません。

図 406. 手順の状態図



2 ステップ（書込み）のロック手順

2 ステップロックの手順は、セマフォをロックする書込み操作と、その後ロックが正常に行われたかどうかをチェックする読出し操作から成り、HSEM_Rx レジスタから実行されます。

- PROCID と COREID、および LOCK = 1 でセマフォを書き込みます。ソフトウェアによって書き込まれた CORE ID データは、AHB バスマスタ情報と一致する必要があります。すなわち、AHB バスマスタ ID = 1 ならば、データ COREID = 1 を書き込みます。

  書込み時にセマフォが開放されている場合はロックが設定されます。
- セマフォを読み戻します。

  ソフトウェアによってロックステータスをチェックし、PROCID と COREID が、書き込まれたデータに一致していれば、ロックが確認できます。
- そうでない場合は、再試行します（セマフォは別のプロセス、AHB バスマスタ ID によってロックされています）。

セマフォは、開放されている場合にのみロックできます。

セマフォは、PROCID が 0 の場合にロックできます。

ロックされたセマフォへの LOCK = 1 での連続書込みは無視されます。

1 ステップ（読出し）のロック手順

1 ステップの手順は、HSEM_RLRx レジスタから実行するシングルステップでセマフォをロックしてチェックする読出しから成ります。

- AHB バスマスタ COREID を使ってセマフォを読出しロックします。
- 読出し COREID が一致し、PROCID = 0 の場合は、ロックが設定されます。COREID が一致し、PROCID が 0 でない場合は、同じ COREID の別のプロセスが 2 ステップ（書込み）手順でセマフォをロックしていることを意味します。
- そうでない場合は、再試行します（セマフォは別のプロセス、AHB バスマスタ ID によってロックされています）。

セマフォは、開放されている場合にのみロックできます。開放されたセマフォを読出しロックすると、PROCID は 0 になります。ロックされたセマフォを読出しロックすると、ロックに使用された COREID と PROCID が返されます。セマフォをロックしている最初のものを含むすべての読出しロックを行うと、そのセマフォをロックしている、またはロックした COREID が返されます。

注： **同じ AHB バスマスタ ID の複数のプロセスを実行している場合は、1 ステップ手順を使用してはなりません。.同じセマフォを使用しているすべてのプロセスは同じステータスを読み出します。セマフォをロックするプロセスが 1 つのみである場合、その AHB バスマスタ ID の各プロセスでは COREID によってそれ自体でロックされたセマフォを読み出します。**

38.3.4 HSEM 書込み/読出し/読出しロックレジスタアドレス

各セマフォには、2 つの AHB レジスタアドレスが提供され、32 ビットセマフォレジスタの 2 つのバンクに分けられ、0x80 アドレスオフセットによって隔てられています。

最初のレジスタアドレスバンクでは、HSEM_Rx レジスタを介してセマフォを書き込み（ロック／アンロック）、読み出すことができます。

2つ目のレジスタアドレスバンクでは、HSEM_RLRx レジスタを介してセマフォを読み出す（ロック）ことができます。

38.3.5 HSEM アンロックの手順

セマフォのアンロックは保護されたプロセスで、AHB バスマスタ ID やセマフォロック権限を持たないプロセスによる予期しないクリアを防ぎます。この手順は、セマフォ HSEM_Rx レジスタへ、対応する COREID と PROCID および LOCK = 0 を書き込むことから成ります。セマフォをアンロックすると、COREID、および PROCID はすべて 0 になります。

アンロックすると、イベントを通知するために割込みが生成されることがあります。このためには、セマフォの割込みを有効にする必要があります。

アンロック手順は、セマフォのロック方法（1 または 2 ステップ）には関係なく、一致した COREID でセマフォ HSEM_Rx レジスタへ書き込むことから成ります。

- PROCID、COREID、および LOCK = 0 でセマフォを書き込みます。
- 書き込まれたデータがセマフォ PROCID と COREID、および AHB バスマスタ ID に一致する場合、セマフォはアンロックされ、有効な場合には割込みが生成されることがあります。そうでない場合は、書込みは無視され、セマフォはロックされたままであり、割込みは生成されません（セマフォは別のプロセス、AHB バスマスタ ID によってロックされているか、または書き込まれたデータが AHB バスマスタの信号と一致していません）。

注： **同じ AHB バスマスタ ID の異なるプロセス は、任意の PROCID 値を書き込めます。同じ AHB バスマスタ ID の他のプロセスによってセマフォがアンロックされないようにするには、ソフトウェアによって PROCID を正しく処理することによってそれを保証する必要があります。**

38.3.6 HSEM COREID セマフォのクリア

ある COREID によってロックされたすべてのセマフォを、HSEM_CR レジスタを使用して一度にすべてアンロックすることができます。COREID と正しい KEY 値を HSEM_CR に書き込みます。一致する COREID を持つすべてのロックされたセマフォがアンロックされ、有効になっていれば割込みが生成されることがあります。

注： **この手順は AHB バスマスタ ID が不正に動作する場合に使用することができます。たとえば別の AHB バスマスタが、不正に動作するプロセッサの COREID を正しい KEY 値で HSEM_CR レジスタに書き込むことで、ロックされたセマフォをアンロックできる場合などです。これにより、一致する CoreID を持つすべてのロックされたセマフォがアンロックされます。**

アンロックされたセマフォについて割込みが生成されることがあります。このためには、HSEM_CnIER レジスタでセマフォの割込みを有効にする必要があります。

38.3.7 HSEM 割込み

プロセッサごとの割込みライン hsem_intn_it によって、各セマフォが割込みを生成できるようになります。

割込みラインは、セマフォごとに次の機能を提供します。

- 割込みイネーブル
- 割込みクリア
- 割込みステータス
- マスクされた割込みステータス

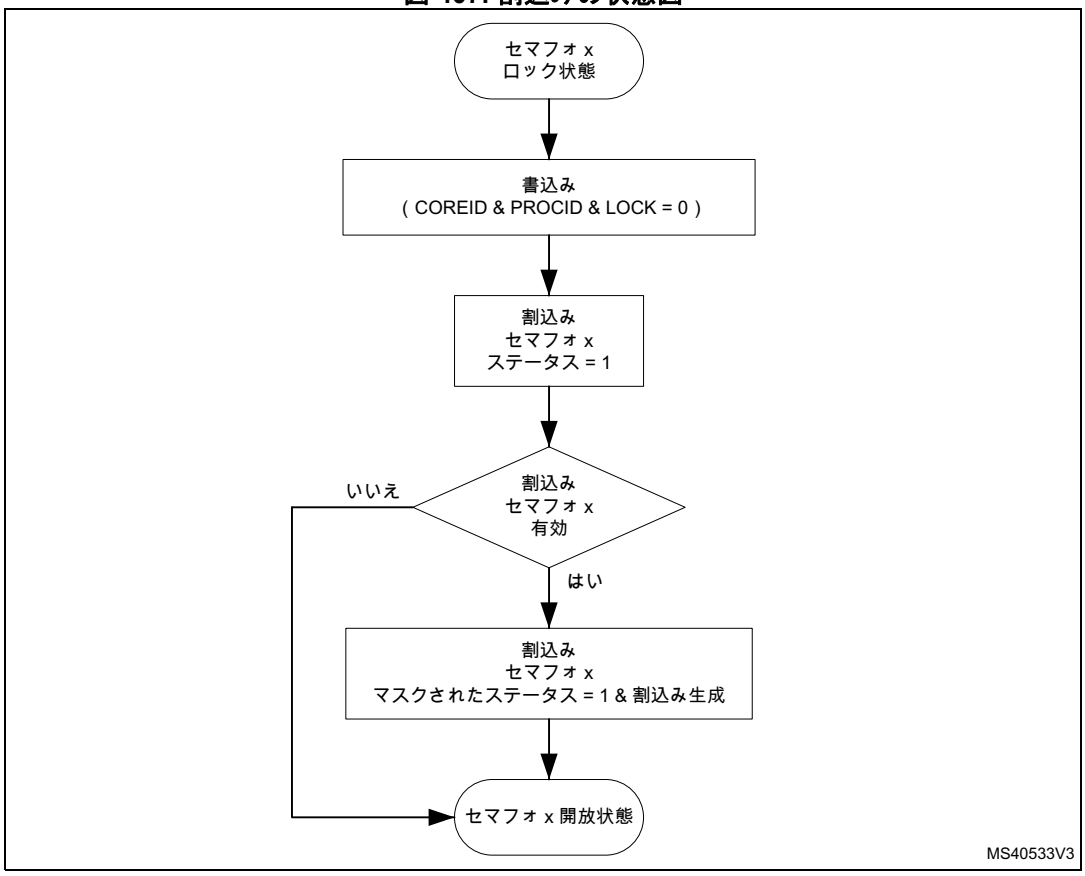
割込みイネーブル（HSEM_CnIER）により割込みラインに影響を与えるセマフォを有効にすることができます。無効化された（マスク済み）セマフォの割込みが当該セマフォにマスクされた割込みステータス MISF をセットすることはなく、また割込みラインに割込みを生成することもありません。

割込みクリア（HSEM_CnICR）によって、割込みラインが関連するセマフォの割込みステータス ISF やマスクされた割込みステータス MISF がクリアされます。

割込みステータス（HSEM_CnISR）には、有効化する前にセマフォの割込みステータス ISF が反映されます。

マスクされた割込みステータス（HSEM_CnMISR）には、割込みライン上の有効化されたセマフォの割込みステータス MISF のみが反映されます。割込みラインをクリアするには、有効化されたセマフォのマスクされた割込みステータス MISF をすべてクリアする必要があります。

図 407. 割込みの状態図



ここでは、セマフォが開放されたときに割込みを取得する手順について説明します。

セマフォ x のロックを試みます。

- セマフォロックを取得できた場合は、割込みは不要です。
- セマフォロックが失敗した場合は、次を実行してください。
- HSEM_CnICR で割込みラインのペンディング中のセマフォ x 割込みステータスをクリアします。
  セマフォ x のロックを再度試みます。
  - セマフォロックを取得できた場合は、割込みは不要です（セマフォは最初にロックしようとしてから、セマフォの割込み状態をクリアするまでに開放されています）。
  - セマフォのロックに失敗した場合、HSEM_CnIER のセマフォ x の割込みを有効にします。

セマフォ x の開放時の割込み時に、セマフォ x のロックを試みます。

- セマフォロックを取得できた場合は、次を実行してください。
  HSEM_CnIER でセマフォ x 割込みを無効にします。
  ペンディング中のセマフォ x 割込みステータスを HSEM_CnICR でクリアします。
- セマフォ x ロックが失敗した場合は、次を実行してください。
  ペンディング中のセマフォ x 割込みステータスを HSEM_CnICR でクリアします。
  セマフォ x のロックを再度試みます。
  - セマフォロックを取得できた場合は（セマフォは最初のロック試行とセマフォ割込みステータスクリアの間に開放されている）、HSEM_CnIER のセマフォ割込みを無効にしてください。
  - セマフォロックが失敗した場合は、セマフォの開放時の割込みを待ちます。

注： **割込みによってセマフォがロックされることはありません。割込み後、AHB バスマスタまたはプロセスのどちらかで、セマフォをロックするためのロック手順を実行する必要があります。**

セマフォの開放時の割込みで通知される AHB バスマスタを、複数持つことができます。各 AHB バスマスタはその割込みを取得し、最初に反応したバスマスタによってセマフォをロックします。

38.3.8 AHB バスマスタ ID 照合

セマフォをロック／アンロックする際、HSEM では許可された AHB バスマスタ ID のみを使用できます。

- セマフォの HSEM_Rx レジスタへの AHB バスマスタの 2 ステップロック書込みアクセスが、有効なバスマスタ ID に対してチェックされます。
  - 許可されていない AHB バスマスタ ID からのアクセスは破棄され、セマフォがロックされることはありません。
- セマフォの HSEM_RLRx レジスタへの AHB バスマスタの 1 ステップロック読出しアクセスが、有効なバスマスタ ID に対してチェックされます。
  - 許可されていない AHB バスマスタ ID の HSEM_RLRx からの読出しにはオール 0 が返されます。
- セマフォをアンロックする HSEM_CR レジスタへの書込みアクセスが、有効なバスマスタ ID に対してチェックされます。有効なバスマスタ ID のみが HSEM_CR レジスタに書き込んで任意の COREID セマフォをアンロックできます。
  - 許可されていない AHB バスマスタ ID からのアクセスは破棄され、COREID セマフォがクリアされることはありません。

表 238 に、バスマスタ／プロセッサ と COREID の関係について示します。

表 238. 許可された AHB バスマスタ ID

バスマスタ 0 （processor1）	バスマスタ 1 （processor2）
COREID = 4	COREID = 8

注： **許可されていない AHB バスマスタ ID からほかのレジスタへのアクセスは許可されます。**

38.4 HSEM レジスタ

レジスタにはワードフォーマットでアクセスする必要があります。バイトおよびハーフワードによるアクセスは無視され、セマフォに影響することはありませんが、バスエラーを生成します。

38.4.1 HSEM レジスタセマフォ x（HSEM_Rx）

アドレスオフセット：0x000 + 0x4 * x（x = 0〜 31）

リセット値：0x0000 0000

2 ステップの書込みロック、読み戻し、およびセマフォのアンロックを実行するには、HSEM_Rx を使用する必要があります。許可された AHB バスマスタ ID を持つ書込みアクセスのみが許可されます。許可されていない AHB バスマスタ ID を持つ書込みアクセスは破棄されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				PROCID[7:0]							
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **LOCK**：ロック表示

このビットの書込み／読出しは、ソフトウェアで行うことができます。

0：書込み時にセマフォを開放し（COREID と PROCID が一致する場合のみ）、読出し時にセマフォが開放されます。

1：書込み時にセマフォのロックを試行し、読出し時にセマフォはロックされています。

ビット 30:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **COREID[3:0]**：セマフォ COREID

次の場合、ソフトウェアによって書き込まれます。

- セマフォが解放されていて、同時に LOCK ビットに 1 が書き込まれ、COREID が AHB バスマスタ ID と一致している場合。
- セマフォがアンロックされると（LOCK に 0 が書き込まれ、AHB バスマスタ ID が COREID と一致する場合）、COREID は 0 にクリアされます。
- セマフォがアンロックされると（LOCK ビットに 0 が書き込まれるか、AHB バスマスタ ID が COREID と一致しない場合）、COREID はその影響を受けません。
- LOCK ビットがすでに 1 の場合（セマフォがロックされている場合）に書き込むと、COREID は影響を受けません。
- 許可された読出しにより、格納された COREID 値が返されます。

ビット 7:0 **PROCID[7:0]**：セマフォ PROCID

次の場合、ソフトウェアによって書き込まれます。

- セマフォが解放されていて、LOCK に 1 が書き込まれており、COREID が AHB バスマスタ ID と一致している場合に、PROCID は書き込まれたデータにセットされます。
- セマフォがアンロックされ、LOCK に 0 が書き込まれ、AHB バスマスタ ID が COREID と一致する場合、PROCID は 0 にクリアされます。
- セマフォがアンロックされ、LOCK ビットに 0 が書き込まれ、AHB バスマスタ ID が COREID と一致しない場合、PROCID はその影響を受けません。
- LOCK ビットがすでに 1 の場合（セマフォがロックされている場合）に書き込むと、PROCID は影響を受けません。
- 許可された読出しにより、格納された PROCID 値が返されます。

38.4.2 HSEM 読出し ロックレジスタセマフォ x（HSEM_RLRx）

アドレスオフセット：0x080 + 0x4 * x（x = 0～ 31）

リセット値：0x0000 0000

HSEM_Rx と同じ物理ビットにアクセスします。1 ステップの読出しロックを実行するには、HSEM_RLRx を使用します。許可された AHB バスマスタ ID を持つ読出しアクセスのみが許可されます。許可されていない AHB バスマスタ ID を持つ読出しアクセスは破棄され、0 が返されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				PROCID[7:0]							
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31 **LOCK**：ロック表示

このビットは、このアドレスでソフトウェアによってのみ読み出されます。

- セマフォが解放されている場合：

有効な AHB バスマスタ ID を使用して読み出すと、セマフォがロックされ、1 が返されます。

- セマフォがロックされている場合：

有効な AHB バスマスタ ID を使用して読み出すと、1 が返されます（COREID および PROCID にはすでにロックされているセマフォ情報が反映されています）。

ビット 30:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **COREID[3:0]**：セマフォ COREID

このフィールドは、このアドレスでソフトウェアによってのみ読み出されます。

読出し時、セマフォが開放されている場合、ハードウェアはセマフォを読み出す AHB バスマスタ ID に COREID をセットします。セマフォをロックしている AHB バスマスタの COREID が読み出されます。

読出し時、セマフォがロックされている場合、このフィールドはセマフォをロックしている AHB バスマスタの COREID を返します。

ビット 7:0 **PROCID[7:0]**：セマフォプロセッサ ID

このフィールドは、このアドレスでソフトウェアによってのみ読み出されます。

- 読出し時、セマフォが開放されている場合：

有効な AHB バスマスタ ID を使用した読出しにより、セマフォがロックされ、ハードウェアにより PROCID に 0 がセットされます。

- セマフォがロックされている場合：

有効な AHB バスマスタ ID を使用した読出しにより、セマフォをロックした AHB バスマスタの PROCID が返されます。

38.4.3 HSEM 割込み有効レジスタ（HSEM_CnIER）

アドレスオフセット：0x100 + 0x010 * (n - 1)、（n = 1～2）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ISE[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISE[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **ISE[31:0]**：セマフォ x の割込み（n）イネーブルビット（x = 0～31）

このビットはソフトウェアによって書込み／読出しされます。

0：セマフォ x の割込み（n）生成は無効です（マスクされます）。

1：セマフォ x の割込み（n）生成は有効です（マスクされません）。

38.4.4 HSEM 割込みクリアレジスタ（HSEM_CnICR）

アドレスオフセット：0x104 + 0x010 * (n - 1)、（n = 1～2）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ISC[31:16]															
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISC[15:0]															
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

ビット 31:0 **ISC[31:0]**：セマフォ x の割込み(n)クリアビット（x = 0～31)

このビットはソフトウェアによって書き込まれ、常に 0 を読み出します。

0：セマフォ x の割込み（n）ステータス ISFx およびマスクされたステータス MISFx は影響を受けません。

1：セマフォ x の割込み（n）ステータス ISFx およびマスクされたステータス MISFx はクリアされます。

38.4.5 HSEM 割込みステータスレジスタ（HSEM_CnISR）

アドレスオフセット：0x108 + 0x010 * (n - 1)、（n = 1～2）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ISF[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ISF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **ISF[31:0]：**有効化（マスク）する前のセマフォ x の割込みのステータスビット（x = 0～31）

このビットはハードウェアでセットされ、ソフトウェアによってのみリセットされます。このビットは、ソフトウェアが対応する HSEM_CnICR ビットに書き込むことによってクリアされます。

0：割込みのセマフォ x ステータス、ペンディング状態の割込みなし

1：割込みのセマフォ x ステータス、ペンディング状態の割込みあり

38.4.6 HSEM 割込みステータスレジスタ（HSEM_CnMISR）

アドレスオフセット：0x10C + 0x010 * (n - 1)、（n = 1～2）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MISF[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MISF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **MISF[31:0]：**有効化（マスク）した後のマスクされたセマフォ x の割込み（n）のステータスビット（x = 0～31）

このビットはハードウェアでセットされ、ソフトウェアによってのみ読み出されます。このビットは、ソフトウェアが対応する HSEM_CnICR ビットに書き込むことによってクリアされます。セマフォ x ステータスが HSEM_CnIER ビット x でマスクされているとき、このビットは 0 として読み出されます。

0：ペンディング状態ではないマスク後のセマフォ x の割込み（n）のステータス

1：ペンディング状態のマスク後のセマフォ x の割込み（n）のステータス

38.4.7 HSEM クリアレジスタ（HSEM_CR）

アドレスオフセット：0x140

リセット値：0x0000 0000

許可された AHB バスマスタ ID を持つ書込みアクセスのみが許可されます。許可されていない AHB バスマスタ ID を持つ書込みアクセスは破棄されます。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	COREID[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				w	w	w	w								

ビット 31:16 **KEY[15:0]**：セマフォクリアキー

このフィールドはソフトウェアによって書き込まれ、常に 0 を読み出します。

このキー値が HSEM_KEYR.KEY と一致しない場合、セマフォへの影響はありません。

このキー値が HSEM_KEYR.KEY と一致する場合、COREID と一致するすべてのセマフォが開放状態にクリアされます。

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **COREID[3:0]**：クリアするセマフォの COREID

このフィールドはソフトウェアによって書き込まれ、常に 0 を読み出します。

このフィールドは、HSEM_CR 書込み時にセマフォをクリアする COREID を示します。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

38.4.8 HSEM セマフォクリアキーレジスタ（HSEM_KEYR)

アドレスオフセット：0x144

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:16 **KEY[15:0]**：セマフォクリアキー

このフィールドの書込み／読出しは、ソフトウェアで行うことができます。

セマフォをクリアする際に合わせるキー値。

ビット 15:0 予約済みであり、リセット値に保持する必要があります。

38.4.9 HSEM レジスタマップ

表 239. HSEM レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	**HSEM_R0**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID[7:0]							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
0x004	**HSEM_R1**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID[7:0]							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
⋮																																	
0x07C	**HSEM_R31**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID[7:0]							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
0x080	**HSEM_RLR0**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
0x084	**HSEM_RLR1**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID[7:0]							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
⋮																																	
0x0FC	**HSEM_RLR31**	LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COREID [3:0]				PROCID[7:0]							
	リセット値	0																				0	0	0	0	0	0	0	0	0	0	0	0
0x100	**HSEM_C1IER**	ISE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x104	**HSEM_C1ICR**	ISC[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x108	**HSEM_C1ISR**	ISF[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10C	**HSEM_C1MISR**	MISF[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x110	**HSEM_C2IER**	ISE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x114	**HSEM_C2ICR**	ISC[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x118	**HSEM_C2ISR**	ISF[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 239. HSEM レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x11C	**HSEM_C2MISR**	MISF[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x140	**HSEM_CR**	KEY[15:0]																Res.	Res.	Res.	Res.	COREID[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0								
0x144	**HSEM_KEYR**	KEY[15:0]																Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

39 ユニバーサルシリアルバスフルスピードデバイスインタフェース（USB）

39.1 概要

USB ペリフェラルは、フルスピードの USB 2.0 バスと APB1 バスの間のインタフェースを実装します。

USB サスペンド／レジュームがサポートされるため、節電のためにデバイスのクロックを停止できます。

39.2 USB の主な機能

- USB 仕様バージョン 2.0 フルスピード準拠
- 1 から 8 まで設定可能なエンドポイント数
- 1024 バイトの専用パケットバッファメモリ（SRAM）
- 巡回冗長検査（CRC）の生成／チェック、NRZI（Non-return-to-zero Inverted）方式のエンコード／デコード、およびビットスタッフィング
- アイソクロナス転送サポート
- ダブルバッファバルク／アイソクロナスエンドポイントサポート
- USB サスペンド／レジューム操作
- フレームロッククロックパルス生成
- USB 2.0 リンク電源管理サポート
- バッテリ充電仕様 Revision 1.2 サポート
- USB 接続／切断機能（USB DP ライン上の制御可能な組み込みプルアップレジスタ）

39.3 USB の実装

表 240 に、デバイスでの USB 実装を示します。

表 240. USB の実装

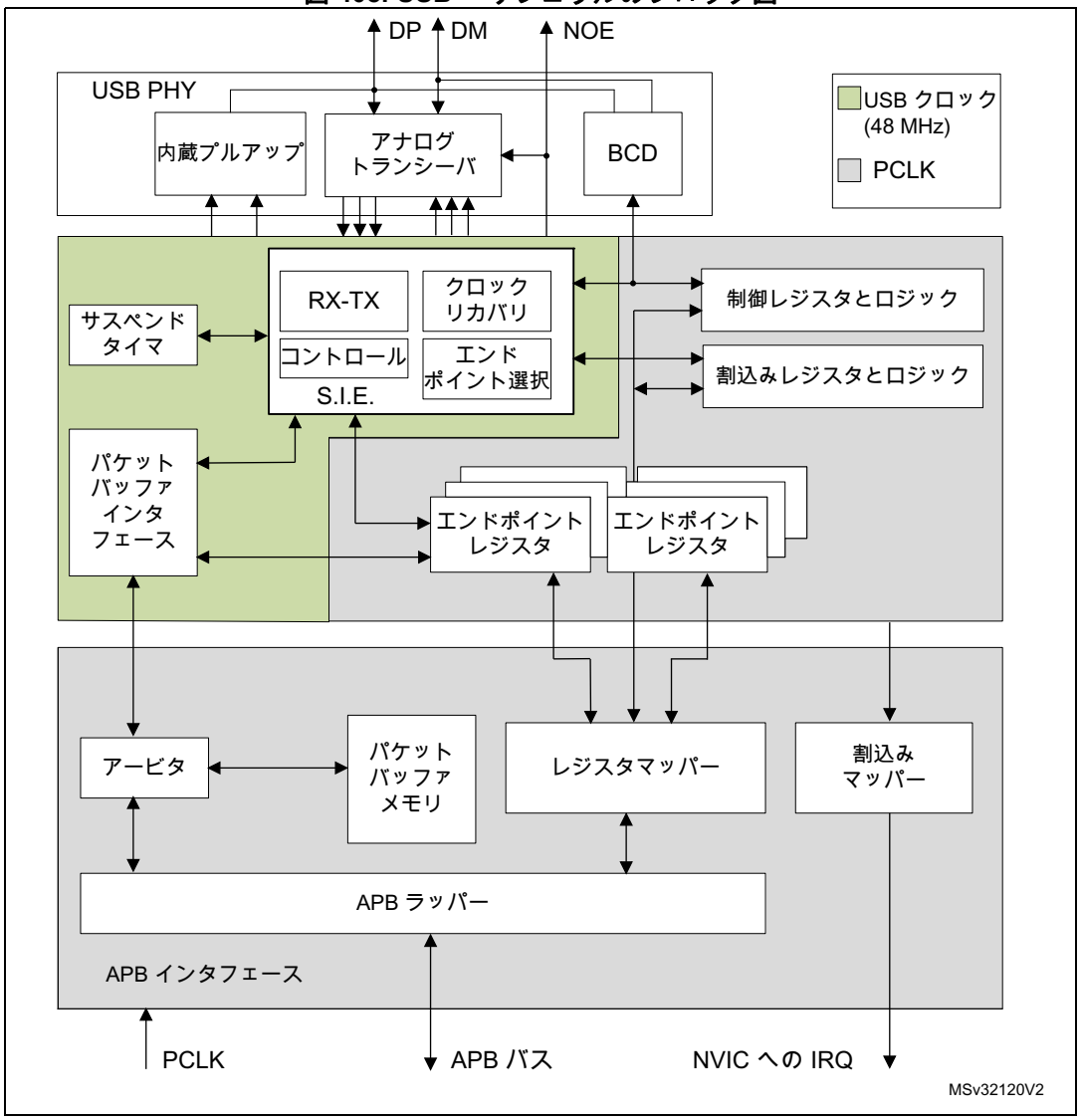
USB の機能(1)	USB
エンドポイント数	8
専用パケットバッファメモリ SRAM のサイズ	1024 バイト
専用パケットバッファメモリ SRAM のアクセス方式	2 x 16 ビット/ワード
USB 2.0 リンク電源管理（LPM）のサポート	X
バッテリ充電検出（BCD）のサポート	X
USB_DP ライン上の組み込みプルアップレジスタ	X

1. X = サポート。

39.4 USB の機能説明

図 408 に、USB ペリフェラルのブロック図を示します。

図 408. USB ペリフェラルのブロック図



USB ペリフェラルは、ホスト PC とマイクロコントローラによって実装される機能の間に USB 準拠接続を提供します。ホストPC とシステムメモリ間のデータ転送は、USB ペリフェラルによって直接アクセスされる専用パケットバッファメモリを通じて行われます。この専用メモリのサイズは1024バイトであり、最大 16 の単方向または 8 つの双方向エンドポイントを使用できます。USB ペリフェラルは USB ホストとインタフェースして、トークンパケットを検出し、データの送受信を処理し、USB 標準の要求に従ってハンドシェイクパケットを処理します。トランザクションのフォーマット化は、CRC の生成とチェックも含めて、ハードウェアによって行われます。

各エンドポイントは、エンドポイント関連のメモリ領域の位置、その大きさ、または送信バイト数を示すバッファ記述ブロックに関連付けられています。有効な機能／エンドポイントのペアのトークンが USB ペリフェラルによって検出されると、関連するデータ転送が行われます（必要であり、エンドポイントが設定されている場合）。USB ペリフェラルによってバッファされたデータは、内部 16 ビットレジスタに配置され、専用バッファへのメモリアクセスが行われます。すべてのデータが転送

されると、必要な場合には、転送方向に従って、適切なハンドシェイクパケットが USB 経由で生成され、または転送の方向によって期待されます。

トランザクションの終了時には、エンドポイント固有の割込みが生成され、ステータスレジスタを読み出すか、別の割込み応答ルーチンを使用します。マイクロコントローラは、以下を決めることができます。

- 処理するエンドポイント
- エラーが発生した場合に行うトランザクションのタイプ（ビットスタッフィング、フォーマット、CRC、プロトコル、ACK の欠如、オーバーラン／アンダーランなど）

アイソクロナス転送と高スループットバルク転送に対する特別なサポートが提供され、ダブルバッファ私用が実装されることにより、USB ペリフェラルが使用できるバッファが常にあり、マイクロコントローラ用のバッファが別にあります。

必要なときには、制御レジスタに書き込むことによって、ユニットを低電力モード（SUSPEND モード）にできます。このとき、すべての静的消費電流が回避され、USB クロックをスローダウンまたは停止できます。低電力モード中に USB 入力でアクティビティが検出されると、デバイスは非同期でウェイクアップします。特殊な割込みソースをウェイクアップラインに直接接続することにより、システムは通常のクロック生成をただちに再開し、直接クロックの開始／停止をサポートできます。

39.4.1 USB ブロックの説明

USB ペリフェラルは USB インタフェースに関するすべての機能を実装し、これには以下のブロックが含まれます。

- USB 物理インタフェース（USB PHY）: このブロックは、外部 USB ホストへの電気インタフェースを維持します。ディファレンシャルアナログトランシーバ本体、制御可能な組み込みプルアップレジスタ（USB_DP ラインに接続）、およびバッテリ充電検出（BCD）のサポート、同じ USB_DP および USB_DM ラインでの多重化を含みます。アナログトランシーバの出力有効制御信号（アクティブロー）は、USB_NOE により外部から供給されます。これを使用して、アクティビティ LED を駆動したり、実際の通信方向に関する情報を他の回路に提供することができます。
- シリアルインタフェースエンジン（SIE）: このブロックの機能には、同期パターン認識、ビットスタッフィング、CRC 生成およびチェック、PID 確認／生成、およびハンドシェイク評価が含まれます。USB トランシーバとインタフェースし、ローカルデータストレージ用のパケットバッファインタフェースによって提供される仮想バッファを使用する必要があります。このユニットは、フレーム開始（SOF）、USB_Reset、データエラーなどの USB ペリフェラルイベントと、送信終了、パケットの正しい受信などのエンドポイント関連イベントに従って信号を生成し、これらの信号は割込みの生成に使用されます。
- タイマ : このブロックは、フレーム開始ロッククロックパルスを生成し、トラフィックが 3 ms の間、受信されなかったときにはグローバルサスペンドを（ホストから）検出します。
- パケットバッファインタフェース : このブロックは、ローカルメモリを管理して、送信と受信の両方のためのバッファのセットを柔軟に実装します。SIE から着信したリクエストに従って適切なバッファを選び、エンドポイントレジスタによって示されるメモリアドレスに配置します。パケットの終わりまで、各バイトの交換後にアドレスをインクリメントして、交換バイト数を追跡し、バッファが最大容量までオーバーランするのを防ぎます。

- エンドポイント関連レジスタ：各エンドポイントには、エンドポイントのタイプと現在のステータスを含んだレジスタが関連付けられます。単方向／シングルバッファエンドポイントの場合、1 つのレジスタで 2 つのエンドポイントを実装できます。レジスタの数は 8 つであり、最大 16 の単方向／シングルバッファまたは最大 7 つのダブルバッファエンドポイントを任意の組み合わせで使用できます。たとえば、USB ペリフェラルをプログラムして、4 つのダブルバッファエンドポイントと 8 つのシングルバッファ／単方向エンドポイントを使用できます。
- 制御レジスタ：これらは USB ペリフェラル全体のステータスに関する情報を含むレジスタであり、レジュームやパワーダウンなどの USB イベントを強制するために使用されます。
- 割込みレジスタ：これらは割込みマスクとイベントのレコードを含みます。割込み理由、割込みステータスの問い合わせや、保留中の割込みのステータスをクリアするために使用できます。

注： *** エンドポイント 0 は、常にシングルバッファモードでの転送の制御に使用されます。**

USB ペリフェラルは APB1 バスに APB1 インタフェースを通じて接続され、以下のブロックを含みます。

- パケットメモリ：これは、パケットバッファを物理的に含むローカルメモリです。パケットバッファインタフェースによって使用して、データ構造を作成し、アプリケーションソフトウェアから直接アクセスできます。パケットメモリのサイズは、1024 バイトであり、16 ビットの 512 個のハーフワードで構成されます。
- アービタ：このブロックは、APB1 バスおよび USB インタフェースから着信するリクエストを受け入れます。APB1 アクセスに優先順位を付けることによってコンフリクトを解決するとともに、常にメモリ帯域幅の半分をすべての USB 転送を完了するために確保しています。このタイムデュプレックス方式によって仮想デュアルポート SRAM が実装され、USB トランザクション中のメモリアクセスを可能にします。この方式により、任意の長さのマルチワード APB1 転送も可能です。
- レジスタマッパー：このブロックは、USB ペリフェラルのさまざまなバイト長およびビット長のレジスタをAPB1によってアドレス指定され構造化された 16 ビット長のハーフワードセットに集めます。
- APB1 ラッパー：これは、メモリとレジスタに APB1 へのインタフェースを提供します。また、USB ペリフェラル全体を APB1 アドレス空間にマップします。
- 割込みマッパー：このブロックは、USB イベントによって割込みを生成する方法を選択し、それらを NVIC にマップするために使用されます。

39.5 プログラミングに関する考慮事項

以下のセクションでは、アプリケーションソフトウェア開発を容易にするために、USB ペリフェラルとアプリケーションプログラムの間の予期される相互作用について説明します。

39.5.1 汎用 USB デバイスのプログラミング

このパートでは、USB 準拠動作を得るためにアプリケーションソフトウェアに必要な主なタスクについて説明します。ほとんどの汎用 USB イベントに関連するアクションが考慮に入れられており、ダブルバッファエンドポイントとアイソクロナス転送という特殊ケースについて、それぞれのパラグラフで説明します。システムリセットを別にすると、アクションは常に USB ペリフェラルによって開始され、以下に述べる USB イベントの 1 つによって駆動されます。

39.5.2 システムリセットとパワーオンリセット

システムリセットおよびパワーオンリセットの際、アプリケーションソフトウェアが最初に実行すべき操作は、必要なクロック信号のすべてを USB ペリフェラルに与えることであり、その後、リセット信号をネゲートして、レジスタにアクセスできるようにしなければなりません。初期化シーケンス全体は、以下のとおりです。

最初のステップとして、アプリケーションソフトウェアは、デバイスクロック管理ロジックによって提供される関連の制御ビットを使用して、レジスタマクロセルクロックを有効にし、マクロセル固有のリセット信号をネゲートする必要があります。

その後、CNTR レジスタの PDWN ビットを使用して、USB トランシーバに関連するデバイスのアナログ部分をオンにする必要があり、これには特別な処理が必要です。このビットは、ポートトランシーバに供給される内部電圧基準をオンにすることを目的としています。この回路にはスタートアップ時間が定義されており（データシートで指定されている $t_{STARTUP}$）、この間の USB トランシーバの動作は定義されていません。したがって、CNTR レジスタの PDWN ビットをセットした後、この時間だけ待つ必要があり、その後、USB 部分のリセット条件を解除します（CNTR レジスタの FRES ビットをクリアすることによって）。ISTR レジスタをクリアすると、他のマクロセル動作が有効になる前に、誤って保留中の割込みが削除されます。

システムリセット時には、マイクロコントローラは必要なすべてのレジスタとパケットバッファ記述テーブルを初期化して、USB ペリフェラルが割込みとデータ転送を正しく生成できるようにする必要があります。エンドポイント固有ではないレジスタはすべて、アプリケーションソフトウェアの必要に応じて初期化する必要があります（有効にする割込みの選択、パケットバッファのアドレスの選択など）。USB リセットの場合、その後、プロセスが続行します（以下のパラグラフを参照）。

USB リセット（RESET 割込み）

このイベントが発生すると、USB ペリフェラルは、前のパラグラフで説明した初期化後のシステムリセットと同じ条件になります。すなわち、すべてのエンドポイントレジスタで通信が無効になります（USB ペリフェラルはパケットに応答しません）。USB リセットイベントに対して、USB 機能を有効にして、USB アドレスを 0 にし、デフォルトのコントロールエンドポイントのみを実装します（エンドポイントアドレスも 0）。これは、USB_DADDR レジスタの機能有効（EF）ビットをセットし、EP0R レジスタと関連するパケットバッファを初期化することによって行われます。USB エニュメレーションプロセス時、ホストは一意なアドレスをこのデバイスに割り当て、これが USB_DADDR レジスタの ADD[6:0] ビットに書き込まれなければならず、他に必要なエンドポイントを設定する必要があります。

RESET 割込みが受信されると、アプリケーションソフトウェアは、割込みをトリガしたリセットシーケンスの終了から 10 ms 以内に、USB 機能 0 のデフォルトのエンドポイントを再び有効にする必要があります。

パケットバッファの構造と用途

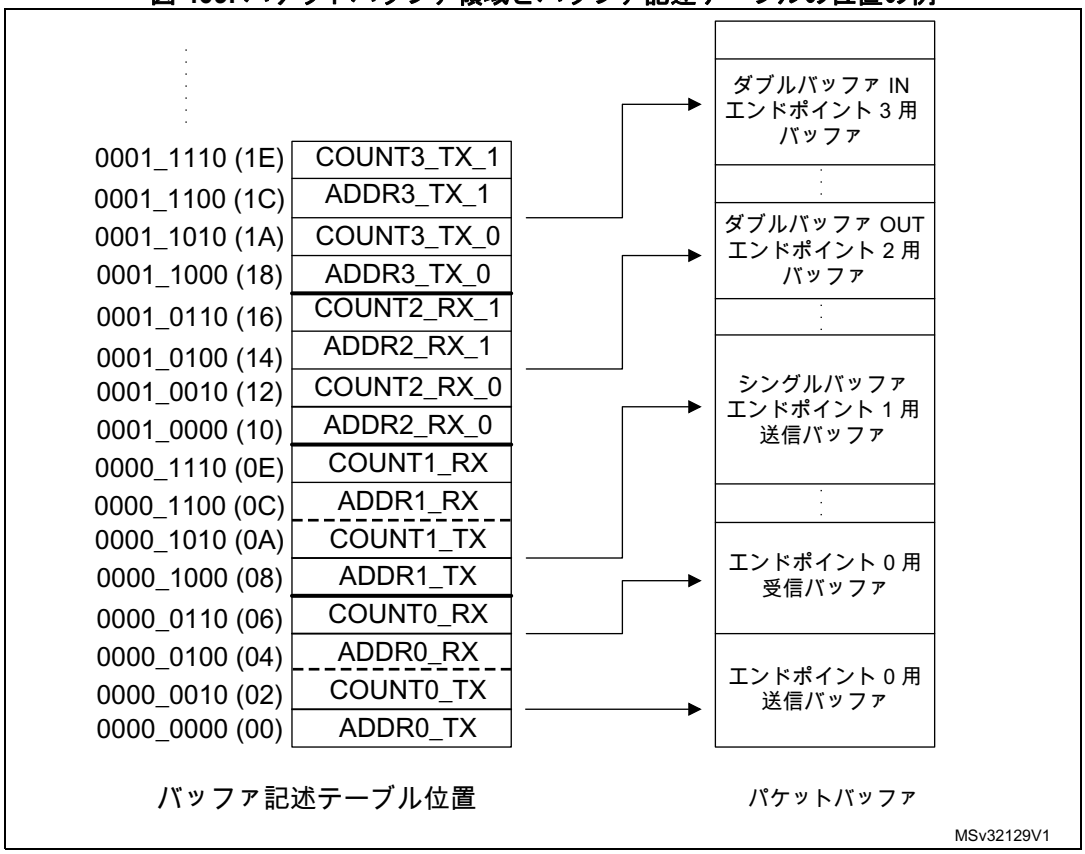
各双方向エンドポイントは、ホストとの間でデータを送受信できます。受信データは、そのエンドポイント用に予約された専用のメモリバッファに格納され、別のメモリバッファにはエンドポイントによって送信されるデータが格納されます。このメモリへのアクセスは、パケットバッファインタフェースブロックによって行われ、これはメモリアクセスリクエストを配信し、確認応答を待ちます。マイクロコントローラもパケットバッファメモリにアクセスする必要があるので、アクセスコンフリクトを避けるためにアービトレーションロジックが使用され、APB1 サイクルの半分がマイクロコントローラのアクセスに使用され、残りの半分が USB ペリフェラルのアクセスに使用されます。このように、パケットメモリがデュアルポート SRAM であるかのように両方のエージェントが動作でき、マイクロコントローラが連続アクセスを実行中でも、コンフリクトを気にする必要がありません。USB ペリフェラルロジックは、専用クロックを使用します。この専用クロックの周波数は、USB 標準の要件により 48 MHz に固定されており、これは APB1 バスへのインタフェースに使用されるク

ロックと異なる場合があります。APB1 クロック周波数が USB ペリフェラルのクロック周波数より高い、または低い場合、さまざまなクロック設定が可能です。

注： **USB データレートとパケットメモリインタフェース要件により、APB1 クロックは、データのオーバーラン／アンダーラン問題を回避するために、少なくとも 10 MHz 以上の周波数でなければなりません。**

各エンドポイントには 2 つのパケットバッファが関連付けられます（通常は、送信用に 1 つ、受信用に 1 つ）。バッファの位置とサイズはバッファ記述テーブルで指定されるので、バッファはパケットメモリ内の任意の場所に配置でき、このテーブルも USB_BTABLE レジスタによって示されるパケットメモリ内のアドレスに配置されます。各テーブルエントリがエンドポイントレジスタに関連付けられ、4 つの 16 ビットハードワードで構成されるため、テーブル開始アドレスは常に 8 バイトの境界に揃えられます（USB_BTABLE レジスタの下位 3 ビットは常に 000）。バッファディスクリプタテーブルのエントリについては、セクション 39.6.2：バッファディスクリプタテーブルで説明します。エンドポイントが単方向であり、アイソクロナスでもダブルバッファバルクでもない場合、必要なパケットバッファは 1 つだけです（サポートされる転送方向に応じた 1 つのバッファ）。サポートされない転送方向または未使用のエンドポイントに関連するテーブル位置は、ユーザが使用できます。アイソクロナスおよびダブルバッファバルクエンドポイントには、パケットバッファの特別な取り扱いがあります（それぞれ、セクション 39.5.4：アイソクロナス転送およびセクション 39.5.3：ダブルバッファエンドポイントを参照）。バッファ記述テーブルのエントリとパケットバッファ領域の関係を図 409 に示します。

図 409. パケットバッファ領域とバッファ記述テーブルの位置の例



各パケットバッファは、始めから終わりまで、受信または送信のいずれかに使用されます。USB ペリフェラルは、割り当てられたメモリバッファに隣接するメモリ位置の内容を変えることはありません。割り当てられたバッファ長を超えるパケットが受信された場合（バッファオーバーラン条件）、使用可能なメモリバッファの範囲内でのみ、データはメモリにコピーされます。

エンドポイントの初期化

エンドポイントを初期化するための最初のステップは、ADDRn_TX/ADDRn_RX レジスタに適切な値を書き込んで、送信データがすでに使用可能になったことと、受信データをバッファできることを USB ペリフェラルに知らせることです。USB_EPnR レジスタの EP_TYPE ビットをエンドポイントのタイプに応じてセットし、最終的には EP_KIND ビットを使用して、特に必要な機能を有効にする必要があります。送信側では、USB_EPnR レジスタの STAT_TX ビットを使用してエンドポイントを有効にする必要があり、COUNTn_TX を初期化する必要があります。受信の場合、STAT_RX ビットをセットして受信を有効にする必要があり、BL_SIZE および NUM_BLOCK フィールドを使用して、割り当てられたバッファサイズを COUNTn_RX に書き込む必要があります。単方向エンドポイントは、アイソクロナスおよびダブルバッファバルクエンドポイントを除き、サポートされる方向に関するビットとレジスタのみを初期化する必要があります。送信または受信が有効になると、レジスタ USB_EPnR と位置 ADDRn_TX/ADDRn_RX、COUNTn_TX/COUNTn_RX（それぞれ）をアプリケーションソフトウェアで変更しないでください。これらの値はハードウェアが直接変更できます。データ転送操作が完了し、CTR 割込みイベントによって通知されると、再びアクセスできるようになり、新しい操作を再び有効にできます。

IN パケット（データ送信）

IN トークンパケットを受信するとき、受信したアドレスが設定済みの有効なエンドポイントと一致した場合、USB ペリフェラルは、アドレス指定されたエンドポイントに関連するバッファディスクリプタテーブルエントリ内の ADDRn_TX および COUNTn_TX 位置にアクセスします。これらの位置の内容は、内部 16 ビットレジスタ ADDR および COUNT に格納されます（ソフトウェアからはアクセスできません）。パケットメモリが再びアクセスされ、最初の送信バイトを読出し（1305 ページのパケットバッファの構造と用途を参照）、USB_EPnR のビット DTOG_TX に従って、DATA0 または DATA1 PID の送信を開始します。PID が完了すると、バッファメモリから読み出された最初のバイトが出力シフトレジスタにロードされ、USB バスで送信されます。最後のデータバイトが送信された後、計算された CRC が送信されます。アドレス指定されたエンドポイントが有効でなかった場合は、USB_EPnR レジスタの STAT_TX ビットに従って、NAK または STALL ハンドシェイクパケットがデータパケットの代わりに送信されます。

ADDR 内部レジスタは、現在のバッファメモリ位置を指すポインタとして使用され、COUNT は、残りの送信バイト数をカウントするために使用されます。パケットバッファメモリから読み出された各ハーフワードは、最下位バイトから順に USB バスで送信されます。送信バッファメモリは、COUNTn_TX/2 ハーフワードの場合、ADDRn_TX によって示されるアドレスから順に読み出されます。送信パケットが奇数個のバイトで構成される場合、最後にアクセスされたハーフワードの下位半分のみが使用されます。

ホストが ACK を受信した場合、USB_EPnR レジスタは次のように更新されます。DTOG_TX ビットがトグルされ、STAT_TX=10（NAK）をセットすることによってエンドポイントが無効化され、ビット CTR_TX がセットされます。アプリケーションソフトウェアは、まず、USB_ISTR レジスタの EP_ID および DIR ビットを調べることによって、マイクロコントローラの処理を要求しているエンドポイントを識別する必要があります。CTR_TX イベントの処理は、割込みビットをクリアすることから始まります。次に、アプリケーションソフトウェアは、送信データでいっぱいの別のバッファを準備し、COUNTn_TX テーブル位置を次の転送時に送信されるバイト数で更新し、最後に、STAT_TX を 11（VALID）にセットして、送信を再び有効にします。STAT_TX ビットが 10（NAK）に等しいときには、そのエンドポイントにアドレス指定された IN リクエストは NAK され、フロー制御条件を示します。USB ホストは、成功するまで、トランザクションを再試行します。CTR 割込みをトリガしたトランザクションの直後に、同じエンドポイントにアドレス指定された 2 番目の IN トランザクションの通知が失われるのを避けるためには、一連の操作を上記の順序で実行する必要があります。

OUT および SETUP パケット（データ受信）

この 2 つのトークンは、USB ペリフェラルによっておおむね同じように扱われます。SETUP パケットの取り扱いにおける違いについては、制御転送に関する以下のパラグラフで詳しく述べます。OUT/SETUP PID を受信するとき、アドレスが有効なエンドポイントと一致した場合、USB ペリフェラルは、アドレス指定されたエンドポイントに関連するバッファディスクリプタテーブルエントリ内の ADDRn_RX および COUNTn_RX 位置の内容にアクセスします。ADDRn_RX の内容は、内部レジスタ ADDR に直接格納されます。COUNT がリセットされ、BL_SIZE および NUM_BLOCK ビットフィールドの値が COUNTn_RX 内に読み出されると、それを使用して BUF_COUNT が初期化され、これは、バッファオーバーラン条件のチェックに使用される内部 16 ビットカウンタです（これらの内部レジスタはすべて、ソフトウェアからはアクセスできません）。その後、USB ペリフェラルによって受信されるデータバイトは、ハーフワード単位でパケット化され（最初の受信バイトが最下位バイトとして格納されます）、内部 ADDR レジスタに含まれるアドレスから順にパケットバッファに転送され、各バイト転送により、BUF_COUNT はデクリメントされ、COUNT はインクリメントされます。DATA パケットの終わりが検出されると、受信された CRC の正しさがテストされ、受信時にエラーが発生しなかった場合のみ、ACK ハンドシェイクパケットが送信元ホストに送り返されます。

CRC が正しくなかった場合、または他の種類のエラー（ビットスタッフ違反、フレームエラーなど）が発生した場合、データバイトは、少なくともエラー検出ポイントまではパケットメモリにコピーされますが、ACK パケットは送信されず、USB_ISTR レジスタの ERR ビットがセットされます。ただし、この場合、通常はソフトウェアのアクションは不要です。USB ペリフェラルは受信エラーから回復し、次のトランザクションを処理する準備ができた状態を保ちます。アドレス指定されたエンドポイントが有効でなかった場合は、USB_EPnR レジスタの STAT_RX ビットに従って、NAK または STALL ハンドシェイクパケットがACKの代わりに送信され、データは受信メモリバッファに書き込まれません。

受信メモリバッファの位置は、ADDRn_RX に含まれるアドレスから、CRC を含めた受信データパケット長に対応するバイト数（データペイロード長 + 2）だけ、または、BL_SIZE および NUM_BLOCK によって定義された割り当て済みの最後のメモリ位置のいずれか先に来る方まで書き込まれます。このように、USB ペリフェラルは、割り当てられた受信メモリバッファ領域の終わりを超えて書き込むことはありません。データパケットペイロードの長さ（アプリケーションによって使用された実際のバイト数）が割り当てられたバッファより大きい場合、USB ペリフェラルはバッファオーバーラン条件を検出します。この場合、通常の ACK の代わりに STALL ハンドシェイクが送信されて、問題をホストに通知し、割込みは生成されず、トランザクションは失敗したとみなされます。

ACK ハンドシェイクパケットを送信することにより、トランザクションが正常に完了すると、内部 COUNT レジスタがバッファ記述テーブルエントリ内の COUNTn_RX 位置にコピーされ、影響を受けなかった BL_SIZE および NUM_BLOCK フィールドはそのままに保たれ（通常は再書込みの必要はありません）、USB_EPnR レジスタが次のように更新されます。DTOG_RX ビットがトグルされ、STAT_RX=10（NAK）をセットすることによってエンドポイントが無効化され、ビット CTR_RX がセットされます。エラーまたはバッファオーバーランによってトランザクションが失敗した場合、上記のアクションはいずれも実行されません。アプリケーションソフトウェアは、まず、USB_ISTR レジスタの EP_ID および DIR ビットを調べることによって、マイクロコントローラの処理を要求しているエンドポイントを識別する必要があります。CTR_RX イベントの処理は、まず、トランザクションのタイプを決定することによって行われます（USB_EPnR レジスタの SETUP ビット）。アプリケーションソフトウェアは、割込みフラグビットをクリアして、処理されるエンドポイントに関連するバッファ記述テーブルエントリ内の COUNTn_RX 位置を読み出して、受信バイト数を取得する必要があります。受信データが処理された後、アプリケーションは USB_EPnR の STAT_RX ビットを 11（有効）にセットして、次のトランザクションを有効にする必要があります。STAT_RX ビットが 10（NAK）に等しいときには、そのエンドポイントにアドレス指定された OUT リクエストは NAK され、フロー制御条件を示します。USB ホストは、成功するまで、トランザクションを再試行します。CTR 割込みをトリガしたトランザクションの直後に、同じエンドポイントにアドレス指定された 2 番目の OUT トランザクションの通知が失われるのを避けるためには、一連の操作を上記の順序で実行する必要があります。

制御転送

制御転送は、SETUP トランザクション、すべて同じ方向のゼロ個以上のデータステージ、およびステータスステージ（反対方向のゼロバイトの転送）で構成されます。SETUP トランザクションはコントロールエンドポイントのみによって処理され、OUT トランザクション（データ受信）と非常に似ていますが、制御転送を初期化するために、アドレス指定されたエンドポイントレジスタの DTOG_TX および DTOG_RX ビットの値がそれぞれ 1 と 0 にセットされる点と、ソフトウェアが後続のトランザクションが IN か OUT かを SETUP の内容に応じて決定できるように、STAT_TX と STAT_RX の両方が 10（NAK）にセットされる点が異なります。制御エンドポイントは CTR_RX イベントごとに USB_EPnR レジスタの SETUP ビットをチェックして、通常の OUT トランザクションと SETUP トランザクションを区別する必要があります。USB デバイスは、SETUP ステージで転送されたデータを解釈することによって、データステージの数と方向を判断でき、エラーの場合にはトランザクションを STALL する必要があります。そのためには、最後以外のすべてのデータステージで、未使用の方向を STALL にセットして、ホストが転送方向を反転するのが速過ぎた場合にはステータスステージとして STALL されるようにする必要があります。

最後のデータステージを有効にするときには、反対方向を NAK にセットして、ホストが（ステータスステージを実行するために）転送方向をすぐに反転した場合、制御操作の完了を待つようにする必要があります。制御操作が正常に完了した場合、ソフトウェアは NAK を VALID に変更し、そうでない場合は STALL に変更します。同時に、ステータスステージが OUT の場合、STATUS_OUT（USB_EPnR レジスタの EP_KIND）ビットをセットして、ステータストランザクションが非ゼロのデータで実行された場合はエラーが生成されるようにする必要があります。ステータストランザクションが処理されると、アプリケーションは STATUS_OUT ビットをクリアし、STAT_RX を VALID にセットし（新しいコマンドを受け入れるため）、STAT_TX を NAK にセットします（次のセットアップの直後のステータスステージを遅延するため）。

USB 仕様では、SETUP パケットには ACK 以外のハンドシェイクでは応答できず、結果として、以前に発行されたコマンドをアボートして新しいコマンドを開始すると規定されているため、USB ロジックでは、コントロールエンドポイントはホストから受信した SETUP トークンに対して NAK または STALL パケットで応答することはできません。

STAT_RX ビットが 01（STALL）または 10（NAK）にセットされ、SETUP トークンが受信されると、USB はデータを受け入れ、要求されたデータ転送を実行し、ACK ハンドシェイクを返送します。そのエンドポイントに以前に発行された CTR_RX リクエストがあり、アプリケーションによってまだ確認応答されていない場合（すなわち、CTR_RX ビットが以前に完了した受信からセットされたままになっている場合）、USB は SETUP トランザクションを破棄し、状態にかかわらずハンドシェイクパケットで応答せず、受信エラーをシミュレートして、ホストが SETUP トークンを再び送信しなければならないようにします。これは、CTR_RX 割込みをトリガしたトランザクションの直後に、同じエンドポイントにアドレス指定された SETUP トランザクションの通知が失われるのを避けるために行われます。

39.5.3 ダブルバッファエンドポイント

USB 標準によって定義されているすべてのエンドポイントタイプは、さまざまなトラフィックモデルを表し、各種のデータ転送操作の典型的な要件を記述しています。データの大部分をホスト PC と USB 機能の間で転送する必要があるときには、バルクエンドポイントタイプが最適のモデルです。ホストはバルクトランザクションをスケジュールして、フレーム内の使用可能な帯域幅のすべてをいっぱいにして、アドレス指定された USB 機能がバルクトランザクションを処理できる限り、実際の転送速度を最大化します。次のトランザクションが着信したときに、USB 機能が前のトランザクションでビジーであった場合は、NAK ハンドシェイクで応答し、ホスト PC は、USB 機能が処理できるようになるまで、同じトランザクションを再び発行するので、再送信によって帯域幅が占有されるため、実際の転送速度は低下します。このため、バルクエンドポイントでは、「ダブルバッファリング」と呼ばれる専用機能を使用できます。

「ダブルバッファリング」が有効なときには、データトグルシーケンシングが使用されて、USB ペリフェラルが要求されたデータ転送を実行するために使用するバッファが選択され、送信と受信の両方のパケットメモリ領域を使用して、トランザクションの成功ごとのバッファスワッピングを管理するため、アプリケーションは常に完全なバッファを使用でき、USB ペリフェラルは他方のバッファをいっぱいにします。たとえば、「受信」ダブルバッファバルクエンドポイント宛ての OUT トランザクション時、1 つのバッファが USB ホストから着信する新しいデータで満たされている間、もう 1 つのバッファはマイクロコントローラソフトウェアが使用できます（「送信」ダブルバッファバルクエンドポイントと IN トランザクションでも同様です）。

スワップバッファ管理には、アドレスポインタと割り当て済みメモリバッファの長さをホストする 4 つすべてのバッファ記述テーブル位置を使用する必要があるため、ダブルバッファバルクエンドポイントの実装に使用される USB_EPnR レジスタは、強制的に単方向として使用されます。したがって、1 つの STAT ビットのみを 00（無効）以外の値にセットする必要があります。ダブルバッファバルクエンドポイントが受信について有効な場合は STAT_RX、ダブルバッファバルクエンドポイントが送信について有効な場合は STAT_TX。ダブルバッファバルクエンドポイントを受信と送信の両方について有効にする必要がある場合は、2 つの USB_EPnR レジスタを使用する必要があります。

ダブルバッファリング機能を利用して、可能な限り高い転送速度を達成するには、前の章で説明したエンドポイントフロー制御構造を変更して、トランザクションの正常官僚の旅ではなく、USB ペリフェラルとアプリケーションの間でバッファコンフリクトが発生したときのみ、エンドポイントのステータスを NAK に切り替える必要があります。USB ペリフェラルによって現在使用されているメモリバッファは、エンドポイント方向に関連する DTOG ビットによって定義されます。すなわち、「受信」ダブルバッファバルクエンドポイントの場合は DTOG_RX（USB_EPnR レジスタのビット 14）、または「送信」ダブルバッファバルクエンドポイントの場合は DTOG_TX（USB_EPnR レジスタのビット 6）です。新しいフロー制御方式を実装するには、USB ペリフェラルはアプリケーションソフトウェアによって使用されているパケットバッファを知り、コンフリクトに注意する必要があります。USB_EPnR レジスタには 2 つの DTOG ビットがありますが、データおよびバッファシーケンシングのために USB ペリフェラルによって使用されるのは 1 つだけであり（ダブルバッファリング機能に必要な単方向成約のため）、もう 1 つはアプリケーションソフトウェアが、使用中のバッファを示すために使用できます。この新しいバッファフラグは、SW_BUF と呼ばれます。次の表で、「送信」および「受信」ダブルバッファバルクエンドポイントの場合の USB_EPnR レジスタのビットと DTOG/SW_BUF 定義の対応を説明します。

表 241. ダブルバッファリングバッファフラグの定義

バッファフラグ	「送信」エンドポイント	「受信」エンドポイント
DTOG	DTOG_TX（USB_EPnR ビット 6）	DTOG_RX（USB_EPnR ビット 14）
SW_BUF	USB_EPnR ビット 14	USB_EPnR ビット 6

USB ペリフェラルによって現在使用されているメモリバッファは、DTOG バッファフラグによって定義され、アプリケーションソフトウェアによって現在使用されているバッファは、SW_BUF バッファフラグによって示されます。バッファフラグの値と使用されているパケットバッファの関係は、どちらの場合も同じであり、次の表に示されています。

表 242. バルクダブルバッファリングメモリバッファの用途

エンドポイントタイプ	DTOG	SW_BUF	USB ペリフェラルによって使用されるパケットバッファ	アプリケーションソフトウェアによって使用されるパケットバッファ
IN	0	1	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。
	1	0	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
	0	0	なし (1)	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置。
	1	1	なし (1)	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置。
OUT	0	1	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。
	1	0	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。
	0	0	なし (1)	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置。
	1	1	なし (1)	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置。

1. NAK ステータスのエンドポイント。

バルクエンドポイントのダブルバッファリング機能は、次のようにして有効化されます。

- USB_EPnR レジスタの EP_TYPE ビットフィールドに 00 を書き込み、エンドポイントをバルクとして定義します。
- 同じレジスタの EP_KIND ビットを 1（DBL_BUF）にセットします。

アプリケーションソフトウェアは、最初に使用されるバッファに応じて、DTOG および SW_BUF ビットを初期化する責任があります。これは、この 2 つのビットが持つ特殊なトグル専用プロパティを考慮して行う必要があります。DBL_BUF のセット後に発生した初めてのトランザクションの終了により、ダブルバッファバルクエンドポイントの特殊なフロー制御がトリガされ、DBL_BUF がセットされたままである限り、このエンドポイントにアドレス指定された他のすべてのトランザクションについて、これが使用されます。各トランザクションの終了時、有効化された方向に応じて、アドレス指定されたエンドポイント USB_EPnR レジスタの CTR_RX または CTR_TX ビットがセットされます。同時に、USB_EPnR レジスタの影響を受けた DTOG ビットがハードウェアによってトグルされ、USB ペリフェラルのバッファスワッピングを完全にソフトウェアから独立させます。通常のトランザクション、および DBL_BUF のセット後の初めてのトランザクションと違って、STAT ビットペアはトランザクション終了の影響を受けず、値は 11（有効）のままです。ただし、新しいトランザクションのトークンパケットが受信されると、実際のエンドポイントステータスは、USB ペリフェラルとアプリケーションソフトウェアの間のバッファコンフリクトが検出されたときには 10（NAK）としてマスクされます（この条件は DTOG と SW_BUF が同じ値を持つことによって示されます。1311 ページの表 242 を参照）。アプリケーションソフトウェアは、CTR イベント通知に応答して、割込みフラグをクリアし、完了したトランザクションの要求された処理を開始します。アプリケーションパケッ

トバッファの仕様が終了すると、ソフトウェアは SW_BUF ビットに 1 を書き込んでトグルし、そのバッファが使用可能になったことを USB ペリフェラルに通知します。このように、NAK されるトランザクションの数は、トランザクションデータのアプリケーションエラボレーション時間によってのみ制限されます。エラボレーション時間が USB バスでのトランザクションの完了に必要な時間より短かった場合、フロー制御による再送信は行われず、実際の転送速度はホスト PC によってのみ制限されます。

アプリケーションソフトウェアは、11（有効）とは異なる明示的なステータスを、関連する USB_EPnR レジスタの STAT ビットペアに書き込むことによって、ダブルバッファバルクエンドポイントのために実装される特殊なフロー制御をオーバーライドできます。この場合、USB ペリフェラルは、バッファ使用条件に関係なく、プログラムされたエンドポイントステータスを常に使用します。

39.5.4 アイソクロナス転送

USB 標準は、固定された正確なデータ生成／消費周波数を必要とするフルスピードペリフェラルをサポートし、この種類のトラフィックを「アイソクロナス」として定義しています。このデータの典型的な例は、オーディオサンプル、圧縮ビデオストリーム、および一般に、供給される周波数の正確さについて厳密な要件を持つ、あらゆる種類のサンプルデータです。エニュメレーションフェーズでエンドポイントが「アイソクロナス」として定義されると、ホストは必要な帯域幅をフレームに割り当て、エンドポイントの方向に応じて、各フレームに正確に 1 つの IN または OUT パケットを供給します。帯域幅要件を制限するために、アイソクロナストラフィックについては、失敗したトランザクションの再送信はできません。このため、アイソクロナストランザクションにはハンドシェイクフェーズはなく、ACK パケットは予期されず、データパケット後に送信されません。同じ理由で、アイソクロナス転送はデータトグルシーケンシングをサポートせず、常に DATA0 PID を使用してデータパケットを開始します。

エンドポイントのアイソクロナス動作は、USB_EPnR レジスタの EP_TYPE ビットを 10 にセットすることによって選択されます。ハンドシェイクフェーズがないため、STAT_RX/STAT_TX ビットの唯一の正当な値は 00（無効）と 11（有効）であり、他の値の場合は、USB 標準に準拠しない結果になります。アイソクロナスエンドポイントはダブルバッファリングを実装して、アプリケーションソフトウェア開発を容易にし、「送信」と「受信」の両方のパケットメモリ領域を使用して、トランザクションの成功のたびにバッファスワッピングを管理し、アプリケーションは常に完全なバッファを使用でき、USB ペリフェラルはもう 1 つのバッファを満たします。

USB ペリフェラルによって現在使用されているメモリバッファは、エンドポイント方向に関する DTOG ビットによって、表 243 に従って定義されます（「受信」アイソクロナスエンドポイントの場合は DTOG_RX、「送信」アイソクロナスエンドポイントの場合は DTOG_TXであり、両方とも、関連する USB_EPnR レジスタ）。

表 243. アイソクロナスメモリバッファの使用

エンドポイントタイプ	DTOG ビットの値	USB ペリフェラルによって使用されるパケットバッファ	アプリケーションソフトウェアによって使用されるパケットバッファ
IN	0	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置
	1	ADDRn_TX_1 / COUNTn_TX_1 バッファ記述テーブル位置	ADDRn_TX_0 / COUNTn_TX_0 バッファ記述テーブル位置
OUT	0	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置
	1	ADDRn_RX_1 / COUNTn_RX_1 バッファ記述テーブル位置	ADDRn_RX_0 / COUNTn_RX_0 バッファ記述テーブル位置

ダブルバッファアイソクロナスエンドポイントで発生すると、アイソクロナスエンドポイントの実装に使用される USB_EPnR レジスタは強制的に単方向として使用されます。アイソクロナスエンドポイントを受信と送信の両方について有効にする必要がある場合は、2 つの USB_EPnR レジスタを使用する必要があります。

アプリケーションソフトウェアは、最初に使用されるバッファに応じて、DTOG ビットを初期化する責任があります。これは、この 2 つのビットが持つ特殊なトグル専用プロパティを考慮して行う必要があります。各トランザクションの終了時、有効化された方向に応じて、アドレス指定されたエンドポイント USB_EPnR レジスタの CTR_RX または CTR_TX ビットがセットされます。同時に、USB_EPnR レジスタの影響を受けた DTOG ビットがハードウェアによってトグルされ、バッファスワッピングを完全にソフトウェアから独立させます。STAT ビットペアはトランザクションの完了に影響を受けません。アイソクロナス転送ではハンドシェイクフェーズがないため、フロー制御は不可能であり、エンドポイントは常に 11（有効）のままです。CRC エラーまたはバッファオーバーラン条件がアイソクロナス OUT 転送時に発生した場合、常に正しいトランザクションとみなされ、常に CTR_RX イベントをトリガします。ただし、CRC エラーが発生すると、常に USB_ISTR レジスタの ERR ビットがセットされて、データ破損の可能性をソフトウェアに通知します。

39.5.5 サスペンド／レジュームイベント

USB 標準では、SUSPEND と呼ばれる特殊なペリフェラル状態が定義され、USB バスからの平均電流は 2.5 mA より大きくなってはなりません。この要件はバスパワードデバイスにとって基本的な重要性を持ちますが、セルフパワードデバイスは、この厳格な消費電力成約を順守する必要はありません。サスペンドモードでは、ホスト PC は 3 ms を超えて USB バスにトラフィックを送信しないことによって通知を送信します。SOF パケットは、通常動作では 1 ms ごとに送信されなければならないので、USB ペリフェラルは 3 回連続の SOF パケットの欠落をホスト PC からのサスペンドリクエストとして検出し、USB_ISTR レジスタの SUSP ビットを 1 にセットし、有効な場合は割込みが生成されます。デバイスがサスペンドされると、いわゆる RESUME シーケンスによって通常操作が復元され、これはホスト PC から、またはペリフェラルそのものから直接開始できますが、常にホスト PC によって終了されます。サスペンドされた USB ペリフェラルは、常に RESET シーケンスを検出して、通常の USB リセットイベントとして、このイベントに対応できなければなりません。

USB ペリフェラルをサスペンドするために使用される実際の手順は、デバイスの構成によって合計消費量を削減するために必要なアクションが異なるため、デバイスに依存します。

USB ペリフェラルの SUSP 通知に応答するアプリケーションソフトウェアルーチンの USB 関連の局面を中心にして、典型的なサスペンド手順の簡単な説明を以下に示します。

1. USB_CNTR レジスタの FSUSP ビットを 1 にセットします。このアクションによって、USB ペリフェラル内のサスペンドモードが有効になります。サスペンドモードが有効になると、USB がサスペンドされている間に SUSP 割込みが発行されるのを回避するために、SOF 受信時のチェックが無効になります。
2. USB ペリフェラルとは異なるブロックの静的消費電力を除去または削減します。
3. USB_CNTR レジスタの LP_MODE ビットを 1 にセットして、アナログ USB トランシーバの静的消費電力を除去しつつ、レジュームアクティビティを検出できるままにしておきます。
4. オプションで、外部オシレータとデバイス PLL をオフにして、デバイス内部のアクティビティを停止します。

デバイスが SUSPEND モード中に USB イベントが発生したときには、RESUME 手順が呼び出されて、通常のチェックと復元し、通常の USB 動作を復元する必要があります。ウェイクイベントが USB リセットシーケンスである時には、このプロセスが 10 ms 以内で終了するように特に注意が必要です（詳細については、「ユニバーサルシリアルバス仕様」を参照してください）。USB ペリフェラルのサスペンド中にレジュームまたはリセットシーケンスが開始されると、USB_CNTR レジスタの LP_MODE ビットが非同期でクリアされます。このイベントによって WKUP 割込みがトリガされた場合でも、システムクロックの再開始による長い遅延のため、割込み応答ルーチンの使用は慎重に評

価する必要があります。公称クロックの再有効化の前の遅延を短くするには、サスペンド手順の終了直後にレジューム手順を行って、システムクロックが再開始したらすぐにコードが実行されるようにします。システムをウェイクアップする際の ESD 放電またはその他の種類のノイズを防止するために（サスペンドモードの終了は、非同期イベントです）、サスペンド中にデータラインステータスの適切なアナログフィルタを有効にします。フィルタ幅は約 70 ns です。

以下は、レジューム手順で行うべきアクションのリストです。

1. オプションで、外部オシレータおよびデバイス PLL をオンにします。
2. USB_CNTR レジスタの FSUSP ビットをクリアします。
3. レジュームをトリガしたイベントを識別する必要がある場合は、USB_FNR レジスタのビット RXDP および RXDM を 表 244 に従って使用でき、この表には、あらゆる場合のソフトウェアのアクションもリストされています。必要な場合には、上記のビットのステータスを監視することによって、レジュームまたはリセットシーケンスの終了を検出でき、これらが「10」設定（アイドルバス状態を表します）に達したことをチェックします。さらに、リセットシーケンスの終了時には、USB_ISTR レジスタの RESET ビットが 1 にセットされ、有効な場合は割込みが発行され、通常通りに処理されます。

表 244. レジュームイベント検出

[RXDP,RXDM] ステータス	ウェイクアップイベント	必要なレジュームソフトウェアアクション
“00”	ルートのリセット	なし
“10”	なし（バス上のノイズ）	サスペンドモードに戻る
“01”	ルートのレジューム	なし
“11”	不可（バス上のノイズ）	サスペンドモードに戻る

デバイスは、USB プロトコルに直接関係しない特定のイベントに対する応答として、サスペンドモードを終了しなければならない場合があります（たとえば、マウスの移動はシステム全体をウェイクアップします）。この場合、USB_CNTR レジスタの RESUME ビットを 1 にセットし、1 ms から 15 ms までのインターバル後に 0 にリセットすることによって、レジュームシーケンスを開始できます（このインターバルは、システムクロックが公称周波数で動作しているときには 1 ms 周期で発生する ESOF 割込みによって計測できます）。RESUME ビットがクリアされると、レジュームシーケンスはホスト PC によって完了され、その終了は USB_FNR レジスタの RXDP および RXDM ビットを使用して監視できます。

注： **RESUME ビットは、USB ペリフェラルがサスペンドモードにされた（USB_CNTR レジスタの FSUSP ビットを 1 にセットした）後でのみ使用する必要があります。**

39.6 USB および USB SRAM レジスタ

USB ペリフェラルレジスタは、以下のグループに分けることができます。

- 共通レジスタ：割込みおよび制御レジスタ。
- エンドポイントレジスタ：エンドポイント設定およびステータス

USB SRAM レジスタは以下をカバーします。

- バッファディスクリプタテーブル：データバッファの配置に使用されたパケットメモリの位置（USB SRAM のベースアドレスは、セクション 2.2：メモリ構成を参照してください）。

すべてのレジスタアドレスは、USB ペリフェラルレジスタのベースアドレスに対するオフセットとして表されますが、バッファディスクリプタテーブル位置は USB_BTABLE レジスタで指定された値だけオフセットされた USB SRAM ベースアドレスから始まります。

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ハーフワード（16 ビット）またはワード（32 ビット）単位でアクセスする必要があります。

39.6.1 共通レジスタ

これらのレジスタは USB ペリフェラルの全般的動作に影響し、動作モード、割込み処理、デバイスアドレス、およびホスト PC によって更新される現在のフレーム番号へのアクセス付与を定義します。

USB 制御レジスタ（USB_CNTR）

アドレスオフセット：0x40

リセット値：0x0003

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTRM	PMAOVRM	ERRM	WKUPM	SUSPM	RESETM	SOFM	ESOFM	L1REQM	Res.	L1RESUME	RESUME	FSUSP	LP_MODE	PDWN	FRES
rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

ビット 15 **CTRM**：正しい転送割込みマスク
0：正しい転送（CTR）割込みは無効です。
1：CTR 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 14 **PMAOVRM**：パケットメモリ領域のオーバー／アンダーラン割込みマスク
0：PMAOVR 割込みは無効です。
1：PMAOVR 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 13 **ERRM**：エラー割込みマスク
0：ERR 割込みは無効です。
1：ERR 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 12 **WKUPM**：ウェイクアップ割込みマスク
0：WKUP 割込みは無効です。
1：WKUP 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 11 **SUSPM**：サスペンドモード割込みマスク

0：サスペンドモードリクエスト（SUSP）割込みは無効です。

1：SUSP 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 10 **RESETM**：USB リセット割込みマスク

0：RESET 割込みは無効です。

1：RESET 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 9 **SOFM**：フレーム開始割込みマスク

0：SOF 割込みは無効です。

1：SOF 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 8 **ESOFM**：予期されるフレーム開始割込みマスク

0：予期されるフレーム開始（ESOF）割込みは無効です。

1：ESOF 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 7 **L1REQM**：LPM L1 状態リクエスト割込みマスク

0：LPM L1 状態リクエスト（L1REQ）割込みマスク無効

1：L1REQ 割込みは有効であり、USB_ISTR レジスタの対応するビットがセットされたときには割込みリクエストが生成されます。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **L1RESUME**：LPM L1 レジュームリクエスト

マイクロコントローラはこのビットをセットして、ホストに LPM L1 レジューム信号を送信できます。このビットは、信号の送信終了後にハードウェアによってクリアされます。

ビット 4 **RESUME**：レジュームリクエスト

マイクロコントローラはこのビットをセットして、ホストにレジューム信号を送信できます。USB 仕様に従って、ホスト PC がレジュームシーケンスを終了まで駆動する準備ができてから 1 ms 以上 15 ms 以下で有効にする必要があります。

ビット 3 **FSUSP**：強制サスペンド

ソフトウェアは、SUSP 割込みが受信されたときにこのビットをセットする必要があり、USB ペリフェラルが 3 ms 間、トラフィックを受信しなかったときに発行されます。

0：影響はありません。

1：サスペンドモードに入ります。アナログトランシーバのクロックと静的消費電流は影響を受けません。サスペンド消費電力が要件の場合（バスパワードデバイス）、アプリケーションソフトウェアは FSUSP の後、以下の説明に従って LP_MODE ビットをセットする必要があります。

ビット 2 **LP_MODE**：低電力モード

このモードは、サスペンドモードの電力制約から、外部プルアップレジスタに供給される電力を除き、すべての静的消費電流を回避されるときに使用されます。USB サスペンド条件の消費電力要件を満たすために、アプリケーションがすべてのシステムクロックを停止するか、周波数を削減する準備ができたときに、この条件に入るべきです。サスペンドモード中に USB アクティビティ（WKUP イベント）が発生すると、このビットは非同期でリセットされます（ソフトウェアによってリセットすることもできます）。

0：低電力モードではありません。

1：低電力モードに入ります。

ビット 1 **PDWN**：パワーダウン

このビットは、何らかの理由で USB ペリフェラルを完全に無効にする必要がある場合、USB 関連のすべてのアナログ部品を完全にオフにするために使用されます。このビットがセットされると、USB ペリフェラルはトランシーバから切断され、使用できなくなります。

0：パワーダウンを終了します。

1：パワーダウンモードに入ります。

ビット 0 **FRES**：強制的 USB リセット

0：USB リセットをクリアします。

1：USB に RESET 信号が送られたときと同様に、USB ペリフェラルを強制的にリセットします。ソフトウェアがこのビットをクリアするまで、USB ペリフェラルは RESET 状態に保たれます。有効な場合は、「USB-RESET」割込みが生成されます。

USB 割込みステータスレジスタ（USB_ISTR）

アドレスオフセット：0x44

リセット値：0x0000 0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTR	PMA OVR	ERR	WKUP	SUSP	RESET	SOF	ESOF	L1REQ	Res.	Res.	DIR	EP_ID[3:0]			
r	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0			r	r	r	r	r

このレジスタはすべての割込みソースのステータスを含むため、アプリケーションソフトウェアは割込みリクエストの原因になったイベントを判断できます。

このレジスタの上位部分はシングルビットを含み、そのそれぞれが特定のイベントを表します。これらのビットは、関連するイベントが発生したときにハードウェアによってセットされます。USB_CNTR レジスタの対応するビットがセットされている場合、汎用割込みリクエストが生成されます。各ビットを調べる割込みルーチンは、必要なすべてのアクションを実行し、最後に処理済みビットをクリアします。そのいずれかがクリアされていない場合、割込みはまだ保留中であるとみなされ、割込みラインは再びハイに保たれます。複数のビットが同時にセットされた場合、1 つの割込みだけが生成されます。

エンドポイントトランザクションの完了は、割込み応答遅延を軽減するために、さまざまな方法で処理できます。CTR ビットは、エンドポイントがトランザクションを正常に完了するとすぐにハードウェアによってセットされ、USB_CNTR の対応するビットがセットされていた場合は汎用割込みリクエストが生成されます。エンドポイント専用割込み条件は、USB_CNTR レジスタの CTRM ビットとは無関係に有効化されます。どちらの割込み条件も、ソフトウェアが対応する USB_EPnR レジスタの保留中のビットをクリアするまでアクティブなままです（CTR ビットは実際には読出し専用ビットです）。エンドポイント関連の割込みの場合、ソフトウェアは、トランザクション方向（DIR）および EP_ID 読出し専用ビットを使用して、最後の割込みリクエストを発行して、対応する割込みサービスルーチンを呼び出したエンドポイントを特定できます。

ユーザは、ソフトウェアが割込みサービスルーチンで USB_ISTR ビットをチェックする順序を指定することによって、同時に保留中の USB_ISTR ビットの相対的優先順位を選ぶことができます。イベントに関連し、処理済みのビットだけがクリアされます。サービスルーチンの終了時、残りの条件を処理するために、別の割込みがリクエストされます。

ビットの誤ったクリアを避けるために、ロード命令付きでクリアすることが推奨され、その場合、変更してはならないすべてのビットに 1 が書き込まれ、クリアすべきすべてのビットに 0 が書き込まれます（これらのビットはソフトウェアによってのみクリアできます）。読出し-変更-書込みのサイクルは避けるべきです。読出し操作と書込み操作の間に、別のビットがハードウェアによってセットされる可能性があり、マイクロプロセッサにイベントを処理する時間ができる前に、次の書込みによってクリアされる可能性があるためです。

以下に、各ビットについて詳しく説明します。

ビット 15 **CTR**：正しい転送

このビットは、エンドポイントがトランザクションを正常に完了したことを示すために、ハードウェアによってセットされます。DIR および EP_ID ビットを使用して、ソフトウェアは割込みをリクエストしたエンドポイントを判断できます。このビットは読出し専用です。

ビット 14 **PMAOVR**：パケットメモリ領域のオーバー／アンダーラン

このビットは、マイクロコントローラに USB メモリリクエストに対応する時間がなくなった場合にセットされます。USB ペリフェラルは、このイベントを次のように処理します。受信時、ACK ハンドシェイクパケットは送信されず、送信時、送信ストリームのビットスタッフエラーが強制的に発行されます。いずれの場合も、ホストはトランザクションを再試行します。通常操作では、PMAOVR 割込みは発生しません。失敗したトランザクションはホストによって再試行されるので、アプリケーションソフトウェアには、この割込み処理中にデバイス操作をスピードアップして、次のトランザクションの差異施行に備える機会があります。ただし、アイソクロナス転送では（アイソクロナストランザクションは再試行されません）、データの喪失につながるため、これは行われません。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 13 **ERR**：誤差

このフラグは、下記にリストされているエラーのいずれかが発生したときにセットされます。
NANS：応答なし（No ANSwer）。ホスト応答がタイムアウトになりました。
CRC：巡回冗長検査（Cyclic Redundancy Check）エラー。トークンまたはデータで受信された CRC の 1 つが正しくありませんでした。
BST：ビットスタッフィングエラー。ビットスタッフィングエラーが、PID、データ、または CRC で検出されました。
FVIO：フレーミングフォーマット違反。非標準のフレームが受信されました（正しい位置にない EOP、正しくないトークンシーケンスなど）。
USB ペリフェラルと PC ホストは、エラーの場合、完全にトランスペアレントな方法で再送信を管理するため、USB ソフトウェアは、通常、エラーを無視できます。この割込みは、ソフトウェア開発フェーズで、またはUSB バスでの送信品質の監視に役立ち、問題の可能性をユーザに知らせることができます（コネクタの緩み、ノイズが多い環境、USB ケーブルの導体の破損など）。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 12 **WKUP**：ウェイクアップ

このビットは、サスペンドモード中に、USB ペリフェラルをウェイクアップするアクティビティが検出されたときにハードウェアによって 1 にセットされます。このイベントは CTLR レジスタの LP_MODE ビットを非同期でクリアし、USB_WAKEUP ラインを有効にし、レジュームプロセスの開始に関して残りのデバイス（ウェイクアップユニットなど）に通知するために使用されます。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 11 **SUSP**：サスペンドモードリクエスト

このビットは、3 ms にわたってトラフィックが受信されず、USB バスからのサスペンドモードリクエストを示したときに、ハードウェアによってセットされます。サスペンド条件チェックは、USB リセットの直後に有効化され、サスペンドモードがアクティブなとき（FSUSP=1）、レジュームシーケンスの終了まで、ハードウェアによって無効にされます。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 10 **RESET**：USB リセットリクエスト

USB ペリフェラルが入力でアクティブな USB RESET 信号を検出したときにセットされます。USB ペリフェラルは、RESET に対応して、内部プロトコル状態マシンをリセットし、USB_CNTR レジスタの RESETM 有効ビットがセットされている場合、割込みが生成されます。RESET ビットがクリアされるまで、受信と送信は無効です。すべての設定レジスタがリセットされるわけではありません。マイクロコントローラはこれらのレジスタを明示的にクリアする必要があります（これは、RESET 割込みの安全な配信を確保し、RESET の直前のトランザクションを完了できるようにするためです）。機能アドレスおよびエンドポイントレジスタは、USB リセットイベントによってリセットされます。
このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 9 **SOF**：フレーム開始

このビットは、新しい USB フレームの開始を知らせ、SOF パケットが USB バス経由で着信したときにセットされます。割込みサービスルーチンによって SOF イベントを監視して、USB ホストへの 1 ms の同期イベントを実行し、SOF パケット受信時に更新される USB_FNR レジスタを安全に読み出すことができます（これはアイソクロナスアプリケーションに便利です）。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 8 **ESOF**：予期されたフレーム開始

このビットは、予期された SOF パケットが受信されなかったときにハードウェアによってセットされます。ホストは 1 ms ごとに SOF パケットを送信しますが、デバイスが正しく受信しなかった場合、サスペンドタイマがこの割込みを発行します。3 回連続して ESOF 割込みが生成され（すなわち、3 つの SOF パケットが失われ）、その間にトラフィックが発生しなかった場合、SUSP 割込みが生成されます。このビットは、サスペンドタイマがまだロックされていないときに SOF パケットの喪失が発生したときにセットされます。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 7 **L1REQ**：LPM L1 状態リクエスト

このビットは、L1 状態を入力する LPM コマンドが正常に受信され、確認応答された場合に、ハードウェアによってセットされます。このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 6:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **DIR**：トランザクションの方向

このビットは、割込みリクエストを生成した成功したトランザクションの方向に従って、ハードウェアによって書き込まれます。

DIR ビット =0 の場合、割込みをかけたエンドポイントに関連する USB_EPnR レジスタの CTR_TX ビットがセットされます。割込みの原因となったトランザクションは、IN タイプです（USB ペリフェラルからホスト PC へのデータ送信）。

DIR ビット =1 の場合、割込みをかけたエンドポイントに関連する USB_EPnR レジスタの CTR_RX ビットまたは CTR_TX と CTR_RX の両方がセットされます。割込みの原因となったトランザクションは OUT タイプであるか（ホスト PC からのデータを USB ペリフェラルが受信）、または 2 つの保留中のトランザクションが処理を待っています。

これは割込みを保留中にした方向を表すので、アプリケーションソフトウェアはこの情報を使用して、トリガしたトランザクションに関連する USB_EPnR ビットにアクセスできます。このビットは読出し専用です。

ビット 3:0 **EP_ID[3:0]**：エンドポイント識別子

これらのビットは、割込みリクエストを生成したエンドポイント番号に従って、ハードウェアによって書き込まれます。複数のエンドポイントトランザクションが保留中の場合、ハードウェアは、次のように定義される最も高い優先順位を持つエンドポイントに関連するエンドポイント識別子を書き込みます。優先順位の順に、2 つのエンドポイントセットが定義されます。アイソクロナスおよびダブルバッファバルクエンドポイントが最初に考慮され、次に、その他のエンドポイントが調べられます。同じセットの複数のエンドポイントが割込みをリクエストしている場合、最下位リクエストエンドポイントレジスタに従って、USB_ISTR レジスタの EP_ID ビットが割り当てられ、EP0R が最も高い優先順位を持ち、その後に EP1R が続き、以下同様です。アプリケーションソフトウェアは、この優先順位方式に従って、レジスタを各エンドポイントに割り当てて、同時発生したエンドポイントリクエストを適切に順序づけることができます。これらのビットは読出し専用です。

USB フレーム番号レジスタ（USB_FNR）

アドレスオフセット：0x48

リセット値：0x0XXX（X は未定義）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDP	RXDM	LCK	LSOF[1:0]		FN[10:0]										
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15 **RXDP**：受信データ + ラインステータス

このビットを使用して、受信データプラスアップストリームポートデータラインのステータスを観測できます。サスペンド終了ルーチン時に使用して、ウェイクアップイベントの決定を容易にできます。

ビット 14 **RXDM**：受信データ - ラインステータス

このビットを使用して、受信データマイナスアップストリームポートデータラインのステータスを観測できます。サスペンド終了ルーチン時に使用して、ウェイクアップイベントの決定を容易にできます。

ビット 13 **LCK**：ロック

このビットは、USB リセット条件の終了後、または USB レジュームシーケンスの終了後に、少なくとも 2 つ連続した SOF パケットが受信されたときに、ハードウェアによってセットされます。ロックされると、USB リセットまたは USB サスペンドイベントが発生するまで、フレームタイマはこの状態に保たれます。

ビット 12:11 **LSOF[1:0]**：SOF の喪失

これらのビットは、ESOF 割込みが生成されたときに、ハードウェアによって書き込まれ、失われた連続 SOF パケットの数をカウントします。SOF パケットの受信時、これらのビットはクリアされます。

ビット 10:0 **FN[10:0]**：フレーム番号

このビットフィールドは、最後に受信された SOF パケットに含まれる 11 ビットのフレーム番号を含みます。フレーム番号は、ホストによって送信されたフレームごとにインクリメントされ、アイソクロナス転送の場合に便利です。このビットフィールドは、SOF 割込みの生成時に更新されます。

USB デバイスアドレス（USB_DADDR）

アドレスオフセット：0x4C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EF	ADD6	ADD5	ADD4	ADD3	ADD2	ADD1	ADD0
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:8 予約済みです。

ビット 7 **EF**：機能有効

このビットは、USB デバイスを有効にするために、ソフトウェアによってセットされます。このデバイスのアドレスは、次の ADD[6:0] ビットに含まれます。このビットが 0 の場合、USB_EPnR レジスタの設定にかかわらず、トランザクションは処理されません。

ビット 6:0 **ADD[6:0]**：デバイスアドレス

これらのビットは、エニュメレーションプロセス時にホスト PC によって割り当てられた USB 機能を含みます。必要なエンドポイントへのトランザクションを処理するためには、関連する USB_EPnR レジスタのこのフィールドとエンドポイントアドレス（EA）フィールドの両方とも、USB トークンに含まれる情報に一致する必要があります。

バッファテーブルアドレス（USB_BTABLE）

アドレスオフセット：0x50

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BTABLE[15:3]													Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw			

ビット 15:3 **BTABLE[15:3]**：バッファテーブル

これらのビットは、専用パケットメモリ内のバッファ割り当てテーブルの開始アドレスを含みます。このテーブルは、各エンドポイントバッファ位置とサイズを記述し、8 バイトの境界に揃えられなければなりません（3 つの最下位ビットが常に 0）。このデバイスにアドレス指定されたトランザクションの開始ごとに、USB ペリフェラルはアドレス指定されたエンドポイントに関連するこのテーブルの要素を読み出して、バッファ開始位置とバッファサイズを取得します（1305 ページのパケットバッファの構造と用途を参照）。

ビット 2:0 予約済み、ハードウェアによって 0 に固定されています。

LPM 制御およびステータスレジスタ（USB_LPMCSR）

アドレスオフセット：0x54

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BESL[3:0]				REM WAKE	Res.	LPM ACK	LPM EN
								r	r	r	r	r		rw	rw

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **BESL[3:0]**：BESL 値

これらのビットは、最後に ACK された LPM トークンとともに受信した BESL 値を含みます。

ビット 3 **REMWAKE**：bRemoteWake 値

このビットは、最後に ACK された LPM トークンとともに受信した bRemoteWake 値を含みます。

ビット 2 予約済みです。

ビット 1 **LPMACK**：LPM トークン確認応答イネーブル

0：有効な LPM トークンは NYET です。
1：有効な LPM トークンは ACK です。
NYET/ACK は、LPM トランザクションが成功した場合にのみ返されます。
EXT トークンと LPM トークンの両方にエラーがない場合（それ以外の場合は ERROR）
有効な bLinkState = 0001B（L1）を受信した場合（それ以外の場合は STALL）

ビット 0 **LPMEN**：LPM サポートイネーブル

このビットは、USB デバイス内の LPM サポートを有効にするために、ソフトウェアによってセットされます。このビットが 0 の場合は、LPM トランザクションは処理されません。

バッテリ充電検出回路(USB_BCDR)

アドレスオフセット：0x58

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPPU	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PS2 DET	SDET	PDET	DC DET	SDEN	PDEN	DCD EN	BCD EN
rw								r	r	r	r	rw	rw	rw	rw

ビット 15 **DPPU**：DP プルアップ制御

このビットは、DP ライン上の組み込みプルアップを有効にするために、ソフトウェアによってセットされます。0 にクリアすると、ユーザのソフトウェアが必要とするときに、ホストとの接続が切断されたことを通知します。

ビット 14:8 予約済みであり、リセット値に保持する必要があります。

ビット 7 **PS2DET**：DM プルアップ検出ステータス

このビットは、PD 中にのみアクティブになって DM 電圧レベルと V_{LGC} 閾値の比較の結果を示します。通常の状況では、DM レベルは閾値を下回る必要があります。閾値を上回る場合は、DM が外部的にハイレベルにプルアップされることを意味します。これは、PS2 ポート（DP および DM ラインの両方をプルアップする）への接続、または BCD 仕様に準拠しない一部の独自の充電器への接続によって発生します。

0：通常のポートが検出されました（SDP、ACA、CDP、または DCP に接続されたポート）。

1：PS2 ポートまたは独自の充電器が検出されました。

ビット 6 **SDET**：2 次検出（SD）ステータス

このビットは、SD の結果を示します。

0：CDP が検出されました。

1：DCP が検出されました。

ビット 5 **PDET**：1 次検出（PD）ステータス

このビットは、PD の結果を示します。

0：BCD サポートは検出されませんでした（SDP または独自デバイスに接続）。

1：BCD のサポートが検出されました（ACA、CDP、または DCP に接続）。

ビット 4 **DCDET**：データ接触検出（DCD）ステータス

このビットは、DCD の結果を示します。

0：データラインの接触は検出されませんでした。

1：データラインの接触が検出されました。

ビット 3 **SDEN**：2 次検出（SD）モードイネーブル

このビットは、BCD を SD モードにするために、ソフトウェアによってセットされます。正しく動作するには、検出モード（DCD、PD、SD、または OFF）を 1 つだけ選択する必要があります。

ビット 2 **PDEN**：1 次検出（PD）モードイネーブル

このビットは、BCD を PD モードにするために、ソフトウェアによってセットされます。正しく動作するには、検出モード（DCD、PD、SD、または OFF）を 1 つだけ選択する必要があります。

ビット 1 **DCDEN**：データ接触検出（DCD）モードイネーブル

このビットは、BCD を DCD モードにするために、ソフトウェアによってセットされます。正しく動作するには、検出モード（DCD、PD、SD、または OFF）を 1 つだけ選択する必要があります。

ビット 0 **BCDEN**：バッテリ充電検出（BCD）イネーブル

このビットは、USB デバイス内の BCD サポートを有効にするために、ソフトウェアによってセットされます。有効にすると、USB PHY は BCD によって完全に制御され、通常の通信では使用できなくなります。BCD の検出完了後は、通常の USB 動作を可能にするために、このビットを 0 にクリアして BCD を OFF モードにします。

エンドポイント固有レジスタ

これらのレジスタの数は、USB ペリフェラルが処理する設計になっているエンドポイント数に応じて変化します。USB ペリフェラルは、最大 8 つの双方向エンドポイントをサポートします。各 USB デバイスは、コントロールエンドポイントをサポートしなければならず、そのアドレス（EA ビット）は 0 にセットされなければなりません。複数のエンドポイントが有効であり、同じエンドポイント番号値を持つ場合、USB ペリフェラルの動作は未定義です。各エンドポイントについて、USB_EPnR レジスタはエンドポイント固有の情報を格納できます。

USB エンドポイント n レジスタ（USB_EPnR）、n=[0..7]

アドレスオフセット：0x00 から 0x1C

リセット値：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTR_RX	DTOG_RX	STAT_RX[1:0]		SETUP	EP TYPE[1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX[1:0]		EA[3:0]			
rc_w0	t	t	t	r	rw	rw	rw	rc_w0	t	t	t	rw	rw	rw	rw

USB リセットが USB バスから受信されたとき、または CTLR レジスタのビット FRES を通じて強制されたときにもリセットされますが、USB リセットイベントの直前の正しいパケット通知の喪失を回避するために、CTR_RX および CTR_TX ビットは変更されません。各エンドポイントに USB_EPnR レジスタがあり、*n* はエンドポイント識別子です。

これらのレジスタでは読出し-変更-書込みのサイクルは避けるべきです。読出し操作と書込み操作の間に、いくつかのビットがハードウェアによってセットされる可能性があり、CPU に変更を検出する時間ができる前に、次の書込みによって変更される可能性があるためです。この目的のために、この問題の影響を受けるすべてのビットが「不変」の値を持ち、変更が不要なときに使用される必要があります。これらのレジスタはロード命令付きで変更することが推奨され、この場合、ハードウェアによって変更できるすべてのビットには「不変」値が書き込まれます。

ビット 15 **CTR_RX**：受信の場合の正しい転送

このビットは、このエンドポイントで OUT/SETUP トランザクションが正常に完了したときに、ハードウェアによってセットされます。ソフトウェアのみがこのビットをクリアできます。USB_CNTR レジスタの CTRM ビットがセットされた場合、エンドポイント関連の割込み条件（常に有効化されます）とともに汎用割込み条件が生成されます。発生したトランザクションのタイプ（OUT または SETUP）は、下記の SETUP ビットから決めることができます。

NAK または STALL ハンドシェイクで終了したトランザクションでは、プロトコルエラーやデータトグル不一致の場合のように、実際にはデータは転送されていないため、このビットはセットされません。

このビットは読出し／書込みですが、0 のみを書き込むことができ、1 を書き込んでも効果はありません。

ビット 14 **DTOG_RX**：受信転送の場合のデータトグル

エンドポイントがアイソクロナスでない場合、このビットは次の受信データパケットのデータトグルビット（0=DATA0、1=DATA1）の予期される値を含みます。データ PID 値が一致するデータパケット受信後、ACK ハンドシェイクが USB ホストに送信されたときに、ハードウェアはこのビットをトグルします。エンドポイントが制御エンドポイントとして定義された場合、ハードウェアはこのエンドポイントにアドレス指定された SETUP PID の受信時に、このビットをクリアします。
エンドポイントがダブルバッファリングを使用している場合、このビットはパケットバッファスワッピングをサポートするためにも使用されます（セクション 39.5.3：ダブルバッファエンドポイントを参照）。
エンドポイントがアイソクロナスの場合、この種類のエンドポイントではデータトグルは使用されず、DATA0 パケットのみが送信されるため、このビットはパケットバッファスワッピングをサポートするためにのみ使用されます（セクション 39.5.4：アイソクロナス転送を参照）。アイソクロナス転送ではハンドシェイクは使用されないので、ハードウェアはデータパケット受信の終了直後に、このビットをトグルします。
このビットは、値を初期化するため（エンドポイントが制御エンドポイントでないときは必須）、または特定のデータトグル／パケットバッファ使用のために、ソフトウェアによってトグルすることもできます。アプリケーションソフトウェアが 0 を書き込むと、DTOG_RX の値は変更されませんが、1 を書き込むと、ビット値がトグルされます。このビットは読出し／書込みですが、1 を書き込むことによってのみ、トグルが可能です。

ビット 13:12 **STAT_RX[1:0]**：受信転送の場合のステータスビット

これらのビットは、表 245：1326 ページの受信ステータスエンコードにリストされているエンドポイントステータスに関する情報を含みます。これらのビットは、ソフトウェアによってトグルして、値を初期化することができます。アプリケーションソフトウェアが 0 を書き込むと、値は変更されませんが、1 を書き込むと、ビット値がトグルされます。ハードウェアは、このエンドポイントにアドレス指定された OUT または SETUP（制御のみ）トランザクションに対応する正しい転送が発生したとき（CTR_RX=1）、STAT_RX ビットを NAK にセットするので、ソフトウェアは新しいトランザクションに確認応答する前に受信データを処理する時間があります。
ダブルバッファバルクエンドポイントは、バッファ可用性条件に基づいてステータスを制御する特殊なトランザクションフロー制御を実装します（セクション 39.5.3：ダブルバッファエンドポイントを参照）。
エンドポイントがアイソクロナスとして定義された場合、そのステータスは「VALID」または「DISABLED」のみなので、ハードウェアはトランザクションの成功後にエンドポイントのステータスを変更できません。ソフトウェアがアイソクロナスエンドポイントの STAT_RX ビットを STALL または NAK にセットした場合、USB ペリフェラルの動作は未定義です。これらのビットは読出し／書込みですが、1 を書き込むことによってのみ、トグルが可能です。

ビット 11 **SETUP**：セットアップトランザクション完了

このビットは読出し専用であり、最後に完了したトランザクションが SETUP のときにハードウェアによってセットされます。このビットはコントロールエンドポイントについてのみ値を変更します。成功した受信トランザクションの場合（CTR_RX イベント）、これを調べて、発生したトランザクションのタイプを判断する必要があります。割込みサービスルーチンを次の着信トークンによる SETUP ビットの変更から保護するために、このビットは CTR_RX ビットが 1 の間は停止され、CTR_RX が 0 のときに状態が変更されます。このビットは読出し専用です。

ビット 10:9 **EP_TYPE[1:0]**：エンドポイントタイプ

これらのビットは、表 246：1326 ページのエンドポイントタイプエンコードに記載されているように、このエンドポイントの動作を設定します。エンドポイント 0 は常にコントロールエンドポイントでなければならず、各 USB 機能にはアドレス 0 を持つコントロールエンドポイントが少なくとも 1 つ必要ですが、必要な場合は、他のコントロールエンドポイントを使用することもできます。制御エンドポイントだけが SETUP トランザクションを処理し、他の種類のエンドポイントによって無視されます。SETUP トランザクションは NAK または STALL で応答することはできません。コントロールエンドポイントが NAK として定義された場合、SETUP トランザクションが受信されたときには、受信方向では USB ペリフェラルは応答せず、受信エラーをシミュレートします。制御エンドポイントが受信方向で STALL として定義された場合、SETUP パケットは受け入れられ、データを送信し、CTR 割込みを発行します。エンドポイントが制御エンドポイントの場合でも、OUT トランザクションの受信は通常通りに処理されます。

バルクおよび割込みエンドポイントの動作はほぼ同様ですが、EP_KIND 設定ビットを使用して使用可能な特殊な機能のみが異なります。

アイソクロナスエンドポイントの使用については、セクション 39.5.4：アイソクロナス転送で説明します。

ビット 8 **EP_KIND**：エンドポイントの種類

このビットの意味は、EP_TYPE ビットによって設定されたエンドポイントのタイプに依存します。表 247 はさまざまな意味を要約します。

DBL_BUF：このビットは、このバルクエンドポイントのダブルバッファリング機能を有効にするために、ソフトウェアによってセットされます。ダブルバッファバルクエンドポイントの使用については、セクション 39.5.3：ダブルバッファエンドポイントで説明します。

STATUS_OUT：このビットは、ステータスアウトトランザクションが予期されることを示すためにソフトウェアによってセットされます。この場合、1 個以上のデータバイトを含んでいるすべての OUT トランザクションは、ACK ではなく STALL で応答されます。このビットを使用して、制御転送時のプロトコルエラーに対するアプリケーションの堅牢性を向上させることができ、その使用はコントロールエンドポイントのみを対象としています。STATUS_OUT がリセットされると、OUT トランザクションは必要に応じて任意の数のバイトを持つことができます。

ビット 7 **CTR_TX**：送信の場合の正しい転送

このビットは、このエンドポイントで IN トランザクションが正常に完了したときに、ハードウェアによってセットされます。ソフトウェアのみがこのビットをクリアできます。USB_CNTR レジスタの CTRM ビットがセットされた場合、エンドポイント関連の割込み条件（常に有効化されます）とともに汎用割込み条件が生成されます。

NAK または STALL ハンドシェイクで終了したトランザクションでは、プロトコルエラーやデータトグル不一致の場合のように、実際にはデータは転送されていないため、このビットはセットされません。

このビットは読出し／書込みですが、0 のみを書き込むことができます。

ビット 6 **DTOG_TX**：送信転送の場合のデータトグル

エンドポイントがアイソクロナスでない場合、このビットは次の送信データパケットのデータトグルビット（0=DATA0、1=DATA1）の必要な値を含みます。データパケットの送信後、USB ホストから ACK ハンドシェイクが受信されると、ハードウェアはこのビットをトグルします。エンドポイントが制御エンドポイントとして定義された場合、このエンドポイントにアドレス指定された SETUP PID の受信時に、ハードウェアはこのビットを 1 にセットします。

エンドポイントがダブルバッファ機能を使用している場合、このビットはパケットバッファスワッピングをサポートするためにも使用されます（セクション 39.5.3：ダブルバッファエンドポイントを参照）。

エンドポイントがアイソクロナスの場合、この種類のエンドポイントではデータトグルは使用されず、DATA0 パケットのみが送信されるため、このビットはパケットバッファスワッピングをサポートするためにのみ使用されます（セクション 39.5.4：アイソクロナス転送を参照）。アイソクロナス転送ではハンドシェイクは使用されないので、ハードウェアはデータパケット送信の終了直後に、このビットをトグルします。

このビットは、値を初期化するため（エンドポイントが制御エンドポイントでないときは必須）、または特定のデータトグル／パケットバッファ使用のために、ソフトウェアによってトグルすることもできます。アプリケーションソフトウェアが 0 を書き込むと、DTOG_TX の値は変更されませんが、1 を書き込むと、ビット値がトグルされます。このビットは読出し／書込みですが、1 を書き込むことによってのみ、トグルが可能です。

ビット 5:4 **STAT_TX[1:0]**：送信転送の場合のステータスビット

これらのビットは、表 248 にリストされているエンドポイントのステータスに関する情報を含みます。これらのビットは、ソフトウェアによってトグルして、値を初期化できます。アプリケーションソフトウェアが 0 を書き込むと、値は変更されませんが、1 を書き込むと、ビット値がトグルされます。ハードウェアは、このエンドポイントにアドレス指定された IN または SETUP（制御のみ）トランザクションに対応する正しい転送が発生したとき（CTR_TX=1）、STAT_TX ビットを NAK にセットします。次に、ソフトウェアが次の送信データセットを準備するのを待ちます。

ダブルバッファバルクエンドポイントは、バッファ可用性条件に基づいてステータスを制御する特殊なトランザクションフロー制御を実装します（セクション 39.5.3：ダブルバッファエンドポイントを参照）。エンドポイントがアイソクロナスとして定義された場合、そのステータスは「VALID」または「DISABLED」のみです。したがって、ハードウェアは、トランザクションの成功後にエンドポイントのステータスを変更することはできません。ソフトウェアがアイソクロナスエンドポイントの STAT_TX ビットを STALL または NAK にセットした場合、USB ペリフェラルの動作は未定義です。これらのビットは読出し／書込みですが、1 を書き込むことによってのみ、トグルが可能です。

ビット 3:0 **EA[3:0]**：エンドポイントアドレス

ソフトウェアは、このエンドポイント宛てのトランザクションを識別するために使用される 4 ビットのアドレスをこのフィールドに書き込む必要があります。値は、対応するエンドポイントを有効にする前に書き込まれる必要があります。

表 245. 受信ステータスエンコード

STAT_RX[1:0]	意味
00	**DISABLED**：このエンドポイントにアドレス指定されたすべての受信リクエストは無視されます。
01	**STALL**：エンドポイントは停止していて、すべての受信リクエストは STALL ハンドシェイクで終了します。
10	**NAK**：エンドポイントは NAK され、すべての受信リクエストは NAK ハンドシェイクで終了します。
11	**VALID**：このエンドポイントは受信に有効です。

表 246. エンドポイントタイプエンコード

EP_TYPE[1:0]	意味
00	BULK
01	CONTROL
10	ISO
11	INTERRUPT

表 247. エンドポイントの種類の意味

EP_TYPE[1:0]		EP_KIND の意味
00	BULK	DBL_BUF
01	CONTROL	STATUS_OUT
10	ISO	未使用
11	INTERRUPT	未使用

表 248. 送信ステータスエンコード

STAT_TX[1:0]	意味
00	**DISABLED**：このエンドポイントにアドレス指定されたすべての送信リクエストは無視されます。
01	**STALL**：エンドポイントは停止していて、すべての送信リクエストは STALL ハンドシェイクで終了します。
10	**NAK**：エンドポイントは NAK され、すべての送信リクエストは NAK ハンドシェイクで終了します。
11	**VALID**：このエンドポイントは送信に有効です。

39.6.2 バッファディスクリプタテーブル

注： **バッファディスクリプタテーブルは、別の「USB SRAM」アドレス空間のパケットバッファメモリ内に位置しています。**

バッファディスクリプタテーブルはパケットバッファメモリ（「USB SRAM」領域）内にありますが、そのエントリは、USB マクロセルとデバイスの間でデータを交換するためのパケットバッファの位置とサイズを設定する追加レジスタとみなすことができます。

最初のパケットメモリ位置は、USB SRAM ベースアドレスにあります。USB_EPnR レジスタに関連するバッファディスクリプタテーブルのエントリについて、以下に説明します。パケットメモリへのアクセスは、バイト（8 ビット）またはハーフワード（16 ビット）アクセスによってのみ行う必要があります。ワード（32 ビット）アクセスは許されません。

パケットバッファとバッファディスクリプタテーブルの使用に関する詳細については、1305 ページのパケットバッファの構造と用途を参照してください。

送信バッファアドレス n（USB_ADDRn_TX）

アドレスオフセット：[USB_BTABLE] + n*8

注： **IN 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_ADDRn_TX_0 と呼ばれます。**

OUT 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_ADDRn_RX_0 と呼ばれます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn_TX[15:1]															-
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	-

ビット 15:1 **ADDRn_TX[15:1]**：送信バッファアドレス

これらのビットは、USB_EPnR レジスタに関連するエンドポイントによって、次の IN トークンで送信されるデータを含んでいるパケットバッファの開始アドレスを指します。

ビット 0 パケットメモリはハーフワード長であり、すべてのパケットバッファがハーフワードで揃えられている必要があるため、常に 0 が書き込まれる必要があります。

送信バイトカウント n（USB_COUNTn_TX）

アドレスオフセット：[USB_BTABLE] + n*8 + 2

注： **IN 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_COUNTn_TX_0 と呼ばれます。**

OUT 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_COUNTn_RX_0 と呼ばれます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	COUNTn_TX[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 15:10 USB 仕様によりパケットサイズは 1023 バイトに制限されるので、これらのビットは使用されません。これらの値は、USB ペリフェラルによって考慮されません。

ビット 9:0 **COUNTn_TX[9:0]**：送信バイトカウント

これらのビットは、USB_EPnR レジスタに関連するエンドポイントによって、次の IN トークンで送信されるバイト数を含みます。

受信バッファアドレス n（USB_ADDRn_RX）

アドレスオフセット：[USB_BTABLE] + n*8 + 4

注： **OUT 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_ADDRn_RX_1 と呼ばれます。**

IN 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_ADDRn_TX_1 と呼ばれます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn_RX[15:1]															-
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	-

ビット 15:1 **ADDRn_RX[15:1]**：送信バッファアドレス

これらのビットは、USB_EPnR レジスタに関連するエンドポイントによって、次の OUT/SETUP トークンで受信されるデータを含んでいるパケットバッファの開始アドレスを指します。

ビット 0 パケットメモリはハーフワード長であり、すべてのパケットバッファがハーフワードで揃えられている必要があるため、常に 0 が書き込まれる必要があります。

受信バイトカウント n（USB_COUNTn_RX）

アドレスオフセット：[USB_BTABLE] + n*8 + 6

注： **OUT 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_COUNTn_RX_1 と呼ばれます。**

IN 方向のダブルバッファまたはアイソクロナスエンドポイントの場合、このアドレス位置は USB_COUNTn_TX_1 と呼ばれます。

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLSIZE	NUM_BLOCK[4:0]					COUNTn_RX[9:0]									
rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r	r	r

このテーブル位置は、両方ともパケット受信時に必要とされる 2 つの値を格納するために使用されます。最上位ビットは割り当てられるバッファサイズの定義を含み、バッファオーバーフロー検出を可能にし、この位置の最下位部分には、受信終了時に USB ペリフェラルによって実際の受信バイト数が書き込まれます。使用可能なビット数が制限されているため、バッファサイズは割り当てられたメモリブロック数を使用して表され、細かい粒度／小さいバッファと粗い粒度／大きなバッファの間のトレードオフにより、ブロックサイズを選択できます。割り当てられたバッファのサイズは、エンドポイントディスクリプタの一部であり、通常、エニュメレーションプロセス時に maxPacketSize パラメータ値にしたって定義されます（「ユニバーサルシリアルバス仕様」を参照）。

ビット 15 **BL_SIZE**：ブロックサイズ

このビットは、割り当てられたバッファ領域を定義するために使用されるメモリブロックのサイズを選択します。

– BL_SIZE=0 の場合、メモリブロックは 2 バイト長であり、これは、ハーフワード長のメモリで可能な最小ブロックです。このブロックサイズでは、割り当てられるバッファサイズは 2 ～ 62 バイトです。

– BL_SIZE=1 の場合、メモリブロックは 32バイト以上であり、USB 仕様によって定義された最大パケット長に達することができます。このブロックサイズでは、割り当てられるバッファサイズは、理論上、32 ～ 1024 バイトであり、USB 標準仕様で可能な最長のパケットサイズです。ただし、適用可能なサイズは、使用可能なバッファメモリによって制限されます。

ビット 14:10 **NUM_BLOCK[4:0]**：ブロック数

これらのビットは、このパケットバッファに割り当てられるメモリブロック数を定義します。実際の割り当てメモリの量は、表 249 に示されているように、BL_SIZE の値に依存します。

ビット 9:0 **COUNTn_RX[9:0]**：受信バイトカウント

これらのビットは、USB_EPnR レジスタに関連するエンドポイントによって、最後の OUT/SETUP トランザクションで受信されたバイト数を含みます。

表 249. 割り当てられるバッファメモリの定義

NUM_BLOCK[4:0] の値	BL_SIZE=0 のとき割り当てられるメモリ	BL_SIZE=1 のとき割り当てられるメモリ
0 (‘00000)	設定禁止	32 バイト
1 (‘00001)	2 バイト	64 バイト
2 (‘00010)	4 バイト	96 バイト
3 (‘00011)	6 バイト	128 バイト
.....	.....	.....

表 249. 割り当てられるバッファメモリの定義 （続き）

NUM_BLOCK[4:0] の値	BL_SIZE=0 のとき割り当てられるメモリ	BL_SIZE=1 のとき割り当てられるメモリ
14 (‘01110)	28 バイト	480 バイト
15 (‘01111)	30 バイト	
16 (‘10000)	32 バイト	
.....	.....	.....
29 (‘11101)	58 バイト	
30 (‘11110)	60 バイト	
31 (‘11111)	62 バイト	N/A

39.6.3 USB レジスタマップ

次の表に、USB レジスタマップとリセット値を示します。

表 250. USB レジスタのマップとリセット値

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**USB_EP0R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**USB_EP1R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**USB_EP2R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**USB_EP3R**	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**USB_EP4R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**USB_EP5R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**USB_EP6R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**USB_EP7R**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR_RX	DTOG_RX	STAT_RX [1:0]		SETUP	EP TYPE [1:0]		EP_KIND	CTR_TX	DTOG_TX	STAT_TX [1:0]		EA[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20-0x3F	予約済みです。																																
0x40	**USB_CNTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTRM	PMAOVRM	ERRM	WKUPM	SUSPM	RESETM	SOFM	ESOFM	L1REQM	Res.	L1RESUME	RESUME	FSUSP	LP_MODE	PDWN	FRES
	リセット値																	0	0	0	0	0	0	0	0	0		0	0	0	0	1	1
0x44	**USB_ISTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTR	PMAOVR	ERR	WKUP	SUSP	RESET	SOF	ESOF	L1REQ	Res.	Res.	DIR	EP_ID[3:0]			
	リセット値																	0	0	0	0	0	0	0	0	0			0	0	0	0	0
0x48	**USB_FNR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDP	RXDM	LCK	LSOF [1:0]		FN[10:0]										
	リセット値																	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x
0x4C	**USB_DADDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EF	ADD[6:0]						
	リセット値																									0	0	0	0	0	0	0	0
0x50	**USB_BTABLE**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BTABLE[15:3]													Res.	Res.	Res.
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0			

表 250. USB レジスタのマップとリセット値 （続き）

オフセット	レジスタ	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x54	USB_LPMCSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BESL[3:0]				REMWAKE	Res.	LPMACK	LPMEN
	リセット値																									0	0	0	0	0		0	0
0x58	USB_BCDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DPPU	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PS2DET	SDET	PDET	DCDET	SDEN	PDEN	DCDEN	BCDEN
	リセット値																	0								0	0	0	0	0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

40 クロックリカバリシステム（CRS）

40.1 概要

クロックリカバリシステム（CRS）は、高精度トリミング可能な内蔵 RC オシレータ HSI48 に作用する、高度なデジタルコントローラです。選択可能な同期信号との比較に基づいて、オシレータ出力周波数を評価するための強力な手段を提供しています。CRS では、測定した周波数の誤差値に基づいてオシレータのトリミングを自動調整することができます。また、手動でトリミングすることもできます。

CRS は、USB ペリフェラルに高精度なクロックを提供する場合に最適です。この場合、USB ホストによって 1ms 間隔で送信される USB バス上のフレーム開始（SOF）パケット信号から同期信号を取得できます。

同期信号は、LSE オシレータ出力からも取得することができ、またユーザソフトウェアから生成することもできます。

40.2 CRS の主な機能

- 次のプログラム可能なプリスケーラと極性を持つ、選択可能な同期ソース：
  - LSE オシレータ出力
  - パケット受信
- ソフトウェアによって同期パルスを生成する可能性
- CPU 不要の自動オシレータトリミング機能
- 起動時のより迅速な収束のための手動制御オプション
- 自動誤差値のキャプチャと再ロードが可能な、16 ビットの周波数誤差カウンタ
- 自動周波数誤差値の評価とステータスレポートの、プログラム可能な制限値
- マスク可能な割込み／イベント：
  - 期待される同期（ESYNC）
  - 同期 OK（SYNCOK）
  - 同期警告（SYNCWARN）
  - 同期またはトリミングエラー（ERR）

40.3 CRS の実装

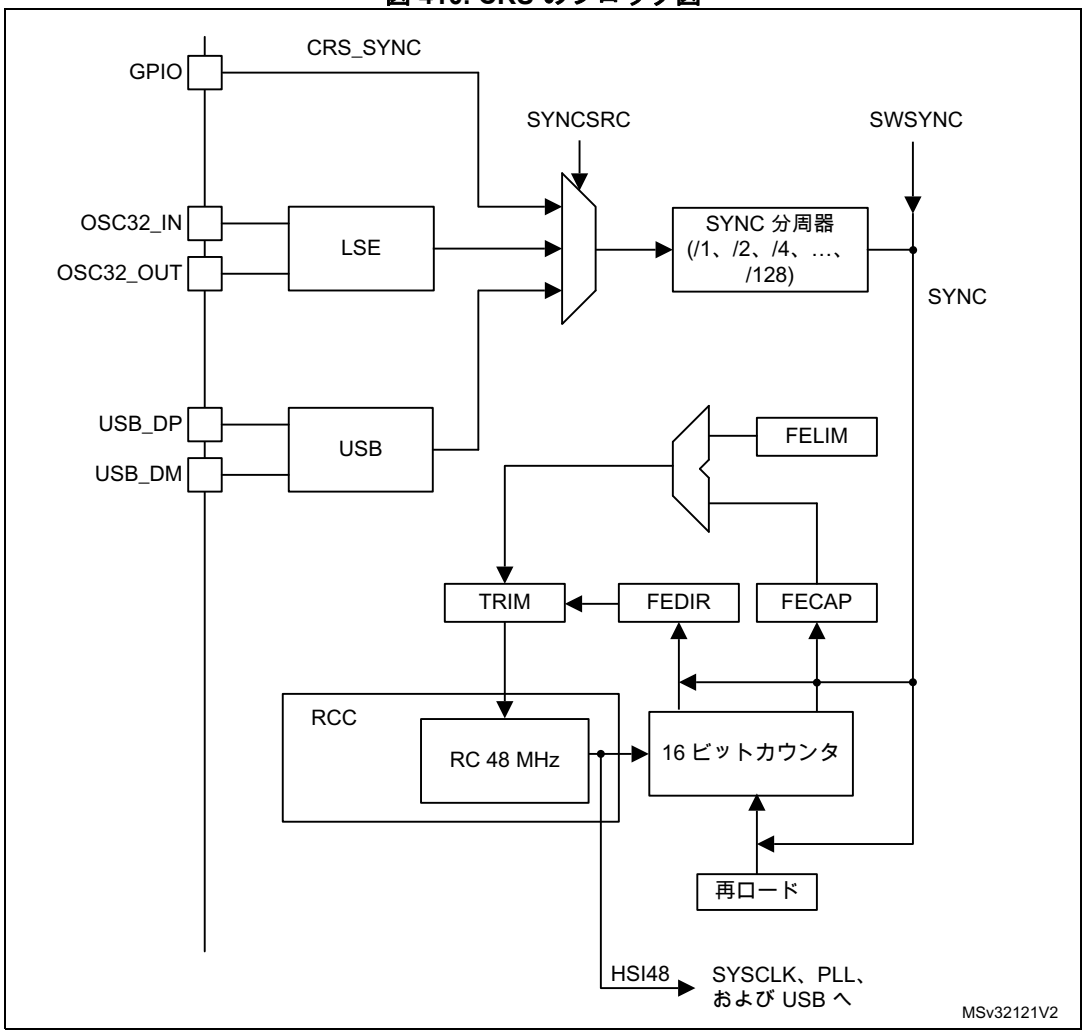
表 251. CRS の機能

機能	CRS1
TRIM 幅	6 ビット

40.4 CRS の機能説明

40.4.1 CRS ブロック図

図 410. CRS のブロック図



40.4.2 同期入力

CRS 同期ソース設定の詳細については、セクション 40.7.2 を参照してください。

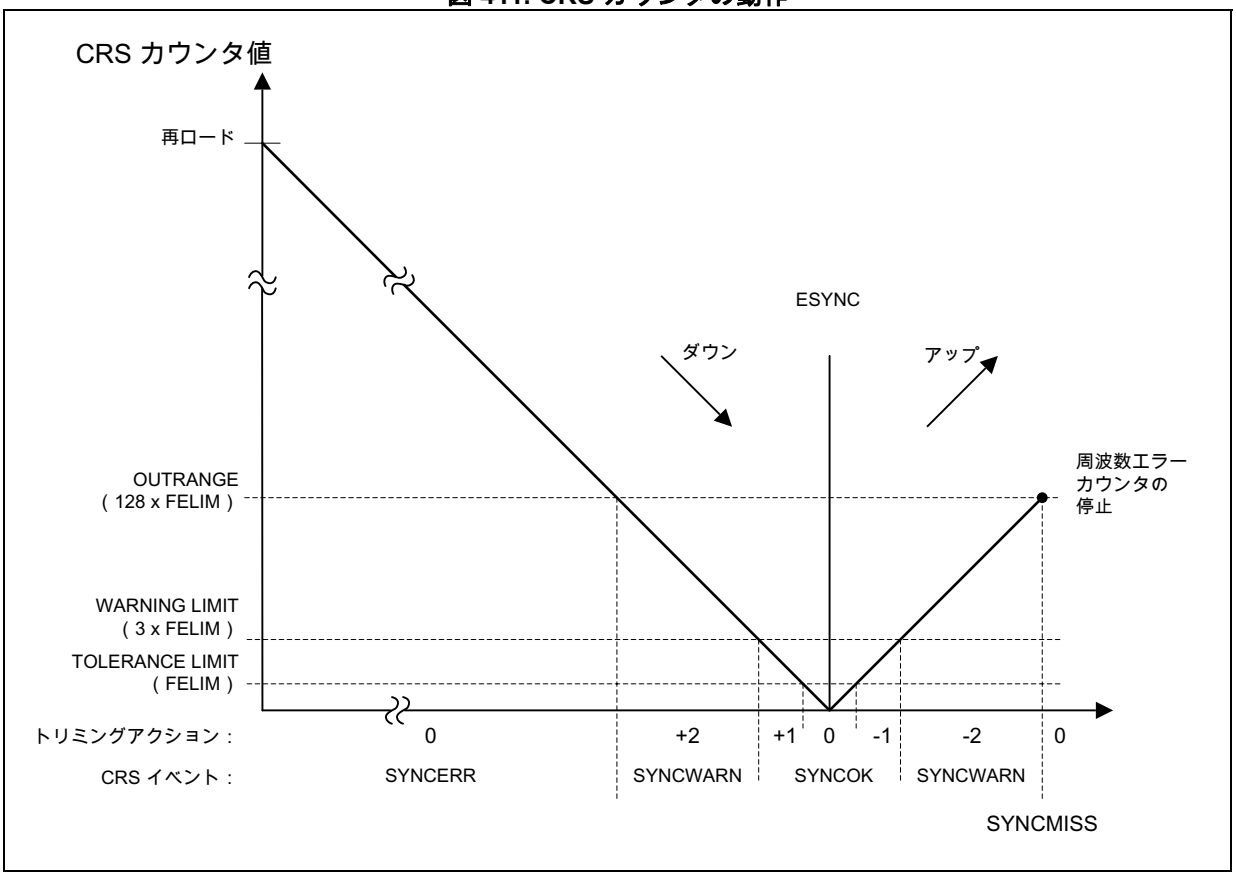
CRS_CR レジスタの SWSYNC ビットをセットして、ソフトウェアで同期イベントを生成することもできます。

40.4.3 周波数誤差測定

この周波数誤差カウンタは、各 SYNC イベントで RELOAD 値によって再ロードされる 16 ビットのダウン／アップカウンタです。ESYNC （期待される同期）イベントが生成される 0 値に達するまでカウントダウンを開始します。次に、OUTRANGE 制限によって最終的に停止する（SYNC イベントが受信されない場合）までカウントアップを開始し、SYNCMISS イベントを生成します。OUTRANGE 制限は、周波数誤差制限（CRS_CFGR レジスタの FELIM フィールド）に 128 を乗算した値として定義されます。

SYNC イベントが検出されると、周波数誤差カウンタの実際の値とそのカウント方向が FECAP （周波数誤差キャプチャ）フィールドと CRS_ISR レジスタの FEDIR （周波数誤差方向）ビットに保管されます。ダウンカウントフェーズ中に（0 の値に達する前に）SYNC イベントが検出された場合、実際の周波数が目標値よりも低いことを意味します（TRIM 値をインクリメントする必要があります）。これがアップカウントフェーズ中に検出された場合、実際の周波数の方が高いことを意味します（TRIM 値をデクリメントする必要があります）。

図 411. CRS カウンタの動作



40.4.4 周波数誤差評価および自動トリミング

測定した周波数誤差は、その値といくつかの制限を比較して評価されます。

- CRS_CFGR レジスタの FELIM フィールドに直接与えられる TOLERANCE LIMIT
- 3 × FELIM 値として定義される WARNING LIMIT
- 128 × FELIM 値として定義される OUTRANGE（誤差制限）

この比較の結果は、ステータスの表示を生成し、CRS_CR レジスタの AUTOTRIMEN ビットをセットすることで有効化される自動トリミングを制御するために使用されます。

- 周波数誤差が許容制限を下回る場合は、TRIM フィールドの実際のトリミング値が適切であり、トリミング動作が不要であることを意味します。
  - SYNCOK ステータスが示されます。
  - TRIM 値は、AUTOTRIM モードでは変更されません。
- 周波数誤差が警告制限を下回り、許容制限以上である場合は、なんらかのトリミング動作が必要であることを意味します。ただし、1 回のトリミングステップによる調整で、十分適切な TRIM 値に達することができます。
  - SYNCOK ステータスが示されます。
  - AUTOTRIM モードで、1 回のトリミングステップによって TRIM 値が調整されます。
- 周波数誤差が警告制限以上であり、誤差制限を下回る場合は、より強力なトリミング動作が必要です。次の周期までに適切な TRIM 値に達しない危険性もあります。
  - SYNCWARN ステータスが示されます。
  - AUTOTRIM モードで、2 回のトリミングステップによって TRIM 値が調整されます。
- 周波数誤差が誤差制限以上である場合は、周波数はトリミング範囲外です。これは、SYNC 入力がクリーンではなく、SYNC パルスが一部欠落している場合に発生する可能性があります（たとえば、USB SOF が 1 つ破損している場合）。
  - SYNCERR または SYNCMISS ステータスが示されます。
  - TRIM 値は、AUTOTRIM モードでは変更されません。

注： **TRIM フィールドの実際の値がその制限値に近く、自動トリミングによってオーバーフローまたはアンダーフローに強制できる場合、TRIM 値は制限値に設定され、TRIMOVF ステータスが示されます。**

AUTOTRIM モード（CRS_CR レジスタにセットされた AUTOTRIMEN ビット）では、CRS_CR の TRIM フィールドがハードウェアによって調整され、読出し専用になります。

40.4.5 CRS の初期化と設定

RELOAD 値

再ロード値は、ターゲット周波数とプリスケーリング後の同期ソースの周波数間の比率に従って選択する必要があります。この値は、0 値で期待される同期に達するために、1 だけ減算します。計算式は、次のとおりです。

$$RELOAD = (f_{TARGET} / f_{SYNC}) - 1$$

RELOAD フィールドのリセット値は、48 MHz のターゲット周波数と 1 kHz の同期信号周波数（USB からの SOF 信号）に対応します。

FELIM 値

FELIM 値の選択は、HSI48 オシレータ特性とその標準的なトリミングステップサイズに、深く関係しています。最適値は、オシレータクロック数で表されるトリミングステップサイズの半分の値に相当します。次の計算式を使用できます。

$$FELIM = (f_{TARGET} / f_{SYNC}) * STEP[\%] / 100\% / 2$$

最高のトリム応答を取得するために、結果の小数点以下の値は常に切り上げられる必要があります。アプリケーション内でトリミング動作を頻繁に行う必要がない場合は、FELIM 値を少し上げることでヒステリシスを増やすことができます。

FELIM フィールドのリセット値は、$(f_{TARGET} / f_{SYNC}) = 48000$、と標準的なトリミングステップサイズ（0.14%）に対応しています。

注： **トリミングステップサイズは製品によって異なるので、正確な設定についてはデータシートを参照してください。**

注意： **RELOAD および FELIM フィールドの誤った設定に対するハードウェアの保護はなく、その場合、異常なトリム応答を引き起こす可能性があります。期待される動作モードでは、再ロード値を（同期ソース周波数に対して）適切に設定することを求めます。この値は、128 * FELIM 値よりも大きい値です（OUTRANGE 制限）。**

40.5 CRS 低電力モード

表 252. 低電力モードが CRS に与える影響

モード	説明
SLEEP	影響はありません。CRS 割込みによって、デバイスは SLEEP モードから復帰します。
STOP	CRS レジスタを停止します。CRS は、STOP モードが終了し、HSI48 オシレータがリスタートするまで動作を停止します。
STANDBY	CRS ペリフェラルはパワーダウンされ、STANDBY モード終了後に再初期化する必要があります。

40.6 CRS 割込み

表 253. 割込み制御ビット

割込みイベント	イベントフラグ	有効制御ビット	フラッグビットのクリア
期待される同期	ESYNCF	ESYNCIE	ESYNCC
同期 OK	SYNCOKF	SYNCOKIE	SYNCOKC
同期警告	SYNCWARNF	SYNCWARNIE	SYNCWARNC
同期またはトリミングエラー（TRIMOVF、SYNCMISS、SYNCERR）	ERRF	ERRIE	ERRC

40.7 CRS レジスタ

レジスタの説明で使用されている略語のリストについては、60ページのセクション 1.2 を参照してください。

ペリフェラルレジスタには、ワード（32 ビット）単位のみでアクセスすることができます。

40.7.1 CRS 制御レジスタ（CRS_CR）

アドレスオフセット：0x00

リセット値：0x0000 2000

リセット値：0x0000 4000（7 ビット TRIM 幅をサポートしている製品）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	TRIM[5:0]						SW SYNC	AUTO TRIMEN	CEN	Res.	ESYNCIE	ERRIE	SYNC WARNIE	SYNC OKIE
		rw	rw	rw	rw	rw	rw	rt_w1	rw	rw		rw	rw	rw	rw

ビット 31:14 予約済みであり、リセット値に保持する必要があります。

ビット 13:8 **TRIM[5:0]**：HSI48 オシレータ高精度トリミング

これらのビットにより、HSI48 オシレータにユーザがプログラム可能なトリミング値が使用できます。これらは、オシレータの周波数に影響する電圧や温度の変化に対応できるようにプログラミングできます。デフォルト値は 32（トリミングインターバルの中間に相当）です。トリミングステップは製品データシートに明記されています。より高い TRIM 値は、より高い出力周波数に対応します。

AUTOTRIMEN ビットがセットされると、このフィールドはハードウェアによって調整され、読出し専用になります。

ビット 7 **SWSYNC**：ソフトウェア SYNC イベントの生成

このビットは、ソフトウェア SYNC イベントを生成するためにソフトウェアによってセットされます。ハードウェアによって自動的にクリアされます。

0：影響なし。

1：ソフトウェア SYNC イベントが生成されます。

ビット 6 **AUTOTRIMEN**：自動トリミング有効

このビットは、2 つの SYNC イベント間で測定した周波数誤差に応じて、TRIM ビットの自動ハードウェア調整を有効にします。このビットがセットされると、TRIM ビットが読出し専用になります。TRIM 値は、測定した周波数誤差値に応じて、ハードウェアで 1 度に 1 または 2 ステップずつ調整できます。詳細については、セクション 40.4.4 を参照してください。

0：自動トリミングは無効です。ユーザは、TRIM ビットを調整できます。

1：自動トリミングは有効です。TRIM ビットは読出し専用で、ハードウェアによって制御されます。

ビット 5 **CEN**：周波数誤差カウンタ有効

このビットは、周波数誤差カウンタのオシレータクロックを有効にします。

0：周波数誤差カウンタは無効です。

1：周波数誤差カウンタは有効です。

このビットをセットすると、CRS_CFGR レジスタは書込み保護され、変更できません。

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **ESYNCIE**：期待される SYNC 割込み有効

0：期待される SYNC（ESYNCF）割込みは無効です。

1：期待される SYNC（ESYNCF）割込みは有効です。

ビット 2 **ERRIE**：同期またはトリミングエラー割込み有効

0：同期またはトリミングエラー（ERRF）割込みは無効です。

1：同期またはトリミングエラー（ERRF）割込みは有効です。

ビット 1 **SYNCWARNIE**：SYNC 警告割込み有効

0：SYNC 警告（SYNCWARNF）割込みは無効です。

1：SYNC 警告（SYNCWARNF）割込みは有効です。

ビット 0 **SYNCOKIE**：SYNC イベント OK 割込み有効

0：SYNC イベント OK（SYNCOKF）割込みは無効です。

1：SYNC イベント OK（SYNCOKF）割込みは有効です。

40.7.2 CRS 設定レジスタ（CRS_CFGR）

このレジスタに書き込めるのは、周波数誤差カウンタが無効なときだけです（CEN ビットは CRS_CR でクリアされる）。このカウンタを有効にすると、このレジスタは書込み保護されます。

アドレスオフセット：0x04

リセット値：0x2022：BB7F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SYNCPOL	Res.	SYNCSRC[1:0]		Res.	SYNCDIV[2:0]			FELIM[7:0]							
rw		rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RELOAD[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31 **SYNCPOL**：SYNC 極性選択

このビットは、SYNC 信号ソースの入力の極性を選択するために、ソフトウェアによってセット／クリアされます。

0：SYNC は立ち上がりエッジでアクティブです（デフォルト）。

1：SYNC は立ち下がりエッジでアクティブです。

ビット 30 予約済みであり、リセット値に保持する必要があります。

ビット 29:28 SYNCSRC[1:0]：SYNC 信号ソース選択

これらのビットは、SYNC 信号ソースを選択するために、ソフトウェアによってセット／クリアされます。

00：SYNC 信号ソースとして GPIO を選択します。

01：SYNC 信号ソースとして LSE を選択します。

10：SYNC 信号ソースとして USB SOF を選択します（デフォルト）。

11：予約済みです。

注： USB LPM（Link Power Management、リンク電源管理）の使用時にデバイスが SLEEP モードである場合、周期的 USB SOF はホストから生成されません。そのため、実行中に HSI48 オシレータを較正するために SYNC 信号が CRS に供給されることはありません。SLEEP モードからのウェイクアップ後に必要なクロック精度を確保するために、GPIO の LSE や基準クロックを SYNC 信号として使用する必要があります。

ビット 27 予約済みであり、リセット値に保持する必要があります。

ビット 26:24 **SYNCDIV[2:0]**：SYNC 分周器

これらのビットは、SYNC 信号の分周比を制御するために、ソフトウェアによってセット／クリアされます。

000：SYNC は分周されません（デフォルト）。

001：SYNC は 2 分周されます。

010：SYNC は 4 分周されます。

011：SYNC は 8 分周されます。

100：SYNC は 16 分周されます。

101：SYNC は 32 分周されます。

110：SYNC は 64 分周されます。

111：SYNC は 128 分周されます。

ビット 23:16 **FELIM[7:0]**：周波数誤差制限

FELIM には、CRS_ISR レジスタの FECAP[15:0] ビットにラッチされた、キャプチャされた周波数誤差値を評価するために使用する値が含まれます。FECAP 評価の詳細については、セクション 40.4.4 を参照してください。

ビット 15:0 **RELOAD[15:0]**：カウンタ再ロード値

RELOAD は、SYNC イベントごとに周波数誤差カウンタにロードされる値です。

カウンタの動作の詳細については、セクション 40.4.3 を参照してください。

40.7.3 CRS 割込みおよびステータスレジスタ（CRS_ISR）

アドレスオフセット：0x08

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FECAP[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FEDIR	Res.	Res.	Res.	Res.	TRIM OVF	SYNC MISS	SYNC ERR	Res.	Res.	Res.	Res.	ESYNCF	ERRF	SYNC WARNF	SYNC OKF
r					r	r	r					r	r	r	r

ビット 31:16 **FECAP[15:0]**：周波数誤差キャプチャ

FECAP は、最後の SYNC イベント時にラッチされた、周波数誤差カウンタ値です。

FECAP の使用の詳細については、セクション 40.4.4 を参照してください。

ビット 15 **FEDIR**：周波数誤差方向

FEDIR は、最後の SYNC イベント時にラッチされた、周波数誤差カウンタのカウント方向です。実際の周波数が、ターゲットを下回るか上回るかを示します。

0：アップカウント方向。実際の周波数はターゲットを上回ります。

1：ダウンカウント方向。実際の周波数はターゲットを下回ります。

ビット 14:11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **TRIMOVF**：トリミングのオーバーフローまたはアンダーフロー

このフラグは、自動トリミングによって TRIM 値のオーバーフローまたはアンダーフローが試みられた場合に、ハードウェアによってセットされます。CRS_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの ERRC ビットをセットすることで、ソフトウェアによってクリアされます。

0：トリミングエラーは通知されていません。

1：トリミングエラーが通知されました。

ビット 9 **SYNCMISS**：SYNC の欠落

このフラグは、周波数誤差カウンタが値 FELIM * 128 に達し、SYNC が検出されない場合にハードウェアによってセットされます。これは、SYNC パルスが失われているということ、または TRIM 値を調整して補正するには周波数誤差が大きすぎ（内部周波数が高すぎる）るため、他の操作を行う必要があるということを意味します。この時点で、周波数誤差カウンタは停止し（次の SYNC を待つ）、CRS_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの ERRC ビットをセットすることで、ソフトウェアによってクリアされます。

0：SYNC の欠落エラーは通知されていません。

1：SYNC の欠落エラーが通知されました。

ビット 8 **SYNCERR**：SYNC エラー

このフラグは、SYNC パルスが ESYNC イベントより前に発生し、測定した周波数誤差が FELIM * 128 以上である場合に、ハードウェアによってセットされます。これは、TRIM 値を調整して補正するには周波数誤差が大きすぎ（内部周波数が低すぎる）るため、他の操作を行う必要があるということを意味します。CRS_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの ERRC ビットをセットすることで、ソフトウェアによってクリアされます。

0：SYNC エラーは通知されていません。

1：SYNC エラーが通知されました。

ビット 7:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **ESYNCF**：期待される SYNC フラグ

このフラグは、周波数誤差カウンタがゼロ値に達したときに、ハードウェアによってセットされます。CRS_CR レジスタの ESYNCIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの ESYNCC ビットをセットすることで、ソフトウェアによってクリアされます。

0：期待された SYNC は通知されていません。

1：期待された SYNC が通知されました。

ビット 2 **ERRF**：エラーフラグ

このフラグは、同期またはトリミングエラー時に、ハードウェアによってセットされます。TRIMOVF、SYNCMISS、および SYNCERR ビットの論理和です。CRS_CR レジスタの ERRIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの ERRC ビットをセットすることへの反応として、ソフトウェアによってクリアされます。TRIMOVF、SYNCMISS、および SYNCERR ビットをクリアします。

0：同期またはトリミングエラーは通知されていません。

1：同期またはトリミングエラーが通知されました。

ビット 1 **SYNCWARNF**：SYNC 警告フラグ

このフラグは、測定した周波数誤差が FELIM * 3 以上で FELIM * 128 未満である場合に、ハードウェアによってセットされます。周波数誤差を補正するには、TRIM 値を複数のステップで調整する必要があります。CRS_CR レジスタの SYNCWARNIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの SYNCWARNC ビットをセットすることで、ソフトウェアによってクリアされます。

0：SYNC 警告は通知されていません。

1：SYNC 警告が通知されました。

ビット 0 **SYNCOKF**：SYNC イベント OK フラグ

このフラグは、測定した周波数誤差が FELIM * 3 未満である場合に、ハードウェアによってセットされます。これは、TRIM 値の補正が必要であること、または周波数誤差の補正は 1 つのトリミングステップで十分であることを意味します。CRS_CR レジスタの SYNCOKIE ビットがセットされている場合、割込みが生成されます。CRS_ICR レジスタの SYNCOKC ビットをセットすることで、ソフトウェアによってクリアされます。

0：SYNC イベント OK は通知されていません。

1：SYNC イベント OK が通知されました。

40.7.4 CRS 割込みフラグクリアレジスタ（CRS_ICR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ESYNCC	ERRC	SYNC WARNC	SYNC OKC
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **ESYNCC**：期待 SYNC クリアフラグ

このビットに 1 を書き込むと、CRS_ISR レジスタの ESYNCF フラグをクリアします。

ビット 2 **ERRC**：エラークリアフラグ

このビットに 1 を書き込むと、TRIMOVF、SYNCMISS、および SYNCERR ビットがクリアされ、結果として CRS_ISR レジスタの ERRF フラグもクリアされます。

ビット 1 **SYNCWARNC**：SYNC 警告クリアフラグ

このビットに 1 を書き込むと、CRS_ISR レジスタの SYNCWARNF フラグをクリアします。

ビット 0 **SYNCOKC**：SYNC イベント OK クリアフラグ

このビットに 1 を書き込むと、CRS_ISR レジスタの SYNCOKF フラグをクリアします。

40.7.5 CRS レジスタマップ

表 254. CRS レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	CRS_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]						SWSYNC	AUTOTRIMEN	CEN	Res.	ESYNCIE	ERRIE	SYNCWARNIE	SYNCOKIE
	リセット値																			1	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	CRS_CFGR	SYNCPOL	Res.	SYNC SRC [1:0]		Res.	SYNC DIV [2:0]			FELIM[7:0]								RELOAD[15:0]															
	リセット値	0		1	0		0	0	0	0	0	1	0	0	0	1	0	1	0	1	1	1	0	1	1	0	1	1	1	1	1	1	1
0x08	CRS_ISR	FECAP[15:0]																FEDIR	Res.	Res.	Res.	Res.	TRIMOVF	SYNCMISS	SYNCERR	Res.	Res.	Res.	Res.	ESYNCF	ERRF	SYNCWARNF	SYNCOKF
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0					0	0	0	0
0x0C	CRS_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ESYNCC	ERRC	SYNCWARNC	SYNCOKC
	リセット値																													0	0	0	0

レジスタ境界アドレスについては、65ページのセクション 2.2 を参照してください。

41 デバッグサポート（DBG）

41.1 概要

以下に示すデバッグの機能を統合させたもので、ソフトウェア開発およびシステムインテグレーションをサポートするために提供されます。

- システム内の各 CPU コアの独立したブレークポイントデバッグ
- コード実行トレース
- ソフトウェア計測
- クロストリガ
- デバッグ機能は JTAG／シリアルワイヤデバッグ用のアクセスポートを介し、業界標準のデバッグツールを使用して制御することができます。トレース用のポートを使用すると、ログおよび分析のためにデータをキャプチャすることができます。

デバッグ機能は Arm® CoreSight™ コンポーネントに基づいています。

- 標準機能：
  - SWJ-DP：JTAG／シリアルワイヤデバッグポート
  - AHB-AP：AHB アクセスポート
- CPU2 のデバッグ機能：
  - ROM テーブル
  - システム制御空間（SCS）
  - ブレークポイントユニット（BPU）
  - データウォッチポイントおよびトレースユニット（DWT）
  - クロストリガインタフェース（CTI）
- CPU1 のデバッグ機能
  - ROM テーブル
  - システム制御空間（SCS）
  - ブレークポイントユニット（FPB）
  - データウォッチポイントおよびトレースユニット（DWT）
  - 計装トレースマクロセル（ITM）
  - 組込みトレースマクロセル（ETM）、STM32WB55xx デバイスでのみ使用可能
  - クロストリガインタフェース（CTI）
  - トレースポートインタフェースユニット（TPU）

CPU2 AHB-AP およびそれに関連する AHB バスを介した CPU2 のデバッグアクセスは無効です。

CPU1 デバッグ機能には、デバッガによって CPU1 AHB-AP 経由でアクセスできます。

追加情報はセクション 41.20 に掲載されている Arm® の資料をご覧ください。

41.2 デバッグの使用事例

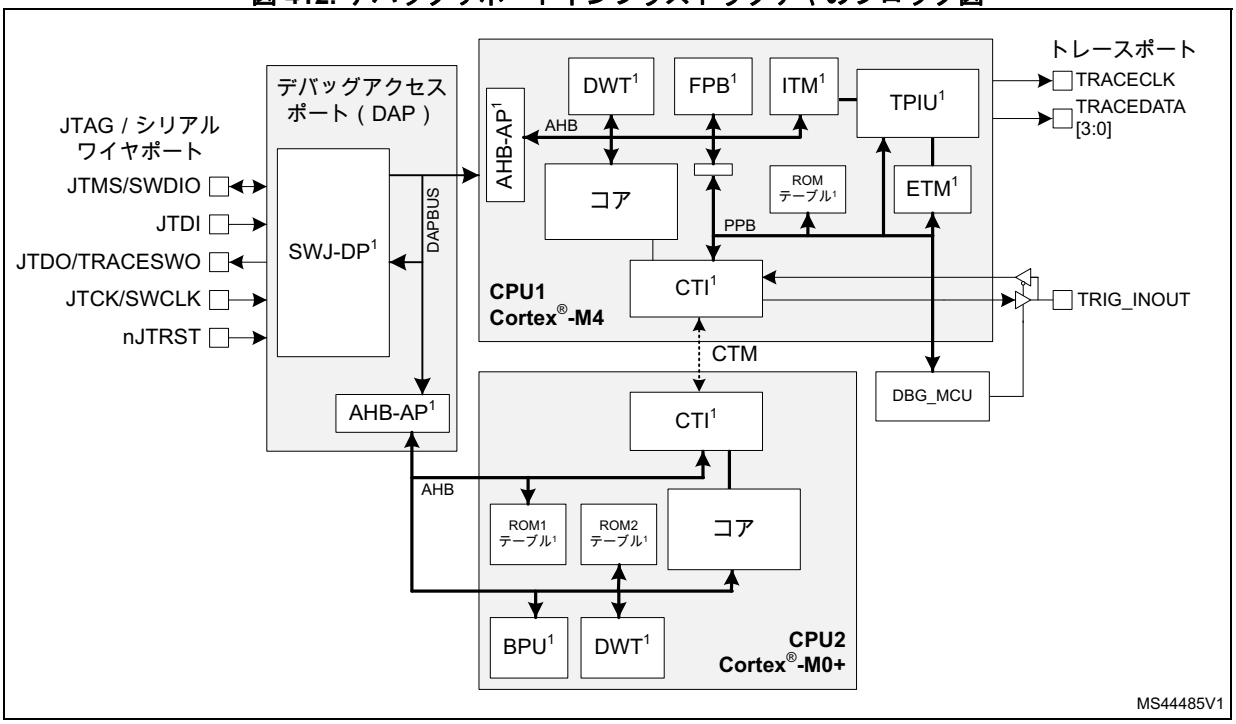
トレース・デバッグシステムは、さまざまな典型的使用例に対応するように設計されています。

- 低価格トレース
  シングルワイヤデバッグの出力では、トレース機能の利用に制限があります。この機能は、「printf」を使用したコード実装、データやアドレスのウォッチポイントのトレース、割込み検出、およびプログラムカウンタのサンプリングをサポートします。シングルワイヤトレースは、1 つまたは両方のプロセッサが電源オフまたはクロック停止している場合でも維持できます。
- コアごとに独立したブレークポイントによるデバッグ
  両方のプロセッサコアは、JTAG/SWD デバッグポートに接続された機器を使用して同時にかつ独立してデバッグすることができます。これにより、特にブレークポイントとウォッチポイントの設定、コードのステップ実行、メモリアクセスが可能になります。
- 両方のコアの同期デバッグ
  ブレークポイントまたはデバッガの停止コマンドによって一方のコアが停止した場合、もう一方のコアも停止することができます。同様に、両コアを同時に再起動できます。これにより、ユーザはプロセッサの同期を保つ必要がある疎結合アプリケーションをデバッグできます。
- トレースポート経由でのコード実行のトレース
  CPU1（Cortex®-M4）のトレース情報は、1 つのトレースストリームに結合され、リアルタイムでトレースポートアナライザーに送信されます。トレースに埋め込まれた ID により、アナライザーは各情報パケットの転送元を特定できます。

41.3 DBG の機能説明

41.3.1 DBG ブロック図

図 412. デバッグサポートインフラストラクチャのブロック図



1. Arm® CoreSight™ コンポーネント

41.3.2 DBG ピンおよび内部信号

表 255. JTAG／シリアルワイヤデバッグポートのピン

ピン名	JTAG デバッグポート		SW デバッグポート		ピン割り当て
	タイプ	説明	タイプ	説明	
JTMS／SWDIO	I	JTAG テストモード選択	IO	シリアルワイヤデータ入出力	PA13
JTCK／SWCLK	I	JTAG テストクロック	I	シリアルワイヤクロック	PA14
JTDI	I	JTAG テストデータ入力	-	-	PA15
JTDO/TRACESWO	O	JTAG テストデータ出力	-	-	PB3
nJTRST	I	JTAG テストリセット	-	-	PB4

表 256. トレースポートピン

ピン名	タイプ	説明	ピン割り当て
TRACED0	O	トレース同期データ出力 0	データシート参照
TRACED1		トレース同期データ出力 1	
TRACED2		トレース同期データ出力 2	
TRACED3		トレース同期データ出力 3	
TRACECK		トレースクロック	

表 257. シリアルワイヤトレースポートのピン

ピン名	タイプ	説明	ピン割り当て
TRACESWO	O	シングルワイヤトレース非同期データ出力	PB3(1)

1. TRACESWO が JTDOとマルチプレクスされます。つまり、シングルワイヤトレースは JTAG ではなく、シリアルワイヤデバッグ用のインタフェースを使用する場合にしか使用できません。

表 258. トリガピン

ピン名	タイプ	説明	ピン割り当て
TRIG_INOUT	IO	外部トリガ双方向(1)	データシート参照

1. TRIG_INOUT は、DBGMCU の TRGOEN ビットによって、入力または出力として設定できます。

41.3.3 DBG 電力ドメイン

デバッグコンポーネントは、コア電力ドメインに配置されています。これは、SHUTDOWN または STANDBY 低電力モードではデバッガ接続を使用できないことを意味しています。デバイスが STANDBY モードになったときに接続が切断されないよう、DBGMCU にビットをセットしてコアへの電源供給を維持することができます。これにより、プロセッサクロックをアクティブな状態に維持しながらリセットを保留して、デバッグセッションを維持することができます。

41.3.4 DBG クロック

デバッガは、デバッグインタフェースのピン、JTCK/SWCLK を介して、デバッグポート用のクロックを提供します。このクロックを使用して、シリアルワイヤおよびJTAGモード でシリアル入力データを登録し、同時にデバッグポートのステートマシンや内部ロジックを運用します。したがって、デバッグポートを確実にアイドルステートに戻すためには、クロックはアクセス終了後に数回のサイクルの間トグルし続ける必要があります。

SWJ-DP は DAPCLK ドメインとの非同期インタフェースを内蔵しており、このインタフェースは残りの SWJ-DP および CPU2 アクセスポートを範囲に含みます。

DAPCLK は、システム HCLK4 のゲート付きバージョンです。

DAPCLK ドメインは、デバッグポート CTRL/STAT レジスタの CDBGPWRUPREQE ビットを使用して、デバッガによって有効にできます。デバッガがデバイスのデバッグ機能のいずれかにアクセスするには、先にクロックを有効にする必要があります。クロックの有効性は、デバッグポート CTRL/STAT レジスタの CDBGPWRUPACK ビットに反映されます。DAPCLK は、電力消費を下げるために、パワーアップ時、OBL 後、STANDBY からのウェイクアップ後に無効になります。また、デバッガの接続を外したとき、無効にする必要があります。

プロセッサに内蔵されているデバッグおよびトレースコンポーネント（特に、ETM、ITM、DWG、FPB）には対応するコアクロックが供給されます。

41.3.5 デバッグおよび低電力モード

デバイスには省電力機能が内蔵されており、必要ないときにはコア電力ドメインを電源オフまたは停止することができます。電源オフ、またはコアがクロック供給されていない場合、デバッグコンポーネントはすべてデバッガにアクセスできません。このような事態を防ぐために、省電力モードのエミュレーションが実装されています。あるドメインでエミュレーションが有効な場合、そのドメインは省電力モードに入りますが、そのクロックと電力は維持されます。言い換えれば、ドメインはあたかも省電力モードにいるかのように振る舞いながら、デバッガとの接続は切れません。

エミュレーションモードは、マイクロコントローラデバッグ（DBGMCU）ユニットでプログラムされます。詳細については、セクション 41.8 を参照してください。

41.3.6 DBG リセット

デバッグポート（SWJ-DP）は、パワーオンリセットまたは OBL リセットによって、および STANDBY モードからウェイクアップするときに、リセットされます。

41.4 シリアルワイヤおよび JTAG デバッグポート（SWJ-DP）

SWJ-DP は CoreSight™ コンポーネントの 1 つで、デバッグ装置との接続用の外部アクセスポートを実装しています。

2 種類のインタフェースを設定することができます。

- 5 ピンの標準 JTAG インタフェース（JTAG-DP）
- 2 ピン（クロック + データ）の"シリアルワイヤデバッグ"ポート（SW-DP）

2 つのモードは同じ IO ピンを共有しているため、相互に排他的です。

デフォルトでは、JTAG-DP はシステムリセットまたはパワーオンリセット後に選択されます。5 つの IO ピンはデバッグ代替機能モードでハードウェアによって設定されます。SWJ-DP は、JTDI、JTMS/SWDIO、および nJTRST にプルアップ抵抗、JTCK/SWCLK にプルダウン抵抗を内蔵しています。

デバッガはJTMS/SWDIO に次のようなシリアルデータシーケンスを送信することによって、SW-DP を選択することができます。

.....（1 が 50 個以上）..., 0, 1, 1, 1, 1, 0, 0, 1, 1, 1, 1, 0, 0, 1, 1, 1, ...（1 が 50 個以上）...

JTCK/SWCLK はデータビットごとに循環させる必要があります。

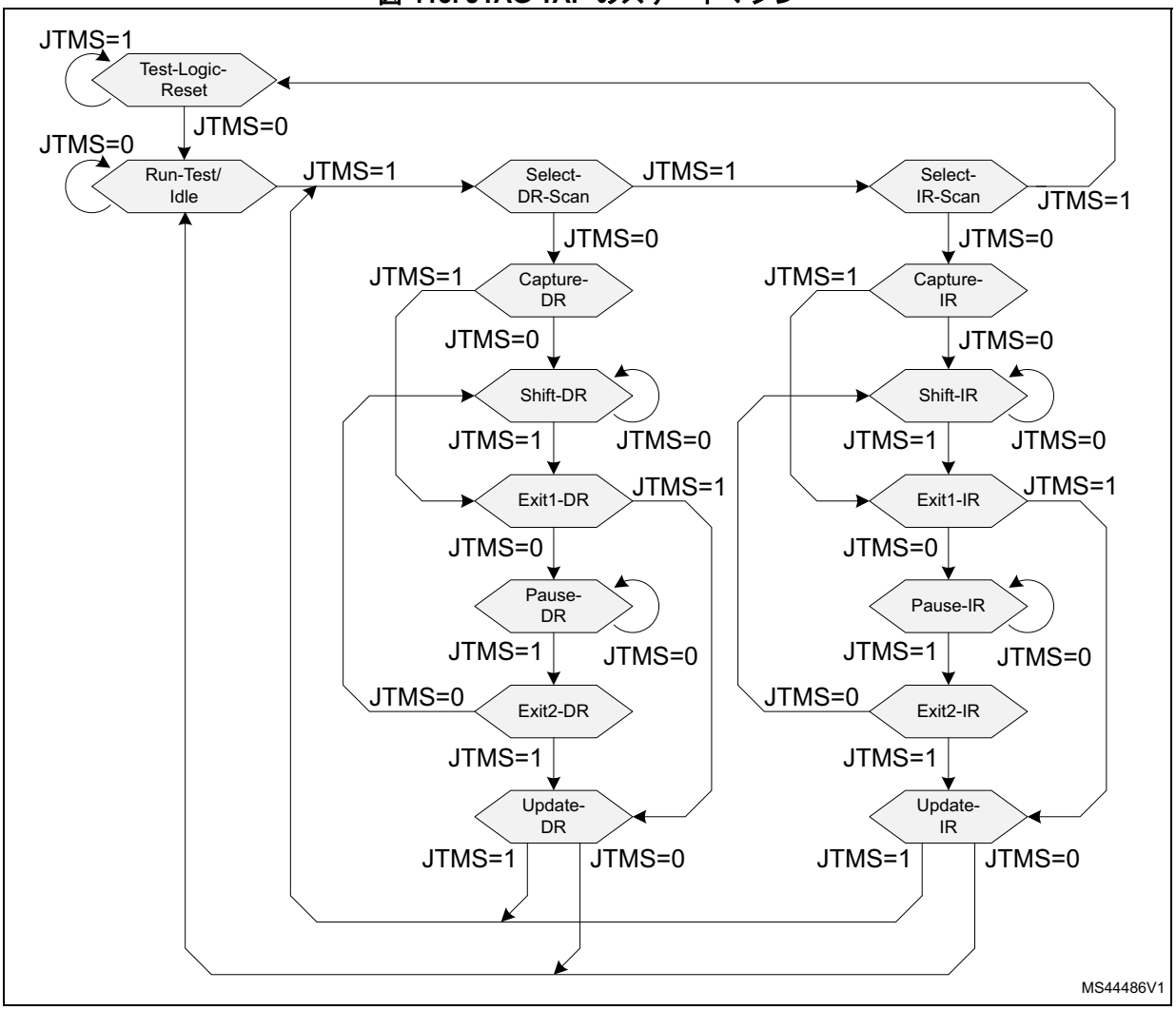
SW-DP モードでは、使用していない JTAG ピン、JTDI、JTDO、および nJTRST を他の機能に使用することができます。SWJ ポートのすべての IO はソフトウェアで他の機能に再設定できますが、デバッグはできなくなるので注意してください。

41.4.1 JTAG デバッグポート

JTAG デバッグポートには、JTAG-DP TAP と BSC TAP の 2 つの TAP があります。

JTAG-DP は IEEE 1149.1-1990 に基づく、図 413 に示す TAP ステートマシン（TAPSM）を実装しています。ステートマシンは 2 つのスキャンチェインを制御します。一方は 1 つの命令レジスタ（IR）に、もう一方は複数のデータレジスタ（DR）に関連付けられています。

図 413. JTAG TAP のステートマシン



JTAG-DP の動作は次のとおりです。

- TAPSM が Capture-IR ステートに入ると、0b0001 が命令レジスタ（IR）のスキャンチェインに転送されます。IR スキャンチェインは JTDI と JTDO の間に接続されます。
- TAPSM が Shift-IR ステートにあるとき、IR スキャンチェインは JTCK の各立ち上がりエッジで 1 ビットだけシフトします。つまり、最初の単位時間で以下のアクションが起こります。
  - IR スキャンチェインの LSB が JTDO に出力されます。
  - IR スキャンチェインのビット [n] がビット [n-1] に転送されます。
  - JTDI の値が IR スキャンチェインの MSB に転送されます。

- TAPSM が Update-IR ステートに入ると、IR スキャンチェインにスキャンされた値が命令レジスタに転送されます。
- TAPSM が Capture-DR ステートに入ると、ある値がデータレジスタの 1 つから、JTDI と JTDO の間に接続された DR スキャンチェインの 1 つに転送されます。
- 命令レジスタに保持された値によって、どのデータレジスタ、および該当する DR スキャンチェインを選択するかが決まります。
- 次に、このデータは、TAPSM が Shift-DR ステートにある間に、Shift-IR ステートで IR がシフトしたのと同じようにシフトします。
- TAPSM が Update-DR ステートに入ると、DR スキャンチェインにスキャンされた値が選択されたデータレジスタに転送されます。
- TAPSM が Run-Test/Idle ステートにあるときは、特別なアクションは起こりません。IDCODE 命令は IR にロードされます。

アクティブな場合、nJTRST 信号は Test-Logic-Reset ステートとは非同期にステートマシンをリセットします。

4 ビットの IR 命令に対応するデータレジスタを表 259 に記載します。IR 命令の全長は 9 ビットです。

表 259. JTAG-DP データレジスタ

IR 命令	DR レジスタ	スキャンチェイン長	説明
0000～0111	（BYPASS）	1	実装されません。BYPASS が選択されます。
1000	ABORT	35	アボートレジスタ – ビット 31:1 = 予約済み – ビット 0 = APABORT：AP アボートを生成するには 1 を書き込みます。
1001	（BYPASS）	1	予約済み。BYPASS が選択されます。
1010	DPACC	35	デバッグポートアクセスレジスタ デバッグポートを初期化し、デバッグポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書込みリクエスト用に転送する 32 ビットデータ ビット 2:1 = A[3:2] = デバッグポートレジスタの 2 ビットアドレス ビット 0 = RnW = 読出しリクエスト（1）または書込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み

表 259. JTAG-DP データレジスタ （続き）

IR 命令	DR レジスタ	スキャンチェイン長	説明
1011	APACC	35	アクセスポートアクセスレジスタ アクセスポートを初期化し、アクセスポートレジスタへのアクセスを可能にします。 – 入力データ転送時： ビット 34:3 = DATA[31:0] = 書込みリクエスト用にシフトインする 32 ビットデータ ビット 2:1 = A[3:2] = アクセスポートレジスタの 2 ビットサブアドレス ビット 0 = RnW = 読出しリクエスト（1）または書込みリクエスト（0） – 出力データ転送時： ビット 34:3 = DATA[31:0] = 読出しリクエストに続いて読み出される 32 ビットデータ ビット 2:0 = ACK[2:0] = 3 ビット確認応答： 010 = OK/FAULT 001 = WAIT その他 = 予約済み
1100	（BYPASS）	1	予約済み。BYPASS が選択されます。
1101	（BYPASS）	1	予約済み。BYPASS が選択されます。
1110	IDCODE	32	ID コード 0x6BA0 0477：Arm® JTAG デバッグポートの ID コード
1111	BYPASS	1	バイパス 1 JTCK サイクル遅延が JTDI と JTDO の間に挿入されます。

DR レジスタの詳細は、Arm® Debug Interface Architecture Specification を参照してください [1]。

41.4.2 SW デバッグポート

シリアルワイヤデバッグプロトコルでは、次の 2 種類のピンを使用します。

- SWCLK：ホストからターゲットへのクロック
- SWDIO：双方向シリアルデータ（100kΩプルアップが必要）

シリアルデータはクロックと同期して LSBが先に転送されます。転送は以下の 3 フェーズで構成されます。

1. ホストによって送信されるパケットリクエスト（8 ビット）（表 260 を参照）
2. ターゲットによって送信される確認応答（3 ビット）（表 261 を参照）
3. ホスト（書込みの場合）またはターゲット（読出しの場合）によって送信されるデータ転送（33 ビット）（表 262 を参照）

確認応答が OK である場合にのみ、データ転送が実行されます。

データ方向が逆転した場合、各フェーズの間に 1 クロックサイクルのターンアラウンド時間が挿入されます。

表 260. パケットリクエスト

ビットフィールド	名前	説明
0	スタート	"1"である必要があります。
1	APnDP	– 0：DP レジスタアクセス - DP レジスタのリストは 表 259 を参照のこと。 – 1：AP レジスタアクセス - セクション 41.5：アクセスポートを参照のこと。
2	RnW	– 0：書き込みリクエスト – 1：読出しリクエスト
4:3	A[3:2]	DP または AP レジスタのアドレスフィールド（ を参照）
5	Parity	先行するビットの 1 ビットパリティ
6	STOP	0
7	Park	ホストによって駆動されません。ターゲットによって「1」と読み出される必要があります。

表 261. ACK 応答

ビットフィールド	名前	説明
2:0	ACK	– 000：FAULT – 010：WAIT – 100：OK

表 262. データ転送

ビットフィールド	名前	説明
31:0	WDATA または RDATA	書込み／読出しデータ
32	Parity	32 データビットのうちの 1 ビットパリティ

ターゲットからフォールトまたはウェイトの ACK 応答があった場合、オーバーラン検出が有効でなければ、データ転送フェーズは取り消されます。この場合、データはターゲットから無視されるか（書込み時）、駆動されません（読出し時）。

初回接続時またはプロトコルエラー発生時には、ホストはラインリセットを生成する必要があります。ラインリセットは、SWDIO がハイの状態の 50 回以上の SWCLK サイクルと、これに続く SWDIO がローの状態の 2 回の SWCLK サイクルで構成されています。

シリアルワイヤデバッグプロトコルの詳細については、Arm® Debug Interface Architecture Specification を参照してください [1]。

注： **SWJ-DP は SWD プロトコルのバージョン 2 を実装しています。**

41.4.3 デバッグポートレジスタ

SW-DP と JTAG-DP は両方とも表 263 に示されたデバッグポート（DP）レジスタにアクセスします。

デバッガは次のように DP レジスタへアクセスすることができます。

- JTAG を使用する場合は、バンク内にあるレジスタアドレスを DPACC レジスタの A(3:2) フィールドに書き込みます。読出しか書込みかを選択するために、RnW ビットをプログラムします。書込みの場合は、DATA フィールドに書込みデータをプログラムします。SWD を使用する場合、A(3:2) および RnW フィールドは、APnDP ビットをリセットした状態で SW-DP に送信されるパケットリクエストワードの一部となります（表 260 を参照）。書込みデータはデータフェーズで送信されます。
- アドレス 0x4 の DP バンクレジスタの 1 つにアクセスするには、まずアドレス 0x8 の DP_SELECT レジスタにレジスタ番号を書き込む必要があります。アドレス 0x4 への後続の読出しまたは書込みはすべて、DP_SELECT レジスタの内容に対応するレジスタにアクセスします。

41.4.4 DP デバッグポートの識別レジスタ（DP_DPIDR）

アドレスオフセット：0x0

リセット値：0x5BA0 2477

読出し専用

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REVISION[3:0]				PARTNO[7:0]								Res.	Res.	Res.	MIN
r	r	r	r	r	r	r	r	r	r	r	r				r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VERSION[3:0]				DESIGNER[10:0]											Res.
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:28 **REVISION[3:0]**：リビジョンコード
0x5

ビット 27:20 **PARTNO[7:0]**：デバッグポートの部品番号
0xBA

ビット 19:17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **MIN**：最小デバッグポート（MINDP)の実装
0x0：MINDP は実装されません（トランザクションカウンタとプッシュ動作をサポート）

ビット 15:12 **VERSION[3:0]**：DP アーキテクチャバージョン
0x2：DPv2

ビット 11:1 **DESIGNER[10:0]**：JEDEC 設計者 ID コード
0x23B：Arm® JEDEC コード

ビット 0 予約済みであり、リセット値に保持する必要があります。

41.4.5 DP アボートレジスタ（DP_ABORTR）

アドレスオフセット：0x0

リセット値：0x0000 0000

書込み専用

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ORUNERRCLR	WDERRCLR	STKERRCLR	STKCMPCLR	DAPABORT
											w	r	r	r	

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **ORUNERRCLR**：オーバーランエラーのクリア

0：影響なし。

1：CTRL/STAT.STICKYORUN ビットをクリアします。

ビット 3 **WDERRCLR**：書込みデータエラーのクリア

0：影響なし。

1：CTRL/STAT.WDATAERR ビットをクリアします。

ビット 2 **STKERRCLR**：スティッキーエラーのクリア

0：影響なし。

1：CTRL/STAT.STICKYERR ビットをクリアします。

ビット 1 **STKCMPCLR**：スティッキー比較のクリア

0：影響なし。

1：CTRL/STAT.STICKYCMP ビットをクリアします。

ビット 0 **DAPABORT**：現在の AP トランザクションがストールしていることを示す過剰な数のウェイト応答が返されると、そのトランザクションをアボートします。

0：影響なし。

1：トランザクションをアボートします。

41.4.6 DP 制御およびステータスレジスタ（DP_CTRL/STATR）

アドレスオフセット：0x4 および DP_SELECTR.DPBANKSEL = 0

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	CDBGPWRUPACK	CDBGPWRUPREQ	Res.	Res.	Res.	Res.	TRNCNT[11:4]							
		r	r					r	r	r	r				r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT[3:0]				CMASKLANE[3:0]				WDATAERR	READOK	STICKYERR	STICKYCMP	TRNMODE[1:0]		STICKYORUN	ORUNDETECT
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **CDBGPWRUPACK**：セクション 41.3.4：DBG クロックの説明を参照してください。

0 = DAPCLK はゲートされています。

1 = DAPCLK は有効です。

ビット 28 **CDBGPWRUPREQ**：DAPCLK イネーブルリクエスト信号を制御します。

0 = DAPCLK のゲート操作をリクエストします。

1 = DAPCLK の有効化をリクエストします。

ビット 27:24 予約済みであり、リセット値に保持する必要があります。

ビット 23:12 **TRNCNT[11:0]**：トランザクションカウンタ AP を介してインクリメントアドレスへの一連のトランザクションをプログラムするために、実行するトランザクション数が TRNCNT にロードされます。このビットは、トランザクションが正常終了するたびにデクリメントされます。

ビット 11:8 **MASKLANE[3:0]**: プッシュ比較/プッシュ検証操作でマスクされるバイトを示します（CTRL/STAT.TRNMODE = 1 または 2）。プッシュ操作では、AP 書き込みトランザクションで提供されるワードを現在のターゲット AP アドレスの値と比較します。

0b1XXX= 比較にバイトレーン 3 を含める。

0bX1XX= 比較にバイトレーン 2 を含める。

0bXX1X= 比較にバイトレーン 1 を含める。

0bXXX1= 比較にバイトレーン 0 を含める。

ビット 7 **WDATAERR**。SW-DP の書込みデータエラー（読出し専用）。次のことを示します。

– 書込みのデータフェーズでパリティエラーまたはフレーミングエラーが発生しています。または、

– DP によって受け付けられた書込みが AP に提供されることなく破棄されました。

このビットは、ABORT.WDERRCLR ビットに 1 を書き込むことによってリセットされます。

0：エラーはありません。

1：エラーが発生しました。

JTAG-DP では予約済み。

ビット 6 **READOK**。SW-DP の AP 読出し応答（読出し専用）最後の AP 読出しアクセスへの応答を示します。

0：読出しは NG です。

1：読出しは OK です。

JTAG-DP では予約済み。

ビット 5 **STICKYERR**。トランザクションエラー（SW-DP では読出し専用、JTAG-DP では読み書き）。AP トランザクション中にエラーが発生したことを示します。

0：エラーはありません。

1：エラーが発生しました。

SW-DP では、このビットは、ABORT.STKERRCLR ビットに 1 を書き込むことによってリセットされます。JTAG-DP では、1 を書き込むことによってリセットされます。

ビット 4 **STICKYCMP**：比較一致（SW-DP では読出し専用、JTAG-DP では読み書き）。プッシュ操作中に一致が発生したことを示します。

0：TRNMODE = 0x1 であれば一致、TRNMODE = 0x2 であれば不一致です。

1：TRNMODE = 0x1 であれば不一致、TRNMODE = 0x2 であれば一致です。

SW-DP では、このビットは、ABORT.STKCMPCLR ビットに 1 を書き込むことによってリセットされます。JTAG-DP では、1 を書き込むことによってリセットされます。

ビット 3:2 **TRNMODE[1:0]**：AP 書込み操作の転送モード（読出し操作の場合、このフィールドを 0x0 にセットする必要があります）。

0x0：通常動作。AP トランザクションは AP に直接渡されます。

0x1：プッシュ検証操作。DP は書込みデータを保存し、ターゲット AP アドレスで読み出しトランザクションを実行します。読出し結果が格納されているデータと比較され、一致しない場合は STICKYCMP ビットがセットされます。

0x2：プッシュ比較操作。DP は書込みデータを保存し、ターゲット AP アドレスで読み出しトランザクションを実行します。読出し結果が格納されているデータと比較され、一致する場合は STICKYCMP ビットがセットされます。

0x3：予約済み

プッシュ操作では、MASKLANE フィールドで示されたデータバイトのみが比較に含まれます。

ビット 1 **STICKYORUN**：オーバーラン（SW-DP では読出し専用、JTAG-DP では読み書き）。オーバーラン（前のトランザクションの完了前に新たなトランザクションを受信）が発生したことを示します。このビットは、ORUNDETECT ビットがセットされている場合のみセットされます。

0：オーバーランはありません。

1：オーバーランが発生しました。

SW-DP では、このビットは、ABORT.ORUNERRCLR ビットに 1 を書き込むことによってリセットされます。JTAG-DP では、1 を書き込むことによってリセットされます。

ビット 0 **ORUNDETECT**：オーバーラン検出モード有効。

0：オーバーラン検出は無効です。

1：オーバーラン検出は有効です。オーバーランが発生した場合、STICKYORUN ビットがセットされ、このビットがクリアされるまで次のトランザクションはブロックされます。

41.4.7 DP のデータリンク制御レジスタ（DP_DLCR）

アドレスオフセット：0x4 および DP_SELECTR.DPBANKSEL = 1

リセット値：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TURNROUND[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						r	r								

ビット 31:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **TURNROUND[1:0]**：SWDIO のトライステート周期。

0x0：1 データビット周期
0x1：2 データビット周期
0x2：3 データビット周期
0x3：4 データビット周期

ビット 7 予約済みであり、リセット値に保持する必要があります。

ビット 6 予約済みであり、リセット値（1 にセット）に保持する必要があります。

ビット 5:0 予約済みであり、リセット値に保持する必要があります。

41.4.8 DP ターゲット識別レジスタ（DP_TARGETIDR）

アドレスオフセット：0x4 および DP_SELECTR.DPBANKSEL = 2

リセット値：0X04955 0041

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TREVISION[3:0]				TPARTNO[15:4]											
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPARTNO[3:0]				TDESIGNER[10:0]											Res.
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	

ビット 31:28 **TREVISION**：ターゲットのリビジョン。

0x0：リビジョン 1

ビット 27:12 **TPARTNO**：ターゲットの部品番号。

0x4950：STM32WB55xx/35xx

ビット 11:1 **TDESIGNER**：ターゲットの設計者の JEDEC コード。

0x020：STMicroelectronics

ビット 0 予約済みであり、リセット値（1 にセット）に保持する必要があります。

41.4.9 DP データリンクプロトコル識別レジスタ（DP_DLPIDR）

アドレスオフセット：0x4 および DP_SELECTR.DPBANKSEL = 3

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TINSTANCE[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	r	r												

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PROTSVN[3:0]			
												r	r	r	r

ビット 31:28 **TINSTANCE[3:0]**：ターゲットのインスタンス番号。マルチドロップシステムにおけるこのデバイスのインスタンス番号を定義します。

0x0：インスタンス番号 0

ビット 27:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **PROTSVN[3:0]**：シリアルワイヤデバッグプロトコルのバージョン。

0x1：バージョン 2

41.4.10 DP 再送信レジスタ（DP_RESENDR）

アドレスオフセット：0x8

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RESEND[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESEND[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RESEND**：最後の AP 読出しまたは DP_RDBUFF 読出しによって返された値が返されます。読み出し転送の破損時に使用されます。

41.4.11 DP アクセスポート選択レジスタ（DP_SELECTR）

アドレスオフセット：0x8

リセット値：不明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
APSEL[7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
w	w	w	w	w	w	w	w								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APBANKSEL[3:0]				DPBANKSEL[3:0]			
								w	w	w	w	w	w	w	w

ビット 31:24 **APSEL[7:0]**：アクセスポート選択。次のトランザクションのアクセスポートを選択します。
0x0：AP0 - CPU1（Cortex®-M4）デバッグアクセスポート（AHB-AP）
0x1：AP1 - CPU2（Cortex®-M0+）デバッグアクセスポート（AHB-AP）
0x2～0xFF：予約済み

ビット 27:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **APBANKSEL[3:0]**：AP レジスタバンク選択次のトランザクションのアクティブな AP で 4 ワードレジスタバンクを選択します。

ビット 3:0 **DPBANKSEL[3:0]**：DP レジスタバンク選択デバッグポートのアドレス 0x4 のレジスタを選択します。
0x0：CTRL/STAT レジスタ
0x1：DLCR レジスタ
0x2：TARGETID レジスタ
0x3：DLPIDR レジスタ
0x4 から 0xF：予約済みです。

41.4.12 DP 読出しバッファレジスタ（DP_BUFFR）

アドレスオフセット：0xC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RDBUFF[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDBUFF[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **RDBUFF[31:0]**：最後の AP 読出しアクセスによって返された値が格納されています。AP 読出しアクセスによって返された値は、同じアドレスに対する 2 回目の読出しアクセスで取得でき、これによって対応するバス上で新しいトランザクションを開始することができます。値はこのレジスタから読み出すこともできますが、その場合、新しい AP トランザクションは発生しません。

41.4.13 DP ターゲット選択レジスタ（DP_TARGETSELR）

アドレスオフセット：0xC

リセット値：不明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TINSTANCE[3:0]				TPARTNO[15:4]											
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPARTNO[3:0]				TDESIGNER[10:0]											Res.
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	

ビット 31:28 **TINSTANCE[3:0]**：ターゲットのインスタンス番号。マルチドロップシステムにおけるターゲットデバイスのインスタンス番号を定義します。このデバイスを選択するには、DLPIDR.TINSTANCE に使用されるのと同じ値をこれらのビットに書き込む必要があります。

ビット 27:12 **TPARTNO[15:0]**：ターゲットの部品番号。ターゲットデバイスの部品番号を定義します。このデバイスを選択するには、TARGETID.TPARTNO に使用されるのと同じ値をこれらのビットに書き込む必要があります。

ビット 11:1 **TDESIGNER[10:0]**：ターゲットの設計者の JEDEC コード。ターゲットデバイスの JEDEC コードを定義します。このデバイスを選択するには、TARGETID.TDESIGNER に使用されるのと同じ値をこれらのビットに書き込む必要があります。

ビット 0 予約済みであり、リセット値（1 にセット）に保持する必要があります。

41.4.14 デバッグポートのレジスタマップとリセット値

これらのレジスタは CPU メモリバス上にはありません。SW-DP および JTAG-DP のデバッグインタフェースからのみアクセスできます。

デバッグポートアドレスは 2 ビット幅で、JTAG-DP レジスタの DPACC または SW-DP パケットリクエストの A[3:2] フィールドで定義されています。

表 263. デバッグポートのレジスタマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0b00	DP_DPIDR	REVISION [3:0]				PARTNO[7:0]								Res.	Res.	Res.	MIN	VERSION [3:0]				DESIGNER[10:0]											Res.
	リセット値	0	1	0	1	1	0	1	1	1	0	1	0				0	0	0	1	0	0	1	0	0	0	1	1	1	0	1	1	1
0b00	DP_ABORTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ORUNERRCLR	WDERRCLR	STKERRCLR	STKCMPCLR	DAPABORT
	リセット値																												0	0	0	0	0
0b01(1)	DP_CTRL/STATR	Res.	Res.	CDBGPWRUPACK	CDBGPWRUPREQ	Res.	Res.	Res.	Res.	TRNCNT[11:0]												APPSET[3:0]				WDATAERR	READOK	STICKYERR	STICKYCMP	TRNMODE[1:0]		STICKYORUN	ORUNDETECT
	リセット値			0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0b01 (1)	DP_DLCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TURNROUND [1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																							0	0								
0b01(2)	DP_TARGETIDR	TREVISION [3:0]				TPARTNO[15:0]																TDESIGNER[10:0]											Res.
	リセット値	0	0	0	0	0	1	0	0	1	0	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	
0b01(3)	DP_DLPIDR	TINSTANCE [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PROTSVN [3:0]			
	リセット値	0	0	0	0																									0	0	0	1
0b10	DP_RESENDR	RESEND[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0b10	DP_SELECTR	APSEL[7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APBANKSEL [3:0]				DPBANKSEL[3:0]			
	リセット値	x	x	x	x	x	x	x	x																	x	x	x	x	x	x	x	x
0b11	DP_BUFFR	RDBUFF[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0b11	DP_TERGETSELR	TINSTANCE [3:0]				TPARTNO[15:0]																TDESIGNER[10:0]											Res.
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

1. DP_SELECTR.DPBANKSEL = 1。
2. DP_SELECTR.DPBANKSEL = 2。
3. DP_SELECTR.DPBANKSEL = 3。

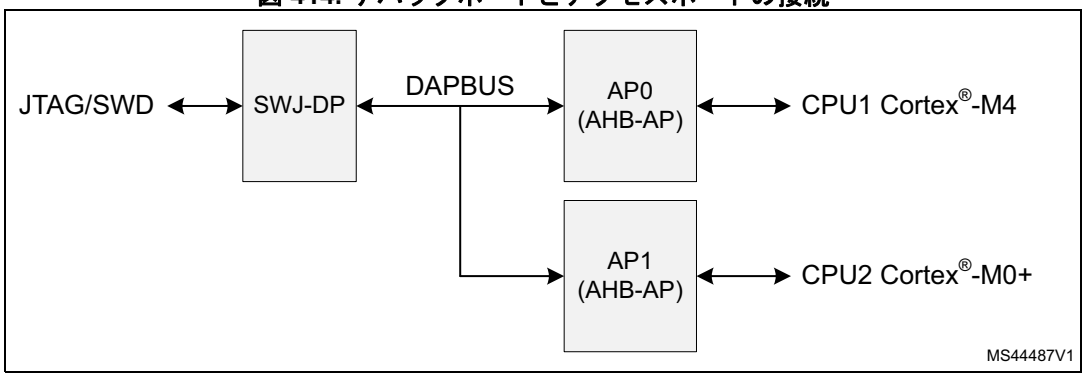
41.5 アクセスポート

図 414 に示すように、DP には 2 つのアクセスポート（AP）が接続されています。

1. AP0：CPU1（Cortex®-M4）アクセスポート（AHB-AP）：内部 AHB バスを介して、Cortex®-M4 プロセッサコアに組み込まれているデバッグおよびトレース機能へのアクセスを可能にします。
2. AP1：CPU2（Cortex®-M0+）アクセスポート（AHB-AP）：内部 AHB バスを介して、Cortex®-M0+ プロセッサコアに組み込まれているデバッグおよびトレース機能へのアクセスを可能にします。

アクセスポートは両方とも MEM-AP タイプです。つまり、デバッグおよびトレースコンポーネントのレジスタは関連のデバッグバスのアドレス空間にマップされます。AP は、デバッガより、それぞれ 4 つのレジスタからなるバンクとして構成された一連の 32 ビットレジスタと見なされます。これらのレジスタの一部を使用して AP 自体を設定または監視し、その他のレジスタはバスで転送を行うために使用します。AP レジスタを 表 264 に記載します。

図 414. デバッグポートとアクセスポートの接続



AP レジスタのアドレス構成は以下のとおりです。

- ビット [7:4]：DP の SELECT レジスタの APBANKSEL フィールドの内容（セクション 41.4.11 を参照）
- ビット [3:2]：使用するデバッグインタフェースに応じて、JTAG-DP の APACC データレジスタの A(3:2) フィールドの内容（表 263 を参照）、または SW-DP パケットリクエストの内容（表 260 を参照）のいずれか。
- ビット [1:0]：常に 0 に設定されます。

DP の SELECT レジスタの APSEL フィールドには、アクセスされる MEM-AP を定義します。

デバッガは次のように AP レジスタへアクセスすることができます。

1. AP のうちの 1 つを選択するには SELECT レジスタの APSEL フィールドをプログラムし、アクセスするレジスタバンクを選択するには APBANKSEL フィールドをプログラムします（セクション 41.4.11 を参照）。
2. JTAG を使用する場合は、バンク内にあるレジスタアドレスを APACC レジスタの A(3:2) フィールドに書き込みます。読出しか書込みかを選択するために、RnW ビットをプログラムします。書込みの場合は、DATA フィールドに書込みデータをプログラムします。SWD を使用する場合、A(3:2) および RnW フィールドは、APnDP ビットをセットした状態で SW-DP に送信されるパケットリクエストワードの一部となります（表 260 参照）。書込みデータはデータフェーズで送信されます。

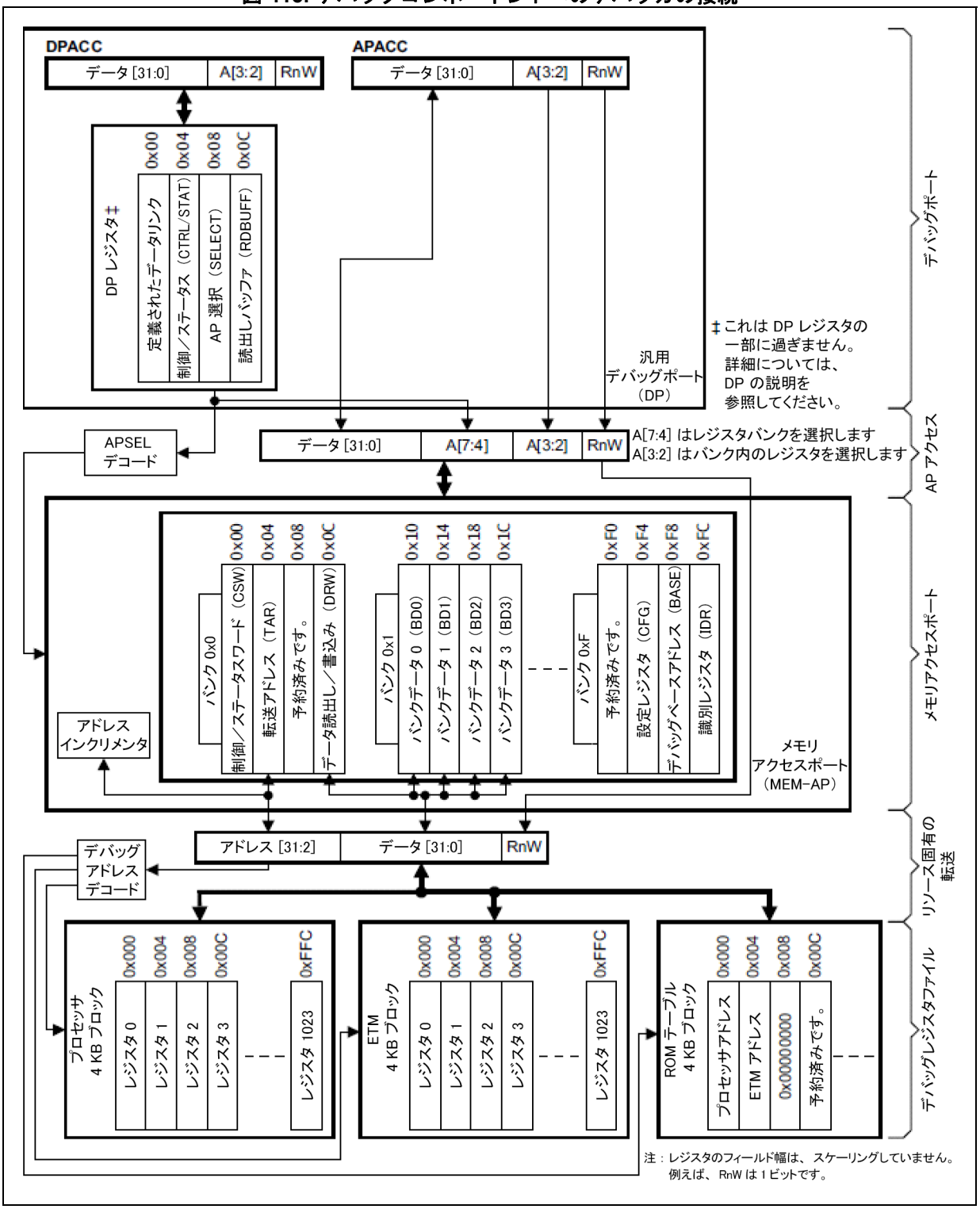
デバッガは、MEM-AP レジスタを使用して、以下の手順でメモリマップドデバッグコンポーネントレジスタにアクセス可能です（すなわち、上記の AP レジスタアクセス手順を使用）。

1. TAR レジスタのトランザクションターゲットアドレスをプログラムします。
2. 必要であれば、転送パラメータ（AddrInc など）を CSW レジスタに書き込みます。
3. TAR レジスタに保持されているアドレスのバストランザクションを開始するには、DRW レジスタに対する書き込みまたは読出しを行います。あるいは、バンクデータレジスタ BDn に対する読出し／書込みを行うことで、アドレス TAR[31:4] + n へのアクセスを開始します（これにより、TAR レジスタのアドレスを変更せずに、最大 4 つの連続したアドレスへのアクセスが可能になります）。

図 415 に、MEM-AP を使用してデバッグポートをデバッグコンポーネント（この例ではプロセッサ、ETM、および ROM テーブル）に接続する方法を示します。

MEM-AP の詳細については、Arm® Debug Interface Architecture Specification を参照してください [1]。

図 415. デバッグコンポーネントへのデバッガの接続



41.5.1 AP 制御／ステータスワードレジスタ（AP_CSWR）

アドレスオフセット：0x0

リセット値：0x2300 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	SPROT	Res.	PROT[4:0]					SPI ステータス	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	r		r	r	r	r	r								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	MODE[3:0]				TRIN PROG	DEVICE EN	ADDRIN[1:0]		Res.	SIZE[2:0]		
				r	r	r	r	r	r	r	r		r	r	r

ビット 31 予約済みであり、リセット値に保持する必要があります。

ビット 30 **SPROT**：セキュア転送リクエスト。AHB-AP では、このフィールドにはバス転送の保護属性 HPROT[6] をセットします。
0：SPIDEN がハイであればセキュア転送です。SPIDEN がローであれば非セキュア転送です。
1：非セキュア転送です。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:24 **PROT[4:0]**：バス転送保護。AHB-AP では、このフィールドにはバス転送の保護属性 HPROT[4:0] をセットします。
0bXXXX0：命令フェッチ
0bXXXX1：データアクセス
0bXXX0X：ユーザモード
0bXXX1X：特権モード
0bXX0XX：バッファ格納不可
0bXX1XX：バッファ格納可
0bX0XXX：キャッシュ格納不可
0bX1XXX：キャッシュ格納可
0b0XXXX：非排他的
0b1XXXX：排他的

ビット 23 **SPISTATUS**：SPIDEN オプションビットのステータス（読出し専用）。この信号は、デバッガがセキュアメモリにアクセスできるかどうかを決定します。
0：セキュア AHB 転送はブロックされます。
1：セキュア AHB 転送は許可されています。

ビット 22:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:8 **MODE[3:0]**：バリアサポート有効。メモリバリア操作がサポートされるかどうかを定義します。
0x0：サポートされません

ビット 7 **TRINPROG**：実行中の転送（読出し専用）。AP でバス転送を実行中であるかどうかを示します。
0x0：実行中の転送はありません。
0x1：バス転送を実行中です。

ビット 6 **DEVICEEN**：デバイス有効（読出し専用）。AP にアクセスできるかどうかを定義します。
0x1：AP アクセスは有効です。

ビット 5:4 **ADDRINC[1:0]**：オートインクリメントモード。TAR アドレスがトランザクション後に自動的にインクリメントされるかどうかを定義します。

0x0：自動インクリメントされません。

0x1：アドレスはトランザクションのバイトサイズ（SIZE フィールド）でインクリメントされます。

0x2：パッキング転送が有効です。32-bit の AP アクセスにより、プログラムされたトランザクションサイズに応じて、1 x 32-bit 、2 x 16-bit 、または 4 x 8-bit のバストランザクションが開始されます。データはそれに応じてパック／アンパックされます。

0x3：予約済み

ビット 3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **SIZE[2:0]**：次のメモリアクセストランザクションのサイズ

0x0：バイト（8 ビット）

0x1：ハーフワード（16 ビット）

0x2：ワード（32 ビット）

0x3～0x7：予約済み

41.5.2 AP 転送アドレスレジスタ（AP_TAR）

アドレスオフセット：0x04

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TA[31:0]**：現在の転送のアドレス

41.5.3 AP データ読出し／書込みレジスタ（AP_DRWR）

アドレスオフセット：0x0C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TD[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TD[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TD[31:0]**：現在の転送データ

41.5.4 AP バンクデータレジスタ（AP_BD0-3R）

アドレスオフセット：0x10（DB0R）。

アドレスオフセット：0x14（BD1R）。

アドレスオフセット：0x18（BD2R）。

アドレスオフセット：0x1C（BD3R）。

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TBD[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBD[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:0 **TBD[31:0]**：アドレス TAR への現在の転送のバンクデータ。TA + AP_BDnR アドレス [3:2] + 0b00。自動アドレスインクリメントは AP_BD0-3R では行われません。バンク転送は、ワード転送の場合にのみサポートされます。

41.5.5 AP ベースアドレスレジスタ（AP_BASER）

アドレスオフセット：0xF8

リセット値：0xE00F F003（AP0）、0xF000 0003（AP1）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BASEADDR[19:4]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEADDR[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FORMAT	ENTRY PRESENT
r	r	r	r											r	r

ビット 31:12 **BASEADDR[19:0]**：AP の ROM テーブルの ベースアドレス（ビット 31～12）。ROM テーブルは 4 KB 境界に整列させる必要があるため、12 個の LSB は 0 です。

AP0 CPU1（Cortex®-M4）AHB-AP：0xE00FF

AP1 CPU2 （Cortex®-M0+）AHB-AP：0xF0000

ビット 11:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **FORMAT**：ベースアドレスレジスタのフォーマット。

1：Arm® Debug Interface V5

ビット 0 **ENTRYPRESENT**：アクセスポートバス上のデバッグコンポーネントの有無を示します。

1：デバッグコンポーネントが存在します。

41.5.6 AP 識別レジスタ（AP_IDR）

アドレスオフセット：0xFC

リセット値：0x2477 0011（AP0）、0x6477 0001（AP1）

読出し専用

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REVISION[3:0]				JEDECBANK[3:0]				JEDECCODE[6:0]							MEMAP
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IDENTITY[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:28 **REVISION[3:0]**：
0x2：r0p3
0x6：r0p7

ビット 27:24 **JEDECBANK[3:0]**：JEDEC バンク
0x4：Arm®

ビット 23:17 **JEDECCODE[6:0]**：JEDEC コード
0x3B：Arm®

ビット 16 **MEMAP**：メモリアクセスポート。
0x1：標準レジスタマップ

ビット 15:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **IDENTITY[7:0]**：AP のタイプを識別します。
0x11：CPU1（Cortex®-M4）AHB-AP（AP0）
0x01：CPU2（Cortex®-M0+）AHB-AP（AP1）

41.5.7 アクセスポートのレジスタマップとリセット値

これらのレジスタは CPU メモリバス上にはありません。SW-DP および JTAG-DP のデバッグインタフェースからのみアクセスできます。

アクセスポートアドレスは 8 ビット幅で、デバッグポートレジスタ DP_SELECTR.APBANKSEL[3:0] フィールド、および JTAG-DP レジスタの DPACC または SW-DP パケットリクエストの A[3:2] フィールドで定義されます。

表 264. アクセスポートのレジスタマップとリセット値

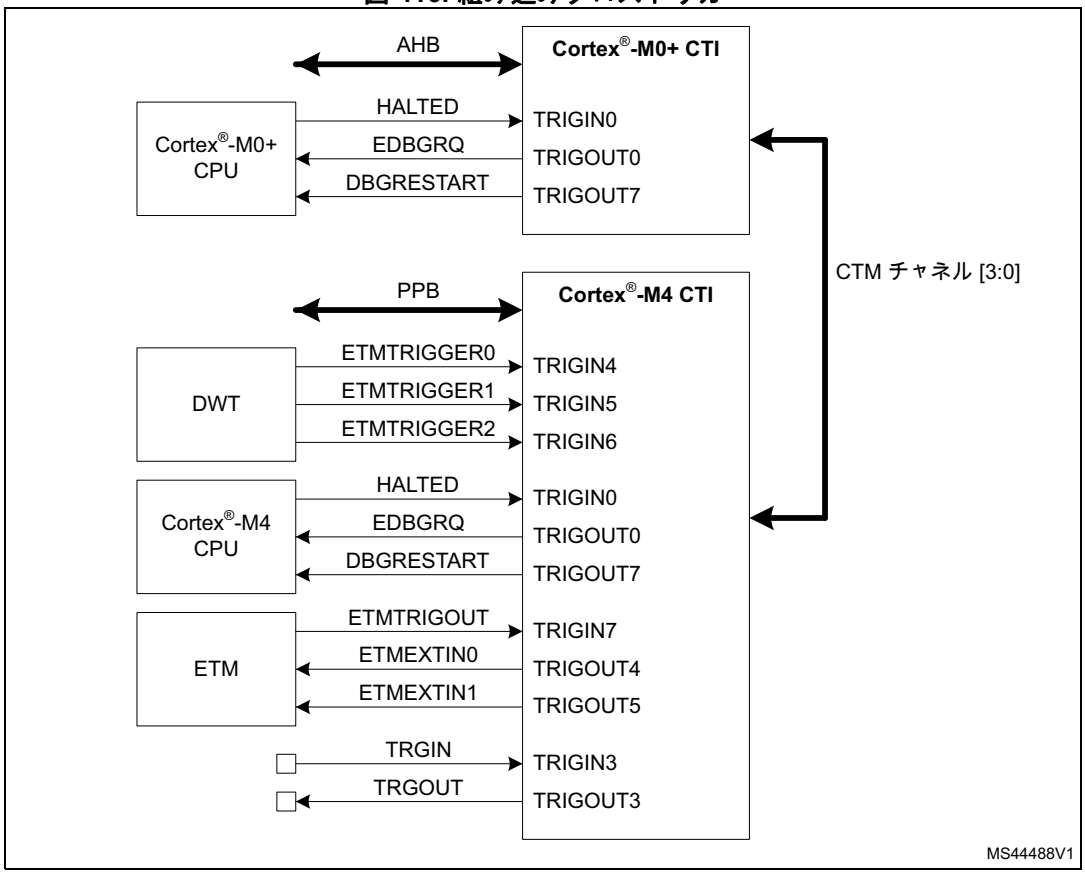
オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	AP_CSWR	Res.	SPROT	Res.	PROT[4:0]					SPISTATUS	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE[3:0]				TRINPROG [1:0]		ADDRIN [1:0]		Res.	SIZE [2:0]		
	リセット値		0		0	0	0	1	1	0												0	0	0	0	0	1	0	0		0	0	0
0x04	AP_TAR	TA[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	AP_DRWR	TD[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	AP_BD0R	TBD[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	AP_BD1R	TBD[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	AP_BD2R	TBD[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	AP_BD3R	TBD[0:31]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0xF8	AP_BASER	BASEADDR[0:19]																														FORMAT	ENTRYPRESENT
	リセット値（AP0）	1	1	1	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	1	1
	リセット値（AP1）	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0xFC	AP_IDR	REVISION [3:0]			JEDECBANK[3:0]					JEDECCODE[6:0]							MEMAP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IDENTITY[7:0]							
	リセット値（AP0）	0	0	1	0	0	1	0	0	0	1	1	1	0	1	1	1									0	0	0	1	0	0	0	1
	リセット値（AP1）	0	1	1	0	0	1	0	0	0	1	1	1	0	1	1	1									0	0	0	0	0	0	0	1

41.6 クロストリガインタフェース（CTI）とマトリックス（CTM）

クロストリガインタフェース（CTI）とクロストリガマトリックス（CTM）が一緒になって、CoreSight™の組込みクロストリガが形成されます（図 416 を参照）。

CTI には 2 種類の コンポーネントがあり、1 つは CPU2 専用であり、もう 1 つは CPU1 専用です。これらの CTI は CTM を介して相互接続されます。デバッガは、対応するアクセスポートおよび関連する AHB を介して CTI レジスタにアクセスできます。

図 416. 組み込みクロストリガ



CTI 機能を使用することで、さまざまな転送元からのイベントによりデバッグ／トレース動作、またはその両方をトリガすることができます。たとえば、1 つのプロセッサコアで到達したブレークポイントによって別のプロセッサを停止させたり、外部トリガ入力で検出された遷移によってコードトレースを開始したりすることができます。

各 CTI には、トリガ入力とトリガ出力がそれぞれ最大 8 つあります。同じ CTI 、または CTM を介して別の CTI で、任意の入力と出力を接続することができます。

各 CTI のトリガ入力および出力信号は 表 265～268 に記載されています。

表 265. CPU2 CTI 入力

番号	転送元信号	転送元コンポーネント	コメント
0	HALTED	CPU2	CPU2 停止 - CPU2 がデバッグモードであることを示します。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用
6	-	-	未使用
7	-	-	未使用

表 266. CPU2 CTI 出力

番号	出力信号	転送先コンポーネント	コメント
0	EDBGRQ	CPU2	CPU2 停止リクエスト - CPU2 をデバッグモードにします。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	-	-	未使用
5	-	-	未使用
6	-	-	未使用
7	DBGRESTART	CPU2	CPU2 再開リクエスト - CPU2 はデバッグモードを終了します。

表 267. CPU1 CTI 入力

番号	転送元信号	転送元コンポーネント	コメント
0	HALTED	CPU1	CPU1 停止 - CPU1 がデバッグモードであることを示します。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	ETMTRIGGER0	CPU1 DWT	トレーストリガ - CPU1 実行のトレースを有効にします。
5	ETMTRIGGER1	CPU1 DWT	トレーストリガ - CPU1 実行のトレースを有効にします。
6	ETMTRIGGER2	CPU1 DWT	トレーストリガ - CPU1 実行のトレースを有効にします。
7	ETMTRIGOUT(1)	CPU1 ETM	ETM がトリガされた - CPU1 トレースがアクティブであることを示します。

1. STM32WB55xx デバイスでのみ使用できます。

表 268. CPU1 CTI 出力

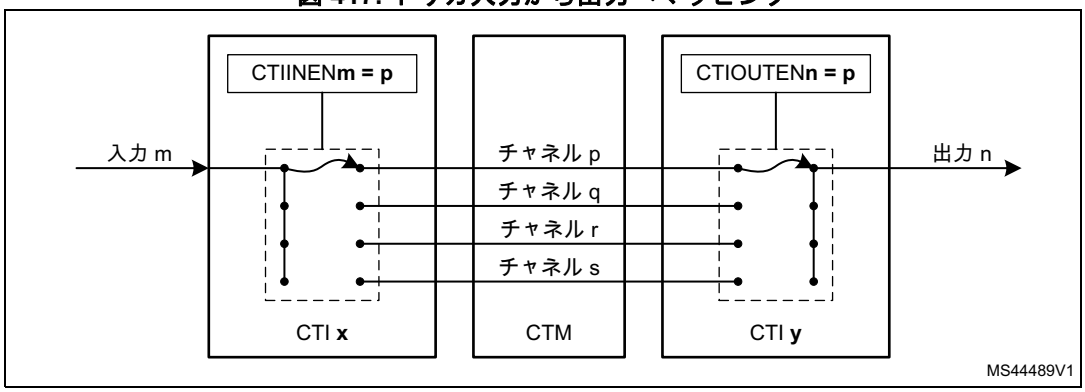
番号	転送元信号	転送元コンポーネント	コメント
0	EDBGRQ	CPU1	CPU1 停止リクエスト - CPU1 をデバッグモードにします。
1	-	-	未使用
2	-	-	未使用
3	-	-	未使用
4	ETMEXTIN0	CPU1 ETM	ETM トリガ 0 リクエスト - CPU1 実行のトレースを有効にします。
5	ETMEXTIN1	CPU1 ETM	ETM トリガ 0 リクエスト - CPU1 実行のトレースを有効にします。
6	-	-	未使用
7	DBGRESTART	CPU1	CPU1 再開リクエスト - CPU1 はデバッグモードを終了します。

クロストリガマトリックスには 4 つのイベントチャネルがあります。それにより、異なる CTI のトリガ入力と出力の間に最大 4 つの双方向パラレル接続を設けることができます。CTI *x* の入力番号 *m* を CTI *y*, の出力番号 *n* に接続するには、CTI *x* の CTIINEN*m* レジスタを使用して、入力をイベントチャネル *p* に接続する必要があります。CTI *y* の CTIOUTEN*n* レジスタを使用して、同じチャネル *p* を出力に接続してください。

注： **上記は、入力と出力が同じ CTI に属する場合でも適用されます。**

1つの入力は 1つ以上のチャネル（最大４つ）に接続できるため、複数の出力に振り分けることができます。同様に、出力も複数の入力に接続できます。複数の入力／出力を同じチャネルに接続することも可能です。

図 417. トリガ入力から出力へマッピング



設定例

いずれかの CPU コアがブレークポイントに達すると、もう一方のコアを停止します。2 つのコアを同期して再起動します。

1 つのコアが停止したときに両方のコアを停止するには、各コアの HALTED 出力を反対側のコアの EDBGRQ 入力に接続する必要があります。

表 265 と表 267 を参照すれば、CPU2 からの HALTED 信号が CPU2 CTI の入力 0 に接続され、CPU1 からの同じ信号が CPU1 CTI の同じ入力に接続されていることがわかります。したがって、これらの入力が 1 つの CTM チャネル（たとえばチャネル 0）に接続されるように、各 CTI の CTIIEN0 レジスタをプログラムします。

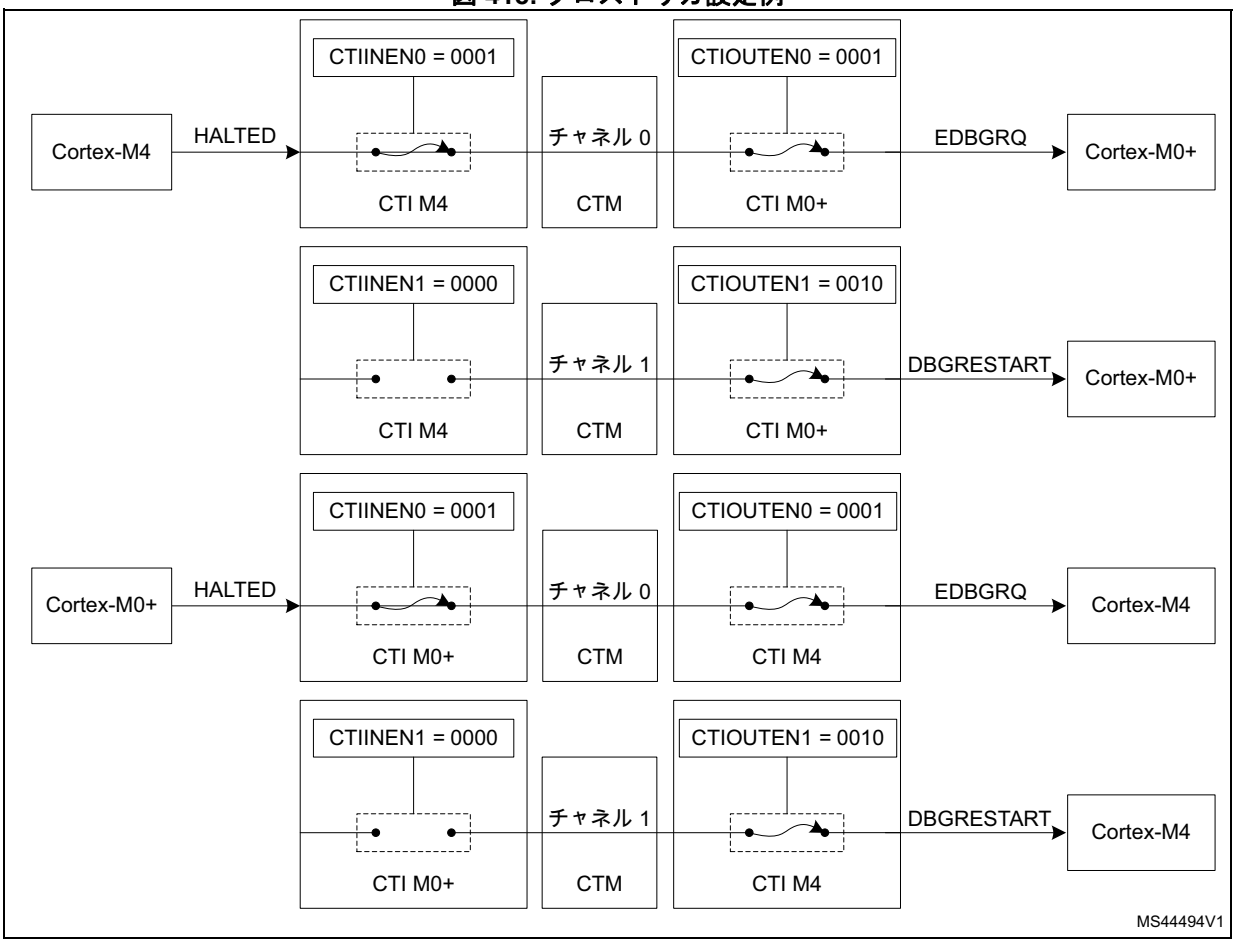
表 266 と表 268 から、CPU への EDBGRQ 信号が、それぞれの CTI の出力 0 に接続されていることがわかります。したがって、これらの出力が同じ CTM チャネルに接続されるように、各 CTI の CTIOUTEN0 レジスタをプログラムします。

両方のコアを同時に再起動するには、デバッガは、いずれかの CTI の APPPULSE レジスタを使用する必要があります。これにより、デバッガは、4 つの CTM チャネルのいずれかでパルスを生成できます。そのチャネルは、両方のコアの DBGRESTART 信号に接続されている必要があります。

表 266 と表 268 から、CPU への DBGRESTART 信号は、それぞれの CTI の出力 1 に接続されていることがわかります。したがって、これらの出力を未使用の CTM チャネル（たとえばチャネル 1）に接続するように、各 CTI の CTIOUTEN1 レジスタをプログラムします。

上記の設定を図 418 に示します。

図 418. クロストリガ設定例



プロセッサを強制的に同時に再起動するには、次の手順を使用します。

1. 各 CTI で CTIINTACK レジスタに 0x01、次に 0x00 を書き込んで、デバッグリクエストをクリアします。
2. どちらかの CTI で APPPULSE レジスタに 0x02 を書き込んで、チャネル 1 にパルスを発生させます。これにより、両方のプロセッサに対する再起動リクエストが生成されます。

   なお、デバッガはどちらかの CTI の APPPULSE レジスタに 0x01 を書き込むことによって（これにより、チャネル 0 にパルスが生成されます）、両方のコアを同時に強制停止することもできます。

クロストリガインタフェース CoreSight™ コンポーネントの詳細情報は、Arm® CoreSight™ SoC-400 Technical Reference Manual を参照してください [2]。

41.7 クロストリガインタフェースレジスタ

レジスタファイルのベースアドレスは、CPU1 CTI では 0xE0043000、CPU2 CTI では 0xF0001000 です。CPU1 CTI と CPU2 CTI には、異なるアクセスポートからアクセスされます。レジスタはどの CTI でも同じです。

41.7.1 CTI 制御レジスタ（CTI_CONTROLR）

アドレスオフセット：0x000

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GLBEN
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **GLBEN**：グローバル有効

0：クロストリガは無効です。

1：クロストリガは有効です。

41.7.2 CTI トリガ確認応答レジスタ（CTI_INTACKR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INTACK[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **INTACK[7:0]**：トリガ確認応答。

CTITRIGOUT 出力ごとに レジスタの 1 ビットが割り当てられます。このレジスタの 1 ビットに 1 が書き込まれると、対応する CTITRIGOUT 出力が確認応答され、クリアされます。

41.7.3 CTI アプリケーショントリガ設定レジスタ（CTI_APPSETR）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPSET[3:0]			
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPSET[3:0]**：チャネルイベントの設定。

読出し：

0bXXX0：チャネル 0 イベントはインアクティブです。
0bXXX1：チャネル 0 イベントはアクティブです。
0bXX0X：チャネル 1 イベントはインアクティブです。
0bXX1X：チャネル 1 イベントはアクティブです。
0bX0XX：チャネル 2 イベントはインアクティブです。
0bX1XX：チャネル 2 イベントはアクティブです。
0b0XXX：チャネル 3 イベントはインアクティブです。
0b1XXX：チャネル 3 イベントはアクティブです。

書込み：

0bXXX0：影響なし。
0bXXX1：チャネル 0 にイベントを設定します。
0bXX0X：影響なし。
0bXX1X：チャネル 1 にイベントを設定します。
0bX0XX：影響なし。
0bX1XX：チャネル 2 にイベントを設定します。
0b0XXX：影響なし。
0b1XXX：チャネル 3 にイベントを設定します。

41.7.4 CTI アプリケーショントリガクリアレジスタ（CTI_APPCLEAR）

アドレスオフセット：0x018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPCLEAR[3:0]			
												w			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPCLEAR[3:0]**：チャネルイベントのクリア。

0b0000：影響なし。
0bXXX1：チャネル 0 のイベントをクリアします。
0bXX1X：チャネル 1 のイベントをクリアします。
0bX1XX：チャネル 2 のイベントをクリアします。
0b1XXX：チャネル 3 のイベントをクリアします。

41.7.5 CTI アプリケーションパルスレジスタ（CTI_APPPULSER）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPPULSE[3:0]			
												w			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **APPPULSE[3:0]**：チャネルイベントのパルス出力。このレジスタ自体がただちにクリアされます。

0b0000：影響なし。
0bXXX1：チャネル 0 のパルスを生成します。
0bXX1X：チャネル 1 のパルスを生成します。
0bX1XX：チャネル 2 のパルスを生成します。
0b1XXX：チャネル 3 のパルスを生成します。

41.7.6 CTI トリガ入力 x 有効レジスタ（CTI_INENRx）

アドレスオフセット：0x020 + 4 * x （x = 0〜7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN[3:0]			
												rw			

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TRIGINEN[3:0]**：CTITRIGINx がアクティブ化された時点で（x = 0 〜 7）、4 つのチャネルそれぞれのクロストリガイベントを有効または無効にします。

0b0000：トリガはチャネルのイベントを生成しません。
0bXXX1：トリガ n はチャネル 0 のイベントを生成します。
0bXX1X：トリガ n はチャネル 1 のイベントを生成します。
0bX1XX：トリガ n はチャネル 2 のイベントを生成します。
0b1XXX：トリガ n はチャネル 3 のイベントを生成します。

41.7.7 CTI トリガ出力 x 有効レジスタ（CTI_OUTENRx）

アドレスオフセット：0x0A0 + 4 * x （x = 0〜7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **TRIGOUTEN[3:0]**：チャネルごとに、そのチャネルのイベントが CTITRIGOUTx （x = 0〜7）のトリガを生成するかどうかを定義します。

0b0000：チャネルイベントはトリガ出力のトリガを生成しません。
0bXXX1：チャネル 0 イベントはトリガ出力 n のトリガを生成します。
0bXX1X：チャネル 1 イベントはトリガ出力 n のトリガを生成します。
0bX1XX：チャネル 2 イベントはトリガ出力 n のトリガを生成します。
0b1XXX：チャネル 3 イベントはトリガ出力 n のトリガを生成します。

41.7.8 CTI トリガ入力ステータスレジスタ（CTI_TRGISTSR）

アドレスオフセット：0x130

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINSTATUS[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TRIGINSTATUS[7:0]**：トリガ入力ステータス。

CTITRIGIN 入力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するトリガ入力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するトリガ入力はインアクティブです。

41.7.9 CTI トリガ出力ステータスレジスタ（CTI_TRGOSTSR）

アドレスオフセット：0x134

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTSTATUS[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **TRIGOUTSTATUS[7:0]**：トリガ出力ステータス。

CTITRIGOUT 出力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するトリガ出力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するトリガ出力はインアクティブです。

41.7.10 CTI チャネル入力ステータスレジスタ（CTI_CHINSTSR）

アドレスオフセット：0x138

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHINSTATUS[3:0]			
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CHINSTATUS[3:0]**：チャネル入力ステータス。

チャネル入力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するチャネル入力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するチャネル入力はインアクティブです。

41.7.11 CTI チャネル出力ステータスレジスタ（CTI_CHOUTSTSR）

アドレスオフセット：0x13C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHOUTSTATUS[3:0]			
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CHOUTSTATUS[3:0]**：チャネル出力ステータス。

チャネル出力ごとに レジスタの 1 ビットが割り当てられます。このビットが 1 にセットされている場合は、対応するチャネル出力がアクティブであることを示します。このビットが 0 に設定されている場合は、対応するチャネル出力はインアクティブです。

41.7.12 CTI チャネルゲートレジスタ（CTI_GATER）

アドレスオフセット：0x140

リセット値：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GATEEN[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **GATEEN[3:0]**：チャネル出力有効化。チャネルごとに、そのチャネルのイベントが CTM を通って 他のCTI へ伝わり得るかどうかを定義します。

0b0000：チャネルイベントは伝わりません。
0bXXX1：チャネル 0 イベントは伝わります。
0bXX1X：チャネル 1 イベントは伝わります。
0bX1XX：チャネル 2 イベントは伝わります。
0b1XXX：チャネル 3 イベントは伝わります。

41.7.13 CTI 要求タグ設定レジスタ（CTI_CLAIMSETR）

アドレスオフセット：0xFA0

リセット値：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMSET[3:0]**：要求タグビットのセット

書込み：

0000：影響なし。
xxx1：ビット 0 をセットします。
xx1x：ビット 1 をセットします。
x1xx：ビット 2 をセットします。
1xxx：ビット 3 をセットします。

読出し：

0xF：要求タグには 4 つのビットがあることを示します。

41.7.14 CTI 要求タグクリアレジスタ（CTI_CLAIMCLR）

アドレスオフセット：0xFA4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMCLR[3:0]**：要求タグビットのリセット

書込み：

0000：影響なし。

xxx1：ビット 0 をクリアします。

xx1x：ビット 1 をクリアします。

x1xx：ビット 2 をクリアします。

1xxx：ビット 3 をクリアします。

読出し：要求タグの現在値を返します。

41.7.15 CTI ロックアクセスレジスタ（CTI_LAR）

アドレスオフセット：0xFB0

リセット値：N/A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ACCESS_W[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACCESS_W[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

ビット 31:0 **ACCESS_W[31:0]**：プロセッサコアによる一部の CTI レジスタへの書込みアクセスを有効にします（デバッガはコンポーネントをアンロックする必要なし）。

0xC5AC CE55：書込みアクセスが有効にされます。

その他の値：書込みアクセスが無効にされます。

41.7.16 CTI ロックステータスレジスタ（CTI_LSR）

アドレスオフセット：0xFB4

リセット値：0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LOCK TYPE	LOCK GRANT	LOCK EXIST
													r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **LOCKTYPE**：CTI_LAR レジスタのサイズを示します。

0：32 ビット

ビット 1 **LOCKGRANT**：現在のロックステータス。このビットは、外部デバッガからは常にゼロとして読み出されます。

0：書込みアクセスが許可されます。

1：書込みアクセスはブロックされます。読出しのみが許可されます。

ビット 0 **LOCKEXIST**：ロック制御メカニズムが存在するかどうかを示します。このビットは、外部デバッガからは常にゼロとして読み出されます。

0：ロック制御メカニズムは存在しません。

1：ロック制御メカニズムが実装されています。

41.7.17 CTI 認証ステータスレジスタ（CTI_AUTHSTATR）

アドレスオフセット：0xFB8

リセット値：0x0000 000A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SNID[1:0]		SID[1:0]		NSNID[1:0]		NSID[1:0]	
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **SNID[1:0]**：保護された非侵入型デバッグのセキュリティレベル

0x0：実装なし

ビット 5:4 **SID[1:0]**：保護された侵入型デバッグのセキュリティレベル

0x0：実装なし

ビット 3:2 **NSNID[1:0]**：無保護の非侵入型デバッグのセキュリティレベル

0x2：無効

0x3：有効

ビット 1:0 **NSID[1:0]**：無保護の侵入型デバッグのセキュリティレベル
0x2：無効
0x3：有効

41.7.18 CTI デバイス設定レジスタ（CTI_DEVIDR）

アドレスオフセット：0xFC8

リセット値：0x0004 0800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUMCH[3:0]			
												r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUMTRIG[7:0]								Res.	Res.	Res.	EXTMUXNUM[4:0]				
r	r	r	r	r	r	r	r				r	r	r	r	r

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **NUMCH[3:0]**：使用できる ECT チャネルの数
0x4：4 チャネル

ビット 15:8 **NUMTRIG[7:0]**：使用できる ECT トリガの数
0x8：8 つのトリガ入力と 8 つのトリガ出力

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **EXTMUXNUM[4:0]**：トリガ入力／出力マルチプレクサの数
0x0：なし

41.7.19 CTI デバイスタイプ識別子レジスタ（CTI_DEVTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0014

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE[3:0]				MAJORTYPE[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **SUBTYPE[3:0]**：下位分類
0x1：このコンポーネントがクロストリガコンポーネントであることを示します。

ビット 3:0 **MAJORTYPE[3:0]**：大分類
0x4：このコンポーネントによりデバッガが CoreSight™ SoC-400 システムの他のコンポーネントを制御できることを示します。

41.7.20 CTI CoreSight ペリフェラル ID レジスタ 4（CTI_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC コード

41.7.21 CTI CoreSight ペリフェラル ID レジスタ 0（CTI_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0006

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x06：CTI 部品番号

41.7.22 CTI CoreSight ペリフェラル ID レジスタ 1（CTI_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x9：CTI 部品番号

41.7.23 CTI CoreSight ペリフェラル ID レジスタ 2（CTI_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 004B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x4：r0p5

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.7.24 CTI CoreSight ペリフェラル ID レジスタ 3（CTI_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.7.25 CTI CoreSight コンポーネント ID レジスタ 0（CTI_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.7.26 CTI CoreSight ペリフェラル ID レジスタ 1（CTI_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0x9：CoreSight™ コンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.7.27 CTI CoreSight コンポーネント ID レジスタ 2（CTI_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.7.28 CTI CoreSight コンポーネント ID レジスタ 3（CTI_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.7.29 CTI レジスタのマップとリセット値

表 269. CTI レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	CTI_CONTROLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GLBEN
	リセット値																																0
0x010	CTI_INTACKR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INTACK[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x014	CTI_APPSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPSET[3:0]			
	リセット値																													0	0	0	0
0x018	CTI_APPCLEAR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPCLEAR [3:0]			
	リセット値																													0	0	0	0
0x01C	CTI_APPPULSER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	APPPULSE [3:0]			
	リセット値																													0	0	0	0
0x020	CTI_INENR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x024	CTI_INENR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x028	CTI_INENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x02C	CTI_INENR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x030	CTI_INENR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x034	CTI_INENR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x038	CTI_INENR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x03C	CTI_INENR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINEN [3:0]			
	リセット値																													0	0	0	0
0x0A0	CTI_OUTENR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN [3:0]			
	リセット値																													0	0	0	0
0x0S4	CTI_OUTENR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN [3:0]			
	リセット値																													0	0	0	0
0x0S8	CTI_OUTENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN [3:0]			
	リセット値																													0	0	0	0
0x0SC	CTI_OUTENR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN [3:0]			
	リセット値																													0	0	0	0

表 269. CTI レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0B0	CTI_OUTENR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
	リセット値																													0	0	0	0
0x0B4	CTI_OUTENR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
	リセット値																													0	0	0	0
0x0B8	CTI_OUTENR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
	リセット値																													0	0	0	0
0x0BC	CTI_OUTENR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTEN[3:0]			
	リセット値																													0	0	0	0
0x130	CTI_TRIGISTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGINSTATUS[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x134	CTI_TRIGOSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGOUTSTATUS[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x138	CTI_CHINSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHISTATUS[3:0]			
	リセット値																													0	0	0	0
0x13C	CTI_CHOUTSTSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHOSTATUS[3:0]			
	リセット値																													0	0	0	0
0x140	CTI_GATER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GATEEN[3:0]			
	リセット値																													1	1	1	1
0xFA0	CTI_CLAIMSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
	リセット値																													1	1	1	1
0xFA4	CTI_CLAIMCLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
	リセット値																													0	0	0	0
0xFB0	CTI_LAR	KEY																															
	リセット値																																
0xFB4	CTI_LSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NTT	SLK	SLI
	リセット値																														0	1	1
0xFB8	CTI_AUTHSTATR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SNID[1:0]		SID[1:0]		NSNID[1:0]		NSID[1:0]	
	リセット値																									0	0	0	0	0	1	0	1
0xFC8	CTI_DEVIDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUMCH[3:0]				NUMTRIG[7:0]								Res.	Res.	Res.	EXMUXNUM[4:0]				
	リセット値													0	1	0	0	0	0	0	0	1	0	0	0				0	0	0	0	0
0xFCC	CTI_DEVTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUB[3:0]				MAJOR[3:0]			
	リセット値																									0	0	0	1	0	1	0	0
0xFD0	CTI_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106CON[3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	CTI_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	0	1	1	0
0xFE4	CTI_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID[3:0]				PARTNUM[11:8]			
	リセット値																									1	0	1	1	1	0	0	1

表 269. CTI レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xFE8	CTI_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	1	0	0	1	0	1	1
0xFEC	CTI_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	CTI_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	CTI_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	0	0	1	0	0	0	0
0xFF8	CTI_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	CTI_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.9 : CPU2 の ROM テーブルおよびセクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.8 マイクロコントローラデバッグユニット（DBGMCU）

DBGMCU は、デバッグモードで電源やクロックの動作を制御するレジスタが複数内蔵されているコンポーネントです。デバッガ（またはデバッグソフトウェア）の以下の動作を可能にします。

- 低電力モード（SLEEP、STOP、または STANDBY）では、クロックを維持して CPU1 プロセッサコアに電力を供給しますが、CPU2 の動作は低電力デバッグモードで影響を受けません。
- 低電力モード時に、クロックを維持し、システムデバッグおよびトレース用のコンポーネントへ電力を供給します。
- 一方のプロセッサコアがデバッグモードで停止した場合、特定のペリフェラル（ウォッチドッグ、タイマ、RTC）へのクロック供給を停止します。

DBGMCU レジスタは、システムリセットではリセットされず、パワーオンリセットによってのみリセットされます。それらのレジスタは、デバッガから CPU1 AHB アクセスポート経由でベースアドレス 0xE0042000 でアクセス可能です。

注： DBGMCU は標準の CoreSight™ コンポーネントではないので、CPU1 ROM テーブルには現われません。

41.8.1 DBGMCU ID コードレジスタ（DBGMCU_IDCODE）

アドレスオフセット：0x000

リセット値：0x200X 6495

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DEV_ID[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:16 **REV_ID[15:0]**：版

0x2001 = STM32WB55xx リビジョン Y および STM32WB35xx リビジョン A

0x2003 = STM32WB55xx/35xx リビジョン X

ビット 15:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **DEV_ID[11:0]**：デバイス ID

0x495：STM32WB55xx/35xx

41.8.2 DBGMCU 設定レジスタ（DBGMCU_CR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	TRGOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
			rw												

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRACE_IOEN	Res.	Res.	DBG_STANDBY	DBG_STOP	DBG_SLEEP
										rw			rw	rw	rw

ビット 31:29 予約済みであり、リセット値に保持する必要があります。

ビット 28 **TRGOEN**:外部トリガ出力の有効化。このビットは、双方向トリガピン TRIG_INOUT の方向を制御します。

0：入力。TRIG_INOUT は TRGIN に接続されます。

1：出力。TRIG_INOUT は TRGOUT に接続されます。

ビット 27:6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **TRACE_IOEN**：トレースポートおよびクロックの有効化。このビットは、トレースポートクロック TRACECLK を有効にします。

0：無効。

1：有効となっています。

ビット 4:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **DBG_STANDBY**：STANDBY および SHUTDOWN モードで CPU1 のデバッグを可能にします。CPU2 動作への影響はありません。

0：通常動作。STANDBY および SHUTDOWN モードでは、すべてのクロックが無効化され、デバイスの電源は自動的に切断されます。

1：自動クロック停止／パワーダウンは無効。すべてのアクティブな CPU1 クロックおよびオシレータは STANDBY および SHUTDOWN モード中も動作し続け、デバイスの電源は維持され、すべての CPU1 デバッグ機能が利用できます。STANDBY および SHUTDOWN モードの終了時、デバイスリセットが実行されます。

注： STANDBY の終了時に電源リセットは実行されず、システムリセットが生成されます。DBG_STANDBY がセットされている場合、ウェイクアップクロックは HSI16 ではなく MSI になります。

ビット 1 **DBG_STOP**：STOP モードで CPU1 のデバッグが可能です。CPU2 の動作への影響はありません。

0：通常動作。STOP モードでは、すべての CPU1 クロックが自動的に無効化されます。

1：自動クロック停止は無効。すべてのアクティブなクロックおよびオシレータは STOP モード中も動作し続け、すべての CPU1 デバッグ機能が利用できます。STOP モードから抜けると、クロック設定は STOP モード終了ステートに設定されます。

ビット 0 **DBG_SLEEP**：SLEEP モードで CPU1 のデバッグが可能です。CPU2 の動作への影響はありません。

0：通常動作。SLEEP モードでは、プロセッサクロックが自動停止されます。

1：自動クロック停止は無効。CPU1 プロセッサクロックは動作を続けるので、CPU1 のデバッグ機能がすべて利用できます。

41.8.3 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 1（DBGMCU_APB1FZR1）

アドレスオフセット：0x03C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DBG_LPTIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_I2C3_STOP	Res.	DBG_I2C1_STOP	Res.	Res.	Res.	Res.	Res.
rw								rw		rw					
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM2_STOP
			rw	rw	rw										rw

ビット 31 **DBG_LPTIM1_STOP**：CPU1 デバッグ時の LPTIM1 停止

0：通常動作。LPTIM1 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。LPTIM1 は、CPU1 がデバッグモードの間は停止します。

ビット 30:24 予約済みであり、リセット値に保持する必要があります。

DBG_I2C3_STOP：CPU1 デバッグ時の I2C3 SMBUS タイムアウトの停止

ビット 23
0：通常動作。I2C3 SMBUS タイムアウトは、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。I2C3 SMBUS タイムアウトは、CPU1 がデバッグモードの間は停止します。

ビット 22 予約済みであり、リセット値に保持する必要があります。

ビット 21 **DBG_I2C1_STOP**：CPU1 デバッグ時の I2C1 SMBUS タイムアウトの停止

0：通常動作。I2C1 SMBUS タイムアウトは、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。I2C1 SMBUS タイムアウトは、CPU1 がデバッグモードの間は停止します。

ビット 20:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DBG_IWDG_STOP**：CPU1 デバッグ時の IWDG 停止

0：通常動作。IWDG は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。IWDG は、CPU1 がデバッグモードの間は停止します。

ビット 11 **DBG_WWDG_STOP**：CPU1 デバッグ時の WWDG 停止

0：通常動作。WWDG は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。WWDG は、CPU1 がデバッグモードの間は停止します。

ビット 10 **DBG_RTC_STOP**：CPU1 デバッグ時の RTC 停止

0：通常動作。RTC は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。RTC は、CPU1 がデバッグモードの間は停止します。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **DBG_TIM2_STOP**：CPU1 デバッグ時の TIM2 停止

0：通常動作。TIM2 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM2 は、CPU1 がデバッグモードの間は停止します。

41.8.4 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 1（DBGMCU_C2APB1FZR1）

CPU2 ペリフェラルフリーズは、CPU2 デバッグが有効なとき、または CPU2 CTI がデバッガによって EDBGRQ を介した停止に設定されているときのみ使用できます。

アドレスオフセット：0x040

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DBG_ LPTIM1_ STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ I2C3_ STOP	Res.	DBG_ I2C1_ STOP	Res.	Res.	Res.	Res.	Res.
rw								rw		rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBG_ IWDG_S TOP	Res.	DBG _RTC_ STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ TIM2_ STOP
			rw		rw										rw

DBG_LPTIM1_STOP：CPU2 デバッグ時の LPTIM1 停止

ビット 31 0：通常動作。LPTIM1 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。LPTIM1 は、CPU2 がデバッグモードの間は停止します。

ビット 30:24 予約済みであり、リセット値に保持する必要があります。

DBG_I2C3_STOP：CPU2 デバッグ時の I2C3 SMBUS タイムアウトの停止

ビット 23 0：通常動作。I2C3 SMBUS タイムアウトは、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。I2C3 SMBUS タイムアウトは、CPU2 がデバッグモードの間は停止します。

ビット 22 予約済みであり、リセット値に保持する必要があります。

DBG_I2C1_STOP：CPU2 デバッグ時の I2C1 SMBUS タイムアウトの停止

ビット 21 0：通常動作。I2C1 SMBUS タイムアウトは、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。I2C1 SMBUS タイムアウトは、CPU2 がデバッグモードの間は停止します。

ビット 20:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **DBG_IWDG_STOP**：CPU2 デバッグ時の IWDG 停止

0：通常動作。IWDG は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。IWDG は、CPU2 がデバッグモードの間は停止します。

ビット 11 予約済みであり、リセット値に保持する必要があります。

ビット 10 **DBG_RTC_STOP**：CPU2 デバッグ時の RTC 停止

0：通常動作。RTC は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。RTC は、CPU2 がデバッグモードの間は停止します。

ビット 9:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **DBG_TIM2_STOP**：CPU2 デバッグ時の TIM2 停止

0：通常動作。TIM2 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM2 は、CPU2 がデバッグモードの間は停止します。

41.8.5 DBGMCU CPU1 APB1 ペリフェラルフリーズレジスタ 2（DBGMCU_APB1FZR2）

アドレスオフセット：0x044

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ LPTIM2_ STOP	Res.	Res.	Res.	Res.	Res.
										rw					

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 5 **DBG_LPTIM2_STOP**：CPU1 デバッグ時の LPTIM2 停止

0：通常動作。LPTIM2 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。LPTIM2 は、CPU1 がデバッグモードの間は停止します。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

41.8.6 DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 2（DBGMCU_C2APB1FZR2）

CPU2 ペリフェラルフリーズは、CPU2 デバッグが有効なとき、または CPU2 CTI がデバッガによって EDBGRQ を介した停止に設定されているときのみ使用できます。

アドレスオフセット：0x048

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ LPTIM2_ STOP	Res.	Res.	Res.	Res.	Res.
										rw					

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 5 **DBG_LPTIM2_STOP**：CPU2 デバッグ時の LPTIM2 停止

0：通常動作。LPTIM2 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。LPTIM2 は、CPU2 がデバッグモードの間は停止します。

ビット 7:0 予約済みであり、リセット値に保持する必要があります。

41.8.7 DBGMCU CPU1 APB2 ペリフェラルフリーズレジスタ（DBGMCU_APB2FZR）

アドレスオフセット：0x04C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	Res.
													rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw											

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **DBG_TIM17_STOP**：CPU1 デバッグ時の TIM17 停止

0：通常動作。TIM17 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM17 は、CPU1 がデバッグモードの間は停止します。

ビット 17 **DBG_TIM16_STOP**：CPU1 デバッグ時の TIM16 停止

0：通常動作。TIM16 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM16 は、CPU1 がデバッグモードの間は停止します。

ビット 16:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **DBG_TIM1_STOP**：CPU1 デバッグ時の TIM1 停止

0：通常動作。TIM1 は、CPU1 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM1 は、CPU1 がデバッグモードの間は停止します。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

41.8.8 DBGMCU CPU2 APB2 ペリフェラルフリーズレジスタ（DBGMCU_C2APB2FZR）

CPU2 ペリフェラルフリーズは、CPU2 デバッグが有効なとき、または CPU2 CTI がデバッガによって EDBGRQ を介した停止に設定されているときのみ使用できます。

アドレスオフセット：0x050

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_ TIM17_ STOP	DBG_ TIM16_ STOP	Res.
													rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DBG_ TIM1_ STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw											

ビット 31:19 予約済みであり、リセット値に保持する必要があります。

ビット 18 **DBG_TIM17_STOP**：CPU2 デバッグ時の TIM17 停止

0：通常動作。TIM17 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM17 は、CPU2 がデバッグモードの間は停止します。

ビット 17 **DBG_TIM16_STOP**：CPU2 デバッグ時の TIM16 停止

0：通常動作。TIM16 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM16 は、CPU2 がデバッグモードの間は停止します。

ビット 16:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **DBG_TIM1_STOP**：CPU2 デバッグ時の TIM1 停止

0：通常動作。TIM1 は、CPU2 がデバッグモードの間、動作し続けます。
1：デバッグ時の停止。TIM1 は、CPU2 がデバッグモードの間は停止します。

ビット 10:0 予約済みであり、リセット値に保持する必要があります。

41.8.9 DBGMCU レジスタのマップとリセット値

表 270. DBGMCU レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DBGMCU_IDCODE	REV_ID[15:0]																Res.	Res.	Res.	Res.	DEV_ID[11:0]											
	リセット値	0	0	1	0	0	0	0	0	0	0	0	0	X	X	X	X	0	1	1	0	0	1	0	0	1	0	0	1	0	1	0	1
0x004	DBGMCU_CR	Res.	Res.	Res.	TRGOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRACE_IOEN	Res.	Res.	DBG_STANDBY	DBG_STOP	DBG_SLEEP
	リセット値				0																							0			0	0	0
0x008-0x038	予約済みです。	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x03C	DBGMCU_APB1FZR1	DBG_LPTIM1_STOP								DBG_I2C3_STOP		DBG_I2C1_STOP								DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP										DBG_TIM2_STOP
	リセット値	0								0		0								0	0	0											0
0x040	DBGMCU_C2APB1FZR1	DBG_LPTIM1_STOP								DBG_I2C3_STOP		DBG_I2C1_STOP								DBG_IWDG_STOP		DBG_RTC_STOP										DBG_TIM2_STOP
	リセット値	0								0		0								0		0											0
0x044	DBGMCU_APB1FZR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_LPTIM2_STOP	Res.	Res.	Res.	Res.	Res.
	リセット値																											0					
0x048	DBGMCU_C2APB1FZR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_LPTIM2_STOP	Res.	Res.	Res.	Res.	Res.
	リセット値																											0					
0x04C	DBGMCU_APB2FZR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	Res.	Res.	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値														0	0						0											
0x050	DBGMCU_C2APB2FZR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	Res.	Res.	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値														0	0						0											

レジスタ境界アドレスについては、セクション 41.8 : マイクロコントローラデバッグユニット（DBGMCU）を参照してください。

41.9 CPU2 の ROM テーブル

ROM テーブルは CoreSight™ のコンポーネントであり、AHBD を介してアクセス可能なすべての CoreSight™ デバッグコンポーネントのベースアドレスを格納しています。このようなテーブルを使用することにより、デバッガは CoreSight™ システムのトポロジを自動検出することができます。

CPU2 サブシステムには次の 2 つの ROM テーブルがあります。

1. ROM1 : CPU2 プロセッサの ROM テーブルであり、CPU2 AHB-AP の BASE レジスタによって指し示されます。テーブルには、CTI のベースアドレスポインタ、ならびに CPU2 の ROM テーブルのベースアドレスポインタが格納されています。
2. ROM2 : CPU2 の ROM テーブルであり、デバッガが CPU コアを識別できるようにする CPU2 システム制御空間レジスタへのポインタ、および CPU2 サブシステムの他の CoreSight™ コンポーネント（PBU、DWT）へのポインタが格納されています。

CPU2 プロセッサの ROM テーブルは 4 KB、すなわち AHB アドレス空間の 32 ビット幅の領域（0xF0000000～0xF0000FFC）を占有します。

表 271. CPU2 プロセッサの ROM テーブル

ROM テーブルのアドレス	コンポーネント名	コンポーネントベースアドレス	コンポーネントアドレスオフセット	サイズ	エントリ
0xF0000000	CPU2 の ROM テーブル	0xE00FF000	0xF00FF000	4 KB	0xF00FF003
0xF0000004	CTI	0xF0001000	0x00001000	4 KB	0x00001003
0xF0000008	未使用	-	-	-	0x00002002
0xF000000C	未使用	-	-	-	0x10000002
0xF0000010	テーブルの先頭	-	-	-	0x00000000
0xF000000C から 0xF0000FC8	予約済みです。	-	-	-	0x00000000
0xF0000FCC から 0xF0000FFC	ROM テーブルレジスタ	-	-	-	表 273 を参照

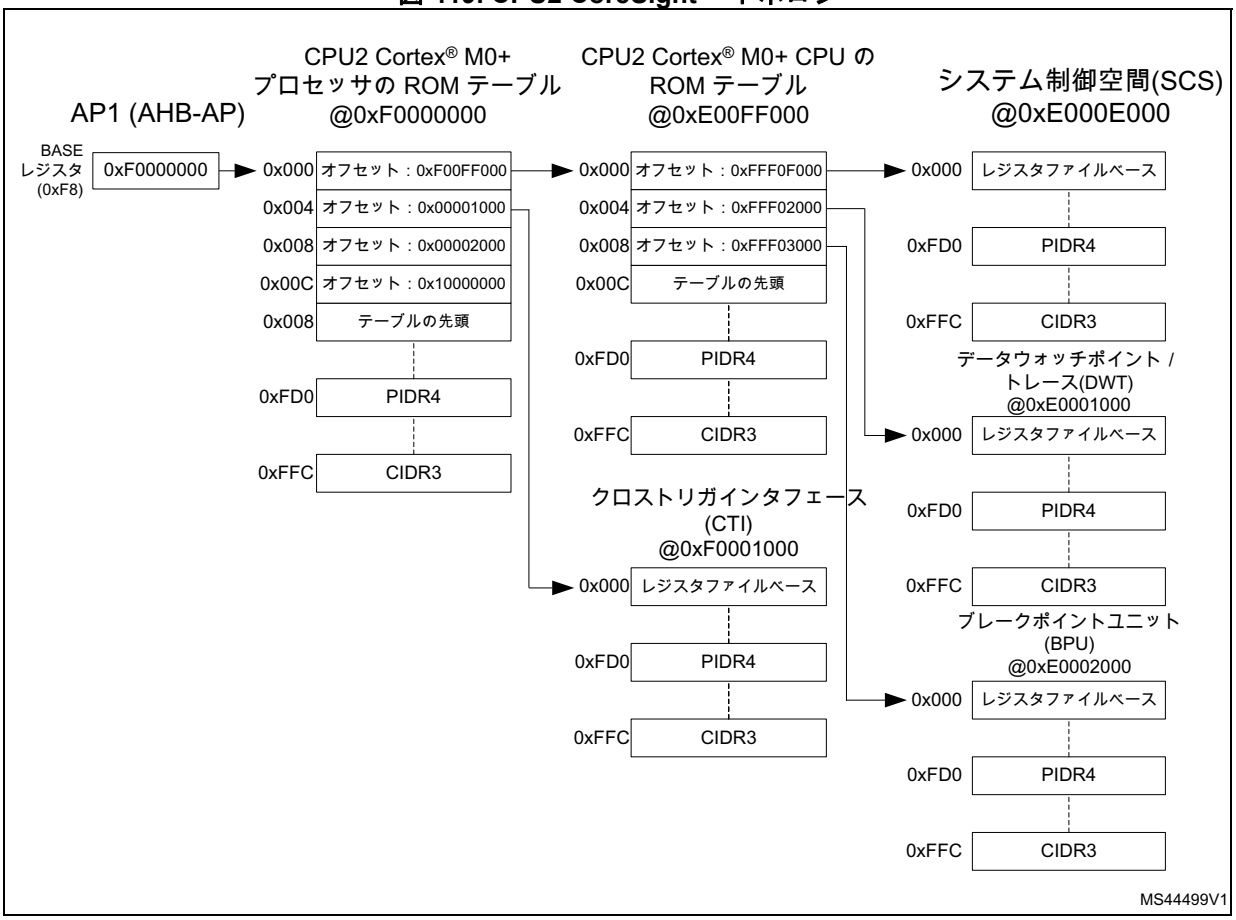
CPU2 の ROM テーブルは 4 KB、すなわち APB-D アドレス空間の 32 ビット幅の領域（0xE00FF000～0xE00FFFFC）を占有します。

表 272. CPU2 の ROM テーブル

ROM テーブルのアドレス	コンポーネント名	コンポーネントベースアドレス	コンポーネントアドレスオフセット	サイズ	エントリ
0xE00FF000	SCS	0xE000E000	0xFFF0F000	4 KB	0xFFF0F003
0xE00FF004	DWT	0xE0001000	0xFFF02000	4 KB	0xFFF02003
0xE00FF008	BPU	0xE0002000	0xFFF03000	4 KB	0xFFF03003
0xE00FF00C	テーブルの先頭	-	-	-	0x00000000
0xE00FF010 から 0xE00FFFC8	予約済みです。	-	-	-	0x00000000
0xE00FFFCC から 0xE00FFFFC	ROM テーブルレジスタ	-	-	-	表 274 を参照

CPU2 サブシステム内の CoreSight™ コンポーネントのトポロジを 図 419 に示します。

図 419. CPU2 CoreSight™ トポロジ



41.9.1 CPU2 ROM1 メモリタイプレジスタ（C2ROM1_MEMTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSMEM**：システムメモリ

0x1：このバス上にシステムメモリがあります。

41.9.2 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 4（C2ROM1_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC 継続コード

41.9.3 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 0（C2ROM1_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0xC0：Cortex®-M0+ プロセッサの ROM テーブル

41.9.4 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 （C2ROM1_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]

0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]

0x4：Cortex®-M0+ プロセッサの ROM テーブル

41.9.5 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 2 （C2ROM1_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 000B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x0：リビジョン r0p0

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.9.6 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 3 （C2ROM1_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.9.7 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 0（C2ROM1_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]

0x0D：コモン ID 値

41.9.8 CPU2 ROM1 CoreSight ペリフェラル ID レジスタ 1 （C2ROM1_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス

0x1：ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]

0x0：コモン ID 値

41.9.9 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 2（C2ROM1_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]

0x05：コモン ID 値

41.9.10 CPU2 ROM1 CoreSight コンポーネント ID レジスタ 3（C2ROM1_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.9.11 CPU2 プロセッサ ROM テーブルレジスタとリセット値

表 273. CPU2 プロセッサ ROM テーブルレジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xFCC	C2ROM1_ MEMTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
	リセット値																																1
0xFD0	C2ROM1_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	C2ROM1_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									1	1	0	0	0	0	0	0
0xFE4	C2ROM1_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	1	0	0
0xFE8	C2ROM1_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	0	0	1	0	1	1
0xFEC	C2ROM1_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	C2ROM1_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	C2ROM1_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									0	0	0	1	0	0	0	0
0xFF8	C2ROM1_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	C2ROM1_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.9：CPU2 の ROM テーブルを参照してください。

41.9.12 CPU2 ROM2 メモリタイプレジスタ（C2ROM2_MEMTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
															rw

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSMEM**：システムメモリ

0x1：このバス上にシステムメモリがあります。

41.9.13 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 4 （C2ROM2_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC 継続コード

41.9.14 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 0 （C2ROM2_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0C0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]
0xC0：CPU2 の ROM テーブル

41.9.15 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1 （C2ROM2_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B4

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x4：CPU2 の ROM テーブル

41.9.16 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 2 （C2ROM2_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 000B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x0：リビジョン r0p0

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.9.17 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 3 （C2ROM2_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.9.18 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 0（C2ROM2_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.9.19 CPU2 ROM2 CoreSight ペリフェラル ID レジスタ 1（C2ROM2_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0x1：ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.9.20 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 2（C2ROM2_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]

0x05：コモン ID 値

41.9.21 CPU2 ROM2 CoreSight コンポーネント ID レジスタ 3（C2ROM2_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								3r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.9.22 CPU2 ROM テーブルレジスタのマップとリセット値

表 274. CPU2 ROM テーブルレジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xFCC	C2ROM2_ MEMTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
	リセット値																																1
0xFD0	C2ROM2_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	C2ROM2_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									1	1	0	0	0	0	0	0
0xFE4	C2ROM2_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	1	0	0
0xFE8	C2ROM2_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	0	0	1	0	1	1
0xFEC	C2ROM2_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	C2ROM2_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	C2ROM2_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									0	0	0	1	0	0	0	0
0xFF8	C2ROM2_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	C2ROM2_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.9：CPU2 の ROM テーブルを参照してください。

41.10 CPU2 データウォッチポイントおよびトレースユニット（DWT）

DWT には 4つのコンパレータがあり、それぞれ以下の役割に使用できます。

- ウォッチポイント
- ETM トリガ、STM32WB55xx でのみ使用可能
- PC サンプリングトリガ
- データアドレスサンプリングトリガ
- データコンパレータ（コンパレータ 1 のみ）
- クロックサイクルカウンタコンパレータ（コンパレータ 0 のみ）

DWT は以下をカウントするためのカウンタも内蔵しています。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット（LSU）の動作数
- スリープサイクル数
- 命令当たりのサイクル数
- 割込みオーバーヘッドの回数

DWT コンパレータは、DWT_COMPR レジスタに保持されている値と次の項目のいずれかを比較します。

- データアドレス
- 命令アドレス
- データ値
- サイクルカウント値（コンパレータ 0 のみ）

アドレス照合の場合、コンパレータはマスクを使用することができるため、あるレンジのアドレスと一致します。

照合が成立すると、コンパレータは以下のうちの 1 つを生成します。

- 1 つ以上の DWT データトレースパケットで、以下を 1 つ以上含むもの。
  - データアクセスを伴う命令のアドレス
  - アドレスオフセット（データアクセスアドレスのビット [15:0] ）
  - 一致したデータ値。
- PC　値またはアクセスしたデータアドレスのいずれかで発生するウォッチポイントデバッグイベント。
- DWT ユニット外での一致を信号で伝える CMPMATCH[N] イベント。

ウォッチポイントデバッグイベントが発生すると、DebugMonitor 例外が生成されるか、またはプロセッサが停止してデバッグステートに入ります。

DWT の使用方法の詳細については、Arm® v7-M Architecture Reference Manual を参照してください [5]。

41.10.1 DWT 制御レジスタ（DWT_CTRLR）

アドレスオフセット：0x000

リセット値：0x4000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NUMCOMP[3:0]。				NOTRCPKT	NOEXTTRIG	NOCYCCNT	NOPRFCNT	Res.	CYCEVTENA	FOLDEVTENA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCENA
r	r	r	r	r	r	r	r		rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	PCSAMPLENA	SYNCTAP[1:0]		CYCTAP	POSTINIT[3:0]				POSTRESET[3:0]				CYCCNTENA
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **NUMCOMP**：実装されるコンパレータの数（読出し専用）
0x4：4つのコンパレータ

ビット 27 **NOTRCPKT**：トレースサンプリングおよび例外トレースのサポート（読出し専用）
0x0：サポートされます。

ビット 26 **NOEXTTRIG**：外部一致信号、CMPMATCH のサポート（読出し専用）
0x0：サポートされます。

ビット 25 **NOCYCCNT**：サイクルカウンタのサポート（読出し専用）
0x0：サポートされます。

ビット 24 **NOPRFCNT**：プロファイリングカウンタのサポート（読出し専用）
0x0：サポートされます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **CYCEVTENA**：POSTCNT アンダーフローイベントカウンタのパケット生成の有効化
0x0：無効
0x1：有効

ビット 21 **FOLDEVTENA**：フォールドされた命令数カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 20 **LSUEVTENA**：LSU カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 19 **SLEEPEVTENA**：スリープカウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 18 **EXCEVTENA**：例外オーバーヘッドカウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 17 **CPIEVTENA**：CPI カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 16 **EXCTRCENA**：例外トレース生成の有効化
0x0：無効
0x1：有効

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **PCSAMPLENA**：POSTCNT カウンタを周期的 PC サンプルパケット生成用のタイマとして使用することを有効にします。

0x0：無効

0x1：有効

ビット 11:10 **SYNCTAP[1:0]**：CYCCNT カウンタ上の同期パケットカウンタのタップ位置の選択。これにより、同期パケットの速度が決定します。

0x0：無効。同期パケットはありません。

0x1：CYCCNT[24] でタップします。

0x2：CYCCNT[26] でタップします。

0x3：CYCCNT[28] でタップします。

ビット 9 **CYCTAP**：CYCCNT カウンタ上の POSTCNT のタップ位置の選択。

0x0：CYCCNT[6] でタップします。

0x1：CYCCNT[10] でタップします。

ビット 8:5 **POSTINIT[3:0] :** POSTCNT カウンタの初期値。このフィールドへの書込みは POSTCNT カウンタが有効であれば、無視されます（POSTINIT を書き込む前に CYCEVTENA または PCSAMPLENA をリセットする必要があります）。

ビット 4:1 **POSTPRESET[3:0]**：POSTCNT カウンタの再ロード値

ビット 0 **CYCCNTENA**：CYCCNT カウンタを有効にします。

0x0：無効

0x1：有効

41.10.2 DWT サイクルカウントレジスタ（DWT_CYCCNTR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CYCCNT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCCNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **CYCCNT[31:0]**：プロセッサのクロックサイクルカウンタ

41.10.3 DWT CPI カウントレジスタ（DWT_CPICNTR）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **CPICNT[7:0]**：CPI カウンタ。複数サイクルの命令を実行するために必要な追加サイクル数（DWT_LSUCNTR によって記録されるものを除く）をカウントし、命令フェッチストールがあればカウントします。

41.10.4 DWT 例外カウントレジスタ（DWT_EXCCNTR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **EXCCNT[7:0]**：例外オーバーヘッドサイクルカウンタ。例外処理に費やされるサイクル数をカウントします。

41.10.5 DWT スリープカウントレジスタ（DWT_SLPCNTR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEPCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **SLEEPCNT[7:0]**：スリープサイクルカウンタ。SLEEPモードに費やされるサイクル数をカウントします（WFI、WFE、Sleep-on-exit）。

41.10.6 DWT LSU カウントレジスタ（DWT_LSUCNTR）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **LSUCNT[7:0]**：ロード・ストアカウンタ。ロードおよびストア命令を実行するために必要な追加サイクル数をカウントします。

41.10.7 DWT フォールドカウントレジスタ（DWT_FOLDCNTR）

アドレスオフセット：0x018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLDCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **FOLDCNT[7:0]**：フォールドされた命令数のカウンタ。サイクル数 0 の命令のたびにインクリメントします。

41.10.8 DWT プログラムカウンタサンプルレジスタ（DWT_PCSR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIASAMPLE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIASAMPLE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **EIASAMPLE[31:0]**：実行された命令アドレスのサンプル値。プログラムカウンタの現在値をサンプリングします。

41.10.9 DWT コンパレータレジスタ x （DWT_COMPxR）

アドレスオフセット：0x020 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
COMP[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **COMP[31:0]**：比較のための基準値

41.10.10 DWT マスクレジスタ x （DWT_MASKxR）

アドレスオフセット：0x024 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
											rw	rw	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **MASK[4:0]**：コンパレータマスクのサイズ。コンパレータ n によるアドレスレンジ照合のためのアクセスアドレスに適用される無視マスクのサイズを提供します。デバッガはこのフィールドに 0b11111 を書き込み、その後そのレジスタを再び読み出して、サポートされる最大マスクサイズを決定することができます。

41.10.11 DWT 機能レジスタ x （DWT_FUNCTxR）

アドレスオフセット：0x028 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]			
							r					rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LINK1 ENA	DATAV MATCH	CYC MATCH	Res.	EMIT RANGE	Res.	FUNCTION[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw		rw		rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **MATCHED**：コンパレーター一致（読出し専用）。レジスタが最後に読み出されたあと、コンパレータの一致が発生したかどうかを示します。

0：一致していません。

1：一致が発生しました。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **DATAVADDR1[3:0]**：DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用する 2 番目のコンパレータのコンパレータ番号が保持されます。

ビット 15:12 **DATAVADDR0[3:0]**：DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用するコンパレータのコンパレータ番号が保持されます。

ビット 11:10 **DATAVSIZE[1:0]**：データ値照合のために必要なデータ比較のサイズを指定します。

0x0：バイト

0x1：ハーフワード

0x2：ワード

0x3：予約済み

ビット 9 **LNK1ENA**：リンクされた 2 番目のコンパレータの使用がサポートされるかを示します（読出し専用）。

0x1：サポートされます。

ビット 8 **DATAVMATCH**：サイクル比較を有効にします。
0x0：アドレス比較を実行します。
0x1：データ値比較を実行します。

ビット 7 **CYCMATCH**：コンパレータ 0 でのサイクルカウント比較の有効化。このフィールドは 他のコンパレータのために予約済みです。
0x0：サイクルカウント比較は行われません。
0x1：DWT_COMP0R をサイクルカウンタ DWT_CYCCNTR と比較します。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **EMITRANGE**：データトレースのアドレスオフセットパケット（データアドレスのビット 0～15 を含む）の生成を有効にします。
0x0：無効
0x1：有効

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **FUNCTION[3:0]**：コンパレータが一致した場合の動作を選択します。このビットフィールドの意味は、DATAVMATCH および CYCMATCH フィールドの設定に依存します。[5]を参照してください。

41.10.12 DWT CoreSight ペリフェラル ID レジスタ 4（DWT_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ
0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード
0x4：Arm® JEDEC コード

41.10.13 DWT CoreSight ペリフェラル ID レジスタ 0（DWT_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x02：DWT 部品番号

41.10.14 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]

0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]

0x9：DWT 部品番号

41.10.15 DWT CoreSight ペリフェラル ID レジスタ 2（DWT_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 003B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x3：r0p4

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.10.16 DWT CoreSight ペリフェラル ID レジスタ 3（DWT_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.10.17 DWT CoreSight コンポーネント ID レジスタ 0（DWT_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.10.18 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0xE：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.10.19 DWT CoreSight コンポーネント ID レジスタ 2（DWT_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]

0x05：コモン ID 値

41.10.20 DWT CoreSight コンポーネント ID レジスタ 3（DWT_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.10.21 CPU2 DWT レジスタ

CPU2 DWT レジスタは AHBD のアドレス範囲 0xE0001000～0xE0001FFC に配置されています。

表 275. CPU2 DWT レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DWT_CTRLR	NUMCOMP[3:0]				NOTRCPKT	NOEXTTRIG	NOCYCCNT	NOPRFCNT	Res.	CYCEVTENA	FOLDEVTENA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCENA	Res.	Res.	Res.	PCSAMPLENA	SYNCTAP[1:0]		CYCTAP	POSINIT[3:0]				POSTPRESET[3:0]				CYCCNTENA
	リセット値	0	1	0	0	0	0	0	0		0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DWT_CYCCNTR	CYCCNT[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DWT_CPICNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x00C	DWT_EXCCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x010	DWT_SLPCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEPCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x014	DWT_LSUCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x018	DWT_FOLDCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLDCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x01C	DWT_PCSR	EIASAMPLE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DWT_COMP0R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DWT_MASK0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0
0x028	DWT_FUNCT0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x030	DWT_COMP1R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DWT_MASK1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0
0x038	DWT_FUNCT1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	q	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x040	DWT_COMP2R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x044	DWT_MASK2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0

表 275. CPU2 DWT レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x048	DWT_FUNCT2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x050	DWT_COMP3R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	DWT_MASK3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.		MASK[4:0]			
	リセット値																												0	0	0	0	0
0x058	DWT_FUNCT3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0xFD0	DWT_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	DWT_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	0	0	1	0
0xFE4	DWT_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	0	0	0
0xFE8	DWT_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	1	1	1	0	1	1
0xFEC	DWT_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	DWT_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	DWT_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
	リセット値																									0	1	1	1	0	0	0	0
0xFF8	DWT_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	DWT_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.9 : CPU2 の ROM テーブルを参照してください。

41.11 CPU2 ブレークポイントユニット（PBU）

BPU によって、ハードウェアブレークポイントをセットできます。このユニットには、一致が検出されたときに、命令フェッチアドレスを監視し、ブレークポイント命令を返す 8 つのコンパレータが内蔵されています。CPU2 PBU は Flash メモリパッチ機能をサポートしません。

41.11.1 BPU 制御レジスタ（BPU_CTRLR）

アドレスオフセット：0x000

リセット値：0x0000 0080

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	NUM_CODE[6:4]			NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	r	r	r	r	r	r	r	r	r	r	r			rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **NUM_CODE[6:4]**：サポートされる命令アドレスコンパレータの数 - 最下位ビット（読出し専用）
0x0：8 つの命令コンパレータがサポートされます。

ビット 11:8 **NUM_LIT[3:0]**：サポートされるリテラルアドレスコンパレータの数（読出し専用）
0x0：リテラルコンパレータはサポートされません。

ビット 7:4 **NUM_CODE[3:0]**：サポートされる命令アドレスコンパレータの数 - 最下位ビット（読出し専用）
0x8：8つの命令コンパレータがサポートされます。

ビット 1 **KEY**：書込み保護キー。BPU_CTRLR レジスタへの書込みは、このビットが 1 にセットされていない場合は無視されます。

ビット 0 **ENABLE**：BPU 有効化
0x0：無効化
0x1：イネーブル

41.11.2 BPU 再配置レジスタ（BPU_REMAPR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	RMPSPT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
		r													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **RMPSPT**：Flash メモリパッチの再配置がサポートされるかどうかを示します（読出し専用）。
0x0：再配置はサポートされません。

ビット 28:0 予約済みであり、リセット値に保持する必要があります。

41.11.3 BPU コンパレータレジスタ（BPU_COMPxR）

アドレスオフセット：0x008 + x * 0x4 （x = 0〜7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REPLACE[1:0]		Res.	COMP[26:14]												
rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[13:0]														Res.	ENABLE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:30 **REPLACE[1:0]**：COMP フィールドと命令フェッチアドレスの一致が発生したときの動作を定義します。
0x0：予約済みです。
0x1：下位ハーフワードにブレークポイントが定義され、上位ハーフワードは定義されません。
0x2：上位ハーフワードにブレークポイントが定義され、下位ハーフワードは定義されません。
0x3：上位および下位のハーフワードにそれぞれブレークポイントが定義されます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:2 **COMP[26:0]**：命令コードメモリへのアクセスアドレスのビット 28:2 と比較するための値です（0x00000000〜0x1FFFFFFF）。一致の発生時に取るべき動作は、REPLACE フィールドに定義されます。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **ENABLE**：コンパレータの有効化。コンパレータは、このビットと BPU_CTRLR レジスタの BPU ENABLE ビットの両方がセットされている場合にのみ有効です。
0：無効
1：有効

41.11.4 BPU CoreSight ペリフェラル ID レジスタ 4（BPU_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC コード

41.11.5 BPU CoreSight ペリフェラル ID レジスタ 0（BPU_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 000C

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x0C：BPU 部品番号

41.11.6 BPU CoreSight ペリフェラル ID レジスタ 1（BPU_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x0：BPU 部品番号

41.11.7 BPU CoreSight ペリフェラル ID レジスタ 2（BPU_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 002B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x2：r0p3

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.11.8 BPU CoreSight ペリフェラル ID レジスタ 3（BPU_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.11.9 BPU CoreSight コンポーネント ID レジスタ 0（BPU_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.11.10 BPU CoreSight ペリフェラル ID レジスタ 1（BPU_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0xE：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.11.11 BPU CoreSight コンポーネント ID レジスタ 2（BPU_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.11.12 BPU CoreSight コンポーネント ID レジスタ 3（BPU_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.11.13 CPU2 BPU レジスタのマップとリセット値

CPU2 BPU レジスタはアドレス範囲 0xE0002000～0xE0002FFC に配置されています。

表 276. CPU2 BPU レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	BPU_CTRLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUM_CODE[6:4]			NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	リセット値																		0	0	0	0	0	0	0	1	0	0	0			0	0
0x004	BPU_REMAPR	Res.	Res.	RMPSPT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値			0																													
0x008 から 0x024	BPU_COMP0-7R	REPLACE[1:0]		Res.	COMP[26:0]																											Res.	ENABLE
	リセット値	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
0xFD0	BPU_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	BPU_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	1	1	0	0
0xFE4	BPU_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	0	0	0
0xFE8	BPU_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	1	0	1	0	1	1
0xFEC	BPU_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	BPU_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	BPU_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	1	1	0	0	0	0	0
0xFF8	BPU_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	BPU_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.9：CPU2 の ROM テーブルを参照してください。

41.12 CPU2 クロストリガインタフェース（CTI）

セクション 41.6 を参照してください。

41.13 CPU1 の ROM テーブル

ROM テーブルは CoreSight™ コンポーネントの一つで、AHB-AP を介してアクセス可能なすべての CoreSight™ デバッグコンポーネントのベースアドレスを格納します。このようなテーブルを使用することにより、デバッガは CoreSight システムのトポロジを自動検出することができます。

CPU1 サブシステムには 1 つの ROM テーブルがあります。このテーブルは CPU1 AHB-AP の BASE レジスタによって指し示されます。ここには、ベースアドレスポインタが、システム制御空間レジスタ（これにより、デバッガは CPU コアを識別できます）用に加え、FPB、DWT、ITM、ETM、および CTI 用に用意されています。

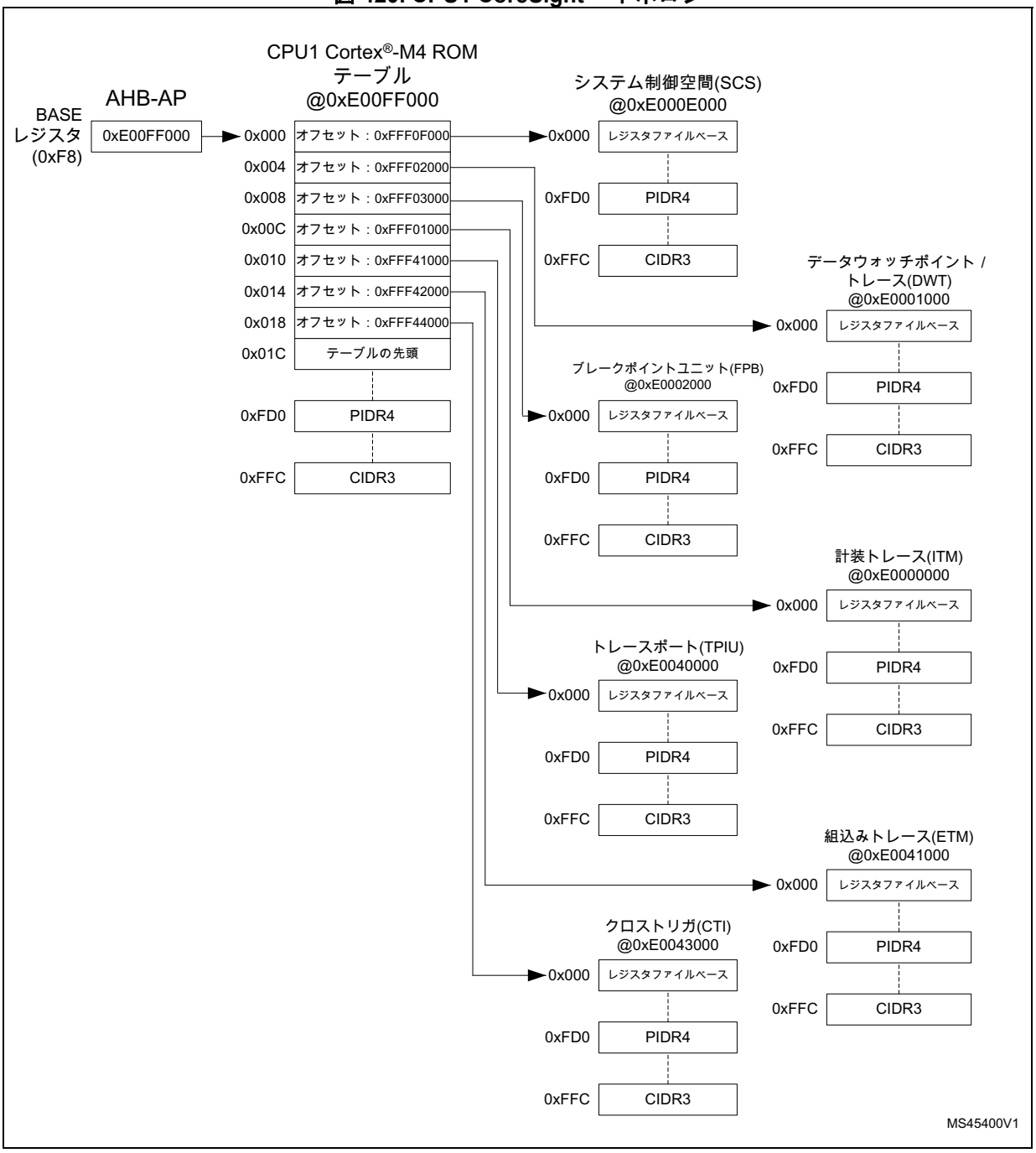
CPU1 ROM テーブル（表 277 を参照）は 4 KB、すなわちアドレス空間の 32 ビット幅の領域（0xE00FF000 ～ 0xE00FFFFC）を占有します。

表 277. CPU1 の ROM テーブル

ROM テーブルのアドレス	コンポーネント名	コンポーネントベースアドレス	コンポーネントアドレスオフセット	サイズ	エントリ
0xE00FF000	SCS	0xE000E000	0xFFF0F000	4 KB	0xFFF0F003
0xE00FF004	DWT	0xE0001000	0xFFF02000	4 KB	0xFFF02003
0xE00FF008	FPB	0xE0002000	0xFFF03000	4 KB	0xFFF03003
0xE00FF00C	ITM	0xE0000000	0xFFF01000	4 KB	0xFFF01003
0xE00FF010	TPIU	0xE0040000	0xFFF41000	4 KB	0xFFF41003
0xE00FF014	ETM	0xE0041000	0xFFF42000	4 KB	0xFFF42003
0xE00FF018	CTI	0xE0043000	0xFFF44000	4 KB	0xFFF44003
0xE00FF01C	テーブルの先頭	-	-	-	0x00000000
0xE00FF020 から 0xE00FFFC8	予約済みです。	-	-	-	0x00000000
0xE00FFFCC から 0xE00FFFFC	ROM テーブルレジスタ	-	-	-	表 273 を参照

CPU1 サブシステム内の CoreSight™ コンポーネントのトポロジを 図 420 に示します。

図 420. CPU1 CoreSight™ トポロジ



41.13.1 CPU1 ROM メモリタイプレジスタ（C1ROM_MEMTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
															r

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **SYSMEM**：システムメモリ

0x1：このバス上にシステムメモリがあります。

41.13.2 CPU1 ROM CoreSight ペリフェラル ID レジスタ 4（C1ROM_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x0：STMicroelectronics JEDEC 継続コード

41.13.3 CPU1 ROM CoreSight ペリフェラル ID レジスタ 0（C1ROM_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0095

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x95：STM32WB55xx/35xx

41.13.4 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1（C1ROM_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]

0x0：STMicroelectronics JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]

0x4：STM32WB55xx/35xx

41.13.5 CPU1 ROM CoreSight ペリフェラル ID レジスタ 2（C1ROM_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 000A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x0：リビジョン r0p0

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x2：STMicroelectronics JEDEC コード

41.13.6 CPU1 ROM CoreSight ペリフェラル ID レジスタ 3（C1ROM_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.13.7 CPU1 ROM CoreSight コンポーネント ID レジスタ 0（C1ROM_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.13.8 CPU1 ROM CoreSight ペリフェラル ID レジスタ 1（C1ROM_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0010

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0x1：ROM テーブルコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.13.9 CPU1 ROM CoreSight コンポーネント ID レジスタ 2（C1ROM_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.13.10 CPU1 ROM CoreSight コンポーネント ID レジスタ 3（C1ROM_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]
0xB1：コモン ID 値

41.13.11 CPU1 ROM テーブルレジスタのマップとリセット値

表 278. CPU1 ROM テーブルレジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xFCC	C1ROM_ MEMTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSMEM
	リセット値																																1
0xFD0	C1ROM_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFE0	C1ROM_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									1	0	0	1	0	1	0	1
0xFE4	C1ROM_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE8	C1ROM_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	0	0	1	0	1	0
0xFEC	C1ROM_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	C1ROM_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	C1ROM_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									0	0	0	1	0	0	0	0
0xFF8	C1ROM_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	C1ROM_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.14 CPU1 データウォッチポイントおよびトレースユニット（DWT）

DWT には 4つのコンパレータがあり、それぞれ以下の役割に使用できます。

- ウォッチポイント
- ETM トリガ、STM32WB55xx でのみ使用可能
- PC サンプリングトリガ
- データアドレスサンプリングトリガ
- データコンパレータ（コンパレータ 1 のみ）
- クロックサイクルカウンタコンパレータ（コンパレータ 0 のみ）

DWT は以下をカウントするためのカウンタも内蔵しています。

- クロックサイクル数
- フォールドされた命令数
- ロードストアユニット（LSU）の動作数
- スリープサイクル数
- 命令当たりのサイクル数
- 割込みオーバーヘッドの回数

DWT コンパレータは、DWT_COMPR レジスタに保持されている値と次のいずれかを比較します。

- データアドレス
- 命令アドレス
- データ値
- サイクルカウント値（コンパレータ 0 のみ）

アドレス照合の場合、コンパレータはマスクを使用することができるため、あるレンジのアドレスと一致します。

照合が成立すると、コンパレータは以下のうちの 1 つを生成します。

- 1 つ以上の DWT データトレースパケットで、以下を 1 つ以上含むもの。
  - データアクセスを伴う命令のアドレス
  - アドレスオフセット（データアクセスアドレスのビット [15:0] ）
  - 一致したデータ値。
- PC 値またはアクセスしたデータアドレスのいずれかで発生するウォッチポイントデバッグイベント。
- DWT ユニット外での一致を信号で伝える CMPMATCH[N] イベント。

ウォッチポイントデバッグイベントが発生すると、DebugMonitor 例外が生成されるか、またはプロセッサが停止してデバッグステートに入ります。

DWT の使用方法の詳細については、Arm® v7-M Architecture Reference Manual を参照してください [5]。

41.14.1 DWT 制御レジスタ（DWT_CTRLR）

アドレスオフセット：0x000

リセット値：0x4000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
NUMCOMP[3:0]。				NOTRCPKT	NOEXTTRIG	NOCYCCNT	NOPRFCNT	Res.	CYCEVTENA	FOLDEVTENA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCENA
r	r	r	r	r	r	r	r		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	PCSAMPLENA	SYNCTAP[1:0]		CYCTAP	POSTINIT[3:0]				POSTRESET[3:0]				CYCCNTENA
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:28 **NUMCOMP[3:0]**：実装されるコンパレータの数（読出し専用）
0x4：4つのコンパレータ

ビット 27 **NOTRCPKT**：トレースサンプリングおよび例外トレースのサポート（読出し専用）
0x0：サポートされます。

ビット 26 **NOEXTTRIG**：外部一致信号、CMPMATCH のサポート（読出し専用）
0x0：サポートされます。

ビット 25 **NOCYCCNT**：サイクルカウンタのサポート（読出し専用）
0x0：サポートされます。

ビット 24 **NOPRFCNT**：プロファイリングカウンタのサポート（読出し専用）
0x0：サポートされます。

ビット 23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **CYCEVTENA**：POSTCNT アンダーフローイベントカウンタのパケット生成の有効化
0x0：無効
0x1：有効

ビット 21 **FOLDEVTENA**：フォールドされた命令数カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 20 **LSUEVTENA**：LSU カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 19 **SLEEPEVTENA**：スリープカウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 18 **EXCEVTENA**：例外オーバーヘッドカウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 17 **CPIEVTENA**：CPI カウンタのオーバーフローイベント生成の有効化
0x0：無効
0x1：有効

ビット 16 **EXCTRCENA**：例外トレース生成の有効化
0x0：無効
0x1：有効

ビット 15:13 予約済みであり、リセット値に保持する必要があります。

ビット 12 **PCSAMPLENA**：POSTCNT カウンタを周期的 PC サンプルパケット生成用のタイマとして使用することを有効にします。

0x0：無効

0x1：有効

ビット 11:10 **SYNCTAP[1:0]**：CYCCNT カウンタ上の同期パケットカウンタのタップ位置の選択。これにより、同期パケットの速度が決定します。

0x0：無効。同期パケットはありません。

0x1：CYCCNT[24] でタップします。

0x2：CYCCNT[26] でタップします。

0x3：CYCCNT[28] でタップします。

ビット 9 **CYCTAP**：CYCCNT カウンタ上の POSTCNT のタップ位置の選択。

0x0：CYCCNT[6] でタップします。

0x1：CYCCNT[10] でタップします。

ビット 8:5 **POSTINIT[3:0] :** POSTCNT カウンタの初期値。このフィールドへの書込みは POSTCNT カウンタが有効であれば、無視されます（POSTINIT を書き込む前に CYCEVTENA または PCSAMPLENA をリセットする必要があります）。

ビット 4:1 **POSTPRESET[3:0]**：POSTCNT カウンタの再ロード値

ビット 0 **CYCCNTENA**：CYCCNT カウンタを有効にします。

0x0：無効

0x1：有効

41.14.2 DWT サイクルカウントレジスタ（DWT_CYCCNTR）

アドレスオフセット：0x004

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CYCCNT[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCCNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **CYCCNT[31:0]**：プロセッサのクロックサイクルカウンタ

41.14.3 DWT CPI カウントレジスタ（DWT_CPICNTR）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **CPICNT[7:0]**：CPI カウンタ。複数サイクルの命令を実行するために必要な追加サイクル数（DWT_LSUCNTR によって記録されるものを除く）をカウントし、命令フェッチストールがあればカウントします。

41.14.4 DWT 例外カウントレジスタ（DWT_EXCCNTR）

アドレスオフセット：0x00C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **EXCCNT[7:0]**：例外オーバーヘッドサイクルカウンタ。例外処理に費やされるサイクル数をカウントします。

41.14.5 DWT スリープカウントレジスタ（DWT_SLPCNTR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEPCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **SLEEPCNT[7:0]**：スリープサイクルカウンタ。SLEEPモードに費やされるサイクル数をカウントします（WFI、WFE、Sleep-on-exit）。

41.14.6 DWT LSU カウントレジスタ（DWT_LSUCNTR）

アドレスオフセット：0x014

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **LSUCNT[7:0]**：ロード・ストアカウンタ。ロードおよびストア命令を実行するために必要な追加サイクル数をカウントします。

41.14.7 DWT フォールドカウントレジスタ（DWT_FOLDCNTR）

アドレスオフセット：0x018

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLDCNT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **FOLDCNT[7:0]**：フォールドされた命令数のカウンタ。サイクル数 0 の命令のたびにインクリメントします。

41.14.8 DWT プログラムカウンタサンプルレジスタ（DWT_PCSR）

アドレスオフセット：0x01C

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EIASAMPLE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIASAMPLE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **EIASAMPLE[31:0]**：実行された命令アドレスのサンプル値。プログラムカウンタの現在値をサンプリングします。

41.14.9 DWT コンパレータレジスタ x （DWT_COMPxR）

アドレスオフセット：0x020 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
COMP[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **COMP[31:0]**：比較のための基準値

41.14.10 DWT マスクレジスタ x （DWT_MASKxR）

アドレスオフセット：0x024 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
											rw	rw	rw	rw	rw

ビット 31:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **MASK[4:0]**：コンパレータマスクのサイズ。コンパレータ n によるアドレスレンジ照合のためのアクセスアドレスに適用される無視マスクのサイズを提供します。デバッガはこのフィールドに 0b11111 を書き込み、その後そのレジスタを再び読み出して、サポートされる最大マスクサイズを決定することができます。

41.14.11 DWT 機能レジスタ x （DWT_FUNCTxR）

アドレスオフセット：0x028 + x * 0x10 （x = 0〜3）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]			
												rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LINK1 ENA	DATAV MATCH	CYC MATCH	Res.	EMIT RANGE	Res.	FUNCTION[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw		rw		rw	rw	rw	rw

ビット 31:25 予約済みであり、リセット値に保持する必要があります。

ビット 24 **MATCHED**：コンパレーター一致（読出し専用）。レジスタが最後に読み出されたあと、コンパレータの一致が発生したかどうかを示します。

0：一致していません。

1：一致が発生しました。

ビット 23:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **DATAVADDR1[3:0]**：DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用する 2 番目のコンパレータのコンパレータ番号が保持されます。

ビット 15:12 **DATAVADDR0[3:0]**：DATAVMATCH ビットと LNK1ENA ビットがどちらも 1 の場合、このフィールドには、リンクされたアドレスの比較に使用するコンパレータのコンパレータ番号が保持されます。

ビット 11:10 **DATAVSIZE[1:0]**：データ値照合のために必要なデータ比較のサイズを指定します。

0x0：バイト

0x1：ハーフワード

0x2：ワード

0x3：予約済みです。

ビット 9 **LNK1ENA**：リンクされた 2 番目のコンパレータの使用がサポートされるかを示します（読出し専用）。

0x1：サポートされます。

ビット 8 **DATAVMATCH**：サイクル比較を有効にします。
0x0：アドレス比較を実行します。
0x1：データ値比較を実行します。

ビット 7 **CYCMATCH**：コンパレータ 0 でのサイクルカウント比較の有効化。このフィールドは 他のコンパレータのために予約済みです。
0x0：サイクルカウント比較は行われません。
0x1：DWT_COMP0R をサイクルカウンタ DWT_CYCCNTR と比較します。

ビット 6 予約済みであり、リセット値に保持する必要があります。

ビット 5 **EMITRANGE**：データトレースのアドレスオフセットパケット（データアドレスのビット 0～15 を含む）の生成を有効にします。
0x0：無効
0x1：有効

ビット 4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **FUNCTION[3:0]**：コンパレータが一致した場合の動作を選択します。このビットフィールドの意味は、DATAVMATCH および CYCMATCH フィールドの設定に依存します。[5]を参照してください。

41.14.12 DWT CoreSight ペリフェラル ID レジスタ 4（DWT_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ
0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード
0x4：Arm® JEDEC コード

41.14.13 DWT CoreSight ペリフェラル ID レジスタ 0（DWT_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x02：DWT 部品番号

41.14.14 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]

0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]

0x9：DWT 部品番号

41.14.15 DWT CoreSight ペリフェラル ID レジスタ 2（DWT_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 003B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x3：r0p4

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.14.16 DWT CoreSight ペリフェラル ID レジスタ 3（DWT_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.14.17 DWT CoreSight コンポーネント ID レジスタ 0（DWT_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]

0x0D：コモン ID 値

41.14.18 DWT CoreSight ペリフェラル ID レジスタ 1（DWT_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス

0xE：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]

0x0：コモン ID 値

41.14.19 DWT CoreSight コンポーネント ID レジスタ 2（DWT_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]

0x05：コモン ID 値

41.14.20 DWT CoreSight コンポーネント ID レジスタ 3（DWT_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.14.21 CPU1 DWT レジスタのマップとリセット値

CPU1 DWT レジスタはアドレス範囲 0xE0001000～0xE0001FFC に配置されています。

表 279. CPU1 DWT レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DWT_CTRLR	NUMCOMP[3:0]				NOTRCPKT	NOEXTTRIG	NOCYCCNT	NOPRFCNT	Res.	CYCEVTENA	FOLDEVTENA	LSUEVTENA	SLEEPEVTENA	EXCEVTENA	CPIEVTENA	EXCTRCENA	Res.	Res.	Res.	PCSAMPLENA	SYNCTAP[1:0]		CYCTAP	POSINIT[3:0]				POSTPRESET[3:0]				CYCCNTENA
	リセット値	0	1	0	0	0	0	0	0		0	0	0	0	0	0	0				0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DWT_CYCCNTR	CYCCNT[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DWT_CPICNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CPICNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x00C	DWT_EXCCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXCCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x010	DWT_SLPCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SLEEPCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x014	DWT_LSUCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSUCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x018	DWT_FOLDCNTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FOLDCNT[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x01C	DWT_PCSR	EIASAMPLE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DWT_COMP0R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DWT_MASK0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0
0x028	DWT_FUNCT0R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1[3:0]				DATAVADDR0[3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x030	DWT_COMP1R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DWT_MASK1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0
0x038	DWT_FUNCT1R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1[3:0]				DATAVADDR0[3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x040	DWT_COMP2R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x044	DWT_MASK2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]				
	リセット値																												0	0	0	0	0

表 279. CPU1 DWT レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x048	DWT_FUNCT2R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE[1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION[3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0x050	DWT_COMP3R	COMP[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	DWT_MASK3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MASK[4:0]			
	リセット値																												0	0	0	0	0
0x058	DWT_FUNCT3R	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MATCHED	Res.	Res.	Res.	Res.	DATAVADDR1 [3:0]				DATAVADDR0 [3:0]				DATAVSIZE [1:0]		LNK1ENA	DATAVMATCH	CYCMATCH	Res.	EMITRANGE	Res.	FUNCTION [3:0]			
	リセット値								0					0	0	0	0	0	0	0	0	0	0	0	0	0		0		0	0	0	0
0xFD0	DWT_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	DWT_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	0	0	1	0
0xFE4	DWT_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	0	0	0
0xFE8	DWT_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	1	1	1	0	1	1
0xFEC	DWT_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	DWT_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	DWT_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	1	1	0	0	0	0	0
0xFF8	DWT_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	DWT_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.15 CPU1 計装トレースマクロセル（ITM）

4 つのソースからパケットが生成される可能性があるので、ITM はトレース情報をパケットとして生成します。パケットが複数のソースから同時に生成される場合、ITM はパケットの出力順番についてアービトレーションを行います。4 つのソースを優先度の高いものから順に挙げます。

1. ソフトウェアトレース

   ソフトウェアは、32 x 32 ビットの ITM スティムラスレジスタのいずれかに直接書込みを行って、パケットを生成します。各ポートの許可レベルはプログラムで設定できます。ソフトウェアが有効なスティムラスポートに書き込むと、ITM は FIFO に書き込むパケットの中に、ポートの ID、書込みアクセスのサイズ、および書き込まれたデータを統合します。ITM は FIFO からトレースバスにパケットを出力します。スティムラスポートレジスタを読み出すと、ビット 0 のスティムラスレジスタのステータス（エンプティまたはペンディング）を返します。

2. ハードウェアトレース

   DWT はデータトレースイベント、すなわち PC サンプルやパフォーマンスプロファイリングカウンタの折り返しに応じて、トレースパケットを生成します。ITM がこれらのパケットをトレースバスに出力します。

3. ローカルタイムスタンプ

   ITM は（分周済みの）プロセッサクロックが供給される 21 ビットカウンタを内蔵しています。カウンタの値はトレースバスのタイムスタンプパケットに出力されます。タイムスタンプパケットが生成されるたびに、カウンタはゼロにリセットされます。よって、タイムスタンプは前のタイムスタンプパケットからの経過時間となります。

41.15.1 ITM スティムラスレジスタ x （ITM_STIMRx）

アドレスオフセット：0x000 + x * 0x4 （x = 0〜31）

リセット値：不明

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STIMULUS[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIMULUS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **STIMULUS[31:0]** : 書込みデータは、ソフトウェアイベントパケットとしてトレースバスに出力されます。読出し時、ビット 0 は FIFOREADY インジケータとなります。

0：スティムラスポートのバッファはフルです（またはポートが無効）。

1：スティムラスポートは新しい書込みデータを受け付けることができます。

41.15.2 ITM トレース有効レジスタ（ITM_TER）

アドレスオフセット：0x080

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
STIMENA[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STIMENA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **STIMENA[31:0]**：各ビット n（0:31）は、ITM_STIMRn レジスタと関連のあるスティムラスポートを有効にします。

0：ポートを無効化

1：ポートを有効化

41.15.3 ITM トレース特権レジスタ（ITM_TPR）

アドレスオフセット：0xE00

リセット値：0x00000000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRIVMASK[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRIVSK[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **PRIVMASK[31:0]**：ITM スティムラスポートへの非特権のアクセスを有効にします。各ビットは 8 つのスティムラスポートを制御します。

0bXXX0：ポート 0～7 では非特権のアクセスが許可されます。

0bXXX1：ポート 0～7 では特権アクセスのみが許可されます。

0bXX0X：ポート 8～15 では非特権のアクセスが許可されます。

0bXX1X：ポート 8～15 では特権アクセスのみが許可されます。

0bX0XX：ポート 16～23 では非特権のアクセスが許可されます。

0bX1XX：ポート 16～23 では特権アクセスのみが許可されます。

0b0XXX：ポート 24～31 では非特権のアクセスが許可されます。

0b1XXX：ポート 24～31 では特権アクセスのみが許可されます。

41.15.4 ITM トレース制御レジスタ（ITM_TCR）

アドレスオフセット：0xE80

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	TRACEBUSID[6:0]						
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TSPRESCALE[1:0]		Res.	Res.	Res.	SWOENA	TXENA	SYNCENA	TSENA	ITMENA
						rw	rw				r	rw	rw	rw	rw

ビット 31:24 予約済みであり、リセット値に保持する必要があります。

ビット 23 **BUSY**：ITM が現在イベント処理中かどうかを示します（読出し専用）。

0：非ビジー

1：ビジー

ビット 22:16 **TRACEBUSID[6:0]**：マルチソーストレースストリームのフォーマット識別子。マルチソーストレースを使用している場合、デバッガはこのフィールドにゼロ以外の値を書き込まなければなりません。注：システム内のトレースソースにはそれぞれ異なる ID を使用してください。

ビット 15:10 予約済みであり、リセット値に保持する必要があります。

ビット 9:8 **TSPRESCALE[1:0]**：トレースパケットのリファレンスクロックで使用するローカルタイムスタンププリスケーラ。設定可能な値は以下のとおり。

0x0：プリスケールなし。

0x1：4 分周

0x2：16 分周

0x3：64 分周

ビット 7:5 予約済みであり、リセット値に保持する必要があります。

ビット 4 **SWOENA**：タイムスタンプカウンタの非同期クロックを有効にします（読出し専用）。

0：タイムスタンプカウンタはプロセッサクロックを使用します。

ビット 3 **TXENA**：DWT ユニットからトレースポートへのハードウェアイベントパケットの転送を有効にします。

0：無効

1：有効

ビット 2 **SYNCENA**：同期パケット送信を有効にします。

注： デバッガがこのビットをセットした場合、正しい同期速度にするために、DWT の DWT_CTRLR レジスタの SYNCTAP フィールドも設定する必要があります。

0：無効

1：有効

ビット 1 **TSENA**：ローカルタイムスタンプ生成を有効にします。

0：無効

1：有効

ビット 0 **ITMENA**：ITM を有効にします。

0：無効

1：有効

41.15.5 ITM CoreSight ペリフェラル ID レジスタ 4（ITM_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC コード

41.15.6 ITM CoreSight ペリフェラル ID レジスタ 0（ITM_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x01：ITM 部品番号

41.15.7 ITM CoreSight ペリフェラル ID レジスタ 1（ITM_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x0：ITM 部品番号

41.15.8 ITM CoreSight ペリフェラル ID レジスタ 2（ITM_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 003B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x3：r0p4

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.15.9 ITM CoreSight ペリフェラル ID レジスタ 3（ITM_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.15.10 ITM CoreSight コンポーネント ID レジスタ 0（ITM_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.15.11 ITM CoreSight ペリフェラル ID レジスタ 1（ITM_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0xE：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.15.12 ITM CoreSight コンポーネント ID レジスタ 2（ITM_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.15.13 ITM CoreSight コンポーネント ID レジスタ 3（ITM_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]
0xB1：コモン ID 値

41.15.14 ITM レジスタのマップとリセット値

ITM レジスタはアドレスレンジ 0xE0000000～0xE0000FFC に配置されています。

表 280. CPU1 ITM レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000 から 0x07C	ITM_STIM0-31R	STIMULUS[31:0]																															
	リセット値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x0E00	ITM_TER	STIMENA[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0E40	ITM_TPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRIVMASK[3:0]			
	リセット値																													0	0	0	0
0xE80	ITM_TCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	TRACEBUSID[6:0]							Res.	Res.	Res.	Res.	GTSFREQ[1:0]		TSPRESCALE[1:0]		Res.	Res.	Res.	SWOENA	TXENA	SYNCENA	TSENA	ITMENA
	リセット値									0	0	0	0	0	0	0	0					0	0	0	0				0	0	0	0	0
0xFD0	ITM_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	ITM_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	0	0	0	1
0xFE4	ITM_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	0	0	0
0xFE8	ITM_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	1	1	1	0	1	1
0xFEC	ITM_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	ITM_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	ITM_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	1	1	0	0	0	0	0
0xFF8	ITM_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	ITM_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.16 CPU1 ブレークポイントユニット（FPB）

FPB によって、ハードウェアブレークポイントをセットできます。これには、命令フェッチアドレスを監視する 6 つのコンパレータと、2 つのリテラルアドレスコンパレータが含まれています。一致が発生した場合、アドレスは、FPB_REMAPR レジスタに、一致したコンパレータに対応するオフセットを加えた値で定義されたシステムメモリのアドレスに再配置されます。あるいは、命令コンパレータはブレークポイント命令を生成するように設定できます。

41.16.1 FPB 制御レジスタ（FPB_CTRLR）

アドレスオフセット：0x000

リセット値：0x0000 0260

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	NUM_CODE[6:4]			NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	r	r	r	r	r	r	r	r	r	r	r			rw	rw

ビット 31:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **NUM_CODE[6:4]**：サポートされる命令アドレスコンパレータの数 - 最下位ビット（読出し専用）
0x0：6 つの命令コンパレータがサポートされます。

ビット 11:8 **NUM_LIT[3:0]**：サポートされるリテラルアドレスコンパレータの数（読出し専用）
0x2：2 つのリテラルコンパレータがサポートされます。

ビット 7:4 **NUM_CODE[3:0]**：サポートされる命令アドレスコンパレータの数 - 最下位ビット（読出し専用）
0x6：6つの命令コンパレータがサポートされます。

ビット 1 **KEY**：書込み保護キー。FPB_CTRLR レジスタへの書込みは、このビットが「1」にセットされていない場合は無視されます。

ビット 0 **ENABLE**：FPB 有効化
0x0：無効化
0x1：イネーブル

41.16.2 FPB 再配置レジスタ（FPB_REMAPR）

アドレスオフセット：0x004

リセット値：0x2000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	RMPSPT	REMAP[23:11]												
		r	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REMAP[10:0]											Res.	Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw					

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **RMPSPT**：Flash メモリパッチの再配置がサポートされるかどうかを示します（読出し専用）。
0x1：再配置はサポートされています。

ビット 28:5 **REMAP[23:0]**：ターゲットアドレスを再配置します。FPB がアドレスを再配置する SRAM 内のベースアドレスのビット [28:5]再配置ベースアドレスは、実装されたコンパレータをサポートするために必要なワード数、すなわち （NUM_CODE+NUM_LIT）ワードに整列する必要があり、最小値は 8 ワードです。再配置は SRAM メモリ領域 0x20000000-0x3FFFFFFF に行われるので、再配置アドレスのビット [31:29] は 0b001 になります。

ビット 4:0 予約済みであり、リセット値に保持する必要があります。

41.16.3 FPB コンパレータレジスタ（FPB_COMPxR）

アドレスオフセット：0x008 + x * 0x4 （x = 0～7）

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REPLACE[1:0]		Res.	COMP[26:14]												
rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[13:0]														Res.	ENABLE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

ビット 31:30 **REPLACE[1:0]**：COMP フィールドと命令フェッチアドレスの一致が発生したときの動作を定義します。
0x0：予約済みです。
0x1：下位ハーフワードにブレークポイントが定義され、上位ハーフワードは定義されません。
0x2：上位ハーフワードにブレークポイントが定義され、下位ハーフワードは定義されません。
0x3：上位および下位のハーフワードにそれぞれブレークポイントが定義されます。

ビット 29 予約済みであり、リセット値に保持する必要があります。

ビット 28:2 **COMP[26:0]**：命令コードメモリへのアクセスアドレスのビット 28:2 と比較するための値です（0x00000000～0x1FFFFFFF）。一致の発生時に取るべき動作は、REPLACE フィールドに定義されます。

ビット 1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **ENABLE**：コンパレータの有効化。コンパレータは、このビットと FPB_CTRLR レジスタの FPB ENABLE ビットの両方がセットされている場合にのみ有効です。

0：無効

1：有効

41.16.4 FPB CoreSight ペリフェラル ID レジスタ 4（FPB_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC コード

41.16.5 FPB CoreSight ペリフェラル ID レジスタ 0（FPB_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x03：FPB 部品番号

41.16.6 FPB CoreSight ペリフェラル ID レジスタ 1（FPB_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x0：FPB 部品番号

41.16.7 FPB CoreSight ペリフェラル ID レジスタ 2（FPB_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 002B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x2：r0p3

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.16.8 FPB CoreSight ペリフェラル ID レジスタ 3（FPB_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.16.9 FPB CoreSight コンポーネント ID レジスタ 0（FPB_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.16.10 FPB CoreSight ペリフェラル ID レジスタ 1（FPB_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 00E0

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0xE：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.16.11 FPB CoreSight コンポーネント ID レジスタ 2（FPB_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.16.12 FPB CoreSight コンポーネント ID レジスタ 3（FPB_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.16.13 FPB レジスタのマップとリセット値

CPU1 FPB レジスタはアドレス範囲 0xE0002000～0xE0002FFC に配置されています。

表 281. CPU1 FPB レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	FPB_CTRLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NUM_CODE[6:4]			NUM_LIT[3:0]				NUM_CODE[3:0]				Res.	Res.	KEY	ENABLE
	リセット値																		0	0	0	0	0	1	0	0	1	1	0			0	0
0x004	FPB_REMAPR	Res.	Res.	RMPSPT	REMAP[23:0]																								Res.	Res.	Res.	Res.	Res.
	リセット値			1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					
0x008 から 0x024	FPB_COMP0-7R	REPLACE[1:0]		Res.	COMP[26:0]																											Res.	ENABLE
	リセット値	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0
0xFD0	FPB_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	FPB_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	0	0	0	0	1	1
0xFE4	FPB_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	0	0	0	0
0xFE8	FPB_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	1	0	1	0	1	1
0xFEC	FPB_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	FPB_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	FPB_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	1	1	0	0	0	0	0
0xFF8	FPB_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	FPB_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.17 CPU1 組込みトレースマクロセル（ETM™）、STM32WB55xx でのみ使用可能

CPU1 ETM™ は CPU と密接に連結された CoreSight™ コンポーネントです。ETM™ は、CPU1 コアの実行をトレースすることができるトレースパケットを生成します。命令トレース専用に設定されているため、トレース情報にデータアクセスは含まれません。

ETM™ はプロセッサのトレースインタフェース経由で CPU から以下の情報を受信します。

- 同一サイクルで実行される命令の数
- プログラムフローの変更
- プロセッサの現在の命令ステート
- ロードおよびストア命令によってアクセスされるメモリ位置のアドレス
- 転送のタイプ、方向、およびサイズ
- 条件コードに関する情報
- 例外情報
- 割込み待ちステートに関する情報

詳細については、Arm® CoreSight™ ETM™-Cortex®-M4 Technical Reference Manual を参照してください 。

41.17.1 ETM 制御レジスタ（ETM_CR）

アドレスオフセット：0x000

リセット値：0x0000 0411

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TSEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw											

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	ETMEN	PROG	DBRQ	BO	STALL	Res.	Res.	Res.	Res.	Res.	Res.	PDN
				rw	rw	rw	rw	rw							rw

ビット 31:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **TSEN**：タイムスタンプ有効化。
0：タイムスタンプは無効です。
1：タイムスタンプは有効です。

ビット 26:12 予約済みであり、リセット値に保持する必要があります。

ビット 11 **ETMEN**：ETM 有効化。
0：TRACE 出力は無効です。
1：TRACE 出力は有効です。

ビット 10 **PROG**：ETM プログラミング。ETM™ をプログラミングする前に、このビットを 1 にセットする必要があります。このビットが 1 にセットされている間、トレースは防止されます。
0x0：ETM は動作可能です。
0x1：ETM はプログラミング中です。

ビット 9 **BO**：分岐出力。1 にセットされた場合、直接分岐命令による分岐であっても、すべての分岐アドレスが出力されます。このビットをセットすると、実行中のコードのメモリイメージにアクセスすることなく、プログラムフローを再現できます。

このビットを 1 にセットした場合、より多くのトレースデータが生成されるので、トレースシステムの性能が影響を受けることがあります。このビットの状態にかかわらず、分岐の実行に関する情報はトレースされます。

ビット 8 **STALL**：プロセッサをストールします。FIFOFULL 出力は、オーバーフローを防止する目的でプロセッサを停止させるために使用できます。FIFOFULL 出力は、プロセッサストールビットが 1 にセットされている場合のみ有効です。このビットが 0 の場合、FIFOFULL 出力は常に LOW のままであり、トレースパケットが多すぎると FIFO はオーバーフローします。オーバーフローが発生した場合、FIFO が空になればトレースは破損することなく再開されます。

ビット 6:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **PDN**：ETM パワーダウン。このビットは、ETM が低電力状態であるかどうかを制御するために、実装によって使用されます。このビットは、デバッグセッションの開始時にトレースソフトウェアツールによってクリアされなければなりません。

このビットが 1 にセットされた場合、一部のレジスタおよびフィールドへの書込みは無視されることがあります。次のレジスタとフィールドには、常に書き込むことができます。

– ETMCR ビット [0]
– ETMLAR
– ETMCLAIMSET レジスタ
– ETMCLAIMCLR レジスタ

このビットが 1 にセットされた状態で ETMCR を書き込むと、ビット [0] 以外のビットは無視されることがあります。

41.17.2 ETM 設定コードレジスタ（ETM_CCR）

アドレスオフセット：0x004

リセット値：0x8C80 2000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IDPRES	Res.	Res.	Res.	CPMAC	TSPRES	CIDCMP[1:0]		FFPRES	NEXTO[2:0]			NEXTI[2:0]			SEQPRES
r				r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NCNT[2:0]			NMMDEC[4:0]					NDVCMP[3:0]				NADCMP[3:0]			
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 30 **IDPRES**：ETM ID レジスタの存在。

1：ETMIDR レジスタが存在し、使用中の ETM アーキテクチャのバージョンを定義します。

ビット 30:28 予約済みであり、リセット値に保持する必要があります。

ビット 27 **CPMAC**：コプロセッサおよびメモリアクセス。

1：レジスタへのメモリマップドアクセスがサポートされています。

ビット 26 **TSPRES**：トレース開始/停止ブロックの存在。

1：トレース開始/停止ブロックが存在します。

ビット 25:24 **CIDCMP[1:0]**：コンテキスト ID コンパレータの数。

0x0：コンテキスト ID コンパレータは実装されていません。

ビット 23 **FFPRES**：FIFOFULL ロジックの存在。FIFOFULL を使用するには、システムも ETM_CR のビット [8] で示されるように、この機能をサポートしている必要があります。
1：ETM に FIFOFULL ロジックが存在します。

ビット 22:20 **NEXTO[2:0]**：外部出力の数。
0x0：外部出力はサポートされていません。

ビット 19:17 **NEXTI[2:0]**：外部入力の数。
0x2：2 つの外部入力をサポートしています。

ビット 16 **SEQPRES**：シーケンサの存在。
0：シーケンサは ETM にありません。

ビット 15:13 **NCNT[2:0]**：カウンタの数。
0x1：1 つのカウンタが実装されています。

ビット 12:8 **NMMDEC[4:0]**：メモリマップデコーダの数。
0x0：メモリマップデコーダ入力は実装されていません。

ビット 7:4 **NDVCMP[3:0]**：データ値コンパレータの数。
0x0：データ値コンパレータは実装されていません。

ビット 3:0 **NADCMP[3:0]**：アドレスコンパレータペアの数。
0x0：アドレスコンパレータペアは実装されていません。

41.17.3 ETM トリガレジスタ（ETM_TRIGGER）

アドレスオフセット：0x008

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2]
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCN[1:0]		RESOURCEB[6:0]							RESOURCEA[6:0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:14 **FCN[2:0]**：ブール関数。A が最初のリソース一致として定義され、B が 2 番目の一致として定義されている場合、イベントは A と B の関数として定義されます。
0x0：A
0x1：NOT A
0x2：A AND B
0x3：NOT A AND B
0x4：NOT A AND NOT B
0x5：A OR B
0x6：NOT A OR B
0x7：NOT A OR NOT B

ビット 13:7 **RESOURCEB[6:0]**：2 番目のリソース識別子。ビットの説明については、RESOURCEA[6:0] フィールドを参照してください。

ビット 6:0 **RESOURCEA[6:0]**：最初のリソース識別子。ビット [6:4] はリソースタイプを定義し、ビット [3:0] はインデックスを定義します。サポートされているリソース識別子を以下に示します。これ以外の値をプログラミングすると、予測できない動作になることがあります。

タイプ（ビット [6:4]）	インデックス（ビット [3:0]）	
0x2	0～3	内蔵 ICE ウォッチポイントコンパレータ 1～4（DWT から）
0x4	0	ゼロ時点のカウンタ 1
0x5	15	トレース開始/停止リソース
0x6	0～1 15	外部入力 1～2 ハードワイヤード入力、常に真

41.17.4 ETM ステータスレジスタ（ETM_SR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGFL	TSSRSTAT	PROGVAL	UOVFL
												rw	rw	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **TRIGFL**：トリガフラグ。トリガが発生するとセットされ、ETM が再びプログラムされるまでトリガは出力されません。

ビット 2 **TSSRSTAT**：トリガ開始/停止リソースのステータス。トレース開始/停止リソースの現在の状態を保持します。1 にセットされた場合、トレースオンアドレスは一致したが、対応するトレースオフアドレスは一致しないことを示します。

ビット 1 **PROGVAL**：プログラミングビット値（読出し専用）ETM_CR のビット [10] にある ETM プログラミングビットの現在の有効値。ETM のプログラミングを開始する前に、プログラミングビットを 1 にセットし、このビットが 1 になるのを待つ必要があります。

このビットは、FIFO が空になるまで、または OS ロックが ETM_OSLSR レジスタでセットされるまで 0 のままです。

ビット 0 **UOVFL**：トレースされていないオーバーフロー（読出し専用）。1 にセットされた場合、まだトレースされていないオーバーフローがあります。このビットは、トレースが再開されるか、ETM パワーダウンビット（ETM_CR レジスタのビット [0]）が 1 にセットされたときに 0 にクリアされます。

41.17.5 ETM ステータスレジスタ（ETM_SCR）

アドレスオフセット：0x014

リセット値：0x0002 0D09

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NOFTCHCOMP	Res.
														r	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	NSUPPROC[2:0]			PORT MODESUP	PORT SIZESUP	MAXPORT SIZE[3]	FFSUP	Res.	Res.	Res.	Res.	Res.	MAXPORTSIZE[2:0]		
	r	r	r	r	r	r	r						r	r	r

ビット 31:18 予約済みであり、リセット値に保持する必要があります。

ビット 17 **NOFTCHCOMP**：フェッチ比較なし。

1：フェッチ比較は実装されていません。

ビット 16:15 予約済みであり、リセット値に保持する必要があります。

ビット 14:12 **NSUPPROC[2:0]**：サポートされているプロセッサの数。

0x0：1 つのプロセッサがサポートされています。

ビット 11 **PORTMODESUP**：ポートモードのサポート。

0：現在選択されているポートモードはサポートされていません。

1：現在選択されているポートモードはサポートされています。

ビット 10 **PORTSIZESUP**：ポートサイズのサポート。

0：現在選択されているポートサイズはサポートされていません。

1：現在選択されているポートサイズはサポートされています。

ビット 9 **MAXPORTSIZE[3]**：最大 ETM ポートサイズビット [3]。このビットは、ビット [2:0] と組み合わせて使用します。

ビット 8 **FFSUP**：FIFOFULL のサポート。

1：FIFOFULL はサポートされています。

ビット 7:3 予約済みであり、リセット値に保持する必要があります。

ビット 2:0 **MAXPORTSIZE[2:0]**：最大 ETM ポートサイズビット [2:0]。これらのビットは、ビット 9 とともに、サポートされる最大 ETM ポートサイズを示します。

0x1：最大ポートサイズ = 1

41.17.6 ETM トレース有効イベントレジスタ（ETM_TEEVR）

アドレスオフセット：0x020

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2]
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCN[1:0]		RESOURCEB[6:0]							RESOURCEA[6:0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:14 **FCN[2:0]**：ブール関数。A が最初のリソース一致として定義され、B が 2 番目の一致として定義されている場合、イベントは A と B の関数として定義されます。

0x0：A
0x1：NOT A
0x2：A AND B
0x3：NOT A AND B
0x4：NOT A AND NOT B
0x5：A OR B
0x6：NOT A OR B
0x7：NOT A OR NOT B

ビット 13:7 **RESOURCEB[6:0]**：2 番目のリソース識別子。ビットの説明については、RESOURCEA[6:0] フィールドを参照してください。

ビット 6:0 **RESOURCEA[6:0]**：最初のリソース識別子。ビット [6:4] はリソースタイプを定義し、ビット [3:0] はインデックスを定義します。サポートされているリソース識別子を以下に示します。これ以外の値をプログラミングすると、予測できない動作になることがあります。

タイプ（ビット [6:4]）	インデックス（ビット [3:0]）	
0x2	0～3	内蔵 ICE ウォッチポイントコンパレータ 1～4（DWT から）。
0x4	0	ゼロ時点のカウンタ 1
0x5	15	トレース開始/停止リソース
0x6	0～1 15	外部入力 1～2 ハードワイヤード入力、常に真

41.17.7 ETM トレース有効化制御 1 レジスタ（ETM_TECR1）

アドレスオフセット：0x024

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	ENONOFF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
						rw									

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

ビット 31:26 予約済みであり、リセット値に保持する必要があります。

ビット 25 **ENONOFF**：トレース開始/停止トレース有効化制御

0：トレース開始/停止ブロックではトレース有効化は制御されません。

1：トレースの有効化は、トレース開始/停止ブロックで制御されます。

ビット 24:0 予約済みであり、リセット値に保持する必要があります。

41.17.8 ETM FIFOFULL レベルレジスタ（ETM_FFLR）

アドレスオフセット：0x028

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LEVEL[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

Bit7:0 **LEVEL[7:0]**：FIFO 内に残っている空きバイト数。これを下回ると FIFOFULL 信号がアサートされます。たとえば、この値を 15 に設定すると、FIFO の空きバイトが 15 バイト未満の場合にプロセッサが停止します（有効な場合）。

41.17.9 ETM カウンタ再ロード値 1 レジスタ（ETM_CNTRLDVR1）

アドレスオフセット：0x140

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INICNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:16 予約済みであり、リセット値に保持する必要があります。

Bit15:0 **INICNT[15:0]**：初期カウント。カウンタ再ロード値を指定します。

41.17.10 ETM 同期頻度レジスタ（ETM_SYNCFR）

アドレスオフセット：0x1E0

リセット値：0x0000 0400

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	FREQUENCY[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:12 予約済みであり、リセット値に保持する必要があります。

ビット 11:0 **FREQUENCY[11:0]**：この値は、トレース内の同期ポイント間の時間（バイト単位）です（ツールは、同期ポイントでのみ解凍を開始できます）。

0x400：ETM は、トレース 1024 バイトごとに固定の同期パケット生成頻度を使用します。

41.17.11 ETM ID レジスタ（ETM_IDR）

アドレスオフセット：0x1E4

リセット値：0x4114：F250

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DESIGNER[7:0]								Res.	Res.	Res.	ABPE	SXSUPP	T32SUPP	Res.	LDPCF
r	r										r	r	r		r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PROCFAM[3:0]				ETMARCHMAJ[3:0]				ETMARCHMIN[3:0]				REVISION[3:0]			
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:24 **DESIGNER[7:0]**：実装者コード
0x41：ARM®

ビット 23:21 予約済みであり、リセット値に保持する必要があります。

ビット 20 **ABPE**：代替ランチパケットの符号化。
1：ABPE が実装されています。

ビット 19 **SXSUPP**：セキュリティ拡張機能のサポート。
0：ETM は、プロセッサが常にセキュアモードであるかのように動作します。

ビット 18 **T32SUPP**：32 ビット Thumb 命令のトレース。
1：32 ビット Thumb 命令は、単一命令としてトレースされます。

ビット 17 予約済みであり、リセット値に保持する必要があります。

ビット 16 **LDPCF**：最初に PC をロード。
0：データトレースはサポートされていません。

ビット 15:12 **PROCFAM[3:0]**：プロセッサファミリ。
0xF：プロセッサファミリは、このレジスタでは識別されません。

ビット 11:8 **ETMARCHMAJ[3:0]**：メジャーな ETM アーキテクチャのバージョン。
0x2：バージョン 3

ビット 7:4 **ETMARCHMIN[3:0]**：マイナーな ETM アーキテクチャのバージョン。
0x5：バージョン 5

ビット 3:0 **REVISION[3:0]**：実装のリビジョン。
0x0：リビジョン 0

41.17.12 ETM 設定コード拡張レジスタ（ETM_CCER）

アドレスオフセット：0x1E8

リセット値：0x1854 1800

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	TSSIZE	TSENC	RFC	Res.	Res.	Res.	Res.	TSIMP	EIIMP	TSSUWP	NUMWPIN[3:0]			
		r	r	r					r	r	r	r	r		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUMIR[2:0]			SUPPDAC	RR	XXINBUS[7:0]								XXINSEL[2:0]		
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:30 予約済みであり、リセット値に保持する必要があります。

ビット 29 **TSSIZE**：タイムスタンプサイズ。
0：48 ビット。

ビット 28 **TSENC**：タイムスタンプエンコード。
1：タイムスタンプは自然 2 進数としてエンコードされます。

ビット 27 **RFC**：低減機能カウンタ。
1：カウンタは機能を低減したカウンタです。

ビット 26:23 予約済みであり、リセット値に保持する必要があります。

ビット 22 **TSIMP**：タイムスタンプの実装。
1：タイムスタンプが実装されまています。

ビット 21 **EIIMP**：内蔵 ICE の動作制御の実装。
0：実装なし

ビット 20 **TSSUWP**：トレースの開始/停止に、内蔵 ICE ウォッチポイント入力を使用。
1：あり

ビット 19:16 **NUMWPIN[3:0]**：内蔵 ICE ウォッチポイント入力。DWT からの入力の数。
0x4：4 つの入力

ビット 15:13 **NUMIR[2:0]**：計測リソース。
0x0：なし

ビット 12 **SUPPDAC**：データアドレス比較のサポート。
1：サポートされません

ビット 11 **RR**：読出し可能レジスタ。
1：すべてのレジスタは読出し可能です。

ビット 10:3 **XXINBUS[7:0]**：拡張外部入力バス。
0x0：実装なし

ビット 2:0 **XXINSEL[2:0]**：拡張外部入力セレクタ。
0x0：実装なし

41.17.13 ETM トレース有効化開始/停止の内蔵 ICE 制御レジスタ（ETM_TESSEICR）

アドレスオフセット：0x1F0

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	STOPRS[3:0]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	STARTRS[3:0]			
												rw	rw	rw	rw

ビット 31:20 予約済みであり、リセット値に保持する必要があります。

ビット 19:16 **STOPRS[3:0]**：停止リソースの選択。これらのビットのいずれかを 1 にセットすると、対応する内蔵 ICE ウォッチポイント入力が TraceEnable の停止リソースとして選択されます。ビット [16] は入力 1 に、ビット [17] は入力 2 に、ビット [18] は入力 3 に、ビット [19] は入力 4 に対応します。

ビット 3:0 **STARTRS[3:0]**：開始リソースの選択。これらのビットのいずれかを 1 にセットすると、対応する内蔵 ICE ウォッチポイント入力が TraceEnable 開始リソースとして選択されます。ビット [0] は入力 1 に、ビット [1] は入力 2 に、ビット [2] は入力 3 に、ビット [3] は入力 4 に対応します。

41.17.14 ETM タイムスタンプイベントレジスタ（ETM_TSEVR）

アドレスオフセット：0x1F8

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2]
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FCN[1:0]		RESOURCEB[6:0]							RESOURCEA[6:0]						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:17 予約済みであり、リセット値に保持する必要があります。

ビット 16:14 **FCN[2:0]**：ブール関数。A が最初のリソース一致として定義され、B が 2 番目の一致として定義されている場合、イベントは A と B の関数として定義されます。

0x0：A
0x1：NOT A
0x2：A AND B
0x3：NOT A AND B
0x4：NOT A AND NOT B
0x5：A OR B
0x6：NOT A OR B
0x7：NOT A OR NOT B

ビット 13:7 **RESOURCEB[6:0]**：2 番目のリソース識別子。ビットの説明については、RESOURCEA[6:0] フィールドを参照してください。

ビット 6:0 **RESOURCEA[6:0]**：最初のリソース識別子。ビット [6:4] はリソースタイプを定義し、ビット [3:0] はインデックスを定義します。サポートされているリソース識別子を以下に示します。これ以外の値をプログラミングすると、予測できない動作になることがあります。

タイプ（ビット [6:4]）	インデックス（ビット [3:0]）	
0x2	0～3	内蔵 ICE ウォッチポイントコンパレータ 1～4（DWT から）
0x4	0	ゼロ時点のカウンタ 1
0x5	15	トレース開始/停止リソース
0x6	0～1 15	外部入力 1～2 ハードワイヤード入力、常に真

41.17.15 ETM トレース ID レジスタ（ETM_TRACEIDR）

アドレスオフセット：0x200

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRACEID[6:0]						
									rw	rw	rw	rw	rw	rw	rw

ビット 31:7 予約済みであり、リセット値に保持する必要があります。

ビット 6:0 **TRACEID[6:0]**：トレースバスに出力するトレース ID。システム内の他のトレースソースと区別するため、固有の値をプログラムする必要があります。

41.17.16 ETM ID レジスタ 2（ETM_IDR2）

アドレスオフセット：0x208

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWPTO	RFETO
														r	r

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **SWPTO**：SWP または SWPB 命令の順序を特定します。

0：ロード転送がストア転送前にトレースされます。

ビット 0 **RFETO**：RFE 命令の順序を特定します。

0：PC 転送は CPSR 転送の前にトレースされます。

41.17.17 ETM デバイスパワーダウンステータスレジスタ 2（ETM_PDSR）

アドレスオフセット：0x314

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	POWER
															r

ビット 31:1 予約済みであり、リセット値に保持する必要があります。

ビット 0 **POWER**：ETM のパワーアップ。

1：ETM トレースレジスタにアクセスできます。

41.17.18 ETM 要求タグ設定レジスタ（ETM_CLAIMSETR）

アドレスオフセット：0xFA0

リセット値：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMSET[3:0]**：要求タグビットのセット

書込み：

0000：影響なし。

xxx1：ビット 0 をセットします。

xx1x：ビット 1 をセットします。

x1xx：ビット 2 をセットします。

1xxx：ビット 3 をセットします。

読出し：

0xF：要求タグには 4 つのビットがあることを示します。

41.17.19 ETM 要求タグクリアレジスタ（ETM_CLAIMCLR）

アドレスオフセット：0xFA4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMCLR[3:0]**：要求タグビットのリセット

書込み：

0000：影響なし。

xxx1：ビット 0 をクリアします。

xx1x：ビット 1 をクリアします。

x1xx：ビット 2 をクリアします。

1xxx：ビット 3 をクリアします。

読出し：要求タグの現在値を返します。

41.17.20 ETM ロックアクセスレジスタ（ETM_LAR）

アドレスオフセット：0xFB0

リセット値：N/A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ACCESS_W[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACCESS_W[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **ACCESS_W[31:0]**：プロセッサコアによる一部の ETM レジスタへの書込みアクセスを有効にします（デバッガはコンポーネントをアンロックする必要なし）。

0xC5ACCE55：書込みアクセスを有効にします。

その他の値：書込みアクセスを無効にします。

41.17.21 ETM ロックステータスレジスタ（ETM_LSR）

アドレスオフセット：0xFB4

リセット値：0x0000 0003

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LOCK TYPE	LOCK GRANT	LOCK EXIST
													r	r	r

ビット 31:3 予約済みであり、リセット値に保持する必要があります。

ビット 2 **LOCKTYPE**：ETM_LAR レジスタのサイズを示します。

0：32 ビット

ビット 1 **LOCKGRANT**：現在のロックステータス。このビットは、外部デバッガからは常にゼロとして読み出されます。

0：書込みアクセスが許可されます。

1：書込みアクセスはブロックされます。読出しのみが許可されます。

ビット 0 **LOCKEXIST**：ロック制御メカニズムが存在するかどうかを示します。このビットは、外部デバッガからは常にゼロとして読み出されます。

0：ロック制御メカニズムは存在しません。

1：ロック制御メカニズムが実装されています。

41.17.22 ETM 認証ステータスレジスタ（ETM_AUTHSTATR）

アドレスオフセット：0xFB8

リセット値：0x0000 000A

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SNID[1:0]		SID[1:0]		NSNID[1:0]		NSID[1:0]	
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:6 **SNID[1:0]**：保護された非侵入型デバッグのセキュリティレベル

0x0：実装なし

ビット 5:4 **SID[1:0]**：保護された侵入型デバッグのセキュリティレベル

0x0：実装なし

ビット 3:2 **NSNID[1:0]**：無保護の非侵入型デバッグのセキュリティレベル

0x0：実装なし

ビット 1:0 **NSID[1:0]**：無保護の侵入型デバッグのセキュリティレベル

0x0：実装なし

41.17.23 ETM CoreSight デバイス ID レジスタ（ETM_DEVTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0013

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE[3:0]				MAJORTYPE[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **SUBTYPE[3:0]**：デバイスのサブタイプ識別子
0x1：プロセッサのトレース

ビット 3:0 **MAJORTYPE[3:0]：**デバイスのメインタイプ識別子
0x3：トレースソース

41.17.24 ETM CoreSight ペリフェラル ID レジスタ 4（ETM_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ
0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード
0x4：® JEDEC コード

41.17.25 ETM CoreSight ペリフェラル ID レジスタ 0（ETM_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 0025

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0x25：ETM 部品番号

41.17.26 ETM CoreSight ペリフェラル ID レジスタ 1（ETM_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]

0xB：® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]

0x9：ETM 部品番号

41.17.27 ETM CoreSight ペリフェラル ID レジスタ 2（ETM_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 002B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x0：r0p1

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.17.28 ETM CoreSight ペリフェラル ID レジスタ 3（ETM_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.17.29 ETM CoreSight コンポーネント ID レジスタ 0（ETM_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.17.30 ETM CoreSight ペリフェラル ID レジスタ 1（ETM_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0x9：トレースジェネレータのコンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.17.31 ETM CoreSight コンポーネント ID レジスタ 2（ETM_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.17.32 ETM CoreSight コンポーネント ID レジスタ 3（ETM_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]
0xB1：コモン ID 値

41.17.33 ETM レジスタのマップとリセット値

ETM レジスタへは、CPU1 AHB-AP を介してデバッガから、アドレス範囲 0xE0041000 ~ 0xE0041FFC でアクセスできます。

表 282. CPU1 ETM レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	ETM_CR	Res.	Res.	Res.	TSEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETMEN	PROG	DBGRQ	BO	STALL	Res.	Res.	Res.	Res.	Res.	Res.	PDN
	リセット値				0																	0	1	0	0	0			1				1
0x004	ETM_CCR	IDPRES	Res.	Res.	Res.	CPMAC	TSPRES	CIDCMP [1:0]		FFPRES	NEXTO [2:0]			NEXTI [2:0]			SEQPRES	NCNT [2:0]			NMMDEC [4:0]					NDVCMP [3:0]				NADCMP [3:0]			
	リセット値	1				1	1	0	0	1	0	0	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	ETM_TRIGGER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2:0]			RESOURCEB[6:0]							RESOURCEA[6:0]							
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	ETM_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGFL	TSSRSTAT	PROGVAL	UOVFL
	リセット値																													0	0	0	0
0x014	ETM_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NOFTCHCOMP	Res.	Res.	NSUPPROC [2:0]			PORTMODESUP	PORTSIZESUP	MAXPORTSIZE[3]	FFSUP	Res.	Res.	Res.	Res.	MAXPORTSIZE [2:0]			
	リセット値															1			0	0	0	1	1	0	1					0	0	1
0x020	ETM_TEEVR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2:0]			RESOURCEB[6:0]							RESOURCEA[6:0]							
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	ETM_TECR1	Res.	Res.	Res.	Res.	Res.	Res.	ENONOFF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値							0																									
0x028	ETM_FFLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LEVEL[7:0]							
	リセット値																									0	0	0	0	0	0	0	0
0x140	ETM_CNTRLDVR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INICNT[15:0]															
	リセット値																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1E0	ETM_SYNCFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FREQENCY[11:0]											
	リセット値																					0	1	0	0	0	0	0	0	0	0	0	0
0x1E4	ETM_IDR	DESIGNER[7:0]								Res.	Res.	Res.	ABPE	SXSUPP	T32SUPP	Res.	LDPCF	PROCFAM [3:0]				ETMARCHMAJ [3:0]			ETMARCHMIN [3:0]				REVISION [3:0]			
	リセット値	0	1	0	0	0	0	0	1				1	0	1		0	1	1	1	1	0	0	1	0	0	1	0	1	0	0	0	0
0x1E8	ETM_CCER	Res.	Res.	TSSIZE	TSENC	RFC	Res.	Res.	Res.	Res.	TSIMP	EIIMP	TSSUWP	NUMWPIN [3:0]			NUMIR [2:0]			SUPPDAC	RR	XXINBUS[7:0]								XXINSEL [2:0]			
	リセット値	0	0	0	1	1	0	0	0	0	1	0	1	0	1	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
0x1F0	ETM_TESSEICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	STOPRS [3:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	STARTRS [3:0]			
	リセット値													0	0	0	0													0	0	0	0
0x1F8	ETM_TSEVR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FCN[2:0]			RESOURCEB[6:0]							RESOURCEA[6:0]							
	リセット値																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 282. CPU1 ETM レジスタのマップとリセット値 （続き）

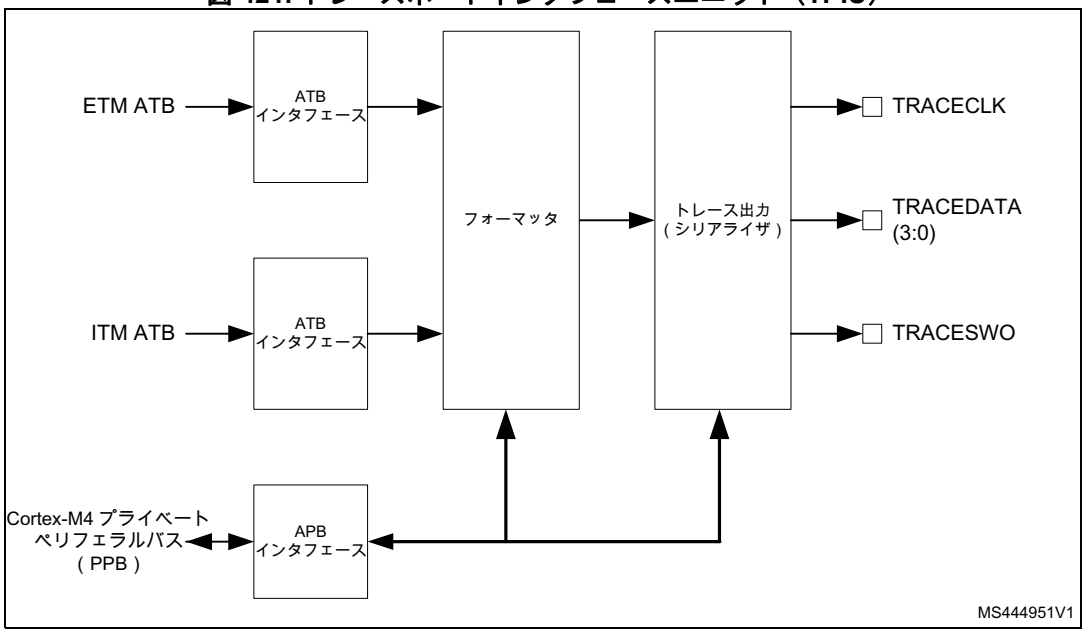
オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x200	ETM_TRACEIDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRACEID[6:0]						
	リセット値																										0	0	0	0	0	0	0
0x208	ETM_IDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWPTO	RFETO
	リセット値																															0	0
0x314	ETM_PDSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	POWER
	リセット値																																1
0xFA0	ETM_CLAIMSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SET[3:0]			
	リセット値																													1	1	1	1
0xFA4	ETM_CLAIMCLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLR[3:0]			
	リセット値																													0	0	0	0
0xFB0	ETM_LAR	KEY[31:0]																															
	リセット値																																
0xFB4	ETM_LSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NTT	SLK	SLI
	リセット値																														0	1	1
0xFB8	ETM_AUTHSTATR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SNID [1:0]		SID [1:0]		NSNID [1:0]		NSID [1:0]	
	リセット値																									0	0	0	0	0	0	0	0
0xFCC	ETM_DEVTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE [3:0]				MAJORTYP [3:0]			
	リセット値																									0	0	0	1	0	0	1	1
0xFD0	ETM_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFE0	ETM_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									0	0	1	0	0	1	0	1
0xFE4	ETM_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	1	0	0	1
0xFE8	ETM_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	0	0	1	0	1	1
0xFEC	ETM_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND				CMOD			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	ETM_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	ETM_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS				PREAMBLE [11:8]			
	リセット値																									1	0	0	1	0	0	0	0
0xFF8	ETM_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	ETM_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

レジスタ境界アドレスについては、セクション 41.13 : CPU1 の ROM テーブルを参照してください。

41.18 CPU1 トレースポートインタフェースユニット（TPIU）

TPIU はトレースストリームをフォーマットし、それを外部トレースポート信号に出力します。図 421 に示すように、TPIU には ETM と ITM からの受信トレースデータ用に 2 つの ATB スレーブポートが搭載されています。トレースポートは同期パラレルポートで、クロック出力 TRACECLK と 4 つのデータ出力 TRACEDATA(3:0) から成ります。トレースポートの幅はレンジ 1～4 でプログラム可能です。より幅の狭いポート設定を使用すると、必要なテスト点／コネクタピンの数が減り、他の目的のために出力ポートを解放することができます。しかし、それによりトレースポートの帯域幅が制限され、リアルタイムで出力できるトレース情報量が減少します。

図 421. トレースポートインタフェースユニット（TPIU）



トレースデータはシリアルワイヤ出力 TRACESWO に出力することもできます。

CPU1 のトレースポートインタフェースの詳細については、Arm® Cortex®-M4 Technical Reference Manual [2]を参照してください。

41.18.1 TPIU でサポートされるポートサイズのレジスタ（TPIU_SSPSR）

アドレスオフセット：0x000

リセット値：0x0000：000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PORTSIZE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTSIZE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **PORTSIZE[31:0]**：サポートされる 1～32　ピンのトレースポートサイズビット n-1 がセットされている場合、ポートサイズnがサポートされることを示します。

0x0000 000F：ポートサイズ 1～4 がサポートされます。

41.18.2 TPIU の現在のポートサイズのレジスタ（TPIU_CSPSR）

アドレスオフセット：0x004

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PORTSIZE[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PORTSIZE[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **PORTSIZE[31:0]**：現在のトレースポートサイズ。ビット n-1 がセットされている場合、現在のポートサイズが n ピンであることを示します。n の値はサポートされるポートサイズレンジ内（1～4）でなければなりません。1 ビットのみをセットしてください。そうしないと、予期せぬ動作を引き起こす場合があります。このレジスタの変更は必ずフォーマッタの停止時に行ってください。

41.18.3 TPIU 非同期クロックプリスケーラレジスタ（TPIU_ACPR）

アドレスオフセット：0x010

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	PRESCALER[12:0]												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:0 **PRESCALER[12:0]**：非同期出力 TRACESWO のボーレート選択。ボーレートは（PRESCALER +1）で割った TRACELKIN 周波数で与えられます。

41.18.4 TPIU 選択ピンプロトコルレジスタ（TPIU_SPPR）

アドレスオフセット：0x0F0

リセット値：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXMODE[1:0]	
														rw	rw

ビット 31:2 予約済みであり、リセット値に保持する必要があります。

ビット 1:0 **TXMODE[1:0]**：トレース出力に使用するプロトコルの選択。

0x0：パラレルトレースポートモード、STM32WB55xx でのみ使用可能

0x1：マンチェスタ符号化を使用した非同期 SWO

0x2：NRZ 符号化を使用した非同期 SWO

0x3：予約済みです。

41.18.5 TPIU フォーマッタおよび一掃のステータスレジスタ（TPIU_FFSR）

アドレスオフセット：0x300

リセット値：0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FTNONSTOP	TCPRESENT	FTSTOPPED	FLINPROG
												r	r	r	r

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3 **FTNONSTOP**：フォーマッタを停止できるかどうかを示します。

1：フォーマッタは停止できません。

ビット 2 **TCPRESENT**：オプションの TRACECTL 出力ピンを使用可能かどうかを示します。

0：TRACECTL ピンはこのデバイスには存在しません。

ビット 1 **FTSTOPPED**：フォーマッタは停止リクエスト信号を受信しており、すべてのトレースデータおよびポストアンブルが送信されます。ATB インタフェースでの追加のトレースデータは無視されます。

0：フォーマッタは停止していません。

1：フォーマッタは停止しています。

ビット 0 **FLINPROG**：一掃の実行中。ATB スレーブポートで一掃を実行中かどうかを示します。このビットは、AFVALIDS 出力の状態を反映します。一掃は TPIU_FFCR レジスタの一掃制御ビットによって開始することができます。

0：実行中の一掃はありません。

1：一掃の実行中です。

41.18.6 TPIU フォーマッタおよび一掃の制御レジスタ（TPIU_FFCR）

アドレスオフセット：0x304

リセット値：0x0000 0102

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGIN	Res.	Res.	Res.	Res.	Res.	Res.	ENFCONT	Res.
							r							rw	

ビット 31:9 予約済みであり、リセット値に保持する必要があります。

ビット 8 **TRIGIN**：トリガ入力時のトリガ。
1：TRIGIN 入力がアサートされたときにトレースストリームにあるトリガを示します。

ビット 7:2 予約済みであり、リセット値に保持する必要があります。

ビット 1 **ENFCONT**：連続フォーマットの有効化。SWO モードでこのビットを 0 にセットすることでフォーマッタはバイパスされ、ITM/DWT トレースのみが出力されます。ETM トレースは破棄されます。
0：連続フォーマットは無効です。
1：連続フォーマットは有効です。

ビット 0 予約済みであり、リセット値に保持する必要があります。

41.18.7 TPIU フォーマッタ同期カウンタのレジスタ（TPIU_FSCR）

アドレスオフセット：0x308

リセット値：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CYCCOUNT[12:0]												
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

ビット 31:13 予約済みであり、リセット値に保持する必要があります。

ビット 12:0 **CYCCOUNT[12:0]**：キャプチャデバイスの大容量のストレージを無駄にすることなく、サイズの異なる複数の TPA を効果的に使用できるようにします。このカウンタには、最後の 128 ビット同期パケット以降のフォーマッタフレームの数が格納されます。12 ビットのカウンタで、最大カウント値は 4096 です。この値は 65536 バイトごとの同期、すなわち 4096 パケット x パケット当たり 16 バイトに等しい数です。デフォルトは 1024 バイトごと、すなわち 64 フォーマッタフレームごとの同期パケットに対して設定されます。フォーマッタが連続モード用に設定されている場合は、フルワードとハーフワードの同期フレームが通常動作中に挿入されます。このような状況では、カウント値はフル同期パケット間の完了フレームの最大数となります。

41.18.8 TPIU 要求タグ設定レジスタ（TPIU_CLAIMSETR）

アドレスオフセット：0xFA0

リセット値：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMSET[3:0]**：要求タグビットのセット

書込み：

0000：影響なし。

xxx1：ビット 0 をセットします。

xx1x：ビット 1 をセットします。

x1xx：ビット 2 をセットします。

1xxx：ビット 3 をセットします。

読出し：

0xF：要求タグには 4 つのビットがあることを示します。

41.18.9 TPIU 要求タグクリアレジスタ（TPIU_CLAIMCLR）

アドレスオフセット：0xFA4

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
												rw	rw	rw	rw

ビット 31:4 予約済みであり、リセット値に保持する必要があります。

ビット 3:0 **CLAIMCLR[3:0]**：要求タグビットのリセット

書込み：

0000：影響なし。

xxx1：ビット 0 をクリアします。

xx1x：ビット 1 をクリアします。

x1xx：ビット 2 をクリアします。

1xxx：ビット 3 をクリアします。

読出し：要求タグの現在値を返します。

41.18.10 TPIU デバイス設定レジスタ（TPIU_DEVIDR）

アドレスオフセット：0xFC8

リセット値：0x0000：0CA1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	SWO UARTNRZ	SWO MAN	TCLK DATA	FIFO SIZE[2:0]			CLK RELAT	MAXNUM[3:0]				
				r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:11 予約済みであり、リセット値に保持する必要があります。

ビット 11 **SWONRZ**：シリアルワイヤ出力の NRZ がサポートされるかどうかを示します。
0x1：サポートされます。

ビット 10 **SWOMAN**：シリアルワイヤ出力のマンチェスタ符号化フォーマットがサポートされるかどうかを示します。
0x1：サポートされます。

ビット 9 **TCLKDATA**：トレースクロックおよびデータがサポートされるかを示します。
0x0：サポートされます。

ビット 8:6 **FIFOSIZE[2:0]**：FIFO のサイズ（2 の累乗値)
0x2：FIFO のサイズ = 4 バイト

ビット 5 **CLKRELAT :** ATB クロックと TRACECLKIN の関係（同期または非同期）を示します。
0x1：非同期

ビット 4:0 **MAXNUM[4:0]**：ATB 入力ポートマルチプレクスの数／タイプ
0x1：2 つの入力ポート

41.18.11 TPIU デバイスタイプ識別子レジスタ（TPIU_DEVTYPER）

アドレスオフセット：0xFCC

リセット値：0x0000 0011

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE[3:0]				MAJORTYPE[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **SUBTYPE[3:0]**：下位分類
0x1：トレースポートコンポーネント

ビット 3:0 **MAJORTYPE[3:0]：**大分類
0x1：トレースシンクコンポーネント

41.18.12 TPIU CoreSight ペリフェラル ID レジスタ 4（TPIU_PIDR4）

アドレスオフセット：0xFD0

リセット値：0x0000 0004

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **4KCOUNT[3:0]**：レジスタファイルサイズ

0x0：レジスタファイルは 4 KB の領域 1 つ分を占有します。

ビット 3:0 **JEP106CON[3:0]**：JEP106 継続コード

0x4：Arm® JEDEC コード

41.18.13 TPIU CoreSight ペリフェラル ID レジスタ 0（TPIU_PIDR0）

アドレスオフセット：0xFE0

リセット値：0x0000 00A1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PARTNUM[7:0]**：部品番号のビット [7:0]

0xA1：CPU1 TPIU 部品番号

41.18.14 TPIU CoreSight ペリフェラル ID レジスタ 1（TPIU_PIDR1）

アドレスオフセット：0xFE4

リセット値：0x0000 00B9

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **JEP106ID[3:0]**：JEP106 ID コードビット [3:0]
0xB：Arm® JEDEC コード

ビット 3:0 **PARTNUM[11:8]**：部品番号のビット [11:8]
0x9：CPU1 TPIU 部品番号

41.18.15 TPIU CoreSight ペリフェラル ID レジスタ 2（TPIU_PIDR2）

アドレスオフセット：0xFE8

リセット値：0x0000 004B

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION[3:0]				JEDEC	JEP106ID [6:4]		
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVISION[3:0]**：コンポーネントのリビジョン番号
0x4：r0p5

ビット 3 **JEDEC**：JEDEC 割り当て値
0x1：JEDEC によって指定される設計者 ID

ビット 2:0 **JEP106ID[6:4]**：JEP106 ID コードビット [6:4]
0x3：Arm® JEDEC コード

41.18.16 TPIU CoreSight ペリフェラル ID レジスタ 3（TPIU_PIDR3）

アドレスオフセット：0xFEC

リセット値：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **REVAND[3:0]**：メタルフィックスバージョン
0x0：メタルフィックスではありません。

ビット 3:0 **CMOD[3:0]**：顧客による修正
0x0：顧客による修正はありません。

41.18.17 TPIU CoreSight コンポーネント ID レジスタ 0（TPIU_CIDR0）

アドレスオフセット：0xFF0

リセット値：0x0000 000D

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[7:0]**：コンポーネント ID ビット [7:0]
0x0D：コモン ID 値

41.18.18 TPIU CoreSight ペリフェラル ID レジスタ 1（TPIU_CIDR1）

アドレスオフセット：0xFF4

リセット値：0x0000 0090

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE[11:8]			
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:4 **CLASS[3:0]**：コンポーネント ID ビット [15:12] - コンポーネントクラス
0x9：CoreSight™ コンポーネント

ビット 3:0 **PREAMBLE[11:8]**：コンポーネント ID ビット [11:8]
0x0：コモン ID 値

41.18.19 TPIU CoreSight コンポーネント ID レジスタ 2（TPIU_CIDR2）

アドレスオフセット：0xFF8

リセット値：0x0000 0005

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[19:12]**：コンポーネント ID ビット [23:16]
0x05：コモン ID 値

41.18.20 TPIU CoreSight コンポーネント ID レジスタ 3（TPIU_CIDR3）

アドレスオフセット：0xFFC

リセット値：0x0000 00B1

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
								r	r	r	r	r	r	r	r

ビット 31:8 予約済みであり、リセット値に保持する必要があります。

ビット 7:0 **PREAMBLE[27:20]**：コンポーネント ID ビット [31:24]

0xB1：コモン ID 値

41.18.21 CPU1 TPIU レジスタのマップとリセット値

表 283. CPU1 TPIU レジスタのマップとリセット値

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	TPIU_SSPSR	PORTSIZE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
0x004	TPIU_CSPSR	PORTSIZE[31:0]																															
	リセット値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x010	TPIU_ACPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[12:0]												
	リセット値																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x0F0	TPIU_SPPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXMODE[1:0]	
	リセット値																															0	1
0x300	TPIU_FFSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FTNONSTOP	TCPRESENT	FTSTOPPED	FLINPROG
	リセット値																													1	0	0	0
0x304	TPIU_FFCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIGIN	Res.	Res.	Res.	Res.	Res.	Res.	ENFCONT	Res.
	リセット値																								1							1	
0x308	TPIU_FSCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CYCCOUNT[11:0]											
	リセット値																					0	0	0	0	0	0	0	0	0	0	0	0
0xFA0	TPIU_CLAIMSETR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMSET[3:0]			
	リセット値																													1	1	1	1
0xFA4	TPIU_CLAIMCLR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLAIMCLR[3:0]			
	リセット値																													0	0	0	0
0xFC8	TPIU_DEVIDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWONRZ	SWOMAN	TCLKDATA	FIFOSIZE[2:0]			CLKRELAT	MUXNUM[4:0]				
	リセット値																					1	1	0	0	1	0	1	0	0	0	0	1
0xFD0	TPIU_DEVTYPER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBTYPE [3:0]				MAJORTYPE [3:0]			
	リセット値																									0	0	0	1	0	0	0	1
0xFD0	TPIU_PIDR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	4KCOUNT [3:0]				JEP106CON [3:0]			
	リセット値																									0	0	0	0	0	1	0	0
0xFD4	TPIU_PIDR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0xFD8	TPIU_PIDR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																
0xFDC	TPIU_PIDR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	リセット値																																

表 283. CPU1 TPIU レジスタのマップとリセット値 （続き）

オフセット	レジスタ名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xFE0	TPIU_PIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PARTNUM[7:0]							
	リセット値																									1	0	1	0	0	0	0	1
0xFE4	TPIU_PIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	JEP106ID [3:0]				PARTNUM [11:8]			
	リセット値																									1	0	1	1	1	0	0	1
0xFE8	TPIU_PIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVISION [3:0]				JEDEC	JEP106ID [6:4]		
	リセット値																									0	0	0	0	1	0	1	1
0xFEC	TPIU_PIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REVAND[3:0]				CMOD[3:0]			
	リセット値																									0	0	0	0	0	0	0	0
0xFF0	TPIU_CIDR0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[7:0]							
	リセット値																									0	0	0	0	1	1	0	1
0xFF4	TPIU_CIDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CLASS[3:0]				PREAMBLE [11:8]			
	リセット値																									1	0	0	1	0	0	0	0
0xFF8	TPIU_CIDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[19:12]							
	リセット値																									0	0	0	0	0	1	0	1
0xFFC	TPIU_CIDR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREAMBLE[27:20]							
	リセット値																									1	0	1	1	0	0	0	1

41.19 CPU1 クロストリガインタフェース（CTI）

セクション 41.6 : クロストリガインタフェース（CTI）とマトリックス（CTM）を参照してください。

41.20 参照

1. IHI 0031C (ID080813) - Arm® Debug Interface Architecture Specification ADIv5.0 ～ ADIv5.2、C 版、2013 年 8 月 8 日
2. DDI 0480F (ID100313) - Arm® CoreSight™ SoC-400 r3p2 Technical Reference Manual、G 版、2015 年 3 月 16 日
3. DDI 0461B（ID010111）- Arm® CoreSight™ Trace Memory Controller r0p1 Technical Reference Manual、B 版、2010 年 12 月 10 日
4. DDI 0314H - Arm® CoreSight™ Components Technical Reference Manual、H 版、2009 年 7 月 10 日
5. DDI 0403D (ID100710) - Arm® v7-M Architecture Reference Manual、E.b 版、2014 年 12 月 2 日
6. DDI 0494-2a （ID062813）- Arm® CoreSight™ ETM™-M0+ r0p1 Technical Reference Manual、D 版、2015 年 7 月 6 日
7. DDI 0440C (ID070610) - Arm® CoreSight™ ETM™-M4 r0p1 Technical Reference Manual、C 版、2012 年 6 月 29 日

42 デバイス電子署名

デバイス電子署名は、Flashメモリモジュールのシステムメモリ領域に格納され、デバッグインタフェースまたは CPU を使用して読み出すことができます。電子署名に含まれる出荷時にプログラムされた識別データおよび較正データを使用すれば、ユーザファームウェアやその他の外部デバイスは、マイクロコントローラの特性に自動的に整合させることができます。

42.1 ユニークデバイス ID レジスタ（96 ビット）

このユニークデバイス識別子は、以下の用途に最適です。

- シリアル番号（USB 文字列シリアル番号やその他のエンドアプリケーション）として使用
- メモリをプログラムする前に、このユニーク ID をソフトウェア暗号プリミティブやプロトコルと組み合わせて使用する際に、Flash メモリ内のコードのセキュリティを高めるためのセキュリティキーの一部として使用
- セキュアブートなどのプロセスを起動する。

96 ビットのユニークデバイス識別子は、いかなる状況でも、当該デバイスにユニークなリファレンス番号を提供します。ユーザは、これらのビットを変更できません。

ベースアドレス：0x1FFF 7590

アドレスオフセット：0x00

読出し専用 = 0xXXXX XXXX（X は出荷時にプログラムされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **UID[31:0]**：BCD 形式で表されたウェーハ上の X および Y 座標

アドレスオフセット：0x04

読出し専用 = 0xXXXX XXXX（X は出荷時にプログラムされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[63:48]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[47:32]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:8 **UID[63:40]**：LOT_NUM[23:0]
ロット番号（ASCII で符号化）

ビット 7:0 **UID[39:32]**：WAF_NUM[7:0]
ウェーハ番号（8 ビットの符号なし番号）

アドレスオフセット：0x08

読出し専用 = 0xXXXX XXXX（X は出荷時にプログラムされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[95:80]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[79:64]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **UID[95:64]：**LOT_NUM[55:24]
ロット番号（ASCII で符号化）

42.2 メモリサイズデータレジスタ

42.2.1 Flashサイズデータレジスタ

ベースアドレス：0x1FFF 75E0

アドレスオフセット：0x00

読出し専用 = 0xXXXX（X は出荷時にプログラムされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Flash_SIZE															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 15:0 **Flash_SIZE[15:0]**：Flashメモリサイズ
デバイスの Flash メモリサイズを KB 単位で示します。
たとえば、0x040 は 64 KB に対応します。

42.3 パッケージデータレジスタ

ベースアドレス：0x1FFF 7500

アドレスオフセット：0x00

読出し専用 = 0xXXXX（X は出荷時にプログラムされます）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKG[4:0]				
											r	r	r	r	r

ビット 15:5 予約済みであり、リセット値に保持する必要があります。

ビット 4:0 **PKG[4:0]**：パッケージタイプ
10001：WLCSP100 / UFBGA129
10011：VFQFPN68
01010：UFQPFN48
その他：予約済み

42.4 製品型番コードレジスタ

ベースアドレス：0x1FFF 77DC

アドレスオフセット：0x00

読出し専用 = 0xXXXX XXXX（X は出荷時にプログラムされます）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CODIFICATION[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CODIFICATION[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

ビット 31:0 **CODIFICATION[31:0]**：製品型番コード

0x0000 3533 ST マイクロエレクトロニクス STM32WB35xx の製品型番コード

0xXXXX XXXX ST マイクロエレクトロニクス STM32WB55xx の製品型番コード

43 セキュリティに関する重要な通知

ST マイクロエレクトロニクスグループ（ST）は製品のセキュリティを重視しています。そのため、このマニュアルで特定されている ST 製品は、さまざまなセキュリティ認証機関によって認証されていることがあり、また、ここに規定されている当社独自のセキュリティ対策を実装していることがあります。しかし、いかなるレベルのセキュリティ認証や組み込まれたセキュリティ対策であっても、ST 製品があらゆる形態の攻撃に対して耐性があると保証することはできません。したがって、ST 製品で提供されるセキュリティ・レベルが、単独の ST 製品に関連して、および、お客様の最終製品またはアプリケーションの他のコンポーネントやソフトウェアと組み合わせた場合の両方において、お客様のニーズを満たすかどうかを判断することは、ST のお客様それぞれの責任となります。特に、次のことに注意してください。

- ST 製品は、プラットフォームセキュリティアーキテクチャ（www.psacertified.org）や IoT プラットフォームのセキュリティ評価基準（www.trustcb.com）などの 1 つ以上のセキュリティ認証機関によって認証されている場合があります。ここで参照されている ST 製品がセキュリティ認証を受けているかどうか、およびその認証のレベルと現在のステータスの詳細については、関連する認証標準の Web サイトにアクセスするか、最新の情報については www.st.com の関連製品のページを参照してください。ST 製品のセキュリティ認証のステータスおよび/またはレベルは随時変更される可能性があるので、お客様は必要に応じてセキュリティ認証のステータス/レベルを再確認する必要があります。ST 製品が特定のセキュリティ標準に基づいて認証されていることが示されていない場合、お客様はその製品が認証されていると思ってはなりません。
- 認証機関は、ST 製品に関連して、セキュリティ認証を評価、付与、および取り消す権利を有しています。したがって、これらの認証機関は、ST 製品に対するセキュリティ認証の付与または取消しについて独立して責任を負い、また ST は、ST 製品に関して認証機関によって行われた過ち、評価、査定、テスト、またはその他の活動について、いかなる責任も負いません。
- ST 製品と併せて使用される可能性がある業界ベースの暗号化アルゴリズム（AES、DES、MD5 など）とその他のオープン標準技術は、ST の開発ではない標準に基づいています。ST は、そのような暗号化アルゴリズムまたはオープン技術の欠陥について、または、そのようなアルゴリズムや技術をバイパス、復号、またはクラッキングするために開発された、または開発される可能性のある方法について責任を負いません。
- 堅牢なセキュリティテストが行われる場合がありますが、いかなるレベルの認証でも、すべての攻撃に対する保護、たとえば、テストされていない高度な攻撃に対するもの、新規または未確認の形式の攻撃に対するもの、または ST 製品を仕様や意図した用途以外で使用する、もしくはお客様が最終製品やアプリケーションを作成するために使用する他のコンポーネントやソフトウェアと組み合わせて使用する場合に受けるさまざまな形態の攻撃に対するものなどの保護を完全に保証することはできません。ST は、そのような攻撃に対する耐性については責任を負いません。したがって、組み込まれたセキュリティ機能および/または ST が提供する情報やサポートにかかわらず、それぞれのお客様は、ST 製品のみに関連して、およびお客様の最終製品またはアプリケーションに組み込まれた場合の両方において、テストされた攻撃のレベルが自らのニーズを満たしているかどうかを判断することに単独で責任を負います。
- ST によって追加された拡張セキュリティ機能を含むがこれらに限定されない ST 製品のすべてのセキュリティ機能（ハードウェア、ソフトウェア、マニュアルなどを含む）は、原則「現状有姿」で提供されます。したがって、適用される法律で許可される範囲で、ST は、明示的か黙示的かを問わず、書面で署名された該当する契約条件に特に別段の定めがない限り、商品性または特定の目的への適合性に関する黙示的な保証を含むが、これらに限定されないすべての保証を拒否します。

44 改版履歴

表 284. 文書改版履歴

日付	版	変更内容
2018 年 1 月 15 日	1	初版発行
2018 年 4 月 12 日	2	ドキュメントタイトルの 概要 および 関連ドキュメント を更新。 図 1：システムアーキテクチャ および 図 2：メモリマップを更新。 表 1：メモリマップとペリフェラルのレジスタ境界アドレスを更新。 セクション 2.1.4：S3：CPU2（Cortex®-M0+）の S バス、CPU1 物理的な再配置 および セクション 2.33：CPU2 ブート を更新し、セクション 2.34：CPU2 SRAM フェッチの無効化 を追加。 セクション 3.3.4：読出しアクセスの遅延、セクション 3.3.8：Flashメインメモリのプログラミングシーケンス、標準プログラミング、高速プログラミング、フラグによって通知されるプログラミングエラー、ページベースの行のプログラミングでの PGSERR および PGAERR、ユーザオプションバイトおよび読出し保護オプションバイト、セキュア SRAM2 開始アドレスおよび CPU2 リセットベクタのオプションバイト、オプションバイトローディング、セクション 3.5：FLASH UID64、読出し保護レベルの変更、セクション 3.6.4：CPU2 セキュリティ（ESE）、CPU2 セキュア SRAM2 領域、セクション 3.10.1：Flash メモリアクセス制御レジスタ（FLASH_ACR）、セクション 3.10.4：Flash メモリステータスレジスタ（FLASH_SR）、セクション 3.10.5：Flash メモリ制御レジスタ（FLASH_CR）、セクション 3.10.7：Flash メモリオプションレジスタ（FLASH_OPTR）、セクション 3.10.19：Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）、およびセクション 3.10.16：Flash メモリ CPU2 ステータスレジスタ（FLASH_C2SR）を更新。 バスエラーの原因となるプログラミングエラーおよびページベースの行のプログラミングでの PGSERR および PGAERRを追加。 表 4：Flash メモリクロック（HCLK4）周波数に対するウェイトステート数、表 9：オプションバイトの構成、表 13：レベル 1 からレベル 0 への RDP 回帰とメモリ消去 および 表 18：Flashインタフェースレジスタマップとリセット値を更新。 セクション 5.4.2：CRC 独立型データレジスタ (CRC_IDR)およびセクション 表 20.：CRC レジスタマップとリセット値を更新。 セクション 6.1：電源、セクション 6.4：低消費電力モード、セクション ：低電力 RUN モードへの移行、セクション 6.6.3：PWR 制御レジスタ 3（PWR_CR3）、セクション 6.6.5：PWR ステータスレジスタ 1（PWR_SR1）、セクション 6.6.7：PWR ステータスクリアレジスタ（PWR_SCR）、セクション 6.6.8：PWR 制御レジスタ 5（PWR_CR5）、セクション 6.6.21：PWR CPU2 制御レジスタ 1（PWR_C2CR1）、および セクション 6.6.22：PWR CPU2 制御レジスタ 3（PWR_C2CR3）を更新。 表 24：低消費電力モードの概要、表 30：STOP0 モード、表 31：STOP1 モード、表 32：STOP2 モード、表 33：STANDBY モード、表 34：SHUTDOWN モード、および表 35：PWR レジスタマップとリセット値を更新。 図 7：電源の概要 および 図 8：電源構成を更新。 表 37：ペリフェラル相互接続マトリックス および セクション 7.4.1：タイマ（TIM1/TIM2/TIM17）からタイマ（TIM1/TIM2）までを更新。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2018 年 4 月 12 日	2 （続き）	図 15：クロックツリーを更新。 表 38：最大クロックソース周波数、表 39：SMPS ステップダウン･コンバータ･クロック･ソースの選択および分周および表 42：RCC レジスタのマップとリセット値を更新。 セクション 8.2.5：PLL、セクション 8.2.8：LSI2 クロック、セクション 8.2.9：システムクロック（SYSCLK）の選択、セクション 8.2.13：LSI ソース選択、セクション 8.2.20：クロック信号出力、セクション 8.2.22：ペリフェラルクロック有効化、セクション 8.3：低電力モード、セクション 8.4.1：RCC クロック制御レジスタ（RCC_CR）、セクション 8.4.9：RCC SMPS ステップダウンコンバータ制御レジスタ（RCC_SMPSCR）、セクション 8.4.16：RCC APB3 ペリフェラルリセットレジスタ（RCC_APB3RSTR）、セクション 8.4.19：RCC AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_AHB3ENR）、セクション 8.4.22：RCC APB2 ペリフェラルクロック有効化レジスタ（RCC_APB2ENR）、セクション 8.4.29：RCC ペリフェラル独立クロック設定レジスタ（RCC_CCIPR）、セクション 8.4.31：RCC 制御／ステータスレジスタ（RCC_CSR）、セクション 8.4.34：RCC 拡張クロックリカバリレジスタ（RCC_EXTCFGR）、セクション 8.4.35：RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ （RCC_C2AHB1ENR）、セクション 8.4.37：RCC CPU2 AHB3 および AHB4 ペリフェラルクロック有効レジスタ（RCC_C2AHB3ENR）、セクション 8.4.41：RCC CPU2 APB3 ペリフェラルクロック有効レジスタ （RCC_C2APB3ENR）、セクション 8.4.42：SLEEP モードにおける RCC CPU2 AHB1 ペリフェラルクロック有効レジスタ（RCC_C2AHB1SMENR）、およびセクション 8.4.48：SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3SMENR）を更新。 Section 12.3.1: General-purpose I/O (GPIO)、Section 12.3.2: I/O pin alternate function multiplexer and mapping、Section 12.4.1: GPIO port mode register (GPIOx_MODER) (x =A to K)、および 12.4.4 から 8.4.11 までのセクションを更新。 セクション 10.1：SYSCFG の主な機能、セクション 10.2.7：SYSCFG SRAM2 制御およびステータスレジスタ（SYSCFG_SCSR）、セクション 10.2.16：SYSCFG セキュア IP 制御レジスタ（SYSCFG_SIPCR）、および表 46：SYSCFG レジスタのマップとリセット値 を更新。 表 60：CPU1 ベクタテーブル、表 61：CPU2 ベクタテーブルおよび表 62：ウェイクアップ割込み表を更新。 セクション 14：拡張割込み／イベントコントローラ（EXTI）のタイトル、セクション 14.4：EXTI の機能説明、セクション 14.6.1～14.6.8 を更新し、以前のセクション 12.5.9～12.5.12 を新しいセクション 14.6.9～14.6.16 で差替え。 表 69：EXTI レジスタのマップとリセット値 および 表 62：ウェイクアップ割込み表を更新。 以前のセクション 14.5.13～14.5.18 を削除。 セクション 15.1：概要、セクション 15.2：QUADSPI の主な機能、セクション 15.3.2：QUADSPI ピン、セクション 15.3.8：QUADSPI Flash メモリの設定、セクション 15.3.10：QUADSPI の設定、セクション 15.3.15：NCS の動作、セクション 15.5.1：QUADSPI 制御レジスタ（QUADSPI_CR）、およびセクション 15.5.6：QUADSPI 通信設定レジスタ（QUADSPI_CCR）を更新。 表 70：QUADSPI ピン および 表 72：QUADSPI レジスタマップとリセット値を更新。 以前のデュアル Flash モード および以前のセクション 23.7.5～23.7.7 を削除。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2018 年 4 月 12 日	2 （続き）	セクション 16.7.5 : ADC 設定レジスタ 2（ADC_CFGR2）を更新。 図 40 : ADC ブロック図 および 図 48 : 実行中のレギュラ変換の停止を更新。 RSA の暗号化と復号の原理 および 表 157 : PKA レジスタのマップとリセット値を更新。 セクション 24.3.29 : デバッグモードを更新。 タイマを使用して別のタイマを開始する および TIM2スレーブモード制御レジスタ（TIM2_SMCR）の注を更新。 セクション 31.3.4 : ウォッチドッグタイムアウトをプログラムする方法、セクション 31.5.2 : WWDG 設定レジスタ（WWDG_CFR）および表 185 : WWDG レジスタのマップとリセット値を更新。 クロックソースと適切なオーバーサンプリング方式の選択、セクション 34.7.4 : LPUART 制御レジスタ 3（LPUART_CR3）、セクション 34.7.7～34.7.12、および表 178 : USART 割込みリクエスト を更新。 フレーム長、セクション 36.4.8 : SAI クロックジェネレータ およびそのサブセクション、マスタモードでの不正なクロック設定（ NODIV = 0 の場合）を更新し、セクション 36.6 : SAI レジスタ 内の同様のレジスタに対して 2 つの異なるセクションを作成。 表 226 : クロックジェネレータのプログラミング例 および 表 232 : SAI 割込みソースを更新。 表 236 : IPCC レジスタのマップとリセット値を更新。 以前のセクション 37.4.9～38.4.13 を削除。 表 239 : HSEM レジスタのマップとリセット値を更新。 以前のセクション 38.4.9～38.4.13 を削除。以前のセクション 38.4.9～38.4.13 を削除。 図 410 : CRS のブロック図を更新。 セクション 41.4.1 : JTAG デバッグポート、セクション 41.5 : アクセスポート、セクション 41.8 : マイクロコントローラデバッグユニット（DBGMCU）、セクション 41.8.1 : DBGMCU ID コードレジスタ（DBGMCU_IDCODE）、およびセクション 41.8.2 : DBGMCU 設定レジスタ（DBGMCU_CR）を更新。 表 270 : DBGMCU レジスタのマップとリセット値を更新。
2019 年 1 月 08 日	3	表 1 : メモリマップとペリフェラルのレジスタ境界アドレスを更新。 セキュアシステムFlash メモリのプログラミング、セクション 3.3.7 : Flashメインメモリの消去シーケンス、Flash メモリの全体消去、セクション 3.3.8 : Flashメインメモリのプログラミングシーケンス、ユーザオプションバイトおよび読出し保護オプションバイト、セキュアFlash メモリの開始アドレスのオプションバイト、セキュア SRAM2 開始アドレスおよび CPU2 リセットベクタのオプションバイト、セキュアユーザオプション、WRP 領域 A アドレスオプションバイト、WRP 領域 B アドレスオプションバイト、CPU2 セキュリティモードの変更、レベル 2 : デバッグなし、読出し保護レベルの変更、セクション 3.6.4 : CPU2 セキュリティ（ESE）、CPU2 セキュア SRAM2 領域、CPU2 デバッグアクセス、セクション 3.10.5 : Flash メモリ制御レジスタ（FLASH_CR）、セクション 3.10.7 : Flash メモリオプションレジスタ（FLASH_OPTR）、セクション 3.10.18 : セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）、セクション 3.10.19 : Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）、およびセクション 3.10.17 : Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）を更新。 セクション 3.9 : レジスタのアクセス保護を追加。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2019 年 1 月 08 日	3 （続き）	表 3：Flash メモリ - シングルバンク構成、表 5：ページ消去の概要、表 6：全体消去の概要、表 8：オプションバイトのフォーマット、表 9：オプションバイトの構成、表 13：レベル 1 からレベル 0 への RDP 回帰とメモリ消去、および表 18：Flashインタフェースレジスタマップとリセット値を更新。 セクション 5.4.1～5.4.5 のタイトルを更新。 セクション 6.1.1：独立したアナログペリフェラルの電源、セクション 6.4：低消費電力モード、セクション 6.6.3：PWR 制御レジスタ 3（PWR_CR3）、セクション 6.6.5：PWR ステータスレジスタ 1（PWR_SR1）、セクション 6.6.8～6.6.20、6.6.22、および6.6.23 を更新。 表 23：サブシステムの低電力ウェイクアップソース、表 24：低消費電力モードの概要および表 25：システムの動作モードに応じた機能を更新。 表 37：ペリフェラル相互接続マトリックスを更新。 セクション 8.2：クロック、セクション 8.2.8：LSI2 クロック、LSI2 トリミングパラメータ、セクション 8.2.20：クロック信号出力、セクション 8.3：低電力モード、セクション 8.4.1：RCC クロック制御レジスタ（RCC_CR）、およびセクション 8.4.31：RCC 制御／ステータスレジスタ（RCC_CSR）を更新。 表 40：ペリフェラルクロック有効化、表 42：RCC レジスタのマップとリセット値 を更新し、表 41：シングルコアの低消費電力デバッグ設定 を追加。 セクション 10.2.16：SYSCFG セキュア IP 制御レジスタ（SYSCFG_SIPCR）を更新。 セクション 12.4.3：DMAMUX チャネル、セクション 12.4.3：DMAMUX チャネル、同期オーバーランおよび割込み、トリガオーバーランおよび割込み、セクション 12.6.1：DMAMUX リクエストラインマルチプレクサチャネル x 設定レジスタ （DMAMUX_CxCR）、セクション 12.6.3：DMAMUX リクエストラインマルチプレクサ割込みクリアフラグレジスタ （DMAMUX_CFR）、およびセクション 12.6.6：DMAMUX リクエストジェネレータ割込みクリアフラグレジスタ （DMAMUX_RGCFR）を更新。 図 26：DMAMUX ブロック図を更新。 セクション 13：ネスト化されたベクタ割込みコントローラ（NVIC）の AIEC を EXTI に差し替えて、セクション 38：ハードウェアセマフォ（HSEM）の ID を CoreID に差替え。 表 60：CPU1 ベクタテーブル および 表 61：CPU2 ベクタテーブルを更新。 セクション 15.2：QUADSPI の主な機能、FIFO およびデータの管理、セクション 15.3.10：QUADSPI の設定、セクション 15.3.11：QUADSPI の用途、セクション 15.5.1：QUADSPI 制御レジスタ（QUADSPI_CR）、セクション 15.5.3：QUADSPI ステータスレジスタ（QUADSPI_SR）、およびセクション 15.5.6：QUADSPI 通信設定レジスタ（QUADSPI_CCR）を更新。 表 72：QUADSPI レジスタマップとリセット値を更新。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2019 年 1 月 08 日	3 （続き）	セクション 16.4.6：ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）、セクション 16.4.7：シングルエンドおよび差動入力のチャネル、セクション 16.4.8：較正（ADCAL、ADCALDIF、ADC_CALFACT）、セクション 16.4.10：ADC 制御ビット書込み時の制約、セクション 16.4.11：チャネルの選択（SQRx、JSQRx）、およびセクション 16.4.12：チャネル単位でプログラム可能なサンプリング時間（SMPR1、SMPR2）を更新。 表 74：ADC 内部入力／出力信号 および 図 42：ADC1 接続性を更新。 セクション 21.1：概要、セクション 21.2：RNG の主な機能 およびヘルスチェック を更新。 モンゴメリ空間と高速モードの演算、RSA の暗号化と復号の原理、PKA 演算の実行、事前に計算されたモンゴメリパラメータの使用（PKA 高速モード）、セクション 23.3.7：PKA エラー管理、拡張 ECDSA サポート、セクション 23.5.1：サポートされている楕円曲線、セクション 23.7.1：PKA 制御レジスタ （PKA_CR）、セクション 23.7.2：PKA ステータスレジスタ （PKA_SR）、セクション 23.7.3：PKA クリアフラグレジスタ（PKA_CLRFR）、およびセクション 23.7.4：PKA RAM を更新。 表 129：剰余加算、表 130：剰余減算、表 131：モンゴメリ乗算、表 135：モジュラリダクション、表 136：算術加算、表 137：算術減算、表 138：算術比較、表 139：算術比較、表 175：ECC 曲線パラメータ、表 150：べき剰余の計算時間、表 151：ECC スカラ乗算の計算時間、表 152：ECDSA 署名の平均計算時間、表 153：ECDSA 検証の平均計算時間、および表 157：PKA レジスタのマップとリセット値 を更新。 セクション 24：高機能制御タイマ（TIM1）の BKEx、BKPx を BKE、BK2E、BKP、BK2P に差し替えて、レジスタ CCMR1 および CCMR2 に分割。 セクション 24.3.16：ブレーク機能の使用を更新。 図 144：高機能制御タイマのブロック図 および 図 191：出力先変更（BRK2 リクエストは表示なし）を更新。 セクション 26.3.19：デバッグモード および セクション 26.4.6：TIMx キャプチャ／比較モードレジスタ 1（TIMx_CCMR1）（x = 16～17）を更新。 表 170：TIM16/TIM17レジスタマップとリセット値を更新。 図 275：出力先変更を更新。 セクション 29.2：RTC の主な機能 および セクション 29.7.20：RTC バックアップレジスタ（RTC_BKPxR）を更新。 表 183：RTC レジスタのマップとリセット値を更新。 セクション 30.3.4：低電力モードを追加。 セクション 49.3.1：IWDG のブロック図 およびセクション 30.4.2：IWDG プリスケーラレジスタ（IWDG_PR）を更新。 以前のセクション 49.3.6：STOP および STANDBY モードでの動作 を削除。 表 184：IWDG レジスタのマップとリセット値を更新。 セクション 38.3.8：AHB バスマスタ ID 照合 およびセクション 38.4.1～32.4.7 を更新。 表 238：許可された AHB バスマスタ IDを追加し、表 239：HSEM レジスタのマップとリセット値を更新。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2019 年 1 月 08 日	3 （続き）	セクション 41.1 : 概要、セクション 41.4.8 : DP ターゲット識別レジスタ（DP_TARGETIDR）、セクション 41.7 : クロストリガインタフェースレジスタ、セクション 41.8.1 : DBGMCU ID コードレジスタ（DBGMCU_IDCODE）、セクション 41.10.14 : DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）、およびセクション 41.14.14 : DWT CoreSight ペリフェラル ID レジスタ 1（DWT_PIDR1）を更新。 表 263 : デバッグポートのレジスタマップとリセット値 および 表 270 : DBGMCU レジスタのマップとリセット値を更新。 以前のセクション 32.11 : CPU2 計装トレースマクロセル（ITM）およびそのサブセクションを削除。 セクション 42.1 : ユニークデバイス ID レジスタ（96 ビット）を更新。
2019 年 3 月 01 日	4	ドキュメント分類を ST 部外秘から 公開 に変更。 セクション 8.3 : 低電力モード、チャネル設定手順、チャネルの状態とチャネルの無効化、セクション 21.1 : 概要、セクション 21.2 : RNG の主な機能、セクション 21.3.3 : 乱数の生成 およびそのサブセクション、セクション 21.3.4 : RNG 初期化、セクション 21.3.5 : RNG 動作 およびそのサブセクション、セクション 21.3.6 : RNG クロック供給、セクション 21.3.7 : エラー管理、セクション 21.3.8 : RNG の低消費電力時の取り扱い、セクション 21.6.1 : 概要、セクション 21.7 : RNG レジスタ、セクション 21.7.2 : RNG ステータスレジスタ（RNG_SR）、セクション 21.7.3 : RNG データレジスタ（RNG_DR）、セクション 25.4.7～25.4.24、26.4.6、および26.4.7、セクション 33.5.4 : USART の FIFO と閾値、セクション 34.4.4 : LPUART の FIFO と閾値、およびセクション 50.4.14 : SPDIF 出力 を更新。 表 62 : ウェイクアップ割込み表、表 167 : TIM2レジスタマップとリセット値、および表 260 : STM32WB55xx SPI の実装 を更新。 図 113 : RNG のブロック図、図 114 : エントロピーソースモデルおよび図 355 : DMA を使用した受信を更新。 図 115 : RNG 初期化の概要 および脚注を図 370 : 送受信用 FIFO でのデータのパッキング に追加。
2019 年 2 月 13 日	5	セクション 2.1 : システムアーキテクチャ、セクション 3.5 : FLASH UID64、セクション 3.6.4 : CPU2 セキュリティ（ESE）、セクション 6.4.12 : 低消費電力モードからの自動ウェイクアップ、セクション 6.6.8 : PWR 制御レジスタ 5（PWR_CR5）、セクション 7.4.7 : USB からタイマ（TIM2）まで、ソフトウェアリセット、セクション 8.2 : クロック、外部ソース、セクション 8.2.2 : HSI16 クロック、セクション 8.2.3 : MSI クロック、セクション 8.2.5 : PLL、セクション 8.2.8 : LSI2 クロック、セクション 8.4.1 : RCC クロック制御レジスタ（RCC_CR）、セクション 8.4.4 : RCC PLL 設定レジスタ（RCC_PLLCFGR）、セクション 8.4.31 : RCC 制御／ステータスレジスタ（RCC_CSR）、Section 12.3: GPIO functional description、Section 12.3.2: I/O pin alternate function multiplexer and mapping、Section 12.3.7: I/O alternate function input/output、セクション 10.2.15 : SYSCFG CPU2 割込みマスクレジスタ 2 （SYSCFG_C2IMR2）、セクション 13.1 : NVIC の主な機能、セクション 16.4.32 : 内部電圧基準の監視、セクション 29.5 : RTC 低電力モード、セクション 36.4.10 : PDM インタフェース、セクション 40.7.2 : CRS 設定レジスタ（CRS_CFGR）、およびセクション 42.3 : パッケージデータレジスタ を更新。 セクション 3.8 : FLASH 割込み およびセクション 40.3 : CRS の実装 に注を追加。 セクション 19.2 : LCD の主な機能 から注を削除。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2019 年 2 月 13 日	5 （続き）	表 1：メモリマップとペリフェラルのレジスタ境界アドレス、表 2：ブートモード、表 25：システムの動作モードに応じた機能、表 42：RCC レジスタのマップとリセット値、表 60：CPU1 ベクタテーブル、表 61：CPU2 ベクタテーブル、および表 62：ウェイクアップ割込み表を更新。 図 15：クロックツリー、Figure 19: Three-volt or Five-volt tolerant GPIO structure (TT or FT)、Figure 78: Input floating / pull up / pull down configurations、Figure 79: Output configuration、およびFigure 80: Alternate function configuration を更新し、以前の図 21：5 V トレラント I/O ポートビットの基本構成 を削除。
2020 年 7 月 11 日	6	STM32WB35xx デバイスを導入。 概要、セクション 3.3.1：Flash メモリの構成、PCROP1A 開始アドレスオプションバイト、PCROP1A 終了アドレスオプションバイト、WRP 領域 A アドレスオプションバイト、WRP 領域 B アドレスオプションバイト、PCROP1B 開始アドレスオプションバイト、PCROP1B 終了アドレスオプションバイト、セクション 3.5：FLASH UID64、セクション 3.10.5：Flash メモリ制御レジスタ（FLASH_CR）、セクション 3.10.8～3.10.13、セクション 3.10.17：Flash メモリ CPU2 制御レジスタ（FLASH_C2CR）、セクション 6.6.2～6.6.4、セクション 6.6.7：PWR ステータスクリアレジスタ（PWR_SCR）、セクション 6.6.12～6.6.14 および 6.6.18～6.6.20、セクション 6.6.22：PWR CPU2 制御レジスタ 3（PWR_C2CR3）、セクション 7.4.8：内部アナログから ADC1、セクション 8.4.12～8.4.13、8.4.17～8.4.18、セクション 8.4.20：RCC APB1 ペリフェラルクロック有効化レジスタ 1（RCC_APB1ENR1）、セクション 8.4.23～8.4.24、セクション 8.4.26：SLEEP モードにおける RCC APB1 ペリフェラルクロック有効レジスタ 1（RCC_APB1SMENR1）、セクション 8.4.45：SLEEP モードにおける RCC CPU2 APB1 ペリフェラルクロック有効レジスタ 1（RCC_C2APB1SMENR1）、セクション 8.4.48：SLEEP モードにおける RCC CPU2 APB3 ペリフェラルクロック有効レジスタ（RCC_C2APB3SMENR）、セクション 9.4.3：I/O ポート制御レジスタ、セクション 10.2.3～10.2.7、Section 10.2.15: SYSCFG CPU2 interrupt mask register 2 (SYSCFG_C2IMR2)、セクション 12.4.4：DMAMUX リクエストラインマルチプレクサ、内部基準電圧を使用した実際の VREF+ 電圧の計算、セクション 17.5.2：VREFBUF 較正制御レジスタ（VREFBUF_CCR）、セクション 18.6.1：コンパレータ 1 制御／ステータスレジスタ（COMP1_CSR）、セクション 20.2：TSC の主な機能、セクション 20.3.4：電荷移動取得シーケンス、モンゴメリ空間と高速モードの演算、セクション 23.7.2：PKA ステータスレジスタ （PKA_SR）、セクション 16.4.7：シングルエンドおよび差動入力のチャネル、ソフトウェアでの ADC の有効化手順、セクション 24.4.1：TIM1 制御レジスタ 1（TIM1_CR1）、セクション 24.4.8：TIM1 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM1_CCMR1）、セクション 24.4.20：TIM1 ブレークおよびデッドタイムレジスタ（TIM1_BDTR）、セクション 24.4.27～24.4.28、セクション 25.3.19：タイマの同期、セクション 25.4.8：TIM2 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM2_CCMR1）、セクション 27.7.1～27.7.2、セクション 34.7.8：LPUART 割込みとステータスレジスタ [オルタネート]（LPUART_ISR）、セクション 36.6.17：SAI PDM 制御レジスタ（SAI_PDMCR）、セクション 41.1：概要、セクション 41.8.2：DBGMCU 設定レジスタ（DBGMCU_CR）、セクション 41.8.4：DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 1 （DBGMCU_C2APB1FZR1）、セクション 41.8.6：DBGMCU CPU2 APB1 ペリフェラルフリーズレジスタ 2（DBGMCU_C2APB1FZR2）、およびセクション 41.8.8：DBGMCU CPU2 APB2 ペリフェラルフリーズレジスタ （DBGMCU_C2APB2FZR）を更新。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2020 年 7 月 11 日	6 （続き）	表 3：Flash メモリ - シングルバンク構成、表 94：COMP1 正入力の割り当て、表 95：COMP1 負入力の割り当て、表 150：べき剰余の計算時間、表 155：モンゴメリパラメータの平均計算時間、表 162：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット、表 166：標準 OCx チャネルの出力制御ビット、および表 169：ブレーク機能を持つ相補 OCx および OCxN チャネルの出力制御ビット （TIM16/17）を更新。 図 167：内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図、図 173：キャプチャ／比較チャネル 1 メイン回路、図 204：汎用タイマのブロック図、図 230：キャプチャ／比較チャネル 1 メイン回路、図 253：TIM16/TIM17 ブロック図、および図 267：キャプチャ／比較チャネル 1 メイン回路 を更新。 セクション 7.2：相互接続マトリックスの実装、セクション 8.4.3：RCC クロック設定レジスタ（RCC_CFGR）に注：、セクション 9.3：GPIO の実装、セクション 13.2：NVIC の実装、セクション 14.2：EXTI の実装、セクション 16.3：ADC の実装、セクション 17.2：VREFBUF の実装、セクション 26.3.18：タイマ出力を他のタイマのトリガとして使用（TIM16/TIM17）、セクション 29.3：RTC の実装、およびセクション 36.3：SAI の実装 を追加。 表 51：DMAMUX の実装、表 154：楕円曲線 Fp 上の点の確認の平均計算時間、*Table 147: LPTIM implementation*、表 186：I2C の実装、および表 219：SPI の実装 に脚注を追加。 ドキュメント全体で文章を若干編集。
2021 年 4 月 20 日	7	図 109：表面電荷移動アナログ I/O グループの構造、図 343：RS232 RTS フロー制御、図 344：RS232 CTS フロー制御、図 385：PDM インタフェースの詳細ブロック図、および図 400：IPCC 単方向 - 送信手順の状態図を更新。 表 106：取得シーケンスの概要、表 149：ECC 演算でサポートされる曲線群、表 156：PKA 割込みリクエスト、表 212：lpuart_ker_ck_pres = 32.768 kHz でプログラムされたボーレートのエラー計算、表 213：fCK = 100 MHz でプログラムされたボーレートのエラー計算、および表 237：HSEM 内部入力／出力信号 を更新。 表 234：IPCC インタフェース信号を追加。 表 131：モンゴメリ乗算、表 222：STM32WB55xx SAI の機能、表 224：SAI の入出力ピン および図 377：SAI 機能ブロック図、図 385：PDM インタフェースの詳細ブロック図 に脚注を追加。 セクション 33.6：低消費電力モードでの USARTおよびセクション 34.5：低消費電力モードでの LPUARTを追加。 セクション 27.4.6：トリガマルチプレクサ およびセクション 20.3.2：表面電荷移動取得の概要 に注を追加。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2021 年 4 月 20 日	7 （続き）	概要、関連ドキュメント、セクション 3.4.1 : オプションバイトの説明 の ST 出荷時の値、セクション 3.10.6 : Flash メモリ ECC レジスタ（FLASH_ECCR）、セクション 3.10.9 : Flash メモリ PCROP ゾーン A 終了アドレスレジスタ （FLASH_PCROP1AER）、セクション 3.10.10 : Flash メモリ WRP 領域 A アドレスレジスタ（FLASH_WRP1AR）、セクション 3.10.11 : Flash メモリ WRP 領域 B アドレスレジスタ（FLASH_WRP1BR）、セクション 3.10.12 : Flash メモリ PCROP ゾーン B 開始アドレスレジスタ（FLASH_PCROP1BSR）、セクション 3.10.13 : Flash メモリ PCROP ゾーン B 終了アドレスレジスタ （FLASH_PCROP1BER）、セクション 3.10.14 : Flash メモリ IPCC メールボックスデータバッファアドレスレジスタ（FLASH_IPCCBR）、セクション 3.10.18 : セキュア Flash メモリの開始アドレスのレジスタ（FLASH_SFR）、セクション 3.10.19 : Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）、セクション 4.1 : 概要、セクション 4.2 : 主な特徴、セクション 5.2 : CRC の主な機能、多項式のプログラマビリティ、セクション 5.4 : CRC レジスタ、セクション 8.2 : クロック、セクション 8.2.14 : SMPS ステップダウン·コンバータ·クロック、セクション 8.4.1 : RCC クロック制御レジスタ（RCC_CR）、セクション 8.4.3 : RCC クロック設定レジスタ（RCC_CFGR）、セクション 16.4.6 : ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）、トリガインジェクションモード の注、セクション 20.2 : TSC の主な機能、セクション 23.3.4 : PKA 公開鍵の高速化、セクション 23.5.1 : サポートされている楕円曲線、セクション 36.4.10 : PDM インタフェース、セクション 27.7.1 : LPTIM 割込みおよびステータスレジスタ（LPTIM_ISR）、セクション 33.2 : USART の主な機能、セクション 33.8.9 : USART 割込みおよびステータスレジスタ（USART_ISR）、セクション 33.8.10 : USART 割込みおよびステータスレジスタ [オルタネート]（USART_ISR）、セクション 34.4.14 : LPUART 低消費電力管理、セクション 36.4.10 : PDM インタフェース、セクション 36.6.18 : SAI PDM ディレイレジスタ（SAI_PDMDLY）、セクション 38.3.3 : HSEM ロックの手順、セクション 38.3.5 : HSEM アンロックの手順、セクション 38.3.6 : HSEM COREID セマフォのクリア、セクション 38.3.7 : HSEM 割込み、セクション 38.3.8 : AHB バスマスタ ID 照合、セクション 41.4.7 : DP のデータリンク制御レジスタ（DP_DLCR）、単方向通信、セクション 41.5.1 : AP 制御／ステータスワードレジスタ（AP_CSWR）、セクション 41.5.5 : AP ベースアドレスレジスタ（AP_BASER）、セクション 41.5.6 : AP 識別レジスタ（AP_IDR）、およびセクション 41.8.2 : DBGMCU 設定レジスタ（DBGMCU_CR）を更新。 ドキュメント全体で文章を若干編集。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2021 年 8 月 13 日	8	セクション 3.5：FLASH UID64、セクション 5.2：CRC の主な機能、セクション 6.6.2：PWR 制御レジスタ 2（PWR_CR2）、セクション 8.2.8：LSI2 クロック、セクション 8.2.12：LSE 上のクロックセキュリティシステム（LSECSS）、セクション 9.4.2：I/O ピンオルタネート機能マルチプレクサと配置、セクション 24.3.16：ブレーク機能の使用、セクション 24.4.8：TIM1 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM1_CCMR1）、セクション 25.4.8：TIM2 キャプチャ／比較モードレジスタ 1 [オルタネート]（TIM2_CCMR1）、セクション 26.3.11：ブレーク機能の使用、セクション 29.4.14：較正クロック出力、セクション 33.8.3：USART 制御レジスタ 2（USART_CR2）、およびセクション 41.8.1：DBGMCU ID コードレジスタ（DBGMCU_IDCODE）を更新。 セクション 26.3.13：6 ステップ PWM 生成を追加。 セクション 33：ユニバーサル同期／非同期レシーバトランスミッタ（USART/UART）全体で SCLK を CK に変更。 ドキュメント全体で文章を若干編集。 脚注 2 を表 21：電源設定の制御 に追加。 図 228：TDM フレームの設定例 および 表 270：DBGMCU レジスタのマップとリセット値を更新。 図 144：高機能制御タイマのブロック図、図 167：内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図、図 263：内部クロック分周比 1 の場合の、通常モードのカウンタのタイミング図、図 323：送信時の TC/TXE の動作、Figure 324: Start bit detection when oversampling by 16 or 8、図 332：USART の同期マスタ送信の例、および図 385：PDM インタフェースの詳細ブロック図 の脚注を更新。
2021 年 10 月 04 日	9	セクション 3.5：FLASH UID64、異なる動作モードにおける DMA 操作、セクション 33.5.20：RS232 ハードウェアフロー制御および RS485 ドライバ有効、セクション 33.8.4：USART 制御レジスタ 3（USART_CR3）、セクション 34.4.13：RS232 ハードウェアフロー制御および RS485 ドライバ有効、セクション 34.7.4：LPUART 制御レジスタ 3（LPUART_CR3）、およびセクション 41.8.1：DBGMCU ID コードレジスタ（DBGMCU_IDCODE）を更新。 図 135：GCM 認証暗号化を更新。 セクション 42.4：製品型番コードレジスタを追加。 ドキュメント全体で文章を若干編集。

表 284. 文書改版履歴 （続き）

日付	版	変更内容
2022 年 6 月 07 日	10	概要、セクション 3.3.1 : Flash メモリの構成、セクション 3.4.1 : オプションバイトの説明、セクション 4.1 : 概要、セクション 4.2 : 主な特徴、セクション 6.4.4 : 低消費電力モードの終了、セクション 8.4.5 : RCC PLLSAI1 設定レジスタ（RCC_PLLSAI1CFGR）、セクション 8.4.30 : RCC バックアップドメイン制御レジスタ（RCC_BDCR）、セクション 8.4.31 : RCC 制御／ステータスレジスタ（RCC_CSR）、セクション 8.4.33 : RCC クロック HSE レジスタ（RCC_HSECR）、アナログウォッチドッグ、コマンド開始のトリガ、セクション 16.4.6 : ADC ディープパワーダウンモード（DEEPPWD）および ADC 電圧レギュレータ（ADVREGEN）、温度の読出し、セクション 21.2 : RNG の主な機能、セクション 41.7.3 : CTI アプリケーショントリガ設定レジスタ（CTI_APPSETR）、セクション 41.7.15 : CTI ロックアクセスレジスタ（CTI_LAR）、およびセクション 41.8.2 : DBGMCU 設定レジスタ（DBGMCU_CR）を更新。 セクション 16.5 : 低電力モードでの ADCおよびセクション 43 : セキュリティに関する重要な通知を追加。 図 57 : JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）変換の実行中に JADSTP が発生した場合、図 59 : JADSTP = 1 のセットによるコンテキストの JSQR キューのフラッシュ（JQM = 0）変換の実行中に外部で JADSTP が発生した場合、図 87 : インジェクションでのトリガレギュラオーバーサンプリング、図 135 : GCM 認証暗号化、図 299 : I2C スレーブトランスミッタの転送バス図（必須イベントのみ）、図 302 : I2C スレーブレシーバの転送バス図（必須イベントのみ）、および図 309 : I2C マスタトランスミッタの転送バス図（必須イベントのみ）を更新。 Table 65: ADC input/output pins および 表 221 : SPI レジスタのマップとリセット値を更新。 ドキュメント全体で文章を若干編集。
2023 年 2 月 01 日	11	セクション 3.3.6 : Flash メモリのプログラムおよび消去操作 にエンプティチェック および注意を追加。 セクション 3.3.7 : Flashメインメモリの消去シーケンス、セクション 3.3.8 : Flashメインメモリのプログラミングシーケンス、セクション 3.6.1 : 読出し保護（RDP）の注、セクション 3.10.4 : Flash メモリステータスレジスタ（FLASH_SR）、セクション 3.10.5 : Flash メモリ制御レジスタ（FLASH_CR）、セクション 3.10.19 : Flash メモリセキュア SRAM2 開始アドレスおよび CPU2 リセットベクタレジスタ（FLASH_SRRVR）、セクション 6.1 : 電源、SMPS ステップダウンコンバータを強制的にバイパスモードに設定、セクション 6.2.2 : プログラム可能な電圧検出器（PVD）、セクション 8.1.2 : システムリセット、セクション 8.2.14 : SMPS ステップダウン･コンバータ･クロック、Converting a supply-relative ADC measurement to an absolute voltage value、Section 15.11.4: ADC configuration register 1 (ADC_CFGR1)、セクション 24.4.7 : TIM1 キャプチャ／比較モードレジスタ 1（TIM1_CCMR1）、セクション 25.4.7 : TIM2 キャプチャ／比較モードレジスタ 1（TIM2_CCMR1）、セクション 31.4 : WWDG 割込み、セクション 31.5.2 : WWDG 設定レジスタ（WWDG_CFR）、およびセクション 41.4.11 : DP アクセスポート選択レジスタ（DP_SELECTR）を更新。 図 109 : 表面電荷移動アナログ I/O グループの構造、図 110 : サンプリングコンデンサの電圧の変化、および 図 288 : ウォッチドッグのブロック図を更新。 表 263 : デバッグポートのレジスタマップとリセット値を更新。 ドキュメント全体で文章を若干編集。

表 285. 日本語版文書改版履歴

日付	版	変更内容
2023 年 9 月	1	日本語版　初版発行

索引

A

ADC_AWD2CR 506
ADC_AWD3CR 507
ADC_CALFACT 508
ADC_CCR 510
ADC_CFGR 488
ADC_CFGR2 492
ADC_CR 485
ADC_CSR 509
ADC_DIFSEL 507
ADC_DR 502
ADC_IER 483
ADC_ISR 481
ADC_JDRy 506
ADC_JSQR 503
ADC_OFRy 505
ADC_SMPR1 494
ADC_SMPR2 495
ADC_SQR1 498
ADC_SQR2 500
ADC_SQR3 501
ADC_SQR4 502
ADC_TR1 496
ADC_TR2 497
ADC_TR3 498
AES_CR 629
AES_DINR 633
AES_DOUTR 634
AES_IVR0 636
AES_IVR1 637
AES_IVR2 637
AES_IVR3 637
AES_KEYR0 635
AES_KEYR1 635
AES_KEYR2 636
AES_KEYR3 636
AES_KEYR4 638
AES_KEYR5 638
AES_KEYR6 638
AES_KEYR7 639
AES_SR 631
AES_SUSPxR 639
AP_BD0-3R 1367
AP_DRWR 1366
AP_TAR 1366

B

BPU_CIDR0 1432
BPU_CIDR1 1433
BPU_CIDR2 1433
BPU_CIDR3 1434
BPU_COMPxR 1429
BPU_CTRLR 1428
BPU_PIDR0 1430
BPU_PIDR1 1431
BPU_PIDR2 1431
BPU_PIDR3 1432
BPU_PIDR4 1430
BPU_REMAPR 1429

C

C1ROM_CIDR0 1441
C1ROM_CIDR1 1441
C1ROM_CIDR2 1442
C1ROM_CIDR3 . . . . . 1442, 1443
C1ROM_MEMTYPER 1438
C1ROM_PIDR0 1439
C1ROM_PIDR1 1439
C1ROM_PIDR2 1440
C1ROM_PIDR3 1440
C1ROM_PIDR4 1438
C2ROM1_CIDR0 1405
C2ROM1_CIDR1 1405
C2ROM1_CIDR2 1406
C2ROM1_CIDR3 1406
C2ROM1_MEMTYPER 1402
C2ROM1_PIDR0 1403
C2ROM1_PIDR1 1403
C2ROM1_PIDR2 1404
C2ROM1_PIDR3 1404
C2ROM1_PIDR4 1402
C2ROM2_CIDR0 1411
C2ROM2_CIDR1 1411
C2ROM2_CIDR2 1412
C2ROM2_CIDR3 1412
C2ROM2_MEMTYPER 1408
C2ROM2_PIDR0 1409
C2ROM2_PIDR1 1409
C2ROM2_PIDR2 1410
C2ROM2_PIDR3 1410
C2ROM2_PIDR4 1408
COMP1_CSR 524
COMP2_CSR 526

CRC_CR 136
CRC_DR 135
CRC_IDR 135
CRC_INIT 137
CRC_POL 137
CRS_CFGR 1339
CRS_CR 1338
CRS_ICR 1342
CRS_ISR 1340
CTI_APPCLEAR 1376
CTI_APPPULSER 1376
CTI_APPSETR 1375
CTI_AUTHSTATR 1382
CTI_CHINSTSR 1379
CTI_CHOUTSTSR 1379
CTI_CIDR0 1386
CTI_CIDR1 1387
CTI_CIDR2 1387
CTI_CIDR3 1388
CTI_CLAIMCLR 1381
CTI_CLAIMSETR 1380
CTI_CONTROLR 1374
CTI_DEVIDR 1383
CTI_DEVTYPER 1383
CTI_GATER 1380
CTI_INENRx 1377
CTI_INTACKR 1374
CTI_LAR 1381
CTI_LSR 1382
CTI_OUTENRx 1377
CTI_PIDR0 1384
CTI_PIDR1 1385
CTI_PIDR3 1386
CTI_PIDR4 1384
CTI_TRGISTSR 1378
CTI_TRGOSTSR 1378

D

DBGMCU_APB1FZR1 1394
DBGMCU_APB1FZR2 1396
DBGMCU_APB2FZR 1397
DBGMCU_C2APB1FZR1 1395
DBGMCU_C2APB1FZR2 1396
DBGMCU_C2APB2FZR 1398
DBGMCU_CR 1393
DBGMCU_IDCODE 1392
DMA_CCRx 345
DMA_CMARx 349
DMA_CNDTRx 348
DMA_CPARx 348
DMA_IFCR 344
DMA_ISR 342
DMAMUX_CFR 363
DMAMUX_CSR 363
DMAMUX_CxCR 362
DMAMUX_RGCFR 365
DMAMUX_RGSR 365
DMAMUX_RGxCR 364
DP_ABORTR 1354
DP_CTRL/STATR 1355
DP_DPIDR 1353
DWT_CIDR0 . . . . . 1424, 1454
DWT_CIDR1 . . . . . 1424, 1454
DWT_CIDR2 . . . . . 1425, 1455
DWT_CIDR3 . . . . . 1425, 1455
DWT_COMPxR 1419, 1449
DWT_CPICNTR 1417, 1447
DWT_CTRLR 1415, 1445
DWT_CYCCNTR 1416, 1446
DWT_EXCCNTR 1417, 1447
DWT_FOLDCNTR 1419, 1449
DWT_FUNCTxR 1420, 1450
DWT_LSUCNTR 1418, 1448
DWT_MASKxR 1420, 1450
DWT_PCSR 1419, 1449
DWT_PIDR0 . . . . . 1422, 1452
DWT_PIDR1 . . . . . 1422, 1452
DWT_PIDR2 . . . . . 1423, 1453
DWT_PIDR3 . . . . . 1423, 1453
DWT_PIDR4 . . . . . 1421, 1451
DWT_SLPCNTR 1418, 1448

E

ETM_AUTHSTATR 1489
ETM_CCER 1484
ETM_CCR 1476
ETM_CIDR0 1493
ETM_CIDR1 1493
ETM_CIDR2 1494
ETM_CIDR3 1494
ETM_CLAIMCLR 1488
ETM_CLAIMSETR 1487
ETM_CNTRLDVR1 1482
ETM_CR 1475
ETM_DEVTYPER 1490
ETM_FFLR 1481
ETM_IDR 1483
ETM_IDR2 1486
ETM_LAR 1488
ETM_LSR 1489
ETM_PDSR 1487
ETM_PIDR0 1491

ETM_PIDR1 1491
ETM_PIDR2 1492
ETM_PIDR3 1492
ETM_PIDR4 1490
ETM_SCR 1479
ETM_SR 1478
ETM_SYNCFR 1482
ETM_TECR1 1481
ETM_TEEVR 1480
ETM_TESSEICR 1485
ETM_TRACEIDR 1486
ETM_TRIGGER 1477
ETM_TSEVR 1485
EXTI_C2EMR1 391
EXTI_C2EMR2 393
EXTI_C2IMR1 390
EXTI_C2IMR2 392
EXTI_EMR1 391
EXTI_EMR2 393
EXTI_FTSR1 385
EXTI_FTSR2 387
EXTI_IMR1 390
EXTI_IMR2 392
EXTI_PR1 386
EXTI_PR2 389
EXTI_RTSR1 384
EXTI_RTSR2 386
EXTI_SWIER1 385
EXTI_SWIER2 388

F

Flash_ACR 110
FLASH_C2ACR 122
FLASH_C2CR 125
FLASH_C2SR 123
Flash_CR 114
Flash_ECCR 116
FLASH_IPCCBR 122
Flash_KEYR 111
Flash_OPTKEYR 111
Flash_OPTR 117
FLASH_PCROP1AER 119
FLASH_PCROP1ASR 119
FLASH_PCROP1BER 121
FLASH_PCROP1BSR 121
FLASH_SFR 126
Flash_SR 112
FLASH_SRRVR 127
FLASH_WRP1AR 120
FLASH_WRP1BR 120
FPB_CIDR0 1471
FPB_CIDR1 1472
FPB_CIDR2 1472
FPB_CIDR3 1473
FPB_COMPxR 1468
FPB_CTRLR 1467
FPB_PIDR0 1469
FPB_PIDR1 1470
FPB_PIDR2 1470
FPB_PIDR3 1471
FPB_PIDR4 1469
FPB_REMAPR 1468

G

GPIOx_AFRH 310
GPIOx_AFRL 309
GPIOx_BRR 311
GPIOx_BSRR 307
GPIOx_IDR 306
GPIOx_LCKR 308
GPIOx_MODER 304
GPIOx_ODR 307
GPIOx_OSPEEDR 305
GPIOx_OTYPER 305
GPIOx_PUPDR 306

H

HSEM_CnICR 1296
HSEM_CnIER 1296
HSEM_CnISR 1297
HSEM_CnMISR 1297
HSEM_CR 1298
HSEM_KEYR 1298
HSEM_RLRx 1295
HSEM_Rx 1294

I

I2C_CR1 1022
I2C_CR2 1025
I2C_ICR 1033
I2C_ISR 1031
I2C_OAR1 1027
I2C_OAR2 1028
I2C_PECR 1034
I2C_RXDR 1035
I2C_TIMEOUTR 1030
I2C_TIMINGR 1029
I2C_TXDR 1035
IPCC_C1CR 1281
IPCC_C1MR 1282
IPCC_C1SCR 1283

IPCC_C1TOC2SR 1283
IPCC_C2CR 1284
IPCC_C2MR 1284
IPCC_C2SCR 1285
IPCC_C2TOC1SR 1285
ITM_CIDR0 1463
ITM_CIDR1 1464
ITM_CIDR2 1464
ITM_CIDR3 1465
ITM_PIDR0 1461
ITM_PIDR1 1462
ITM_PIDR2 1462
ITM_PIDR3 1463
ITM_PIDR4 1461
ITM_STIMRx 1458
ITM_TCR 1460
ITM_TER 1459
ITM_TPR 1459
IWDG_KR 959
IWDG_PR 960
IWDG_RLR 961
IWDG_SR 962
IWDG_WINR 963

L

LCD_CLR 557
LCD_CR 552
LCD_FCR 553
LCD_RAMx 557, 558
LCD_SR 556
LPTIM_ARR 911
LPTIM_CFGR 906
LPTIM_CMP 910
LPTIM_CNT 911
LPTIM_CR 909
LPTIM_ICR 904
LPTIM_IER 905
LPTIM_ISR 903
LPTIM1_OR 912
LPTIM2_OR 912
LPUART_BRR 1162
LPUART_CR1 . . . . . 1151, 1154
LPUART_CR2 1157
LPUART_CR3 1159
LPUART_ICR 1171
LPUART_ISR 1163, 1167
LPUART_PRESC 1173
LPUART_RDR 1172
LPUART_RQR 1162
LPUART_TDR 1172

P

PKA_CLRFR 665
PKA_CR 663
PKA_SR 664
PWR_C2CR1 189
PWR_C2CR3 191
PWR_CR1 173
PWR_CR2 174
PWR_CR3 175
PWR_CR4 177
PWR_CR5 182
PWR_EXTSCR 192
PWR_PDCRA 184
PWR_PDCRB 185
PWR_PDCRC 186
PWR_PDCRD 187
PWR_PDCRE 188
PWR_PDCRH 189
PWR_PUCRA 183
PWR_PUCRB 184
PWR_PUCRC 185
PWR_PUCRD 186
PWR_PUCRE 187
PWR_PUCRH 188
PWR_SCR 181
PWR_SR1 178
PWR_SR2 180

Q

QUADSPI_ABR 418
QUADSPI_AR 417
QUADSPI_CCR 415
QUADSPI_CR 410
QUADSPI_DCR 412
QUADSPI_DLR 415
QUADSPI_DR 418
QUADSPI_FCR 414
QUADSPI_LPTR 420
QUADSPI_PIR 420
QUADSPI_PSMAR 419
QUADSPI_PSMKR 419
QUADSPI_SR 413

R

RCC_AHB1ENR 248, 273
RCC_AHB1RSTR 240, 241
RCC_AHB1SMENR 255, 281
RCC_AHB2ENR 249, 274
RCC_AHB2RSTR 242
RCC_AHB2SMENR 256, 282

RCC_AHB3ENR 250, 275
RCC_AHB3RSTR 243
RCC_AHB3SMENR 258, 284
RCC_APB1ENR1 . . . . . .251, 276
RCC_APB1ENR2 . . . . . 253, 278, 280, 289
RCC_APB1RSTR1 244
RCC_APB1RSTR2 246
RCC_APB1SMENR1 . . . . . .259, 285
RCC_APB1SMENR2 . . . . . .261, 287
RCC_APB2ENR 253, 279
RCC_APB2RSTR 246, 247
RCC_APB2SMENR 261, 288
RCC_BDCR 265
RCC_CCIPR 263
RCC_CFGR 227
RCC_CICR 239
RCC_CIER 235
RCC_CIFR 237
RCC_CR 223
RCC_CRRCR 269, 270, 271
RCC_CSR 267
RCC_ICSCR 226
RCC_PLLCFGR 230
RCC_PLLSAI1CFGR 233
RNG_CR 588
RNG_DR 590
RNG_SR 589
RTC_ALRMAR 940
RTC_ALRMASSR 951
RTC_ALRMBR 941
RTC_ALRMBSSR 952
RTC_BKPxR 953
RTC_CALR 947
RTC_CR 933
RTC_DR 932
RTC_ISR 936
RTC_OR 953
RTC_PRER 938
RTC_SHIFTR 943
RTC_SSR 942
RTC_TAMPCR 948
RTC_TR 931
RTC_TSDR 945
RTC_TSSSR 946
RTC_TSTR 944
RTC_WPR 942
RTC_WUTR 939

S

SAI_ACLRFR 1266
SAI_ACR1 1245
SAI_ACR2 1251
SAI_ADR 1268
SAI_AFRCR 1255
SAI_AIM 1259
SAI_ASLOTR 1257
SAI_ASR 1262
SAI_BCLRFR 1267
SAI_BCR1 1248
SAI_BCR2 1253
SAI_BDR 1268
SAI_BFRCR 1256
SAI_BIM 1261
SAI_BSLOTR 1258
SAI_BSR 1264
SAI_PDMCR 1269
SAI_PDMDLY 1270
SPIx_CR1 1202
SPIx_CR2 1204
SPIx_CRCPR 1208
SPIx_DR 1207
SPIx_RXCRCR 1208
SPIx_SR 1206
SPIx_TXCRCR 1209
SYSCFG_C2IMR1 326
SYSCFG_C2IMR2 327
SYSCFG_CFGR1 316
SYSCFG_CFGR2 323
SYSCFG_EXTICR1 317
SYSCFG_EXTICR2 318
SYSCFG_EXTICR3 320
SYSCFG_EXTICR4 321
SYSCFG_IMR1 325
SYSCFG_IMR2 326
SYSCFG_MEMRMP 315
SYSCFG_SCSR 322
SYSCFG_SIPCR 328
SYSCFG_SKR 324
SYSCFG_SWPR1 324
SYSCFG_SWPR2 325

T

TIM1_AF1 761
TIM1_AF2 763
TIM1_ARR 749
TIM1_BDTR 752
TIM1_CCER 745
TIM1_CCMR1 . . . . . .739, 741
TIM1_CCMR2 . . . . . .743, 744
TIM1_CCMR3 759
TIM1_CCR1 750
TIM1_CCR2 751

TIM1_CCR3 751
TIM1_CCR4 752
TIM1_CCR5 760
TIM1_CCR6 761
TIM1_CNT 749
TIM1_CR1 727
TIM1_CR2 729
TIM1_DCR 757
TIM1_DIER 734
TIM1_DMAR 758
TIM1_EGR 738
TIM1_OR1 758
TIM1_PSC 749
TIM1_RCR 750
TIM1_SMCR 732
TIM1_SR 736
TIM1_TISEL 764
TIM16_AF1 884
TIM16_OR1 883
TIM16_TISEL 885
TIM17_AF1 886
TIM17_OR1 885
TIM17_TISEL 887
TIM2_AF1 834
TIM2_ARR 830
TIM2_CCER 827
TIM2_CCMR1 . . . . . 821, 823
TIM2_CCMR2 . . . . . 825, 826
TIM2_CCR1 831
TIM2_CCR2 831
TIM2_CCR3 832
TIM2_CCR4 832
TIM2_CNT 829
TIM2_CR1 812
TIM2_CR2 814
TIM2_DCR 833
TIM2_DIER 818
TIM2_DMAR 833
TIM2_EGR 820
TIM2_OR1 834
TIM2_PSC 830
TIM2_SMCR 815
TIM2_SR 819
TIM2_TISEL 835
TIMx_ARR 878
TIMx_BDTR 880
TIMx_CCER 875
TIMx_CCMR1 . . . . . 873, 874
TIMx_CCR1 879
TIMx_CNT 878
TIMx_CR1 868
TIMx_CR2 869
TIMx_DCR 882
TIMx_DIER 870
TIMx_DMAR 883
TIMx_EGR 872
TIMx_PSC 878
TIMx_RCR 879
TIMx_SR 871
TPIU_ACPR 1498
TPIU_CIDR0 1505
TPIU_CIDR1 1506
TPIU_CIDR2 1506
TPIU_CIDR3 1507
TPIU_CLAIMCLR 1501
TPIU_CLAIMSETR 1501
TPIU_CSPSR 1498
TPIU_DEVIDR 1502
TPIU_DEVTYPER 1502
TPIU_FFCR 1500
TPIU_FFSR 1499
TPIU_FSCR 1500
TPIU_PIDR0 1503
TPIU_PIDR1 1504
TPIU_PIDR2 1504
TPIU_PIDR3 1505
TPIU_PIDR4 1503
TPIU_SPPR 1499
TPIU_SSPSR 1497
TSC_CR 570
TSC_ICR 573
TSC_IER 572
TSC_IOASCR 574
TSC_IOCCR 575
TSC_IOGCSR 576
TSC_IOGxCR 576
TSC_IOHCR 574
TSC_IOSCR 575
TSC_ISR 573

U

USART_BRR 1101
USART_CR1 . . . . . 1085, 1089
USART_CR2 1093
USART_CR3 1097
USART_GTPR 1101
USART_ICR 1116
USART_ISR 1105, 1111
USART_PRESC 1119
USART_RDR 1117
USART_RQR 1104
USART_RTOR 1103
USART_TDR 1118

USB_ADDRn_RX 1328
USB_ADDRn_TX 1327
USB_BCDR 1322
USB_BTABLE 1321
USB_CNTR 1315
USB_COUNTn_RX 1329
USB_COUNTn_TX 1328
USB_DADDR 1320
USB_EPnR 1323
USB_FNR 1320
USB_ISTR 1317
USB_LPMCSR 1321

V

VREFBUF_CCR 516
VREFBUF_CSR 515

W

WWDG_CFR 970
WWDG_CR 969
WWDG_SR 970

重要なお知らせ（よくお読み下さい）

STMicroelectronics NV およびその子会社（以下、ST）は、ST製品及び本書の内容をいつでも予告なく変更、修正、改善、改定及び改良する権利を留保します。購入される方は、発注前にST製品に関する最新の関連情報を必ず入手してください。ST製品は、注文請書発行時点で有効なSTの販売条件に従って販売されます。

ST製品の選択並びに使用については購入される方が全ての責任を負うものとします。購入される方の製品上の操作や設計に関してSTは一切の責任を負いません。

明示又は黙示を問わず、STは本書においていかなる知的財産権の実施権も許諾致しません。

本書で説明されている情報とは異なる条件でST製品が再販された場合、その製品についてSTが与えたいかなる保証も無効となります。

ST およびST ロゴはSTMicroelectronics の商標です。STの登録商標についてはSTウェブサイトをご覧ください。www.st.com/trademarks
その他の製品またはサービスの名称は、それぞれの所有者に帰属します。

本書の情報は本書の以前のバージョンで提供された全ての情報に優先し、これに代わるものです。

この資料は、STMicroelectronics NV 並びにその子会社(以下ST)が英文で記述した資料（以下、「正規英語版資料」）を、皆様のご理解の一助として頂くためにSTマイクロエレクトロニクス㈱が英文から和文へ翻訳して作成したものです。この資料は現行の正規英語版資料の近時の更新に対応していない場合があります。この資料は、あくまでも正規英語版資料をご理解頂くための補助的参考資料のみにご利用下さい。この資料で説明される製品のご検討及びご採用にあたりましては、必ず最新の正規英語版資料を事前にご確認下さい。ST及びSTマイクロエレクトロニクス㈱は、現行の正規英語版資料の更新により製品に関する最新の情報を提供しているにも関わらず、当該英語版資料に対応した更新がなされていないこの資料の情報に基づいて発生した問題や障害などにつきましては如何なる責任も負いません。

© 2023 STMicroelectronics - All rights reserved