

如何对 STM32U575/585 微控制器使用 GPDMA

引言

本应用笔记与 STM32U575/585 微控制器（MCU）中嵌入的通用 DMA（GPDMA）相关。GPDMA 是一种系统外设，是 AHB 总线上的双端口主设备。它被用于通过链表在外设和/或存储器之间传输数据。所有 GPDMA 可编程传输均在系统层面提供更高性能，并使 CPU 无需执行这些数据传输任务。

本文档的目的不是将现有的 GPDMA 专用章节重新编写到产品参考手册中，而是为系统开发人员提供一些以性能为导向的编程指南。

本文档以 GPDMA 和可能受到 GPDMA 协助的外设的组合功能为基础。本文档聚焦于为了优化系统性能和满足应用要求而需要考虑的所有关键点。

本应用笔记包含关于以下内容的原理阐述和建议：

- GPDMA 通道分配
- GPDMA 端口分配
 - 对于始于存储器映射源位置的传输
 - 对于止于存储器映射目标位置的传输
- GPDMA 传输优先级分配
- GPDMA 源/目标突发编程，包含数据宽度和突发长度

1 概述

本应用笔记适用于 STM32U575/585 微控制器，这些微控制器是基于 Arm® Cortex® 核心的器件。

提示

Arm 是 Arm Limited (或其子公司) 在美国和/或其他地区的注册商标。



参考文档

- 参考手册 *基于 Arm® 的 STM32U575/585 32 位 MCU* (RM0456)
- STM32U585xx 数据手册 (DS13086)
- STM32U575xx 数据手册 (DS13737)

2 GPDMA 通用指南

2.1 GPDMA 概述

在减载 CPU 的控制下，GPDMA 控制器通过链表执行存储器映射外设和/或存储器之间的可编程数据传输。GPDMA 是双端口 AHB 主设备和系统外设。大多数外设和存储器都与之建立连接。在需要数据传输时，这一点提供了很大的灵活性并提高了系统性能。链表是存储器中程序化的数据结构，旨在让每个 GPDMA 通道为链接和安排 DMA 数据传输做好准备。GPDMA 有 16 个通道。

2.2 GPDMA 通道分配

用户必须分配一个通道用于 GPDMA 传输。为了能够同时处理来自源的 GPDMA 传输（读访问）和到达目标的 GPDMA 传输（写访问），GPDMA 对给定 GPDMA 通道使用专用 FIFO。

FIFO 单元的单位是一个字节。FIFO 的大小决定了通道能够有效处理的最大 DMA 突发大小（突发长度与数据宽度的乘积）。注意，通常突发越大，系统总体性能越好：更高吞吐率/带宽传输，更低系统总线占用率。

鉴于系统总线为 32 位字宽，建议将 DMA 源/目标数据宽度设定为 32 位（GPDMA_CxTR1 中的 S/DDW_LOG2[1:0]），以便最大限度减少总线使用量。

如下表所示，有两类通道，分别具有不同的 FIFO 大小和寻址模式：

- 通道 0 至 11：
 - FIFO 大小为 8 字节（2 字）。
 - 寻址限于线性模式：固定寻址（通常用于外设寄存器访问）或连续数据增量寻址（通常用于存储器访问）。
- 通道 12 至 15：
 - FIFO 大小为 32 字节（8 字）。
 - 支持线性和二维寻址模式：二者均适用于源和目标，可设定两个地址跳转/偏移量：
 - 每个编程突发后
 - 每个编程块后

表 1. GPDMA 通道编号和 FIFO 大小

通道编号	FIFO 大小
0 至 11	8 字节（2 字）
12 至 15	32 字节（8 字）

建议将通道 0 至 11 分配用于从 AHB/APB 外设到 SRAM 的传输或从 SRAM 到 AHB/APB 外设的传输，除非存储器需要二维寻址或外设是支持突发请求的 AHB 外设。然后，建议将突发设定为 1 字（FIFO 大小的一半），除非应用需要处理 8 或 16 位数据宽度。

建议将通道 12 至 15 分配用于存储器之间的传输。然后，出于性能方面的考虑，建议将突发设定为默认的 4 字（FIFO 大小的一半）。

同样地，将通道 12 至 15 优先用于始于支持突发请求的 AHB 外设，比如 OCTOSPI、HASH 和 ADC。然后，通常将始于/止于外设的半传输设定为突发。建议将始于/止于存储器的（半）传输设定为 4 字突发。

对于具有更高带宽要求的 AHB 外设的始于/止于一些外设的传输，同样优先选择通道 12 至 15。建议将始于/止于存储器的（半）传输也设定为 4 字突发。

2.3 GPDMA 端口选择

用户必须为始于源（GPDMA_CxTR1 中的 SAP）的传输分配一个端口，并且为止于目标（GPDMA_CxTR1 中的 DAP）的传输分配一个端口。在执行下一次数据传输之前，会通过下一个链表项和数据结构动态更新此分配。

关于 GPDMA 的总线拓扑可总结如下（参见第 4 节 了解更多信息）：

- GPDMA 端口 0 直接连接到 APB1 和 APB2 外设，不穿过 AHB 矩阵（参见图 2 和图 4）。
- AHB 矩阵的默认从设备（参见图 2 和第 4.3.2 节）为：
 - GPDMA 端口 0 的 AHB1 外设（MDF、FMAC 和 CORDIC）
 - GPDMA 端口 1 的 SRAM1

建议按照以下方式使用 GPDMA 的两个主设备端口：

- 将端口 0 分配用于始于/止于外设的（半）传输，无论是 AHB 还是 APB 外设。将端口 1 分配用于其他（半）传输（分别止于/始于存储器）。对于 APB1 和 APB2 外设，端口 0 避免穿过互连矩阵，减少了相应通道上的总体延迟。这也减少了互连总线矩阵包含的和之后的 AHB 总线活动。
- 端口 1 被分配用于存储器至存储器的传输（特别是访问 SRAM1 时，但不仅限于此）。对外设使用端口 0 并对任何存储器使用端口 1 的优势在于：
 - 外设至存储器和存储器至外设的传输过程中两个端口上的带宽平衡
 - 避免至存储器的突发直接影响外设访问的延迟

这是针对性能的典型和推荐配置。当然，用户可以自由地选择任何可以访问源位置的端口，以及任何可以访问目标位置的端口。

当通道未激活时，GPDMA 为加载下一个链表项而分配的链接端口由用户在通道层面进行定义（GPDMA_CxCR 中的 LAP）。下一个链接列表项已准备就绪并存储在内存中。然后，建议将端口 1 分配用于加载下一个链表项。

2.4 GPDMA 通道优先级

为每个（半）传输分配一个优先级值，用来与其他并发传输进行竞争，从而使 GPDMA 仲裁器能够在主设备端口上允许（半）传输并为其安排时间。在用户层面，当通道未激活时，通过 GPDMA_CxCR 中的 PRIO[1:0] 在通道层面对此进行准备。

GPDMA 有两个用于实现 AHB 传输并行化的主设备端口。可通过这两个端口进行同步传输。每个端口发生的 GPDMA 仲裁如下：

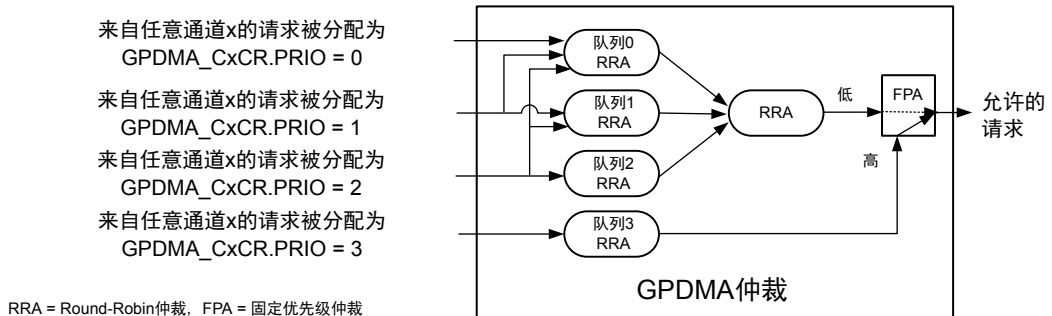
- 16 个可能请求的基于 FIFO 的读取突发之间基于优先级的仲裁（参见图 1）
- 16 个可能请求的基于 FIFO 的写入突发之间基于优先级的仲裁（参见图 1）
- 读取和写入之间最终的 Round-Robin 仲裁阶段

GPDMA 仲裁阶段可能会为 GPDMA 引入 1 个周期的时钟延迟，以便在分配的主端口上生成允许突发的 AHB 地址（参见第 2.5 节 了解更多信息）。

GPDMA 实现可编程仲裁逻辑，使用户能够根据下列规则调整通道带宽和延迟：

- 请求的突发传输的优先级可设定为 0 至 3。
- 用 Round-Robin 仲裁方案处理具有相同优先级的请求。
- 对于时效性的请求，建议使用优先级 3，因为它用高于 优先级 0 至 2 的固定较高优先级进行处理。
- 对非时效性通道实施加权 Round-Robin 分配，剩余带宽由优先级为 0 至 2 的请求共享。
- 不同的权重源自于设定的通道优先级并呈单调性变化，队列 0 的权重最低。

图 1. GPDMA 仲裁政策



用户需要为外设/存储器连接的 GPDMA 通道分配正确的优先级，才能使该通道达到合格的服务质量：

- 外设端无时序错误（无外设寄存器下溢/上溢）
- 数据传输请求与此请求的履行之间的延迟可接受
- 对其他通道服务质量的影响可接受

为了满足应用的时序要求，必须谨慎地分配通道优先级。请求的基于 FIFO 的优先级 0 到 2 的传输，已准备好在主端口上再次调度，可能会因交换机的轮循机制仲裁服务器而延迟，并且执行最多 15 个优先级为 0 到 2 的并发（单/突发）传输。这种请求也是任何时间敏感的请求所抢占的第一个请求。

使用来自关键定时器的请求映射的 GPDMA 通道通常会被分配给时效性队列，因此能以最低延迟更新相关的 TIMER 寄存器。相关人员可以为来自其他外设的 GPDMA 请求分配优先级 2 或 1，最后可以为存储器至存储器的传输分配最低优先级 0（尽最大努力流量）。通常可以为映射到通道 12 至 15 并具有突发功能的外设分配中间优先级 1。

为了满足具体的应用要求，可对这一关于通道优先级的建议进行调整（参见产品参考手册了解更多关于仲裁和优先级的信息）。

对于给定通道，在链表层面执行数据传输。通过在存储器中使用设定的链表数据结构，用户可以将数据传输与同一通道的下一次数据传输串连起来。在给定链表项（LLI）的数据传输完成后，在执行下一次数据传输之前，GPDMA 自动读取/提取下一个链表数据结构，并进行内部的寄存器更新。与数据传输一样，链接传输优先级由其通道的分配优先级给出。链接传输包含一系列的 32 位单次读取（通道 0 至 11 最多 6 次单次读取，通道 12 至 15 最多 8 次单次读取）。在 LLI 更新的每个 32 位读取之间，GPDMA 需要一个额外的时钟周期用于仲裁阶段。

2.5 GPDMA 突发

初步设定的数据传输为 GPDMA 突发（从源读取的数据的突发或写入目标的数据的突发），通过以下参数进行定义：

- 设定的数据宽度：8、16 或 32 位（通过 GPDMA_CxTR1 中的 S/DDW_LOG2[1:0]）
- 设定的突发长度：1 至 64（通过 GPDMA_CxTR1 中的 S/DBL_1[5:0]）

可以分别为源和目标设定突发大小。

突发是一系列节拍（ $n = 1$ 至 64）。每一拍是一次数据传输，具有相同数据宽度。例如，4 字突发是四个 32 位字的突发。突发长度为 1 的突发称为单次。

GPDMA 发布具有设定数据宽度的节拍：GPDMA 实施永远不会修改设定数据宽度。

GPDMA 并非总是在分配的 AHB 主设备端口上发布具有设定突发长度的突发。在硬件中以下列方式之一实现 GPDMA 突发：

- 在分配的主端口上具有相同的 AHB 事务
- 当下列条件中的任何一个成立时，通过一系列长度更小的突发和/或单次：
 - 突发大小 > FIFO 大小的一半。
 - 块大小（定义为源块大小）不是源数据宽度的倍数。
 - AHB 限制：
 - 在 1 KB 地址边界交叉点上
 - 突发必须是 4、8 或 16 拍的增量突发

GPDMA 实施保证数据完整性（相比于编程寻址），并通过实现最大允许突发大小（相比于编程突发）使性能最大化。

建议将 GPDMA 突发的大小设定为所分配 GPDMA 通道的 FIFO 大小的一半（通道 0 至 11 通常为 1 字突发，通道 12 至 15 通常为 4 字突发）。

表 2. 不同数据宽度和通道编号可获得的最大 GPDMA 突发长度

通道编号	数据宽度访问（位）	最大突发长度（节拍）
0 至 11（8 字节 FIFO）	8	最多 4 个
	16	最多 2 个
	32	1
12 至 15（32 字节 FIFO）	8	最多 16 个
	16	最多 8 个

通道编号	数据宽度访问 (位)	最大突发长度 (节拍)
12 至 15 (32 字节 FIFO)	32	最多 4 个

GDMA 突发是数据的基本块，位于固定地址或连续递增地址。对于通道 12 至 15（支持二维寻址），可在突发后执行第一次地址跳转。为了获得存储器中的二维缓冲区，用户可能必须设定不同于典型 4 字突发的突发。GDMA 实现自动优化性能，并包含此设定限制。

在每个设定突发之前增加一个 GDMA 仲裁时钟周期，前提是此突发大小小于 FIFO 大小的一半。每次数据传输既可以是单次数据传输（在每次 AHB 总线主设备上必须发送数据时执行数据仲裁），也可以组合成突发数据传输以便背靠背发送少量数据，在 GDMA 单次仲裁阶段后不可能发生任何 GDMA 抢占。这样可以最大限度缩短数据传输时间（总体延迟），并使吞吐率和总线效率最大化。

考虑突发（包含多个节拍/数据）的传输的主要优势如下：

- 将 GDMA 仲裁缩减到只有一个阶段，该阶段适用于按突发大小定义的所有数据。
- 突发在 GDMA（仲裁）层面不可中断，前提是其大小小于 FIFO 大小的一半。一组一定数量的读取/写入数据的延迟缩短，可更早完成传输（第一拍除外）。
- 如果面向的源或目标是内部存储器，则通过 AHB 总线上的增量 AHB 突发来实现设定的寻址增量突发。这样消耗的总线周期更少，还释放了总线带宽用于其他可能的并发主设备，或者能够为给定流量/带宽设定更低的总线频率。
- 如果面向的源或目标是位于固定地址并支持突发的外设寄存器（具有 FIFO 机制，如 ADC1、OCTOSPI 或哈希），由于发生过一次仲裁周期处罚，因此设定 GDMA 4 字固定突发（在 GDMA 仲裁后被分割成四个单次传输，以便与 AHB 兼容）以提高背靠背传输吞吐率。

如果 GDMA 突发具有 AHB 突发事务，则在执行时，会增加分配的同一 AHB 主设备端口上的其他并发 GDMA 传输的延迟。在这段时间内，同一 GDMA 端口上 GDMA 请求的所有其他传输均挂起（以及所有其他计划从同一目标外设/存储器读取数据或向其写入数据的主设备）。建议通过设定通道优先级来管理不同应用要求，如第 2.4 节所述。

2.6 GDMA 请求

GDMA 传输可通过软件请求置位（通过 GDMA_CxTR2 中的 SWREQ）来发起，其中可能关联了同一寄存器中的 TRIGSEL[5:0]定义的硬件触发信号。这适用于存储器之间的传输，此类传输不依赖于任何来自存储器的硬件请求信号。

硬件触发信号可由外设（如定时器）、GDMA 自身（通道传输完成）或其他外设驱动。请参考产品参考手册了解关于触发功能的更多信息，具体来说是 GDMA 实现部分中可映射到 GDMA 的触发信号的列表（因产品而异）。存储器至存储器模式还用于 DMA 模式下的一些定时器配置以及 DMA 模式下的 GPIO 配置（参见第 3.4 节和第 3.6 节）。

在存储器至存储器模式下的同一通道的两次背靠背半数据传输之间插入一个 GDMA 死区时钟周期（两次读取之间一个死区周期，两次写入之间一个死区周期）。

对于外设至存储器和存储器至外设的 GDMA 传输，作为软件请求的替代选择，GDMA 传输可通过来自外设的输入硬件请求来请求和发起。为了在映射 GDMA 请求信号列表（取决于产品）中选择合适的硬件外设请求，用户必须在 GDMA_CxTR2 寄存器中设定 SWREQ = 0 和 REQSEL[6:0]。请参考产品参考手册的 GDMA 实现部分了解此列表和映射。

由于外设与 GDMA 之间的请求/确认的硬件协议，两次相同外设请求之间必须发生至少四个 AHB 时钟周期，由此限制了止于/始于外设的背靠背数据传输在性能。止于/始于存储器的传输则不存在此限制。

除此之外，还可以对硬件请求的传输进行调整并关联到硬件触发信号，例如用于存储器至存储器模式。

3 外设、存储器和 GPDMA 配置

STM32U575/585 器件中的大多数模拟和数字外设具有 GPDMA 功能，可在无 CPU 干预的情况下处理数据传输。其中的每一个都提供了不同的可能配置，可满足大多数应用要求。

GPDMA 配置在每个外设上得到的总体系统性能取决于其位置（总线类型）、其数据传输优先级及其为突发操作提供内部 FIFO 的能力（突发大小与外设的 FIFO 大小和连接到相关 GPDMA 通道的嵌入式 FIFO 有直接关联）。

下面几节内容提供了 STM32U575/585 中嵌入的外设/存储器的详尽列表，可指导开发人员获得最佳 GPDMA 配置并实现最佳性能。

对于每个外设，下列项目有助于了解外设和 GPDMA 配置：

- 到达 GPDMA 的外设请求信号
 - 大多数外设请求为单次类型或突发类型。
 - 相反地，lptimer_ue 请求（lptimer 更新事件）需要块型 GPDMA 特定的编程。GPDMA_CxTR2 中的 BREQ 必须置位。
- 外设总线（哪个 AHB/APB）
- 外设 FIFO（单元单位、大小）
- 外设寄存器访问
 - 大多数 GPDMA 请求与一个特定的外设寄存器紧耦合。
 - 相反地，定时器具有对不同外设寄存器进行寻址的灵活性，可满足不同应用要求。
- GPDMA 读/写访问
- GPDMA 端口引用（如果有）
- GPDMA 通道引用（如果有）
- GPDMA 数据宽度：8、16 或 32 位
- GPDMA 突发长度：1 或 4

3.1 内部存储器的 GPDMA 配置

STM32U575/585 产品中嵌入了 Flash 和多个内部 SRAM。所有这些存储器都可以被 GPDMA 视为源和/或目标，分别在请求的存储器至外设/外设至存储器的传输中用来执行数据传输。

为了降低分配用于读取/写入存储器的源/目标端口上的 32 位 AHB 总线负载，优先选择 GPDMA 设定的 32 位数据宽度。相比于执行字节访问，此举可将到达存储器的流量减少四分之三，与处理半字相比可减半。此外，还能减少四分之三或一半的存储器占用量，使存储器被连续数据紧密填充。由于具有自己的通道 FIFO 的 GPDMA 能够解除源数据宽度与目标数据宽度之间的相关性，并能执行 FIFO 队列和数据处理（如打包和拆包），因此必须尽可能使用此配置。

在源和目标中使用不同的数据宽度给应用带来了限制：

- 外设至存储器模式：如果从外设数据寄存器对 FIFO 执行 8/16 位读取，同时 FIFO 执行字节至字的打包并对紧凑的存储器执行 32 位写入，则应用必须保证读取源块的大小是 4 字节的倍数（可能不可接受）。
- 存储器至外设模式：如果从紧凑的存储器对 FIFO 执行 32 位读取，同时 FIFO 执行字至字节的拆包并对外设数据寄存器执行 8 位写入，则读取源块的大小必须是 4 字节的倍数。

如果应用无法保证缓冲区/块大小是 4 字节或 2 半字的倍数，则用户必须设定一个小于 32 位 AHB 总线的数据宽度，AHB 总线负载未被优化。应用的另一个实现替代方案是将块传输分成两个 LLI/块传输，是 4 字节倍数的一个块用于大多数传输，而另一个块包含剩余字节。

例如，外设（如 I2C）有一个只包含 8 位 LSB 数据的数据寄存器，必须在外设端按字节流处理。其他止于/始于存储器的传输可以利用 32 位 AHB 总线，执行 32 位数据宽度访问，并使用连续递增的存储器地址（前提是分配的缓冲区/块大小是 4 字节的倍数）。相比于基于字节的寻址，存储器所需带宽减少了四分之三，存储器占用量也减少了四分之三。

另一个示例是在 DMA 模式下使用 ADC1，采用 8 位分辨率模式：

- 必须将 ADC 的 8 位读取配置为固定外设数据寄存器地址（采用右对齐，必须具有 32 位对齐地址）。优势是能够只将有效字节推入 GPDMA 通道 FIFO。由于通道 0 至 11 具有 8 字节 FIFO，因此可将源突发设定为 4 字节突发（FIFO 的一半大小），从而使 GPDMA 仲裁开销最小化。
- 可通过 32 位字、GPDMA 打包、具有 32 位数据宽度的 GPDMA 写入突发和连续递增的存储器地址访问存储器（前提是分配的缓冲区/块大小是 4 字节的倍数）。相比于基于字节的寻址，存储器所需带宽减少了四分之三，存储器占用量也减少了四分之三。

对于外设至存储器或存储器至外设 GPDMA 传输，在外设生成硬件请求（通过 GPDMA_CxTR2 中的 REQSEL[6:0] 进行选择）时发起传输，之后，GPDMA 仲裁器确认外设请求。参见产品参考手册了解更多信息。

由于外设与 GPDMA 之间的请求/确认的硬件协议，两次相同外设请求之间必须发生至少四个 AHB 时钟周期，由此限制了止于/始于外设的背靠背数据传输在性能。止于/始于存储器的传输则不存在此限制。

所有这些存储器都可以用于存储器至存储器的传输，源和目标的数据宽度为推荐的 32 位。如果分配了通道 12 至 15，则存储器传输可受益于设定并实现 4 字突发（FIFO 大小的一半），从而实现更高吞吐率和背靠背数据传输。

对于存储器至存储器的传输，如果需要二维寻址模式，则必须分配通道 12 至 15。

对于具有存储器至存储器传输的此类通道，建议分配最低优先级（优先级 0），以便按尽最大努力流量使用并被时效性流量（优先级 3）和止于/始于硬件外设的其他流量（优先级 1 和 2）先占。请参见第 2.2 节。

存储器至存储器的传输不依赖于任何直接来自存储器的硬件请求。GPDMA 传输通过 GPDMA_CxTR2 中 SWREQ 的置位来发起，关联到同一寄存器中的 TRIGSEL[5:0] 定义的潜在触发信号。参见产品参考手册了解更多信息。

存储器至存储器模式可通过来自外设（如定时器）的 GPDMA 触发信号触发，或者由 GPDMA 本身发送的或来自其他外设的一些额外触发信号来触发。以存储器至存储器模式访问 GPIO。

3.2 模拟外设的 GPDMA 配置

3.2.1 模数转换器 ADC1

此 8、10、12 或 14 位分辨率模数（A/D）转换器实现提出了一种 DMA 模式。每当外设需要时，硬件使用 GPDMA 请求信号请求 GPDMA 读取新的单个已转换采样。GPDMA 读取 ADC_DR 寄存器。必须通过 32 位字对齐访问，用设定的源数据宽度（8、16 或 32 位）和固定地址访问此 ADC 32 位数据寄存器（具体取决于 ADC 分辨率）。

ADC1 实现对 ADC_DR 使用 8 字 FIFO。每当外设需要时，硬件还使用 GPDMA 请求信号请求 GPDMA 读取新的四个已转换采样的突发。GPDMA 四次读取 ADC_DR。在突发模式下，必须为设定的 GPDMA 源传输设定 32 位对齐 ADC_DR 位置的固定地址，数据宽度为 8、16 或 32 位。固定的 4 字节突发可通过通道 0 至 11 中的一个通道来执行（突发大小 = FIFO 大小的一半）。为了获得最佳 GPDMA 性能，在使用突发模式读取 ADC1 数据寄存器时，建议分配使用 8 字 FIFO 的通道 12 至 15。在这种情况下，如果 32 位数据宽度满足应用要求，则写入存储器的 4 字突发可以是特权级。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，ADC1 连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 3. ADC1 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
adc1_dma	AHB2	8 字 FIFO	读取 ADC_DR	无论数据宽度是多少，都必须用 32 位对齐地址读取 ADC1 数据寄存器（ADC_DR）。

下表显示了要用来提供 ADC1 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发。

表 4. ADC1 的 GPDMA 建议

GPDMA 源端口	GPDMA 源突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	8、16 或 32 位 (取决于 ADC 分辨率)	1 或 4	0 至 11 (单次数据模式) 12 至 15 (突发模式)	默认推荐设置平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

ADC1 的最大数据率为：

- 3.44 Msps（8 位分辨率）
- 2.5 Msps（14 位分辨率）

ADC1 生成模拟看门狗触发信号（adc1_awd1），该信号可用作任何 GPDMA 传输的触发信号。

3.2.2 模数转换器 ADC4

此 6、8、10 或 12 位分辨率模数（A/D）转换器实现提出了一种 DMA 模式。每当外设需要时，硬件使用 GPDMA 请求信号请求 GPDMA 读取新的单个已转换采样。GPDMA 读取 ADC_DR 寄存器。必须通过 32 位字对齐读访问，用设定的源数据宽度（通常为 8 或 16 位）和固定地址访问此 ADC 16 位数据寄存器。

ADC4 实现不对 ADC_DR 使用 FIFO。对 ADC1 的读访问无法达到突发性能。可以分配通道 0 至 11。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，ADC4 连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 5. ADC4 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
adc4_dma	AHB3	无	读取 ADC_DR	无论数据宽度是多少，都必须用 32 位对齐地址读取 ADC4 数据寄存器（ADC_DR）。

下表显示了要用来提供 ADC1 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发。

表 6. ADC4 的 GPDMA 建议

GPDMA 源端口	GPDMA 源突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	8、16 或 32 位	1	通常为 0 至 11	默认推荐设置平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

ADC4 的最大数据率为：

- 3.92 Msps（6 位分辨率）
- 2.55 Msps（12 位分辨率）

ADC4 生成模拟看门狗触发信号（adc4_awd1），该信号可用作任何 GPDMA 传输的触发信号。

3.2.3 数模转换器 DAC

数模（D/A）转换器 DAC 支持 DMA，无嵌入式 FIFO。尽管 DAC 有双通道 GPDMA 功能（完全独立），也可以使用单个 GPDMA 通道，并在单个 GPDMA 通道内将数据传输到双通道转换器。然后，DAC 提供 GPDMA 优化，将要使用的 GPDMA 通道数量从两个减少为一个。此外，它还通过将两个转换器的数据打包到单次数据传输中（双模式）来减少 AHB 总线上的事务数量。

表 7. DAC 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
dac_ch1_dma dac_ch2_dma	AHB3	无	写入（任何） DAC_DHRyRx (y = 12、8 且 x = 1、2)	DAC 数据保存寄存器必须在特定的 32 位对齐地址写入，具体取决于使用的 DAC 格式（8 或 12 位，左对齐或右对齐）和涉及的通道（1 或 2）。

下表显示了要用来提供 DAC 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 8. DAC 的 GPDMA 建议

GPDMA 目标端口	GPDMA 目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	8、16 或 32 位	1	通常为 0 至 11	默认推荐设置平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

DAC 最大数据率为 1 Msps。

3.3 图形外设 DCMI（数字摄像头接口）的 GPDMA 配置

即使有嵌入式 FIFO，在执行 GPDMA 传输时，DCMI 不支持突发模式。由于每当有可用的 32 位数据时 DCMI 都会发送 DMA 请求，因此所有传输都需以单次数据模式由 GPDMA 控制器进行处理。

GPDMA 读取 32 位 DCMI_DR 寄存器。必须用设定的 32 位源数据宽度和固定地址访问此 32 位数据寄存器。

对 DCMI 的读访问无法获得突发性能。可以分配通道 0 至 11，除非通道 12 到 15 是空闲/未分配的，并且此 AHB 外设带宽方面所需的性能非常重要。如果访问的是外部存储器，则也可分配通道 12 至 15。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，外设连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 9. DCMI 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
dcmi_dma	AHB2	8 字 FIFO	读取 32 位 DCMI_DR	DCMI 可根据摄像头传感器发送的图像格式，将两个像素组合到单次数据传输中（数据打包），以实现 32 位 AHB 总线的优化利用。

下表显示了要用来提供 DCMI 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 10. DCMI 的 GPDMA 建议

GPDMA 源端口	GPDMA 源突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1	通常为 0 至 11 特殊情况下为 12 至 15 (前提是仍为此类可能需要大量带宽的 AHB 外设保留了未分配/空闲通道)	默认推荐设置平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

由于 AHB 时钟与 DCMI 像素时钟之比必须是 2.5，DCMI 像素时钟的最大频率为 64 MHz。

示例：当摄像头分辨率约为 2 Mpixel @ 15 fps 时，预算为 30 Mpixel/s。如果摄像头传感器发送了 RAW 格式（例如，对于 12 位原始图像，为 1px/pxclock），则考虑到 30% 的消隐率，将像素时钟修正为 45 MHz。在这种情况下，DCMI 将两个像素打包到一个 32 位数据中（2 个像素时钟周期）：尖峰（消隐阶段之外）时 DMA 传输请求的数量为 22.5 兆次传输/秒。

当短时间内一些总线过载导致 GPDMA 无法维持速率时，为避免上溢，提供了 DCMI 内部 FIFO。

3.4 通信、音频和数学运算外设的 GPDMA 配置

3.4.1 外设同步从设备接口（PSSI）

即使有嵌入式 FIFO，在执行 GPDMA 传输时，PSSI 不支持突发模式。由于每次需要读取/写入数据（取决于 PSSI 接收/发送模式）时 PSSI 都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 对 PSSI_DR 寄存器执行 32 位对齐读/写访问。可以用设定的源/目标数据宽度（8、16 或 32 位）和固定地址访问此 32 位数据寄存器。为了优化总线带宽和降低总线负载，建议使用 32 位数据读取/写入 PSSI_DR。

由于 PSSI 与 DCMI 共享同一内核，因此二者相斥。

对 PSSI 的读/写访问无法获得突发性能。可以分配通道 0 至 11，除非通道 12 到 15 是空闲/未分配的，并且此 AHB 外设带宽方面所需的性能非常重要。如果访问的是外部存储器，则也可分配通道 12 至 15。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，外设连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 11. PSSI 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
dcmi_dma	AHB2	8 字 FIFO	读取/写入 32 位 PSSI_DR	PSSI 可以发送或接收并行数据。无论数据宽度是多少，都必须用 32 位对齐地址读取/写入。

下表显示了要用来提供 PSSI 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 12. PSSI 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位（推荐）	1	通常为 0 至 11 特殊情况下为 12 至 15（前提是仍为此类可能需要大量带宽的 AHB 外设保留了未分配/空闲通道）	为了优化总线利用，建议从 PSS_DR 传输字或将字传输至 PSS_DR。 默认推荐设置平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

PSSI 像素时钟的最大频率为：

- 64 MHz ($2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$)
- 47 MHz（其他情况）

3.4.2 内部集成电路接口 (I2C)

STM32U575/585 中嵌入了 APB1 总线上的三个 I2Cx 实例 ($x = 1, 2, 4$) 和 APB3 总线上的一个 I2C3 实例。

在执行 GPDMA 传输时，I2C 不支持突发模式。由于每次需要写入/读取字节数据或需要写入控制字（取决于涉及的 GPDMA 请求信号）时 I2C 都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 对相关的寄存器或控制寄存器执行 32 位对齐访问。

必须通过 32 位对齐访问，用设定的 8 位源数据宽度和固定地址读取 8 位数据接收寄存器。

必须通过 32 位对齐访问，用设定的 8 位目标数据宽度和固定地址写入 8 位数据发送寄存器。

必须用设定的 8 位目标数据宽度和固定地址写入 32 位控制字（如需连续更新）。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 13. I2C 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
i2c_rx_dma	APB1（用于 I2C1/2/4） APB3（用于 I2C3）	无	读取 8 位 I2C_RXDR	请求 GPDMA 读取新的已接收数据字节。必须用 32 位对齐地址读取。
i2c_tx_dma			写入 8 位 I2C_TXDR	请求 GPDMA 写入新的数据字节用于发送。必须用 32 位对齐地址读取。
i2c_evcr_dma			写入 32 位 I2C_CR2	请求 GPDMA 写入新的指令字。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 14. I2C 的 GPDMA 建议

GPDMA 源/目标 端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	i2c_tx、i2c_rx: 8 位 i2c_evc: 32 位	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 I2C 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1 I2Cx。给定优先级的延迟和响应时间更短 默认推荐设置平衡了每个端口的带宽（端口 0 用于外设访问，端口 1 用于存储器访问），因此还适用于 APB3。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 选择端口 0 用于读取/写入 APB1 外设寄存器（直接连接），端口 1 用于访问存储器。若无特殊要求，默认可与 APB3 相同（在两个端口之间平衡流量）。

I2C 输入时钟的最大频率为：

- 标准模式下 100 Kbit/s
- 快速模式下 400 Kbit/s
- 超快模式下 1 Mbit/s

3.4.3 通用同步/异步低功耗收发器（USART/UART/LPUART）

STM32U575/585 中有多个 USART/UART 实例。它们都可能链接到发送或接收队列的 GPDMA 通道。

在执行 GPDMA 传输时，外设不支持突发模式。由于每当需要写入/读取数据（取决于涉及的 GPDMA 请求信号）时外设都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 对相关的数据寄存器执行 32 位对齐访问。

必须通过 32 位对齐访问，根据格式用设定的 8、16 或 32 位源数据宽度和固定地址读取 9 位数据接收寄存器。

必须通过 32 位对齐访问，根据格式用设定的 8、16 或 32 位目标数据宽度和固定地址写入 9 位数据发送寄存器。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

为尽可能避免上溢/下溢（可能中断数据传输流程），USART/UART/LPUART 具有发送和接收 FIFO。下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 15. U(S)ART 和 LPUART 外设信息

到达 GPDMA 的外 设请求	外设总线	外设 FIFO（单 位、大小）	外设寄存器访问	注释
(lp)u(s)art_rx_dma	用于 USART1/3 和 UART4/5 的 APB1	8x 12 位宽 RXFIFO（9 位用 于接收数据 + 3 位 用于错误校验）	读取 USART_RDR 或 LPUART_RDR	请求 GPDMA 读取新的已接收数据。无论数据宽度是多少，都必须用 32 位对齐地址读取。
(lp)u(s)art_tx_dma	用于 USART2 的 APB2 用于 LPUART1 的 APB3	8x 9 位宽 TXFIFO ⁽¹⁾	写入 USART_TDR 或 LPUART_TDRR	请求 GPDMA 写入新的数据用于发送。无论数据宽度是多少，都必须用 32 位对齐地址写入。

1. FIFO 可通过软件启用/禁用。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 16. U(S)ART 和 LPUART 的 GPDMA 建议

GPDMA 源/目标 端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	16 或 32 位读取/ 写入（9 位模式） 且 8、16 或 32 位读取/ 写入（8 位和 7 位模式）	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 U(S)ART 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1/APB2 U(S)ART。给定优先级的延迟和响应时间更短。 默认推荐设置平衡了每个端口的带宽（端口 0 用于外设访问，端口 1 用于存储器访问），因此还适用于 APB3。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 选择端口 0 用于访问 APB1/APB2 外设寄存器（直接连接），端口 1 用于访问存储器。若无特殊要求，默认可与 APB3 相同（在两个端口之间平衡流量）。

USART/UART 时钟的最大频率为：

- 20 MHz（主设备模式）
- 32 MHz（从设备发送器模式）
- 53 MHz（从设备接收器模式）

3.4.4 串行外设接口 (SPI)

有两个连接到 APB1 的 SPI 实例（SPI1 和 SPI2）和一个连接到 APB3 的实例 SPI3。它们都可能链接到发送或接收队列的 GPDMA 通道。

在执行 GPDMA 传输时，外设不支持突发模式。由于每当需要写入/读取数据（取决于涉及的 GPDMA 请求信号）时外设都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。然后，GPDMA 对相关的寄存器执行 32 位对齐访问。

必须通过 32 位对齐访问，用设定的 8、16 或 32 位源数据宽度和固定地址读取数据接收寄存器。

必须通过 32 位对齐访问，用设定的 8、16 或 32 位目标数据宽度和固定地址写入数据发送寄存器。

为尽可能避免上溢/下溢（可能中断数据传输流程），SPI 具有发送和接收 FIFO。

相比于在寄存器层面写入/读取 32 位字流，SPI 能够将已接收/要发送的字节流打包/拆包。建议优化数据传输，以便减少总体系统延迟、分配用于访问 SPI_TXDR/SPI_RXDR 寄存器的 GPDMA 主设备端口（推荐端口 0）上的总线带宽以及 APB 外设总线上的负载（如适用）。建议对外设寄存器执行 32 位数据宽度访问，以便将总线流量降低至四分之一（相比于外设端的字节流访问）。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 17. SPI 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
spi_rx_dma	APB1 (用于 SPI1/2) APB3 (用于 SPI3)	16 字节 RXFIFO 和 TXFIFO (用于 SPI1 和 SPI2) 8 字节 RXFIFO 和 TXFIFO (用于 SPI3) ⁽¹⁾	读取 SPI_RXDR	请求 GPDMA 读取新的已接收数据。无论数据宽度是多少，都必须用 32 位对齐地址读取。
spi_tx_dma			写入 SPI_TXDR	请求 GPDMA 写入新的数据用于发送。无论数据宽度是多少，都必须用 32 位对齐地址写入。

1. FIFO 可通过软件启用/禁用。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 18. SPI 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位 (推荐)。 如不适用，则为 8 或 16 位。	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 SPI 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1 SPI。给定优先级的延迟和响应时间更短。 默认推荐设置平衡了每个端口的带宽（端口 0 用于外设访问，端口 1 用于存储器访问），因此还适用于 APB3。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 选择端口 0 用于访问 APB1 外设寄存器（直接连接），端口 1 用于访问存储器。若无特殊要求，默认可与 APB3 相同（在两个端口之间平衡流量）。

SPI 通信时钟的最大频率为：

- 80 MHz（主设备模式）
- 41.5 MHz（从设备发送器模式）
- 100 MHz（从设备接收器模式）

提示

这些频率值摘自数据手册（指定条件下的最差最大值）。它们与电压范围有关，可能有更小值（取决于 V_{DD} ）。请参考产品数据手册获取具体值。

3.4.5 串行音频接口 (SAI)

有两个连接到 APB2 的 SAI 实例 (SAI1 和 SAI2)。每个 SAI 有两个子模块 A 和 B。每个子模块都有专用的 GPDMA 请求和自己的 FIFO，还可能有一个 GPDMA 通道。

在执行 GPDMA 传输时，外设不支持突发模式。由于每次需要写入/读取音频数据时外设都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 用设定的 32 位源/目标数据宽度和固定地址对相关的 32 位数据寄存器执行读/写访问。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 19. SAI 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
sai_a_dma	APB2	8 字 FIFO	读取/写入 32 位 SAI_ADR	子模块 A 请求 GPDMA 读取/写入新的 32 位数据。
sai_b_dma			读取/写入 32 位 SAI_BDR	子模块 B 请求 GPDMA 读取/写入新的 32 位数据。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 20. SAI 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 SAI 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB2 SAI。给定优先级的延迟和响应时间更短。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 选择端口 0 用于访问 APB2 外设寄存器（直接连接），端口 1 用于访问存储器。

SAI 通信时钟的最大频率为：

- 26 MHz（主设备发送器模式）
- 21.5 MHz（主设备接收器模式）
- 30 MHz（从设备发送器模式）
- 50 MHz（从设备接收器模式）

提示

这些频率值摘自数据手册（指定条件下的最差最大值）。它们与电压范围有关，可能有更小值（取决于 V_{DD} ）。请参考产品数据手册获取具体值。

3.4.6 USB Type-C®/USB 电力传输接口 (UCPD)

UCPD 有一个用于发送的 GPDMA 请求和一个用于接收的 GPDMA 请求。

如果正在执行 GPDMA 传输且未嵌入任何 FIFO，则外设将不支持突发模式。由于每次需要写入/读取数据时外设都会发送新的 GPDMA 请求，所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 用设定的 8 位源/目标数据宽度和固定寻址在 32 位对齐寄存器地址对相关的 32 位数据寄存器执行读/写访问。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 21. UCPD 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
ucpd_rx_dma	APB1	8 字 FIFO	读取 8 位 UCPD_RXDR	请求 GPDMA 读取新的已接收 8 位数据。必须用 32 位对齐地址读取
ucpd_tx_dma			写入 8 位 UCPD_TXDR	请求 GPDMA 写入新的 8 位数据用于发送。必须用 32 位对齐地址写入

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 22. UCPD 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	8 位	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 UCPD 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1 UCPD。给定优先级的延迟和响应时间更短。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 选择端口 0 用于访问 APB1 外设寄存器（直接连接），端口 1 用于访问存储器。

3.4.7 音频/多功能数字滤波器（ADF/MDF）

ADF 和 MDF 具有 DMA 功能，可减轻从外设读取数据传输并写入到存储器的软件负载。MDF 是 AHB1 外设，ADF 是 AHB3 外设。每个音频数字滤波器有一个 GPDMA 请求：一个用于 ADF，六个用于 MDF。

即使每个滤波器都有嵌入式 FIFO，在执行 GPDMA 传输时，ADF/MDF 也不支持突发模式。由于每当有一个可用的 32 位寄存器数据（包含一个 24 位采样）或有两个可用的 32 位寄存器数据（包含两个 32 位采样）（取决于设定的 FIFO 阈值）时 ADF/MDF 都会发送 DMA 请求，因此所有传输都需以单次数据模式由 GPDMA 控制器进行处理。然后，GPDMA 读取 32 位 ADF_DFLT0DR / MDF_DFLTyDR (y = 0 至 7) 数字滤波器 0 数据寄存器。必须用设定的 32 位源数据宽度和固定地址访问此 32 位数据寄存器。

嵌入式 FIFO 位于音频内核时钟中，因此，为了与 AHB 时钟域重新同步，增加了一些额外延迟。

可以分配通道 0 至 11。如果访问的是外部存储器，则也可分配通道 12 至 15。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，外设连接的外设总线，以及必须将外设寄存器设定为读取自哪个 GPDMA。

表 23. ADF/MDF 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
adf1_fit0_dma	AHB3	8x 24 位宽 FIFO	读取 32 位 ADF_DFLT0DR	请求 GPDMA 读取新的接收自滤波器 0 的音频数据
mdf_fit0_dma mdf_fit1_dma mdf_fit2_dma mdf_fit3_dma mdf_fit4_dma mdf_fit5_dma	AHB2	8x 24 位宽 FIFO (每个滤波器)	读取相应的 32 位 MDF_DFLTyDR (y = 0 至 5)	请求 GPDMA 读取新的接收自滤波器 y (y = 0 至 5) 的音频数据

下表显示了要用来提供 ADF/MDF 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 24. ADF/MDF 的 GPDMA 建议

GPDMA 源端口	GPDMA 源突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1	通常为 0 至 11	默认推荐设置还平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认选择用端口 0 读取外设寄存器，用端口 1 写入存储器。

3.4.8 滤波器数学加速器 (FMAC)

FMAC 执行向量的 16 位定点算术运算。对于读取/写入通道，它支持 GPDMA。FMAC 中嵌入的存储器用于按用户配置对 256 x 16 位本地存储器的大小和分配进行分割，以便用于每个缓冲区 (X1、X2 和 Y)。为了要求向量预载以便在需要时获取数据，GPDMA 请求以 X1 缓冲区空闲空间可用性（未满）为基础。如此可避免在数据尚未进入本地存储器时暂停计算。

即使有嵌入式 FIFO，在执行 GPDMA 传输时，FMAC 不支持突发模式。由于每次需要读取/写入 16 位数据时 FMAC 都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 对 16 位 FMAC_RDATA/FMAC_WDATA 寄存器执行 32 位对齐读/写访问。必须用设定的 16 位源/目标数据宽度和固定地址访问此数据寄存器。

对 FMAC 的读/写访问无法获得突发性能。可以分配通道 0 至 11，除非通道 12 到 15 是空闲/未分配的，并且此 AHB 外设带宽方面所需的性能非常重要。如果访问的是外部存储器，则也可分配通道 12 至 15。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，外设连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 25. FMAC 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
fmac_read_dma	AHB1	可与 X1、X2 和 Y 缓冲区共享的 256x 16 位本地存储器 ⁽¹⁾	读取 16 位 FMAC_RDATA	请求 GPDMA 读取新的计算 16 位输出数据。必须用 32 位对齐地址读取
fmac_write_dma			写入 16 位 FMAC_WDATA	请求 GPDMA 写入新的 16 位输入数据用于计算。必须用 32 位对齐地址写入

1. 用户可以配置每个分区。

下表显示了要用来提供 FMAC 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 26. FMAC 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	16 位	1	通常为 0 至 11 特殊情况下为 12 至 15（前提是仍为此类可能受益于更高 FIFO 的 AHB 外设保留了未分配/空闲通道）	默认推荐设置还平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

3.4.9 CORDIC 协处理器

CORDIC 提供电机控制、计量、信号处理和许多其他任务中常用数学函数的硬件加速（16 位或 32 位定点）。GPDMA 传输可以在读取和写入模式下发生。

CORDIC 允许 GPDMA 读取/写入多个寄存器：

- ARG1 和可能有的 ARG2 作为输入参数（取决于 CORDIC_CSR 中的 NARGS）
如需输入两个参数用于计算，则通过两个单次 GPDMA 请求进行输入。
- RES1 和 RES2 分别作为主要和次要结果（取决于 CORDIC_CSR 中的 NRES）
如需 GPDMA 读取两个计算结果，则 CORDIC 将以单次模式生成两个 GPDMA 请求。

数据宽度可以是以下二者之一：

- 16 位格式
主参数 ARG2 写入到最低有效半字，而辅助参数 ARG2 写入到最高有效半字。得益于上述数据打包，将在单次 GPDMA 数据传输中发送参数，通过最大限度减少要执行的 DMA 传输数量，继而改善了总线带宽。
- 32 位格式
有两种 GPDMA 数据访问可用来填充两个参数（当 CORDIC 配置需要两个参数时）。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，外设连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 27. CORDIC 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
cordic_read_dma	AHB1	无	读取 CORDIC_RDATA	请求 GPDMA 读取新的计算输出数据。必须用 32 位对齐地址读取。
cordic_write_dma			写入 CORDIC_WDATA	请求 GPDMA 写入新的输入数据用于计算。必须用 32 位对齐地址写入。

下表显示了要用来提供 FMAC 外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 28. CORDIC 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	16 或 32 位	1	通常为 0 至 11 特殊情况下为 12 至 15 (前提是仍为此类可能受益于更高 FIFO 的 AHB 外设保留了未分配/空闲通道)	默认推荐设置还平衡了每个端口的带宽（源端口 0 用于从外设读取，目标端口 1 用于写入存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

3.5 定时器的 GPDMA 配置

3.5.1 低功耗定时器（LPTIM1/2/3/4）

低功耗定时器是 16 位定时器，可从降低功耗的终极发展中受益。得益于其时钟源的多样性，LPTIMx 能够在除待机模式外的所有功耗模式下持续运行。

在执行 GPDMA 传输时，LPTIM 不支持突发模式。所有传输均为单次数据模式。

LPTIM4 不提供任何 GPDMA 请求。

LPTIMx (x = 1、2、3) 支持 GPDMA，具有两类请求：

- 输入捕获
 - 来自定时器通道 1，lptimx_ic1_dma
 - 来自定时器通道 2，lptimx_ic2_dma
 然后，GPDMA 读取 16 位 LPTIMx_CCRy (y = 1、2) 寄存器，以便在输入捕获模式下获取新的锁存计数器值。
- 更新事件
 - lptimx_ue_dma (x = 1、2、3) 请求是 GPDMA 块型请求，需通过在 GPDMA_CyTR2 (y 是分配的 GPDMA 通道编号) 中设定 BREQ = 1 (和 SWREQ = 0) 来激活定时器与 GPDMA 之间的特定硬件连接。
 - 块包含对 LPTIMx 的最多三个单次写入，用于更新以下三个寄存器中的最多两个，以便更新 PWM 信号的生成：LPTIMx_CCR1 (用于占空比的捕获比较寄存器 1)、LPTIMx_CCR2 (用于占空比的捕获比较寄存器 2) 和 LPTIMx_RCR (重复计数器寄存器)，之后强制更新用于周期的 LPTIMx_ARR 寄存器。

通常将端口 0 分配用于定时器寄存器读/写访问，特别是 APB1 上的 LPTIM2，但也用于 APB3 上的 LPTIM1 和 LPTIM3，端口 1 用于存储器访问，以便平衡两个端口上的流量。为通道 0 至 11 分配高优先级，以使传输延迟尽可能少受其他流量的影响。参见第 2.4 节 了解更多信息，特别是定时器的时效性应用。

LPTIM1 和 LPTIM2 生成两个输出信号 (lptimx_ch1 和 lptimx_ch2, x = 1、2)，可用作任何 GPDMA 传输和/或 DAC 转换的触发信号。

LPTIM4 生成一个输出信号 lptim4_out，可用作任何 GPDMA 传输和/或 DAC 转换的触发信号。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 29. LPTIM1/2/3 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
lptimx_icy_dma (x = 1、2、3 且 y = 1、2)	APB3 (用于 LPTIM1/3) APB1 (用于 LPTIM2)	无	读取 16 位/32 位 LPTIMx_CCRy	在发生输入捕获事件 (连接了输入信号) 时请求读取捕获比较寄存器。必须是 32 位对齐地址访问。
lptimx_ue_dma (x = 1、2、3)			对以下寄存器中的最多 3 个 16 位或 3 个 32 位寄存器执行写访问： LPTIMx_CCR1、 LPTIMx_CCR2、 LPTIMx_RCR 和强制性 LPTIMx_ARR 寄存器	在发生更新事件时请求对 LPTIMx 寄存器执行最多三次写访问。必须是 32 位对齐地址访问。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发 (仅单次数据模式)。

表 30. LPTIM1/2/3 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	16 或 32 位	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接 (架构层面) 且 TIMx 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1 LPTIM2。给定优先级的延迟和响应时间更短。 默认推荐设置还平衡了每个端口的带宽 (源端口 0 用于从外设读取，目标端口 1 用于写入存储器)。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 如果无论其他并发流量如何，应用都要求最少延迟，则建议使用优先级 3。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。

1. 选择端口 0 用于访问 APB1 外设寄存器 (直接连接)，端口 1 用于访问存储器。若无特殊要求，默认选择用端口 0 访问 APB3 外设寄存器，用端口 1 访问存储器。

3.5.2 基本定时器 (TIM6/7)

基本定时器包含 16 位自动重载加法计数器，该计数器由可编程预分频器驱动。它们可作为通用定时器，用于时基生成。

在执行 GPDMA 传输时，定时器不支持突发模式。

对 GPDMA 的定时器更新请求 (timx_up_dma, x = 6、7) 发生在计数器上溢时 (当设定的时间段结束时)。GPDMA 对 TIMx_ARR (x = 6、7 且包含 4 个抖动位) 执行 32 位写入，以便更新下一次计数器上溢的定时器输出周期和波形。

建议分配端口 0 用于外设寄存器访问（由于 AHB/APB 桥的直接连接），端口 1 用于存储器访问（以便平衡流量），并分配通道 0 至 11 和高优先级（使传输延迟尽可能少受其他流量的影响）。参见第 2.4 节 了解更多信息，特别是定时器的时效性应用。

TIM6 和 TIM7 分别生成触发信号 `tim6_trgo` 和 `tim7_trgo`，可用作任何 GPDMA 传输和/或 DAC 转换的触发信号。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 31. TIM6/7 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO（单位、大小）	外设寄存器访问	注释
<code>timx_up_dma</code> ($x = 6、7$)	APB1	无	写入 32 位 <code>TIMx_ARR</code>	在发生更新事件（计数器上溢）时请求

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 32. TIM6/7 的 GPDMA 建议

GPDMA 目标端口	GPDMA 目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 TIMx 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1/APB2 TIMx。给定优先级的延迟和响应时间更短。 如果无论其他并发流量如何，应用都要求最少延迟，则建议使用优先级 3。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。

1. 选择端口 0 用于写入 APB1 外设寄存器（直接连接），端口 1 用于访问存储器。

3.5.3 通用定时器（TIM2/3/4/5/15/16/17）

通用定时器包含一个 16 位或 32 位自动重载计数器，该计数器由可编程预分频器驱动。TIM2/3/4/5/15/16/17 可用于各种用途，如测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较、PWM 和可能的具有死区时间插入的互补 PWM）。

在执行 GPDMA 传输时，定时器不支持突发模式。由于每当需要写入/读取 32 位或 16 位数据/控制寄存器时定时器都会发送新的 GPDMA 请求，因此所有读取/写入传输都必须以单次数据模式由 GPDMA 控制器进行处理。

定时器请求可用于下列操作：

- 在基础模式下对 `TIMx_ARR` 执行 32 位写入，以便在计数器上溢/下溢时更新输出波形和周期
- 对 `TIMx_CCRy` ($x = 1、8$ 且 $y = 1$ 至 4) 执行 32 位读取，以便以输入捕获模式获取新的锁存计数器值
- 对 `TIMx_CRRy` ($x = 1、8$ 且 $y = 1$ 至 4) 执行 32 位写入，以便以输出比较模式更新输出比较寄存器（占空比）
- 在 PWM 输出/调制模式下对 `TIMx_RCR` ($x = 1、8$) 执行 16 位/32 位写入，以便在 `TIMx_ARR` 给出周期且 `TIMx_CCR` 给出占空比的同时更新重复计数器
- 在输入 PWM 模式下对 `TIMx_CCR1` 和 `TIMx_CCR2` 执行 32 位读取，分别获取周期和脉宽的锁存计数器
- 在定时器“突发”模式下对中间 `TIMx_DMAR` 寄存器执行一系列 32 位写入，或者在定时器“突发”模式下从中间 `TIMx_DMAR` 寄存器执行一系列 32 位读取

定时器支持多个单次访问，以便通过一个入口点重新定向到达/来自定时器寄存器的值。这一通过一个入口点写入多个定时器寄存器的定时器功能称为“突发”。GPDMA 可在有任何设定的硬件事件/请求（在 `timx_chy_dma`、`timx_upd_dma`、`timx_trg_dma` 和 `timx_com_dma` 可能事件中）时以单次模式多次执行数据传输。此定时器“突发”功能不同于第 2.5 节 中定义的并在本文档（以及产品参考手册的 GPDMA 部分）中广泛使用的 GPDMA 突发，不得与之混淆。

对 GPDMA 的定时器请求是可设定且灵活的：它与设定事件的发生相关（而非定时器计数器的实时值）。定时器请求与写入/读取特定定时器计数器之间并非紧耦合。可以读取/写入任何定时器寄存器，具体取决于应用（与其他外设相反）。

建议分配端口 0 用于外设寄存器访问（由于 AHB/APB 桥的直接连接），端口 1 用于存储器访问（以便平衡流量），并分配通道 0 至 11 和高优先级（使传输延迟尽可能少受其他流量的影响）。参见第 2.4 节了解更多信息，特别是定时器的时效性应用。

对于某些应用需求，对 GPDMA 的定时器请求可用于发起不涉及定时器寄存器读取/写入但涉及其他存储器映射位置的数据传输，如存储器至存储器的传输。在这种情况下，GPDMA 端口分配策略不得考虑定时器寄存器位置，而应考虑源/目标位置。

TIM2 和 TIM15 分别生成触发信号 `tim2_trgo` 和 `tim15_trgo`，可用作任何 GPDMA 传输的触发信号。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 33. TIM2/3/4/5/15/16/17 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO（单位、大小）	外设寄存器访问	注释
<code>timx_chy_dma</code> (x = 2 至 5 且 y = 1 至 4) 或 (x = 15 至 17 且 y = 1)	APB1 (用于 TIM2/3/4/5) APB2 (用于 TIM15/16/17)	无	32 位写入 <code>TIMx_ARR</code> (基础模式) 或 32 位写入 <code>TIMx_CCRy</code> (输出比较/PWM 模式) 或 32 位读取 <code>TIMx_CCRy</code> (输入捕获模式)	在发生输入捕获事件或输出比较事件时请求
<code>timx_up_dma</code> (x = 2 至 5、15 至 17)			对 <code>TIMx_DMAR</code> 的一系列 32 位写入	在发生更新事件时请求
<code>timx_trig_dma</code> (x = 3、5、15)			对 <code>TIMx_DMAR</code> 的一系列 32 位写入	在发生触发事件时请求
<code>tim15_com_dma</code>				在发生换相事件时请求

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 34. TIM2/3/4/5/15/16/17 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位 (或 16 位, 用于 <code>TIMx_RCR</code>)	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 TIMx 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB1/APB2 TIMx。给定优先级的延迟和响应时间更短。 如果无论其他并发流量如何，应用都要求最少延迟，则建议使用优先级 3。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。

1. 选择端口 0 用于读取/写入 APB1/APB2 外设寄存器（直接连接），端口 1 用于访问存储器。如果要访问的存储器位置不是定时器寄存器，则忽略此建议。

3.5.4 高级控制定时器（TIM1/8）

高级控制定时器包含 16 位自动重载计数器，该计数器由可编程预分频器驱动。TIM1/8 可用于各种用途，如测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较、PWM 和具有死区时间插入的互补 PWM）。

在执行 GPDMA 传输时，定时器不支持突发模式。由于每当需要写入/读取 32 位或 16 位数据/控制寄存器时定时器都会发送新的 GPDMA 请求，因此所有读取/写入传输都必须以单次数据模式由 GPDMA 控制器进行处理。

定时器请求可用于下列操作：

- 在基础模式下对 TIMx_ARR 执行 32 位写入，以便在计数器上溢/下溢时更新输出波形和周期
- 对 TIMx_CCRy (x = 1、8 且 y = 1 至 4) 执行 32 位读取，以便以输入捕获模式获取新的锁存计数器值
- 对 TIMx_CCRy (x = 1、8 且 y = 1 至 4) 执行 32 位写入，以便以输出比较模式更新输出比较寄存器和占空比
- 在 PWM 输出/调制模式下对 TIMx_RCR (x = 1、8) 执行 16 位/32 位写入，以便在 TIMx_ARR 给出周期且 TIMx_CCR 给出占空比的同时更新重复计数器
- 在输入 PWM 模式下对 TIMx_CCR1 和 TIMx_CCR2 执行 32 位读取，分别获取周期和脉宽的锁存计数器
- 在定时器“突发”模式下对中间 TIMx_DMAR 寄存器执行一系列 32 位写入，或者在定时器“突发”模式下从中间 TIMx_DMAR 寄存器执行一系列 32 位读取。定时器支持多个单次访问，以便通过一个入口点重定向到达/来自定时器寄存器的值。这一通过一个入口点写入多个定时器寄存器的定时器功能称为“突发”。GPDMA 可在有任何设定的硬件事件/请求（在 timx_chy_dma、timx_upd_dma、timx_trg_dma 和 timx_com_dma 可能事件中）时以单次模式多次执行数据传输。此定时器“突发”功能不同于第 2.5 节中定义的并在本文档（以及产品参考手册的 GPDMA 部分）中广泛使用的 GPDMA 突发，不得与之混淆。

对 GPDMA 的定时器请求是可设定且灵活的：它与设定事件的发生相关（而非定时器计数器的实时值）。定时器请求与写入/读取特定定时器计数器之间并非紧耦合，可以读取/写入任何定时器寄存器，具体取决于应用（与其他外设相反）。

建议分配端口 0 用于外设寄存器访问（由于 AHB/APB 桥的直接连接），端口 1 用于存储器访问（以便平衡流量），并分配通道 0 至 11 和高优先级（使传输延迟尽可能少受其他流量的影响）。参见第 2.4 节了解更多信息，特别是定时器的时效性应用。

对于某些应用需求，对 GPDMA 的定时器请求可用于发起不涉及定时器寄存器读取/写入但涉及其他存储器映射位置的数据传输，如存储器至存储器的传输。在这种情况下，GPDMA 端口分配策略不得考虑定时器寄存器位置，而应考虑源和目标位置。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 35. TIM1/8 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
timx_chy_dma (x = 1、8 且 y = 1 至 4) 或 (x = 15 到 17 且 y = 1)	APB2	无	非紧耦合的定时器寄存器 读取/写入 通常为 对 TIMx_CCRy 的 32 位 读取/写入 或 对 TIMx_RCR 的 16/32 位读取/写入 或 对 TIMx_DMAR 的一系 列 32 位读取/写入 (x = 1、8 且 y = 1 至 4)	在发生输入捕获事件或输出比较事件时请求
timx_up_dma (x = 1、8)			在发生更新事件时请求	
timx_trig_dma (x = 1、8)			在发生触发事件时请求	
timx_com_dma (x = 1、8)			在发生换相事件时请求	

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 36. TIM1/8 的 GPDMA 建议

GPDMA 源/目标 端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位 (或 16 位, 用于 TIMx_RCR)	1	通常为 0 至 11	由于有从 GPDMA 到 APB 桥的直接连接（架构层面）且 TIM1/8 连接了 APB 桥，GPDMA1 端口 0 被优化用于连接 APB2 TIM1/8。给定优先级的延迟和响应时间更短。 如果无论其他并发流量如何，应用都要求最少延迟，则建议使用优先级 3。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。

1. 选择端口 0 用于读取/写入 APB2 外设寄存器（直接连接），端口 1 用于访问存储器。如果要访问的存储器位置不是定时器寄存器，则忽略此建议。

3.6 加密外设的 GPDMA 配置

3.6.1 哈希处理器 (哈希)

哈希完全兼容安全散列算法（SHA-1、SHA-224 和 SHA-256）、MD5（消息摘要算法 5）哈希法和 HMAC（密钥哈希消息认证码）算法。HMAC 适合需要消息的应用。

哈希实现提出了一种 DMA 模式。哈希生成 GPDMA 请求，使用户能够执行单次或突发 GPDMA 写入传输。每当外设需要时，硬件使用 GPDMA 请求信号请求 GPDMA 写入新的输入。请求可以是请求写入 32 位单次数据或写入 4（32 位）字突发。GPDMA 写入 HASH_IN 寄存器。必须用 32 位目标源数据宽度、固定地址和长度为 1 或 4 的突发访问此哈希寄存器。

哈希实现对 HASH_IN 寄存器使用 16 字 FIFO。

为了获得最佳 GPDMA 性能，建议分配使用 8 字 FIFO 的通道 12 至 15。如果分配了这样的通道，则还可设定并实现用于写入存储器的 4 字突发。

如果通道 12 至 15 已被占用，则分配通道 0 至 11，同时建议设定固定的 4 字突发写入，以便获得更高性能。这使得请求信号 hash_in_dma 能够在 GPDMA 和哈希之间的硬件中按硬件突发请求（而非单次）进行处理。已知两个相同哈希请求之间必须发生至少 4 个 AHB 时钟周期，通过设定的突发可以提高传输速率。在存储器端，由 32 位单次读取（原因在于 FIFO 大小）执行传输。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 37. 哈希外设信息

到达 GPDMA 的 外设请求	外设总线	外设 FIFO（单 位、大小）	外设寄存器访问	注释
hash_in_dma	AHB2	16 字 FIFO	写入 32 位 HASH_IN	哈希输入数据寄存器（HASH_IN）可通过单字或通过 4 字突发进行写入。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 38. 哈希的 GPDMA 建议

GPDMA 目标端口	GPDMA 目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1 或 4	12 至 15（为了突发性能，如可用） 否则为 0 至 11（仅以单次模式工作）	默认推荐设置还平衡了每个端口的带宽（源端口 0 用于写入外设，目标端口 1 用于读取存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

3.6.2 AES 硬件加速器（AES）

AES 硬件加速器使用完全符合联邦信息处理标准（FIPS）出版物 197 中规定的高级加密标准（AES）的算法和实现来加密/解密数据。

对于大小为 128 或 256 位的密钥，AES 支持 CTR、GCM、GMAC、CCM、ECB 和 CBC 链接模式。

AES 执行 128 位块加密处理，并实现一个 128 位输入缓冲区/FIFO 和一个 128 位输出缓冲区/FIFO。

在执行 GPDMA 传输时，此外设不支持突发模式。由于每次需要写入/读取输入/输出 32 位数据时外设都会发送新的 GPDMA 请求，因此所有传输都必须以单次数据模式由 GPDMA 控制器进行处理。GPDMA 用设定的 32 位源/目标数据宽度和固定地址对相关 32 位数据寄存器执行读/写访问。

可以分配通道 0 至 11（以及通道 12 至 15，特别是当要写入的存储器是外部存储器时）。

下表总结了主要的外设特性：到达 GPDMA 的不同硬件请求信号，外设连接的外设总线，以及必须将相应外设寄存器设定为读取自/写入到哪个 GPDMA。

表 39. AES 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO（单位、大小）	外设寄存器访问	注释
aes_in_dma	AHB2	128 位/4 字输入缓冲区	写入 32 位 AES_DINR	请求 GPDMA 写入新的 32 位输入数据
aes_out_dma		128 位/4 字输出缓冲区	读取 32 位 AES_DOUTR	请求 GPDMA 读取新的 32 位输出数据

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 40. AES 的 GPDMA 建议

GPDMA 源/目标端口	GPDMA 源/目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 0 ⁽¹⁾	32 位	1	通常为 0 至 11	默认推荐设置还平衡了每个端口的带宽（源端口 0 用于写入外设，目标端口 1 用于读取存储器）。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 最好使用通道 0 至 11，以便释放其他通道用于二维操作或存储器拷贝，或者方便外设请求更大内部 DMA FIFO 用于管理突发操作。 为了提高突发性能，可分配通道 12 至 15（使用 8 字 FIFO）中的一个。

1. 若无特殊要求，默认推荐用端口 0 访问外设寄存器，用端口 1 访问存储器。

3.6.3 安全 AES 协处理器（SAES）

SAES 是 AES 的安全版。第 3.6.2 节 中所示的所有数据均有效。唯一的区别是 GPDMA 请求信号的名称（saes_in_dma 和 saes_out_dma）。

3.7 通用 I/O 的 GPDMA 配置

GPDMA 还可以控制通用 I/O（GPIO）或低功耗通用 I/O（LPGPIO），即使无特殊的硬件 GPDMA 请求。存储器至存储器配置中的 GPDMA 可以控制 I/O（以及输出中的数据等）。对于 LPGPIO，即使功耗低至停机 2 模式，LPDMA 仍能工作并控制最多 16 个 I/O。

3.8 外部存储器的 GPDMA 配置

3.8.1 八线 SPI 接口（OCTOSPI）

有两个 Octo-SPI 接口实例（OCTOSPI1 和 OCTOSPI2）。

OCTOSPI 支持大多数外部存储器，如串行 PSRAM、串行 NAND 和串行 NOR Flash、HyperRAM™ 和 HyperFlash™ 存储器。

间接模式下的 OCTOSPI 为将读取/写入数据传输至其外设寄存器提出了一种 DMA 模式。OCTOSPI 通过其嵌入式 32 字节 FIFO 支持突发模式。

每当外设需要时，硬件使用 GPDMA 请求信号 octospix_dma（x = 1、2）请求 GPDMA 读取/写入新的突发。GPDMA 读取/写入 OCTOSPI_DR 数据寄存器。可通过 32 位字对齐读访问，用设定的源数据宽度（通常为 8、16 或 32 位）和固定地址访问此 32 位数据寄存器。

在 OCTOSPI 端通过用 1 至 32 字节突发大小设定 OCTOSPI_CR 中的 FIFO 阈值 FTHRES[4:0] 来定义突发。

推荐将具有 32 字节 FIFO 的通道 12 至 15 分配为 GPDMA 通道。然后，可以执行大小等于其 FIFO 大小一半的突发（至多 16 字节、8 半字或 4 字突发）。这意味着在 OCTOSPI 端设定十进制值 15（FTHRES[0] = 15）。

为了最大限度降低 AHB 总线负载，最好使用 32 位数据宽度，除非应用需要字节级或半字数据管理。

下表总结了主要的外设特性：到达 GPDMA 的硬件请求信号，OCTOSPI 连接的外设总线，以及必须将外设寄存器设定为读取自/写入到哪个 GPDMA。

表 41. OCTOSPI 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
octospix_dma (x = 1、2)	AHB_OCTOSPIx (总线矩阵的专用目标)	32 字节 FIFO	读取/写入 OCTOSPI_DR	如果 32 位数据宽度适用，则建议通过设定的 4 字突发访问 OCTOSPI 数据寄存器。

下表显示了要用来提供不同外设请求的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发（仅单次数据模式）。

表 42. OCTOSPI 的 GPDMA 建议

GPDMA 目标端口	GPDMA 目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 1 ⁽¹⁾	4 字 (首选) 否则为 8 半字或 16 字节	1	12 至 15 (为了 突发性能)	默认端口分配 (端口 0 分配给外设，端口 1 分配给外部存储器) 能够为存储器至外设和外设至存储器的传输平衡各个端口的带宽。此外，还可避免至存储器的突发直接影响外设访问的延迟。 为了适应具体的应用需求，可以修改源和目标传输的 GPDMA 端口选择。 为了提高突发性能，可分配通道 12 至 15 (使用 8 字 FIFO) 中的一个。

1. 若无特殊要求，默认推荐用端口 1 访问外部存储器。

在 SDR 和 DTR 模式下，OCTOSPI 通信时钟的最大频率为 100 MHz (请参考产品数据手册了解更多信息)。

3.8.2 灵活的静态存储控制器 (FSMC)

FSMC (又称 FMC) 包含两个存储控制器：

- 同步/异步 NOR 或 PSRAM/SRAM/FRAM 存储控制器
- 异步 NAND 存储控制器

FMC 没有要求 GPDMA 传输的具体请求。GPDMA 可配置为执行存储器到存储器的数据传输，FMC 是源存储器或目标存储器。

如果外部存储器是异步存储器，则建议将 GPDMA 配置为仅以单次数据模式执行传输且数据宽度等于存储器的接口总线宽度 (8 或 16 位)。为避免 AHB 总线和分配的 GPDMA 端口长时间停滞，以及不强制以高延迟服务其他 GPDMA 请求，必须避免编程突发。

如果外部存储器是同步存储器，则还须将读取配置为 8 或 16 位数据宽度的单次事务，以使 AHB 总线不暂停。

如果外部存储器是同步存储器，则由于 FSMC 实现了 16 字写入 FIFO，必须通过 GPDMA 突发写入 FSMC。如果此 FIFO 已满，则在突发完成之前，FSMC 将暂停 AHB 总线和分配的 GPDMA。然后，必须通过 GPDMA 块写入存储器，块大小不超过写入 FIFO 全满时对应的大小。软件必须等待 FSMC 将其 FIFO 清空，然后才能进行下一次块传输。为了能够执行 4 字、8 半字或 16 字节突发，分配的 GPDMA 通道必须是通道 12 至 15。

表 43. FMC 外设信息

到达 GPDMA 的外设请求	外设总线	外设 FIFO (单位、大小)	外设寄存器访问	注释
-	AHB_FMC (总线矩阵的专用目标)	16 字写入 FIFO	-	对外部 FMC 存储器空间的直接读/写访问

下表显示了要用来提供 FMC 的支持和推荐 GPDMA 设置：GPDMA 端口分配，GPDMA 通道分配，以及就数据宽度和突发长度而言的设定 GPDMA 突发。

表 44. FMC 的关于读取的 GPDMA 建议

GPDMA 源端口	GPDMA 源突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 1 ⁽¹⁾	8 或 16 位	1	0 至 11	通过单次模式读取 默认端口分配（端口 0 分配给外设，端口 1 分配给存储器）还能 为存储器至外设和外设至存储器的传输平衡各个端口的带宽。 为了适应具体的应用需求，可以修改 FMC 源传输的 GPDMA 端口 选择。

1. 若无特殊要求，默认推荐用端口 1 访问外部存储器。

表 45. FMC 的关于写入的 GPDMA 建议

GPDMA 目标端口	GPDMA 目标突发		GPDMA 通道	注释
	GPDMA 数据宽度	GPDMA 突发长度		
端口 1 ⁽¹⁾	32 位（首选） 否则为 8 或 16 位	4 字（首选） 或 8 半字或 16 字节	12 至 15（为了 写入突发性能）	默认端口分配（端口 0 分配给外设，端口 1 分配给存储器）能够 为存储器至外设和外设至存储器的传输平衡各个端口的带宽。此 外，还可避免至存储器的写入突发直接影响外设访问的延迟。 为了适应具体的应用需求，可以修改 FMC 目标传输的 GPDMA 端 口选择。 为了提高写入突发性能，可分配通道 12 至 15（使用 8 字 FIFO） 中的一个。

1. 若无特殊要求，默认分配端口 1 用于存储器访问。

4 系统性能

为了控制不同 GPDMA 请求传输的高效执行，需要理解微控制器架构：在优化总线带宽效率和最大限度减少资源使用量/负载（总线/资源使用量、总线开销和 AHB/APB 频率）的同时，在预期时间内完成传输（与应用要求相比，具有可接受的延迟和完成时间）。

前面几节定义了 GPDMA 特性，并为获得最佳性能提供了关于执行 GPDMA 数据传输的用户指南。后面几节将描述影响性能的其他关键点。

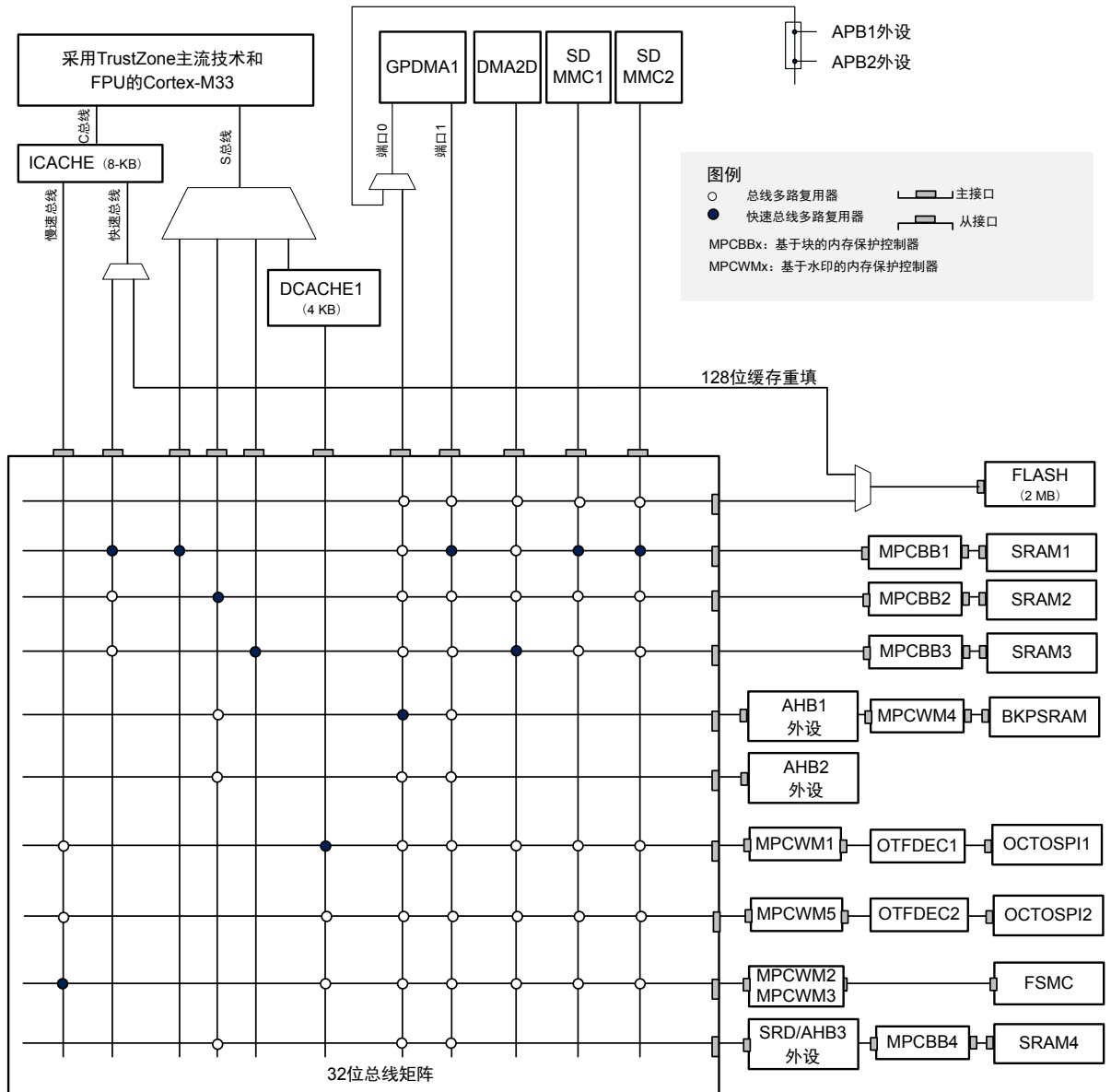
4.1 系统总线

STM32U575/585 器件内置多主/多从架构（参见图 2），具有将以下对象互连的 32 位多层 AHB 总线矩阵：

- 最多 11 个主设备：
 - 快速 C 总线，通过指令缓存将 Cortex-M33（采用 TrustZone 主流技术和 FPU 核心 C 总线）连接到内部 SRAM
 - 慢速 C 总线，通过指令缓存将 Cortex-M33（采用 TrustZone 主流技术和 FPU 核心 C 总线）连接到内部 SRAM
 - 采用 TrustZone 主流技术和 FPU 核心 S-Bus 的 Cortex-M33（三个主设备连接到三个内部 SRAM，无延迟）
 - 采用 TrustZone 主流技术和 FPU 核心 S-Bus 的 Cortex-M33 通过数据缓存连接到外部存储器
 - GPDMA1 具有两个主设备端口
 - SDMMC1/2 外设总线
 - Chrom-ART 加速器（DMA2D）总线
- 最多 10 个从设备：
 - 连接到多层总线矩阵的内部 Flash 接口
 - 主要内部 SRAM1 和辅助内部 SRAM（SRAM2、SRAM3）
 - AHB1 外设（包括 AHB-to-APB 总线桥和 APB 外设）
 - AHB2 外设（如 OCTOSPI1、OCTOSPI2、FMC 或 DCMI/PSSI）
 - SmartRun 域（SRD）AHB3 外设和 SRAM4，包括 AHB-to-APB 桥和 APB 外设（连接到 APB3）
 - FMC
 - OCTOSPI1/2

主设备和从设备通过多层总线矩阵相连接，即使在多个高速外设同时工作时也能确保并行存取和高效操作。

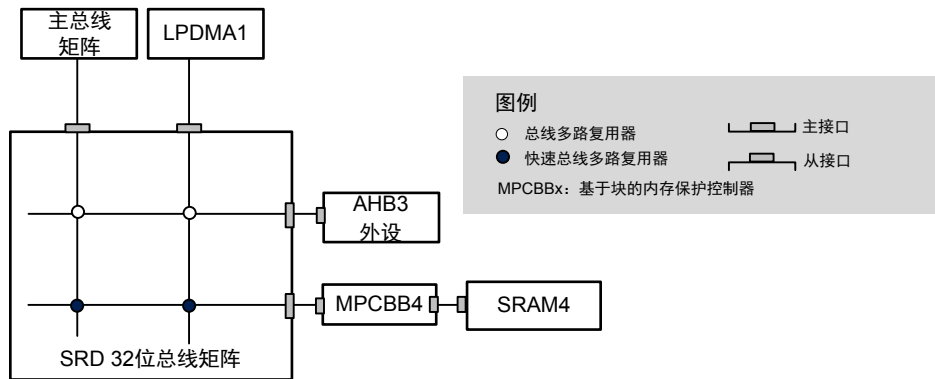
图 2. STM32U575/585 系统架构



GPDMA 可在运行、睡眠和停机 1 模式下访问 SRD 外设。SRD 包含 LPDMA（低功耗 DMA），LPDMA 可在低功耗停机 2 模式下激活。SRD 架构具有将下列对象互连的 32 位 AHB 总线矩阵：

- 两个主器件：
 - 主 AHB 总线矩阵
 - LPDMA，具有一个主设备端口，无 FIFO，只有一个 AHB 事务
- 两个从器件：
 - AHB3 外设，包括连接到 APB3 的 AHB-to-APB 桥
 - 内部 SRAM4

图 3. SRD 系统架构



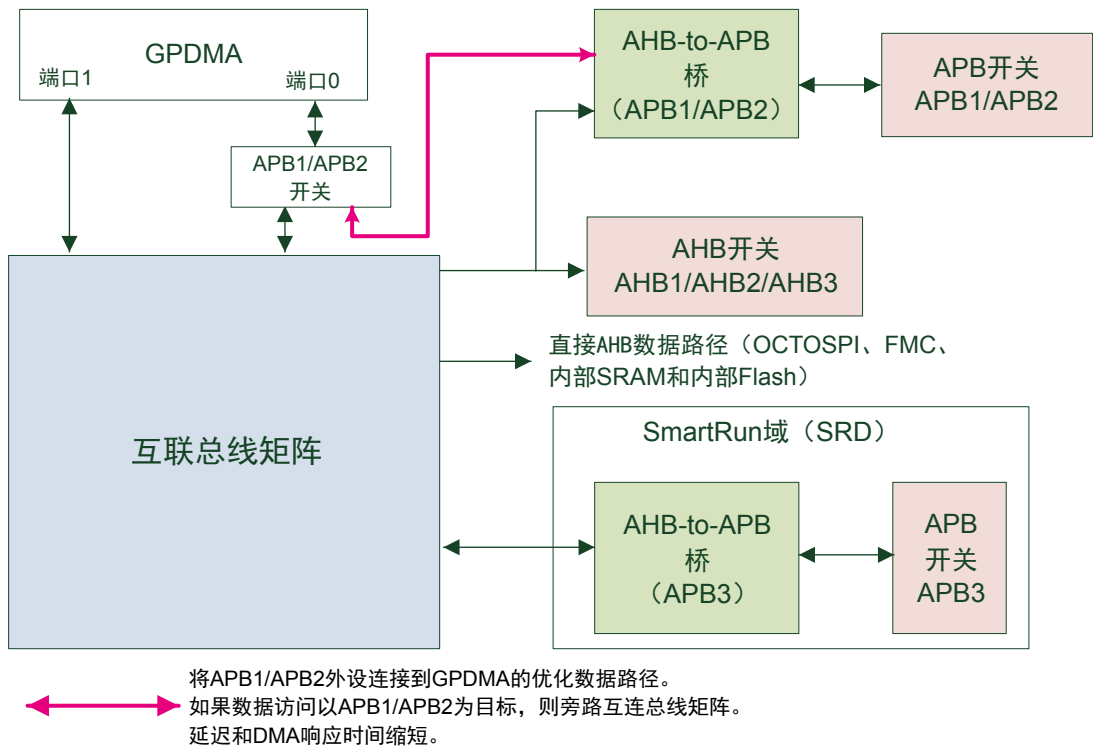
4.2 GPDMA

GPDMA 有两个用于实现 AHB 传输并行化的主设备端口。可通过这两个端口进行同步传输。每个端口发生的 GPDMA 仲裁如下：

- 16 个可能请求的基于 FIFO 的读取突发之间基于优先级的仲裁（参见图 1）
- 16 个可能请求的基于 FIFO 的写入突发之间基于优先级的仲裁（参见图 1）
- 读取和写入之间最终的 Round-Robin 仲裁阶段

GPDMA 端口 0 与 APB1/APB2 外设之间有直接连接，如下图所示。

图 4. 延迟优化（GPDMA 端口 0 上映射的 APB1/2 外设）



第 2.3 节 和第 2.4 节 中描述了对 GPDMA 端口分配和优先级分配应用的策略和指导方针。

4.3 总线矩阵

多层 AHB 总线矩阵支持从许多不同 AHB 主设备并行访问许多共享 AHB 从设备。总线矩阵改善了传输并行性，有助于缩短传输执行时间和优化共享资源利用。

4.3.1 AHB 总线定义

- **AHB 主设备：**总线主设备发起读取/写入 AHB 单次/突发传输。在给定时间点，只有一个主设备能够获得总线所有权。
- **AHB 从设备：**总线从设备响应来自主设备的 AHB 传输。总线从设备将信号路由回主设备，以便通知关于访问成功、失败或等待状态的情况。
- **AHB 仲裁器：**总线仲裁器确保在给定时间点只有一个主设备能够访问从设备。
- **AHB 总线矩阵：**将 AHB 主设备与 AHB 从设备互连的开关矩阵。它为每个从设备实现了一个 Round-Robin AHB 仲裁器。

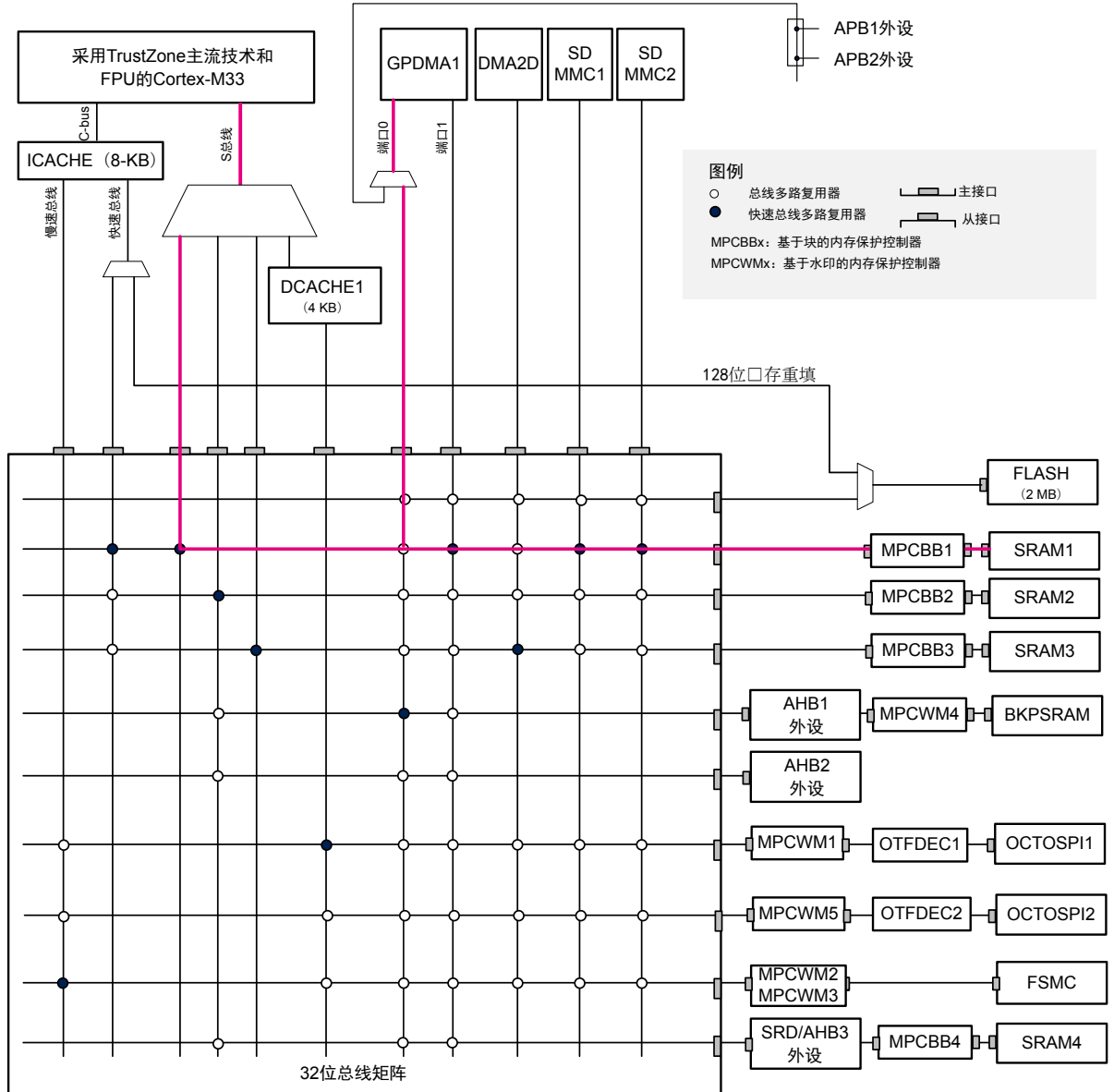
4.3.2 总线矩阵 Round-Robin 仲裁

为每个从设备实现了总线矩阵仲裁，以便对其来自并发主设备的访问进行仲裁。此类 Round-Robin 仲裁能够实现共享资源在时间上的公平分配（参见图 5 中的示例）和有限延迟。用以下规则实现 Round-Robin 算法：

- **Round-Robin 的最小单位是一次 AHB 传输。**如果另一个主设备端口等待访问从设备，则将在每次传输时进行总线切换。
- **主设备端口具有指定的默认从设备。**
 - 在访问默认从设备时，主设备端口得到：
 - 在其首次访问默认从设备时的 0 周期仲裁处罚（前提是总线空闲）
 - 0 周期重新仲裁处罚，并立即被允许通过背靠背事务再次访问默认从设备，前提是无其他主设备等待共享从设备
 - 在访问非默认从设备时，主设备端口得到：
 - 在其首次访问非默认从设备时的 1 周期仲裁处罚（前提是总线空闲）
 - 1 周期重新仲裁处罚，并被允许再次访问非默认从设备，前提是其背靠背传输之间至少有一个死区时钟周期/等待状态（即使无其他主设备等待共享从设备）。
 - 如果其背靠背传输之间无死区时钟周期/等待状态，则 0 周期重新仲裁处罚，并被允许再次访问非默认从设备（前提是无其他主设备等待共享从设备）。

下图显示了 CPU 和 GPDMA 尝试访问 SRAM1 的示例。

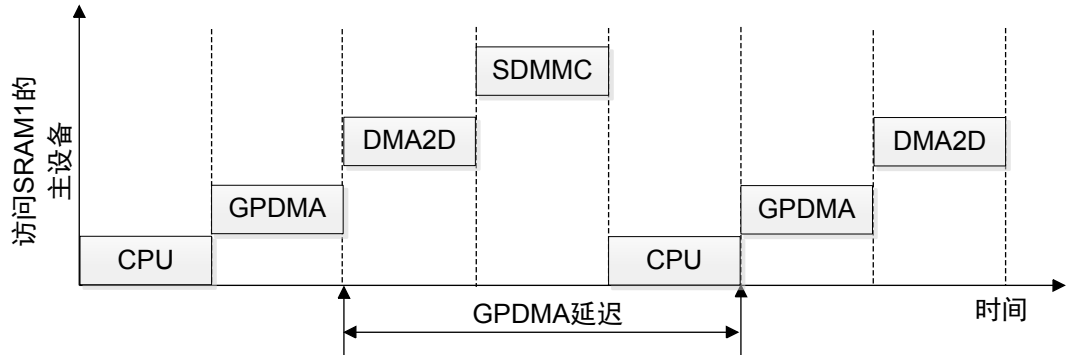
图 5. CPU 和 GPDMA 请求访问 SRAM1 的示例



如果从 CPU 和 GPDMA 并发访问，则总线矩阵仲裁将裁定对 SRAM1 的访问。如果上一次访问来自 CPU，则在下一次访问期间，GPDMA 赢得总线并访问 SRAM1。之后，CPU 可再次访问 SRAM1。

一个主设备为访问从设备而引发的传输延迟取决于其他主设备为访问同一 AHB 从设备而发起的其他待处理传输的数量。下图描述了另一个示例，其中有四个主设备同时尝试访问 SRAM1。

图 6. 四个主设备请求访问 SRAM1 的示例



以上示例中与 GPDMA (突发) 传输访问总线和 SRAM1 相关的延迟的增加量是来自其他主设备的所有待处理请求的执行时间之和。例如，如果 DMA2D 以突发模式访问 SRAM1，则 GPDMA 访问延迟的增加量为 DMA2D 突发的延迟。

提示 通过配置编译器，将加载/存储多重指令分解为单个加载/存储指令，可以缩短由 LDM/STM 指令发起的 CPU 传输引起的延迟。

4.4 总线 (AHB 和 APB) 开关

如图 4 所示，STM32U575/585 器件中嵌入了多个 AHB/APB 开关，用于解码/多路复用 AHB/APB 信号。总线开关不会增加传输延迟/执行时间的周期损失。

4.5 SRAM

4.5.1 传输延迟和执行时间

SRAM 访问延迟是从 AHB 总线接口来看，用来完成突发/单一读/写访问的 SRAM 执行时间。

GPDMA 写入是不可缓冲的写入。在 STM32U575/585 器件中，可缓冲的写访问仅限于通过数据缓存进行的对外部存储器的 CPU 访问。

SRAM 不会引进 AHB 访问的额外等待状态。SRAM 读/写访问的 8、16 或 32 位 GPDMA 传输 (单次) 需要 2 个 AHB 时钟周期来完成访问 (一个用于地址阶段，一个用于数据阶段)。

在 SRAM 总线接口完成:

- GPDMA 单次传输 (1x NONSEQ) 需要 2 个周期。
- GPDMA 4 拍增量突发传输 (1x NONSEQ + 3x SEQ) 需要 5 个周期。

在 SRAM 总线接口，为了传输 SRAM 中位于连续地址位置的 4 字，通过单次传输需要 8 个 AHB 时钟周期，而通过突发传输只需要 5 个周期 (传输不进行仲裁且不被前面的其他并发传输先占)。

GPDMA 还在两次存储器访问之间插入 1 个周期。如果寻址得到的 SRAM 不是默认从设备 (前提是不通过 GPDMA 端口 1 访问 SRAM1)，总线矩阵将插入另一个周期。因此，为了完成传输:

- 止于 SRAM 的 GPDMA 单次读取/写入传输需要 3 至 4 个周期。
- 止于 SRAM 的 GPDMA 4 字增量突发读取/写入传输需要 6 至 7 个周期。

下表根据分配的通道及其 FIFO 大小（参见第 2.2 节 和第 2.5 节），给出了完成到达 SRAM 的设定（半）传输的延迟。

表 46. 止于 SRAM 的 GPDMA 读取/写入传输的延迟（4 拍突发与单次的比较）

设定的 GPDMA（半）传输 (始于/止于 FIFO 止于/始于 SRAM)	通道编号	读取/写入延迟（周期数）
单	0 至 11	3 至 4
	12 至 15	
4 字增量突发	0 至 11 ⁽¹⁾	3 至 4 ⁽²⁾
	12 至 15	6 至 7

1. 通道 0 至 11 具有 2 字 FIFO。然后，通过 4 次单次传输实现设定的 4 字突发。
2. 实现的单次传输的延迟。

如果第一次传输延迟增加 3 个周期，则 4 字的延迟缩短 3 个周期。相比于单次传输，执行突发可以更早地完成缓冲区传输。

4.5.2

传输速率/吞吐率和带宽

除了 SRAM 传输延迟，还必须考虑（连续）传输速率方面的性能（可获得的最大数据吞吐率）。

SRAM 吞吐率是每秒传输的数据量。对于给定的 AHB 工作频率，SRAM 吞吐率是每个 AHB 时钟周期传输的（推荐 32 位）数据量。

32 位 AHB 总线架构包含：

- 专用地址总线
- 用于读取和写入数据的专用总线
- 就地址和数据而言的 1 周期流水线传输（在同一时钟周期，在上一次传输的数据阶段发生传输寻址）

SRAM 不会引入处罚。如此才能维持一次 32 位读取或写入的每周期传输速率。GPDMA 和 AHB 总线无法达到这样高的吞吐率。

下表提供了当源缓冲区和目标缓冲区都位于 SRAM 中时，根据分配的通道和设定的突发长度，通过处于存储器至存储器模式的 GPDMA 通道复制缓冲区时达到的传输速率。

表 47. GPDMA 处于存储器至存储器模式时的 SRAM（读取+写入）传输速率（4 拍突发与单次的比较）

止于/始于 SRAM 的设定 GPDMA（半）传输	通道编号	周期数 (每个传输数据/节拍)	使用 100 MHz AHB 时钟时的 传输速率 (Mtransfer/s)
单独	0 至 11	3.5 至 4	25 至 28
	12 至 15	2 至 4 ⁽¹⁾	25 至 50
4 字增量突发	0 至 11 ⁽²⁾	3.5 至 4	25 至 28
	12 至 15	1.6 至 2.2	45 至 62

1. 通道 12 与通道 0 之间在单次传输上得到改善（2 个周期对比 3.5 个周期）的原因是 8 字 FIFO 先于 2 字 FIFO 达到执行下一次单次传输的就绪状态。
2. 通道 0 至 11 具有 2 字 FIFO。然后，通过 4 次单次传输实现设定的 4 字突发。吞吐率与单次传输相同。

上面的表格显示，设定了 4 字突发的通道 12 至 15 传输每个字/节拍平均只需要 1.6 个周期，而通道 0 至 11 和单字传输平均需要至少 3.5 个周期。因此，在分配的支持突发模式的通道上设定突发可达到约两倍于单次传输的效率：

- 对于给定的缓冲区复制，所需 GPDMA 流量占用的总线少了一半。
- 对于给定的带宽预算，GPDMA 传输速率性能提高了两倍。

与单次传输相比，通过突发传输执行止于/始于 SRAM 的传输有两方面的优势：

- 可获得的传输速率更高，能够维持更高性能。
- 总线负载/使用量更低，释放了总线（以及总线矩阵和前面的其他主设备端口）以使其他并发传输能够以给定频率工作，或者/并且能够以更低工作频率达到给定流量。

建议为用于 SRAM 的存储器至存储器 GPDMA 传输分配 GPDMA 通道 12 至 15 中的一个，并设定尽可能多的突发（长度 4 和 32 位数据宽度）。这样一来，性能将不受外设端的限制，而外设至存储器和存储器至外设的传输则受此限制。

4.6 AHB-to-APB 桥

APB 外设生成对 GPDMA 的硬件请求。分配和配置的 GPDMA 通道生成始于相应 APB 寄存器的读取传输（存储器至外设模式）或止于 APB 寄存器的写入传输（外设至存储器模式）。

第 3 节 提供了以 DMA 模式工作的 APB 外设的详尽列表以及相应的 GPDMA 设定。在本节中，建议让 GPDMA 只生成单次传输（长度为 1 的 GPDMA 突发）作为读取或对 APB 寄存器的不可缓冲写入。

4.6.1 AHB-to-APB 桥仲裁

APB1 和 APB2 外设可通过直接路径从 GPDMA 主设备端口 0 并发访问，或者通过总线矩阵 AHB1 输出路径上的 AHB 开关从任意 CPU 或 GPDMA 主设备端口 1 并发访问。

通过一次 APB 传输（最小单位）的 Round-Robin 仲裁，在 AHB-to-APB 桥层面解决并发访问。

在 APB3 的前面，AHB-to-APB 桥内部无仲裁。

4.6.2 AHB-APB 时钟比

到达 APB 外设寄存器的传输延迟受 APB 与 AHB 时钟比的影响。当比率为 1 时，为最佳情况。当 APB 时钟的运行频率低于 AHB 时钟时，延迟增加。

4.6.3 AHB-to-APB 桥传输延迟

下表显示了从 AHB-to-APB 桥的 AHB 接口到 APB 外设寄存器之间的 GPDMA 传输执行时间/延迟（作为单次传输）（未从另一个主设备到 APB1 或 APB2 外设的并发/待处理传输时）。

表 48. 到达 APB 寄存器的 AHB-to-APB 桥读取/写入（单次）传输延迟

AHB/APB 时钟比	读取延迟（AHB 时钟周期）	写入延迟（AHB 时钟周期）
1:1	4	4 至 5
1:2	5 至 6	
1:4	9 至 12	
1:8	17 至 24	

GPDMA 增加一个时钟周期延迟，总线仲裁可能增加一个时钟周期。下表列出了在以下前提下，完成对 APB 外设寄存器的单次读取/写入的 GPDMA 传输延迟：

- 另一个 GPDMA 通道和 CPU 都不会对寻址的 APB1/2/3 总线生成并发流量
- APB 外设不插入任何等待状态

表 49. 到达 APB 寄存器的 GPDMA 读取/写入传输延迟

AHB/APB 时钟比	读取延迟（AHB 时钟周期）	写入延迟（AHB 时钟周期）
1:1	5 至 6	
1:2	6 至 8	
1:4	10 至 14	
1:8	18 至 26	

版本历史

表 50. 文档版本历史

日期	版本	变更
2021 年 9 月 24 日	1	初始版本。
2021 年 12 月 3 日	2	更新了整篇文档的内容。
2021 年 12 月 13 日	3	更新了第 3.5.1 节 低功耗定时器 (LPTIM1/2/3/4)。

目录

1	概述	2
2	GPDMA 通用指南	3
2.1	GPDMA 概述	3
2.2	GPDMA 通道分配	3
2.3	GPDMA 端口选择	3
2.4	GPDMA 通道优先级	4
2.5	GPDMA 突发	5
2.6	GDMA 请求	6
3	外设、存储器和 GPDMA 配置	7
3.1	内部存储器的 GPDMA 配置	7
3.2	模拟外设的 GPDMA 配置	8
3.2.1	模数转换器 ADC1	8
3.2.2	模数转换器 ADC4	9
3.2.3	数模转换器 DAC	10
3.3	图形外设 DCMI（数字摄像头接口）的 GPDMA 配置	10
3.4	通信、音频和数学运算外设的 GPDMA 配置	11
3.4.1	外设同步从设备接口（PSSI）	11
3.4.2	内部集成电路接口（I2C）	12
3.4.3	通用同步/异步低功耗收发器（USART/UART/LPUART）	13
3.4.4	串行外设接口（SPI）	14
3.4.5	串行音频接口（SAI）	15
3.4.6	USB Type-C®/USB 电力传输接口（UCPD）	16
3.4.7	音频/多功能数字滤波器（ADF/MDF）	17
3.4.8	滤波器数学加速器（FMAC）	18
3.4.9	CORDIC 协处理器	19
3.5	定时器的 GPDMA 配置	20
3.5.1	低功耗定时器（LPTIM1/2/3/4）	20
3.5.2	基本定时器（TIM6/7）	21
3.5.3	通用定时器（TIM2/3/4/5/15/16/17）	22
3.5.4	高级控制定时器（TIM1/8）	23

3.6	加密外设的 GPDMA 配置	25
3.6.1	哈希处理器 (哈希)	25
3.6.2	AES 硬件加速器 (AES)	26
3.6.3	安全 AES 协处理器 (SAES)	27
3.7	通用 I/O 的 GPDMA 配置	27
3.8	外部存储器的 GPDMA 配置	27
3.8.1	八线 SPI 接口 (OCTOSPI)	27
3.8.2	灵活的静态存储控制器 (FSMC)	28
4	系统性能	30
4.1	系统总线	30
4.2	GPDMA	32
4.3	总线矩阵	33
4.3.1	AHB 总线定义	33
4.3.2	总线矩阵 Round-Robin 仲裁	33
4.4	总线 (AHB 和 APB) 开关	35
4.5	SRAM	35
4.5.1	传输延迟和执行时间	35
4.5.2	传输速率/吞吐率和带宽	36
4.6	AHB-to-APB 桥	37
4.6.1	AHB-to-APB 桥仲裁	37
4.6.2	AHB-APB 时钟比	37
4.6.3	AHB-to-APB 桥传输延迟	37
	Revision history	38
	目录	39
	表一览	41
	图一览	42

表一览

表 1.	GPDMA 通道编号和 FIFO 大小	3
表 2.	不同数据宽度和通道编号可获得的最大 GPDMA 突发长度	5
表 3.	ADC1 外设信息	8
表 4.	ADC1 的 GPDMA 建议	8
表 5.	ADC4 外设信息	9
表 6.	ADC4 的 GPDMA 建议	9
表 7.	DAC 外设信息	10
表 8.	DAC 的 GPDMA 建议	10
表 9.	DCMI 外设信息	10
表 10.	DCMI 的 GPDMA 建议	11
表 11.	PSSI 外设信息	11
表 12.	PSSI 的 GPDMA 建议	12
表 13.	I2C 外设信息	12
表 14.	I2C 的 GPDMA 建议	13
表 15.	U(S)ART 和 LPUART 外设信息	13
表 16.	U(S)ART 和 LPUART 的 GPDMA 建议	14
表 17.	SPI 外设信息	15
表 18.	SPI 的 GPDMA 建议	15
表 19.	SAI 外设信息	16
表 20.	SAI 的 GPDMA 建议	16
表 21.	UCPD 外设信息	17
表 22.	UCPD 的 GPDMA 建议	17
表 23.	ADF/MDF 外设信息	18
表 24.	ADF/MDF 的 GPDMA 建议	18
表 25.	FMAC 外设信息	19
表 26.	FMAC 的 GPDMA 建议	19
表 27.	CORDIC 外设信息	20
表 28.	CORDIC 的 GPDMA 建议	20
表 29.	LPTIM1/2/3 外设信息	21
表 30.	LPTIM1/2/3 的 GPDMA 建议	21
表 31.	TIM6/7 外设信息	22
表 32.	TIM6/7 的 GPDMA 建议	22
表 33.	TIM2/3/4/5/15/16/17 外设信息	23
表 34.	TIM2/3/4/5/15/16/17 的 GPDMA 建议	23
表 35.	TIM1/8 外设信息	24
表 36.	TIM1/8 的 GPDMA 建议	25
表 37.	哈希外设信息	25
表 38.	哈希的 GPDMA 建议	26
表 39.	AES 外设信息	26
表 40.	AES 的 GPDMA 建议	27
表 41.	OCTOSPI 外设信息	28
表 42.	OCTOSPI 的 GPDMA 建议	28
表 43.	FMC 外设信息	28
表 44.	FMC 的关于读取的 GPDMA 建议	29
表 45.	FMC 的关于写入的 GPDMA 建议	29
表 46.	止于 SRAM 的 GPDMA 读取/写入传输的延迟 (4 拍突发与单次的比较)	36
表 47.	GPDMA 处于存储器至存储器模式时的 SRAM (读取+写入) 传输速率 (4 拍突发与单次的比较)	36
表 48.	到达 APB 寄存器的 AHB-to-APB 桥读取/写入 (单次) 传输延迟	37
表 49.	到达 APB 寄存器的 GPDMA 读取/写入传输延迟	37
表 50.	文档版本历史	38

图一览

图 1.	GPDMA 仲裁政策	4
图 2.	STM32U575/585 系统架构	31
图 3.	SRD 系统架构	32
图 4.	延迟优化（GPDMA 端口 0 上映射的 APB1/2 外设）	32
图 5.	CPU 和 GPDMA 请求访问 SRAM1 的示例	34
图 6.	四个主设备请求访问 SRAM1 的示例	35

IMPORTANT NOTICE – PLEASE READ CAREFULLY

STMicroelectronics NV and its subsidiaries (“ST”) reserve the right to make changes, corrections, enhancements, modifications, and improvements to ST products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on ST products before placing orders. ST products are sold pursuant to ST’s terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of ST products and ST assumes no liability for application assistance or the design of Purchasers’ products.

No license, express or implied, to any intellectual property right is granted by ST herein.

Resale of ST products with provisions different from the information set forth herein shall void any warranty granted by ST for such product.

ST and the ST logo are trademarks of ST. For additional information about ST trademarks, please refer to www.st.com/trademarks. All other product or service names are the property of their respective owners.

Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2021 STMicroelectronics – All rights reserved