

STM32F030xx 和 STM32F070xx 系列  
硬件开发入门

## 引言

本应用笔记为系统开发者们提供了所需的开发板特性硬件实现概述，如供电电源、时钟管理、复位控制、启动模式设置、调试管理。它显示了如何使用 STM32F0x0xx 产品系列，说明了开发应用所需的最低硬件资源。

本文档包含详细参考设计原理图以及主要组件、接口和模式的相关说明。

表 1. 适用产品

类型	产品编号
微控制器	STM32F030F4, STM32F030CC, STM32F030RC, STM32F030C6, STM32F030K6, STM32F030C8, STM32F030R8, STM32F070C6, STM32F070CB, STM32F070F6, STM32F070RB.

注：本文档中，为 STM32F030xx 器件使用的标记是 STM32F030，为 STM32F070xx 器件使用的标记是 STM32F070。如果涉及的是两个系列，则会使用 STM32F0x0 标记。引脚数和内存大小不会影响该硬件说明。

# 目录

<b>1</b>	<b>STM32F0x0 系列的供电和复位源</b>	<b>6</b>
1.1	供电方案	6
1.1.1	独立模拟供电	7
1.1.2	调压器	7
1.2	复位和供电监控	8
1.2.1	上电复位 (POR)/ 掉电复位 (PDR)	8
1.2.2	系统复位	9
<b>2</b>	<b>时钟</b>	<b>11</b>
2.1	高速外部时钟信号 (HSE) OSC 时钟	12
2.2	LSE 时钟	13
2.3	HSI 时钟	13
2.4	LSI 时钟	13
2.5	ADC 时钟	14
2.6	时钟安全系统 (CSS)	14
<b>3</b>	<b>启动配置</b>	<b>15</b>
<b>4</b>	<b>调试管理</b>	<b>17</b>
4.1	前言	17
4.2	SWD 接口 (串行线调试)	17
4.3	引脚排列和调试接口引脚	17
4.3.1	串行线调试 (SWD) 引脚分配	17
4.3.2	SWD 引脚分配	18
4.3.3	SWD 引脚上的内部上拉和下拉	18
4.3.4	使用标准 SWD 连接器的 SWD 接口连接	18
<b>5</b>	<b>建议</b>	<b>19</b>
5.1	印刷电路板	19
5.2	元件位置	19
5.3	接地和供电 ( $V_{DD}$ 、 $V_{DDA}$ )	19
5.4	去耦	19
5.5	其它信号	20

---

5.6	不使用的 I/O 和特性 .....	20
<b>6</b>	<b>参考设计 .....</b>	<b>21</b>
6.1	说明 .....	21
6.1.1	时钟 .....	21
6.1.2	复位 .....	21
6.1.3	启动模式 .....	21
6.1.4	SWD 接口 .....	21
6.1.5	电源 .....	21
6.1.6	引脚排列和引脚说明 .....	21
6.2	元件参考 .....	22
<b>7</b>	<b>从 STM32F1 系列到 STM32F0x0 器件的硬件移植 .....</b>	<b>24</b>
<b>8</b>	<b>版本历史 .....</b>	<b>25</b>

## 表格索引

表 1.	适用产品 .....	1
表 2.	系统复位 .....	10
表 3.	启动模式 .....	15
表 4.	SWD 接口引脚 .....	17
表 5.	必备元件 .....	22
表 6.	可选元件 .....	22
表 7.	STM32F1 和 STM32F030 系列引脚排列的区别 .....	24
表 8.	文档版本历史 .....	25
表 9.	中文文档版本历史 .....	25

## 图片索引

图 1.	供电方案 .....	6
图 2.	肖特基二极管连接 .....	7
图 3.	上电复位 / 掉电复位波形 .....	8
图 4.	复位电路简图 .....	9
图 5.	HSE/LSE 时钟源 .....	12
图 6.	主机到板的连接 .....	17
图 7.	SWD 接口连接 .....	18
图 8.	$V_{DD}/V_{SS}$ 引脚对的典型布局 .....	20
图 9.	STM32F030 微控制器参考原理图 .....	23

# 1 STM32F0x0 系列的供电和复位源

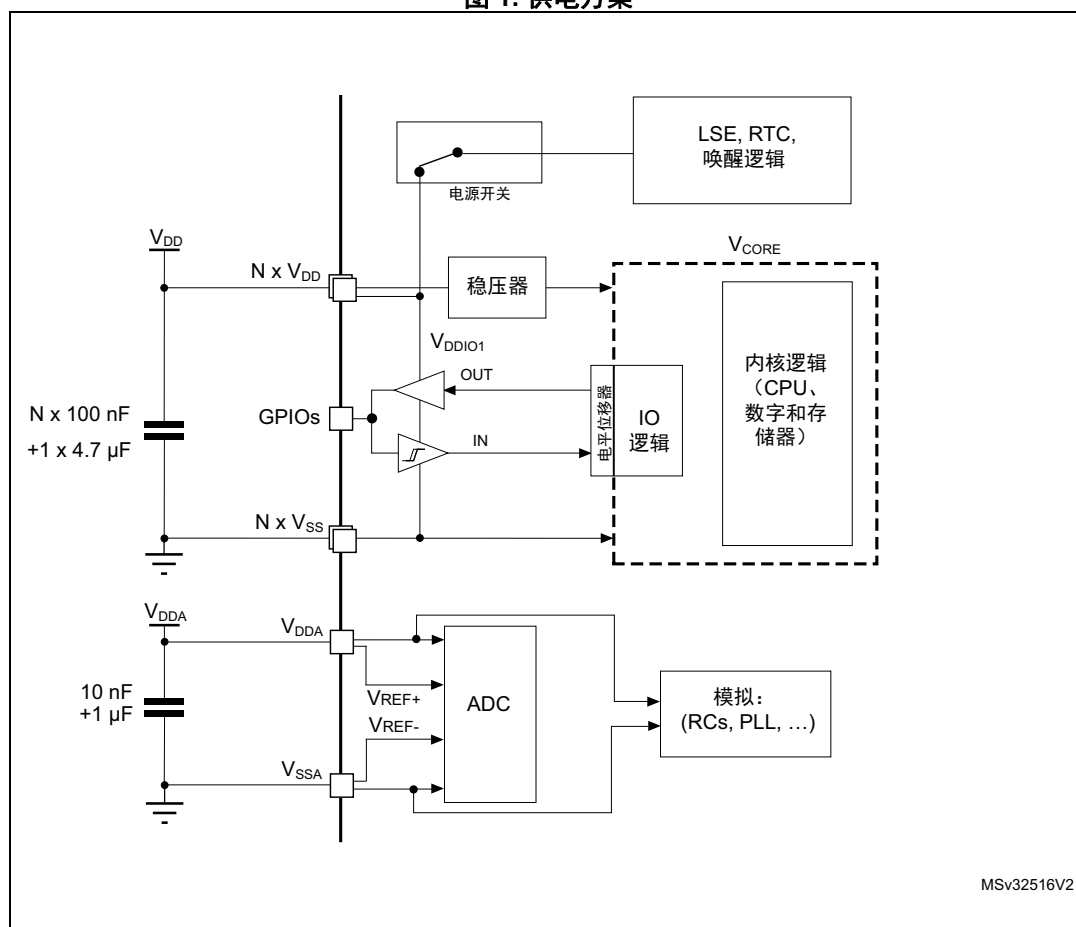
## 1.1 供电方案

STM32F0x0 系列包含不同的产品，各产品使用的供电方案也有所不同，其中包含的内部稳压器可为内核和数字逻辑提供内部 1.8 V 电源。

有多种供电方案：

- $V_{DD}$  从 2.4 V 到 3.6 V：I/O 和内部 1.8 V 域的外部电源。通过  $V_{DD}$  引脚从外部提供。
- $V_{DDA}$  从  $V_{DD}$  到 3.6 V：ADC、复位模块、HSI、HSI14、LSI 和 PLL 的外部模拟电源。  
 $V_{DDA}$  电平必须一直大于等于  $V_{DD}$  电平，且必须首先提供。

图 1. 供电方案



### 1.1.1 独立模拟供电

为了提高转换精度、扩展供电的灵活性，模拟域配有独立电源，可以单独滤波并屏蔽 PCB 上的噪声。

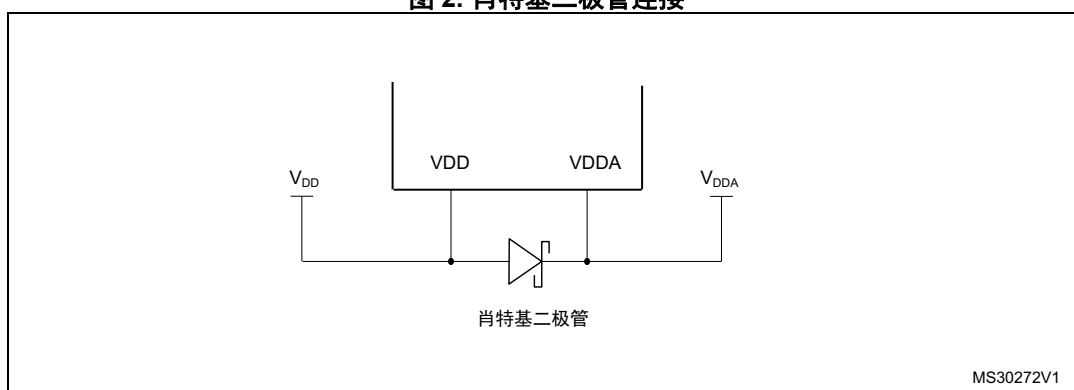
- ADC 电压源从单独的 VDDA 引脚输入。
- VSSA 引脚提供了独立的电源接地连接。

$V_{DDA}$  供电可大于等于  $V_{DD}$ 。这使得  $V_{DD}$  在保持为低的同时仍可为模拟块提供全部性能。

当使用单供电时， $V_{DDA}$  必须外部连接至  $V_{DD}$ ，为得到无噪声的  $V_{DDA}$ ，建议使用外部滤波电路。

当  $V_{DDA}$  不等于  $V_{DD}$  时， $V_{DDA}$  必须一直大于等于  $V_{DD}$ 。在开机 / 关机期间，为在  $V_{DDA}$  和  $V_{DD}$  之间保持安全的电位差，可在  $V_{DD}$  和  $V_{DDA}$  之间使用外部肖特基二极管。请参考数据手册以得到最大允许的电位差。

图 2. 肖特基二极管连接



### 1.1.2 调压器

此调压器在复位后始终处于使能状态。

在两种模式下工作：

- 主调压器 (MR) 用于正常工作模式 (运行)。
- 低功耗 (LPR) 可用于停止模式以降低功耗需求。

在待机模式中，调压器处于掉电模式。在该模式中，调压器输出高阻抗，内核电路掉电，包括零功耗，寄存器和 SRAM 的内容将丢失。但可以使用以下功能 (若配置)：

- 独立的看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。
- 实时时钟 (RTC)：通过 RTC 域控制寄存器 (RCC\_BDCR) 中的 RTCEN 位进行配置。
- 内部低速振荡器 (LSI)：通过控制 / 状态寄存器 (RCC\_CSR) 中的 LSION 位进行配置。
- 外部 32.768 kHz 振荡器 (LSE)：通过 RTC 域控制寄存器 (RCC\_BDCR) 中的 LSEON 位进行配置。

## 1.2 复位和供电监控

### 1.2.1 上电复位 (POR)/ 掉电复位 (PDR)

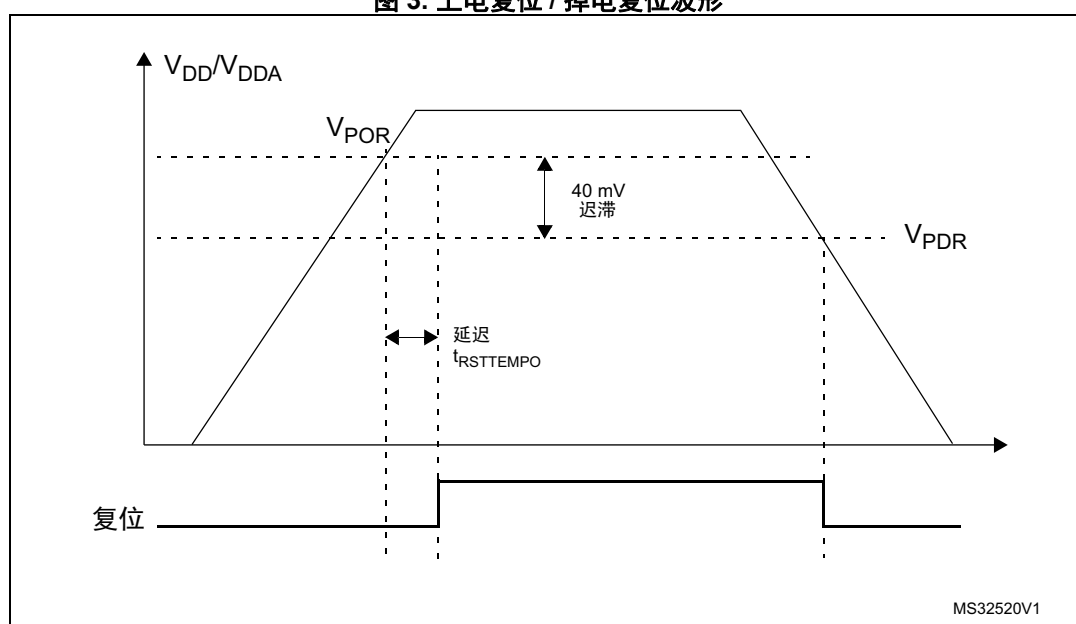
芯片内部集成了开机复位 (POR) 和关机复位 (PDR) 电路，它们一直有效，确保了在 2.4 V 门限之上正常工作。

当供电电压低于指定阈值  $V_{POR/PDR}$  时，芯片无需外部复位电路便会保持复位状态。

- POR 仅监测  $V_{DD}$  供电电压。在启动阶段， $V_{DDA}$  必须先到达，且大于等于  $V_{DD}$ 。
- PDR 监控  $V_{DD}$  和  $V_{DDA}$  这两个供电电压。然而，若应用设计可确保  $V_{DDA}$  大于等于  $V_{DD}$ ，则可禁用  $V_{DDA}$  供电监控器（方法是编程一个专用选项位  $V_{DDA\_MONITOR}$ ），以降低功耗。

有关上电 / 掉电复位阈值的相关详细信息，请参见数据手册的电气特性部分。

图 3. 上电复位 / 掉电复位波形





## 1.2.2 系统复位

除了时钟控制寄存器 CSR 中的复位标志和 RTC 域中的寄存器外，系统复位会将其它全部寄存器都复位为复位值。只要发生以下事件之一，就会产生系统复位：

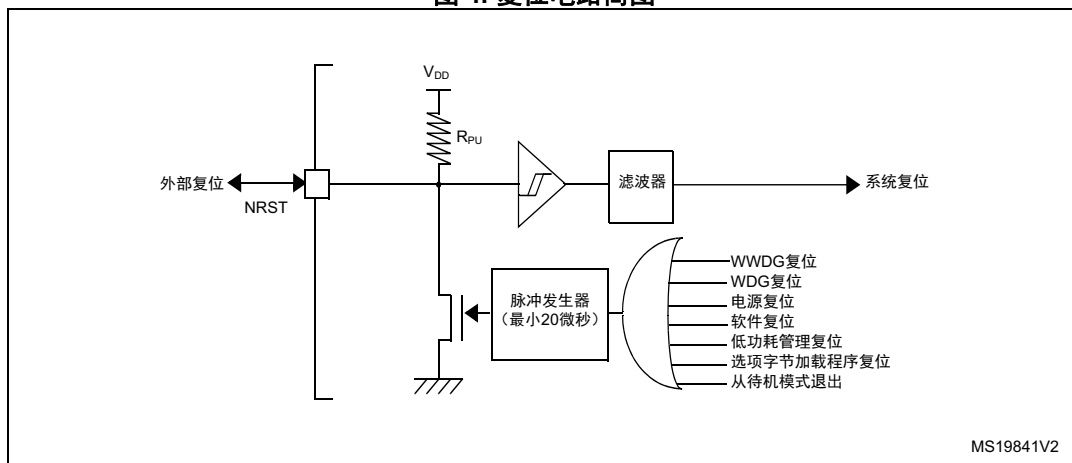
- NRST 引脚低电平（外部复位）
- 系统窗口看门狗事件（WWDG 复位）
- 独立看门狗事件（IWDG 复位）
- 软件复位（SW 复位）
- 低功耗管理复位
- 选项字节加载复位
- 电源复位。

可通过查看控制 / 状态寄存器（RCC\_CSR）中的复位标志确定复位源。

RESET 复位入口向量在存储器映射中固定在地址 0x0000\_0004。

芯片内部的复位信号会向 NRST 引脚上输出一个低电平脉冲。脉冲发生器可确保每个内部复位源的复位脉冲都至少持续 20  $\mu$ s。对于外部复位，在 NRST 引脚处于低电平时产生复位。

图 4. 复位电路简图



### 软件复位

要对器件进行软件复位，必须将 Cortex-M0 应用中断和复位控制寄存器中的 SYSRESETREQ 位置 1。有关详细信息，请参见 Cortex<sup>®</sup>-M0 技术参考手册。

### 低功耗模式安全复位

为了防止关键应用错误地进入低功耗模式，提供了两种低功耗模式安全复位。如果在选项字节中使能，则在下列情况下会产生这种复位：

- 进入待机模式：此复位的使能方式是清零用户选项字节中的 nRST\_STDBY 位。使能后，只要成功执行进入待机模式序列，器件就将复位，而非进入待机模式。
- 进入停止模式：此复位的使能方式是清零用户选项字节中的 nRST\_STOP 位。使能后，只要成功执行进入停止模式序列，器件就将复位，而非进入停止模式。

### 选项字节加载复位

当 OBL\_LAUNCH（位 13）在 FLASH\_CR 寄存器中置位时，产生选项字节加载复位。此位通过软件启动选项字节加载。

### 电源复位

电源复位会将所有寄存器设为其复位值，但 RTC 域除外。请参见表 2。

### RTC 域复位

RTC 域复位仅会影响 RTC、LSE 和 LSI。仅当发生以下事件中的一个时，才会生成 RTC 域复位。请参见表 2。

表 2. 系统复位

模式	电源复位	RTC 域复位
POR/PDR 复位	是	是
退出待机模式	是	否
将 RCC_BDCR 的 BDRST 位置 1	否	是

## 2 时钟

可以使用不同的时钟源来驱动系统时钟 (SYSCLK):

- HSI 8 MHz RC 振荡器时钟 (高速内部时钟信号)
- HSE 振荡器时钟 (高速外部时钟信号)
- PLL 时钟

器件具有其它次级时钟源:

- 40 kHz 低速内部 RC (LSI RC), 该 RC 用于驱动独立看门狗, 也可选择提供给 RTC 用于停机 / 待机模式下的自动唤醒。
- 32.768 kHz 低速外部晶振 (LSE 晶振), 用于驱动 RTC。
- 专用于 ADC 的 HSI 14MHz RC 振荡器 (HSI14)。

对于每个时钟源来说, 在未使用时都可单独打开或者关闭, 以降低功耗。有关时钟树的说明, 请参见基于 *STM32F030x4/6/8/C* 和 *STM32F070x6/B* 高级 ARM® 的 32 位 MCU 参考手册 (RM0360)。

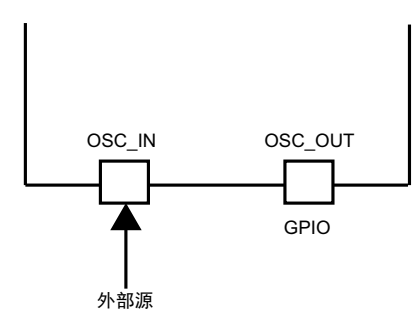
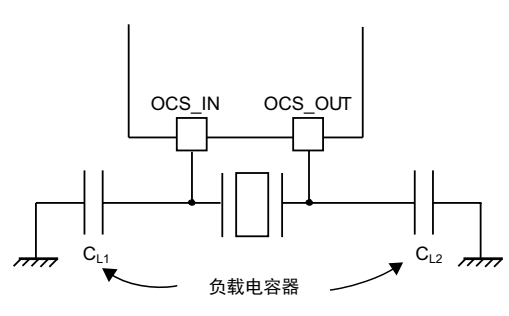
## 2.1 高速外部时钟信号 (HSE) OSC 时钟

高速外部时钟信号有 2 个时钟源：

- HSE 外部晶振 / 陶瓷谐振器
- HSE 用户外部时钟。

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选谐振器的不同做适当调整。

图 5. HSE/LSE 时钟源

时钟源	硬件配置
外部时钟	 <p style="text-align: right;">MS35507V1</p>
晶振 / 陶瓷谐振器	 <p style="text-align: right;">MS35508V1</p>

### 外部晶振 / 陶瓷谐振器（HSE 晶振）

4 到 32 MHz 外部振荡器的优点是频率精度非常高。有关相关硬件配置的详细信息，请参见数据手册的电气特性部分。

时钟控制寄存器（RCC\_CR）中的 HSERDY 标志指示了 HSE 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在时钟中断寄存器（RCC\_CIR）中使能中断，则可产生中断。

HSE 晶振可通过时钟控制寄存器（RCC\_CR）中的 HSEON 位打开或关闭。

### 外部源（HSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 32 MHz。此模式通过将 [时钟控制寄存器 \(RCC\\_CR\)](#) 中的 HSEBYP 和 HSEON 位置 1 进行选择。必须使用占空比为 ~40-60% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC\_IN 引脚，具体取决于频率（参考数据手册），同时 OSC\_OUT 引脚用作 GPIO。请参见 [图 5](#)。

## 2.2 LSE 时钟

LSE 晶振是 32.768 kHz 低速外部晶振或陶瓷谐振器，可作为实时时钟 (RTC) 的时钟源来提供时钟 / 日历或其它定时功能，具有功耗低且精度高的优点。

LSE 晶振通过 RTC 域控制寄存器 (RCC\_BDCR) 中的 LSEON 位打开和关闭。使用 RTC 域控制寄存器 (RCC\_BDCR) 中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳健性、短启动时间和低功耗之间的最佳平衡。

RTC 域控制寄存器 (RCC\_BDCR) 中的 LSERDY 标志指示了 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在时钟中断寄存器 (RCC\_CIR) 中使能中断，则可产生中断。

### 外部源（LSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。此模式通过将 RTC 域控制寄存器 (RCC\_BDCR) 中的 LSEBYP 和 LSEON 位置 1 进行选择。必须使用外部时钟信号（方波、正弦波或三角波）来驱动 OSC32\_IN 引脚，同时 OSC32\_OUT 引脚可用作 GPIO。请参见 [图 5](#)。

## 2.3 HSI 时钟

HSI 时钟信号由内部 8 MHz RC 振荡器生成，可直接用作系统时钟，或者用作 PLL 输入。HSI RC 振荡器的优点是成本较低（无需使用外部组件）。此外，其启动速度也要比 HSE 晶振块，但即使校准后，其频率精度也不及外部晶振或陶瓷谐振器。

### 校准

由于制造工艺存在差异，各芯片的 RC 振荡器频率可能有所不同。因此，可以将 HSI 时钟连接至 MCO 复用器，随后，时钟可输入到定时器 14，从而允许用户校准振荡器。

## 2.4 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率约为 40 kHz（30 kHz 到 60 kHz 之间）。有关详细信息，请参见数据手册的电气特性部分。

## 2.5 ADC 时钟

ADC 时钟是专用的 14 MHz RC 振荡器 (HSI14) 或 PCLK 除以 2 或 4。如果 ADC 时钟来自 PCLK，则其所在相位与 PCLK 相反。14 MHz RC 振荡器可通过软件进行配置，可使用 ADC 接口配置为打开 / 关闭 (“自动关闭模式”)，也可配置为始终启用。

## 2.6 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

- 若 HSE 振荡器时钟上检测到故障，则振荡器自动禁用。
  - 一个时钟故障事件将被发送到 TIM1 高级控制定时器、TIM15、TIM16 和 TIM17 通用定时器的断路输入。
  - 生成中断，告知软件该故障的信息 (时钟安全系统中断 CSSI)，令 MCU 执行恢复工作。
  - CSSI 与 Cortex<sup>®</sup>-M0 NMI (不可屏蔽中断) 异常向量相链接。
- 如果直接或间接使用 HSE 振荡器作为系统时钟 (间接是指它用作 PLL 输入时钟，PLL 时钟用作系统时钟)，检测到故障时会导致系统时钟切换到 HSI 振荡器并禁用外部 HSE 振荡器。当故障发生时，若 HSE 振荡器时钟 (分频或不分频) 为正在用作系统时钟的 PLL 时钟输入，则也会禁用该 PLL。

有关详细信息，请参见 STMicroelectronics 网站 [www.st.com](http://www.st.com) 上提供的基于 *TM32F030x4/6/8/C* 和 *STM32F070x6/B* 高级 ARM<sup>®</sup> 的 32 位 MCU 参考手册 (RM0360)。

### 3 启动配置

在 STM32F0x0 中，可通过 BOOT0 引脚和用户选项字节中的 nBOOT1 位来选择三种不同的启动模式，如下表所示：

表 3. 启动模式

启动模式配置		模式
nBOOT1 位	BOOT0 引脚	
x	0	选择主 Flash 作为启动空间 <sup>(1)</sup>
1	1	选择系统存储器作为启动空间
0	1	选择嵌入式 SRAM 作为启动空间

1. 对于 STM32F070x6 和 STM32F030xC 器件，另请参见空数据检查的说明。

启动模式配置会在复位后锁存在 SYSCLK 的第四个上升沿。将由用户来设置与所需启动模式相关的启动模式配置。

退出待机模式时，还会重新对启动模式配置进行采样。因此，当处于待机模式时，这些引脚必须保持所需的启动模式配置。启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的启动存储器开始执行代码。

根据所选的启动模式，主 Flash 存储器、系统存储器或 SRAM1 可如下访问：

- 从主 Flash 存储器启动：主 Flash 存储器在启动存储器空间（0x0000 0000）中有别名，但也可从它原来的存储器空间（0x0800 0000）访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从系统存储器启动：系统存储器在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（STM32F030x4、STM32F030x6 和 STM32F030x8 器件上的 0x1FFF EC00，STM32F070x6 器件上的 0x1FFF C400，STM32F070xB 器件上的 0x1FFF C800 以及 STM32F030xC 器件上的 0x1FFF D800）进行访问。
- 从嵌入式 SRAM 启动：SRAM 在启动内存空间（0x0000 0000）中有别名，但也可从它原来的内存空间（0x2000 0000）访问。

#### 空数据检查

仅会在 STM32F070x6 和 STM32F030xC 器件上采用内部空数据检查标记，从而可轻松通过启动程序对原始器件进行编程。当 BOOT0 引脚将主 Flash 存储器定义为目标启动空间时，会使用此标记。标记被置位后，器件会被视为空存储器，会选择系统存储器（启动程序）代替主 Flash 存储器作为启动空间，以允许用户对 Flash 存储器进行编程。

此标记仅会在选项字节加载期间进行更新：当地址 0x08000 0000 的内容读为 0xFFFF FFFF 时，此标记会置位，否则会清零。这意味着将原始器件设定为在系统复位后执行用户代码之后，需要开机或将 FLASH\_CR 寄存器中的 OBL\_LAUNCH 位置 1 才能清空此标记。

**注：** 如果器件是首次进行编程设定，但选项字节未重新载入，器件在系统复位后仍将选择系统存储器作为启动空间。启动程序代码能够检测到此情况，并将启动存储器映射改为主 Flash 存储器并跳转到主 Flash 存储器中设定的用户代码处。

### 物理重映射

选择启动模式后，应用软件可修改可在代码区域中访问的存储器。这种修改是通过对 SYSCFG 配置寄存器 1 (SYSCFG\_CFGR1) 中的 MEM\_MODE 进行编程设定实现的。与 Cortex<sup>®</sup> M3 和 M4 不同，M0 CPU 不支持向量表迁移。如果应用程序代码不在 0x0800 0000 这一位置，必须额外添加一些代码才能为应用程序中断提供服务。一种解决方法是通过软件将向量表迁移到内部 SRAM：

- 将向量表从 Flash 存储器（映射在应用程序加载基址处）复制到 SRAM 的基址 0x2000 0000 处。
- 使用 SYSCFG 配置寄存器 1 将 SRAM 重映射到地址 0x0000 0000 处。
- 之后，一旦发生中断，Cortex<sup>®</sup>-M0 处理器将从 SRAM 中的迁移向量表中获取中断处理程序起始地址，随后将跳转至该地址处执行位于 Flash 中的中断处理程序。

此操作应在应用程序初始化阶段完成。更多详细信息，请参见 [www.st.com](http://www.st.com) 上的应用笔记使用 USART 对 STM32F0xx 进行应用内编程 (AN4065) 以及随附的 IAP 代码。

### 嵌入式启动程序

嵌入式启动程序位于片内引导程序中，由 ST 在生产阶段编程。它用于通过以下串行接口重新编程 Flash。

- PA14/PA15 或 PA9/PA10 引脚上的 USART
- PB6/PB7 引脚上的 I2C（仅限 STM32F070xx 和 STM32F030xC 器件）
- USB DFU 接口（仅限 STM32F070xx 器件）

更多详细信息，请参见应用笔记 STM32 微控制器系统存储器启动模式 (AN2606)。

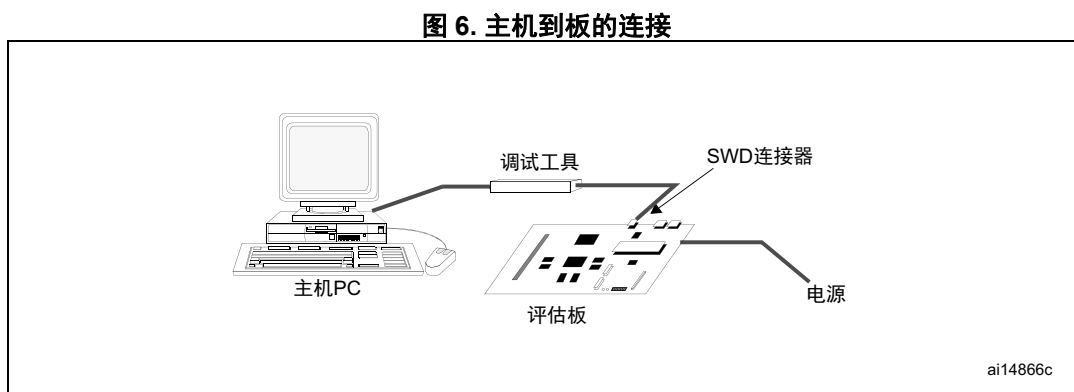


## 4 调试管理

### 4.1 前言

主机 / 目标接口为连接主机与应用板的硬件设备。此接口由三部分组成：硬件调试工具、SWD 连接器，以及连接主机与调试工具的电缆。

图 6 显示了主机到评估板的连接。



### 4.2 SWD 接口（串行线调试）

STM32F0x0 内核集成了串行线调试端口 (SW-DP)。这是 ARM<sup>®</sup> 标准的 CoreSight<sup>™</sup> 调试端口，配有用于连接调试访问端口的双引脚（时钟 + 数据）接口。

### 4.3 引脚排列和调试端口引脚

STM32F0x0 MCU 的不同封装有不同的有效引脚数。

#### 4.3.1 串行线调试 (SWD) 引脚分配

所有 STM32F0x0 封装上都采用该 SWD 引脚分配。

表 4. SWD 端口引脚

SWD 引脚名称	SWD 端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入 / 输出	PA13
SWCLK	I	串行线时钟	PA14

### 4.3.2 SWD 引脚分配

复位 (SYSRESETn 或 PORESETn) 后, 将用于 SWD 的引脚指定为专用引脚, 可供调试工具立即使用。

但是, MCU 为禁用 SWD 提供了可能, 因此可释放相关引脚供通用 I/O (GPIO) 使用。更多关于如何禁用 SWD 端口的信息, 请查阅参考手册 《STM32F030x4/6/8/C 和 STM32F070x6/B 基于高级 ARM® 的 32 位 MCUs (RM0360)》中关于 I/O 引脚复用功能复用器和映射的章节。

### 4.3.3 SWD 引脚上的内部上拉和下拉

用户软件释放 SWD I/O 后, GPIO 控制器便会控制这些引脚。GPIO 控制寄存器的复位状态会将 I/O 置于同等状态:

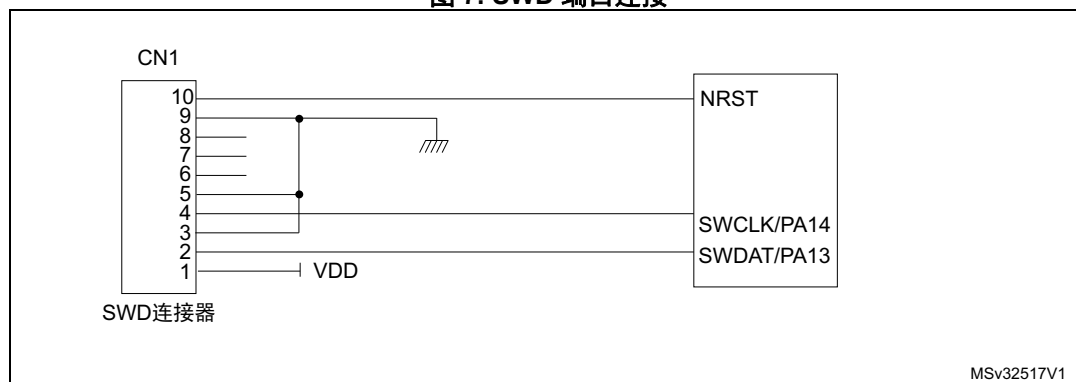
- SWDIO: 复用功能上拉
- SWCLK: 复用功能下拉

由于带有上拉和下拉电阻, 因此无需添加外部电阻。

### 4.3.4 使用标准 SWD 连接器的 SWD 端口连接

图 7 显示了 STM32F0x0 和标准 SWD 连接器之间的连接。

图 7. SWD 端口连接



## 5 建议

### 5.1 印刷电路板

由于技术原因，最好使用多层印刷电路板（PCB）的单独一层专用于接地（ $V_{SS}$ ），另一层专用于  $V_{DD}$  供电。这提供了不错的去耦和屏蔽效果。对于很多应用，由于经济原因不能使用此类板。在这种情况下，主要要求就是要确保接地和供电有良好的结构。

### 5.2 元件位置

PCB 的初始布局必须使单独的电路具有以下特性：

- 高电流电路
- 低电压电路
- 数字元件电路
- 根据电路的 EMI 贡献分离的电路。这会降低 PCB 上会引入噪声的交叉耦合。

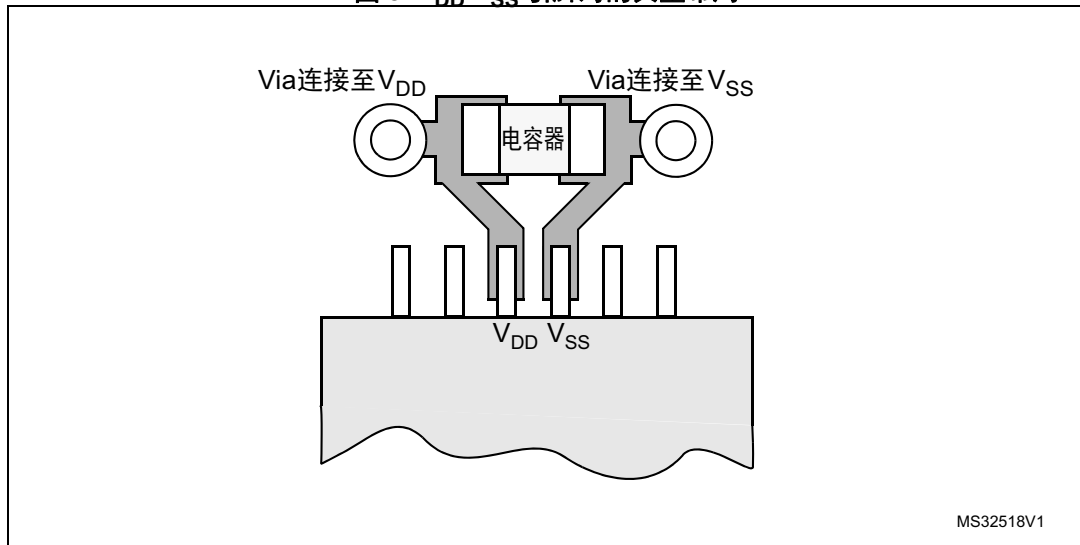
### 5.3 接地和供电（ $V_{DD}$ 、 $V_{DDA}$ ）

每个块（噪声、低电平敏感、数字等等）应单独接地，所有接地回路都应为同一个点。必须避免出现环，或使环有最小面积。为提高模拟性能，您必须对  $V_{DD}$  和  $V_{DDA}$  使用单独的电源，将去耦电容放置在离器件尽可能近的位置。供电应靠近地线实现，以最小化供电环的面积。这是因为供电环的行为类似天线，因此它是 EMI 的主要发送者和接收者。所有无元件的 PCB 区域必须用额外的接地填充，以创造屏蔽（尤其是使用单层 PCB 时）。

### 5.4 去耦

所有供电和接地引脚都必须适当连至供电电源。这些连接，包括焊盘、线、过孔，都必须有尽可能低的阻抗。典型情况下，这可通过使用粗的线宽做到，最好在多层 PCB 中使用专用供电层。

此外，每个供电对都应使用 100 nF 滤波陶瓷电容去耦，并用约 4.7  $\mu$ F 的化学电容连接于 STM32F0x0 器件的供电引脚之间。这些电容应放置在 PCB 下侧尽可能接近或低于适当引脚的位置。其典型值为 10 nF 至 100 nF，但准确值取决于应用需要。[图 8](#) 显示了这种  $V_{DD}/V_{SS}$  对的典型布局。

图 8.  $V_{DD}/V_{SS}$  引脚对的典型布局

## 5.5 其它信号

当设计应用时，可仔细研究下述信号以提高 EMC 性能：

- 暂时性干扰会永久影响运行过程的信号（例如中断和握手选通信号，但不是 LED 指令）。对于这些信号，可使用周围接地跟踪、更短的长度、无噪声、附近敏感跟踪（串扰影响）提高 EMC 性能。
- 对于数字信号，两个逻辑状态必须达到可能的最佳电气边界，建议使用慢施密特触发器以消除寄生状态。
- 噪声信号（时钟等）
- 敏感信号（高阻等）

## 5.6 不使用的 I/O 和特性

所有微控制器都是为多种应用设计的，通常一个应用不会使用 100% 的 MCU 资源。

为增加 EMC 性能、避免额外功耗，不使用的时钟、计数器、I/O 都不应浮空。应在不用的 I/O 引脚上都使用外部或内部上拉或下拉电阻将 I/O 连至固定逻辑电平 0 或 1。其它选项为使用软件将 GPIO 配置为输出模式。不使用的特性应被冻结或禁用为其默认值。

## 6 参考设计

### 6.1 说明

[图 9](#) 中所示的参考设计即高度集成的微控制器 STM32F0x0，运行于 48 MHz，它结合了 Cortex<sup>®</sup>-M4 32 位 RISC CPU 内核、64 KB 的嵌入式 Flash 存储器和 8 KB 的 SRAM。

#### 6.1.1 时钟

微控制器使用两个时钟源：

- HSE：X1 – 8 MHz 晶振，用于 STM32F0x0 微控制器
- LSE：X2 - 32.768 kHz 晶振用于嵌入式 RTC。

请参见 [第 2 节：时钟第 11 页](#)。

#### 6.1.2 复位

[图 9](#) 中的复位信号为低电平有效。复位源包括：

- 复位按钮 (B1)
- 调试工具通过连接器 CN1 连接

请参见 [第 1.2.2 节：系统复位第 9 页](#)。

#### 6.1.3 启动模式

通过设置开关 SW1 和选项位 nBOOT1，配置启动选项。请参见 [第 3 节：启动配置第 15 页](#)。

#### 6.1.4 SWD 接口

参考设计显示了 STM32F0x0 和标准 SWD 连接器之间的连接。请参见 [第 4 节：调试管理第 17 页](#)。

*注：* 建议连接复位引脚，以便能从工具复位应用。

#### 6.1.5 电源

请参见 [第 1.1 节：电源方案第 6 页](#)。

#### 6.1.6 引脚排列和引脚说明

请参阅 [www.st.com](http://www.st.com) 上的 STM32F0x0 数据表了解每种器件的引脚排列和引脚说明。

## 6.2 元件参考

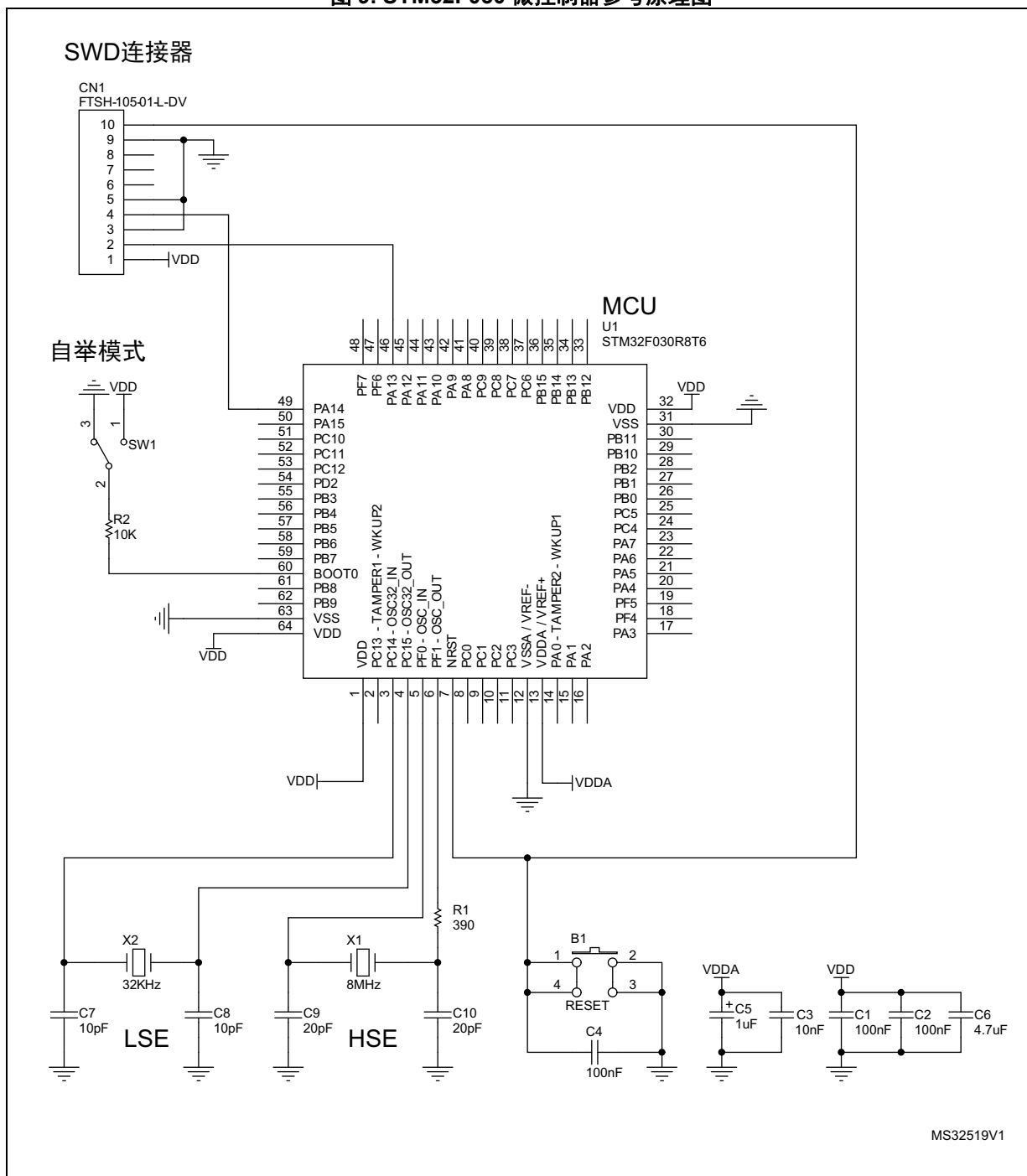
表 5. 必备元件

元件	参考	值	数量	注释
微控制器	U1	STM32F030R8T6	1	64 引脚封装
电容	C1/C2	100 nF	2	陶瓷电容（去耦电容）
电容	C3	10 nF	1	陶瓷电容（去耦电容）
电容	C5	1 $\mu$ F	1	用于 VDDA
电容	C6	4.7 $\mu$ F	1	用于 VDD

表 6. 可选元件

元件	参考	值	数量	注释
电阻	R1	390 $\Omega$	1	用于 HSE：值取决于晶振特性。 此电阻值仅为典型举例。
电阻	R2	10 K $\Omega$	1	用于 BOOT0 引脚
电容	C4	100 nF	1	用于 RESET 按钮的陶瓷电容
电容	C7/C8	10 pF	2	用于 LSE：值取决于晶振特性。
电容	C9/C10	20 pF	2	用于 HSE：值取决于晶振特性。
石英	X1	8 MHz	1	用于 HSE
石英	X2	32 kHz	1	用于 LSE
开关	SW1	-	1	用于选择正确的启动模式。
按钮	B1	-	1	用作复位按钮
SWD 连接器	CN1	FTSH-105-01-L-DV	1	用于对 MCU 进行编程 / 调试

图 9. STM32F030 微控制器参考原理图



MS32519V1

## 7 从 STM32F1 系列到 STM32F0x0 器件的硬件移植

入门级 STM32F030 和通用型 STM32F1xxx 系列的各个引脚均兼容。两个系列的所有外设均采用相同的引脚，但两者的封装存在细微差别。

从 STM32F1 系列过渡为 STM32F030 器件的过程十分简单，只会影响几个引脚。受影响的引脚在表 7 中以粗体显示。

表 7. STM32F1 和 STM32F030 系列引脚排列的区别<sup>(1)</sup>

封装		STM32F1 系列	STM32F030 器件
LQFP64	LQFP48	引脚	引脚
1	1	<b>VBAT</b>	<b>VDD</b>
5	5	<b>PD0 - OSC_IN</b>	<b>PF0 - OSC_IN</b>
6	6	<b>PD1 - OSC_OUT</b>	<b>PF1 - OSC_OUT</b>
18	-	<b>VSS_4</b>	<b>PF4</b>
19	-	<b>VDD_4</b>	<b>PF5</b>
28	20	<b>BOOT1 - PB2</b>	<b>PB2</b>
47	35	<b>VSS_2</b>	<b>PF6</b>
48	36	<b>VDD_2</b>	<b>PF7</b>

1. 以**粗体**突出显示的是从 STM32F1 系列过渡到 STM32F030 系列时受影响的引脚。



## 8 版本历史

表 8. 文档版本历史

日期	版本	变更
2014 年 11 月 10 日	1	初始版本。
2016 年 4 月 1 日	2	文档中增加了对 STM32F070xx 的支持。

表 9. 中文文档版本历史

日期	版本	变更
2017 年 6 月 24 日	1	中文初始版本。

**重要通知 - 请仔细阅读**

意法半导体公司及其子公司 (“ST”) 保留随时对 ST 产品和 / 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于 ST 产品的最新信息。ST 产品的销售依照订单确认时的相关 ST 销售条款。

买方自行负责对 ST 产品的选择和使用，ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的 ST 产品如有不同于此处提供的信息的规定，将导致 ST 针对该产品授予的任何保证失效。

ST 和 ST 徽标是 ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。本文档的中文版本为英文版本的翻译件，仅供参考之用；若中文版本与英文版本有任何冲突或不一致，则以英文版本为准。

© 2017 STMicroelectronics - 保留所有权利