RM0444
参考手册

STM32G0x1 基于 ARM® 内核的 32 位高级 MCU

简介

本参考手册是对 STM32G0x1 微控制器数据手册的补充，提供了应用（特别是软件开发）所需的信息，属于 STM32G0x1 微控制器上提供的功能集的超集。

有关特定 STM32G0x1 器件的功能集、订购信息以及机械和电气特性的信息，请参见其相应的数据手册。

有关 Arm® Cortex®-M0+ 内核的信息，请参见 Cortex®-M0+ 技术参考手册。

相关文档

- *“Cortex®-M0+ 技术参考手册”*，可从 *http://infocenter.arm.com* 获取
- PM0223 Cortex®-M0+ 内核编程手册(a)
- STM32G0x1 数据手册(a)
- AN2606 STM32 MCU 自举应用笔记(a)

a. 可从意法半导体网站 *www.st.com* 获取

目录

1 文档约定 49

1.1 概述 49

1.2 寄存器相关缩写词列表 49

1.3 词汇表 50

1.4 外设的可用性 50

2 存储器和总线架构 51

2.1 系统架构 51

2.2 存储器构成 53

2.2.1 简介 53

2.2.2 存储器映射和寄存器边界地址 54

2.3 嵌入式 SRAM 58

2.4 Flash 概述 59

2.5 自举配置 59

3 嵌入式 Flash (FLASH) 61

3.1 FLASH 简介 61

3.2 FLASH 主要特性 61

3.3 FLASH 功能说明 62

3.3.1 FLASH 构成 62

3.3.2 FLASH 为空检查 63

3.3.3 FLASH 误码校正 (ECC) 63

3.3.4 FLASH 读访问延迟 63

3.3.5 FLASH 加速 64

3.3.6 FLASH 编程和擦除操作 65

3.3.7 FLASH 主存储器擦除顺序 **66**

3.3.8 FLASH 主存储器编程顺序 67

3.4 FLASH 选项字节 70

3.4.1 FLASH 选项字节说明 70

3.4.2 FLASH 选项字节编程 76

3.5 FLASH 保护 77

3.5.1 FLASH 读保护 (RDP) 77

3.5.2 FLASH 专有代码读保护 (PCROP) 80

3.5.3 FLASH 写保护 (WRP) 81
3.5.4 受控安全存储区 82
3.5.5 禁止内核调试访问 83
3.5.6 强制从 Flash 自举 84
3.6 FLASH 中断 84
3.7 FLASH 寄存器 85
3.7.1 FLASH 访问控制寄存器 (FLASH_ACR) 85
3.7.2 FLASH 密钥寄存器 (FLASH_KEYR) 86
3.7.3 FLASH 选项密钥寄存器 (FLASH_OPTKEYR) 86
3.7.4 FLASH 状态寄存器 (FLASH_SR) 87
3.7.5 FLASH 控制寄存器 (FLASH_CR) 88
3.7.6 FLASH ECC 寄存器 (FLASH_ECCR) 90
3.7.7 FLASH 选项寄存器 (FLASH_OPTR) 91
3.7.8 FLASH PCROP 区域 A 起始地址寄存器 (FLASH_PCROP1ASR) 93
3.7.9 FLASH PCROP 区域 A 结束地址寄存器 (FLASH_PCROP1AER) 93
3.7.10 FLASH WRP 区域 A 地址寄存器 (FLASH_WRP1AR) 94
3.7.11 FLASH WRP 区域 B 地址寄存器 (FLASH_WRP1BR) 94
3.7.12 FLASH PCROP 区域 B 起始地址寄存器 (FLASH_PCROP1BSR) 95
3.7.13 FLASH PCROP 区域 B 结束地址寄存器 (FLASH_PCROP1BER) 95
3.7.14 FLASH 安全性寄存器 (FLASH_SECR) 96
3.7.15 FLASH 寄存器映射 97

4 电源控制 (PWR) 99
4.1 电源 99
4.1.1 ADC 和 DAC 参考电压 100
4.1.2 RTC 的电池备份域 100
4.1.3 调压器 102
4.1.4 动态电压调节管理 102
4.2 电源监控器 103
4.2.1 上电复位 (POR)/掉电复位 (PDR)/欠压复位 (BOR) 103
4.2.2 可编程电压检测器 (PVD) 104
4.3 低功耗模式 105
4.3.1 运行模式 110
4.3.2 低功耗运行模式（LP 运行） 110
4.3.3 低功耗模式 111
4.3.4 睡眠模式 112
4.3.5 低功耗睡眠模式（LP 睡眠） 112

4.3.6 停止 0 模式 . . . 113
4.3.7 停止 1 模式 . . . 116
4.3.8 待机模式 . . . 117
4.3.9 关断模式 . . . 118
4.3.10 从低功耗模式自动唤醒 . . . 119
4.4 PWR 寄存器 . . . 120
4.4.1 电源控制寄存器 1 (PWR_CR1) . . . 120
4.4.2 电源控制寄存器 2 (PWR_CR2) . . . 121
4.4.3 电源控制寄存器 3 (PWR_CR3) . . . 122
4.4.4 电源控制寄存器 4 (PWR_CR4) . . . 123
4.4.5 电源状态寄存器 1 (PWR_SR1) . . . 124
4.4.6 电源状态寄存器 2 (PWR_SR2) . . . 125
4.4.7 电源状态清零寄存器 (PWR_SCR) . . . 126
4.4.8 电源端口 A 上拉控制寄存器 (PWR_PUCRA) . . . 127
4.4.9 电源端口 A 下拉控制寄存器 (PWR_PDCRA) . . . 128
4.4.10 电源端口 B 上拉控制寄存器 (PWR_PUCRB) . . . 128
4.4.11 电源端口 B 下拉控制寄存器 (PWR_PDCRB) . . . 129
4.4.12 电源端口 C 上拉控制寄存器 (PWR_PUCRC) . . . 129
4.4.13 电源端口 C 下拉控制寄存器 (PWR_PDCRC) . . . 130
4.4.14 电源端口 D 上拉控制寄存器 (PWR_PUCRD) . . . 130
4.4.15 电源端口 D 下拉控制寄存器 (PWR_PDCRD) . . . 131
4.4.16 电源端口 F 上拉控制寄存器 (PWR_PUCRF) . . . 132
4.4.17 电源端口 F 下拉控制寄存器 (PWR_PDCRF) . . . 132
4.4.18 PWR 寄存器映射和复位值表 . . . 133

5 复位和时钟控制 (RCC) . . . 135
5.1 复位 . . . 135
5.1.1 电源复位 . . . 135
5.1.2 系统复位 . . . 135
5.1.3 RTC 域复位 . . . 137
5.2 时钟 . . . 137
5.2.1 HSE 时钟 . . . 141
5.2.2 HSI16 时钟 . . . 142
5.2.3 PLL . . . 143
5.2.4 LSE 时钟 . . . 143
5.2.5 LSI 时钟 . . . 143
5.2.6 系统时钟 (SYSCLK) 选择 . . . 144

5.2.7 时钟源频率与电压调节 144
5.2.8 时钟安全系统 (CSS) 144
5.2.9 LSE 时钟的时钟安全系统 (LSECSS) 145
5.2.10 ADC 时钟 145
5.2.11 RTC 时钟 145
5.2.12 定时器时钟 146
5.2.13 看门狗时钟 146
5.2.14 时钟输出功能 146
5.2.15 基于 TIM14/TIM16/TIM17 的内部/外部时钟测量 146
5.2.16 外设时钟使能寄存器 149
5.3 低功耗模式 149
5.4 RCC 寄存器 150
5.4.1 时钟控制寄存器 (RCC_CR) 150
5.4.2 内部时钟源校准寄存器 (RCC_ICSCR) 152
5.4.3 时钟配置寄存器 (RCC_CFGR) 152
5.4.4 PLL 配置寄存器 (RCC_PLLCFGR) 154
5.4.5 时钟中断使能寄存器 (RCC_CIER) 157
5.4.6 时钟中断标志寄存器 (RCC_CIFR) 158
5.4.7 时钟中断清零寄存器 (RCC_CICR) 159
5.4.8 I/O 端口复位寄存器 (RCC_IOPRSTR) 160
5.4.9 AHB 外设复位寄存器 (RCC_AHBRSTR) 161
5.4.10 APB 外设复位寄存器 1 (RCC_APBRSTR1) 162
5.4.11 APB 外设复位寄存器 2 (RCC_APBRSTR2) 164
5.4.12 I/O 端口时钟使能寄存器 (RCC_IOPENR) 166
5.4.13 AHB 外设时钟使能寄存器 (RCC_AHBENR) 167
5.4.14 APB 外设时钟使能寄存器 1 (RCC_APBENR1) 168
5.4.15 APB 外设时钟使能寄存器 2 (RCC_APBENR2) 170
5.4.16 睡眠模式下的 I/O 端口时钟使能寄存器 (RCC_IOPSMENR) 172
5.4.17 睡眠/停止模式下的 AHB 外设时钟使能寄存器 (RCC_AHBSMENR) . . 173
5.4.18 睡眠/停止模式下的 APB 外设时钟使能寄存器 1 (RCC_APBSMENR1) 174
5.4.19 睡眠/停止模式下的 APB 外设时钟使能寄存器 2 (RCC_APBSMENR2) 177
5.4.20 外设专用时钟配置寄存器 (RCC_CCIPR) 178
5.4.21 RTC 域控制寄存器 (RCC_BDCR) 181
5.4.22 控制/状态寄存器 (RCC_CSR) 183
5.4.23 RCC 寄存器映射 185

6 通用 I/O (GPIO) 188
6.1 简介 188
6.2 GPIO 主要特性 188
6.3 GPIO 功能描述 188
6.3.1 通用 I/O (GPIO) 190
6.3.2 I/O 引脚复用功能复用器和映射 190
6.3.3 I/O 端口控制寄存器 191
6.3.4 I/O 端口数据寄存器 191
6.3.5 I/O 数据位操作 191
6.3.6 GPIO 锁定机制 192
6.3.7 I/O 复用功能输入/输出 192
6.3.8 外部中断线/唤醒线 192
6.3.9 输入配置 192
6.3.10 输出配置 193
6.3.11 复用功能配置 194
6.3.12 模拟配置 195
6.3.13 将 HSE 或 LSE 振荡器引脚用作 GPIO 195
6.3.14 在 RTC 域中使用 GPIO 引脚 195
6.3.15 USB PD/低电量支持 195
6.4 GPIO寄存器 196
6.4.1 GPIO 端口模式寄存器 (GPIOx_MODER)（x =A 到 D、F） 196
6.4.2 GPIO 端口输出类型寄存器 (GPIOx_OTYPER)（x = A 到 D、F） . . . 197
6.4.3 GPIO 端口输出速度寄存器 (GPIOx_OSPEEDR)（x = A 到 D、F） . . 197
6.4.4 GPIO 端口上拉/下拉寄存器 (GPIOx_PUPDR)（x = A 到 D、F） 198
6.4.5 GPIO 端口输入数据寄存器 (GPIOx_IDR)（x = A 到 D、F） 198
6.4.6 GPIO 端口输出数据寄存器 (GPIOx_ODR)（x = A 到 D、F） 199
6.4.7 GPIO 端口位置位/复位寄存器 (GPIOx_BSRR)（x = A 到 D、F） 199
6.4.8 GPIO 端口配置锁定寄存器 (GPIOx_LCKR)（x = A 到 D、F） 200
6.4.9 GPIO 复用功能低位寄存器 (GPIOx_AFRL)（x = A 到 D、F） 201
6.4.10 GPIO 复用功能高位寄存器 (GPIOx_AFRH)（x = A 到 D、F） 201
6.4.11 GPIO 端口位复位寄存器 (GPIOx_BRR)（x = A 到 D、F） 202
6.4.12 GPIO 寄存器映射 203

7 系统配置控制器 (SYSCFG) 205
7.1 SYSCFG 寄存器 205
7.1.1 SYSCFG 配置寄存器 1 (SYSCFG_CFGR1) 205
7.1.2 SYSCFG 配置寄存器 2 (SYSCFG_CFGR2) 208
7.1.3 SYSCFG 中断线 0 状态寄存器 (SYSCFG_ITLINE0) 209
7.1.4 SYSCFG 中断线 1 状态寄存器 (SYSCFG_ITLINE1) 210
7.1.5 SYSCFG 中断线 2 状态寄存器 (SYSCFG_ITLINE2) 210
7.1.6 SYSCFG 中断线 3 状态寄存器 (SYSCFG_ITLINE3) 211
7.1.7 SYSCFG 中断线 4 状态寄存器 (SYSCFG_ITLINE4) 211
7.1.8 SYSCFG 中断线 5 状态寄存器 (SYSCFG_ITLINE5) 212
7.1.9 SYSCFG 中断线 6 状态寄存器 (SYSCFG_ITLINE6) 212
7.1.10 SYSCFG 中断线 7 状态寄存器 (SYSCFG_ITLINE7) 213
7.1.11 SYSCFG 中断线 8 状态寄存器 (SYSCFG_ITLINE8) 213
7.1.12 SYSCFG 中断线 9 状态寄存器 (SYSCFG_ITLINE9) 214
7.1.13 SYSCFG 中断线 10 状态寄存器 (SYSCFG_ITLINE10) 214
7.1.14 SYSCFG 中断线 11 状态寄存器 (SYSCFG_ITLINE11) 214
7.1.15 SYSCFG 中断线 12 状态寄存器 (SYSCFG_ITLINE12) 215
7.1.16 SYSCFG 中断线 13 状态寄存器 (SYSCFG_ITLINE13) 216
7.1.17 SYSCFG 中断线 14 状态寄存器 (SYSCFG_ITLINE14) 216
7.1.18 SYSCFG 中断线 15 状态寄存器 (SYSCFG_ITLINE15) 217
7.1.19 SYSCFG 中断线 16 状态寄存器 (SYSCFG_ITLINE16) 217
7.1.20 SYSCFG 中断线 17 状态寄存器 (SYSCFG_ITLINE17) 218
7.1.21 SYSCFG 中断线 18 状态寄存器 (SYSCFG_ITLINE18) 218
7.1.22 SYSCFG 中断线 19 状态寄存器 (SYSCFG_ITLINE19) 219
7.1.23 SYSCFG 中断线 20 状态寄存器 (SYSCFG_ITLINE20) 219
7.1.24 SYSCFG 中断线 21 状态寄存器 (SYSCFG_ITLINE21) 219
7.1.25 SYSCFG 中断线 22 状态寄存器 (SYSCFG_ITLINE22) 220
7.1.26 SYSCFG 中断线 23 状态寄存器 (SYSCFG_ITLINE23) 220
7.1.27 SYSCFG 中断线 24 状态寄存器 (SYSCFG_ITLINE24) 220
7.1.28 SYSCFG 中断线 25 状态寄存器 (SYSCFG_ITLINE25) 221
7.1.29 SYSCFG 中断线 26 状态寄存器 (SYSCFG_ITLINE26) 221
7.1.30 SYSCFG 中断线 27 状态寄存器 (SYSCFG_ITLINE27) 221
7.1.31 SYSCFG 中断线 28 状态寄存器 (SYSCFG_ITLINE28) 222
7.1.32 SYSCFG 中断线 29 状态寄存器 (SYSCFG_ITLINE29) 222
7.1.33 SYSCFG 中断线 30 状态寄存器 (SYSCFG_ITLINE30) 223
7.1.34 SYSCFG 中断线 31 状态寄存器 (SYSCFG_ITLINE31) 223
7.1.35 SYSCFG 寄存器映射 224

8 互连矩阵 227
8.1 简介 227
8.2 连接汇总 227
8.3 互连详细信息 228
8.3.1 从 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17 到 TIM1、TIM2、TIM3 和 TIM15 228
8.3.2 从 TIM1、TIM2、TIM3、TIM6、TIM15 和 EXTI 到 ADC 229
8.3.3 从 ADC 到 TIM1 229
8.3.4 从 TIM1、TIM2、TIM3、TIM6、TIM7、TIM15、LPTIM1、LPTIM2 和 EXTI 到 DAC 230
8.3.5 从 HSE、LSE、LSI、MCO、RTC 和 TAMP 到 TIM2、TIM14、TIM16 和 TIM17 230
8.3.6 从 RTC、TAMP、COMP1 和 COMP2 到 LPTIM1 和 LPTIM2 230
8.3.7 从 TIM1、TIM2、TIM3 和 TIM15 到 COMP1 和 COMP2 231
8.3.8 从内部模拟源到 ADC 231
8.3.9 从 COMP1 和 COMP2 到 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17 232
8.3.10 从系统错误到 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17 232
8.3.11 从 TIM16、TIM17、USART1 和 USART4 到 IRTIM 233
8.3.12 从 TIM14、LPTIM1 和 LPTIM2 到 DMAMUX 233

9 直接存储器访问控制器 (DMA) 234
9.1 简介 234
9.2 DMA 主要特性 234
9.3 DMA 实现 235
9.3.1 DMA 235
9.3.2 DMA 请求映射 235
9.4 DMA 功能说明 235
9.4.1 DMA 框图 235
9.4.2 DMA 引脚和内部信号 236
9.4.3 DMA 传输 236
9.4.4 DMA 仲裁 237
9.4.5 DMA 通道 237
9.4.6 DMA 数据宽度、对齐和字节序 241
9.4.7 DMA 错误管理 242
9.5 DMA 中断 242
9.6 DMA 寄存器 243

9.6.1 DMA 中断状态寄存器 (DMA_ISR) 243
9.6.2 DMA 中断标志清零寄存器 (DMA_IFCR) 245
9.6.3 DMA 通道 x 配置寄存器 (DMA_CCRx) 246
9.6.4 DMA 通道 x 待传输数据数量寄存器 (DMA_CNDTRx) 249
9.6.5 DMA 通道 x 外设地址寄存器 (DMA_CPARx) 250
9.6.6 DMA 通道 x 存储器地址寄存器 (DMA_CMARx) 250
9.6.7 DMA 寄存器映射和复位值 251

10 DMA 请求复用器 (DMAMUX) 253
10.1 简介 253
10.2 DMAMUX 主要特性 253
10.3 DMAMUX 实现 253
10.3.1 DMAMUX 实例化 253
10.3.2 DMAMUX 映射 254
10.4 DMAMUX 功能说明 256
10.4.1 DMAMUX 框图 256
10.4.2 DMAMUX 信号 257
10.4.3 DMAMUX 通道 257
10.4.4 DMAMUX 请求线复用器 257
10.4.5 DMAMUX 请求发生器 260
10.5 DMAMUX 中断 261
10.6 DMAMUX 寄存器 261
10.6.1 DMAMUX 请求线复用器通道 x 配置寄存器 (DMAMUX_CxCR) 261
10.6.2 DMAMUX 请求线复用器中断通道状态寄存器 (DMAMUX_CSR) 262
10.6.3 DMAMUX 请求线复用器中断清零标志寄存器 (DMAMUX_CFR) 263
10.6.4 DMAMUX 请求发生器通道 x 配置寄存器 (DMAMUX_RGxCR) 263
10.6.5 DMAMUX 请求发生器中断状态寄存器 (DMAMUX_RGSR) 264
10.6.6 DMAMUX 请求发生器中断清零标志寄存器 (DMAMUX_RGCFR) 264
10.6.7 DMAMUX 寄存器映射 265

11 嵌套向量中断控制器 (NVIC) 267
11.1 主要特性 267
11.2 SysTick 校准值寄存器 267
11.3 中断和异常向量 267

12 扩展中断与事件控制器 (EXTI) 270
12.1 EXTI 主要特性 270
12.2 EXTI 框图 270
12.2.1 外设和 CPU 之间的 EXTI 连接 272
12.3 EXTI 功能说明 272
12.3.1 EXTI 可配置事件输入唤醒 273
12.3.2 EXTI 直接事件输入唤醒 274
12.3.3 EXTI 复用器 274
12.4 EXTI 功能行为 276
12.5 EXTI 寄存器 276
12.5.1 EXTI 上升沿触发选择寄存器 (EXTI_RTSR1) 277
12.5.2 EXTI 下降沿触发选择寄存器 (EXTI_FTSR1) 277
12.5.3 EXTI 软件中断事件寄存器 (EXTI_SWIER1) 278
12.5.4 EXTI 上升沿挂起寄存器 (EXTI_RPR1) 278
12.5.5 EXTI 下降沿挂起寄存器 (EXTI_FPR1) 279
12.5.6 EXTI 外部中断选择寄存器 (EXTI_EXTICRx) 279
12.5.7 EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR1) 281
12.5.8 EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR1) 282
12.5.9 EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR2) 283
12.5.10 EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR2) 283
12.5.11 EXTI 寄存器映射 284

13 循环冗余校验计算单元 (CRC) 286
13.1 简介 286
13.2 CRC 主要特性 286
13.3 CRC 功能说明 286
13.3.1 CRC 框图 286
13.3.2 CRC 内部信号 287
13.3.3 CRC 操作 287
13.4 CRC 寄存器 288
13.4.1 CRC 数据寄存器 (CRC_DR) 288
13.4.2 CRC 独立数据寄存器 (CRC_IDR) 289
13.4.3 CRC 控制寄存器 (CRC_CR) 289
13.4.4 CRC 初始值 (CRC_INIT) 290
13.4.5 CRC 多项式 (CRC_POL) 290
13.4.6 CRC 寄存器映射 291

14 模数转换器（ADC） 292
14.1 简介 292
14.2 ADC 主要特性 292
14.3 ADC 功能说明 293
14.3.1 ADC 引脚和内部信号 294
14.3.2 ADC 调压器 (ADVREGEN) 294
14.3.3 校准 (ADCAL) 295
14.3.4 ADC 开关控制（ADEN、ADDIS、ADRDY） 296
14.3.5 ADC 时钟（CKMODE，PRESC[3:0]） 297
14.3.6 ADC 连接 299
14.3.7 配置 ADC 300
14.3.8 通道选择（CHSEL、SCANDIR、CHSELRMOD） 300
14.3.9 可编程采样时间 (SMPx[2:0]) 301
14.3.10 单次转换模式 (CONT=0) 301
14.3.11 连续转换模式 (CONT=1) 302
14.3.12 开始转换 (ADSTART) 302
14.3.13 时序 303
14.3.14 停止正在进行的转换 (ADSTP) 304
14.4 外部触发转换和触发极性（EXTSEL、EXTEN） 304
14.4.1 不连续模式 (DISCEN) 305
14.4.2 可编程分辨率 (RES)——快速转换模式 305
14.4.3 转换结束、采样阶段结束（EOC、EOSMP 标志） 306
14.4.4 转换序列结束（EOS 标志） 306
14.4.5 时序图示例（单次/连续模式硬件/软件触发） 307
14.4.6 低频触发模式 309
14.5 数据管理 309
14.5.1 数据寄存器和数据对齐（ADC_DR、ALIGN） 309
14.5.2 ADC 溢出（OVR、OVRMOD） 310
14.5.3 在不使用 DMA 的情况下管理转换的数据序列 311
14.5.4 在不使用 DMA 且不发生溢出的情况下管理转换的数据 311
14.5.5 使用 DMA 管理转换的数据 311
14.6 低功耗特性 312
14.6.1 等待模式转换 312
14.6.2 自动关闭模式 (AUTOFF) 313
14.7 模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR） 314

14.7.1 模拟看门狗 1 说明 314
14.7.2 模拟看门狗 2 和 3 说明 315
14.7.3 ADC_AWDx_OUT 信号输出生成 316
14.7.4 模拟看门狗阈值控制 317
14.8 过采样器 318
14.8.1 过采样时支持的 ADC 工作模式 320
14.8.2 模拟看门狗 320
14.8.3 触发模式 320
14.9 温度传感器和内部参考电压 321
14.10 电池电压监视 323
14.11 ADC 中断 324
14.12 ADC 寄存器 325
14.12.1 ADC 中断和状态寄存器 (ADC_ISR) 325
14.12.2 ADC 中断使能寄存器 (ADC_IER) 327
14.12.3 ADC 控制寄存器 (ADC_CR) 329
14.12.4 ADC 配置寄存器 1 (ADC_CFGR1) 331
14.12.5 ADC 配置寄存器 2 (ADC_CFGR2) 334
14.12.6 ADC 采样时间寄存器 (ADC_SMPR) 336
14.12.7 ADC 看门狗阈值寄存器 (ADC_AWD1TR) 337
14.12.8 ADC 看门狗阈值寄存器 (ADC_AWD2TR) 337
14.12.9 ADC 通道选择寄存器 [备用] (ADC_CHSELR) 338
14.12.10 ADC 通道选择寄存器 [备用] (ADC_CHSELR) 339
14.12.11 ADC 看门狗阈值寄存器 (ADC_AWD3TR) 340
14.12.12 ADC 数据寄存器 (ADC_DR) 341
14.12.13 ADC 模拟看门狗 2 配置寄存器 (ADC_AWD2CR) 342
14.12.14 ADC 模拟看门狗 3 配置寄存器 (ADC_AWD3CR) 342
14.12.15 ADC 校准系数 (ADC_CALFACT) 343
14.12.16 ADC 通用配置寄存器 (ADC_CCR) 343
14.12.17 ADC 寄存器映射 345

15 数模转换器 (DAC) 347
15.1 简介 347
15.2 DAC 主要特性 347
15.3 DAC 实现 347
15.4 DAC 功能说明 348
15.4.1 DAC框图 348

15.4.2 DAC 引脚和内部信号 349
15.4.3 DAC 通道使能 350
15.4.4 DAC 数据格式 350
15.4.5 DAC 转换 351
15.4.6 DAC 输出电压 351
15.4.7 DAC 触发选择 352
15.4.8 DMA 请求 353
15.4.9 生成噪声 353
15.4.10 生成三角波 354
15.4.11 DAC 通道模式 355
15.4.12 DAC 通道缓冲器校准 358
15.4.13 DAC 双通道转换模式（如果可用） 359
15.5 DAC 低功耗模式 362
15.6 DAC 中断 362
15.7 DAC 寄存器 363
15.7.1 DAC 控制寄存器 (DAC_CR) 363
15.7.2 DAC 软件触发寄存器 (DAC_SWTRGR) 366
15.7.3 DAC 通道 1 12 位右对齐数据保持寄存器 (DAC_DHR12R1) 367
15.7.4 DAC 通道 1 12 位左对齐数据保持寄存器 (DAC_DHR12L1) 367
15.7.5 DAC 通道 1 8 位右对齐数据保持寄存器 (DAC_DHR8R1) 368
15.7.6 DAC 通道 2 12 位右对齐数据保持寄存器 (DAC_DHR12R2) 368
15.7.7 DAC 通道 2 12 位左对齐数据保持寄存器 (DAC_DHR12L2) 369
15.7.8 DAC 通道 2 8 位右对齐数据保持寄存器 (DAC_DHR8R2) 369
15.7.9 双 DAC 12 位右对齐数据保持寄存器 (DAC_DHR12RD) 370
15.7.10 双 DAC 12 位左对齐数据保持寄存器 (DAC_DHR12LD) 370
15.7.11 双 DAC 8 位右对齐数据保持寄存器 (DAC_DHR8RD) 371
15.7.12 DAC 通道 1 数据输出寄存器 (DAC_DOR1) 371
15.7.13 DAC 通道 2 数据输出寄存器 (DAC_DOR2) 372
15.7.14 DAC 状态寄存器 (DAC_SR) 372
15.7.15 DAC 校准控制寄存器 (DAC_CCR) 374
15.7.16 DAC 模式控制寄存器 (DAC_MCR) 374
15.7.17 DAC 通道 1 采样和保持采样时间寄存器 (DAC_SHSR1) 376
15.7.18 DAC 通道 2 采样和保持采样时间寄存器 (DAC_SHSR2) 376
15.7.19 DAC 采样和保持时间寄存器 (DAC_SHHR) 377
15.7.20 DAC 采样和保持刷新时间寄存器 (DAC_SHRR) 378
15.7.21 DAC 寄存器映射 379

16 电压参考缓冲器 (VREFBUF) 381
16.1 简介 381
16.2 VREFBUF 功能说明 381
16.3 VREFBUF 寄存器 382
16.3.1 VREFBUF 控制和状态寄存器 (VREFBUF_CSR) 382
16.3.2 VREFBUF 校准控制寄存器 (VREFBUF_CCR) 383
16.3.3 VREFBUF 寄存器映射 383

17 比较器 (COMP) 384
17.1 简介 384
17.2 COMP 主要特性 384
17.3 COMP 功能说明 385
17.3.1 COMP 框图 385
17.3.2 COMP 引脚和内部信号 385
17.3.3 COMP 复位和时钟 387
17.3.4 比较器锁定机制 387
17.3.5 窗口比较器 387
17.3.6 迟滞 387
17.3.7 比较器输出消隐功能 388
17.3.8 COMP 功耗和速度模式 389
17.4 COMP 低功耗模式 389
17.5 COMP 中断 389
17.6 COMP 寄存器 390
17.6.1 比较器 1 控制和状态寄存器 (COMP1_CSR) 390
17.6.2 比较器 2 控制和状态寄存器 (COMP2_CSR) 392
17.6.3 COMP 寄存器映射 394

18 真随机数发生器 (RNG) 395
18.1 简介 395
18.2 RNG 主要特性 395
18.3 RNG 功能说明 396
18.3.1 RNG 框图 396
18.3.2 RNG 内部信号 396
18.3.3 随机数生成 397
18.3.4 RNG 初始化 399
18.3.5 RNG 操作 399

18.3.6 RNG 时钟 400
18.3.7 错误管理 400
18.3.8 RNG 低功耗使用 401
18.4 RNG 中断 401
18.5 RNG 处理时间 402
18.6 RNG 熵源验证 402
18.6.1 简介 402
18.6.2 验证条件 402
18.6.3 数据采集 402
18.7 RNG 寄存器 403
18.7.1 RNG 控制寄存器 (RNG_CR) 403
18.7.2 RNG 状态寄存器 (RNG_SR) 404
18.7.3 RNG 数据寄存器 (RNG_DR) 405
18.7.4 RNG 寄存器映射 405

19 AES 硬件加速器 (AES) 406
19.1 简介 406
19.2 AES 主要特性 406
19.3 AES 实现 407
19.4 AES 功能说明 407
19.4.1 AES 框图 407
19.4.2 AES 内部信号 407
19.4.3 AES 加密内核 408
19.4.4 用于执行密码操作的 AES 过程 413
19.4.5 AES 解密密钥准备 416
19.4.6 AES 密文窃取和数据填充 417
19.4.7 AES 任务挂起和恢复 417
19.4.8 AES 基本链接模式（ECB 和 CBC） 418
19.4.9 AES 计数器 (CTR) 模式 423
19.4.10 AES Galois/计数器模式 (GCM) 425
19.4.11 AES Galois 消息认证码 (GMAC) 430
19.4.12 AES CBC-MAC 计数器模式 (CCM) 431
19.4.13 AES 数据寄存器和数据交换 436
19.4.14 AES 密钥寄存器 438
19.4.15 AES 初始化向量寄存器 438

19.4.16 AES DMA 接口 438
19.4.17 AES 错误管理 441
19.5 AES 中断 441
19.6 AES 处理延迟 442
19.7 AES 寄存器 443
19.7.1 AES 控制寄存器 (AES_CR) 443
19.7.2 AES 状态寄存器 (AES_SR) 445
19.7.3 AES 数据输入寄存器 (AES_DINR) 446
19.7.4 AES 数据输出寄存器 (AES_DOUTR) 447
19.7.5 AES 密钥寄存器 0 (AES_KEYR0) 448
19.7.6 AES 密钥寄存器 1 (AES_KEYR1) 448
19.7.7 AES 密钥寄存器 2 (AES_KEYR2) 448
19.7.8 AES 密钥寄存器 3 (AES_KEYR3) 449
19.7.9 AES 初始化向量寄存器 0 (AES_IVR0) 449
19.7.10 AES 初始化向量寄存器 1 (AES_IVR1) 450
19.7.11 AES 初始化向量寄存器 2 (AES_IVR2) 450
19.7.12 AES 初始化向量寄存器 3 (AES_IVR3) 450
19.7.13 AES 密钥寄存器 4 (AES_KEYR4) 451
19.7.14 AES 密钥寄存器 5 (AES_KEYR5) 451
19.7.15 AES 密钥寄存器 6 (AES_KEYR6) 451
19.7.16 AES 密钥寄存器 7 (AES_KEYR7) 452
19.7.17 AES 挂起寄存器 (AES_SUSPxR) 452
19.7.18 AES 寄存器映射 453

20 高级控制定时器 (TIM1) 455
20.1 TIM1 简介 455
20.2 TIM1 主要特性 455
20.3 TIM1 功能说明 457
20.3.1 时基单元 457
20.3.2 计数器模式 459
20.3.3 重复计数器 469
20.3.4 外部触发输入 471
20.3.5 时钟选择 472
20.3.6 捕获/比较通道 475
20.3.7 输入捕获模式 478
20.3.8 PWM 输入模式 479

20.3.9 强制输出模式 480
20.3.10 输出比较模式 480
20.3.11 PWM 模式 482
20.3.12 不对称 PWM 模式 485
20.3.13 组合 PWM 模式 485
20.3.14 组合三相 PWM 模式 486
20.3.15 互补输出和死区插入 487
20.3.16 使用刹车功能 489
20.3.17 双向刹车输入 495
20.3.18 发生外部事件时清除 OCxREF 信号 497
20.3.19 生成 6 步 PWM 498
20.3.20 单脉冲模式 499
20.3.21 可再触发单脉冲模式 (OPM) 500
20.3.22 编码器接口模式 501
20.3.23 UIF 位重映射 503
20.3.24 定时器输入异或功能 503
20.3.25 连接霍尔传感器 504
20.3.26 定时器同步 506
20.3.27 ADC 同步 509
20.3.28 DMA 连续传送模式 509
20.3.29 调试模式 510
20.4 TIM1 寄存器 511
20.4.1 TIM1 控制寄存器 1 (TIM1_CR1) 511
20.4.2 TIM1 控制寄存器 2 (TIM1_CR2) 512
20.4.3 TIM1 从模式控制寄存器 (TIM1_SMCR) 515
20.4.4 TIM1 DMA/中断使能寄存器 (TIM1_DIER) 517
20.4.5 TIM1 状态寄存器 (TIM1_SR) 519
20.4.6 TIM1 事件生成寄存器 (TIM1_EGR) 520
20.4.7 TIM1 捕获/比较模式寄存器 1 [复用] (TIM1_CCMR1) 522
20.4.8 TIM1 捕获/比较模式寄存器 1 [复用] (TIM1_CCMR1) 524
20.4.9 TIM1 捕获/比较模式寄存器 2 [复用] (TIM1_CCMR2) 526
20.4.10 TIM1 捕获/比较模式寄存器 2 [复用] (TIM1_CCMR2) 527
20.4.11 TIM1 捕获/比较使能寄存器 (TIM1_CCER) 528
20.4.12 TIM1 计数器 (TIM1_CNT) 532
20.4.13 TIM1 预分频器 (TIM1_PSC) 532
20.4.14 TIM1 自动重载寄存器 (TIM1_ARR) 532
20.4.15 TIM1 重复计数器寄存器 (TIM1_RCR) 533

20.4.16 TIM1 捕获/比较寄存器 1 (TIM1_CCR1) 533
20.4.17 TIM1 捕获/比较寄存器 2 (TIM1_CCR2) 534
20.4.18 TIM1 捕获/比较寄存器 3 (TIM1_CCR3) 534
20.4.19 TIM1 捕获/比较寄存器 4 (TIM1_CCR4) 535
20.4.20 TIM1 刹车和死区寄存器 (TIM1_BDTR) 535
20.4.21 TIM1 DMA 控制寄存器 (TIM1_DCR) 539
20.4.22 TIM1 全传输 DMA 地址 (TIM1_DMAR) 540
20.4.23 TIM1 选项寄存器 1 (TIM1_OR1) 540
20.4.24 TIM1 捕获/比较模式寄存器 3 (TIM1_CCMR3) 541
20.4.25 TIM1 捕获/比较寄存器 5 (TIM1_CCR5) 542
20.4.26 TIM1 捕获/比较寄存器 6 (TIM1_CCR6) 543
20.4.27 TIM1 复用功能选项寄存器 1 (TIM1_AF1) 543
20.4.28 TIM1 复用功能寄存器 2 (TIM1_AF2) 544
20.4.29 TIM1 定时器输入选择寄存器 (TIM1_TISEL) 546
20.4.30 TIM1 寄存器映射 547

21 通用定时器 (TIM2/TIM3) 550

21.1 TIM2/TIM3 简介 550
21.2 TIM2/TIM3 主要特性 550
21.3 TIM2/TIM3 功能描述 552
21.3.1 时基单元 552
21.3.2 计数器模式 554
21.3.3 时钟选择 564
21.3.4 捕获/比较通道 568
21.3.5 输入捕获模式 569
21.3.6 PWM 输入模式 570
21.3.7 强制输出模式 571
21.3.8 输出比较模式 571
21.3.9 PWM 模式 573
21.3.10 不对称 PWM 模式 577
21.3.11 组合 PWM 模式 577
21.3.12 发生外部事件时清除 OCxREF 信号 578
21.3.13 单脉冲模式 580
21.3.14 可再触发单脉冲模式 (OPM) 581
21.3.15 编码器接口模式 582
21.3.16 UIF 位重映射 584
21.3.17 定时器输入异或功能 584

21.3.18 定时器与外部触发同步 585
21.3.19 定时器同步 588
21.3.20 DMA 连续传送模式 593
21.3.21 调试模式 593
21.4 TIM2/TIM3 寄存器 594
21.4.1 TIMx 控制寄存器 1 (TIMx_CR1)(x = 2 到 3) 594
21.4.2 TIMx 控制寄存器 2 (TIMx_CR2)(x = 2 到 3) 595
21.4.3 TIMx 从模式控制寄存器 (TIMx_SMCR)(x = 2 到 3) 597
21.4.4 TIMx DMA/中断使能寄存器 (TIMx_DIER)(x = 2 到 3) 599
21.4.5 TIMx 状态寄存器 (TIMx_SR)(x = 2 到 3) 600
21.4.6 TIMx 事件生成寄存器 (TIMx_EGR)(x = 2 到 3) 602
21.4.7 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 2 到 3） . . 603
21.4.8 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 2 到 3） . . 605
21.4.9 TIMx 捕获/比较模式寄存器 2 [复用] (TIMx_CCMR2)（x = 2 到 3） . . 607
21.4.10 TIMx 捕获/比较模式寄存器 2 [复用] (TIMx_CCMR2)（x = 2 到 3） . . 608
21.4.11 TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 2 到 3） 609
21.4.12 TIMx 计数器 [复用] (TIMx_CNT)（x = 2 到 3） 610
21.4.13 TIMx 计数器 [复用] (TIMx_CNT)（x = 2 到 3） 611
21.4.14 TIMx 预分频器 (TIMx_PSC)(x = 2 到 3) 611
21.4.15 TIMx 自动重载寄存器 (TIMx_ARR)（x = 2 到 3） 612
21.4.16 TIMx 捕获/比较寄存器 1 (TIMx_CCR1)（x = 2 到 3） 612
21.4.17 TIMx 捕获/比较寄存器 2 (TIMx_CCR2)（x = 2 到 3） 613
21.4.18 TIMx 捕获/比较寄存器 3 (TIMx_CCR3)（x = 2 到 3） 613
21.4.19 TIMx 捕获/比较寄存器 4 (TIMx_CCR4)（x = 2 到 3） 614
21.4.20 TIMx DMA 控制寄存器 (TIMx_DCR)（x = 2 到 3） 615
21.4.21 TIMx 全传输 DMA 地址 (TIMx_DMAR)（x = 2 到 3） 615
21.4.22 TIM2 选项寄存器 1 (TIM2_OR1) 616
21.4.23 TIM3 选项寄存器 1 (TIM3_OR1) 616
21.4.24 TIM2 复用功能选项寄存器 1 (TIM2_AF1) 617
21.4.25 TIM3 复用功能选项寄存器 1 (TIM3_AF1) 617
21.4.26 TIM2 定时器输入选择寄存器 (TIM2_TISEL) 618
21.4.27 TIM3 定时器输入选择寄存器 (TIM3_TISEL) 618
21.4.28 TIMx 寄存器映射 620

22 基本定时器 (TIM6/TIM7) 623
22.1 TIM6/TIM7 简介 623
22.2 TIM6/TIM7 主要特性 623

22.3 TIM6/TIM7 功能说明 624
22.3.1 时基单元 624
22.3.2 计数模式 626
22.3.3 UIF 位重映射 629
22.3.4 时钟源 629
22.3.5 调试模式 630
22.4 TIM6/TIM7 寄存器 630
22.4.1 TIMx 控制寄存器 1 (TIMx_CR1)（x = 6 到 7） 630
22.4.2 TIMx 控制寄存器 2 (TIMx_CR2)（x = 6 到 7） 632
22.4.3 TIMx DMA/中断使能寄存器 (TIMx_DIER)（x = 6 到 7） 632
22.4.4 TIMx 状态寄存器 (TIMx_SR)（x = 6 到 7） 633
22.4.5 TIMx 事件生成寄存器 (TIMx_EGR)（x = 6 到 7） 633
22.4.6 TIMx 计数器 (TIMx_CNT)（x = 6 到 7） 633
22.4.7 TIMx 预分频器 (TIMx_PSC)（x = 6 到 7） 634
22.4.8 TIMx 自动重载寄存器 (TIMx_ARR)（x = 6 到 7） 634
22.4.9 TIMx 寄存器映射 635

23 通用定时器 (TIM14) 636
23.1 TIM14 简介 636
23.2 TIM14 主要特性 636
23.2.1 TIM14 主要特性 636
23.3 TIM14 功能描述 637
23.3.1 时基单元 637
23.3.2 计数器模式 639
23.3.3 时钟选择 642
23.3.4 捕获/比较通道 643
23.3.5 输入捕获模式 644
23.3.6 强制输出模式 645
23.3.7 输出比较模式 646
23.3.8 PWM 模式 647
23.3.9 单脉冲模式 648
23.3.10 UIF 位重映射 648
23.3.11 调试模式 648
23.4 TIM14 寄存器 649
23.4.1 TIM14 控制寄存器 1 (TIM14_CR1) 649
23.4.2 TIM14 中断使能寄存器 (TIM14_DIER) 650

23.4.3 TIM14 状态寄存器 (TIM14_SR) 650
23.4.4 TIM14 事件生成寄存器 (TIM14_EGR) 651
23.4.5 TIM14 捕获/比较模式寄存器 1 [备用] (TIM14_CCMR1) 652
23.4.6 TIM14 捕获/比较模式寄存器 1 [备用] (TIM14_CCMR1) 653
23.4.7 TIM14 捕获/比较使能寄存器 (TIM14_CCER) 655
23.4.8 TIM14 计数器 (TIM14_CNT) 656
23.4.9 TIM14 预分频器 (TIM14_PSC) 656
23.4.10 TIM14 自动重载寄存器 (TIM14_ARR) 656
23.4.11 TIM14 捕获/比较寄存器 1 (TIM14_CCR1) 657
23.4.12 TIM14 定时器输入选择寄存器 (TIM14_TISEL) 657
23.4.13 TIM14 寄存器映射 658

24 通用定时器 (TIM15/TIM16/TIM17) 660

24.1 TIM15/TIM16/TIM17 简介 660
24.2 TIM15 主要特性 660
24.3 TIM16/TIM17 主要特性 661
24.4 TIM15/TIM16/TIM17 功能描述 664
24.4.1 时基单元 664
24.4.2 计数器模式 666
24.4.3 重复计数器 669
24.4.4 时钟选择 670
24.4.5 捕获/比较通道 672
24.4.6 输入捕获模式 675
24.4.7 PWM 输入模式（仅适用于 TIM15） 675
24.4.8 强制输出模式 676
24.4.9 输出比较模式 677
24.4.10 PWM 模式 678
24.4.11 组合 PWM 模式（仅适用于 TIM15） 679
24.4.12 互补输出和死区插入 680
24.4.13 使用断路功能 682
24.4.14 双向断路输入 686
24.4.15 单脉冲模式 687
24.4.16 可再触发单脉冲模式 (OPM)（仅限 TIM15） 689
24.4.17 UIF 位重映射 689
24.4.18 定时器输入异或功能（仅适用于 TIM15） 690
24.4.19 外部触发同步（仅适用于 TIM15） 690
24.4.20 从模式——组合复位 + 触发模式 693

24.4.21 DMA 连续传送模式 693
24.4.22 定时器同步 (TIM15) 694
24.4.23 调试模式 694
24.5 TIM15寄存器 695
24.5.1 TIM15 控制寄存器 1 (TIM15_CR1) 695
24.5.2 TIM15 控制寄存器 2 (TIM15_CR2) 696
24.5.3 TIM15 从模式控制寄存器 (TIM15_SMCR) 698
24.5.4 TIM15 DMA/中断使能寄存器 (TIM15_DIER) 699
24.5.5 TIM15 状态寄存器 (TIM15_SR) 700
24.5.6 TIM15 事件产生寄存器 (TIM15_EGR) 702
24.5.7 TIM15 捕获/比较模式寄存器 1 [复用] (TIM15_CCMR1) 703
24.5.8 TIM15 捕获/比较模式寄存器 1 [复用] (TIM15_CCMR1) 704
24.5.9 TIM15 捕获/比较使能寄存器 (TIM15_CCER) 706
24.5.10 TIM15 计数器 (TIM15_CNT) 709
24.5.11 TIM15 预分频器 (TIM15_PSC) 709
24.5.12 TIM15 自动重载寄存器 (TIM15_ARR) 709
24.5.13 TIM15 重复计数器寄存器 (TIM15_RCR) 710
24.5.14 TIM15 捕获/比较寄存器 1 (TIM15_CCR1) 710
24.5.15 TIM15 捕获/比较寄存器 2 (TIM15_CCR2) 711
24.5.16 TIM15 断路和死区寄存器 (TIM15_BDTR) 711
24.5.17 TIM15 DMA 控制寄存器 (TIM15_DCR) 714
24.5.18 TIM15 全传输 DMA 地址 (TIM15_DMAR) 714
24.5.19 TIM15 复用寄存器 1 (TIM15_AF1) 715
24.5.20 TIM15 输入选择寄存器 (TIM15_TISEL) 716
24.5.21 TIM15寄存器映射 717
24.6 TIM16/TIM17 寄存器 719
24.6.1 TIMx 控制寄存器 1 (TIMx_CR1)（x = 16 到 17） 719
24.6.2 TIMx 控制寄存器 2 (TIMx_CR2)（x = 16 到 17） 720
24.6.3 TIMx DMA/中断使能寄存器 (TIMx_DIER)（x = 16 到 17） 721
24.6.4 TIMx 状态寄存器 (TIMx_SR)（x = 16 到 17） 722
24.6.5 TIMx 事件生成寄存器 (TIMx_EGR)（x = 16 到 17） 723
24.6.6 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 16 到 17） 724
24.6.7 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 16 到 17） 725
24.6.8 TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 16 到 17） 726
24.6.9 TIMx 计数器 (TIMx_CNT)（x = 16 到 17） 729

24.6.10 TIMx 预分频器 (TIMx_PSC)（x = 16 到 17） 729
24.6.11 TIMx 自动重载寄存器 (TIMx_ARR)（x = 16 到 17） 729
24.6.12 TIMx 重复计数器寄存器 (TIMx_RCR)（x = 16 到 17） 730
24.6.13 TIMx 捕获/比较寄存器 1 (TIMx_CCR1)（x = 16 到 17） 730
24.6.14 TIMx 断路和死区寄存器 (TIMx_BDTR)（x = 16 到 17） 731
24.6.15 TIMx DMA 控制寄存器 (TIMx_DCR)（x = 16 到 17） 734
24.6.16 TIMx 全传输 DMA 地址 (TIMx_DMAR)（x = 16 到 17） 734
24.6.17 TIM16 复用功能寄存器 1 (TIM16_AF1) 735
24.6.18 TIM16 复用功能寄存器 1 (TIM16_AF1) 736
24.6.19 TIM16 输入选择寄存器 (TIM16_TISEL) 737
24.6.20 TIM17 复用功能寄存器 1 (TIM17_AF1) 737
24.6.21 TIM17 输入选择寄存器 (TIM17_TISEL) 738
24.6.22 TIM16/TIM17 寄存器映射 739

25 低功耗定时器 (LPTIM) 741

25.1 简介 741
25.2 LPTIM 主要特性 741
25.3 LPTIM 实现 741
25.4 LPTIM 功能说明 742
25.4.1 LPTIM 框图 742
25.4.2 LPTIM 引脚和内部信号 742
25.4.3 LPTIM 输入和触发映射 743
25.4.4 LPTIM 复位和时钟 744
25.4.5 去抖动滤波器 745
25.4.6 预分频器 745
25.4.7 触发多路复用器 746
25.4.8 工作模式 746
25.4.9 超时功能 748
25.4.10 生成波形 748
25.4.11 寄存器更新 749
25.4.12 计数器模式 750
25.4.13 定时器使能 750
25.4.14 定时器计数器复位 751
25.4.15 编码器模式 751
25.4.16 调试模式 752
25.5 LPTIM 低功耗模式 753

25.6 LPTIM 中断 753
25.7 LPTIM 寄存器 754
25.7.1 LPTIM 中断和状态寄存器 (LPTIM_ISR) 754
25.7.2 LPTIM 中断清零寄存器 (LPTIM_ICR) 755
25.7.3 LPTIM 中断使能寄存器 (LPTIM_IER) 756
25.7.4 LPTIM 配置寄存器 (LPTIM_CFGR) 757
25.7.5 LPTIM 控制寄存器 (LPTIM_CR) 759
25.7.6 LPTIM 比较寄存器 (LPTIM_CMP) 760
25.7.7 LPTIM 自动重载寄存器 (LPTIM_ARR) 761
25.7.8 LPTIM 计数器寄存器 (LPTIM_CNT) 761
25.7.9 LPTIM 配置寄存器 2 (LPTIM_CFGR2) 762
25.7.10 LPTIM 寄存器映射 763

26 红外接口 (IRTIM) 765

27 独立看门狗 (IWDG) 766
27.1 简介 766
27.2 IWDG 主要特性 766
27.3 IWDG 功能说明 766
27.3.1 IWDG 框图 766
27.3.2 窗口选项 767
27.3.3 硬件看门狗 767
27.3.4 寄存器访问保护 767
27.3.5 调试模式 768
27.4 IWDG 寄存器 768
27.4.1 IWDG 键值寄存器 (IWDG_KR) 768
27.4.2 IWDG 预分频器寄存器 (IWDG_PR) 769
27.4.3 IWDG 重载寄存器 (IWDG_RLR) 770
27.4.4 IWDG 状态寄存器 (IWDG_SR) 771
27.4.5 IWDG 窗口寄存器 (IWDG_WINR) 772
27.4.6 IWDG 寄存器映射 772

28 系统窗口看门狗 (WWDG) 773
28.1 简介 773
28.2 WWDG 主要特性 773
28.3 WWDG 功能说明 773

28.3.1 WWDG 框图 774
28.3.2 使能看门狗 774
28.3.3 控制递减计数器 774
28.3.4 看门狗中断高级特性 775
28.3.5 如何设置看门狗超时 775
28.3.6 调试模式 776
28.4 WWDG 寄存器 776
28.4.1 控制寄存器 (WWDG_CR) 776
28.4.2 配置寄存器 (WWDG_CFR) 777
28.4.3 状态寄存器 (WWDG_SR) 778
28.4.4 WWDG 寄存器映射 778

29 实时时钟 (RTC) 779
29.1 简介 779
29.2 RTC 主要特性 779
29.3 RTC 功能说明 780
29.3.1 RTC 框图 780
29.3.2 RTC 引脚和内部信号 781
29.3.3 RTC 和 TAMP 控制的 GPIO 782
29.3.4 时钟和预分频器 784
29.3.5 实时时钟和日历 785
29.3.6 可编程闹钟 785
29.3.7 周期性自动唤醒 786
29.3.8 RTC 初始化和配置 786
29.3.9 读取日历 788
29.3.10 复位 RTC 789
29.3.11 RTC 同步 789
29.3.12 RTC 参考时钟检测 789
29.3.13 RTC 精密数字校准 790
29.3.14 时间戳功能 792
29.3.15 校准时钟输出 792
29.3.16 入侵和闹钟输出 793
29.4 RTC 低功耗模式 793
29.5 RTC 中断 794
29.6 RTC 寄存器 794
29.6.1 RTC 时间寄存器 (RTC_TR) 794

29.6.2 RTC 日期寄存器 (RTC_DR) 795
29.6.3 RTC 亚秒寄存器 (RTC_SSR) 796
29.6.4 RTC 初始化控制和状态寄存器 (RTC_ICSR) 796
29.6.5 RTC 预分频器寄存器 (RTC_PRER) 798
29.6.6 RTC 唤醒定时器寄存器 (RTC_WUTR) 798
29.6.7 RTC 控制寄存器 (RTC_CR) 799
29.6.8 RTC 写保护寄存器 (RTC_WPR) 802
29.6.9 RTC 校准寄存器 (RTC_CALR) 803
29.6.10 RTC 平移控制寄存器 (RTC_SHIFTR) 804
29.6.11 RTC 时间戳时间寄存器 (RTC_TSTR) 805
29.6.12 RTC 时间戳日期寄存器 (RTC_TSDR) 806
29.6.13 RTC 时间戳亚秒寄存器 (RTC_TSSSR) 806
29.6.14 RTC 闹钟 A 寄存器 (RTC_ALRMAR) 807
29.6.15 RTC 闹钟 A 亚秒寄存器 (RTC_ALRMASSR) 808
29.6.16 RTC 闹钟 B 寄存器 (RTC_ALRMBR) 809
29.6.17 RTC 闹钟 B 亚秒寄存器 (RTC_ALRMBSSR) 810
29.6.18 RTC 状态寄存器 (RTC_SR) 811
29.6.19 RTC 屏蔽中断状态寄存器 (RTC_MISR) 812
29.6.20 RTC 状态清零寄存器 (RTC_SCR) 813
29.6.21 RTC 寄存器映射 814

30 入侵和备份寄存器 (TAMP) 816

30.1 简介 816
30.2 TAMP 主要特性 816
30.3 TAMP 功能说明 817
30.3.1 TAMP 框图 817
30.3.2 TAMP 引脚和内部信号 818
30.3.3 TAMP 寄存器写保护 818
30.3.4 入侵检测 819
30.4 TAMP 低功耗模式 820
30.5 TAMP 中断 821
30.6 TAMP 寄存器 821
30.6.1 TAMP 控制寄存器 1 (TAMP_CR1) 821
30.6.2 TAMP 控制寄存器 2 (TAMP_CR2) 822
30.6.3 TAMP 滤波器控制寄存器 (TAMP_FLTCR) 823
30.6.4 TAMP 中断使能寄存器 (TAMP_IER) 824

30.6.5 TAMP 状态寄存器 (TAMP_SR) . . . 825
30.6.6 TAMP 屏蔽中断状态寄存器 (TAMP_MISR) . . . 826
30.6.7 TAMP 状态清零寄存器 (TAMP_SCR) . . . 827
30.6.8 TAMP 备份 x 寄存器 (TAMP_BKPxR) . . . 828
30.6.9 TAMP 寄存器映射 . . . 829

31 内部集成电路 (I2C) 接口 . . . 830
31.1 简介 . . . 830
31.2 I2C 主要特性 . . . 830
31.3 I2C 特性实现 . . . 831
31.4 I2C 功能说明 . . . 831
31.4.1 I2C1 框图 . . . 832
31.4.2 I2C2 框图 . . . 833
31.4.3 I2C 时钟要求 . . . 834
31.4.4 模式选择 . . . 834
31.4.5 I2C 初始化 . . . 835
31.4.6 软件复位 . . . 839
31.4.7 数据传输 . . . 840
31.4.8 I2C 从模式 . . . 842
31.4.9 I2C 主模式 . . . 850
31.4.10 I2C_TIMINGR 寄存器配置示例 . . . 862
31.4.11 SMBus 特性 . . . 863
31.4.12 SMBus 初始化 . . . 866
31.4.13 SMBus：I2C_TIMEOUTR 寄存器配置示例 . . . 867
31.4.14 SMBus 从模式 . . . 868
31.4.15 地址匹配时从停止模式唤醒 . . . 876
31.4.16 错误条件 . . . 876
31.4.17 DMA 请求 . . . 878
31.4.18 调试模式 . . . 878
31.5 I2C 低功耗模式 . . . 879
31.6 I2C 中断 . . . 879
31.7 I2C 寄存器 . . . 880
31.7.1 I2C 控制寄存器 1 (I2C_CR1) . . . 880
31.7.2 I2C 控制寄存器 2 (I2C_CR2) . . . 883
31.7.3 I2C 自身地址 1 寄存器 (I2C_OAR1) . . . 886
31.7.4 I2C 自身地址 2 寄存器 (I2C_OAR2) . . . 887

31.7.5 I2C 时序寄存器 (I2C_TIMINGR) 888
31.7.6 I2C 超时寄存器 (I2C_TIMEOUTR) 889
31.7.7 I2C 中断和状态寄存器 (I2C_ISR) 890
31.7.8 I2C 中断清零寄存器 (I2C_ICR) 892
31.7.9 I2C PEC 寄存器 (I2C_PECR) 893
31.7.10 I2C 接收数据寄存器 (I2C_RXDR) 894
31.7.11 I2C 发送数据寄存器 (I2C_TXDR) 894
31.7.12 I2C寄存器映射 895

32 通用同步/异步收发器发送器 (USART/UART) 897

32.1 USART 简介 897
32.2 USART 主要特性 897
32.3 USART 扩展特性 898
32.4 USART 实现 898
32.5 USART 功能说明 899
32.5.1 USART 框图 899
32.5.2 USART 信号 900
32.5.3 USART 字符说明 901
32.5.4 USART FIFO 和阈值 903
32.5.5 USART 发送器 903
32.5.6 USART 接收器 906
32.5.7 USART 波特率生成 913
32.5.8 USART 接收器对时钟偏差的容差 914
32.5.9 USART 自动波特率检测 915
32.5.10 USART 多处理器通信 917
32.5.11 USART Modbus 通信 918
32.5.12 USART 极性控制 919
32.5.13 USART LIN（局域互连网络）模式 920
32.5.14 USART 同步模式 922
32.5.15 USART 单线半双工通信 926
32.5.16 USART 接收器超时 926
32.5.17 USART 智能卡模式 926
32.5.18 USART IrDA SIR ENDEC 模块 930
32.5.19 使用 USART 和 DMA 进行连续通信 932
32.5.20 RS232 硬件流控制和 RS485 驱动器使能 934
32.5.21 USART 低功耗管理 936

32.6 USART 中断 939
32.7 USART 寄存器 941
32.7.1 USART 控制寄存器 1 [复用] (USART_CR1) 941
32.7.2 USART 控制寄存器 1 [复用] (USART_CR1) 945
32.7.3 USART 控制寄存器 2 (USART_CR2) 948
32.7.4 USART 控制寄存器 3 (USART_CR3) 952
32.7.5 USART 波特率寄存器 (USART_BRR) 956
32.7.6 USART 保护时间和预分频器寄存器 (USART_GTPR) 956
32.7.7 USART 接收器超时寄存器 (USART_RTOR) 957
32.7.8 USART 请求寄存器 (USART_RQR) 958
32.7.9 USART 中断和状态寄存器 [复用] (USART_ISR) 959
32.7.10 USART 中断和状态寄存器 [复用] (USART_ISR) 964
32.7.11 USART 中断标志清零寄存器 (USART_ICR) 968
32.7.12 USART 接收数据寄存器 (USART_RDR) 970
32.7.13 USART 发送数据寄存器 (USART_TDR) 970
32.7.14 USART 预分频器寄存器 (USART_PRESC) 971
32.7.15 USART 寄存器映射 972

33 低功耗通用异步接收器 (LPUART) 974
33.1 LPUART 简介 974
33.2 LPUART 主要特性 974
33.3 LPUART 特性实现 975
33.4 LPUART 功能说明 976
33.4.1 LPUART框图 976
33.4.2 LPUART 信号 977
33.4.3 LPUART 字符说明 977
33.4.4 LPUART FIFO 和阈值 979
33.4.5 LPUART 发送器 979
33.4.6 LPUART 接收器 982
33.4.7 LPUART 波特率生成 985
33.4.8 LPUART 接收器对时钟偏差的容差 987
33.4.9 LPUART 多处理器通信 987
33.4.10 LPUART 极性控制 989
33.4.11 LPUART 单线半双工通信 990
33.4.12 使用 DMA 和 LPUART 进行连续通信 990

33.4.13 RS232 硬件流控制和 RS485 驱动器使能 993
33.4.14 LPUART 低功耗管理 995
33.5 LPUART 中断 998
33.6 LPUART寄存器 1000
33.6.1 控制寄存器 1 [复用] (LPUART_CR1) 1000
33.6.2 控制寄存器 1 [复用] (LPUART_CR1) 1002
33.6.3 控制寄存器 2 (LPUART_CR2) 1006
33.6.4 控制寄存器 3 (LPUART_CR3) 1007
33.6.5 波特率寄存器 (LPUART_BRR) 1010
33.6.6 请求寄存器 (LPUART_RQR) 1011
33.6.7 中断和状态寄存器 [复用] (LPUART_ISR) 1011
33.6.8 中断和状态寄存器 [复用] (LPUART_ISR) 1015
33.6.9 中断标志清零寄存器 (LPUART_ICR) 1018
33.6.10 接收数据寄存器 (LPUART_RDR) 1019
33.6.11 发送数据寄存器 (LPUART_TDR) 1019
33.6.12 预分频器寄存器 (LPUART_PRESC) 1020
33.6.13 LPUART 寄存器映射 1021

34 串行外设接口/集成电路内置音频总线 (SPI/I2S) 1023
34.1 简介 1023
34.2 SPI 主要特性 1023
34.3 I2S 主要特性 1024
34.4 SPI/I2S 实现 1024
34.5 SPI 功能说明 1025
34.5.1 概述 1025
34.5.2 一个主器件和一个从器件之间的通信 1026
34.5.3 标准多从器件通信 1027
34.5.4 多主通信 1028
34.5.5 从器件选择 (NSS) 引脚管理 1029
34.5.6 通信格式 1030
34.5.7 SPI 配置 1032
34.5.8 使能 SPI 的步骤 1033
34.5.9 数据发送和接收过程 1033
34.5.10 SPI 状态标志 1042
34.5.11 SPI 错误标志 1043
34.5.12 NSS 脉冲模式 1044

34.5.13 TI 模式 1044
34.5.14 CRC 计算 1045
34.6 SPI 中断 1047
34.7 I2S 功能说明 1048
34.7.1 I2S 概述 1048
34.7.2 支持的音频协议 1049
34.7.3 启动说明 1056
34.7.4 时钟发生器 1057
34.7.5 I^2S 主模式 1060
34.7.6 I^2S 从模式 1061
34.7.7 I2S 状态标志 1062
34.7.8 I2S 错误标志 1063
34.7.9 DMA 特性 1064
34.8 I2S 中断 1064
34.9 SPI 和 I2S 寄存器 1065
34.9.1 SPI 控制寄存器 1 (SPIx_CR1) 1065
34.9.2 SPI 控制寄存器 2 (SPIx_CR2) 1067
34.9.3 SPI 状态寄存器 (SPIx_SR) 1069
34.9.4 SPI 数据寄存器 (SPIx_DR) 1071
34.9.5 SPI CRC 多项式寄存器 (SPIx_CRCPR) 1071
34.9.6 SPI 接收 CRC 寄存器 (SPIx_RXCRCR) 1071
34.9.7 SPI 发送 CRC 寄存器 (SPIx_TXCRCR) 1072
34.9.8 SPIx_I2S 配置寄存器 (SPIx_I2SCFGR) 1072
34.9.9 SPIx_I2S 预分频器寄存器 (SPIx_I2SPR) 1074
34.9.10 SPI/I2S 寄存器映射 1076

35 USB Type-C™ / USB 供电接口 (UCPD) 1077
35.1 简介 1077
35.2 UCPD 主要特性 1077
35.3 UCPD 实现 1078
35.4 UCPD 功能说明 1078
35.4.1 UCPD 框图 1079
35.4.2 UCPD 复位和时钟 1081
35.4.3 物理层协议 1081
35.4.4 UCPD BMC 发送器 1088
35.4.5 UCPD BMC 接收器 1090

35.4.6 UCPD Type-C 上拉电阻 (Rp) 和下拉电阻 (Rd) 1092
35.4.7 UCPD Type-C 电压监视和去抖动 1092
35.4.8 UCPD 快速角色交换 (FRS) 信号传输和检测 1092
35.4.9 UCPD DMA 接口 1093
35.4.10 从STOP唤醒 1093
35.4.11 UCPD 编程顺序 1093
35.5 UCPD 低功耗模式 1097
35.6 UCPD 中断 1098
35.7 UCPD 寄存器 1099
35.7.1 UCPD 配置寄存器 1 (UCPD_CFG1) 1099
35.7.2 UCPD 配置寄存器 2 (UCPD_CFG2) 1101
35.7.3 UCPD 控制寄存器 (UCPD_CR) 1102
35.7.4 UCPD 中断屏蔽寄存器 (UCPD_IMR) 1104
35.7.5 UCPD 状态寄存器 (UCPD_SR) 1106
35.7.6 UCPD 中断清零寄存器 (UCPD_ICR) 1109
35.7.7 UCPD Tx 有序集类型寄存器 (UCPD_TX_ORDSET) 1110
35.7.8 UCPD Tx 有效负载大小寄存器 (UCPD_TX_PAYSZ) 1111
35.7.9 UCPD Tx 数据寄存器 (UCPD_TXDR) 1112
35.7.10 UCPD Rx 有序集寄存器 (UCPD_RX_ORDSET) 1112
35.7.11 UCPD Rx 有效负载大小寄存器 (UCPD_RX_PAYSZ) 1113
35.7.12 UCPD 接收数据寄存器 (UCPD_RXDR) 1114
35.7.13 UCPD Rx 有序集扩展寄存器 1 (UCPD_RX_ORDEXT1) 1114
35.7.14 UCPD Rx 有序集扩展寄存器 2 (UCPD_RX_ORDEXT2) 1115
35.7.15 UCPD 寄存器映射 1115

36 HDMI-CEC 控制器 (CEC) 1118
36.1 简介 1118
36.2 HDMI-CEC 控制器主要特性 1118
36.3 HDMI-CEC 功能说明 1119
36.3.1 HDMI-CEC 引脚 1119
36.3.2 HDMI-CEC 框图 1119
36.3.3 消息说明 1119
36.3.4 位时序 1120
36.4 仲裁 1121
36.4.1 SFT 选项位 1122
36.5 错误处理 1123

36.5.1 位错误 1123
36.5.2 消息错误 1123
36.5.3 位上升错误 (BRE) 1123
36.5.4 短位周期错误 (SBPE) 1124
36.5.5 长位周期错误 (LBPE) 1124
36.5.6 发送错误检测 (TXERR) 1125
36.6 HDMI-CEC 中断 1126
36.7 HDMI-CEC 寄存器 1127
36.7.1 CEC 控制寄存器 (CEC_CR) 1127
36.7.2 CEC 配置寄存器 (CEC_CFGR) 1128
36.7.3 CEC 发送数据寄存器 (CEC_TXDR) 1130
36.7.4 CEC 接收数据寄存器 (CEC_RXDR) 1131
36.7.5 CEC 中断和状态寄存器 (CEC_ISR) 1131
36.7.6 CEC 中断使能寄存器 (CEC_IER) 1133
36.7.7 HDMI-CEC 寄存器映射 1135

37 调试支持 (DBG) 1136
37.1 概述 1136
37.2 Arm 参考文档 1137
37.3 引脚排列和调试端口引脚 1137
37.3.1 SWD 端口引脚 1137
37.3.2 SW-DP 引脚分配 1137
37.3.3 SWD 引脚上的内部上拉和下拉 1137
37.4 ID 代码和锁定机制 1138
37.5 SWD 端口 1138
37.5.1 SWD 协议简介 1138
37.5.2 SWD 协议序列 1138
37.5.3 SW-DP 状态机（复位、空闲状态、ID 代码） 1139
37.5.4 DP 和 AP 读/写访问 1139
37.5.5 SW-DP 寄存器 1140
37.5.6 SW-AP 寄存器 1140
37.6 内核调试 1141
37.7 BPU（断点单元） 1141
37.7.1 BPU 功能 1141

37.8 DWT（数据观察点） 1142
37.8.1 DWT 功能 1142
37.8.2 DWT 程序计数器采样寄存器 1142
37.9 MCU 调试组件 (DBG) 1142
37.9.1 对低功耗模式的调试支持 1142
37.9.2 对定时器、看门狗和 I^2C 的调试支持 1142
37.10 DBG 寄存器 1143
37.10.1 DBG 器件 ID 代码寄存器 (DBG_IDCODE) 1143
37.10.2 DBG 配置寄存器 (DBG_CR) 1144
37.10.3 DBG APB 冻结寄存器 1 (DBG_APB_FZ1) 1144
37.10.4 DBG APB 冻结寄存器 2 (DBG_APB_FZ2) 1146
37.10.5 DBG 寄存器映射 1148

38 器件电子签名 1149
38.1 唯一器件 ID 寄存器（96 位） 1149
38.2 Flash 大小数据寄存器 1150
38.3 封装数据寄存器 1151

39 版本历史 1152

表格索引

表 1. 外设与产品 . . . 50
表 2. STM32G071xx 和 STM32G081xx 存储器边界地址 . . . 55
表 3. STM32G031xx 和 STM32G041xx 存储器边界地址 . . . 55
表 4. STM32G0x1 外设寄存器边界地址 . . . 56
表 5. 自举模式 . . . 59
表 6. Flash 构成 . . . 62
表 7. Flash 时钟 (HCLK) 频率对应的等待状态数 . . . 63
表 8. 页擦除概述 . . . 66
表 9. 批量擦除概述 . . . 66
表 10. 选项字节格式 . . . 70
表 11. 选项字节的构成 . . . 70
表 12. Flash 读保护状态 . . . 77
表 14. 访问状态 vs 保护级别和执行模式 . . . 80
表 17. RDP 从级别 1 更改为级别 0 时受控安全存储区的擦除情况 . . . 83
表 18. FLASH 中断请求 . . . 84
表 19. FLASH 寄存器映射与复位值 . . . 97
表 20. 低功耗模式汇总 . . . 107
表 21. 功能取决于工作模式 . . . 108
表 22. 低功耗运行 . . . 111
表 23. 睡眠模式汇总 . . . 112
表 24. 低功耗睡眠模式汇总 . . . 113
表 25. 停止 0 模式汇总 . . . 115
表 26. 停止 1 模式汇总 . . . 116
表 27. 待机模式汇总 . . . 118
表 28. 关断模式汇总 . . . 119
表 29. PWR 寄存器映射和复位值 . . . 133
表 30. 时钟源频率 . . . 144
表 31. RCC 寄存器映射和复位值 . . . 185
表 32. 端口位配置表 . . . 189
表 33. GPIO 寄存器映射和复位值 . . . 203
表 34. SYSCFG 寄存器映射和复位值 . . . 224
表 35. 互连矩阵 . . . 227
表 36. DMA 实现 . . . 235
表 37. DMA 内部输入/输出信号 . . . 236
表 38. 可编程的数据宽度和字节序（PINC = MINC = 1 时） . . . 241
表 39. DMA 中断请求 . . . 242
表 40. DMA 寄存器映射和复位值 . . . 251
表 41. DMAMUX 实例化 . . . 254
表 42. 连接到 DMAMUX 的 DMA 输入请求分配表 . . . 254
表 43. 连接到 DMAMUX 的触发输入信号分配表 . . . 255
表 44. 连接到 DMAMUX 的同步输入信号分配表 . . . 255
表 45. DMAMUX 信号 . . . 257
表 46. DMAMUX 中断 . . . 261
表 47. DMAMUX 寄存器映射和复位值 . . . 265
表 48. 向量表 . . . 267
表 49. EXTI 信号概述 . . . 271
表 50. EVG 引脚概述 . . . 271
表 51. EXTI 事件输入配置和寄存器控制 . . . 272

表 52. EXTI 线连接 . . . 275
表 53. 屏蔽功能 . . . 276
表 54. EXTI 寄存器映射部分 . . . 276
表 55. EXTI 控制器寄存器映射和复位值 . . . 284
表 56. CRC 内部输入/输出信号 . . . 287
表 57. CRC 寄存器映射和复位值 . . . 291
表 58. ADC 内部输入/输出信号 . . . 294
表 59. ADC 输入/输出引脚 . . . 294
表 60. 触发与转换开始之间的延迟 . . . 298
表 61. 配置触发极性 . . . 304
表 62. 外部触发器 . . . 305
表 63. tSAR 与分辨率的对应关系 . . . 306
表 64. 模拟看门狗比较 . . . 315
表 65. 模拟看门狗 1 通道选择 . . . 315
表 66. 最大输出结果与 N 和 M 的对应关系。呈灰色显示的数值表示截断的部分 . . . 319
表 67. ADC 中断 . . . 324
表 68. ADC 寄存器映射和复位值 . . . 345
表 69. DAC 实现 . . . 347
表 70. DAC 输入/输出引脚 . . . 349
表 71. DAC 内部输入/输出信号 . . . 349
表 72. DAC 触发选择 . . . 352
表 73. 采样时间和刷新时间 . . . 356
表 74. 通道输出模式汇总 . . . 357
表 75. DAC 低功耗模式的作用 . . . 362
表 76. DAC 中断 . . . 362
表 77. DAC 寄存器映射和复位值 . . . 379
表 78. VREF 缓冲器模式 . . . 381
表 79. VREFBUF 寄存器映射和复位值 . . . 383
表 80. COMP1 非反相输入分配 . . . 385
表 81. COMP1 反相输入分配 . . . 386
表 82. COMP2 非反相输入分配 . . . 386
表 83. COMP2 反相输入分配 . . . 386
表 84. 低功耗模式下的比较器行为 . . . 389
表 85. 中断控制位 . . . 389
表 86. COMP 寄存器映射和复位值 . . . 394
表 87. RNG 内部输入/输出信号 . . . 396
表 88. RNG 中断请求 . . . 401
表 89. RNG 寄存器映射和复位值 . . . 405
表 90. AES 内部输入/输出信号 . . . 407
表 91. CTR 模式初始化向量定义 . . . 424
表 92. GCM 最后一个块定义 . . . 426
表 93. GCM 模式 IVI 位域初始化 . . . 427
表 94. 在 CCM 模式下初始化 AES_IVRx 寄存器 . . . 433
表 95. AES_KEYRx 寄存器中的密钥字节序（128 位或 256 位密钥长度） . . . 438
表 96. 用于存储器到 AES 数据传输的 DMA 通道配置 . . . 439
表 97. 用于 AES 到存储器数据传输的 DMA 通道配置 . . . 440
表 98. AES 中断请求 . . . 442
表 99. ECB、CBC 和 CTR 模式下的处理延迟（以时钟周期计） . . . 442
表 100. GCM 和 CCM 模式下的处理延迟（以时钟周期计） . . . 442
表 101. AES 寄存器映射和复位值 . . . 453
表 102. 定时器输出行为与 BRK/BRK2 输入 . . . 494
表 103. 刹车保护解除条件 . . . 496

表 104. 计数方向与编码器信号的关系 . . . 502
表 105. TIM1 内部触发连接 . . . 517
表 106. 具有刹车功能的互补通道 OCx 和 OCxN 的输出控制位 . . . 531
表 107. TIM1 寄存器映射和复位值 . . . 547
表 108. 计数方向与编码器信号的关系 . . . 583
表 109. TIMx 内部触发连接 . . . 599
表 110. 标准 OCx 通道的输出控制位 . . . 610
表 111. TIM2/TIM3 寄存器映射和复位值 . . . 620
表 112. TIMx 寄存器映射和复位值 . . . 635
表 113. 标准 OCx 通道的输出控制位 . . . 655
表 114. TIM14 寄存器映射和复位值 . . . 658
表 115. 断路保护解除条件 . . . 686
表 116. TIMx 内部触发连接 . . . 699
表 117. 具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM15 . . . 708
表 118. TIM15 寄存器映射和复位值 . . . 717
表 119. 具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM16/17 . . . 728
表 120. TIM16/TIM17 寄存器映射和复位值 . . . 739
表 121. STM32G0x1 LPTIM 特性 . . . 741
表 122. LPTIM 输入/输出引脚 . . . 742
表 123. LPTIM 内部信号 . . . 742
表 124. LPTIM1 外部触发连接 . . . 743
表 125. LPTIM2 外部触发连接 . . . 743
表 126. LPTIM1 输入 1 连接 . . . 744
表 127. LPTIM1 输入 2 连接 . . . 744
表 128. LPTIM2 输入 1 连接 . . . 744
表 129. 预分频器的分频比 . . . 745
表 130. 编码器计数方案 . . . 752
表 131. 低功耗模式对 LPTIM 的影响 . . . 753
表 132. 中断事件 . . . 753
表 133. LPTIM 寄存器映射和复位值 . . . 763
表 134. IWDG 寄存器映射和复位值 . . . 772
表 135. WWDG 寄存器映射和复位值 . . . 778
表 136. RTC 输入/输出引脚 . . . 781
表 137. RTC 内部输入/输出信号 . . . 781
表 138. RTC 互连 . . . 782
表 139. PC13 配置 . . . 782
表 140. RTC_OUT 映射 . . . 784
表 141. 低功耗模式对 RTC 的作用 . . . 793
表 142. 各种模式下的 RTC 引脚功能 . . . 793
表 143. 中断请求 . . . 794
表 144. RTC 寄存器映射和复位值 . . . 814
表 145. TAMP 输入/输出引脚 . . . 818
表 146. TAMP 内部输入/输出信号 . . . 818
表 147. TAMP 互连 . . . 818
表 148. 低功耗模式对 TAMP 的影响 . . . 820
表 149. 中断请求 . . . 821
表 150. TAMP 寄存器映射和复位值 . . . 829
表 151. STM32G0x1 I2C 实现 . . . 831
表 152. 模拟滤波器与数字滤波器对比 . . . 835
表 153. I2C-SMBUS 规范数据建立和保持时间 . . . 838
表 154. I2C 配置 . . . 842
表 155. I2C-SMBUS 规范时钟时序 . . . 852

表 156. fI2CCLK = 8 MHz 时的时序设置示例 862
表 157. fI2CCLK = 16 MHz 时的时序设置示例 862
表 158. fI2CCLK = 48 MHz 时的时序设置示例 863
表 159. SMBus 超时规范 865
表 160. 带 PEC 的 SMBUS 配置 866
表 161. 不同 I2CCLK 频率下的 TIMEOUTA 设置示例（最大 $t_{TIMEOUT}$ = 25 ms） 867
表 162. 不同 I2CCLK 频率下的 TIMEOUTB 设置示例 867
表 163. 不同 I2CCLK 频率下的 TIMEOUTA 设置示例（最大 t_{IDLE} = 50 µs） 868
表 164. 低功耗模式对 I2C 的影响 879
表 165. I2C 中断请求 879
表 166. I2C 寄存器映射和复位值 895
表 167. USART 特性 898
表 168. 通过采样数据进行噪声检测 911
表 169. BRR [3:0] = 0000 时的 USART 接收器容差 915
表 170. BRR[3:0] 不等于 0000 时的 USART 接收器容差 915
表 171. USART 帧格式 919
表 172. USART 中断请求 939
表 173. USART 寄存器映射和复位值 972
表 174. LPUART 特性 975
表 175. lpuart_ker_ck_pres = 32,768 KHz 时编程的波特率的误差计算 986
表 176. 采用 16 倍过采样 (OVER8 = 0) 时，在 fCK = 100 MHz 下 986
表 177. LPUART 接收器的容差 987
表 179. LPUART 中断请求 998
表 180. LPUART 寄存器映射和复位值 1021
表 181. STM32G0x1 SPI 和 SPI/I2S 实现 1024
表 182. SPI 中断请求 1047
表 183. 使用标准 8 MHz HSE 时的音频频率精度 1059
表 184. I2S 中断请求 1064
表 185. SPI/I2S 寄存器映射和复位值 1076
表 186. UCPD 实现 1078
表 187. UCPD 引脚 1080
表 188. UCPD 内部信号 1080
表 189. 4b5b 符号编码表 1082
表 190. 有序集 1084
表 191. 有序集验证 1084
表 192. 数据大小 1084
表 193. ANAMODE 和 ANASUBMODE 的编码及其与 TYPEC_VSTATE_CCx 的关系 1094
表 194. Type-C 顺序（供电方：3A）；的电缆/受电方已连接
（CC1 上连有 Rd；CC2 上连有 Ra） 1095
表 195. 低功耗模式对 UCPD 的影响 1097
表 196. UCPD 中断请求 1098
表 197. UCPD 寄存器映射和复位值 1115
表 198. HDMI 引脚 1119
表 199. 错误处理时序参数 1124
表 200. TXERR 时序参数 1126
表 201. HDMI-CEC 中断 1126
表 202. HDMI-CEC 寄存器映射和复位值 1135
表 203. SW 调试端口引脚 1137
表 204. 数据包请求（8 位） 1138
表 205. ACK 响应（3 位） 1139
表 206. DATA 传输（33 位） 1139
表 207. SW-DP 寄存器 1140

表 208. 32 位调试端口寄存器，通过移位值 A[3:2] 进行寻址. 1140
表 209. 内核调试寄存器. 1141
表 210. DEV_ID 和 REV_ID 位域值 1143
表 211. DBG 寄存器映射和复位值. 1148
表 212. 文档版本历史 1152

图片索引

图 1. 系统架构 . . . 51
图 2. 存储器映射 . . . 54
图 3. 更改读保护 (RDP) 级别 . . . 79
图 4. 禁止内核调试访问的示例 . . . 83
图 5. 电源概述 . . . 100
图 6. POR、PDR 和 BOR 阈值 . . . 103
图 7. PVD 阈值 . . . 104
图 8. 低功耗模式状态图 . . . 106
图 9. 复位电路简化框图 . . . 136
图 10. 时钟树 . . . 140
图 11. HSE/LSE 时钟源 . . . 141
图 12. TIM14 在捕获模式下的频率测量 . . . 147
图 13. TIM16 在捕获模式下的频率测量 . . . 147
图 14. TIM17 在捕获模式下的频率测量 . . . 148
图 15. I/O 端口位的基本结构 . . . 189
图 16. 输入浮空/上拉/下拉配置 . . . 193
图 17. 输出配置 . . . 194
图 18. 复用功能配置 . . . 194
图 19. 高阻态模拟配置 . . . 195
图 20. DMA 框图 . . . 235
图 21. DMAMUX 框图 . . . 256
图 22. DMAMUX 请求线复用器通道的同步模式 . . . 258
图 23. DMA 请求线复用器通道的事件生成 . . . 259
图 24. EXTI 框图 . . . 271
图 25. 触发逻辑 CPU 唤醒的可配置事件 . . . 273
图 26. 触发逻辑 CPU 唤醒的直接事件 . . . 274
图 27. EXTI GPIO 复用器 . . . 274
图 28. CRC 计算单元框图 . . . 286
图 29. ADC 框图 . . . 293
图 30. ADC 校准 . . . 295
图 31. 校准系数强制 . . . 296
图 32. 使能/禁止 ADC . . . 297
图 33. ADC 时钟方案 . . . 297
图 34. ADC 连接 . . . 299
图 35. 模数转换时间 . . . 303
图 36. ADC 转换时序 . . . 303
图 37. 停止正在进行的转换 . . . 304
图 38. 单次序列转换，软件触发 . . . 307
图 39. 连续序列转换，软件触发 . . . 307
图 40. 单次序列转换，硬件触发 . . . 308
图 41. 连续序列转换，硬件触发 . . . 308
图 42. 数据对齐方式和分辨率（过采样已禁止：OVSE = 0） . . . 309
图 43. 溢出示例 (OVR) . . . 310
图 44. 等待模式转换（连续模式，软件触发） . . . 312
图 45. WAIT=0、AUTOFF=1 时的行为 . . . 313
图 46. WAIT=1、AUTOFF=1 时的行为 . . . 314
图 47. 模拟看门狗的保护区域 . . . 315
图 48. ADC_AWDx_OUT 信号生成 . . . 316

图 49. ADC_AWDx_OUT 信号生成（AWDx 标志未通过软件清零） 317
图 50. ADC_AWDx_OUT 信号生成（单条通道上） 317
图 51. 模拟看门狗阈值更新 318
图 52. 20 位到 16 位结果的截断过程 318
图 53. 移 5 位并进行舍入的数值示例 319
图 54. 已触发的过采样模式（TOVS 位 = 1） 320
图 55. 温度传感器和 VREFINT 通道框图 321
图 56. VBAT 通道框图 323
图 57. 双通道 DAC 框图 348
图 58. DAC 单通道模式下的数据寄存器 350
图 59. DAC 双通道模式下的数据寄存器 351
图 60. 关闭触发 (TEN = 0) 时的转换时序图 351
图 61. DAC LFSR 寄存器计算算法 353
图 62. LFSR 产生波形的 DAC 转换（使能软件触发） 354
图 63. 生成 DAC 三角波 354
图 64. 生成三角波波形的 DAC 转换（使能软件触发） 355
图 65. DAC 采样和保持模式阶段图 357
图 66. 比较器框图 385
图 67. 窗口模式 387
图 68. 比较器迟滞 388
图 69. 比较器输出消隐 388
图 70. RNG 框图 396
图 71. 熵源模型 397
图 72. RNG 初始化概述 399
图 73. AES 框图 407
图 74. ECB 加密和解密原理 409
图 75. CBC 加密和解密原理 410
图 76. CTR 加密和解密原理 411
图 77. GCM 加密和认证原理 411
图 78. GMAC 认证原理 412
图 79. CCM 加密和认证原理 412
图 80. STM32 加密库 AES 流程图示例 413
图 81. STM32 加密库 AES 流程图示例（续） 414
图 82. 用于 ECB/CBC 解密的加密密钥派生（模式 2） 417
图 83. 挂起模式管理示例 418
图 84. ECB 加密 418
图 85. ECB 解密 419
图 86. CBC 加密 419
图 87. CBC 解密 420
图 88. ECB/CBC 加密（模式 1） 421
图 89. ECB/CBC 解密（模式 3） 421
图 90. CTR 模式下的消息结构 423
图 91. CTR 加密 424
图 92. CTR 解密 424
图 93. GCM 中的消息结构 425
图 94. GCM 已验证加密 427
图 95. GMAC 模式下的消息结构 430
图 96. GMAC 认证模式 431
图 97. CCM 模式下的消息结构 432
图 98. CCM 模式认证加密 433
图 99. 数据交换 128 位块的结构 437
图 100. 输入阶段 128 位数据块的 DMA 传输 439

图 101. 输出阶段 128 位数据块的 DMA 传输 440
图 102. AES 中断信号生成 441
图 103. 高级控制定时器框图 456
图 104. 预分频器分频由 1 变为 2 时的计数器时序图. 458
图 105. 预分频器分频由 1 变为 4 时的计数器时序图. 458
图 106. 计数器时序图，1 分频内部时钟 459
图 107. 计数器时序图，2 分频内部时钟 460
图 108. 计数器时序图，4 分频内部时钟 460
图 109. 计数器时序图，N 分频内部时钟 461
图 110. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载） 461
图 111. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载） 462
图 112. 计数器时序图，1 分频内部时钟 463
图 113. 计数器时序图，2 分频内部时钟 463
图 114. 计数器时序图，4 分频内部时钟 464
图 115. 计数器时序图，N 分频内部时钟 464
图 116. 计数器时序图，未使用重复计数器时更新事件 465
图 117. 计数器时序图，1 分频内部时钟，TIMx_ARR = 0x6 466
图 118. 计数器时序图，2 分频内部时钟 467
图 119. 计数器时序图，4 分频内部时钟，TIMx_ARR=0x36 467
图 120. 计数器时序图，N 分频内部时钟 468
图 121. 计数器时序图，ARPE=1 时的更新事件（计数器下溢） 468
图 122. 计数器时序图，ARPE=1 时的更新事件（计数器上溢） 469
图 123. 不同模式和 TIMx_RCR 寄存器设置下的更新频率示例 470
图 124. 外部触发输入模块 471
图 125. TIM1 ETR 输入电路 471
图 126. 正常模式下的控制电路，1 分频内部时钟 472
图 127. TI2 外部时钟连接示例. 473
图 128. 外部时钟模式 1 下的控制电路. 474
图 129. 外部触发输入模块 474
图 130. 外部时钟模式 2 下的控制电路. 475
图 131. 捕获/比较通道（示例：通道 1 输入阶段） 475
图 132. 捕获/比较通道 1 主电路 476
图 133. 捕获/比较通道的输出阶段（通道 1、通道 2 和通道 3） 477
图 134. 捕获/比较通道的输出阶段（通道 4） 477
图 135. 捕获/比较通道的输出阶段（通道 5 和通道 6） 478
图 136. PWM 输入模式时序 480
图 137. 输出比较模式，翻转 OC1 481
图 138. 边沿对齐模式的 PWM 波形 (ARR=8) 483
图 139. 中心对齐模式 PWM 波形 (ARR=8) 484
图 140. 50% 占空比时产生的 2 个相移 PWM 信号 485
图 141. 通道 1 和通道 3 上的组合 PWM 模式 486
图 142. 三相组合 PWM 信号（每个周期多个触发脉冲） 487
图 143. 带死区插入的互补输出 488
图 144. 延迟时间大于负脉冲宽度的死区波形 488
图 145. 延迟时间大于正脉冲宽度的死区波形 489
图 146. 刹车和刹车 2 电路概述 491
图 147. 响应 BRK 上的刹车事件的不同输出行为 (OSSI = 1) 493
图 148. BRK 和 BRK2 引脚使能后的 PWM 输出状态 (OSSI=1) 494
图 149. BRK 使能后的 PWM 输出状态 (OSSI=0) 495
图 150. 输出重定向（图中未显示 BRK2 请求） 496
图 151. 清除 TIMx 的 OCxREF 497
图 152. COM 事件生成 6 步 PWM 的示例 (OSSR=1) 498

图 153. 单脉冲模式示例. 499
图 154. 可再触发单脉冲模式 501
图 155. 编码器接口模式下的计数器工作示例。. 502
图 156. TI1FP1 极性反相时的编码器接口模式示例 503
图 157. 测量 3 个信号上边沿之间的时间间隔 504
图 158. 霍尔传感器接口的示例 505
图 159. 复位模式下的控制电路 506
图 160. 门控模式下的控制电路 507
图 161. 触发模式下的控制电路 508
图 162. 外部时钟模式 2 + 触发模式下的控制电路 509
图 163. 通用定时器框图. 551
图 164. 预分频器分频由 1 变为 2 时的计数器时序图. 553
图 165. 预分频器分频由 1 变为 4 时的计数器时序图. 553
图 166. 计数器时序图，1 分频内部时钟 554
图 167. 计数器时序图，2 分频内部时钟 555
图 168. 计数器时序图，4 分频内部时钟 555
图 169. 计数器时序图，N 分频内部时钟 556
图 170. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载） 556
图 171. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载） 557
图 172. 计数器时序图，1 分频内部时钟 558
图 173. 计数器时序图，2 分频内部时钟 558
图 174. 计数器时序图，4 分频内部时钟 559
图 175. 计数器时序图，N 分频内部时钟 559
图 176. 计数器时序图，不使用重复计数器时更新事件 560
图 177. 计数器时序图，1 分频内部时钟，TIMx_ARR=0x6. 561
图 178. 计数器时序图，2 分频内部时钟 562
图 179. 计数器时序图，4 分频内部时钟，TIMx_ARR=0x36. 562
图 180. 计数器时序图，N 分频内部时钟 563
图 181. 计数器时序图，ARPE=1 时的更新事件（计数器下溢） 563
图 182. 计数器时序图，ARPE=1 时的更新事件（计数器上溢） 564
图 183. 正常模式下的控制电路，1 分频内部时钟 565
图 184. TI2 外部时钟连接示例. 565
图 185. 外部时钟模式 1 下的控制电路. 566
图 186. 外部触发输入模块. 567
图 187. 外部时钟模式 2 下的控制电路. 567
图 188. 捕获/比较通道（示例：通道 1 输入阶段） 568
图 189. 捕获/比较通道 1 主电路 568
图 190. 捕获/比较通道的输出阶段（通道 1） 569
图 191. PWM 输入模式时序 571
图 192. 输出比较模式，翻转 OC1. 573
图 193. 边沿对齐模式的 PWM 波形 (ARR=8) 574
图 194. 中心对齐模式 PWM 波形 (ARR=8). 576
图 195. 50% 占空比时产生的 2 个相移 PWM 信号 577
图 196. 通道 1 和通道 3 上的组合 PWM 模式 578
图 197. 清除 TIMx 的 OCxREF 579
图 198. 单脉冲模式示例. 580
图 199. 可再触发单脉冲模式 582
图 200. 编码器接口模式下的计数器工作示例 583
图 201. TI1FP1 极性反相时的编码器接口模式示例 584
图 202. 复位模式下的控制电路 585
图 203. 门控模式下的控制电路 586
图 204. 触发模式下的控制电路 587

图 205. 外部时钟模式 2 + 触发模式下的控制电路 588
图 206. 主/从定时器示例 588
图 207. 使用 TIM3 的 OC1REF 对 TIM2 实施门控控制 589
图 208. 使用 TIM3 的使能信号对 TIM2 实施门控控制 590
图 209. 使用 TIM3 的更新事件触发 TIM2 591
图 210. 使用 TIM3 的使能信号触发 TIM2 591
图 211. 使用 TIM3 的 TI1 输入触发 TIM3 和 TIM2 592
图 212. 基本定时器框图 623
图 213. 预分频器分频由 1 变为 2 时的计数器时序图 625
图 214. 预分频器分频由 1 变为 4 时的计数器时序图 625
图 215. 计数器时序图，1 分频内部时钟 626
图 216. 计数器时序图，2 分频内部时钟 627
图 217. 计数器时序图，4 分频内部时钟 627
图 218. 计数器时序图，N 分频内部时钟 628
图 219. 计数器时序图，ARPE = 0 时更新事件（TIMx_ARR 未预装载） 628
图 220. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 预装载） 629
图 221. 正常模式下的控制电路，1 分频内部时钟 630
图 222. 通用定时器框图 (TIM14) 637
图 223. 预分频器分频由 1 变为 2 时的计数器时序图 638
图 224. 预分频器分频由 1 变为 4 时的计数器时序图 638
图 225. 计数器时序图，1 分频内部时钟 639
图 226. 计数器时序图，2 分频内部时钟 640
图 227. 计数器时序图，4 分频内部时钟 640
图 228. 计数器时序图，N 分频内部时钟 641
图 229. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载） 641
图 230. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载） 642
图 231. 正常模式下的控制电路，1 分频内部时钟 643
图 232. 捕获/比较通道（例如：通道 1 输入阶段） 643
图 233. 捕获/比较通道 1 主电路 644
图 234. 捕获/比较通道的输出阶段（通道 1） 644
图 235. 输出比较模式，翻转 OC1 647
图 236. 边沿对齐模式的 PWM 波形 (ARR=8) 648
图 237. TIM15 框图 662
图 238. TIM16/TIM17 框图 663
图 239. 预分频器分频由 1 变为 2 时的计数器时序图 665
图 240. 预分频器分频由 1 变为 4 时的计数器时序图 665
图 241. 计数器时序图，1 分频内部时钟 666
图 242. 计数器时序图，2 分频内部时钟 667
图 243. 计数器时序图，4 分频内部时钟 667
图 244. 计数器时序图，N 分频内部时钟 668
图 245. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载） 668
图 246. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 未预装载） 669
图 247. 不同模式和 TIMx_RCR 寄存器设置下的更新频率示例 670
图 248. 正常模式下的控制电路，1 分频内部时钟 671
图 249. TI2 外部时钟连接示例 671
图 250. 外部时钟模式 1 下的控制电路 672
图 251. 捕获/比较通道（示例：通道 1 输入阶段） 673
图 252. 捕获/比较通道 1 主电路 673
图 253. 捕获/比较通道的输出阶段（通道 1） 674
图 254. 捕获/比较通道的输出阶段（TIM15 的通道 2） 674
图 255. PWM 输入模式时序 676
图 256. 输出比较模式，翻转 OC1 678

图 257. 边沿对齐模式的 PWM 波形 (ARR=8) . . . 679
图 258. 通道 1 和通道 2 上的组合 PWM 模式 . . . 680
图 259. 带死区插入的互补输出 . . . 681
图 260. 延迟时间大于负脉冲宽度的死区波形 . . . 681
图 261. 延迟时间大于正脉冲宽度的死区波形 . . . 681
图 262. 断路电路概述 . . . 683
图 263. 输出的断路响应行为 . . . 685
图 264. 输出重定向 . . . 687
图 265. 单脉冲模式示例 . . . 688
图 266. 可再触发单脉冲模式 . . . 689
图 267. 测量 2 个信号上边沿之间的时间间隔 . . . 690
图 268. 复位模式下的控制电路 . . . 691
图 269. 门控模式下的控制电路 . . . 692
图 270. 触发模式下的控制电路 . . . 692
图 271. 低功耗定时器框图（LPTIM1 和 LPTIM2(1)） . . . 742
图 272. 去抖动滤波器时序图 . . . 745
图 273. LPTIM 输出波形，单次计数模式配置 . . . 747
图 274. LPTIM 输出波形，单次计数模式配置且激活置 1 一次模式（WAVE 位置 1） . . . 747
图 275. LPTIM 输出波形、连续计数模式配置 . . . 748
图 276. 生成波形 . . . 749
图 277. 编码器模式计数序列 . . . 752
图 278. IRTIM 内部硬件连接 . . . 765
图 279. 独立看门狗框图 . . . 766
图 280. 看门狗框图 . . . 774
图 281. 窗口看门狗时序图 . . . 775
图 282. RTC 框图 . . . 780
图 283. TAMP 框图 . . . 817
图 284. I2C1 框图 . . . 832
图 285. I2C2 框图 . . . 833
图 286. I2C 总线协议 . . . 835
图 287. 建立和保持时序 . . . 836
图 288. I2C 初始化流程图 . . . 839
图 289. 数据接收 . . . 840
图 290. 数据发送 . . . 841
图 291. 从器件初始化流程图 . . . 844
图 292. I2C 从发送器的传输序列流程图 (NOSTRETCH=0) . . . 845
图 293. I2C 从发送器的传输序列流程图 (NOSTRETCH=1) . . . 846
图 294. I2C 从发送器的传输总线图 . . . 847
图 295. 从接收器的传输序列流程图 (NOSTRETCH=0) . . . 848
图 296. 从接收器的传输序列流程图 (NOSTRETCH=1) . . . 849
图 297. I2C 从接收器的传输总线图 . . . 849
图 298. 主时钟生成 . . . 851
图 299. 主模式初始化流程图 . . . 853
图 300. 10 位地址读访问 (HEAD10R=0) . . . 853
图 301. 10 位地址读访问 (HEAD10R=1) . . . 854
图 302. I2C 主发送器的传输序列流程图（N≤255 字节） . . . 855
图 303. I2C 主发送器的传输序列流程图（N>255 字节） . . . 856
图 304. I2C 主发送器的传输总线图 . . . 857
图 305. I2C 主接收器的传输序列流程图（N≤255 字节） . . . 859
图 306. I2C 主接收器的传输序列流程图（N>255 字节） . . . 860
图 307. I2C 主接收器的传输总线图 . . . 861
图 308. $t_{LOW:SEXT}$ 和 $t_{LOW:MEXT}$ 的超时间隔 . . . 865

图 309. SMBus 从发送器的传输序列流程图（N 字节 + PEC）. 869
图 310. SMBus 从发送器的传输总线图 (SBC=1) 870
图 311. SMBus 从接收器的传输序列流程图（N 字节 + PEC）. 871
图 312. SMBus 从接收器的总线传输图 (SBC=1) 872
图 313. SMBus 主发送器的总线传输图. 873
图 314. SMBus 主接收器的总线传输图. 875
图 315. USART 框图. 899
图 316. 字长编程. 902
图 317. 可配置的停止位. 904
图 318. 发送时的 TC/TXE 行为. 906
图 319. 16 倍或 8 倍过采样时的起始位检测 907
图 320. usart_ker_ck 时钟分频器框图. 910
图 321. 16 倍过采样时的数据采样. 911
图 322. 8 倍过采样时的数据采样. 911
图 323. 使用空闲线路检测时的静默模式. 917
图 324. 使用地址标记检测时的静默模式. 918
图 325. LIN 模式下的中断检测（11 位中断长度——LBDL 位置 1）. 921
图 326. LIN 模式下的中断检测与帧错误检测. 922
图 327. USART 同步主发送示例. 923
图 328. USART 在同步主模式下的数据时钟时序图（M 位 = 00）. 923
图 329. USART 在同步主模式下的数据时钟时序图（M 位 = “01”）. 924
图 330. USART 在同步从模式下的数据时钟时序图（M 位 = 00）. 925
图 331. ISO 7816-3 异步协议 927
图 332. 使用 1.5 个停止位检测奇偶校验错误 928
图 333. IrDA SIR ENDEC 框图 931
图 334. IrDA 数据调制 (3/16)——正常模式. 932
图 335. 使用 DMA 进行发送 933
图 336. 使用 DMA 进行接收 934
图 337. 2 个 USART 间的硬件流控制 934
图 338. RS232 RTS 流控制. 935
图 339. RS232 CTS 流控制. 936
图 340. 唤醒事件通过验证（唤醒事件 = 地址匹配，禁止 FIFO）. 938
图 341. 唤醒事件未通过验证（唤醒事件 = 地址匹配，禁止 FIFO）. 938
图 342. LPUART 框图 976
图 343. LPUART 字长编程 978
图 344. 可配置的停止位. 980
图 345. 发送时的 TC/TXE 行为. 981
图 346. lpuart_ker_ck 时钟分频器框图 984
图 347. 使用空闲线路检测时的静默模式. 988
图 348. 使用地址标记检测时的静默模式. 989
图 349. 使用 DMA 进行发送 991
图 350. 使用 DMA 进行接收 992
图 351. 2 个 LPUART 间的硬件流控制 993
图 352. RS232 RTS 流控制. 993
图 353. RS232 CTS 流控制. 994
图 354. 唤醒事件通过验证（唤醒事件 = 地址匹配，禁止 FIFO）. 996
图 355. 唤醒事件未通过验证（唤醒事件 = 地址匹配，禁止 FIFO）. 997
图 356. SPI 框图 1025
图 357. 全双工单个主器件/单个从器件应用 1026
图 358. 半双工单个主器件/单个从器件应用 1026
图 359. 单工单个主器件/单个从器件应用（主器件为只发送模式/从器件为只接收模式） 1027
图 360. 主器件和三个独立的从器件. 1028

图 361. 多主应用 . . . 1029
图 362. 硬件/软件从器件选择管理. . . 1030
图 363. 数据时钟时序图. . . 1031
图 364. 数据长度不等于 8 位或 16 位时的数据对齐 . . . 1032
图 365. 发送和接收FIFO中的数据封包 . . . 1035
图 366. 主器件全双工通信 . . . 1038
图 367. 从器件全双工通信 . . . 1039
图 368. 带有 CRC 的主器件全双工通信 . . . 1040
图 369. 封装模式下的主器件全双工通信 . . . 1041
图 370. Motorola SPI 主模式下的 NSSP 脉冲生成 . . . 1044
图 371. TI 模式传输 . . . 1045
图 372. I2S 框图 . . . 1048
图 373. I^2S Philips 协议波形（16/32 位全精度） . . . 1050
图 374. I^2S Philips 标准波形（24 位帧） . . . 1050
图 375. 发送 0x8EAA33. . . . 1050
图 376. 接收 0x8EAA33. . . . 1051
图 377. I^2S Philips 标准波形（16 位扩展到 32 位数据包帧） . . . 1051
图 378. 16 位数据帧扩展到 32 位通道帧的示例 . . . 1051
图 379. MSB 对齐的 16 位或 32 位全精度长度 . . . 1052
图 380. MSB 对齐的 24 位帧长度 . . . 1052
图 381. 扩展为 32 位数据包帧的 MSB 对齐的 16 位 . . . 1052
图 382. LSB 对齐的 16 位或 32 位全精度 . . . 1053
图 383. LSB 对齐的 24 位帧长度. . . . 1053
图 384. 发送 0x3478AE 所需的操作 . . . 1053
图 385. 接收 0x3478AE 时所需的操作 . . . 1054
图 386. 扩展为 32 位数据包帧的 LSB 对齐的 16 位 . . . 1054
图 387. 16 位数据帧扩展到 32 位通道帧的示例 . . . 1054
图 388. PCM 标准波形（16 位） . . . 1055
图 389. PCM 标准波形（16 位扩展到 32 位数据包帧） . . . 1055
图 390. 在主模式下启动通信序列 . . . 1056
图 391. 音频采样频率定义 . . . 1057
图 392. I^2S 时钟发生器架构. . . . 1057
图 393. UCPD 框图 . . . 1079
图 394. 时钟分频和时序元件 . . . 1081
图 395. K 代码发送 . . . 1083
图 396. 不同数据大小的发送顺序 . . . 1085
图 397. 数据包格式 . . . 1085
图 398. 线路硬复位格式. . . . 1086
图 399. 线路电缆复位格式 . . . 1086
图 400. BIST 测试数据帧. . . . 1087
图 401. BIST 载波模式 2 帧. . . . 1088
图 402. UCPD BMC 发送器架构 . . . 1089
图 403. UCPD BMC 接收器架构 . . . 1090
图 404. HDMI-CEC 框图 . . . 1119
图 405. 消息结构 . . . 1120
图 406. 块 . . . 1120
图 407. 位时序 . . . 1121
图 408. 信号空闲时间 . . . 1121
图 409. 仲裁阶段 . . . 1122
图 410. 三个标称位周期的 SFT . . . 1122
图 411. 错误位时序 . . . 1123
图 412. 错误处理 . . . 1124

图 413. TXERR 检测 1125
图 414. STM32G0x1 MCU 和 Cortex®-M0+ 级调试支持框图 1136

1 文档约定

1.1 概述

STM32G0x1 器件具有 Arm®(a) Cortex®-M0+ 内核。

1.2 寄存器相关缩写词列表

寄存器说明中使用以下缩写词(b)：

读/写 (rw)	软件可以读写该位。
只读 (r)	软件只能读取该位。
只写 (w)	软件只能写入该位。读取该位时将返回复位值。
读取/写入 0 清零 (rc_w0)	软件可以读取该位，也可以通过写入 0 将该位清零。写入 1 对该位的值无影响。
读取/写入 1 清零 (rc_w1)	软件可以读取该位，也可以通过写入 1 将该位清零。写入 0 对该位的值无影响。
读取/写入清零 (rc_w)	软件可以读取该位，也可以通过写入寄存器将该位清零。写入该位的值并不重要。
读取/读取清零 (rc_r)	软件可以读取该位。读取该位时，将该位自动清零。写入该位对其值无影响。
读取/读取置位 (rs_r)	软件可以读取该位。读取该位时，将该位自动置 1。写入该位对其值无影响。
读取/置位 (rs)	软件可以读取该位，也可将其置 1。写入 0 对该位的值无影响。
读/仅可写入一次 (rwo)	软件仅可写入一次该位，但可随时读取该位。只能通过复位将该位返回到复位值。
切换 (t)	软件可以通过写入 1 来切换该位。写入 0 无影响。
只读，写触发 (rt_w1)	软件可以读取该位。写入 1 时，将触发事件，但不会影响该位的值。
保留 (Res.)	保留位，必须保持复位值。

a. Arm 是 Arm Limited（或其子公司）在美国和/或其他国家/地区的注册商标。

b. 这是一个涵盖适用于 STM 微控制器的所有缩写词的详尽列表，其中一些缩写词在当前文档中可能并未使用。

1.3 词汇表

本节简要介绍本文档中所用首字母缩略词和缩写词的定义：

- **字**：32 位数据。
- **半字**：16 位数据。
- **字节**：8 位数据。
- **SWD-DP（SWD 调试端口）**：SWD-DP 提供基于串行线调试 (SWD) 协议的 2 引脚（时钟和数据）接口。请参见 Cortex®-M0+ 技术参考手册。
- **IAP（在应用中编程）**：IAP 是指可以在用户程序运行期间对微控制器的 Flash 进行重新编程。
- **ICP（在线编程）**：ICP 是指可以在器件安装于用户应用电路板上时使用 SWD 协议或自举程序对微控制器的 Flash 进行编程。
- **选项字节**：存储于 Flash 中的产品配置位。
- **OBL**：选项字节加载器。
- **AHB**：高级高性能总线。
- **APB**：高级外设总线。

1.4 外设的可用性

有关各型号产品的外设可用性以及数量信息，请参见相关器件数据手册。

下表显示了 STM32G0x1 系列各产品中非通用外设的可用性。

表 1. 外设与产品

特性	STM32G031	STM32G041	STM32G071	STM32G081
RNG	无	有	无	有
AES	无	有	无	有
DAC	无	无	有	有
COMP	无	无	有	有
TIM6 和 TIM7	无	无	有	有
TIM15	无	无	有	有
USART3 和 USART4	无	无	有	有
UCPD	无	无	有	有
CEC	无	无	有	有

2 存储器和总线架构

2.1 系统架构

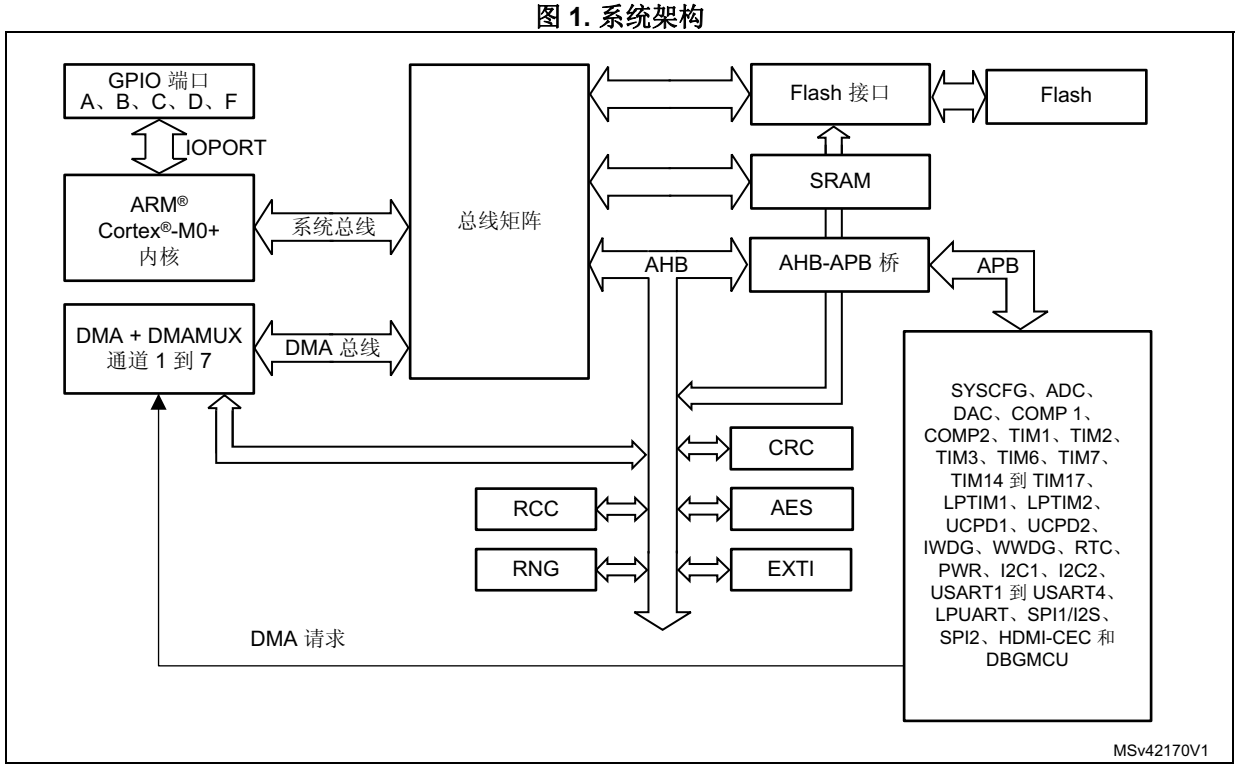
主系统包括：

- 两个主器件：
  - Cortex®-M0+ 内核
  - 通用 DMA
- 三个从器件：
  - 内部 SRAM
  - 内部 Flash
  - 带 AHB-APB 桥的 AHB，用于连接所有 APB 外设

这些外设使用多层 AHB 总线架构互连，如*图 1* 所示。

仅 STM32G081xx 和 STM32G041xx 器件支持 RNG 和 AES 功能。

图 1. 系统架构



系统总线（S 总线）

此总线将 Cortex®-M0+ 内核的系统总线（外设总线）连接到总线矩阵，而总线矩阵管理着内核和 DMA 之间的仲裁。

DMA 总线

此总线用于将 DMA 的 AHB 主接口连接到总线矩阵，而总线矩阵管理着 CPU 和 DMA 对 SRAM、Flash 以及 AHB/APB 外设的访问。

总线矩阵

总线矩阵管理内核系统总线和 DMA 主控总线之间的访问仲裁。仲裁采用循环调度算法。总线矩阵由主控总线（CPU 和 DMA）和被控总线（Flash 接口、SRAM 和 AHB-APB 桥）组成。

AHB 外设通过总线矩阵连接到系统总线进行 DMA 访问。

AHB-APB 桥 (APB)

AHB-APB 桥可在 AHB 与 APB 总线之间实现完全同步的连接。

有关连接到此总线桥的外设的地址映射，请参见*第 2.2 节：存储器构成*。

每次芯片复位后，所有外设时钟都被关闭（SRAM 和 Flash 除外）。使用外设之前，必须先在 RCC_AHBENR、RCC_APBENRx 或 RCC_IOPENR 寄存器中使能其时钟。

注： *对 APB 寄存器执行 16 位或 8 位访问时，该访问将转换为 32 位访问：总线桥将 16 位或 8 位数据复制后提供给 32 位向量。*

2.2 存储器构成

2.2.1 简介

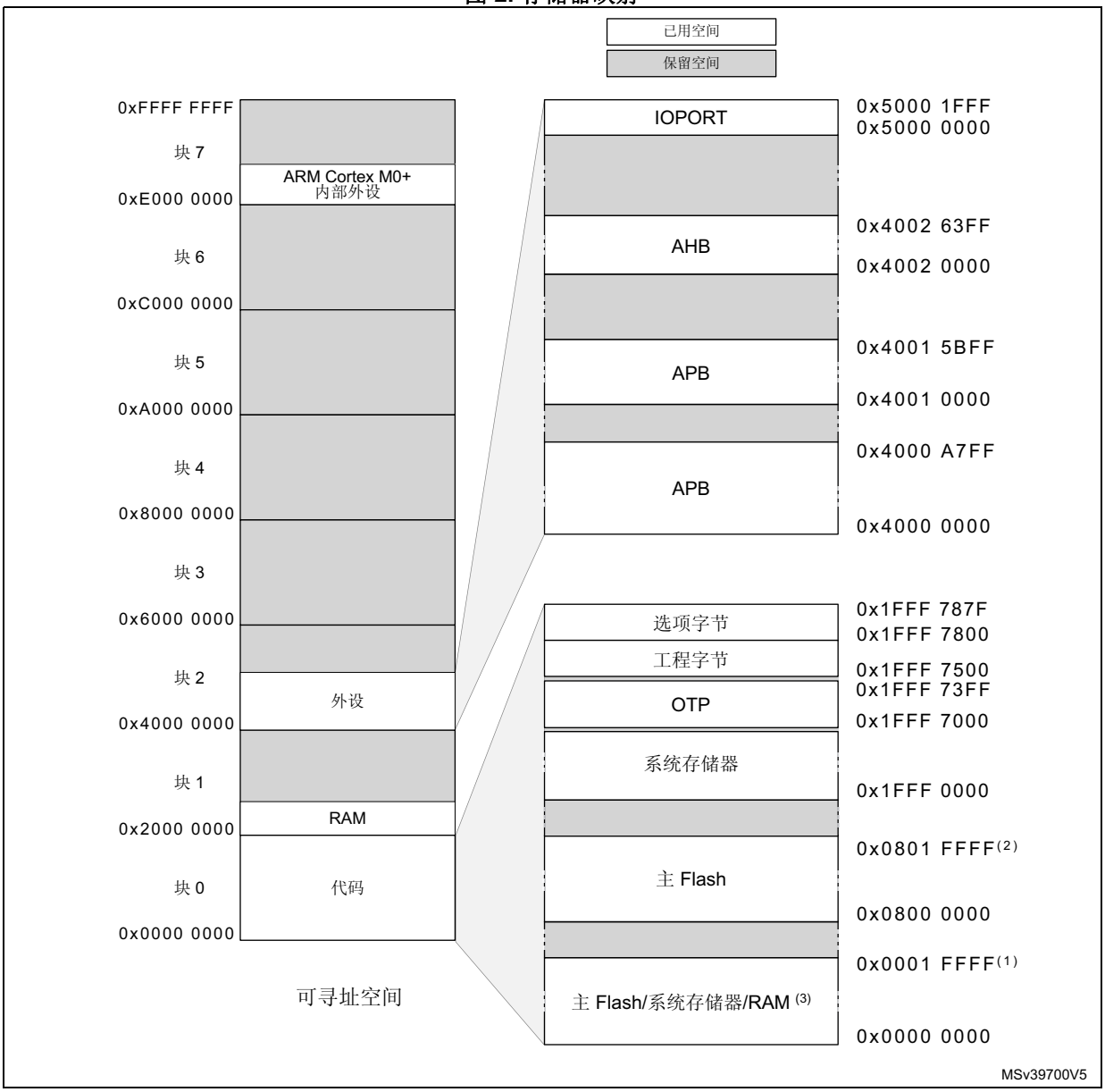
程序存储器、数据存储器、寄存器和 I/O 端口排列在同一个线性（即地址连续）的 4 GB 地址空间内。

各字节按小端格式在存储器中编码。字中编号最低的字节被视为该字的最低有效字节，而编号最高的字节被视为最高有效字节。

可寻址的存储空间分为 8 个主要块，每个块为 512 MB。

2.2.2 存储器映射和寄存器边界地址

图 2. 存储器映射



1. 适用于 STM32G071xx 和 STM32G081xx。对于 STM32G031xx 和 STM32G041xx，值为 0x0000 FFFF。
2. 适用于 STM32G071xx 和 STM32G081xx。对于 STM32G031xx 和 STM32G041xx，值为 0x0800 FFFF。
3. 取决于自举配置。

未分配给片上存储器和外设的所有存储映射区域均视为“保留区”。有关可用存储器和寄存器区域的详细映射，请参见以下两个表。

表 2. STM32G071xx 和 STM32G081xx 存储器边界地址

类型	边界地址	大小	存储区	寄存器说明
SRAM	0x2000 9000 - 0x3FFF FFFF	~512 MB	保留	-
	0x2000 0000 - 0x2000 8FFF	36 KB	SRAM	*第 58 页的第 2.3 节*
代码	0x1FFF 7880 - 0x1FFF FFFF	~34 KB	保留	-
	0x1FFF 7800 - 0x1FFF 787F	128 B	选项字节	*第 70 页的第 3.4 节*
	0x1FFF 7500 - 0x1FFF 77FF	768 B	工程字节	-
	0x1FFF 7400 - 0x1FFF 74FF	256 B	保留	-
	0x1FFF 7000 - 0x1FFF 73FF	1 KB	OTP	-
	0x1FFF 0000 - 0x1FFF 6FFF	28 KB	系统存储器	-
	0x0802 0000 - 0x1FFF D7FF	~384 MB	保留	-
	0x0800 0000 - 0x0801 FFFF	128 KB	主 Flash	*第 62 页的第 3.3.1 节*
	0x0002 0000 - 0x07FF FFFF	~8 MB	保留	-
	0x0000 0000 - 0x0001 FFFF	128 KB	主 Flash、 系统存储器或 SRAM （取决于 BOOT 配置）	-

表 3. STM32G031xx 和 STM32G041xx 存储器边界地址

类型	边界地址	大小	存储区	寄存器说明
SRAM	0x2000 2000 - 0x3FFF FFFF	~512 MB	保留	-
	0x2000 0000 - 0x2000 1FFF	8 KB	SRAM	*第 58 页的第 2.3 节*
代码	0x1FFF 7880 - 0x1FFF FFFF	~34 KB	保留	-
	0x1FFF 7800 - 0x1FFF 787F	128 B	选项字节	*第 70 页的第 3.4 节*
	0x1FFF 7500 - 0x1FFF 77FF	768 B	工程字节	-
	0x1FFF 7400 - 0x1FFF 74FF	256 B	保留	-
	0x1FFF 7000 - 0x1FFF 73FF	1 KB	OTP	-
	0x1FFF 2000 - 0x1FFF 6FFF	~20 KB	保留	-
	0x1FFF 0000 - 0x1FFF 1FFF	8 KB	系统存储器	-
	0x0801 0000 - 0x1FFF D7FF	~384 MB	保留	-
	0x0800 0000 - 0x0800 FFFF	64 KB	主 Flash	*第 62 页的第 3.3.1 节*
	0x0001 0000 - 0x07FF FFFF	~8 MB	保留	-
	0x0000 0000 - 0x0000 FFFF	64 KB	主 Flash、 系统存储器或 SRAM （取决于 BOOT 配置）	-

下表给出了外设的边界地址。

表 4. STM32G0x1 外设寄存器边界地址

总线	边界地址	大小	外设	外设寄存器映射
-	0xE000 0000 - 0xE00F FFFF	1 MB	Cortex®-M0+ 内部外设	-
IOPORT	0x5000 1800 - 0x5FFF FFFF	~256 MB	保留	-
	0x5000 1400 - 0x5000 17FF	1 KB	GPIOF	*第 203 页的第 6.4.12 节*
	0x5000 1000 - 0x5000 13FF	1 KB	保留	-
	0x5000 0C00 - 0x5000 0FFF	1 KB	GPIOD	*第 203 页的第 6.4.12 节*
	0x5000 0800 - 0x5000 0BFF	1 KB	GPIOC	*第 203 页的第 6.4.12 节*
	0x5000 0400 - 0x5000 07FF	1 KB	GPIOB	*第 203 页的第 6.4.12 节*
	0x5000 0000 - 0x5000 03FF	1 KB	GPIOA	*第 203 页的第 6.4.12 节*
AHB	0x4002 6400 - 0x4FFF FFFF	~256 MB	保留	-
	0x4002 6000 - 0x4002 63FF	1 KB	AES	*第 453 页的第 19.7.18 节*
	0x4002 5400 - 0x4002 5FFF	3 KB	保留	-
	0x4002 5000 - 0x4002 53FF	1 KB	RNG	*第 405 页的第 18.7.4 节*
	0x4002 3400 - 0x4002 4FFF	3 KB	保留	-
	0x4002 3000 - 0x4002 33FF	1 KB	CRC	*第 291 页的第 13.4.6 节*
	0x4002 2400 - 0x4002 2FFF	3 KB	保留	-
	0x4002 2000 - 0x4002 23FF	1 KB	FLASH	*第 97 页的第 3.7.15 节*
	0x4002 1C00 - 0x4002 1FFF	3 KB	保留	-
	0x4002 1800 - 0x4002 1BFF	1 KB	EXTI	*第 284 页的第 12.5.11 节*
	0x4002 1400 - 0x4002 17FF	1 KB	保留	-
	0x4002 1000 - 0x4002 13FF	1 KB	RCC	*第 185 页的第 5.4.23 节*
	0x4002 0C00 - 0x4002 0FFF	1 KB	保留	-
	0x4002 0800 - 0x4002 0BFF	2 KB	DMAMUX	*第 265 页的第 10.6.7 节*
	0x4002 0400 - 0x4002 07FF	1 KB	保留	-
	0x4002 0000 - 0x4002 03FF	1 KB	DMA	*第 251 页的第 9.6.7 节*
APB	0x4001 5C00 - 0x4001 FFFF	32 KB	保留	-
	0x4001 5800 - 0x4001 5BFF	1 KB	DBG	*第 1148 页的第 37.10.5 节*
	0x4001 4C00 - 0x4001 57FF	3 KB	保留	-
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17	*第 739 页的第 24.6.22 节*
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16	*第 739 页的第 24.6.22 节*

表 4. STM32G0x1 外设寄存器边界地址 （续）

总线	边界地址	大小	外设	外设寄存器映射
APB	0x4001 4000 - 0x4001 43FF	1 KB	TIM15	第 739 页的第 24.6.22 节
	0x4001 3C00 - 0x4001 3FFF	1 KB	保留	-
	0x4001 3800 - 0x4001 3BFF	1 KB	USART1	第 972 页的第 32.7.15 节
	0x4001 3400 - 0x4001 37FF	1 KB	保留	-
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1/I2S1	第 1076 页的第 34.9.10 节
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1	第 511 页的第 20.4 节
	0x4001 2800 - 0x4001 2BFF	1 KB	保留	-
	0x4001 2400 - 0x4001 27FF	1 KB	ADC	第 345 页的第 14.12.17 节
	0x4001 0400 - 0x4001 23FF	8 KB	保留	-
	0x4001 0200 - 0x4001 03FF	1 KB	COMP	第 394 页的第 17.6.3 节
	0x4001 0080 - 0x4001 01FF		SYSCFG(ITLINE)(1)	第 224 页的第 7.1.35 节
	0x4001 0030 - 0x4001 007F		VREFBUF	第 383 页的第 16.3.3 节
	0x4001 0000 - 0x4001 002F		SYSCFG	第 224 页的第 7.1.35 节
	0x4000 B400- 0x4000 FFFF	19 KB	保留	-
	0x4000 B000 - 0x4000 B3FF	1 KB	TAMP（+ BKP 寄存器）	第 829 页的第 30.6.9 节
	0x4000 A800 - 0x4000 AFFF	2 KB	保留	-
	0x4000 A400 - 0x4000 A7FF	1 KB	UCPD2	第 1115 页的第 35.7.15 节
	0x4000 A000 - 0x4000 A3FF	1 KB	UCPD1	第 1115 页的第 35.7.15 节
	0x4000 9800 - 0x4000 9FFF	2 KB	保留	-
	0x4000 9400 - 0x4000 97FF	1 KB	LPTIM2	第 763 页的第 25.7.10 节
	0x4000 8400 - 0x4000 93FF	4 KB	保留	-
	0x4000 8000 - 0x4000 83FF	1 KB	LPUART1	第 972 页的第 32.7.15 节
	0x4000 7C00 - 0x4000 7FFF	1 KB	LPTIM1	第 763 页的第 25.7.10 节
	0x4000 7800 - 0x4000 7BFF	1 KB	HDMI-CEC	第 1135 页的第 36.7.7 节
	0x4000 7400 - 0x4000 77FF	1 KB	DAC	第 379 页的第 15.7.21 节
	0x4000 7000 - 0x4000 73FF	1 KB	PWR	第 133 页的第 4.4.18 节
	0x4000 5C00 - 0x4000 6FFF	5 KB	保留	-
	0x4000 5800 - 0x4000 5BFF	1 KB	I2C2	第 895 页的第 31.7.12 节
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1	第 895 页的第 31.7.12 节
	0x4000 5000 - 0x4000 53FF	1 KB	保留	-
	0x4000 4C00 - 0x4000 4FFF	1 KB	USART4	第 972 页的第 32.7.15 节
	0x4000 4800 - 0x4000 4BFF	1 KB	USART3	第 972 页的第 32.7.15 节
	0x4000 4400 - 0x4000 47FF	1 KB	USART2	第 972 页的第 32.7.15 节
	0x4000 3C00 - 0x4000 43FF	2 KB	保留	-
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2	第 1076 页的第 34.9.10 节

表 4. STM32G0x1 外设寄存器边界地址 （续）

总线	边界地址	大小	外设	外设寄存器映射
APB	0x4000 3400 - 0x4000 37FF	1 KB	保留	-
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG	*第 772 页的第 27.4.6 节*
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG	*第 778 页的第 28.4.4 节*
	0x4000 2800 - 0x4000 2BFF	1 KB	RTC	*第 814 页的第 29.6.21 节*
	0x4000 2400 - 0x4000 27FF	1 KB	保留	-
	0x4000 2000 - 0x4000 23FF	1 KB	TIM14	*第 658 页的第 23.4.13 节*
	0x4000 1800 - 0x4000 1FFF	2 KB	保留	-
	0x4000 1400 - 0x4000 17FF	1 KB	TIM7	*第 635 页的第 22.4.9 节*
	0x4000 1000 - 0x4000 13FF	1 KB	TIM6	*第 635 页的第 22.4.9 节*
	0x4000 0800 - 0x4000 0FFF	2 KB	保留	-
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3	*第 620 页的第 21.4.28 节*
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2	*第 620 页的第 21.4.28 节*

1. SYSCFG (ITLINE) 寄存器使用 0x4001 0000 作为参考外设基址。

2.3 嵌入式 SRAM

STM32G071xx 和 STM32G081xx 器件在奇偶校验使能时具有 32 KB SRAM（静态 RAM），在奇偶校验禁止时具有 36 KB SRAM。无论奇偶校验配置如何，STM32G031xx 和 STM32G041xx 器件均具有 8 KB SRAM。

SRAM 能够以最大系统时钟频率按字节、半字（16 位）或全字（32 位）访问，无等待状态，因此可由 CPU 和 DMA 访问。

奇偶校验

用户可以使用用户选项字节中的选项位 RAM_PARITY_CHECK 启用奇偶校验（请参见*第 3.4 节：FLASH 选项字节*）。

由于 B 类或 SIL 标准等要求提高存储器稳健性，因此数据总线宽度为 36 位，其中有 4 位用于奇偶校验（每字节 1 位）。

奇偶校验位在写入 SRAM 时进行计算和保存，然后在读取时自动进行校验。如果某一位失败，则将生成 NMI。该错误也可以链接到 TIM1/15/16/17 的刹车输入 BRK_IN（通过 *SYSCFG 配置寄存器 2 (SYSCFG_CFGR2)* 中的 SRAM_PARITY_LOCK 控制位）。*SYSCFG 配置寄存器 2 (SYSCFG_CFGR2)* 中有 SRAM 奇偶校验错误标志 (SRAM_PEF)。

注： *当启用 SRAM 奇偶校验时，建议在代码开始处使用软件初始化整个 SRAM，以免在读取非初始化位置时出现奇偶校验错误。*

2.4 Flash 概述

Flash 由两个不同的物理区域组成：

- 主 Flash 块。它包含应用程序和用户数据（如有必要）。
- 信息块。它包含三部分：
  - 用于硬件和存储器保护用户配置的选项字节。
  - 包含专有自举程序代码的系统存储器。
  - OTP（一次性可编程）区域
    更多详细信息，请参见*第 3 节：嵌入式 Flash (FLASH)*。

Flash 接口根据 AHB 协议执行指令访问和数据访问，使用预取缓冲器来加快 CPU 代码执行速度，并通过 Flash 寄存器控制执行 Flash 操作（编程/擦除）的逻辑。

2.5 自举配置

在 STM32G0x1 中，可通过 BOOT0 引脚、FLASH_SECR 寄存器中的 BOOT_LOCK 位以及用户选项字节中的自举配置位 nBOOT1、BOOT_SEL 和 nBOOT0 选择三种不同的自举模式，如下表所示。

表 5. 自举模式

自举模式配置					所选自举区域
BOOT_LOCK 位	nBOOT1 位	BOOT0 引脚	nBOOT_SEL 位	nBOOT0 位	
0	x	0	0	x	主 Flash
0	1	1	0	x	系统存储器
0	0	1	0	x	嵌入式 SRAM
0	x	x	1	1	主 Flash
0	1	x	1	0	系统存储器
0	0	x	1	0	嵌入式 SRAM
1	x	x	x	x	强制选择主 Flash

复位后，在 SYSCLK 的第四个上升沿锁存自举模式配置。用户可自行设置所需的自举模式配置。

退出待机模式后，还可以对启动模式配置进行重新采样。因此，在待机模式中，这些引脚必须保持所需的自举模式配置。该启动延迟结束后，CPU 将从地址 0x0000 0000 获取栈顶值，然后从始于 0x0000 0004 的自举存储器开始执行代码。

根据所选的自举模式，主 Flash、系统存储器或SRAM可如下访问：

- 从主 Flash 自举：主 Flash 在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x0800 0000) 访问。换句话说，闪存内容可从地址 0x0000 0000 或 0x0800 0000 开始访问。
- 从系统存储器自举：系统存储器在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x1FFF0000) 访问。
- 从嵌入式 SRAM 自举：SRAM 在自举存储器空间 (0x0000 0000) 中有别名，但也可从它原来的存储器空间 (0x2000 0000) 访问。

强制从用户 Flash 自举

无论其他自举模式配置位如何，都能够使用 BOOT_LOCK 位强制从主 Flash 中的唯一入口点进行自举。请参见*强制从 Flash 自举*一节。

空数据检查

内部空数据检查标志（*FLASH 访问控制寄存器 (FLASH_ACR)* 的 EMPTY 位）允许用户轻松地使用自举程序对原始器件进行编程。当 BOOT0 引脚将主 Flash 定义为目标自举区时，系统将获取该标志的状态。该标志置 1 后，会将器件视为空器件，并选择系统存储器（自举程序）而不是主 Flash 作为自举区域，以允许用户对 Flash 进行编程。

此标记仅会在选项字节加载期间进行更新：当地址 0x0800 0000 的内容读为 0xFFFF FFFF 时，此标记会置位，否则会清零。这意味着将原始器件设定为在系统复位后执行用户代码之后，需要上电复位或将 FLASH_CR 寄存器中的 OBL_LAUNCH 位置 1 才能清零此标志。EMPTY 位也可直接由软件写入。

注： *如果器件是首次进行编程，但选项字节未重新载入，器件在系统复位后仍将选择系统存储器作为自举区域。*

物理重映射

选择了自举模式后，应用软件仍然可以修改在代码区域使用的存储器。这种修改是通过对 *SYSCFG 配置寄存器 1 (SYSCFG_CFGR1)* 中的 MEM_MODE 位进行编程执行的。

嵌入式自举程序

嵌入式自举程序位于系统存储器中，由ST在生产阶段编程。它用于通过以下串行接口重新编程 Flash：

- 引脚 PA2/PA3、PA9/PA10 或（仅 STM32G071xx 和 STM32G081xx 上）PC10/PC11 上的 USART
- 引脚 PB6/PB7 或 PB10/PB11 上的 I2C
- 仅 STM32G071xx 和 STM32G081xx 上的引脚 PA4/PA5、PA6/PA7、PB12/PB13 或 PB14/PB15 上的 SPI

更多详细信息，请参见 AN2606。

3 嵌入式 Flash (FLASH)

3.1 FLASH 简介

Flash 接口可管理 CPU (Cortex®-M0+) AHB 对 Flash 进行的访问。该接口可针对 Flash 执行擦除和编程操作，读写保护和安全机制。

Flash 接口通过指令预取和缓存机制加速代码执行。

3.2 FLASH 主要特性

- 高达 128 KB 的 Flash 单存储区域架构
- 存储器构成：1 个存储区域
  - 主存储器：高达 128 KB
  - 页大小：2 KB
  - 子页大小：512 字节
- 数据读取宽度为 72 位（64 位 + 8 个 ECC 位）
- 数据写入宽度为 72 位（64 位 + 8 个 ECC 位）
- 页擦除 (2 KB) 和批量擦除

Flash 接口特性：

- Flash 读操作
- Flash 编程/擦除操作
- 由选项字节 (RDP) 激活的读保护
- 由选项字节 (WRP) 选择的两个写保护区域
- 由选项字节 (PCROP) 选择的两个专有代码读保护区域
- 受控安全存储区
- Flash 为空检查
- 预取缓冲器
- CPU 指令缓存：两个 64 位缓存行（16 字节 RAM）
- 误码校正 (ECC)：每 64 位对应有 8 位
- 选项字节加载器

3.3 FLASH 功能说明

3.3.1 FLASH 构成

Flash 由 72 位宽的存储单元（64 位 + 8 个 ECC 位）构成，可用于存储代码和数据常量。

Flash 构成如下：

- 一个主存储器块，包含 64 个 2 KB 的页，每页有 8 个 256 字节的行。
- 一个信息块，包括：
  - 系统存储器，CPU 在系统存储器自举模式下从该存储器自举。此区域保留，其中包含自举程序，用于通过以下接口之一对 Flash 进行重新编程：USART1、USART2、I2C1、I2C2；在 STM32G071xx 和 STM32G081xx 器件上，还可通过 USART3、SPI1 和 SPI2 进行重新编程。器件在生产线上进行编程并获得保护，以防止误写/误擦除操作。更多详细信息，请参见 *www.st.com* 上提供的 AN2606。
  - 1 KB（128 个双字）OTP（一次性可编程），用于存储用户数据。OTP 数据不能擦除，只能执行一次写操作。如果仅一位为 0，则即使值为 0x0000 0000 0000 0000，整个双字（64 位）也无法再写入。
    当 RDP 级别为 1 且自举源不是主 Flash 区域时，无法读取 OTP 区域。
  - 用于用户配置的选项字节。

单个存储区域中的 Flash 映射到主存储区和信息块，如下面的*表 6* 所示。

表 6. Flash 构成

区域	地址	大小（字节）	STM32G071xx 和 STM32G081xx	STM32G031xx 和 STM32G041xx
主存储器	0x0800 0000 - 0x0800 07FF	2 K	第 0 页	
	0x0800 0800 - 0x0800 0FFF	2 K	第 1 页	
	0x0800 1000 - 0x0800 17FF	2 K	第 2 页	
	0x0800 1800 - 0x0800 1FFF	2 K	第 3 页	
	...	...	...	
	0x0800 F800 - 0x0800 FFFF	2 K	第 31 页	
	0x0801 0000 - 0x0801 FFFF	2 K	第 32 页	保留
	...	...	...	
	0x0801 F000 - 0x0801 7FFF	2 K	第 62 页	
	0x0801 F800 - 0x0801 FFFF	2 K	第 63 页	
信息块	0x1FFF 0000 - 0x1FFF 6FFF	28 K(1)	系统存储器	
	0x1FFF 7000 - 0x1FFF 73FF	1 K	OTP 区域	
	0x1FFF 7500 - 0x1FFF 77FF	768	工程字节	
	0x1FFF 7800 - 0x1FFF 787F	128	选项字节	

1. STM32G031xx 和 STM32G041xx 器件上为 8 K，即 0x1FFF 0000 到 0x1FFF 1FFF

3.3.2 FLASH 为空检查

在 OBL 阶段，加载所有选项后，Flash 接口会检查主存储器的第一个存储单元是否已编程。此检查的结果与 boot0 和 boot1 信息一起用于确定系统必须从哪个位置自举。当没有编写用户代码时，它会阻止系统从主 Flash 区域自举。

可以从 *FLASH 访问控制寄存器 (FLASH_ACR)* 中的 EMPTY 位读取主 Flash 为空检查状态。软件可以通过向 EMPTY 位写入适当的值来修改主 Flash 为空状态。

3.3.3 FLASH 误码校正 (ECC)

Flash 中的数据为 72 位字：每个双字（64 位）增加了 8 位。ECC 机制支持：

- 检测和校正一位的错误
- 检测两位的错误

当检测到一个错误并对其进行校正时，*FLASH ECC 寄存器 (FLASH_ECCR)* 中的标志 ECCC（ECC 校正）置 1。如果 ECCCIE 置 1，则会生成中断。

检测到两个错误时，*FLASH ECC 寄存器 (FLASH_ECCR)* 中的标志 ECCD（ECC 检测）置 1。在这种情况下会生成 NMI。

检测到一个 ECC 错误时，出错双字的地址会保存在 FLASH_ECCR 寄存器的 ADDR_ECC[16:0] 位域中。ADDR_ECC[2:0] 始终清零。访问地址的 CPU 的总线 ID 保存在 CPUID[2:0] 中。

ECCC 或 ECCD 置 1 时，如果发生新的 ECC 错误，FLASH_ECCR 不会更新。仅当 ECC 标志清零后，FLASH_ECCR 才会更新。

注： *对于初始数据：0xFF FFFF FFFF FFFF FFFF，可检测并校正一个错误，但不支持两个错误检测。*

报告 ECC 错误时，如果数据仍存在于当前缓冲区中，则即使 ECCC 和 ECCD 清零，在失效地址处的新读取操作也可能不会生成 ECC 错误。如果这不是所需的行为，则用户必须复位缓存。

3.3.4 FLASH 读访问延迟

为了准确读取 Flash 数据，必须根据 Flash (HCLK) 时钟频率和器件 V_{CORE} 内部电压范围在 *FLASH 访问控制寄存器 (FLASH_ACR)* 中正确地编程等待状态数 (LATENCY)。请参见 *第 4.1.4 节：动态电压调节管理*。*表 7* 所示为等待状态与 Flash 时钟频率之间的对应关系。

表 7. Flash 时钟 (HCLK) 频率对应的等待状态数

等待状态 (WS) (LATENCY)	HCLK (MHz)	
	V_{CORE} 范围 1	V_{CORE} 范围 2
0 WS（1 个 HCLK 周期）	≤ 24	≤ 8
1 WS（2 个 HCLK 周期）	≤ 48	≤ 16
2 WS（3 个 HCLK 周期）	≤ 64	-

上电复位后，HCLK 时钟频率为 16 MHz（范围 1），FLASH_ACR 寄存器中的等待状态 (WS) 为 0。

从待机状态唤醒后，HCLK 时钟频率为 16 MHz（范围 1），FLASH_ACR 寄存器中的等待状态 (WS) 为 0。

更改 Flash 时钟频率或范围时，必须应用以下软件序列来调整访问 Flash 所需的等待状态数：

需要提高 CPU 频率时的操作步骤

1. 将新的等待状态数编程到 *FLASH 访问控制寄存器 (FLASH_ACR)* 中的 LATENCY 位。
2. 通过回读 *FLASH 访问控制寄存器 (FLASH_ACR)* 的 LATENCY 位，检查新的等待状态数是否设置成功，并等待读取编程的新数值。
3. 通过改写 RCC_CFGR 寄存器中的 SW 位来修改系统时钟源。
4. 如有需要，可通过改写 RCC_CFGR 中的 HPRE 位来修改内核时钟预分频器。
5. 以下操作可供选择：通过读取 RCC_CFGR 寄存器中的时钟源状态（SWS 位）和/或 AHB 预分频值（HPREF 位），检查新的系统时钟源和/或新的内核时钟预分频值是否设置成功。

需要降低 CPU 频率时的操作步骤

1. 通过改写 RCC_CFGR 寄存器中的 SW 位来修改系统时钟源。
2. 如有需要，可通过改写 RCC_CFGR 中的 HPRE 位来修改内核时钟预分频器。
3. 通过读取 RCC_CFGR 寄存器中相应的时钟源状态（SWS 位）和/或 AHB 预分频值（HPREF 位），检查新的系统时钟源和/或新的内核时钟预分频值是否设置成功，并等待读取编程的新系统时钟源和/或新 Flash 时钟预分频值。
4. 将新的等待状态数编程到 *FLASH 访问控制寄存器 (FLASH_ACR)* 中的 LATENCY 位。
5. 以下操作可供选择：通过回读 *FLASH 访问控制寄存器 (FLASH_ACR)* 的 LATENCY 位，检查是否使用新的等待状态数来访 Flash。

3.3.5 FLASH 加速

指令预取

每个 Flash 读操作可读取 64 位，可以是 2 行 32 位指令，也可以是 4 行 16 位指令，具体取决于烧写在 Flash 中的程序。这一 64 位当前指令行保存在当前缓冲区中。因此，对于顺序执行的代码，至少需要 2 个 CPU 周期来执行前一次读取的指令行。在 CPU 请求当前指令行时，可使用 CPU S 总线的预取操作读取 Flash 中的下一个连续存放的指令行。

可将 *FLASH 访问控制寄存器 (FLASH_ACR)* 中的 PRFTEN 位置 1，来使能预取功能。当访问 Flash 至少需要一个等待状态时，此功能非常有用。

处理非顺序执行的代码（有分支）时，指令可能并不存在于当前使用的或预取的指令行中。这种情况下，CPU 等待时间至少等于等待状态数。

如果当前缓冲区中存在循环，则不会执行新的访问。

缓存存储器

为了减少因指令跳转而损耗的时间，可将 2 行 64 位的指令（16 字节）保存到指令缓存存储器中。可将 *FLASH 访问控制寄存器 (FLASH_ACR)* 中的指令缓存使能 (ICEN) 位置 1，来使能这一特性。每当出现指令缺失（即请求的指令未存在于当前使用的指令行、预取指令行或指令缓存存储器中）时，系统会将新读取的行复制到指令缓存存储器中。如果 CPU 请求的指令已存在于指令缓存存储器中，则无需任何延时即可立即获取。指令缓存存储器存满后，可采用 LRU（最近最少使用）策略确定指令缓存存储器中待替换的指令行。此特性非常适用于包含循环的代码。

系统复位后指令缓存存储器使能。

在 CPU 流水线执行阶段，将通过 S 总线访问 Flash 中的 CPU 数据缓冲池。每条 S 总线的读访问都将访问保存在当前缓冲区中的 64 位数据。因此，直到提供了请求的数据后，CPU 流水线才会继续执行。

Cortex®-M0+ 不提供数据缓存。

3.3.6 FLASH 编程和擦除操作

STM32G071xx 和 STM32G081xx 嵌入式 Flash 可采用在线编程或在应用中编程两种方式。

在线编程 (ICP) 方式适用于更新 Flash 的所有内容，更新时使用 SWD 协议或系统自举程序支持的接口将 CPU 的用户应用程序加载到微控制器。ICP 可实现快速而高效的设计迭代，并且避免了不必要的器件封装处理或插接。

与 ICP 方法相比，**在应用中编程 (IAP)** 可通过微控制器支持的任何通信接口（I/O、UART、I^2C 和 SPI 等）将编程数据下载到存储器。IAP 允许用户在应用程序运行时重新编程 Flash。但是，部分应用程序必须事先通过 ICP 方式编程到 Flash。

如果在 Flash 操作期间发生器件复位，无法保证 Flash 中的内容。

在对 Flash 执行编程/擦除操作期间，如果尝试读取 Flash，则会使总线停止工作。在完成编程/擦除操作后，会正确执行读操作。

解锁 Flash

复位后，*FLASH 控制寄存器 (FLASH_CR)* 不允许执行写操作，以防因电气干扰等原因出现对 Flash 的意外操作。这些寄存器的解锁顺序如下：

1. 在 *FLASH 密钥寄存器 (FLASH_KEYR)* 中写入 KEY1 = 0x4567 0123
2. 在 *FLASH 密钥寄存器 (FLASH_KEYR)* 中写入 KEY2 = 0xCDEF 89AB

如果操作顺序不正确，会锁定 FLASH_CR 寄存器，下次系统复位才会解锁。如果密钥操作顺序不正确，会检测到总线错误并生成硬性故障中断。

也可通过软件将这些寄存器中的一个 LOCK 位置 1 来锁定 FLASH_CR 寄存器。

注： *FLASH 状态寄存器 (FLASH_SR) 中的 BSY1 位置 1 时，FLASH_CR 寄存器无法写入。BSY1 位为 1 时，对该寄存器尝试进行写操作会导致 AHB 总线阻塞，直到 BSY1 位清零。*

3.3.7 FLASH 主存储器擦除顺序

Flash 擦除操作可在页级别（页擦除）或在整个存储器（批量擦除）上执行。批量擦除不影响信息块（系统 Flash、OTP 和选项字节）。

Flash 页擦除

当某页受 PCROP 或 WRP 保护时，该页不会被擦除且 WRPERR 位置 1。

表 8. 页擦除概述

SEC_PROT	PCROP	WRP	PCROP_RDP	备注	WRPERR	CPU 总线错误
0	无	无	x	页被擦除	无	无
	无	有		页擦除中止（页擦除未开始）	有	
	有	无				
	有	有				
1	x			仅受保护的页	无	有

页（2 KB）擦除的具体步骤如下：

1. 检查 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位，以确认当前未执行任何 Flash 操作。
2. 检查并清零之前的编程所导致的全部错误编程标志。否则，PGSERR 将置 1。
3. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 PER 位置 1 并选择要擦除的页 (PNB)。
4. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 STRT 位置 1。
5. 等待 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位清零。

注： *STRT 位置 1 时，内部振荡器 HSI16 (16 MHz) 自动使能，STRT 位清零时其会自动禁止，但 HSI16 之前已通过 RCC_CR 寄存器中的 HSION 使能的情况除外。*

Flash 批量擦除

当 PCROP 或 WRP 使能时，Flash 批量擦除中止，不会开始擦除，并且 WRPERR 位置 1。

表 9. 批量擦除概述

SEC_PROT	PCROP	WRP	PCROP_RDP	备注	WRPERR	CPU 总线错误
0	无	无	x	存储器被擦除	无	无
	无	有		擦除中止（擦除未开始）	有	
	有	无				
	有	有				
1	x			擦除中止（擦除未开始）	无	有

批量擦除的具体步骤如下：

1. 检查 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位，以确认当前未执行任何 Flash 操作。
2. 检查并清零之前的编程所导致的全部错误编程标志。否则，PGSERR 将置 1。
3. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 MER1 位置 1。
4. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 STRT 位置 1。
5. 等待 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位清零。

注： *STRT 位置 1 时，内部振荡器 HSI16 (16 MHz) 自动使能，STRT 位清零时其会自动禁止，但 HSI16 之前已通过 RCC_CR 寄存器中的 HSION 使能的情况除外。*

3.3.8 FLASH 主存储器编程顺序

Flash 一次编程 72 位（64 位数据 + 8 位 ECC）。

不允许在先前编程的地址中编程，尝试此类编程时，将使 *FLASH 状态寄存器 (FLASH_SR)* 的 PROGERR 标志置 1。

只能编程双字（2 x 32 位数据）。

- 尝试写入字节（8 位）或半字（16 位）时，将使 *FLASH 状态寄存器 (FLASH_SR)* 中的 SIZERR 标志置 1。
- 尝试写入与双字地址不对齐的双字时，将使 *FLASH 状态寄存器 (FLASH_SR)* 中的 PGAERR 标志置 1。

标准编程

标准模式下，Flash 编程顺序如下：

1. 检查 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位，以确认当前未执行任何主 Flash 操作。
2. 检查并清零之前的编程所导致的全部错误编程标志。否则，PGSERR 将置 1。
3. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 PG 位置 1。
4. 针对所需存储器地址（主存储器块或 OTP 区域内）执行数据写入操作。仅可编程双字（64 位）。
   a) 在与双字匹配的地址中写入第一个字
   b) 写入第二个字。
5. 等待 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位清零。
6. 确认 *FLASH 状态寄存器 (FLASH_SR)* 中的 EOP 标志已置 1（编程操作已成功），并通过软件将其清零。
7. 如果不再有编程请求，则将 *FLASH 控制寄存器 (FLASH_CR)* 中的 PG 位清零。

注： *Flash 接口接收到适当的序列（双字）后，自动启动编程且 BSY1 位置 1。PG 位置 1 时，内部振荡器 HSI16 (16 MHz) 自动使能，PG 位清零时其会自动禁止，但 HSI16 之前已通过 RCC_CR 寄存器中的 HSION 使能的情况除外。*

如果用户需要仅编程一个字，则必须使用擦除值 0xFFFF FFFF 补全双字以启动自动编程。

ECC 由双字计算得出以供编程。

快速编程

此模式的主要目的是缩短页编程时间，实现原理是无需在 Flash 存储单元编程之前对其进行验证，从而节省每个双字的高压上升和下降时间。

此模式允许编程一行（32 个双字 = 256 个字节）。

在快速编程期间，Flash 时钟 (HCLK) 频率必须至少为 8 MHz。

只有主存储器可编程为快速编程模式。

标准模式下，主 Flash 编程顺序如下：

1. 执行批量擦除或页擦除。否则，PGSERR 将置 1。
2. 检查 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位，以确认当前未执行任何主 Flash 操作。
3. 检查并清零之前的编程所导致的全部错误编程标志。
4. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的 FSTPG 位置 1。
5. 写入 32 个双字来编程一行（256 字节）。
6. 等待 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位清零。
7. 确认 *FLASH 状态寄存器 (FLASH_SR)* 中的 EOP 标志已置 1（编程操作已成功），并通过软件将其清零。
8. 如果不再有编程请求，则将 *FLASH 状态寄存器 (FLASH_SR)* 中的 FSTPG 位清零。

注： *如果在读取操作正在进行时尝试以快速编程模式写入，则编程将中止而不会发出任何系统通知（错误标志不会置 1）。*

Flash 接口接收到第一个双字后，编程自动启动。当为第一个双字编程施加高压时，BSY1 位置 1，最后一个双字已编程或发生错误时，该位清零。FSTPG 位置 1 时，内部振荡器 HSI16 (16 MHz) 自动使能，FSTPG 位清零时其会自动禁止，但 HSI16 之前已通过 RCC_CR 寄存器中的 HSION 使能的情况除外。

32 个双字必须连续写入。Flash 上将保持高压以进行所有编程。两个双字写入请求之间的最长时间为编程时间（约 20 µs）。如果第二个双字在此编程时间过后传到，则快速编程被中断，MISSERR 置 1。

在 2 次擦除之间，对于一整行，高压持续时间不得超过 8 ms。可通过基于不小于 8 MHz 的时钟系统连续写入的 32 个双字的序列来保证这一点。设置快速编程后内部超时计数器计数 7 ms，并在超时后停止编程。此时，FASTERR 位将置 1。

如果发生错误，则高压停止，不会对下一个要编程的双字进行编程。总之，之前所有的双字均已正确编程。

编程错误

可检测到多种错误。若发生错误，Flash 操作（编程或擦除）会中止。

- **PROGERR**：编程错误 (Programming error)

  在标准编程过程中：如果要写入的字之前未擦除，则 PROGERR 置 1（要编程的值全为 0 时除外）。

- **SIZERR**：大小编程错误 (Size Programming Error)

  在标准编程或快速编程过程中：只能编程双字且只能写入 32 位数据。写入字节或半字时，SIZERR 置 1。

- **PGAERR**：编程对齐错误 (Alignment Programming error)
  如果发生以下事件，PGAERR 位会置 1：
  – 在标准编程过程中：要编程的第一个字与双字地址不对齐，或第二个字不属于同一双字地址。
  – 在快速编程过程中：要编程的数据与之前编程的双字不属于同一行，或者要编程的地址小于或等于之前的地址。
- **PGSERR**：编程顺序错误 (Programming Sequence Error)
  如果发生以下事件，PGSERR 位会置 1：
  – 对于标准编程顺序或快速编程顺序：PG 和 FSTPG 清零时写入数据。
  – 对于标准编程顺序或快速编程顺序：PG 或 FSTPG 置 1 后，MER1 和 PER 不清零。
  – 对于快速编程顺序：将 FSTPG 位置 1 后执行批量擦除操作。
  – 对于批量擦除顺序：MER1 置 1 后，PG、FSTPG 和 PER 不清零。
  – 对于页擦除顺序：PER 置 1 后，PG、FSTPG 和 MER1 不清零。
  – 如果由于之前发生编程错误，导致 PROGERR、SIZERR、PGAERR、WRPERR、MISSERR、FASTERR 或 PGSERR 置 1，则 PGSERR 也会置 1。
- **WRPERR**：写保护错误 (Write Protection Error)
  如果发生以下事件，WRPERR 位会置 1：
  – 尝试在写保护区域 (WRP) 或 PCROP 区域执行编程或擦除操作。
  – 尝试在一页或多页受 WRP 或 PCROP 保护时，执行批量擦除操作。
  – 读保护 (RDP) 设为级别 1 时，已连接调试功能或从 SRAM 或系统 Flash 进行自举。
  – 尝试在读保护 (RDP) 设置为级别 2 时修改选项字节。
- **MISSERR**：快速编程数据丢失错误 (Fast Programming Data Miss Error)
  在快速编程过程中：所有数据必须连续写入。如果之前的数据编程已完成，并且要编程的下一个数据尚未写入，则 MISSERR 置 1。
- **FASTERR**：快速编程错误 (Fast Programming Error)
  在快速编程过程中：如果发生以下事件，FASTERR 会置 1：
  – FSTPG 位置 1 的时间超过 8 ms，这会生成超时检测
  – 行快速编程被 MISSERR、PGAERR、WRPERR 或 SIZERR 中断

如果在编程或擦除操作期间出现错误，则 *FLASH 状态寄存器 (FLASH_SR)* 中的以下错误标志之一将置 1：

- PROGERR、SIZERR、PGAERR、PGSERR 和 MISSERR（编程错误标志）
- WRPERR（保护错误标志）

这种情况下，*FLASH 状态寄存器 (FLASH_SR)* 中的操作错误标志 OPERR 置 1，并且如果 *FLASH 控制寄存器 (FLASH_CR)* 中的错误中断使能位 ERRIE 置 1，则将产生一个中断。

注： *如果检测到多个连续错误（例如，在对 Flash 进行 DMA 传输期间），则直到连续写操作请求结束，这些错误标志才会清零。*

编程与缓存

如果 Flash 中的擦除操作也涉及指令缓存中的数据，则必须确保在代码执行期间访问这些数据之前将它们重新写入缓存。

注： *缓存只有在被禁止 (ICEN = 0) 的情况下才能刷新。*

3.4 FLASH 选项字节

3.4.1 FLASH 选项字节说明

选项字节由最终用户根据具体的应用要求进行配置。以如下配置为例：可在硬件或软件模式下选择看门狗（请参见*第 3.4.2 节：FLASH 选项字节编程*）。

双字按*表 10* 所示拆分为多个选项字节。

表 10. 选项字节格式

63-56	55-48	47-40	39-32	31-24	23-16	15 -8	7-0
补码选项字节 3	补码选项字节 2	补码选项字节 1	补码选项字节 0	选项字节 3	选项字节 2	选项字节 1	选项字节 0

表 11 显示了这些字节在信息块中的构成。选项字节可从*表 11* 列出的存储单元或从选项字节寄存器中读取：

- *FLASH 选项寄存器 (FLASH_OPTR)*
- *FLASH PCROP 区域 A 起始地址寄存器 (FLASH_PCROP1ASR)*
- *FLASH PCROP 区域 A 结束地址寄存器 (FLASH_PCROP1AER)*
- *FLASH PCROP 区域 B 起始地址寄存器 (FLASH_PCROP1BSR)*
- *FLASH PCROP 区域 B 结束地址寄存器 (FLASH_PCROP1BER)*
- *FLASH WRP 区域 A 地址寄存器 (FLASH_WRP1AR)*
- *FLASH WRP 区域 B 地址寄存器 (FLASH_WRP1BR)*
- *FLASH 安全性寄存器 (FLASH_SECR)*

表 11. 选项字节的构成

地址(1)	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1FFF7800	保留		IRHEN	NRST_MODE		nBOOT0	nBOOT1	nBOOT_SEL	保留	RAM_PARITY_CHECK	保留		WWDG_SW	IWDG_STBY	IWDG_STOP	IWDG_SW	nRST_SHDW	nRST_STDBY	nRST_STOP	BORR_LEV		BORF_LEV		BOR_EN	RDP							
0x1FFF7808	保留																								PCROP1A_STRT							
0x1FFF7810	PCROP_RDP	保留																							PCROP1A_END							
0x1FFF7818	保留										WRP1A_END						保留								WRP1A_STRT							
0x1FFF7820	保留										WRP1B_END						保留								WRP1B_STRT							
0x1FFF7828	保留																								PCROP1B_STRT							

表 11. 选项字节的构成 （续）

地址[1]	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1FFF7830	保留																								PCROP1B_END							
0x1FFF7838 到 0x1FFF7868	保留																															
0x1FFF7870	保留															BOOT_LOCK	保留								SEC_SIZE							

1. 双字地址的高 32 位包含低 32 位的补码数据。

用户和读保护选项字节

Flash 地址：0x1FFF 7800

ST 生产值：0xFFFF FEAA

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	IRHEN	NRST_MODE [1:0]		n BOOT0	n BOOT1	nBOOT _SEL	Res.	RAM_PARITY _CHECK	Res.	Res.	WWDG _SW	IWGD _STDBY	IWDG _STOP	IWDG _SW
		r	r	r	r	r	r		r			r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
nRST_ SHDW	nRST_ STDBY	nRST_ STOP	BORR_LEV[1:0]		BORF_LEV[1:0]		BOR_ EN	RDP[7:0]							
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:30 保留

位 29 **IRHEN**：内部复位保持信号使能位 (Internal reset holder enable bit)

0：内部复位在 NRST 引脚上以简单脉冲的形式传播

1：内部复位将 NRST 引脚驱动为低电平，直到检测到该引脚为低电平

位 28:27 **NRST_MODE[1:0]**

00：保留

01：仅复位输入：NRST 引脚低电平会生成系统复位，内部复位不会传播到 NSRT 引脚

10：GPIO：标准 GPIO 引脚功能，只能进行内部复位

11：双向复位：NRST 引脚配置为复位输入/输出模式（传统模式）

位 26 **nBOOT0**：nBOOT0 选项位 (nBOOT0 option bit)

0：nBOOT0=0

1：nBOOT0=1

位 25 **nBOOT1**：自举配置 (Boot configuration)

该位与 BOOT0 引脚或选项位 nBOOT0（取决于 nBOOT_SEL 选项位配置）一起选择自举模式（从主 Flash、SRAM 或系统存储器自举）。请参见*第 2.5 节：自举配置*。

位 24 **nBOOT_SEL**

0：BOOT0 信号由 BOOT0 引脚值定义（传统模式）

1：BOOT0 信号由 nBOOT0 选项位定义

位 23 保留

位 22 **RAM_PARITY_CHECK**：SRAM 奇偶校验控制 (SRAM parity check control)
0：使能 SRAM 奇偶校验
1：禁止 SRAM 奇偶校验

位 21:20 保留

位 19 **WWDG_SW**：窗口看门狗选择 (Window watchdog selection)
0：硬件窗口看门狗
1：软件窗口看门狗

位 18 **IWDG_STDBY**：在待机模式下冻结独立看门狗计数器 (Independent watchdog counter freeze in Standby mode)
0：在待机模式下冻结独立看门狗计数器
1：在待机模式下运行独立看门狗计数器

位 17 **IWDG_STOP**：在停止模式下冻结独立看门狗计数器 (Independent watchdog counter freeze in stop mode)
0：在停止模式下冻结独立看门狗计数器
1：在停止模式下运行独立看门狗计数器

位 16 **IDWG_SW**：独立看门狗选择 (Independent watchdog selection)
0：硬件独立看门狗
1：软件独立看门狗

位 15 **nRSTS_SHDW**
0：进入关断模式时产生复位
1：进入关断模式时不产生复位

位 14 **nRST_STDBY**
0：进入待机模式时产生复位
1：进入待机模式时不产生复位

位 13 **nRST_STOP**
0：进入停机模式时产生复位
1：进入停机模式时不产生复位

位 12:11 **BORR_LEV[1:0]**：这些位包含释放复位信号所需达到的 V_{DD} 供电电压阈值。
00：BOR 上升沿电压 1，阈值约为 2.1 V
01：BOR 上升沿电压 2，阈值约为 2.3 V
10：BOR 上升沿电压 3，阈值约为 2.6 V
11：BOR 上升沿电压 4，阈值约为 2.9 V

位 10:9 **BORF_LEV[1:0]**：这些位包含激活复位信号所需达到的 V_{DD} 供电电压阈值。
00：BOR 下降沿电压 1，阈值约为 2.0 V
01：BOR 下降沿电压 2，阈值约为 2.2 V
10：BOR 下降沿电压 3，阈值约为 2.5 V
11：BOR 下降沿电压 4，阈值约为 2.8 V

位 8 **BOR_EN**：欠压复位使能 (Brown out reset enable)
0：禁止可配置欠压复位，上电复位由 POR/PDR 电压定义
1：使能可配置欠压复位，考虑 BORR_LEV 和 BORF_LEV 的值

位 7:0 **RDP[7:0]**：读保护级别 (Read protection level)
0xAA：级别 0，未激活读保护
0xCC：级别 2，激活芯片读保护
其他：级别 1，激活存储器读保护

PCROP1A 起始地址选项字节

Flash 地址：0x1FFF 7808

ST 生产值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留

位 7:0 **PCROP1A_STRT[7:0]**：PCROP1A 区域起始偏移 (PCROP1A area start offset)
PCROP1A_STRT 包含 PCROP1A 区域第一个 PCROP 子页的偏移。

PCROP1A 结束地址选项字节

Flash 地址：0x1FFF 7810

ST 生产值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END[7:0]							
								r	r	r	r	r	r	r	r

位 31 **PCROP_RDP**：RDP 降级时的 PCROP 区域擦除 (PCROP area erase upon RDP level regression)
该位确定是否在 RDP 降级（从级别 1 降为级别 0）时通过批量擦除来擦除 PCROP 区域（以及全部的 PCROP 区域边界页）：
0：不擦除
1：擦除
软件只能将该位置 1。在 RDP 降级（从级别 1 降为级别 0）后的批量擦除时，该位自动复位。

位 30:8 保留

位 7:0 **PCROP1A_END[7:0]**：PCROP1A 区域结束偏移位置 (PCROP1A area end offset)
PCROP1A_END 包含 PCROP1A 区域最后一个子页的偏移位置。

WRP 区域 A 地址选项字节

Flash 地址：0x1FFF 7818

ST 生产值：0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END[5:0]					
										r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT[5:0]					
										r	r	r	r	r	r

位 31:22 保留

位 21:16 **WRP1A_END[5:0]**：WRP 区域 A 结束偏移位置 (WRP area A end offset)
WRPA1_END 包含 WRP 区域 A 最后一页的偏移位置。

位 15:6 保留

位 5:0 **WRP1A_STRT[5:0]**：WRP 区域 A 起始偏移位置 (WRP area A start offset)
WRPA1_STRT 包含 WRP 区域 A 第一页的偏移位置。

WRP 区域 B 地址选项字节

Flash 地址：0x1FFF 7820

ST 生产值：0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END[5:0]					
										r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT[5:0]					
										r	r	r	r	r	r

位 31:22 保留

位 21:16 **WRP1B_END[5:0]**：WRP 区域 B 结束偏移位置 (WRP area B end offset)
WRPB1_END 包含 WRP 区域 B 最后一页的偏移位置。

位 15:6 保留

位 5:0 **WRP1B_STRT[5:0]**：WRP 区域 B 起始偏移位置 (WRP area B start offset)
WRPB1_STRT 包含 WRP 区域 B 第一页的偏移位置。

PCROP1B 起始地址选项字节

Flash 地址：0x1FFF 7828

ST 生产值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留

位 7:0 **PCROP1B_STRT[7:0]**：PCROP1B 区域起始偏移位置 (PCROP1B area start offset)
PCROP1B_STRT 包含 PCROP1B 区域的第一个 PCROP 子页的偏移位置。

PCROP1B 结束地址选项字节

Flash 地址：0x1FFF 7830

ST 生产值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留

位 7:0 **PCROP1B_END[7:0]**：PCROP1B 区域结束偏移位置 (PCROP1B area end offset)
PCROP1B_END 包含 PCROP1B 区域最后一个 PCROP 子页的偏移位置。

安全选项字节

Flash 地址：0x1FFF 7870

ST 生产值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOT_LOCK
															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE[6:0]						
									r	r	r	r	r	r	r

位 31:17 保留

位 16 **BOOT_LOCK**：用于强制从用户区域自举
0：基于引脚/选项位配置自举
1：强制从主 Flash 自举

注意： 如果 BOOT_LOCK 在 RDP 级别 1 时置 1，则器件的调试功能会停止且 FLASH_ACR 寄存器的 DBG_SWEN 位的复位值将变为 0。如果复位后应用程序代码未将 DBG_SWEN 位置 1，则无法从这种情况中恢复。

位 15:7 保留

位 6:0 **SEC_SIZE[6:0]**：受控安全存储区大小 (Securable memory area size)
包含受控安全 Flash 页的数量。

3.4.2 FLASH 选项字节编程

复位后，*FLASH 控制寄存器 (FLASH_CR)* 中的选项相关位受到写保护。要针对选项字节页执行任何操作，*FLASH 控制寄存器 (FLASH_CR)* 中的选项锁定位 OPTLOCK 必须清零。此寄存器的解锁顺序如下：

1. 使用 LOCK 清零顺序解锁 FLASH_CR（请参见*解锁 Flash*）。
2. 在 *FLASH 选项密钥寄存器 (FLASH_OPTKEYR)* 中写入 OPTKEY1=0x08192A3B。
3. 在 *FLASH 选项密钥寄存器 (FLASH_OPTKEYR)* 中写入 OPTKEY2=0x4C5D6E7F。

如果操作顺序不正确，会锁定 Flash 选项寄存器，下次系统复位才会解锁。如果密钥操作顺序不正确，会检测到总线错误并生成硬性故障中断。

通过软件将 OPTLOCK 位置 1 后，可防止用户选项发生意外的擦除/编程操作。

注： *如果 LOCK 由软件置 1，则 OPTLOCK 也自动置 1。*

修改用户选项

选项字节与主存储器用户地址的编程方式不同。

要修改用户选项的值，请按照以下步骤操作：

1. 按照上述清零顺序将 OPTLOCK 选项锁定位清零。
2. 在 FLASH 选项寄存器中写入所需的值。
3. 检查 *FLASH 状态寄存器 (FLASH_SR)* 中的 BSY1 位，以确认当前未执行任何 Flash 操作。
4. 将 *FLASH 控制寄存器 (FLASH_CR)* 中的选项启动位 OPTSTRT 置 1。
5. 等待 BSY1 位清零。

注： *对任意一个选项的值进行修改将自动执行：先擦除用户选项字节页，再使用 Flash 选项寄存器中包含的值编程所有选项字节。*

OPTSTRT 位置 1 后，会自动计算补码值并写入补码选项字节。

选项字节加载

BSY1 位清零后，所有新选项都将更新到 Flash，但不应用到系统。读取选项寄存器仍将返回最后加载的选项字节值，新选项仅在加载后才对系统有影响。

在以下两种情况下执行选项字节加载：

- *FLASH 控制寄存器 (FLASH_CR)* 的 OBL_LAUNCH 位置 1 时
- 上电复位后（BOR 复位或退出待机/关断模式）

选项字节加载器读取选项块并将数据存储到内部选项寄存器。这些内部寄存器配置系统，可由软件读取。将 OBL_LAUNCH 置 1 会产生复位，因此在系统复位下执行选项字节加载。

每个选项位在同一双字中也有各自的补码。选项加载期间，验证选项位及其补码可检查是否已正确进行加载。

在选项字节加载期间，选项按双字读取。OBL 期间不会检测选项字的 ECC，只有通过软件直接读取选项区域期间才会检测。

如果字与其补码匹配，则选项字/字节将复制到选项寄存器中。

如果字与其补码失配，则 OPTVERR 状态位置 1。失配的结果值被强制放入选项寄存器：

– 对于 USR OPT 选项，所有选项位的失配结果值均为 1，但 BORR_LEV 和 BORF_LEV 位域的位除外，这些位的失配结果值为 00 （最低阈值）， BOR_EN 位也除外，该位的失配结果值为 0 （禁止 BOR）。
– 对于 WRP 选项，失配结果值为默认值“无保护”。
– 对于 RDP 选项，失配结果值为默认值“级别 1”。
– 对于 PCROP，失配结果值为“所有存储器均受保护”。

系统复位后，选项字节将复制到以下可由软件读取和写入的选项寄存器中：

- FLASH_OPTR
- FLASH_PCROP1xSR（x = A 或 B）
- FLASH_PCROP1xER（x = A 或 B）
- FLASH_WRP1xR（x = A 或 B）
- FLASH_SECR

上述寄存器也用于修改选项。如果这些寄存器未由用户修改，则会反映系统的选项状态。请参见*修改用户选项*以获得更多信息。

3.5 FLASH 保护

可对主 Flash 进行保护，使其具有读保护 (RDP)，以防其遭受外部访问。连续多页 Flash 还具备防止因程序指针错乱而发生意外的写操作 (WRP) 保护功能。写保护 WRP 粒度为 2 KB。除了 RDP 和 WRP 外，还可保护 Flash 免受第三方读写访问 (PCROP)。PCROP 粒度（子页大小）为 512 字节。

3.5.1 FLASH 读保护 (RDP)

通过将 RDP 选项字节置 1，然后应用系统复位来重载新的 RDP 选项字节，可激活读保护。读保护功能可保护主 Flash、选项字节、备份寄存器（TAMP 中的 TAMP_BKPxR）和 SRAM。

注： *如果在调试器仍通过 SWD 连接时设置读保护，则应用上电复位，而非系统复位。*

有三种读保护级别：无保护（级别 0）到最大保护或禁止调试（级别 2）。

RDP 选项字节及其补码包含成对值时，Flash 受保护，如*表 12* 所示。

表 12. Flash 读保护状态

RDP 字节值	RDP 补码字节值	读保护级别
0xAA	0x55	级别 0
组合 [0xAA, 0x55] 和 [0xCC, 0x33] 之外的任何值		级别 1（默认值）
0xCC	0x33	级别 2

无论保护级别如何，系统存储器区域均可进行读访问。对于编程/擦除操作，则不可访问。

级别 0：无保护

可对主 Flash 区域执行读取、编程和擦除操作。也可对选项字节和备份寄存器进行所有操作。

级别 1：读保护

当 RDP 字节和 RDP 补码字节包含 [0xAA, 0x55] 和 [0xCC, 0x33] 以外的任何值组合时，设置级别 1 读保护。级别 1 是擦除 RDP 选项字节时的默认保护级别。

- **用户模式：**在用户模式下执行的代码（从用户 Flash 自举）可对主 Flash、选项字节和备份寄存器执行所有操作。
- **调试、从 SRAM 自举以及从系统存储器自举模式：**在调试模式下或当代码从 SRAM 或系统存储器自举时，主 Flash 和备份寄存器（TAMP 中的 TAMP_BKPxR）完全不可访问。在上述模式下，对 Flash 进行读访问或写访问会生成总线错误和硬性故障中断。

注意： 在没有定义 PCROP 区域的级别 1 中，必须将 PCROP_RDP 位设置为 1（当 RDP 级别从级别 1 降低到级别 0 时完全批量擦除）。在定义了 PCROP 区域的级别 1 中，通过 RDP 而不是 PCROP 保护的用户代码必须置于包含 PCROP 保护子页的页之外。

级别 2：禁止调试

在此级别下，可保证保护级别 1。此外，不再支持 CPU 调试端口、从 RAM 自举（自举 RAM 模式）和从系统存储器自举（自举程序模式）。在用户执行模式（自举 FLASH 模式）下，允许对主 Flash 执行所有操作。

注： *复位时也会禁止 CPU 调试端口。*

注： *意法半导体无法对设为保护级别 2 的器件做失效分析。*

更改读保护级别

可以更改读保护级别：

- 通过将 RDP 字节的值更改为 0xCC 以外的任意值，从级别 0 更改为级别 1
- 通过将 RDP 字节的值更改为 0xCC，从级别 0 或级别 1 更改为级别 2
- 通过将 RDP 字节的值更改为 0xAA，从级别 1 更改为级别 0

更改为级别 2 后，无法再更改读保护级别。

如果 *FLASH PCROP 区域 A 结束地址寄存器 (FLASH_PCROP1AER)* 的 PCROP_RDP 位置 1，则当从级别 1 更改为级别 0 时，将触发主 Flash 的完全批量擦除。备份寄存器 (TAMP_BKPxR) 也会被擦除。除 PCROP 保护以外的用户选项均设置为其先前的值，这些值是从 FLASH_OPTR 和 FLASH_WRP1xR（x = A 或 B）复制的。禁止 PCROP。OTP 区域不受批量擦除操作的影响，同样保持不变。

当 PCROP_RDP 位清零时，会发生部分批量擦除，仅擦除与 PCROP 区域不重叠的 Flash 页（不包含任何 PCROP 保护子页）。选项字节将重新编程为其先前的值。这同样适用于 FLASH_PCROP1xSR 和 FLASH_PCROP1xER 寄存器（x = A 或 B）。

表 13：仅当 RDP 从级别 1 降为级别 0 时进行批量擦除

PCROP 区域	PCROP_RDP	批量擦除
无	x	完全 （Flash 和备份寄存器）
部分 Flash	1	
	0	部分 （与 PCROP 区域不重叠的 Flash 页，以及备份寄存器）
整个 Flash		无

注： *只有 RDP 从级别 1 降为级别 0，才能触发批量擦除（完全或部分）。RDP 升级（从级别 0 升为级别 1，从级别 1 升为级别 2，或从级别 0 升为级别 2）不会引起任何批量擦除。*

要验证保护级别更改，必须通过将 FLASH 控制寄存器 (FLASH_CR) 的 OBL_LAUNCH 位置 1 来重新加载选项字节。

图 3. 更改读保护 (RDP) 级别

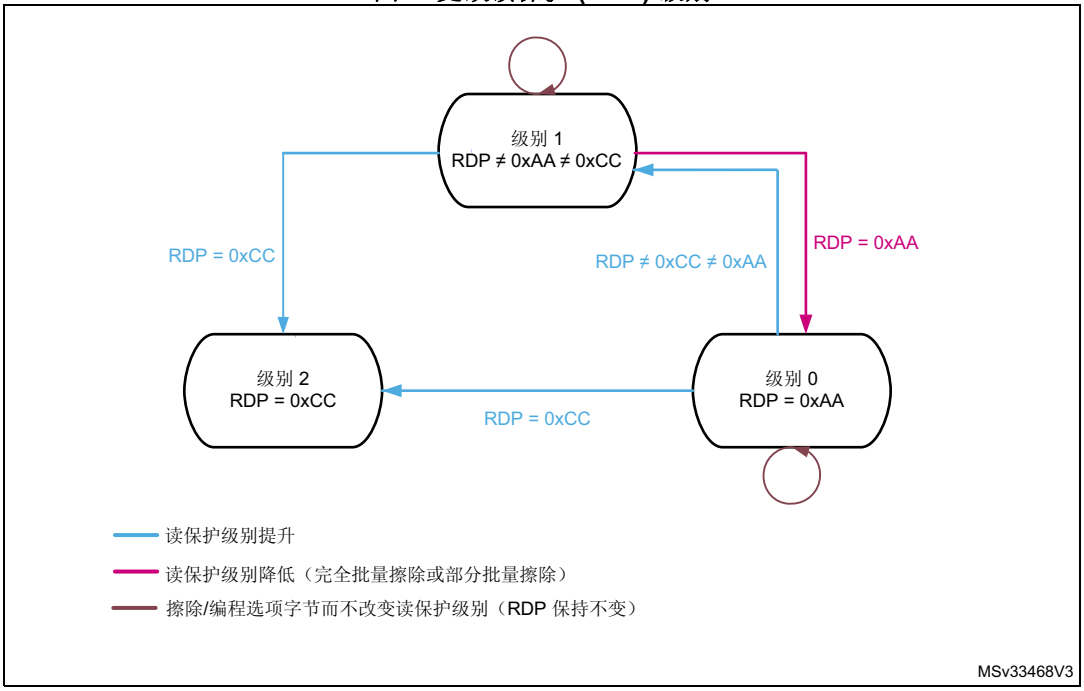


表 14. 访问状态 vs 保护级别和执行模式

区域	保护级别	用户执行（从 Flash 自举）			调试/从 RAM 自举/从加载程序自举		
		读	写	擦除	读	写	擦除
主 Flash	1	有	有	有	无	无	无(4)
	2	有	有	有	N/A(1)	N/A(1)	N/A(1)
系统存储器(2)	1	有	无	无	有	无	无
	2	有	无	无	N/A(1)	N/A(1)	N/A(1)
选项字节	1	有	有(3)	有	有	有(3)	有
	2	有	无	无	N/A(1)	N/A(1)	N/A(1)
备份寄存器	1	有	有	N/A	无	无	无(4)
	2	有	有	N/A	N/A(1)	N/A(1)	N/A(1)
OTP	1	有	有	N/A	有	有	N/A
	2	有	有	N/A	N/A(1)	N/A(1)	N/A(1)

1. 保护级别 2 激活后，将禁止调试端口、从 RAM 自举和从系统存储器自举。
2. 无论保护级别（0、1 或 2）和执行模式如何，都只能对系统存储器进行读访问。
3. 在修改 RDP 选项字节为禁止所有级别保护 (0xAA) 的情况下时，会擦除 Flash 主存储器。
4. 当 RDP 从级别 1 更改为级别 0 时擦除备份寄存器。

3.5.2 FLASH 专有代码读保护 (PCROP)

可以保护 Flash 的两个区域免受第三方的非授权的读取和/或写入访问。

受保护区域为仅执行区域：只能由 STM32 CPU 访问（作为指令代码），所有其他访问（DMA、调试和 CPU 数据读取、写入和擦除）被严格禁止。PCROP 区域具有子页（512 字节）粒度。另有一个选项位 (PCROP_RDP) 可用来选择在 RDP 保护从级别 1 变为级别 0 时 PCROP 区域是否被擦除（请参见*更改读保护级别*）。

每个 PCROP 区域由 Flash 的起始子页偏移和结束子页偏移定义。上述偏移在 PCROP 地址寄存器 *FLASH PCROP 区域 A 起始地址寄存器 (FLASH_PCROP1ASR)*、*FLASH PCROP 区域 A 结束地址寄存器 (FLASH_PCROP1AER)*、*FLASH PCROP 区域 B 起始地址寄存器 (FLASH_PCROP1BSR)* 和 *FLASH PCROP 区域 B 结束地址寄存器 (FLASH_PCROP1BER)* 中定义。

PCROP 区域的范围定义为地址：

Flash 基址 + [PCROP1x_STRT x 0x200]（包含）

到地址：

Flash 基址 + [(PCROP1x_END + 1) x 0x200]（不包含）。

最小 PCROP 区域大小是两个 PCROP 子页（2 x 512 字节）：

PCROP1x_END = PCROP1x_STRT + 1。

当

PCROP1x_END = PCROP1x_STRT 时，

整个 Flash 受 PCROP 保护。

例如，要对地址区域 0x0800 0800 到 0x0800 13FF 进行 PCROP 保护，需设置 FLASH_PCROP1xSR 寄存器的 PCROP 起始子页位域和 FLASH_PCROP1xER 寄存器的 PCROP 结束子页位域（x = A 或 B），具体如下所示：

– PCROP1x_STRT = 0x04（PCROP 区域起始地址 0x0800 0800）
– PCROP1x_END = 0x09（PCROP 区域结束地址 0x0800 13FF）

对 PCROP 保护地址进行数据读访问时，会将 RDERR 标志置 1。

PCROP 保护地址也受写保护。对 PCROP 保护地址进行写访问时，会将 WRPERR 标志置 1。

PCROP 保护区域也受擦除保护。尝试擦除包含至少一个 PCROP 保护子页的页时会发生故障。此外，如果定义了 PCROP 保护区域，则不能执行软件批量擦除。

只有当 RDP 从级别 1 更改为级别 0 时，才能禁止 PCROP。修改用户选项以清除 PCROP 或减小 PCROP 保护区域的大小时，对 PCROP 区域没有任何影响。相反，可以增加 PCROP 保护区域的大小。

清零选项位 PCROP_RDP 后，RDP 从级别 1 更改为级别 0 会触发部分批量擦除，保留与 PCROP 保护区域重叠的 Flash 页的内容。有关详细信息，请参见*更改读保护级别*部分。

表 15：PCROP 保护

PCROP 寄存器值（x = A 或 B）	PCROP 保护区域
PCROP1x_STRT = PCROP1x_END	整个 Flash
PCROP1x_STRT > PCROP1x_END	无（不受保护）
PCROP1x_STRT < PCROP1x_END	从 PCROP1x_STRT 到 PCROP1x_END 的子页（读保护、写保护和擦除保护）； PCROP 区域边界页（擦除保护）。

注： *清零 PCROP_RDP 后，建议将 PCROP 区域的起始和结束地址定义为 Flash 页边界（2 KB 粒度），或者保留并清空 PCROP 区域边界页（包含 PCROP 区域起始和结束地址）中不受 PCROP 保护的存储空间。*

3.5.3 FLASH 写保护 (WRP)

可对 Flash 中的用户区域实施保护，以防其遭受意外的写操作。可以定义两个具有页 (2 KB) 粒度的写保护 (WRP) 区域。每个区域由与物理 Flash 基址相关的起始页偏移和结束页偏移定义。上述偏移在 WRP 地址寄存器 *FLASH WRP 区域 A 地址寄存器 (FLASH_WRP1AR)* 和 *FLASH WRP 区域 B 地址寄存器 (FLASH_WRP1BR)* 中定义。

WRP “y” 区域（y = A 和 B）的范围定义为地址：

Flash 基址 + [WRP1y_STRT x 0x0800]（包含）

到地址：

Flash 基址 + [(WRP1y_END+1) x 0x0800]（不包含）。

最小 WRP 区域大小为一个 WRP 页（2 KB）：

WRP1y_END = WRP1y_STRT。

例如，通过从地址 0x0800 1000（包含）到地址 0x0800 3FFF（包含）的 WRP 进行保护：

如果选择在 Flash 中进行自举，则必须使用以下内容对 FLASH_WRP1AR 寄存器进行编程：

– WRP1A_STRT = 0x02。
– WRP1A_END = 0x07。

也可使用 FLASH_WRP1BR 中的 WRP1B_STRT 和 WRP1B_END（Flash 中的区域 B）。

WRP 有效时，无法对其执行擦除或编程操作。因此，如果某区域受写保护，则无法执行软件批量擦除操作。

如果尝试对 Flash 的写保护区域执行擦除/编程操作，则 FLASH_SR 寄存器中的写保护错误标志 (WRPERR) 将置 1。对以下区域进行写访问时，此标志也会置 1：

– OTP 区域
– Flash 中永远不能执行写操作的区域（例如 ICP）
– PCROP 区域

注： *选择 Flash 读保护级别（RDP 级别 = 1）后，如果已连接 CPU 调试功能（单线调试）或者正在从 SRAM 或系统 Flash 执行自举代码，则即使 WRP 未激活，也无法对存储器执行编程或擦除操作。任何尝试都会产生硬性故障（BusFault）。*

表 16：WRP 保护

WRP 寄存器值（x=A 或 B）	WRP 保护区域
WRP1x_STRT = WRP1x_END	页 WRP1x
WRP1x_STRT > WRP1x_END	无（不受保护）
WRP1x_STRT < WRP1x_END	从 WRP1x_STRT 到 WRP1x_END 的页

注： *为验证 WRP 选项，必须通过将 Flash 控制寄存器中的 OBL_LAUNCH 位置 1 重载选项字节。*

3.5.4 受控安全存储区

受控安全存储区的主要目的是保护 Flash 的特定区域免受意外访问。系统复位后，只有受控安全区域变得安全才能执行受控安全存储区中的代码，并且直到下一次系统复位才能再次执行。凭借这种方式，可实现软件安全服务，例如安全密钥存储或安全自举。

受控安全存储区位于主 Flash 中，专用于执行可信代码。处于不安全状态时，受控安全存储器的行为与主 Flash 的其余部分相同。处于安全状态时（FLASH_CR 寄存器中的 SEC_PROT 位置 1），对受控安全存储区的任何访问（取指、读取、编程和擦除）都将被拒绝，从而产生总线错误。受控安全区域只能通过系统复位解除安全状态。

受控安全存储区的大小由 FLASH_SECR 寄存器的 SEC_SIZE[6:0] 位域定义，仅可在 RDP 为级别 0 时修改。即使该区域与 PCROP 子页重叠，其内容也会在 RDP 从级别 1 更改为级别 0 后被擦除。

注： *在激活受控安全存储区之前，必要时，将向量表移动到该区域之外。*

注： *如果 PCROP_RDP 位清零，在 RDP 从级别 1 更改为级别 0 后，即使受控安全存储区与 PCROP 子页重叠，也会将其擦除。与受控安全存储区不重叠的 PCROP 子页不会被擦除。请参见表 17。*

表 17. RDP 从级别 1 更改为级别 0 时受控安全存储区的擦除情况

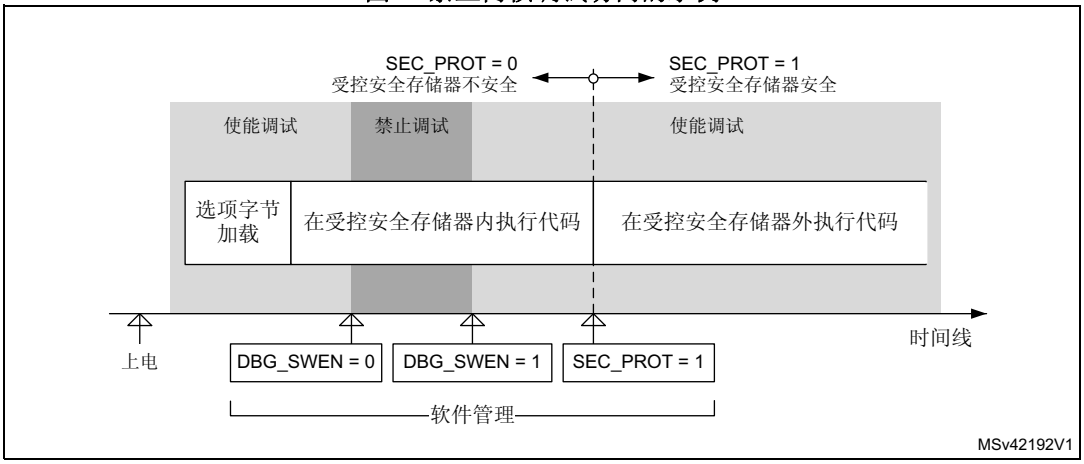
受控安全存储区大小 (SEC_SIZE[6:0])	PCROP_RDP	擦除页
0	1	全部页（批量擦除）
0	0	除了 PCROP 之外的全部页
> 0	1	全部页（批量擦除）
> 0	0	受控安全存储区以外除了 PCROP 之外的全部页

3.5.5 禁止内核调试访问

为了在受控安全存储区中执行敏感代码或操作敏感数据，可以暂时禁止对内核的调试访问。

图 4 给出了管理 DBG_SWEN 和 SEC_PROT 位的示例。

图 4. 禁止内核调试访问的示例



3.5.6 强制从 Flash 自举

为了提高安全性以及建立信任链，无论其他自举选项如何，FLASH_SECR 寄存器的 BOOT_LOCK 选项位均允许强制系统从主 Flash 自举。始终可以将 BOOT_LOCK 位置 1，但只能在以下情况下将其复位：

- RDP 设置为级别 0，或者
- RDP 设置为级别 1，而请求的是级别 0 且执行的是完全批量擦除。

3.6 FLASH 中断

表 18. FLASH 中断请求

中断事件	事件标志	事件标志 / 中断清除方法	中断使能控制位
操作结束	EOP(1)	写入 EOP=1	EOPIE
操作错误	OPERR(2)	写入 OPERR=1	ERRIE
读保护错误	RDERR	写入 RDERR=1	RDERRIE
写保护错误	WRPERR	写入 WRPERR=1	N/A
大小错误	SIZERR	写入 SIZERR=1	N/A
编程顺序错误	PROGERR	写入 PROGERR=1	N/A
编程对齐错误	PGAERR	写入 PGAERR=1	N/A
编程顺序错误	PGSERR	写入 PGSERR=1	N/A
快速编程错误期间数据丢失	MISSERR	写入 MISSERR=1	N/A
快速编程错误	FASTERR	写入 FASTERR=1	N/A
ECC 错误校正	ECCC	写入 ECCC=1	ECCCIE
ECC 双重错误 (NMI)	ECCD	写入 ECCD=1	N/A

1. 仅当 EOPIE 置 1 后，EOP 才会置 1。
2. 仅当 ERRIE 置 1 后，OPERR 才会置 1。

3.7 FLASH 寄存器

3.7.1 FLASH 访问控制寄存器 (FLASH_ACR)

FLASH access control register

偏移地址：0x000

复位值：0x0004 0600

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_SWEN	Res.	EMPTY
													rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	ICRST	Res.	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	LATENCY[2:0]		
				rw		rw	rw						rw	rw	rw

位 31:19 保留，必须保持复位值

位 18 **DBG_SWEN**：调试访问软件使能 (Debug access software enable)
软件可以使用该位来使能/禁止调试器读取访问。
0：禁止调试器
1：使能调试器

位 17 保留，必须保持复位值

位 16 **EMPTY**：主 Flash 区域为空 (Main Flash memory area empty)
该位指示主 Flash 区域的第一个存储单元已擦除还是具有编程值。
0：主 Flash 区域已编程
1：主 Flash 区域为空
该位可由软件置 1 和复位。

位 15:12 保留，必须保持复位值

位 11 **ICRST**：CPU 指令缓存复位 (CPU Instruction cache reset)
0：CPU 指令缓存不复位
1：CPU 指令缓存复位
只有在禁止指令缓存后才能写入该位。

位 10 保留，必须保持复位值

位 9 **ICEN**：CPU 指令缓存使能 (CPU Instruction cache enable)
0：禁止 CPU 指令缓存
1：使能 CPU 指令缓存

位 8 **PRFTEN**：CPU 预取使能 (CPU Prefetch enable)
0：禁止 CPU 预取
1：使能 CPU 预取

位 7:3 保留，必须保持复位值

位 2:0 **LATENCY[2:0]**：Flash 访问延时 (Flash memory access latency)

该位域中的值表示 HCLK 时钟周期与 Flash 访问时间之比。

000：0 个等待状态

001：1 个等待状态

010：2 个等待状态

其他值：保留

对位域执行新的写操作后，只有读取时返回相同的值，该写操作才生效。

3.7.2 FLASH 密钥寄存器 (FLASH_KEYR)

FLASH key register

偏移地址：0x008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:0 **KEY[31:0]**：FLASH 密钥 (FLASH key)

要将 *FLASH 控制寄存器 (FLASH_CR)* 解锁以允许执行编程/擦除操作，必须顺序写入以下值：

KEY1：0x4567 0123

KEY2：0xCDEF 89AB

3.7.3 FLASH 选项密钥寄存器 (FLASH_OPTKEYR)

FLASH option key register

偏移地址：0x00C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OPTKEY[31:16]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTKEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:0 **OPTKEYR[31:0]**：选项字节密钥 (Option byte key)

要将 Flash 选项寄存器解锁以允许执行选项字节编程/擦除操作，必须顺序写入以下值：

KEY1：0x0819 2A3B

KEY2：0x4C5D 6E7F

3.7.4 FLASH 状态寄存器 (FLASH_SR)

FLASH status register

偏移地址：0x010

复位值：0x000X 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CFGBSY	Res	BSY1
													r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPTV ERR	RD ERR	Res.	Res.	Res.	Res.	FAST ERR	MISS ERR	PGS ERR	SIZ ERR	PGA ERR	WRP ERR	PROG ERR	Res.	OP ERR	EOP
rc_w1	rc_w1					rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1		rc_w1	rc_w1

位 31:19 保留，必须保持复位值

位 18 **CFGBSY**：编程或擦除配置繁忙 (Programming or erase configuration busy)

此标志由硬件置 1 和复位。（在发送第一个字时置 1，在编程操作完成或因错误中断时复位。）置 1 时，表示 *FLASH 控制寄存器 (FLASH_CR)* 所请求的 PB 和 PNB 位中的编程和擦除设置正在使用（繁忙），不可更改（编程或擦除操作正在进行）。

复位为 0 时，*FLASH 控制寄存器 (FLASH_CR)* 中的 PB 和 PNB 位中的编程和擦除设置可以修改。

位 17 保留，必须保持复位值

位 16 **BSY1**：繁忙 (Busy)

该标志指示 *FLASH 控制寄存器 (FLASH_CR)* 请求的 Flash 操作正在进行。该位在 Flash 操作开始时置 1，在操作结束或出现错误时复位。

位 15 **OPTVERR**：选项和工程位加载有效性错误 (Option and Engineering bits loading validity error)

读取的选项和工程位可能不是由用户或生产配置时，由硬件置 1。如果未正确加载选项和工程位，则 OPTVERR 在每次系统复位后再次置 1。加载失败的选项字节将被强制为安全值，请参见*第 3.4.2 节：FLASH 选项字节编程*。

写入 1 即可将该位清零。

位 14 **RDERR**：PCROP 读取错误 (PCROP read error)

读取的地址属于 Flash 的读保护区域（PCROP 保护）时，该位由硬件置 1。如果 FLASH_CR 中的 RDERRIE 置 1，将生成中断。

写入 1 即可将该位清零。

位 13:10 保留，必须保持复位值

位 9 **FASTERR**：快速编程错误 (Fast programming error)

因错误（对齐、大小、写保护或数据丢失）导致快速编程顺序（由 FSTPG 激活）中断时，该位由硬件置 1。同时，相应状态位（PGAERR、SIZERR、WRPERR 或 MISSERR）也会置 1。

写入 1 即可将该位清零。

位 8 **MISERR**：快速编程数据丢失错误 (Fast programming data miss error)

在快速编程模式下，必须将 32 个双字（256 个字节）连续发送到 Flash，并且必须在当前数据完全编程之前将新数据发送到 Flash 逻辑控制。如果新数据未及时出现，则 MISSERR 由硬件置 1。

写入 1 即可将该位清零。

位 7 **PGSERR**：编程顺序错误 (Programming sequence error)

如果代码在 PG 或 FSTPG 先前未置 1 的情况下对 Flash 执行写访问，则该位由硬件置 1。当先前的编程错误导致 PROGERR、SIZERR、PGAERR、WRPERR、MISSERR 或 FASTERR 置 1 时，该位也会由硬件置 1。

写入 1 即可将该位清零。

位 6 **SIZERR**：大小错误 (Size error)

在编程或快速编程顺序中，访问大小为字节或半字时，该位由硬件置 1。只允许双字编程（即按字访问）。

写入 1 即可将该位清零。

位 5 **PGAERR**：编程对齐错误 (Programming alignment error)

如果在标准编程期间要编程的数据无法包含在同一双字（64 位）Flash 中，或快速编程时存在页更改，则该位由硬件置 1。

写入 1 即可将该位清零。

位 4 **WRPERR**：写保护错误 (Write protection error)

如果要擦除/编程的地址属于 Flash 中受写保护（受 WRP、PCROP 或 RDP 级别 1 保护）的区域，则该位由硬件置 1。

写入 1 即可将该位清零。

位 3 **PROGERR**：编程错误 (Programming error)

编程前，要编程的双字地址包含不同于“0xFFFF FFFF”的值时，该位由硬件置 1（要写入的数据为“0x0000 0000”时除外）。

写入 1 即可将该位清零。

位 2 保留，必须保持复位值

位 1 **OPERR**：操作错误 (Operation error)

当 Flash 操作（编程/擦除）失败时，该位由硬件置 1。

只有在使能错误中断 (ERRIE = 1) 后，该位才会置 1。

写入“1”即可将该位清零。

位 0 **EOP**：操作结束 (End of operation)

当成功完成一个或多个 Flash 操作（编程/擦除）时，该位由硬件置 1。

只有在使能操作结束中断 (EOPIE = 1) 后，该位才会置 1。

写入 1 即可将该位清零。

3.7.5 FLASH 控制寄存器 (FLASH_CR)

FLASH control register

偏移地址：0x014

复位值：0xC000 0000

访问：当前未执行任何 Flash 操作时无等待状态，按字、半字和字节访问

当 *FLASH 状态寄存器 (FLASH_SR)* 中的 CFGBSY 置 1 时，该寄存器无法修改。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	OPT LOCK	Res.	SEC_ PROT	OBL_ LAUNCH	RD ERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPT STRT	STRT
rs	rs		rw	rc_w1	rw	rw	rw						rw	rs	rs
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	PNB[5:0]						MER1	PER	PG
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **LOCK**：FLASH_CR 锁定 (FLASH_CR Lock)

该位只置 1。置 1 后，FLASH_CR 寄存器被锁定。当检测到解锁序列时，由硬件将该位清零。

如果解锁操作失败，该位仍保持置 1，直到下一次系统复位。

位 30 **OPTLOCK**：选项锁定 (Options Lock)

该位只置 1。置 1 后，FLASH_CR 寄存器中所有与用户选项相关的位以及选项页都被锁定。当检测到解锁序列时，由硬件将该位清零。对 OPTLOCK 位执行解锁序列之前，必须将 LOCK 位清零。

如果解锁操作失败，该位仍保持置 1，直到下一次复位。

位 29 保留，必须保持复位值

位 28 **SEC_PROT**：受控安全存储区保护使能 (Securable memory area protection enable)

该位用于使能受控安全区域的保护功能，前提是已在选项字节中定义了非空受控安全存储区大小 (SEC_SIZE)。

0：可访问受控安全区域的内容

1：不可访问受控安全区域的内容

软件只能将该位置 1，其复位只能通过系统复位实现。

位 27 **OBL_LAUNCH**：强制选项字节加载 (Forces the option byte loading)

此位置 1 时，会强制进行选项字节重载。只有在选项字节加载完成时此位才会清零。如果 OPTLOCK 置 1，则此位无法写入。

0：选项字节加载完成

1：已请求选项字节加载

位 26 **RDERRIE**：PCROP 读取错误中断使能 (PCROP read error interrupt enable)

当 FLASH_SR 寄存器中的 RDERR 位置 1 后，可通过该位使能中断产生功能。

0：禁止 PCROP 读取错误中断

1：使能 PCROP 读取错误中断

位 25 **ERRIE**：错误中断使能 (Error interrupt enable)

当 FLASH_SR 寄存器中的 OPERR 位置 1 后，可通过该位使能中断产生功能。

0：禁止 OPERR 错误中断

1：使能 OPERR 错误中断

位 24 **EOPIE**：操作结束中断使能 (End of operation interrupt enable)

当 FLASH_SR 寄存器中的 EOP 位置 1 后，可通过该位使能中断产生功能。

0：禁止 EOP 中断

1：使能 EOP 中断

位 23:19 保留，必须保持复位值

位 18 **FSTPG**：快速编程 (Fast programming)

0：禁止快速编程

1：使能快速编程

位 17 **OPTSTRT**：开始修改选项字节 (Start of modification of option bytes)

该位置 1 后可触发选项操作。

该位只能通过软件置 1，并在 FLASH_SR 中的 BSY1 位清零后随之清零。

位 16 **STRT**：启动 (Start)

该位置 1 后可触发擦除操作。如果 MER1 和 PER 位均复位并且 STRT 位置 1，可能会发生无法预知的行为而不会生成任何错误标志。应禁止此情况发生。

该位只能通过软件置 1，并在 FLASH_SR 中的 BSY1 位清零后随之清零。

位 15:9 保留，必须保持复位值

位 8:3 **PNB[5:0]**：页编号选择 (Page number selection)
这些位用于选择要擦除的页：
0x00： 页 0
0x01： 页 1
...
0x3F： 页 63

位 2 **MER1**：批量擦除 (Mass erase)
该位置 1 后可触发批量擦除（所有用户页）。

位 1 **PER**：页擦除 (Page erase)
0：禁止页擦除
1：使能页擦除

位 0 **PG**：编程 (Programming)
0：禁止 Flash 编程
1：使能 Flash 编程

3.7.6 FLASH ECC 寄存器 (FLASH_ECCR)

FLASH ECC register

偏移地址：0x018

复位值：0x0000 0000

访问：当前未执行任何 Flash 操作时无等待状态，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ECCD	ECCC	Res.	Res.	Res.	Res.	Res.	ECCCIE	Res.	Res.	Res.	SYSF_ECC	Res.	Res.	Res.	Res.
rc_w1	rc_w1						rw				r				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ADDR_ECC[13:0]													
		r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31 **ECCD**：ECC 检测 (ECC detection)
检测到两个 ECC 错误后，该位由硬件置 1。该位置 1 时，会生成 NMI。
写入 1 即可将该位清零。

位 30 **ECCC**：ECC 校正 (ECC correction)
检测到一个 ECC 错误并加以校正后，该位由硬件置 1。如果 ECCIE 置 1，则会生成中断。
写入 1 即可将该位清零。

位 29:25 保留，必须保持复位值

位 24 **ECCCIE**：ECC 校正中断使能 (ECC correction interrupt enable)
0：禁止 ECCC 中断
1：使能 ECCC 中断

位 23:21 保留，必须保持复位值

位 20 **SYSF_ECC**：系统 Flash ECC 失效 (System Flash memory ECC fail)
该位指示位于系统 Flash 中的 ECC 错误校正或双重 ECC 错误检测。

位 19:14 保留，必须保持复位值

位 13:0 **ADDR_ECC[13:0]**：ECC 失效双字偏移地址 (ECC fail double-word address offset)
在检测到 ECC 错误或 ECC 校正的情况下，该位域包含与主 Flash 的双字偏移（64 位的倍数）。

3.7.7 FLASH 选项寄存器 (FLASH_OPTR)

FLASH option register

偏移地址：0x020

复位值：0b11XX XXXX 1X11 XXXX XXXX XXXX XXXX XXXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	IRHEN	NRST_MODE [1:0]		n BOOT0	n BOOT1	nBOOT _SEL	Res.	RAM_PARITY _CHECK	Res.	Res.	WWDG _SW	IWGD _STDBY	IWDG _STOP	IWDG _SW
		rw	rw	rw	rw	rw	rw		rw			rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
nRST_ SHDW	nRST_ STDBY	nRST_ STOP	BORR_LEV[1:0]		BORF_LEV[1:0]		BOR_ EN	RDP[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:30 保留，必须保持复位值

位 29 **IRHEN**：内部复位保持信号使能位 (Internal reset holder enable bit)
0：内部复位在 NRST 引脚上以简单脉冲的形式传播
1：内部复位将 NRST 引脚驱动为低电平，直到检测到该引脚为低电平

位 28:27 **NRST_MODE[1:0]**
00：保留
01：仅复位输入：NRST 引脚低电平会生成系统复位，内部复位不会传播到 NSRT 引脚
10：GPIO：标准 GPIO 引脚功能，只能进行内部复位
11：双向复位：NRST 引脚配置为复位输入/输出模式（传统模式）

位 26 **nBOOT0**：nBOOT0 选项位 (nBOOT0 option bit)
0：nBOOT0=0
1：nBOOT0=1

位 25 **nBOOT1**：自举配置 (Boot configuration)
该位与 BOOT0 引脚或选项位 nBOOT0（取决于 nBOOT_SEL 选项位配置）一起选择自举模式（从主 Flash、SRAM 或系统存储器自举）。请参见*第 2.5 节：自举配置*。

位 24 **nBOOT_SEL**
0：BOOT0 信号由 BOOT0 引脚值定义（传统模式）
1：BOOT0 信号由 nBOOT0 选项位定义

位 23 保留，必须保持复位值

位 22 **RAM_PARITY_CHECK**：SRAM 奇偶校验控制 (SRAM parity check control)
0：使能 SRAM 奇偶校验
1：禁止 SRAM 奇偶校验

位 21:20 保留，必须保持复位值

位 19 **WWDG_SW**：窗口看门狗选择 (Window watchdog selection)
0：硬件窗口看门狗
1：软件窗口看门狗

位 18 **IWDG_STDBY**：在待机模式下冻结独立看门狗计数器 (Independent watchdog counter freeze in Standby mode)
0：在待机模式下冻结独立看门狗计数器
1：在待机模式下运行独立看门狗计数器

位 17 **IWDG_STOP**：在停止模式下冻结独立看门狗计数器 (Independent watchdog counter freeze in stop mode)
0：在停止模式下冻结独立看门狗计数器
1：在停止模式下运行独立看门狗计数器

位 16 **IDWG_SW**：独立看门狗选择 (Independent watchdog selection)
0：硬件独立看门狗
1：软件独立看门狗

位 15 **nRSTS_SHDW**
0：进入关断模式时产生复位
1：进入关断模式时不产生复位

位 14 **nRST_STDBY**
0：进入待机模式时产生复位
1：进入待机模式时不产生复位

位 13 **nRST_STOP**
0：进入停机模式时产生复位
1：进入停机模式时不产生复位

位 12:11 **BORR_LEV[1:0]**：这些位包含释放复位信号所需达到的 V_{DD} 供电电压阈值。
00：BOR 上升沿电压 1，阈值约为 2.1 V
01：BOR 上升沿电压 2，阈值约为 2.3 V
10：BOR 上升沿电压 3，阈值约为 2.6 V
11：BOR 上升沿电压 4，阈值约为 2.9 V

位 10:9 **BORF_LEV[1:0]**：这些位包含激活复位信号所需达到的 V_{DD} 供电电压阈值。
00：BOR 下降沿电压 1，阈值约为 2.0 V
01：BOR 下降沿电压 2，阈值约为 2.2 V
10：BOR 下降沿电压 3，阈值约为 2.5 V
11：BOR 下降沿电压 4，阈值约为 2.8 V

位 8 **BOR_EN**：欠压复位使能 (Brown out reset enable)
0：禁止可配置欠压复位，上电复位由 POR/PDR 电压定义
1：使能可配置欠压复位，考虑 BORR_LEV_RISING 和 BORF_LEV_FALLING 的值

位 7:0 **RDP[7:0]**：读保护级别 (Read protection level)
注： 0xAA：级别 0，未激活读保护
0xCC：级别 2，激活芯片读保护
其他：级别 1，激活存储器读保护

3.7.8 FLASH PCROP 区域 A 起始地址寄存器 (FLASH_PCROP1ASR)

FLASH PCROP area A start address register

偏移地址：0x024

复位值：b1111 1111 1111 1111 1111 1111 XXXX XXXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持清零

位 7:0 **PCROP1A_STRT[7:0]**：PCROP1A 区域起始偏移 (PCROP1A area start offset)
PCROP1A_STRT 包含 PCROP1A 区域的第一个子页的偏移。

3.7.9 FLASH PCROP 区域 A 结束地址寄存器 (FLASH_PCROP1AER)

FLASH PCROP area A end address register

偏移地址：0x028

复位值：bX111 1111 1111 1111 0000 0000 XXXX XXXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字访问。可通过字节访问的形式访问 PCROP_RDP 位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31 **PCROP_RDP**：RDP 降级时的 PCROP 区域擦除 (PCROP area erase upon RDP level regression)
该位确定是否在 RDP 降级（从级别 1 降为级别 0）时通过批量擦除来擦除 PCROP 区域（以及全部的 PCROP 区域边界页）：
0：不擦除
1：擦除
软件只能将该位置 1。在 RDP 降级（从级别 1 降为级别 0）后的批量擦除时，该位自动复位。

位 30:8 保留，必须保持清零

位 7:0 **PCROP1A_END[7:0]**：PCROP1A 区域结束偏移 (PCROP1A area end offset)
PCROP1A_END 包含 PCROP1A 区域最后一个子页的偏移。

3.7.10 FLASH WRP 区域 A 地址寄存器 (FLASH_WRP1AR)

FLASH WRP area A address register

偏移地址：0x02C

复位值：0xFFXX FFXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END[5:0]					
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT[5:0]					
										rw	rw	rw	rw	rw	rw

位 31:22 保留，必须保持复位值。

位 21:16 **WRP1A_END[5:0]**：WRP 区域 A 结束偏移 (WRP area A end offset)
该位域包含 WRP 区域 A 最后一页的偏移。(1)

位 15:6 保留，必须保持复位值。

位 5:0 **WRP1A_STRT[5:0]**：WRP 区域 A 起始偏移 (WRP area A start offset)
该位域包含 WRP 区域 A 第一页的偏移。(1)

1. 有效位数取决于器件中 Flash 的大小。

3.7.11 FLASH WRP 区域 B 地址寄存器 (FLASH_WRP1BR)

FLASH WRP area B address register

偏移地址：0x030

复位值：0xFFXX FFXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END[5:0]					
										rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT[5:0]					
										rw	rw	rw	rw	rw	rw

位 31:22 保留，必须保持复位值。

位 21:16 **WRP1B_END[5:0]**：WRP 区域 B 结束偏移 (WRP area B end offset)
该位域包含 WRP 区域 B 最后一页的偏移。(1)

位 15:6 保留，必须保持复位值。

位 5:0 **WRP1B_STRT[5:0]**：WRP 区域 B 起始偏移 (WRP area B start offset)
该位域包含 WRP 区域 B 第一页的偏移。(1)

1. 有效位数取决于器件中 Flash 的大小。

3.7.12 FLASH PCROP 区域 B 起始地址寄存器 (FLASH_PCROP1BSR)

FLASH PCROP area B start address register

偏移地址：0x034

复位值：b1111 1111 1111 1111 1111 111X XXXX XXXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持清零

位 7:0 **PCROP1B_STRT[7:0]**：PCROP1B 区域起始偏移 (PCROP1B area start offset)
包含 PCROP1B 区域的第一个子页的偏移。

3.7.13 FLASH PCROP 区域 B 结束地址寄存器 (FLASH_PCROP1BER)

FLASH PCROP area B end address register

偏移地址：0x038

复位值：b1111 1111 1111 1111 1111 111X XXXX XXXX。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持清零

位 7:0 **PCROP1B_END[7:0]**：PCROP1B 区域结束偏移 (PCROP1B area end offset)
包含 PCROP1B 区域最后一个子页的偏移。

3.7.14 FLASH 安全性寄存器 (FLASH_SECR)

FLASH security register

偏移地址：0x080

复位值：0x0000 0000。上电复位信号释放时，硬件将 Flash 中的值载入这些选项位。

访问：当前未执行任何 Flash 操作时无等待状态；按字、半字访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOT_LOCK
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE[6:0]						
									rw	rw	rw	rw	rw	rw	rw

位 31:17 保留，必须保持清零

位 16 **BOOT_LOCK**：用于强制从用户区域自举
0：基于引脚/选项位配置自举
1：强制从主 Flash 自举

位 15:7 保留，必须保持清零

位 6:0 **SEC_SIZE[6:0]**：受控安全存储区大小 (Securable memory area size)
包含受控安全 Flash 页的数量

3.7.15 FLASH 寄存器映射

表 19. FLASH 寄存器映射与复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	FLASH_ACR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_SWEN	Res.	EMPTY	Res.	Res.	Res.	Res.	ICRST	Res.	ICEN	PRFTEN	Res.	Res.	Res.	Res.	Res.	LATENCY [2:0]		
	Reset value														1		X					0		1	0						0	0	0
0x004	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																																
0x008	FLASH_KEYR	KEYR[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	FLASH_OPT KEYR	OPTKEYR[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	FLASH_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CFGBSY	Res.	BSY1	OPTVERR	RDERR	Res.	Res.	Res.	Res.	FASTERR	MISERR	PGSERR	SIZERR	PGAERR	WRPERR	PROGERR	Res.	OPERR	EOP
	Reset value														0		0	X	0					0	0	0	0	0	0	0		0	0
0x014	FLASH_CR	LOCK	OPTLOCK	Res.	SEC_PROT	OBL_LAUNCH	RDERRIE	ERRIE	EOPIE	Res.	Res.	Res.	Res.	Res.	FSTPG	OPTSTRT	STRT	Res.	Res.	Res.	Res.	Res.	PNB[7:0]								MER1	PER	PG
	Reset value	1	1		0	0	0	0	0						0	0	0						0	0	0	0	0	0	0	0	0	0	0
0x018	FLASH_ECCR	ECCD	ECCC	Res.	Res.	Res.	Res.	Res.	ECCCIE	Res.	Res.	Res.	SYSF_ECC	Res.	Res.	Res.	Res.	Res.	Res.	ADDR_ECC[13:0]													
	Reset value	0	0						0				0							0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	FLASH_OPTR	Res.	Res.	IRHEN	NRST_MODE[1:0]		nBOOT0	nBOOT1	nBOOT_SEL	Res.	RAM_PARITY_CHECK	Res.	Res.	WWDG_SW	IWDG_STBY	IWDG_STOP	IWDG_SW	nRST_SHDW	nRST_STDBY	nRST_STOP	BORR_LEV[1:0]		BORF_LEV[1:0]		BOR_EN	RDP[7:0]							
	Reset value			X	X	X	X	X	X		X			X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
0x024	FLASH_ PCROP1ASR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_STRT[7:0]							
	Reset value																									X	X	X	X	X	X	X	X
0x028	FLASH_ PCROP1AER	PCROP_RDP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1A_END[7:0]							
	Reset value	X																								X	X	X	X	X	X	X	X
0x02C	FLASH_ WRP1AR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_END[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1A_STRT[5:0]					
	Reset value											X	X	X	X	X	X											X	X	X	X	X	X
0x030	FLASH_ WRP1BR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_END[5:0]						Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WRP1B_STRT[5:0]					
	Reset value											X	X	X	X	X	X											X	X	X	X	X	X
0x034	FLASH_ PCROP1BSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_STRT[7:0]							
	Reset value																									X	X	X	X	X	X	X	X

表 19. FLASH 寄存器映射与复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x038	FLASH_ PCROP1BER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PCROP1B_END[7:0]							
	Reset value																									X	X	X	X	X	X	X	X
0x03C - 0x07F	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x080	FLASH_SECR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOT_LOCK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEC_SIZE[6:0]						
	Reset value																X										X	X	X	X	X	X	X

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

4 电源控制 (PWR)

4.1 电源

STM32G0x1 器件的工作电压 (V_{DD}) 要求介于 1.7 V 到 3.6 V 之间。针对特定外设提供了几种不同的电源：

- V_{DD} = 1.7 V (1.60 V) 至 3.6 V

  V_{DD} 是为内部调压器和系统模拟信号（如复位、电源管理和内部时钟）供电的外部电源，通过 VDD/VDDA 引脚从外部提供。

  请注意，1.7 V 最小电压对应于上电复位释放阈值 $V_{POR(MAX)}$。超过此阈值并释放上电复位信号后，对应功能可保证降至掉电复位阈值 $V_{PDR(MIN)}$。

- V_{DDA} = 1.62 V（ADC 与 COMP）/1.8 V (DAC)/2.4 V (VREFBUF) 至 3.6 V

  V_{DDA} 是为 A/D 转换器、D/A 转换器、电压参考缓冲器和比较器供电的模拟电源。V_{DDA} 电压级别与 V_{DD} 电压相同，因为其通过 VDD/VDDA 引脚在外部提供。

- V_{DDIO1} = V_{DD}

  V_{DDIO1} 为 I/O 的电源。V_{DDIO1} 电压级别与 V_{DD} 电压相同，因为其通过 VDD/VDDA 引脚在外部提供。

- V_{BAT} = 1.55 V 到 3.6 V

  在 V_{DD} 掉电时，V_{BAT} 作为 RTC、TAMP、低速外部 32.768 kHz 振荡器和备份寄存器的电源（通过电源开关）。V_{BAT} 通过 VBAT 引脚从外部提供。如果封装中不提供该引脚，则该引脚在内部连接到 VDD/VDDA。

- V_{REF+} 为 ADC 和 DAC 的输入参考电压，或者为内部电压参考缓冲器的输出（使能时）。V_{DDA} < 2 V 时，V_{REF+} 必须等于 V_{DDA}。V_{DDA} ≥ 2 V 时，V_{REF+} 必须介于 2 V 和 V_{DDA} 之间。ADC 和 DAC 不活动时，其可接地。

  内部电压参考缓冲器支持两种输出电压值，可利用 VREFBUF_CSR 寄存器的 VRS 位进行配置：

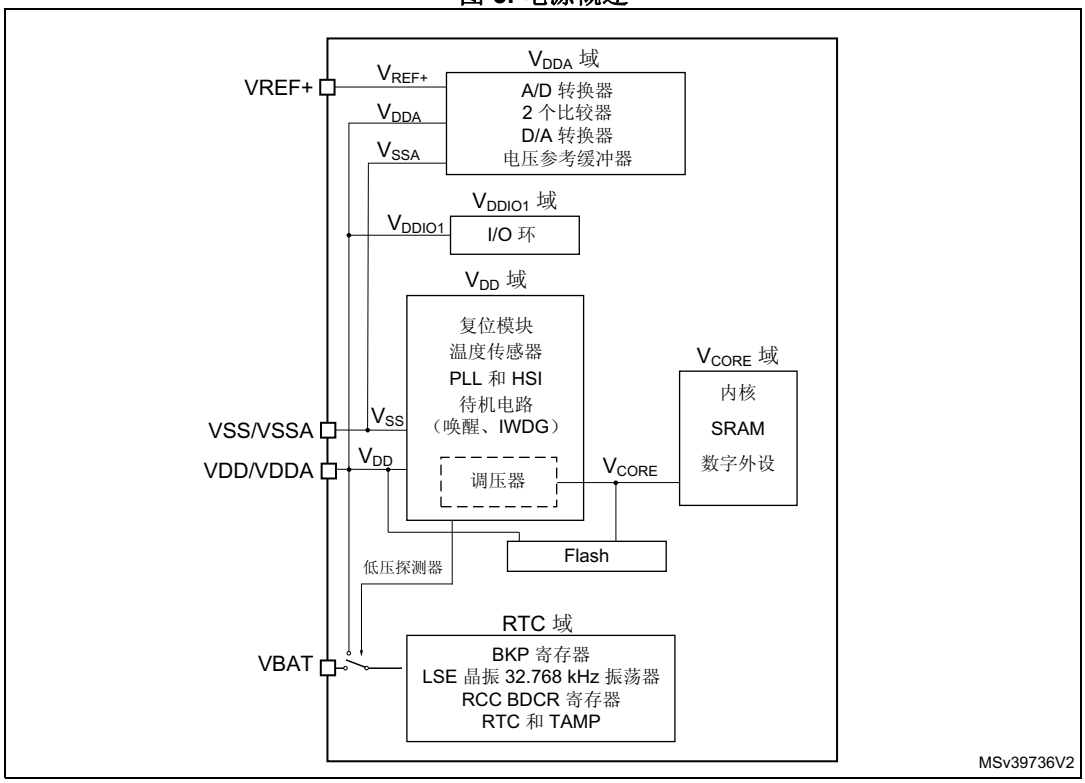
  – V_{REF+} 大约为 2.048 V，这要求 V_{DDA} 大于等于 2.4 V
  – V_{REF+} 大约为 2.5 V，这要求 V_{DDA} 大于等于 2.8 V

  V_{REF+} 通过 VREF+ 引脚提供。对于没有 VREF+ 引脚的封装，V_{REF+} 在内部与 V_{DD} 相连，并且内部电压参考缓冲器必须保持禁用状态（有关封装引脚分配说明，请参见数据手册）。

- V_{CORE}

  嵌入式线性调压器用于提供 V_{CORE} 内部数字电源。V_{CORE} 是数字外设、SRAM 和 Flash 的电源。Flash 也由 V_{DD} 供电。

图 5. 电源概述



4.1.1 ADC 和 DAC 参考电压

为确保低电压输入和输出上实现更高精度，用户可将 V_{REF+} 连接至一个低于 V_{DDA} 的独立参考电压。对于模拟输入 (ADC) 或输出 (DAC) 信号，V_{REF+} 为最高电压，以满量程值表示。

V_{REF+} 可由外部参考或内部缓冲的电压参考 (VREFBUF) 来提供。

通过将 *VREFBUF 控制和状态寄存器 (VREFBUF_CSR)* 中的 ENVR 位置 1 来使能内部缓冲的电压参考。当 VRS 位置 1 时，内部缓冲的参考电压设为 2.5 V；当 VRS 位清零时，内部缓冲的参考电压设为 2.048 V。内部缓冲的电压参考还可通过 V_{REF+} 引脚为外部元件供电。有关更多信息，请参见器件数据手册或*第 16 节：电压参考缓冲器 (VREFBUF)*。

4.1.2 RTC 的电池备份域

为了在 V_{DD} 掉电时，还能保留备份寄存器的内容，并使 RTC 和 TAMP 继续工作，可将 VBAT 引脚连接到由电池或其他备用电源提供的可选备用电源上。

VBAT 引脚为 RTC 和 TAMP 单元、LSE 振荡器和 PC13 到 PC15 I/O 供电，允许 RTC 和 TAMP 在主电源关闭时也可工作。V_{BAT} 电源的开关由复位模块中内置的掉电复位电路进行控制。

警告： **在 $t_{RSTTEMPO}$（V_{DD} 启动后的一段延迟）期间或检测到 PDR 后，V_{BAT} 与 V_{DD} 之间的电源开关仍连接到 V_{BAT}。**
在启动阶段，如果 V_{DD} 的建立时间小于 $t_{RSTTEMPO}$（有关 $t_{RSTTEMPO}$ 的值，请参见数据手册）且 $V_{DD} > V_{BAT} + 0.6$ V，会有电流经由 V_{DD} 和电源开关 (V_{BAT}) 之间连接的内部二极管注入 V_{BAT} 引脚。
如果连接到 VBAT 引脚的电源/电池无法承受此注入电流，则建议在该电源与 VBAT 引脚之间连接一个外部低压降二极管。

如果用户应用中没有使用任何外部电池，建议将该 VBAT 引脚在外部连接到带有 100 nF 外部陶瓷去耦电容的 VDD/VDDA 上。

通过 V_{DD} 对 RTC 域供电时（电源开关连接到 V_{DD}），可实现所有相关引脚功能：

通过 V_{BAT} 对 RTC 域供电时（由于不存在 V_{DD}，电源开关连接到 V_{BAT}），只能实现以下功能：

- PC13、PC14 和 PC15 仅受 RTC、TAMP 或 LSE 控制（请参见*第 29.3 节：RTC 功能说明*）
- PC13 上的 RTC_OUT1 功能
- PC13 或 PA4 上的 RTC_TS 功能
- PC13 或 PA4 上的 TAMP_IN1 功能以及 PA0 上的 TAMP_IN2 功能

注： *由于电源开关仅能传递有限的电流 (3 mA)，因此使用输出模式的 GPIO PC13 到 PC15 是受限的：速率必须限制在 2 MHz，最大负载为 30 pF，且这些 I/O 不能作为电流源使用（如，驱动 LED）。*

RTC 域访问

系统复位后，RTC 域（RTC 寄存器和备份寄存器）将受到保护，以防止意外的写访问。要使能对 RTC 域的访问，请按以下步骤进行操作：

1. 通过将 *APB 外设时钟使能寄存器 1 (RCC_APBENR1)* 的 PWREN 位置 1，使能电源接口时钟。
2. 将 *电源控制寄存器 1 (PWR_CR1)* 的 DBP 位置 1，使能对 RTC 域的访问。
3. 在 *RTC 域控制寄存器 (RCC_BDCR)* 中选择 RTC 时钟源。
4. 通过将 *RTC 域控制寄存器 (RCC_BDCR)* 的 RTCEN 位置 1，使能 RTC 时钟。

VBAT 电池充电

当 V_{DD} 存在时，可通过内部电阻为 VBAT 上的外部电池充电。

VBAT 充电可通过一个 5 kΩ 的电阻或 1.5 kΩ 的电阻来实现，具体取决于 PWR_CR4 寄存器中 VBRS 位的值。

可将 PWR_CR4 寄存器中的 VBE 位置 1 来使能电池充电。在 VBAT 模式下自动禁用。

4.1.3 调压器

两个嵌入式线性调压器为待机电路和 RTC 域以外的所有数字电路供电。根据系统的最大工作频率，主调压器输出电压 (V_{CORE}) 可由软件编程为两种不同的电源范围（范围 1 和范围 2），以优化功耗（请参见*第 5.2.7 节：时钟源频率与电压调节*和*第 3.3.4 节：FLASH 读访问延迟*。

调压器在复位后始终处于使能状态。根据用户应用模式，V_{CORE} 电源由主调压器 (MR) 或低功耗调压器 (LPR) 提供。

- 在运行、睡眠和停止 0 模式中，两个调压器使能，主调压器 (MR) 为 V_{CORE} 域（内核、存储器和数字外设）提供全功率。
- 在低功耗运行模式和低功耗睡眠模式下，主调压器关闭，低功耗调压器 (LPR) 为 V_{CORE} 域提供低功率，保留寄存器和 SRAM 的内容。
- 在停止 1 模式下，主调压器关闭，低功耗调压器 (LPR) 为 V_{CORE} 域提供低功率，保留寄存器和 SRAM 的内容。
- 在待机模式且保留 SRAM 内容时（PWR_CR3 寄存器中的 RRS 位置 1），主调压器 (MR) 关闭，低功耗调压器 (LPR) 仅为 SRAM 供电。内核和数字外设（待机电路和 RTC 域除外）掉电。
- 在待机模式中，两个调压器均掉电。除待机电路和 RTC 域外，寄存器和 SRAM 的内容都将丢失。
- 在关断模式中，两个调压器均掉电。退出关断模式时，产生一个上电复位。因此，除 RTC 域外，寄存器和 SRAM 的内容都将丢失。

4.1.4 动态电压调节管理

动态电压调节是一种电源管理技术，包括根据应用性能和功耗要求，增大或减小用于数字外设的电压 (V_{CORE})。

动态电压调节增大 V_{CORE} 称作过压。它可提高器件性能。

动态电压调节减小 V_{CORE} 称作欠压。它用来节省功率，尤其是用于笔记本电脑和其他移动设备，其有限能源来自电池的场合。

提供两种电压范围：

- 范围 1：高性能范围

  主调压器提供了 1.2 V 的典型输出电压。系统时钟频率可达 64 MHz。读访问的 Flash 访问时间最小，可进行写入和擦除操作。

- 范围 2：低功耗范围

  主调压器提供了 1.0 V 的典型输出电压。系统时钟频率可达 16 MHz。相比于范围 1，其读访问的 Flash 访问时间增加；不可进行写入和擦除操作。

通过 PWR_CR1 寄存器中的 VOS 位选择电压调节。

从范围 1 切换到范围 2 的时序为：

1. 将系统频率降至 16 MHz 以下。
2. 根据范围 2 中新的频率目标来调整等待状态的数量（FLASH_ACR 中的 LATENCY 位）。
3. 将*电源控制寄存器 1 (PWR_CR1)* 中的 VOS[1:0] 位编程为 10。

从范围 2 切换到范围 1 的时序为：

1. 将*电源控制寄存器 1 (PWR_CR1)* 中的 VOS[1:0] 位编程为 01。
2. 等待至*电源状态寄存器 2 (PWR_SR2)* 中的 VOSF 标志清零。

3. 根据范围 1 中新的频率目标来调整等待状态的数量（*FLASH 访问控制寄存器 (FLASH_ACR)* 中的 LATENCY 位）。
4. 增加系统频率。

4.2 电源监控器

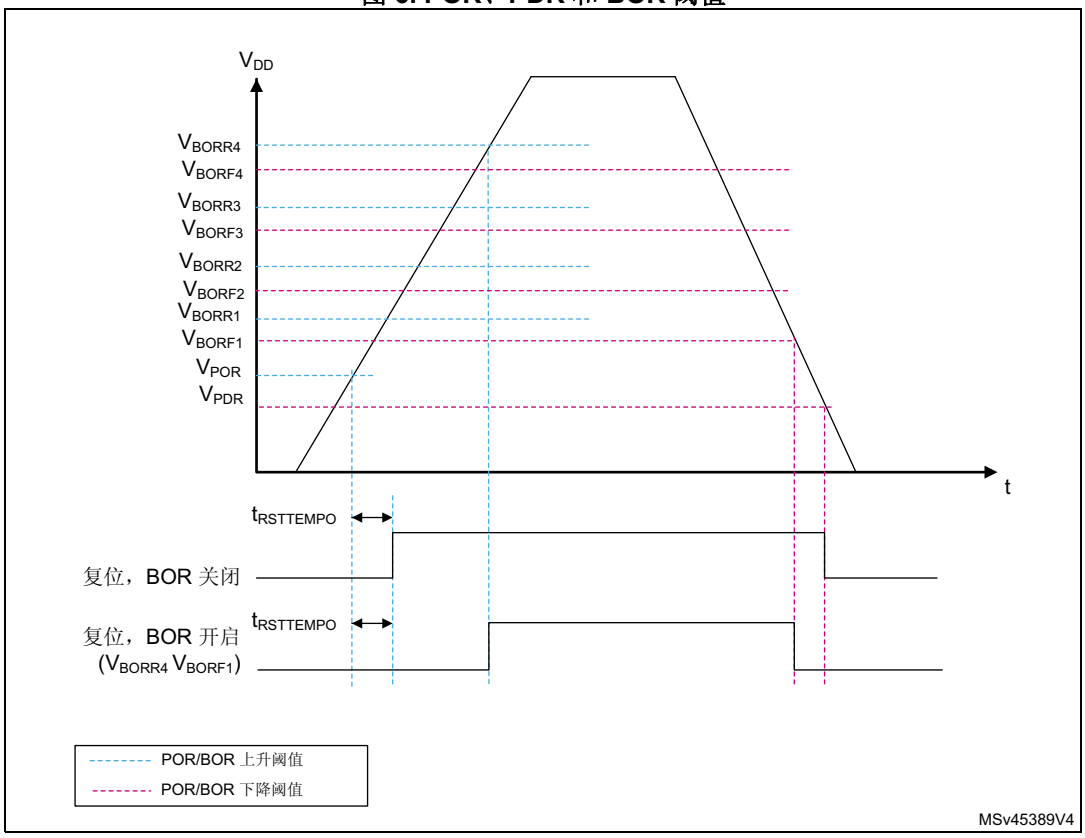
4.2.1 上电复位 (POR)/掉电复位 (PDR)/欠压复位 (BOR)

该器件具有一个集成的上电复位 (POR)/掉电复位 (PDR)，外加欠压复位 (BOR) 电路。POR/PDR 在所有功率模式下都有效。BOR 只能通过选项字节使能或禁止，其在关断模式下不可用。

BOR 使能时，可通过选项字节选择四个 BOR 值，并为上升和下降阈值提供独立配置。上电期间，BOR 将使器件保持复位状态，直到 V_{DD} 电源电压达到指定的 BOR 上升阈值 (V_{BORRx})。此时，将释放器件复位信号，系统可以启动。在掉电期间，V_{DD} 降至所选 BOR 下降阈值 (V_{BORFx}) 时，器件再次被置于复位状态。

警告： **不允许将 BOR 下降阈值 (V_{BORFx}) 配置为高于 BOR 上升阈值 (V_{BORRx}) 的值。**

图 6. POR、PDR 和 BOR 阈值



1. V_{DD} 超过 V_{POR} 阈值时，复位持续时间 $t_{RSTTEMPO}$ 开始计时，与 BOR 选项位的配置无关。

有关欠压复位阈值的相关详细信息，请参见数据手册的电气特性部分。

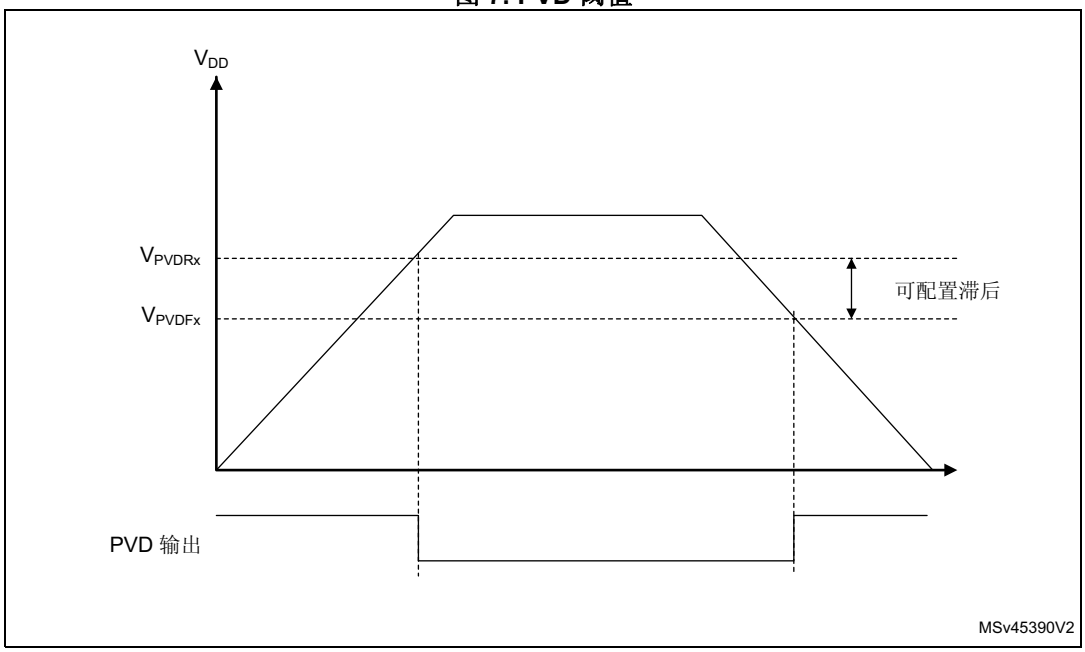
4.2.2 可编程电压检测器 (PVD)

可以使用 PVD 监视 V_{DD} 电源，方法是将其与通过 *电源控制寄存器 2 (PWR_CR2)* 中的 PVDRT[2:0] 位（上升阈值）和 PVDFT[2:0] 位（下降阈值）选择的阈值进行比较。V_{PVDFx} 应始终设置为低于 V_{PVDRx} 的电压值。

通过将 PVDE 位置 1 来使能 PVD。

电源状态寄存器 2 (PWR_SR2) 中包含 PVDO 标志。该标志指示 V_{DD} 是高于还是低于 PVD 阈值。该事件内部连接到 EXTI 线 16，如果通过 EXTI 寄存器使能，则可以产生中断。当 V_{DD} 降至 PVD 阈值以下以及/或者当 V_{DD} 升至 PVD 阈值以上时，可以产生 PVD 输出中断，具体取决于 EXTI 线 16 上升沿/下降沿的配置。该功能的用处之一就是可以在中断服务程序中执行紧急关闭系统的任务。

图 7. PVD 阈值



4.3 低功耗模式

默认情况下，系统复位或上电复位后，微控制器进入运行模式。系统提供了多个低功耗模式，可在 CPU 不需要运行时（例如等待外部事件时）节省功耗。由用户根据应用选择具体的低功耗模式，以在低功耗、短启动时间和可用唤醒源之间寻求最佳平衡。

器件有七种低功耗模式：

- 睡眠模式：CPU 时钟关闭，包括 Cortex®-M0+ 内核外设（例如 NVIC、SysTick 等）在内的所有外设都可以运行，并在发生中断或事件时唤醒 CPU。请参见*第 4.3.4 节：睡眠模式*。
- 低功耗运行模式：当系统时钟频率减少到 2 MHz 以下时实现此模式。从 SRAM 或 Flash 执行代码。调压器处于低功耗模式以最大程度降低调压器的工作电流。请参见*第 4.3.2 节：低功耗运行模式（LP 运行）*。
- 低功耗睡眠模式：从低功耗运行模式进入此模式：Cortex®-M0+ 已关闭。请参见*第 4.3.5 节：低功耗睡眠模式（LP 睡眠）*。
- 停止 0 和停止 1 模式：保留 SRAM 和所有寄存器的内容。此时，V_{CORE} 域中的所有时钟都会停止，PLL、HSI16 和 HSE 被禁止。LSI 和 LSE 可以保持运行。

  RTC 和 TAMP 可保持有效（带 RTC 的停止模式，不带 RTC 的停止模式）。

  一些具有唤醒功能的外设可以在停止模式期间使能 HSI16 RC，以检测它们的唤醒条件。

  在停止 0 模式下，主调压器保持开启，可实现最快的唤醒时间，但功耗更高。有效外设和唤醒源与停止 1 模式下相同。

  退出停止 0 或停止 1 模式时，系统时钟为 HSISYS 时钟。如果器件配置为在低功耗运行模式下唤醒，则必须在进入停止模式之前配置 RCC_CR 寄存器中的 HSIDIV 位，以提供不大于 2 MHz 的频率。

  有关停止 0 模式的详细信息，请参见*第 4.3.6 节：停止 0 模式*。
- 待机模式：V_{CORE} 域断电。

  但是，可保留 SRAM 内容：
  - 在待机模式下，当 PWR_CR3 寄存器中的 RRS 位置 1 时，SRAM 内容保留。在这种情况下，SRAM 由低功耗调压器供电。
  - 在待机模式下，当 PWR_CR3 寄存器中的 RRS 位清零时。在这种情况下，主调压器和低功耗调压器关闭。

  此时，V_{CORE} 域中的所有时钟都会停止，PLL、HSI16 和 HSE 振荡器被禁止。LSI 和 LSE 振荡器可保持运行。

  RTC 可以保持有效（带 RTC 的待机模式，不带 RTC 的待机模式）。

  退出待机模式时，系统时钟为 HSI16 振荡器时钟。

  请参见*第 4.3.8 节：待机模式*。
- 关断模式：V_{CORE} 域断电。此时，V_{CORE} 域中的所有时钟都会停止，PLL、HSI16、LSI 和 HSE 振荡器被禁止。LSE 可以保持运行。退出关断模式时，系统时钟为 HSI16 振荡器时钟。在该模式下，会禁止电源电压监测，并且电源电压下降时不能保证产品特性。请参见*第 4.3.9 节：关断模式*。

此外，可通过下列方法之一降低运行模式下的功耗：

- 降低系统时钟速度。
- 不使用 APB 和 AHB 外设时，将对应的外设时钟关闭。

图 8. 低功耗模式状态图

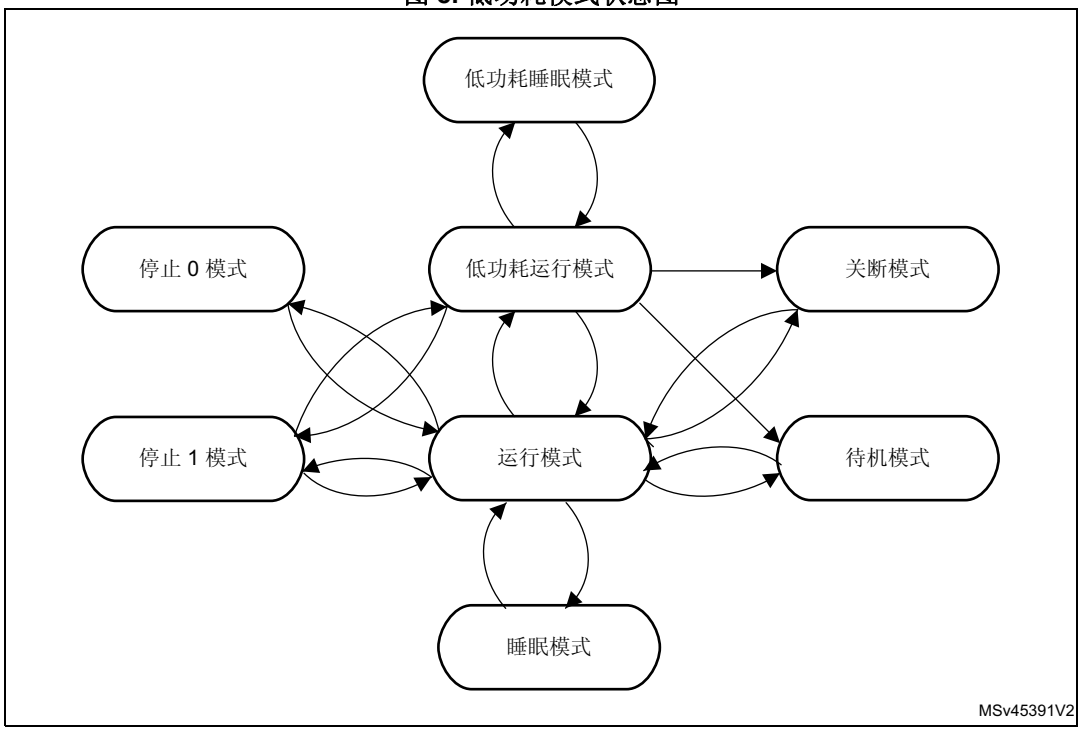


表 20. 低功耗模式汇总

模式名称	条目	唤醒源(1)	唤醒 系统时钟	对时钟的影响	调压器	
					MR	LPR
睡眠（立即睡眠或退出时睡眠）	WFI 或 从 ISR 返回	任意中断	与进入睡眠模式之前相同	CPU 时钟关闭 对其他时钟或模拟时钟源无影响	开启	开启
	WFE	唤醒事件				
低功耗运行	将 LPR 位置 1	将 LPR 位清零	无变更	无	关闭	
低功耗睡眠	将 LPR 位置 1 + WFI 或 从 ISR 返回	任意中断	与进入低功耗睡眠模式之前相同	CPU 时钟关闭 对其他时钟或模拟时钟源无影响		
	将 LPR 位置 1 + WFE	唤醒事件				
停止 0	LPMS= “000” + SLEEPDEEP 位 + WFI 或 从 ISR 或 WFE 返回	任意 EXTI 线（在 EXTI 寄存器中配置） 特定外设事件	HSISYS	除 LSI 和 LSE 之外的所有时钟关闭	开启	
停止 1	LPMS= “001” + SLEEPDEEP 位 + WFI 或 从 ISR 或 WFE 返回				关闭	
带 SRAM 的待机	LPMS= “011” + 将 RRS 位置 1 + SLEEPDEEP 位 + WFI 或 从 ISR 或 WFE 返回	WKUP 引脚边沿、RTC 事件、TAMP 事件、NRST 引脚的外部复位、IWDG 复位				
待机	LPMS= “011” + 清零 RRS 位 + SLEEPDEEP 位 + WFI 或 从 ISR 或 WFE 返回					关闭
关断	LPMS= “1--” + SLEEPDEEP 位 + WFI 或 从 ISR 或 WFE 返回	WKUP 引脚边沿、RTC 事件、TAMP 事件、NRST 引脚的外部复位		除 LSE 之外的所有时钟关闭		

1. 请参见*表 21：功能取决于工作模式*。

表 21. 功能取决于工作模式(1)

外设	运行	睡眠	低功耗运行	低功耗睡眠	停止 0/1		待机		关断		VBAT
					-	唤醒能力	-	唤醒能力	-	唤醒能力	
CPU	Y	-	Y	-	-	-	-	-	-	-	-
Flash	Y	Y	O(2)	O(2)	O(2)	-	-	-	-	-	-
SRAM	Y	Y(3)	Y	Y(3)	Y	-	O(4)	-	-	-	-
备份寄存器	Y	Y	Y	Y	Y	-	Y	-	Y	-	Y
欠压复位 (BOR)	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-
可编程电压检测器 (PVD)	O	O	O	O	O	O	-	-	-	-	-
DMA	O	O	O	O	-	-	-	-	-	-	-
振荡器 HSI16	O	O	O	O	(5)	-	-	-	-	-	-
高速外部 (HSE)	O	O	O	O	-	-	-	-	-	-	-
低速内部 (LSI)	O	O	O	O	O	-	O	-	-	-	-
低速外部 (LSE)	O	O	O	O	O	-	O	-	O	-	O
PLL	O	O	-	-	-	-	-	-	-	-	-
时钟安全系统 (CSS)	O	O	O(6)	O(6)	-	-	-	-	-	-	-
LSE 上的时钟安全系统	O	O	O	O	O	O	O	O	-	-	-
RTC/自动唤醒	O	O	O	O	O	O	O	O	O	O	O
TAMPx (x=1,2)	O	O	O	O	O	O	O	O	O	O	O
USARTx (x=1,2)	O	O	O	O	O(7)	O(7)	-	-	-	-	-
USARTx (x=3,4)	O	O	O	O	-	-	-	-	-	-	-
低功耗 UART (LPUART1)	O	O	O	O	O(7)	O(7)	-	-	-	-	-
I2C1	O	O	O	O	O(8)	O(8)	-	-	-	-	-
I2C2	O	O	O	O	-	-	-	-	-	-	-
SPIx (x=1,2)	O	O	O	O	-	-	-	-	-	-	-
ADC	O	O	O	O	-	-	-	-	-	-	-
DAC	O	O	O	O	O	-	-	-	-	-	-
VREFBUF	O	O	O	O	O	-	-	-	-	-	-
COMPx (x=1,2)	O	O	O	O	O	O	-	-	-	-	-

表 21. 功能取决于工作模式(1) （续）

外设	运行	睡眠	低功耗运行	低功耗睡眠	停止 0/1		待机		关断		VBAT
					-	唤醒能力	-	唤醒能力	-	唤醒能力	
温度传感器	O	O	O	O	-	-	-	-	-	-	-
定时器 (TIMx)	O	O	O	O	-	-	-	-	-	-	-
低功耗定时器 1 (LPTIM1)	O	O	O	O	O	O	-	-	-	-	-
低功耗定时器 2 (LPTIM2)	O	O	O	O	O	O	-	-	-	-	-
独立看门狗 (IWDG)	O	O	O	O	O	O	O	O	-	-	-
窗口看门狗 (WWDG)	O	O	O	O	-	-	-	-	-	-	-
SysTick 定时器	O	O	O	O	-	-	-	-	-	-	-
随机数发生器 (RNG)(9)	O	O	O	O	-	-	-	-	-	-	-
AES 硬件加速器(9)	O	O	O	O	-	-	-	-	-	-	-
CRC 计算单元	O	O	O	O	-	-	-	-	-	-	-
GPIO	O	O	O	O	O	O	(10)	最多 5 个引脚 (11)	(12)	最多 5 个引脚 (11)	-

1. 图例：Y = 支持 （使能）。 O = 可选 （默认禁止，可由软件使能）。 - = 不可用。
2. Flash 可配置为断电模式。默认情况下，它不是断电模式。
3. SRAM 时钟可门控打开或关闭。
4. 当 PWR_CR3 寄存器中的 RRS 位置 1 时， SRAM 内容保留。
5. 一些能够从停止模式唤醒的外设可请求将 HSI16 使能。在这种情况下， HSI16 由外设唤醒，并且仅响应请求它的外设。当外设不再需要 HSI16 时，它将自动关闭。
6. 如果在低功耗运行或低功耗睡眠模式下将 CSS 用于 HSE 时钟，则配置 HSIDIV，使其在外部时钟故障检测时，不在任何模式下将 SYSCLK 时钟驱动至高于最大频率。
7. 在停止模式下， USART 和 LPUART 接收功能能够工作并能在开始、地址匹配或接收到帧事件时产生一个唤醒中断。
8. 在停止模式下， I2C 地址检测能够工作，并能在地址匹配时产生一个唤醒中断。
9. 不适用于 STM32G071xx 器件。
10. 待机模式下， I/O 可配置为内部上拉、下拉或浮空。
11. I/O 具有从待机 / 关断模式唤醒的功能 (WKUPx)。
12. I/O 在关断模式中可配置为内部上拉、下拉或浮空，但是当退出关断模式时该配置会丢失。

调试模式

默认情况下，如果使用调试功能时用户应用程序将 MCU 置于停止 0、停止 1、关断或待机模式，调试连接将中断。这是因为 Cortex®-M0+ 内核时钟停止。

不过，通过设置 DBGMCU_CR 寄存器中的一些配置位，即使 MCU 进入低功耗模式，仍可使用软件对其进行调试。有关详细信息，请参见*第 37.9.1 节：对低功耗模式的调试支持*。

4.3.1 运行模式

降低系统时钟速度

在运行模式下，可通过对预分频寄存器编程来降低系统时钟（SYSCLK、HCLK 和 PCLK）速度。进入睡眠模式之前，也可以使用这些预分频器降低外设速度。

有关详细信息，请参见*第 5.4.3 节：时钟配置寄存器 (RCC_CFGR)*。

外设时钟门控

在运行模式下，可随时停止各外设和存储器的 HCLK 和 PCLK 以降低功耗。

要进一步降低睡眠模式的功耗，可在执行 WFI 或 WFE 指令之前禁止外设时钟。

外设时钟门控由 RCC_AHBENR 和 RCC_APBENRx 寄存器控制。

在睡眠模式下，复位 RCC_AHBSMENR 和 RCC_APBSMENRx 寄存器中的对应位可以自动禁止外设时钟。

4.3.2 低功耗运行模式（LP 运行）

当系统处于运行模式时，要进一步降低功耗，可以将调压器配置为低功耗模式。在此模式下，系统频率不应超过 2 MHz。

有关调压器和外设工作条件的详细信息，请参见产品数据手册。

低功耗运行模式下的 I/O 状态

在低功耗运行模式下，所有 I/O 引脚的状态与运行模式下相同。

进入低功耗运行模式

要进入低功耗运行模式，请执行下列操作：

1. 可选：跳转到 SRAM，并通过将*电源控制寄存器 1 (PWR_CR1)* 中的 FPD_LPRUN 位置 1 关断 Flash。
2. 将系统时钟频率降到 2 MHz 以下。
3. 将 PWR_CR1 寄存器中的 LPR 位置 1，强制调压器进入低功耗模式。

有关如何进入低功耗运行模式，请参见*表 22：低功耗运行*。

退出低功耗运行模式

要退出低功耗运行模式，请执行下列操作：

1. 将*电源控制寄存器 1 (PWR_CR1)* 中的 LPR 位清零，强制调压器进入主模式。
2. 等待*电源状态寄存器 2 (PWR_SR2)* 中的 REGLPF 位清零。
3. 增加系统时钟频率。

有关如何退出低功耗运行模式，请参见*表 22：低功耗运行*。

表 22. 低功耗运行

低功耗运行模式	说明
进入模式	将系统时钟频率降到 2 MHz 以下 LPR = 1
退出模式	LPR = 0 等待 REGLPF = 0 增加系统时钟频率
唤醒延迟	调压器从低功耗模式唤醒的时间

4.3.3 低功耗模式

进入低功耗模式

MCU 通过执行 WFI（等待中断）或 WFE（等待事件）指令进入低功耗模式，也可通过在从 ISR 返回后将 Cortex®-M0+ 系统控制寄存器中的 SLEEPONEXIT 位置 1 进入低功耗模式。在没有中断或事件挂起时，才可通过 WFI 或 WFE 进入低功耗模式。

退出低功耗模式

MCU 以某种方式退出睡眠和停止低功耗模式，具体取决于进入低功耗模式的方式：

- 如果使用 WFI 指令或从 ISR 返回进入低功耗模式，通过 NVIC 确认的任何外设中断都能唤醒器件。
- 如果使用 WFE 指令进入低功耗模式，MCU 将在有事件发生时立即退出低功耗模式。唤醒事件可通过以下方式产生：
  - NVIC IRQ 中断。

    当 Cortex®-M0+ 系统控制寄存器中的 SEVONPEND = 0 时：在外设控制寄存器和 NVIC 中使能中断。当 MCU 从 WFE 恢复时，必须清零外设中断挂起位和 NVIC 外设 IRQ 通道挂起位（在 NVIC 中断清零挂起寄存器中）。

    当 Cortex®-M0+ 系统控制寄存器中的 SEVONPEND = 1 时：在外设控制寄存器中使能中断，也可选择在 NVIC 中使能中断。当 MCU 从 WFE 恢复时，必须清零外设中断挂起位和使能的 NVIC 外设 IRQ 通道挂起位（在 NVIC 中断清零挂起寄存器中）。

    所有 NVIC 中断将唤醒 MCU，即使是禁止的亦是如此。
  - 事件

    将一个 EXTI 线配置为事件模式。当 CPU 从 WFE 恢复时，因为对应事件线的挂起位没有被置 1，不必清零 EXTI 外设的中断挂起位或 NVIC IRQ 通道挂起位。

    可能需要清零相应外设中的中断标志。

在发生外部复位（NRST 引脚）、IWDG 复位、使能的 WKUPx 引脚之一上的上升沿或下降沿，或发生 RTC 事件时，MCU 退出待机和关断低功耗模式。请参见*图 282：RTC 框图*。从待机或关断模式唤醒后，程序将按照复位（启动引脚采样、选项字节加载和复位向量已获取等）后的方式重新执行。

4.3.4 睡眠模式

睡眠模式下的 I/O 状态

在睡眠模式下，所有 I/O 引脚的状态与运行模式下相同。

进入睡眠模式

当 Cortex®-M0+ 系统控制寄存器的 SLEEPDEEP 位清零时，MCU 将根据*进入低功耗模式*部分进入睡眠模式。

有关如何进入睡眠模式的详细信息，请参见*表 23：睡眠模式汇总*。

退出睡眠模式

MCU 根据*退出低功耗模式*退出睡眠模式。

有关如何退出睡眠模式的详细信息，请参见*表 23：睡眠模式汇总*。

表 23. 睡眠模式汇总

特征	说明
进入模式	WFI（等待中断）或 WFE（等待事件），且： – SLEEPDEEP = 0 – 没有中断 （对于 WFI）或事件 （对于 WFE）挂起 请参见 Cortex®-M0+ 系统控制寄存器。
	从 ISR 返回，且： – SLEEPDEEP = 0 及 – SLEEPONEXIT = 1 – 没有中断挂起 请参见 Cortex®-M0+ 系统控制寄存器。
退出模式	如果使用 WFI 或从 ISR 返回进入 中断：请参见*表 48：向量表* 如果使用 WFE 进入且 SEVONPEND = 0： 唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒* 如果使用 WFE 进入且 SEVONPEND = 1： 中断（即使在 NVIC 中禁止时）：请参见*表 48：向量表*，或唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒*
唤醒延迟	无

4.3.5 低功耗睡眠模式（LP 睡眠）

有关调压器和外设工作条件的详细信息，请参见产品数据手册。

低功耗睡眠模式下的 I/O 状态

在低功耗睡眠模式下，所有 I/O 引脚的状态与运行模式下相同。

进入低功耗睡眠模式

当 Cortex®-M0+ 系统控制寄存器的 SLEEPDEEP 位清零时，MCU 将根据*进入低功耗模式*从低功耗运行模式进入低功耗睡眠模式。

有关如何进入低功耗睡眠模式的详细信息，请参见*表 24：低功耗睡眠模式汇总*。

退出低功耗睡眠模式

MCU 根据*退出低功耗模式*退出低功耗睡眠模式。当通过发出中断或事件来退出低功耗睡眠模式时，MCU 处于低功耗运行模式。

有关如何退出低功耗睡眠模式的详细信息，请参见*表 24：低功耗睡眠模式汇总*。

表 24. 低功耗睡眠模式汇总

特征	说明
进入模式	从低功耗运行模式进入低功耗睡眠模式。 WFI（等待中断）或 WFE（等待事件），且： – SLEEPDEEP = 0 – 没有中断（对于 WFI）或事件（对于 WFE）挂起 请参见 Cortex®-M0+ 系统控制寄存器。
	从低功耗运行模式进入低功耗睡眠模式。 从 ISR 返回，且： – SLEEPDEEP = 0 及 – SLEEPONEXIT = 1 – 没有中断挂起 请参见 Cortex®-M0+ 系统控制寄存器。
退出模式	如果使用 WFI 或从 ISR 返回进入 中断：请参见*表 48：向量表* 如果使用 WFE 进入且 SEVONPEND = 0： 唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒* 如果使用 WFE 进入且 SEVONPEND = 1： 中断（即使在 NVIC 中禁止时）：请参见*表 48：向量表* 唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒* 当退出低功耗睡眠模式时，MCU 会处于低功耗运行模式。
唤醒延迟	无

4.3.6 停止 0 模式

停止 0 模式基于 Cortex®-M0+ 深度睡眠模式与外设时钟门控。调压器配置为主调压器模式。在停止 0 模式下，V_{CORE} 域中的所有时钟都会停止；PLL、HSI16 和 HSE 振荡器也被禁止。一些具有唤醒功能的外设（I2C1、USART1、USART2 和 LPUART1）可以开启 HSI16 以获取帧，如果该帧不是唤醒帧，也可以在接收到帧后关闭 HSI16。在这种情况下，HSI16 时钟仅传播到请求该时钟的外设中。

SRAM 和寄存器内容将保留。

BOR 在停止 0 模式下可用。

可以激活 BOR 和 PDR 以对电源电压进行周期性采样。通过将 PWR_CR3 寄存器的 ULPEN 位置 1 使能该选项可以降低此模式下的电流消耗，但如果在电源检测器两个有效周期之间电源跌落到运行条件之下，则不会产生 PDR 复位。

停止 0 模式下的 I/O 状态

在停止 0 模式下，所有 I/O 引脚的状态与运行模式下相同。

进入停止 0 模式

当 Cortex®-M0+ 系统控制寄存器的 SLEEPDEEP 位置 1 时，MCU 将根据*进入低功耗模式*部分进入停止 0 模式。

有关如何进入停止 0 模式的详细信息，请参见*表 25：停止 0 模式汇总*。

如果正在执行 Flash 编程，停止 0 模式的进入将延迟到存储器访问结束后执行。

如果正在访问 APB 域，停止 0 模式的进入则延迟到 APB 访问结束后执行。

在停止 0 模式下，可以通过对各控制位进行编程来选择以下功能：

- 独立的看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。请参见*第 27.3 节：IWDG 功能说明*。
- 实时时钟 (RTC)：通过 *RTC 域控制寄存器 (RCC_BDCR)* 中的 RTCEN 位进行配置。
- 内部 RC 振荡器 (LSI)：通过*控制/状态寄存器 (RCC_CSR)* 中的 LSION 位进行配置。
- 外部 32.768 kHz 振荡器 (LSE)：通过 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSEON 位进行配置。

在停止 0 模式中可以使用多个外设：LPTIM1、LPTIM2、USART1、USART2、LPUART 和 I2C1。当这些外设已使能并且由 LSI 或 LSE 提供时钟，或者这些外设请求 HSI16 时钟，会增加功耗。

DAC、比较器和 PVD 可用于停止 0 模式。

在停止 0 模式期间，ADC、VREFBUF 缓冲器和温度传感器会产生功耗，除非在进入该模式前将其禁用。

退出停止 0 模式

MCU 根据*进入低功耗模式*部分退出停止 0 模式。

有关如何退出停止 0 模式的详细信息，请参见*表 25：停止 0 模式汇总*。

通过发出中断或唤醒事件退出停止 0 模式时，将选择 HSISYS 振荡器作为系统时钟。如果器件配置为在低功耗运行模式下唤醒，则必须在进入停止 0 模式之前配置 RCC_CR 寄存器中的 HSIDIV 位，以提供不大于 2 MHz 的频率。

退出停止 0 模式时，MCU 处于运行模式（范围 1 或范围 2，具体取决于 PWR_CR1 中的 VOS 位），如果*电源控制寄存器 1 (PWR_CR1)* 中的 LPR 位置 1，MCU 会处于低功耗运行模式。

表 25. 停止 0 模式汇总

特征	说明
进入模式	WFI（等待中断）或 WFE（等待事件），且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – 没有中断（对于 WFI）或事件（对于 WFE）挂起 – PWR_CR1 中的 LPMS = “000”
	从 ISR 返回，且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – SLEEPONEXIT = 1 – 没有中断挂起 – PWR_CR1 中的 LPMS = “000”
	注：　要进入停止 0 模式，则必须清零所有 EXTI 线挂起位（EXTI 上升沿挂起寄存器 (EXTI_RPR1) 和 EXTI 下降沿挂起寄存器 (EXTI_FPR1) 中）和生成唤醒中断的外设标志。否则将忽略进入停止 0 模式这一过程，继续执行程序。
退出模式	如果使用 WFI 或从 ISR 返回进入 任何配置为中断模式的 EXTI 线（必须在 NVIC 中使能对应的 EXTI 中断向量）。中断源可以是外部中断或具有唤醒功能的外设。请参见*表 48：向量表*。 如果使用 WFE 进入且 SEVONPEND = 0： 任何配置为事件模式的 EXTI 线。请参见*第 12.3.2 节：EXTI 直接事件输入唤醒*。 如果使用 WFE 进入且 SEVONPEND = 1： 任何配置为中断模式的 EXTI 线（即使在 NVIC 中禁止对应的 EXTI 中断向量）。中断源可以是外部中断或具有唤醒功能的外设。请参见*表 48：向量表*。 唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒*
唤醒延迟	最长唤醒时间介于 HSI16 唤醒时间和 Flash 从停止 0 模式唤醒的时间之间。

4.3.7 停止 1 模式

在停止 1 模式下，主调压器关闭，仅低功率调压器开启，除此之外与停止 0 模式相同。可以从运行模式和低功耗运行模式进入停止 1 模式。

有关如何进入和退出停止 1 模式的详细信息，请参见*表 26：停止 1 模式汇总*。

表 26. 停止 1 模式汇总

特征	说明
进入模式	WFI（等待中断）或 WFE（等待事件），且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – 没有中断（对于 WFI）或事件（对于 WFE）挂起 – PWR_CR1 中的 LPMS = “001”
	从 ISR 返回，且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – SLEEPONEXIT = 1 – 没有中断挂起 – PWR_CR1 中的 LPMS = “001”
	注：　要进入停止 1 模式，则必须清零所有 EXTI 线挂起位（EXTI 上升沿挂起寄存器 (EXTI_RPR1) 和 EXTI 下降沿挂起寄存器 (EXTI_FPR1) 中）和生成唤醒中断的外设标志。否则将忽略进入停止 1 模式这一过程，继续执行程序。
退出模式	如果使用 WFI 或从 ISR 返回进入 任何配置为中断模式的 EXTI 线（必须在 NVIC 中使能对应的 EXTI 中断向量）。中断源可以是外部中断或具有唤醒功能的外设。请参见*表 48：向量表*。 如果使用 WFE 进入且 SEVONPEND = 0： 任何配置为事件模式的 EXTI 线。请参见*第 12.3.2 节：EXTI 直接事件输入唤醒*。 如果使用 WFE 进入且 SEVONPEND = 1： 任何配置为中断模式的 EXTI 线（即使在 NVIC 中禁止对应的 EXTI 中断向量）。中断源可以是外部中断或具有唤醒功能的外设。请参见*表 48：向量表*。 唤醒事件：请参见*第 12.3.2 节：EXTI 直接事件输入唤醒*
唤醒延迟	最长唤醒时间介于 HSI16 唤醒时间和调压器从低功耗模式唤醒的时间 + Flash 从停止 1 模式唤醒的时间之间。

4.3.8 待机模式

待机模式下可以使用 BOR 达到最低功耗。待机模式基于 Cortex®-M0+ 深度睡眠模式，其中调压器被禁止（保留 SRAM 内容时除外）。PLL、HSI16 和 HSE 振荡器也会关闭。

除 RTC 域和待机电路中的寄存器外，寄存器内容都将丢失（请参见*图 5*）。除 PWR_CR3 寄存器中的 RRS 位置 1 的情况外，其余情况 SRAM 内容均会丢失。在这种情况下，低功耗调压器开启并仅为 SRAM 供电。

在待机模式下 BOR 可用。

可以激活 BOR 和 PDR 以对电源电压进行周期性采样。通过将 PWR_CR3 寄存器的 ULPEN 位置 1 使能该选项可以降低此模式下的电流消耗，但如果在电源检测器两个有效周期之间电压跌落到运行条件之下，则不会产生 PDR 复位。

待机模式下的 I/O 状态

在待机模式下，I/O 可通过上拉（请参见 PWR_PUCRx 寄存器（x=A、B、C、D、F））或下拉（请参见 PWR_PDCRx 寄存器（x=A、B、C、D、F））进行配置，或者可以保持在模拟模式下。

待机模式下可以使用 PC13 和 PA4 的 RTC 输出功能。也可以为 LSE 使用 PC14 和 PC15 功能。有五个唤醒引脚（WKUPx，x=1、2、4、5、6）和两个入侵引脚。

进入待机模式

当 Cortex®-M0+ 系统控制寄存器的 SLEEPDEEP 位置 1 时，MCU 将根据*进入低功耗模式*进入待机模式。

有关如何进入待机模式的详细信息，请参见*表 27：待机模式汇总*。

在待机模式下，可以通过对各控制位进行编程来选择以下功能：

- 独立的看门狗 (IWDG)：IWDG 通过写入其密钥寄存器或使用硬件选项来启动。而且一旦启动便无法停止，除非复位。请参见*第 27.3 节：IWDG 功能说明*。
- 实时时钟 (RTC) 和入侵 (TAMP)：通过 RTC 域控制寄存器 (RCC_BDCR) 中的 RTCEN 位进行配置。
- 内部 RC 振荡器 (LSI)：通过控制/状态寄存器 (RCC_CSR) 中的 LSION 位进行配置。
- 外部 32.768 kHz 振荡器 (LSE)：通过 RTC 域控制寄存器 (RCC_BDCR) 中的 LSEON 位进行配置。

退出待机模式

MCU 根据*进入低功耗模式*部分退出待机模式。*电源控制寄存器 3 (PWR_CR3)* 中的 SBF 状态标志指示 MCU 已处于待机模式。从待机模式唤醒后，除*电源控制寄存器 3 (PWR_CR3)* 外，所有寄存器都将复位。

有关如何退出待机模式的详细信息，请参见*表 27：待机模式汇总*。

表 27. 待机模式汇总

特征	说明
进入模式	WFI（等待中断）或 WFE（等待事件），且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – 没有中断（对于 WFI）或事件（对于 WFE）挂起 – *电源控制寄存器 1 (PWR_CR1)* 中的 LPMS = “011” – *电源状态寄存器 1 (PWR_SR1)* 中的 WUFx 位清零
	从 ISR 返回，且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – SLEEPONEXIT = 1 – 没有中断挂起 – *电源控制寄存器 1 (PWR_CR1)* 中的 LPMS = “011” – *电源状态寄存器 1 (PWR_SR1)* 中的 WUFx 位清零 – 将与所选唤醒源（RTC 闹钟 A、RTC 闹钟 B、RTC 唤醒、入侵或时间戳标志）对应的 RTC 标志清零
退出模式	WKUPx 引脚边沿、RTC 事件、TAMP 事件、NRST 引脚的外部复位、IWDG 复位、BOR
唤醒延迟	复位阶段

4.3.9 关断模式

关断模式下可达到最低功耗。待机模式基于深度睡眠模式，其中调压器被禁止。因此 V_{CORE} 域断电。PLL、HSI16、LSI 和 HSE 振荡器也会关闭。

除 RTC 域中的寄存器之外，SRAM 和寄存器的内容都将丢失。在关断模式下 POR/PDR 和 BOR 不可用。在此模式下无法进行电源电压监视。因此，在 V_{DD} 电源丢失时 RTC 域到 V_{BAT} 电源的切换不受支持。

关断模式下的 I/O 状态

在关断模式下，I/O 可通过上拉（请参见 PWR_PUCRx 寄存器（x=A、B、C、D、F））或下拉（请参见 PWR_PDCRx 寄存器（x=A、B、C、D、F））进行配置，或者可以保持在模拟状态下。但是，当由于上电复位而退出关断模式时，此配置会丢失。

关断模式下可以使用 PC13 的 RTC 输出功能。也可以为 LSE 使用 PC14 和 PC15 功能。有五个唤醒引脚（WKUPx， x=1、2、4、5、6）和两个入侵引脚可用。

进入关断模式

当 Cortex®-M0+ 系统控制寄存器的 SLEEPDEEP 位置 1 时，MCU 将根据*进入低功耗模式*部分进入关断模式。

有关如何进入关断模式的详细信息，请参见*表 28：关断模式汇总*。

在关断模式下，可以通过对各控制位进行编程来选择以下功能：

- 实时时钟 (RTC) 和入侵 (TAMP)：通过 *RTC 域控制寄存器 (RCC_BDCR)* 中的 RTCEN 位进行配置。
- 外部 32.768 kHz 振荡器 (LSE)：通过 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSEON 位进行配置。

注意： V_{DD} 在关断模式下掉电时，RTC 域内容会丢失。

退出关断模式

MCU 根据*退出低功耗模式*部分退出关断模式。从关断模式退出时会发生上电复位。从关断模式唤醒后会复位所有寄存器（除了 RTC 域中的寄存器）。

有关如何退出关断模式的详细信息，请参见*表 28：关断模式汇总*。

表 28. 关断模式汇总

特征	说明
进入模式	WFI（等待中断）或 WFE（等待事件），且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – 没有中断（对于 WFI）或事件（对于 WFE）挂起 – *电源控制寄存器 1 (PWR_CR1)* 中的 LPMS[2:0] = 1XX – *电源状态寄存器 1 (PWR_SR1)* 中的 WUFx 位清零
	从 ISR 返回，且： – 将 Cortex®-M0+ 系统控制寄存器中的 SLEEPDEEP 位置 1 – SLEEPONEXT = 1 – 没有中断挂起 – *电源控制寄存器 1 (PWR_CR1)* 中的 LPMS[2:0] = 1XX – *电源状态寄存器 1 (PWR_SR1)* 中的 WUFx 位清零 – 将与所选唤醒源（RTC 闹钟 A、RTC 闹钟 B、RTC 唤醒、入侵或时间戳标志）对应的 RTC 标志清零
退出模式	WKUPx 引脚边沿、RTC 事件、NRST 引脚的外部复位
唤醒延迟	复位阶段

4.3.10 从低功耗模式自动唤醒

RTC 用于在没有外部中断的情况下从低功耗模式唤醒 MCU（自动唤醒模式）。RTC 提供了可编程时基，便于定期从停止（0、1）、关断或待机模式唤醒器件。为此，通过对 *RTC 域控制寄存器 (RCC_BDCR)* 中的 RTCSEL[1:0] 位进行编程，可以选择三个复用 RTC 时钟源中的其中两个：

- 低功耗 32.768 kHz 外部晶振 (LSE OSC)
  此时钟源能够以极低的功耗提供精确时基。
- 低功耗内部 RC 振荡器 (LSI)
  此时钟源的优势在于可以节省 32.768 kHz 晶振的成本。此内部 RC 振荡器非常省电。

要通过 RTC 闹钟或 RTC 唤醒事件从停止模式唤醒，必须：

- 将 EXTI 线 19 配置为上升沿有效。
- 配置 RTC 以生成唤醒事件。

要从待机或关断模式唤醒，无需配置 EXTI 线 19。

4.4 PWR 寄存器

外设寄存器可支持半字（16 位）或字（32 位）访问。

4.4.1 电源控制寄存器 1 (PWR_CR1)

Power control register 1

偏移地址：0x00

复位值：0x0000 0208。从待机模式唤醒后，此寄存器会复位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LPR	Res.	Res.	Res.	VOS[1:0]		DBP	Res.	Res.	FPD_LPSLP	FPD_LPRUN	FPD_STOP	LPMS[2:0]		
	rw				rw	rw	rw			rw	rw	rw	rw	rw	rw

位 31:15 保留，必须保持复位值。

位 14 **LPR**：低功耗运行 (Low-power run)
当此位置 1 时，调压器会从主模式 (MR) 切换为低功耗模式 (LPR)。

位 13:11 保留，必须保持复位值。

位 10:9 **VOS**：电压调节范围选择 (Voltage scaling range selection)
00：无法写入（由硬件禁止）
01：范围 1
10：范围 2
11：无法写入（由硬件禁止）

位 8 **DBP**：禁止 RTC 域写保护 (Disable RTC domain write protection)
在复位状态下，RTC 和备份寄存器均受到保护，以防止寄生写访问。必须将此位置 1 才能使能对这些寄存器的写访问。
0：禁止对 RTC 和备份寄存器的访问
1：使能对 RTC 和备份寄存器的访问

位 7:6 保留，必须保持复位值。

位 5 **FPD_LPSLP**：在低功耗睡眠模式下 Flash 掉电 (Flash memory powered down during Low-power sleep mode)
该位确定当器件进入低功耗睡眠模式时，Flash 是置于掉电模式还是保持在空闲模式。
0：Flash 空闲
1：Flash 掉电

位 4 **FPD_LPRUN**：在低功耗运行模式下 Flash 掉电 (Flash memory powered down during Low-power run mode)
该位确定当器件进入低功耗运行模式时，Flash 是置于掉电模式还是保持在空闲模式。只有在从 SRAM 执行用户代码时，Flash 才可置于掉电模式。
0：Flash 空闲
1：Flash 掉电

位 3 **FPD_STOP**：在停止模式下 Flash 掉电 (Flash memory powered down during Stop mode)
该位确定当器件进入停止模式时，Flash 是置于掉电模式还是保持在空闲模式。
0：Flash 空闲
1：Flash 掉电

位 2:0 **LPMS[2:0]**：低功耗模式选择 (Low-power mode selection)
当 CPU 进入深度睡眠模式时，使用这些位选择进入的低功耗模式。
000：停止 0 模式
001：停止 1 模式
010：保留
011：待机模式
1xx：关断模式

注：　在待机模式下，SRAM 内容可以保留或丢失，具体取决于 PWR_CR3 中的 RRS 位设置。

4.4.2 电源控制寄存器 2 (PWR_CR2)

Power control register 2

偏移地址：0x04

复位值：0x0000 0000。退出待机模式时，此寄存器会复位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDRT[2:0]			PVDFT[2:0]			PVDE
									rw	rw	rw	rw	rw	rw	rw

位 31:7 保留，必须保持复位值。

位 6:4 **PVDRT[2:0]**：电源电压检测器上升阈值选择 (Power voltage detector rising threshold selection)
这些位选择 PVD 上升阈值：
000：V_{PVDR0}（约 2.1 V）
001：V_{PVDR1}（约 2.2 V）
010：V_{PVDR2}（约 2.5 V）
011：V_{PVDR3}（约 2.6 V）
100：V_{PVDR4}（约 2.7 V）
101：V_{PVDR5}（约 2.9 V）
110：V_{PVDR6}（约 3.0 V）
111：PVD_IN 引脚电压

注：　如果此位域设置为 111，则针对上升和下降阈值将 PVD_IN 引脚上的电压在内部与 V_{REFINT} 进行比较，PVDFT[2:0] 位域无效。

注：　当 SYSCFG_CFGR2 寄存器中的 PVD_LOCK 位置 1 时，这些位受写保护。保护只能通过系统复位进行复位。

位 3:1 **PVDFT[2:0]**：电源电压检测器下降阈值选择 (Power voltage detector falling threshold selection)

这些位选择 PVD 下降阈值：

000：V_{PVDF0}（约 2.0 V）
001：V_{PVDF1}（约 2.2 V）
010：V_{PVDF2}（约 2.4 V）
011：V_{PVDF3}（约 2.5 V）
100：V_{PVDF4}（约 2.6 V）
101：V_{PVDF5}（约 2.8 V）
110：V_{PVDF6}（约 2.9 V）
111：未使用

注：　只要位域 PVDRT[2:0] 设置为 111，就会忽略该位域的设置。

注：　当 SYSCFG_CFGR2 寄存器中的 PVD_LOCK 位置 1 时，这些位受写保护。保护只能通过系统复位进行复位。

位 0 **PVDE**：电源电压检测器使能 (Power voltage detector enable)

0：禁止电源电压检测器。
1：使能电源电压检测器。

注：　当 SYSCFG_CFGR2 寄存器中的 PVD_LOCK 位置 1 时，该位受写保护。保护只能通过系统复位进行复位。

4.4.3 电源控制寄存器 3 (PWR_CR3)

Power control register 3

偏移地址：0x08

复位值：0x0000 8000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EIWUL	Res.	Res.	Res.	Res.	APC	ULPEN	RRS	Res.	Res.	EWUP6	EWUP5	EWUP4	Res.	EWUP2	EWUP1
rw					rw	rw	rw			rw	rw	rw		rw	rw

位 31:16 保留，必须保持复位值。

位 15 **EIWUL**：内部唤醒线使能 (Enable internal wakeup line)

0：禁止
1：使能

位 14:11 保留，必须保持复位值。

位 10 **APC**：应用上拉和下拉配置 (Apply pull-up and pull-down configuration)

该位确定是否应用 PWR_PUCRx 和 PWR_PDCRx 寄存器中定义的 I/O 上拉和下拉配置。

0：不应用
1：应用

位 9 **ULPEN**：超低功耗使能 (Ultra-low-power enable)

在停止和待机模式下使能/禁止电源电压的周期性采样，以检测 PDR 和 BOR 复位的条件。

0：禁止（连续监视电源电压）

1：使能

置 1 后，只会周期性（而非连续性）针对 PDR/BOR 复位条件对电源电压进行采样以便实现节能。

注意： 使能后，如果在两个电源电压采样之间电源电压降至最小工作条件之下，则会错过复位条件并且不会产生复位。

位 8 **RRS**：待机模式下 SRAM 内容保留 (SRAM retention in Standby mode)

0：待机模式下 SRAM 断电（SRAM 内容丢失）。

1：待机模式下使用低功耗调压器接通 SRAM（SRAM 内容保留）。

位 7:6 保留，必须保持复位值。

位 5 **EWUP6**：使能 WKUP6 唤醒引脚 (Enable WKUP6 wakeup pin)

该位置 1 会使能 WKUP6 外部唤醒引脚，并在出现上升沿或下降沿时从待机或关断模式触发唤醒。通过 PWR_CR4 寄存器中的 WP6 位配置有效边沿。

位 4 **EWUP5**：使能 WKUP5 唤醒引脚 (Enable WKUP5 wakeup pin)

该位置 1 会使能 WKUP5 外部唤醒引脚，并在出现上升沿或下降沿时从待机或关断模式触发唤醒。通过 PWR_CR4 寄存器中的 WP5 位配置有效边沿。

位 3 **EWUP4**：使能 WKUP4 唤醒引脚 (Enable WKUP4 wakeup pin)

该位置 1 会使能 WKUP4 外部唤醒引脚，并在出现上升沿或下降沿时从待机或关断模式触发唤醒。通过 PWR_CR4 寄存器中的 WP4 位配置有效边沿。

位 2 保留，必须保持复位值。

位 1 **EWUP2**：使能 WKUP2 唤醒引脚 (Enable WKUP2 wakeup pin)

该位置 1 会使能 WKUP2 外部唤醒引脚，并在出现上升沿或下降沿时从待机或关断模式触发唤醒。通过 PWR_CR4 寄存器中的 WP2 位配置有效边沿。

位 0 **EWUP1**：使能 WKUP1 唤醒引脚 (Enable WKUP1 wakeup pin)

该位置 1 会使能 WKUP1 外部唤醒引脚，并在出现上升沿或下降沿时从待机或关断模式触发唤醒。通过 PWR_CR4 寄存器中的 WP1 位配置有效边沿。

4.4.4 电源控制寄存器 4 (PWR_CR4)

Power control register 4

偏移地址：0x0C

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	VBRS	VBE	Res.	Res.	WP6	WP5	WP4	Res.	WP2	WP1
						rw	rw			rw	rw	rw		rw	rw

位 31:10 保留，必须保持复位值。

位 9 **VBRS**：V_{BAT} 电池充电电阻选择 (V_{BAT} battery charging resistor selection)
0：通过 5 kΩ 电阻为 V_{BAT} 充电
1：通过 1.5 kΩ 电阻为 V_{BAT} 充电

位 8 **VBE**：V_{BAT} 电池充电使能 (V_{BAT} battery charging enable)
0：禁止 V_{BAT} 电池充电
1：使能 V_{BAT} 电池充电

位 7:6 保留，必须保持复位值。

位 5 **WP6**：WKUP6 唤醒引脚极性 (WKUP6 wakeup pin polarity)
该位用于定义 WKUP6 外部唤醒引脚事件检测的极性：
0：在高电平（上升沿）检测
1：在低电平（下降沿）检测

位 4 **WP5**：WKUP5 唤醒引脚极性 (WKUP5 wakeup pin polarity)
该位用于定义 WKUP5 外部唤醒引脚事件检测的极性
0：在高电平（上升沿）检测
1：在低电平（下降沿）检测

位 3 **WP4**：WKUP4 唤醒引脚极性 (WKUP4 wakeup pin polarity)
该位用于定义 WKUP4 外部唤醒引脚事件检测的极性
0：在高电平（上升沿）检测
1：在低电平（下降沿）检测

位 2 保留，必须保持复位值。

位 1 **WP2**：WKUP2 唤醒引脚极性 (WKUP2 wakeup pin polarity)
该位用于定义 WKUP2 外部唤醒引脚事件检测的极性
0：在高电平（上升沿）检测
1：在低电平（下降沿）检测

位 0 **WP1**：WKUP1 唤醒引脚极性 (WKUP1 wakeup pin polarity)
该位用于定义 WKUP1 外部唤醒引脚事件检测的极性
0：在高电平（上升沿）检测
1：在低电平（下降沿）检测

4.4.5 电源状态寄存器 1 (PWR_SR1)

Power status register 1

偏移地址：0x10

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 读操作相比，读取此寄存器需要 2 个额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUFI	Res.	Res.	Res.	Res.	Res.	Res.	SBF	Res.	Res.	WUF6	WUF5	WUF4	Res.	WUF2	WUF1
r							r			r	r	r		r	r

位 31:16 保留，必须保持复位值。

位 15 **WUFI**：内部唤醒标志 (Wakeup flag internal)
在内部唤醒线上检测到唤醒事件时，该位置 1。清除所有内部唤醒源时，该位清零。

位 14:9 保留，必须保持复位值。

位 8 **SBF**：待机标志 (Standby flag)
当器件进入待机模式时，该位由硬件置 1，通过将 PWR_SCR 寄存器的 CSBF 位置 1 或通过上电复位，将该位清零。该位不通过系统复位清零。
0：器件未进入待机模式
1：器件进入待机模式

位 7:6 保留，必须保持复位值。

位 5 **WUF6**：唤醒标志 6 (Wakeup flag 6)
当在 WKUP6 唤醒引脚上检测到唤醒事件时该位置 1。通过向 PWR_SCR 寄存器的 CWUF6 位写入 1 进行清零。

位 4 **WUF5**：唤醒标志 5 (Wakeup flag 5)
当在 WKUP5 唤醒引脚上检测到唤醒事件时该位置 1。通过向 PWR_SCR 寄存器的 CWUF5 位写入 1 进行清零。

位 3 **WUF4**：唤醒标志 4 (Wakeup flag 4)
当在 WKUP4 唤醒引脚上检测到唤醒事件时该位置 1。通过向 PWR_SCR 寄存器的 CWUF4 位写入 1 进行清零。

位 2 保留，必须保持复位值。

位 1 **WUF2**：唤醒标志 2 (Wakeup flag 2)
当在 WKUP2 唤醒引脚上检测到唤醒事件时该位置 1。通过向 PWR_SCR 寄存器的 CWUF2 位写入 1 进行清零。

位 0 **WUF1**：唤醒标志 1 (Wakeup flag 1)
当在 WKUP1 唤醒引脚上检测到唤醒事件时该位置 1。通过向 PWR_SCR 寄存器的 CWUF1 位写入 1 进行清零。

4.4.6 电源状态寄存器 2 (PWR_SR2)

Power status register 2

偏移地址：0x14

复位值：0x0000 0000。退出待机/关断模式后，该寄存器会部分复位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	PVDO	VOSF	REGLPF	REGLPS	FLASH_RDY	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				r	r	r	r	r							

位 31:15 保留，必须保持复位值。

位 14:12 保留，必须保持复位值。

位 11 **PVDO**：电源电压检测器输出 (Power voltage detector output)

0：V_{DD} 高于所选 PVD 阈值

1：V_{DD} 低于所选 PVD 阈值

位 10 **VOSF**：电压调节标志 (Voltage scaling flag)

电压调节变更后，内部调压器准备好需要一定的延时。VOSF 用于指示调压器已达到 PWR_CR1 寄存器中 VOS 位所定义的电压电平。

0：调压器在所选电压范围内准备就绪

1：调压器输出电压正在改变到所需的电压

位 9 **REGLPF**：低功耗调压器标志 (Low-power regulator flag)

MCU 处于低功耗运行模式时，此位由硬件置 1。当 MCU 退出

低功耗运行模式时，此位保持为 1，直到调压器在主模式下准备就绪。在提高产品频率之前必须对该位进行轮询。

当调压器准备就绪后，此位由硬件清零。

0：调压器在主模式 (MR) 下准备就绪

1：调压器处于低功耗模式 (LPR)

位 8 **REGLPS**：低功耗调压器启动 (Low-power regulator started)

此位用于提供上电、复位或待机/关断后低功耗调压器是否准备就绪的信息。

如果在 REGLPS 位仍然清零的情况下进入待机模式，则会增加从待机模式唤醒的时间。

0：低功耗调压器未准备就绪

1：低功耗调压器已准备就绪

位 7 **FLASH_RDY**：Flash 就绪标志 (Flash ready flag)

此位由硬件置 1，以指示从掉电模式唤醒后何时可访问 Flash。要将 Flash 置于掉电模式，请将 FPD_LPRUN、FPD_LPSLP 或 FPD_STP 任一位置 1。

0：Flash 处于掉电模式

1：可对 Flash 进行访问

注： 如果系统从 SRAM 自举，则用户应用程序必须等到 FLASH_RDY 位置 1，然后再跳转到 Flash。

位 6:0 保留，必须保持复位值。

4.4.7 电源状态清零寄存器 (PWR_SCR)

Power status clear register

偏移地址：0x18

复位值：0x0000 0000。

访问：与标准 APB 写操作相比，写入此寄存器需要 3 个额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSBF	Res.	Res.	CWUF 6	CWUF 5	CWUF 4	Res.	CWUF 2	CWUF 1
							w			w	w	w		w	w

位 31:9 保留，必须保持复位值。

位 8 **CSBF**：待机标志清零 (Clear standby flag)
将此位置 1 会清零 PWR_SR1 寄存器中的 SBF 标志。

位 7:6 保留，必须保持复位值。

位 5 **CWUF6**：唤醒标志 6 清零 (Clear wakeup flag 6)
将此位置 1 会清零 PWR_SR1 寄存器中的 WUF6 标志。

位 4 **CWUF5**：唤醒标志 5 清零 (Clear wakeup flag 5)
将此位置 1 会清零 PWR_SR1 寄存器中的 WUF5 标志。

位 3 **CWUF4**：唤醒标志 4 清零 (Clear wakeup flag 4)
将此位置 1 会清零 PWR_SR1 寄存器中的 WUF4 标志。

位 2 保留，必须保持复位值。

位 1 **CWUF2**：唤醒标志 2 清零 (Clear wakeup flag 2)
将此位置 1 会清零 PWR_SR1 寄存器中的 WUF2 标志。

位 0 **CWUF1**：唤醒标志 1 清零 (Clear wakeup flag 1)
将此位置 1 会清零 PWR_SR1 寄存器中的 WUF1 标志。

4.4.8 电源端口 A 上拉控制寄存器 (PWR_PUCRA)

Power Port A pull-up control register

偏移地址：0x20。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PUy**：端口 A 上拉位 y (Port A pull-up bit y) (y=0..15)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PA[y] 的上拉。如果相应的 PDy 位也置 1，则不激活上拉。

4.4.9 电源端口 A 下拉控制寄存器 (PWR_PDCRA)

Power Port A pull-down control register

偏移地址：0x24。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PDy**：端口 A 下拉位 y (Port A pull-down bit y) (y=0..15)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PA[y] 的下拉。

4.4.10 电源端口 B 上拉控制寄存器 (PWR_PUCRB)

Power Port B pull-up control register

偏移地址：0x28。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PUy**：端口 B 上拉位 y (y=0..15)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PB[y] 的上拉。如果相应的 PDy 位也置 1，则不激活上拉。

4.4.11 电源端口 B 下拉控制寄存器 (PWR_PDCRB)

Power Port B pull-down control register

偏移地址：0x2C。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PDy**：端口 B 下拉位 y (Port B pull-down bit y) (y=0..15)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PB[y] 的下拉。

4.4.12 电源端口 C 上拉控制寄存器 (PWR_PUCRC)

Power Port C pull-up control register

偏移地址：0x30。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PUy**：端口 C 上拉位 y (Port C pull-up bit y) (y=0..15)[1]
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PC[y] 的上拉。如果相应的 PDy 位也置 1，则不激活上拉。

1. 对于 STM32G031xx 和 STM32G041xx 器件，y=6、7、13..15，因为其不具备端口 PC0 到 PC5 和 PC8 到 PC12。

4.4.13 电源端口 C 下拉控制寄存器 (PWR_PDCRC)

Power Port C pull-down control register

偏移地址：0x34。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **PDy**：端口 C 下拉位 y (Port C pull-down bit y) (y=0..15)(1)

在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PC[y] 的下拉。

1. 对于 STM32G031xx 和 STM32G041xx 器件，y=6、7、13..15，因为其不具备端口 PC0 到 PC5 和 PC8 到 PC12。

4.4.14 电源端口 D 上拉控制寄存器 (PWR_PUCRD)

Power Port D pull-up control register

偏移地址：0x38。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	PU9	PU8	Res.	PU6	PU5	PU4	PU3	PU2	PU1	PU0
						rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:10 保留，必须保持复位值。

位 9:8 **PUy**：端口 D 上拉位 y (Port D pull-up bit y)（y=8、9）(1)

在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PD[y] 的上拉。如果相应的 PDy 位也置 1，则不激活上拉。

1. 对于器件 STM32G031xx 和 STM32G041xx 保留，因为其不具备端口 PD8 和 PD9。

位 7 保留，必须保持复位值。

位 6:0 **PUy**：端口 D 上拉位 y (Port D pull-up bit y) (y=0..6)(1)

在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PD[y] 的上拉。如果相应的 PDy 位也置 1，则不激活上拉。

1. 对于 STM32G031xx 和 STM32G041xx 器件，y=0..3，因为其不具备端口 PD4 到 PD6。

4.4.15 电源端口 D 下拉控制寄存器 (PWR_PDCRD)

Power Port D pull-down control register

偏移地址：0x3C。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	PD9	PD8	Res.	PD6	PD5	PD4	PD3	PD2	PD1	PD0
						rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:10 保留，必须保持复位值。

位 9:8 **PDy**：端口 D 下拉位 y (Port D pull-down bit y)（y=8、9）(1)

在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PD[y] 的下拉。

1. 对于器件 STM32G031xx 和 STM32G041xx 保留，因为其不具备端口 PD8 和 PD9。

位 7 保留，必须保持复位值。

位 6:0 **PDy**：端口 D 下拉位 y (Port D pull-down bit y) (y=0..6)(1)

在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PD[y] 的下拉。

1. 对于 STM32G031xx 和 STM32G041xx 器件，y=0..3，因为其不具备端口 PD4 到 PD6。

4.4.16 电源端口 F 上拉控制寄存器 (PWR_PUCRF)

Power Port F pull-up control register

偏移地址：0x48。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU2	PU1	PU0
													rw	rw	rw

位 31:3 保留，必须保持复位值。

位 2:0 **PUy**：端口 F 上拉位 y (Port F pull-up bit y) (y=0..2)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PF[y] 的上拉。
如果相应的 PDy 位也置 1，则不激活上拉。

4.4.17 电源端口 F 下拉控制寄存器 (PWR_PDCRF)

Power Port F pull-down control register

偏移地址：0x4C。

复位值：0x0000 0000。该寄存器在退出待机模式时不会复位，而是根据 *APB 外设复位寄存器 1 (RCC_APBRSTR1)* 中的 PWRRST 位执行复位。

访问：与标准 APB 访问（3 个写周期和 2 个读周期）相比，访问该寄存器需要额外的 APB 周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD2	PD1	PD0
													rw	rw	rw

位 31:3 保留，必须保持复位值。

位 2:0 **PDy**：端口 F 下拉位 y (Port F pull-down bit y) (y=0..2)
在 PWR_CR3 寄存器中的 APC 位置 1 时将此位置 1，会激活 PF[y] 的下拉。

4.4.18 PWR 寄存器映射和复位值表

表 29. PWR 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	PWR_CR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPR	Res.	Res.	Res.	VOS [1:0]		DBP	Res.	Res.	FPD_LPSLP	FPD_LPRUN	FPD_STOP	LPMS [2:0]		
	Reset value																		0				0	1	0			0	0	1	0	0	0
0x004	PWR_CR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDRT [2:0]			PVDFT [2:0]			PVDE
	Reset value																										0	0	0	0	0	0	0
0x008	PWR_CR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EIWUL	Res.	Res.	Res.	Res.	APC	ULPEN	RRS	Res.	Res.	EWUP6	EWUP5	EWUP4	Res.	EWUP2	EWUP1
	Reset value																	1					0	0	0			0	0	0		0	0
0x00C	PWR_CR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VBRS	VBE	Res.	Res.	WP6	WP5	WP4	Res.	WP2	WP1
	Reset value																							0	0			0	0	0		0	0
0x010	PWR_SR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUFI	Res.	Res.	Res.	Res.	Res.	Res.	SBF	Res.	Res.	WUF6	WUF5	WUF4	Res.	WUF2	WUF1
	Reset value																	0							0			0	0	0		0	0
0x014	PWR_SR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDO	VOSF	REGLPF	REGLPS	FLASH_RDY	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value																					0	0	0	0	0							
0x018	PWR_SCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSBF	Res.	Res.	CWUF6	CWUF5	CWUF4	Res.	CWUF2	CWUF1
	Reset value																								0			0	0	0		0	0
0x020	PWR_PUCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	PWR_PDCRA	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	PWR_PUCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	PWR_PDCRB	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x030	PWR_PUCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU15	PU14	PU13	PU12	PU11	PU10	PU9	PU8	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	PWR_PDCRC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 29. PWR 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x038	PWR_PUCRD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU9	PU8	Res.	PU6	PU5	PU4	PU3	PU2	PU1	PU0
	Reset value																							0	0		0	0	0	0	0	0	0
0x03C	PWR_PDCRD	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD9	PD8	Res.	PD6	PD5	PD4	PD3	PD2	PD1	PD0
	Reset value																							0	0		0	0	0	0	0	0	0
0x048	PWR_PUCRF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PU2	PU1	PU0
	Reset value																														0	0	0
0x04C	PWR_PDCRF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PD2	PD1	PD0
	Reset value																														0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

5 复位和时钟控制 (RCC)

5.1 复位

共有三种类型的复位，分别为系统复位、电源复位和 RTC 域复位。

5.1.1 电源复位

只要发生以下事件之一，就会产生电源复位：

- 上电复位 (POR)或欠压复位 (BOR)
- 退出待机模式
- 退出 Shutdown 模式

除 RTC 域的寄存器外，上电复位和欠压复位会将其它所有寄存器设为其复位值。

退出待机模式时，V_{CORE} 域的所有寄存器都设置为其复位值。V_{CORE} 域外的寄存器（RTC、WKUP、IWDG 以及待机/Shutdown 模式控制）不受影响。

退出 Shutdown 模式时，会产生欠压复位，将除 RTC 域以外的其它所有寄存器全部复位。

5.1.2 系统复位

除了时钟控制/状态寄存器 (RCC_CSR) 中的复位标志和 RTC 域中的寄存器外，系统复位会将其他全部寄存器都设为复位值。

只要发生以下事件之一，就会产生系统复位：

- NRST 引脚低电平（外部复位）
- 窗口看门狗事件（WWDG 复位）
- 独立看门狗事件（IWDG 复位）
- 软件复位（SW 复位）（请参见*软件复位*）
- 低功耗模式安全复位（请参见*低功耗模式安全复位*）
- 选项字节加载器复位（请参见*选项字节加载器复位*）
- 上电复位

可通过查看 RCC_CSR 寄存器中的复位标志确定复位源（请参见*第 5.4.22 节：控制/状态寄存器 (RCC_CSR)*）。

NRST 引脚（外部复位）：

通过特定选项位，NRST 引脚可配置为：

- **复位输入/输出**（器件交付时的默认配置）

  引脚上的有效复位信号传送到内部逻辑，每个内部复位源均连至脉冲发生器，其输出驱动该引脚。GPIO 功能 (PF2) 不可用。对每个内部复位源，脉冲发生器可确保在 NRST 引脚上输出至少持续时间为 20 µs 的复位脉冲。一个内部复位保持选项可以使用，如果使能这个选项，可以确保将引脚拉低直至达到 V_{IL} 的阈值。借助此功能，可在线路遇到关键容性负载时，由外部元件检测内部复位源。

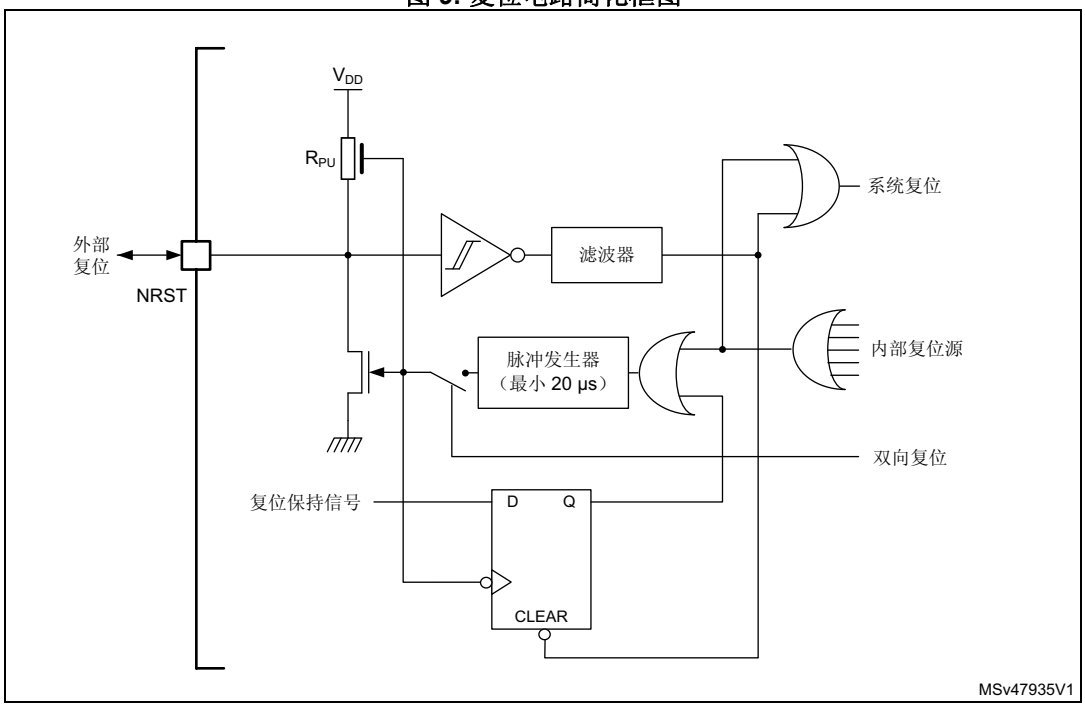
- **复位输入**

  在此模式下，NRST 引脚上的任何有效复位信号都会传送到器件内部逻辑，但器件在内部生成的复位在引脚上不可见。在此配置中，GPIO 功能 (PF2) 不可用。

- **GPIO**

  在此模式下，该引脚可用作 PF2 标准 GPIO。引脚的复位功能不可用。只能从器件内部复位源实现复位，并且不会将复位传送到此引脚。

图 9. 复位电路简化框图



注意： 在电源复位或从 Shutdown 模式唤醒时，NRST 引脚配置为复位输入/输出，并由系统驱动为低电平，直到在加载选项字节时将其重新配置为预期模式（在 trstempo 结束后的第四个时钟周期内）。

软件复位

要对器件进行软件复位，必须将 Cortex®-M0+ 应用中断和复位控制寄存器中的 SYSRESETREQ 位置 1（请参见编程手册 PM0223）。

低功耗模式安全复位

为了防止关键应用错误地进入低功耗模式，提供了三种低功耗模式安全复位。如果在选项字节中使能，则在下列情况下会产生这种复位：

- **进入待机模式**

  可通过清零用户选项字节中的 nRST_STDBY 位来使能此类复位。使能后，只要成功执行进入待机模式序列，器件就将复位，而非进入待机模式。

- **进入停止模式**

  可通过清零用户选项字节中的 nRST_STOP 位来使能此类复位。使能后，只要成功执行进入停止模式序列，器件就将复位，而非进入停止模式。

- **进入 Shutdown 模式**
  可通过清零用户选项字节中的 nRST_SHDW 位来使能此类复位。使能后，只要成功执行进入关断模式序列，器件就将复位，而非进入 Shutdown 模式。

有关用户选项字节的详细信息，请参见*第 3.4.1 节：FLASH 选项字节说明*。

选项字节加载器复位

当 FLASH_CR 寄存器中的 OBL_LAUNCH 位（位 27）置 1 时，将产生选项字节加载器复位。此位用来通过软件启动选项字节加载。

5.1.3 RTC 域复位

RTC 域具有两个特殊复位。

只要发生以下事件之一，就会产生 RTC 域复位：

- **软件复位**，通过将 *RTC 域控制寄存器 (RCC_BDCR)* 中的 BDRST 位置 1 触发。
- 在电源 **V_{DD} 和 V_{BAT} 都已掉电后，其中任何一个又再上电。**

RTC 域复位仅影响 LSE 振荡器、RTC、备份寄存器和 RCC RTC 域控制寄存器。

5.2 时钟

芯片提供以下时钟源，可产生主时钟：

- **HSI RC** - 可产生 HSI16 时钟（约 16 MHz）的高速全集成 RC 振荡器
- **HSE OSC** - 带外部晶振/陶瓷谐振器或外部时钟源的高速振荡器，可产生 HSE 时钟（4 到 48 MHz）
- **LSI RC** - 可产生 LSI 时钟（约 32 kHz）的低速全集成 RC 振荡器
- **LSE OSC** - 带外部晶振/陶瓷谐振器或外部时钟源的低速振荡器，可产生 LSE 时钟（精确的 32.768 kHz 或高达 1 MHz 的外部时钟）
- **I2S_CKIN** - 用于 I2S1 外设的直接时钟输入引脚

对于每个振荡器来说，在未使用时都可单独打开或者关闭，以降低功耗。有关功能的更多详细信息，请查看本节的各小节。有关内部和外部时钟源的电气特性，请参见器件数据手册。

芯片通过对主时钟进行分频和/或倍频来产生次级时钟：

- **HSISYS** - 源自 HSI16、通过 1 到 128 范围内的可编程系数进行分频的时钟
- **PLLPCLK、PLLQCLK** 和 **PLLRCLK** - 从 PLL 块输出的时钟
- **SYSCLK** - 通过选择 LSE、LSI、HSE、PLLRCLK 和 HSISYS 时钟之一获得的时钟
- **HCLK** - 源自 SYSCLK、通过 1 到 512 范围内的可编程系数进行分频的时钟
- **HCLK8** - 源自 HCLK、进行 8 分频的时钟
- **PCLK** - 源自 HCLK、通过 1 到 16 范围内的可编程系数进行分频的时钟
- **TIMPCLK** - 源自 PCLK 的时钟，如果 APB 预分频器分频系数设置为 1，则以 PCLK 频率运行，否则以 PCLK 频率的两倍运行
- **LPTIMx_IN** - 来自 LPTIMx_INx 引脚的时钟，可选择用于 LPTIM 外设

可通过 HSE、HSI16 和 HCLK 时钟的固定分频产生更多次级时钟。

从复位中启动后，HSISYS 用作系统时钟源，其进行 1 分频（产生 HSI16 频率）。

HCLK 时钟和 PCLK 时钟分别用于为 AHB 和 APB 域提供时钟。其最大允许频率为 64 MHz。

外设使用来自与其相连的总线的时钟（HCLK 用于 AHB，PCLK 用于 APB），但以下内容除外：

- **TIMx**，有以下时钟源可供选择：
  - TIMPCLK（对所有定时器均可选择），如果 APB 预分频器分频系数设置为 1，则以 PCLK 频率运行，否则以 PCLK 频率的两倍运行
  - PLLQCLK，可选择用于高速 TIM1 和 TIM15 定时器
- **LPTIMx**，有以下时钟源可供选择：
  - LSI
  - LSE
  - HSI16
  - PCLK（APB 时钟）
  - LPTIMx_IN，从 LPTIMx_INx 引脚中选择

  仅当时钟为 LSI 或 LSE 时，支持停止模式的功能（包括唤醒）。
- **UCPD**，始终通过 HSI16 提供时钟
- **ADC**，有以下时钟源可供选择：
  - SYSCLK（系统时钟）
  - HSI16
  - PLLPCLK
- **USARTx/LPUART1**，有以下时钟源可供选择：
  - SYSCLK（系统时钟）
  - HSI16
  - LSE
  - PCLK（APB 时钟）

  仅当时钟为 HSI16 或 LSE 时，支持从停止模式唤醒。
- **I2Cx**，有以下时钟源可供选择：
  - SYSCLK（系统时钟）
  - HSI16
  - PCLK（APB 时钟）

  仅当时钟为 HSI16 时，支持从停止模式唤醒。
- **I2S1**，有以下时钟源可供选择：
  - SYSCLK（系统时钟）
  - HSI16
  - PLLPCLK
  - I2S_CKIN 引脚

- **RNG**，有以下时钟源可供选择：
  - SYSCLK（系统时钟）
  - 8 分频的 HSI16 时钟
  - PLLQCLK

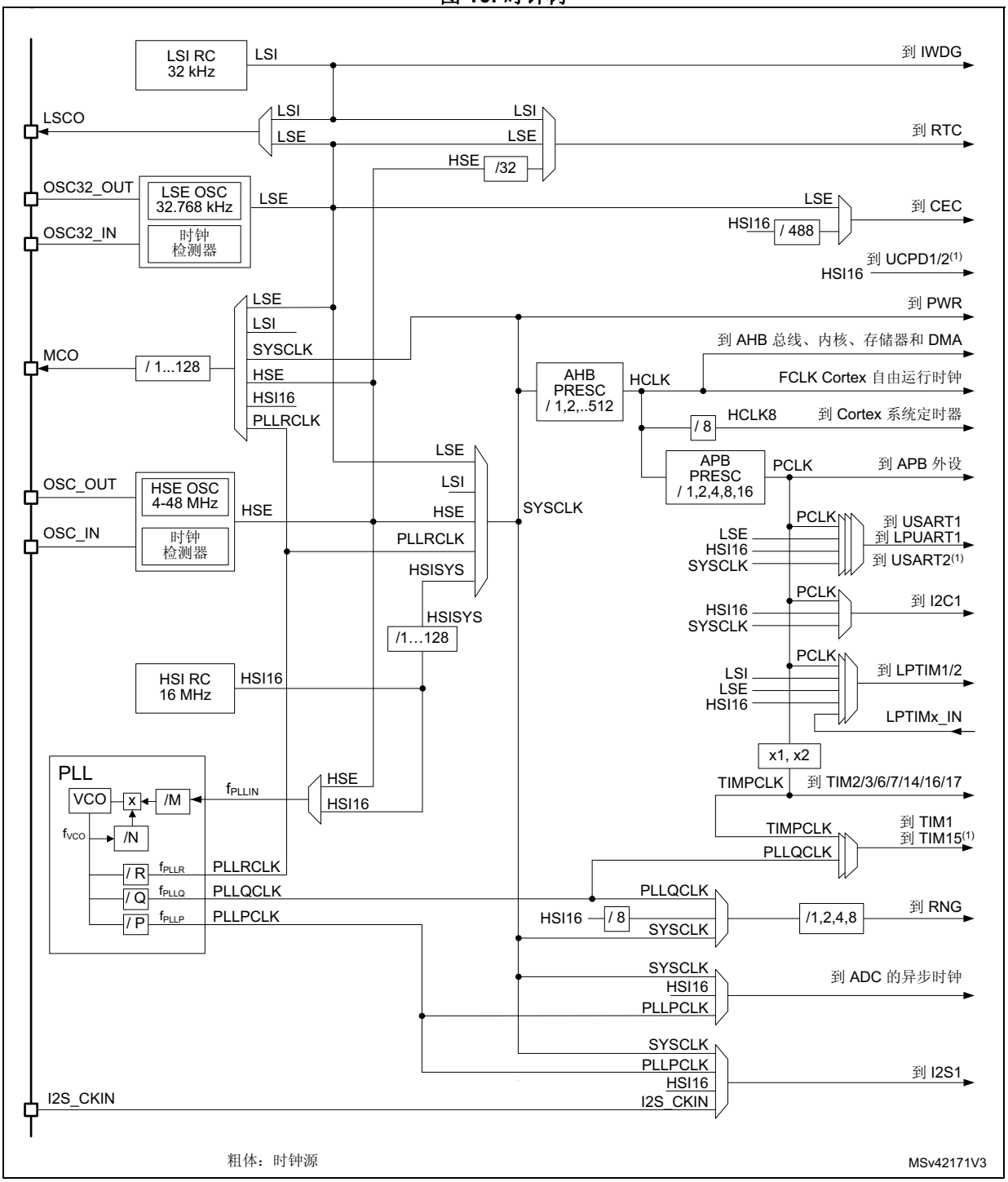
  RNG 时钟可使用专用预分频器进一步进行 2、4 或 8 分频。
- **CEC**，有以下时钟源可供选择：
  - 488 分频的 HSI16 时钟
  - LSE
- **RTC**，有以下时钟源可供选择：
  - LSE
  - LSI
  - 32 分频的HSE 时钟

  仅当时钟为 LSI 或 LSE 时，支持停止模式的功能（包括唤醒）。
- **IWDG**，始终通过 LSI 时钟提供时钟。
- **SysTick**（Cortex®内核系统定时器），有以下时钟源可供选择：
  - HCLK（AHB 时钟）
  - 8 分频的 HCLK 时钟

  通过 SysTick 控制和状态寄存器进行选择。

HCLK 用作 Cortex®-M0+ 的自由运行时钟 (FCLK)。有关详细信息，请参见编程手册 PM0223。

图 10. 时钟树



1. 仅适用于 STM32G071xx 和 STM32G081xx。

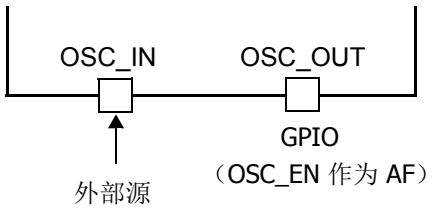
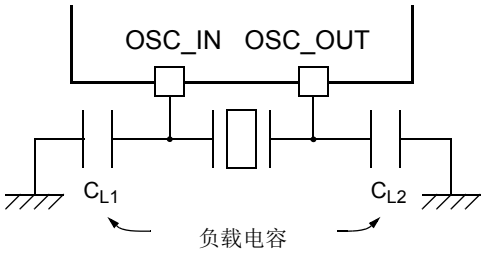
5.2.1 HSE 时钟

高速外部时钟信号 (HSE) 有 2 个时钟源：

- HSE 外部晶振/陶瓷谐振器
- HSE 用户外部时钟

谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。负载电容值必须根据所选振荡器的不同做适当调整。

图 11. HSE/LSE 时钟源

时钟源	硬件配置
外部时钟	
晶振 / 陶瓷谐振器	

外部晶振/陶瓷谐振器（HSE 晶振）

4 到 48 MHz 外部振荡器的优点是精度非常高。

相关的硬件配置如*图 11* 所示。有关详细信息，请参见*数据手册*的电气特性部分。

时钟控制寄存器 (RCC_CR) 中的 HSERDY 标志指示 HSE 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在*时钟中断使能寄存器 (RCC_CIER)* 中使能中断，则可产生中断。

HSE 晶振可通过*时钟控制寄存器 (RCC_CR)* 中的 HSEON 位打开或关闭。

外部源（HSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 48 MHz。通过将*时钟控制寄存器 (RCC_CR)* 的 HSEBYP 和 HSEON 位置 1 来选择此模式。在提供有 OSC_IN 和 OSC_OUT 引脚的器件上，必须使用占空比为 ~40-60% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC_IN 引脚，具体取决于频率（请参见数据手册）（请参见*图 11*）。OSC_OUT 引脚可用作 GPIO。

OSC_OUT 引脚可用作 GPIO，也可配置为 OSC_EN 复用功能，来为外部时钟合成器提供使能信号。它允许在器件进入低功耗模式时停止外部时钟源。

注： *有关引脚可用性的详细信息，请参见相应器件数据手册中的引脚排列部分。*

为最大程度地降低功耗，建议使用方波信号。

5.2.2 HSI16 时钟

HSI16 时钟信号是从 16 MHz 内部 RC 振荡器生成的。

HSI16 RC 振荡器的优点是成本较低（无需使用外部组件）。它还比 HSE 晶振具有更短的启动时间。然而，即使在校准之后，其精度也不如使用参考频率的振荡器（如石英晶振或陶瓷谐振器）精确。

从停止模式（停止 0 或停止 1）唤醒后，可选择源自 HSI16 的 HSISYS 时钟作为系统时钟。请参见*第 5.3 节：低功耗模式*。它还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。请参见*第 5.2.8 节：时钟安全系统 (CSS)*。

校准

因为生产工艺不同，不同芯片的 RC 振荡器频率也不同。为补偿这种差异，每个器件在出厂时都经过校准，T_A=25°C 时的精度为 1%。

复位后，工厂校准值将加载到*内部时钟源校准寄存器 (RCC_ICSCR)* 的 HSICAL[7:0] 位中。

应用中的电压或温度变化可能会影响 RC 振荡器的 HSI16 频率。可使用*内部时钟源校准寄存器 (RCC_ICSCR)* 中的 HSITRIM[6:0] 位进行调整。

有关如何测量 HSI16 频率变化的更多详细信息，请参见*第 5.2.15 节：基于 TIM14/TIM16/TIM17 的内部/外部时钟测量*。

时钟控制寄存器 (RCC_CR) 中的 HSIRDY 标志指示 HSI16 RC 是否稳定。在启动时，硬件将该位置 1 后，HSI16 才可以使用。

HSI16 RC 可通过*时钟控制寄存器 (RCC_CR)* 中的 HSION 位打开或关闭。

HSI16 信号还可作为备份时钟源（辅助时钟）使用，以防 HSE 晶振发生故障。请参见*第 144 页的第 5.2.8 节：时钟安全系统 (CSS)*。

5.2.3 PLL

内部 PLL 将在其输入上获取的基于 HSI16 或 HSE 的时钟频率进行倍频，以产生三个独立的时钟输出。允许的输入频率范围为 2.66 MHz 到 16 MHz。借助具有 1 到 8 范围内的可编程分频系数的专用分频器 PLLM，可在有效 PLL 输入范围内设置频率。请参见*图 10：时钟树*和 *PLL 配置寄存器 (RCC_PLLCFGR)*。

PLL 配置（对输入时钟和倍频因数进行选择）必须在使能 PLL 之前完成。当 PLL 使能后，这些参数就不能再更改。

要修改 PLL 配置，请按照以下步骤操作：

1. 通过将*时钟控制寄存器 (RCC_CR)* 中的 PLLON 位设置为 0 禁止 PLL。
2. 等待至 PLLRDY 清零。PLL 现已完全停止。
3. 根据需要更改参数。
4. 通过将 PLLON 位置 1 再次使能 PLL。
5. 通过配置 *PLL 配置寄存器 (RCC_PLLCFGR)* 中的 PLLPEN、PLLQEN 和 PLLREN，使能所需 PLL 输出。

如果已在*时钟中断使能寄存器 (RCC_CIER)* 中使能中断，则 PLL 就绪时便可产生中断。

每个 PLL 输出时钟的使能位（PLLPEN、PLLQEN 和 PLLREN）均可随时修改，而不必停止 PLL。如果 PLLRCLK 用作系统时钟，则 PLLREN 不可被清零。

5.2.4 LSE 时钟

LSE 晶振是 32.768 kHz 晶振或陶瓷谐振器，可作为实时时钟 (RTC) 的时钟源来提供时钟/日历或其他定时功能，具有功耗低且精度高的优点。

LSE 晶振通过 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSEON 位打开和关闭。使用 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSEDRV[1:0] 位，可在运行时更改晶振驱动强度，以实现稳健性、短启动时间和低功耗之间的最佳平衡。当 LSE 为 ON 时，LSE 驱动可降低为更低的驱动能力 (LSEDRV=00)。但是，当选择了 LSEDRV，如果 LSEON=1，则不能提高驱动能力。

RTC 域控制寄存器 (RCC_BDCR) 的 LSERDY 标志指示 LSE 晶振是否稳定。在启动时，硬件将此位置 1 后，LSE 晶振输出时钟信号才可以使用。如在*时钟中断使能寄存器 (RCC_CIER)* 中使能中断，则可产生中断。

外部源（LSE 旁路）

在此模式下，必须提供外部时钟源。最高频率不超过 1 MHz。通过将*睡眠/停止模式下的 AHB 外设时钟使能寄存器 (RCC_AHBSMENR)* 的 LSEBYP 和 LSEON 位置 1 来选择此模式。必须使用占空比约为 50% 的外部时钟信号（方波、正弦波或三角波）来驱动 OSC32_IN 引脚，同时 OSC32_OUT 引脚应保持为高阻态 (GPIO)。请参见*图 11*。

5.2.5 LSI 时钟

LSI RC 可作为低功耗时钟源在停机和待机模式下保持运行，供独立看门狗 (IWDG) 和 RTC 使用。时钟频率为 32 kHz。有关详细信息，请参见数据手册的电气特性部分。

LSI RC 可通过*控制/状态寄存器 (RCC_CSR)* 中的 LSION 位打开或关闭。

控制/状态寄存器 (RCC_CSR) 中的 LSIRDY 标志指示 LSI 振荡器是否稳定。在启动时，硬件将此位置 1 后，此时钟才可以使用。如在*时钟中断使能寄存器 (RCC_CIER)* 中使能中断，则可产生中断。

5.2.6 系统时钟 (SYSCLK) 选择

可选择以下时钟之一作为系统时钟 (SYSCLK)：

- LSI
- LSE
- HSISYS
- HSE
- PLLRCLK

系统时钟最大频率为 64 MHz。系统复位后，选择从 HSI16 振荡器得到的 HSISYS 时钟作为系统时钟。在直接使用 HSI 或者通过 PLL 使用时钟源来作为系统时钟时，该时钟源无法停止。

只有在目标时钟源已就绪时（时钟在启动延迟或 PLL 锁相后稳定时），才可从一个时钟源切换到另一个。如果选择尚未就绪的时钟源，则切换在该时钟源就绪时才会进行。*内部时钟源校准寄存器 (RCC_ICSCR)* 中的状态位指示哪个（些）时钟已就绪，以及当前哪个时钟正充当系统时钟。

5.2.7 时钟源频率与电压调节

下表给出了不同产品电压范围下不同的时钟源频率。

表 30. 时钟源频率

时钟	最大时钟频率 (MHz)	
	范围 1	范围 2
HSI16	16	16
HSE	48	16
PLLPCLK	122(1)	40(2)
PLLQCLK	128(1)	32(2)
PLLRCLK	64(1)	16(2)

1. 最大 VCO 频率为 344 MHz。
2. 最大 VCO 频率为 128 MHz。

5.2.8 时钟安全系统 (CSS)

时钟安全系统可通过软件激活。激活后，时钟监测器将在 HSE 振荡器启动延迟后使能，并在此振荡器停止时被关闭。

如果检测到 HSE 时钟故障：

- HSE 振荡器自动禁止
- 一个时钟故障事件将被发送到 TIM1、TIM15、TIM16 和 TIM17 定时器的刹车输入
- 将生成 CSSI（时钟安全系统中断）

CSSI 与 Cortex®-M0+ NMI（不可屏蔽中断）异常向量相链接。它可使软件明确 HSE 时钟故障，进而能执行救援操作。

注： *如果 CSS 使能，且 HSE 时钟发生故障，则会产生 CSSI，并会自动产生 NMI。NMI 将无限期执行，除非将 CSS 中断挂起位清零。因此，需要 NMI ISR 通过将时钟中断清零寄存器 (RCC_CICR)* 的 CSSC 位置 1 来清除 CSSI。

如果直接或间接选择 HSE（对于 SYSCLK 选择 PLLRCLK，并选择 HSE 作为 PLL 输入）作为系统时钟，并且检测到 HSE 时钟故障，则系统时钟会自动切换到 HSISYS 并禁止 HSE 振荡器。当故障发生时，若 HSE 时钟（分频或不分频）为 PLL 的时钟输入，且 PLLRCLK 用作系统时钟，则也会禁止该 PLL。

5.2.9 LSE 时钟的时钟安全系统 (LSECSS)

可通过将 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSECSSON 位置 1 来激活 LSE 上的时钟安全系统。只能通过硬件复位、RTC 软件复位、或在检测到 LSE 时钟故障后清零该位。LSE 和 LSI 使能（LSEON 和 LSION 使能）并就绪（LSERDY 和 LSIRDY 标志由硬件置 1）后，以及通过 RTCSEL 选择 RTC 时钟后，必须写入 LSECSSON。

LSECSS 适用于除 VBAT 外的所有模式，以及除上电复位外的所有系统复位。如果在 LSE 振荡器上检测到故障，则不会再向 RTC 提供 LSE 时钟，但寄存器不受影响。

注： *如果 LSECSS 使能，且 LSE 时钟发生故障，则会产生 LSECSSI，并会自动产生 NMI。NMI 将无限期执行，除非将 LSECSS 中断挂起位清零。因此，需要 NMI ISR 通过将时钟中断清零寄存器 (RCC_CICR)* 的 LSECSSC 位置 1 来清除 LSECSSI。

如果 LSE 用作系统时钟，并且检测到 LSE 时钟故障，则系统时钟自动切换到 LSI。在低功耗模式下，LSE 时钟故障会生成唤醒。然后必须在 RCC 寄存器中将中断标志清零。

软件随后**必须**禁止 LSECSSON 位，停止出现故障的 32 kHz 振荡器（通过清零 LSEON），并更改 RTC 时钟源（无时钟、LSI 或 HSE，通过 RTCSEL），或者采取任何适当措施来确保应用的安全。

为避免发生误检，LSE 振荡器的频率必须超过 30 kHz。

5.2.10 ADC 时钟

ADC 时钟由系统时钟或 PLLPCLK 输出提供。此时钟可达 122 MHz，并可通过配置 ADC1_CCR 寄存器使用以下预分频器值进行分频：1、2、4、6、8、10、12、16、32、64、128 或 256。它与 AHB 时钟异步。或者，ADC 时钟可由 ADC 总线接口的 AHB 时钟除以一个可编程的因数（1、2 或 4）来提供。该可编程系数使用 ADC1_CCR 中的 CKMODE 位域进行配置。

如果可编程系数为 1，必须将 AHB 预分频器设置为 1。

5.2.11 RTC 时钟

RTCCLK 时钟源可以是 HSE/32、LSE 或 LSI 时钟。选择方式是编程 *RTC 域控制寄存器 (RCC_BDCR)* 中的 RTCSEL[1:0] 位。所做的选择只能通过复位 RTC 域的方式修改。配置系统时，必须始终使 PCLK 频率大于或等于 RTCCLK 频率，以便 RTC 正常工作。

LSE 时钟位于 RTC 域中，而 HSE 和 LSI 时钟则不是。因此：

- 如果选择 LSE 作为 RTC 时钟：
  - 只要 V_{BAT} 电源保持工作，即使 V_{DD} 电源关闭，RTC 仍可继续工作。
- 如果选择 LSI 作为 RTC 时钟：
  - 在 V_{DD} 电源掉电时，RTC 的状态将不能保证。
- 如果使用按预分频器进行分频的 HSE 时钟作为 RTC 时钟：
  - 如果 V_{DD} 电源掉电或者内部调压器关闭（切断 V_{CORE} 域的供电），则 RTC 的状态将不能保证。

如果 RTC 时钟为 LSE 或 LSI，则 RTC 在系统复位后仍可获得时钟并保持正常工作。

5.2.12 定时器时钟

定时器时钟 TIMPCLK 源自 PCLK（用于 APB），具体如下：

1. 如果 APB 预分频器设置为 1，则 TIMPCLK 频率等于 PCLK 频率。
2. 否则，TIMPCLK 频率设置为 PCLK 频率的两倍。

对于 TIM1 和 TIM15，在以下情况下，还可选择 PLLQCLK 时钟：

- PCLK 源自 PLLRCLK。
- PLLQCLK 频率是 PCLK 频率的 2 倍或更大整数倍，不超过 128 MHz。

5.2.13 看门狗时钟

如果独立看门狗 (IWDG) 已通过硬件选项或软件访问的方式启动，则 LSI 振荡器将强制打开且不可禁止。在 LSI 振荡器稳定后，时钟将提供给 IWDG。

5.2.14 时钟输出功能

MCO

微控制器时钟输出 (MCO) 功能允许将时钟输出到外部 MCO 引脚上。可选择以下时钟之一作为 MCO 时钟：

- LSI
- LSE
- SYSCLK
- HSI16
- HSE
- PLLRCLK

此选择由*时钟配置寄存器 (RCC_CFGR)* 中的 MCOSEL[3:0] 位控制。所选时钟可使用可通过*时钟配置寄存器 (RCC_CFGR)* 的 MCOPRE[2:0] 位域编程的系数进行分频。

LSCO

LSCO 引脚可输出以下低速时钟：

- LSI
- LSE

此选择由 *RTC 域控制寄存器 (RCC_BDCR)* 中的 LSCOSEL 控制，并通过 LSCOEN 使能。必须在复用功能模式下对相应 GPIO 端口的配置寄存器进行编程。

在停止 0、停止 1 和待机模式下，此功能保持可用。

5.2.15 基于 TIM14/TIM16/TIM17 的内部/外部时钟测量

所有板上时钟源的频率都可通过对 TIM14、TIM16 和 TIM17 通道 1 的输入捕获进行间接测量，如*图 12*、*图 13* 和*图 14* 所示。

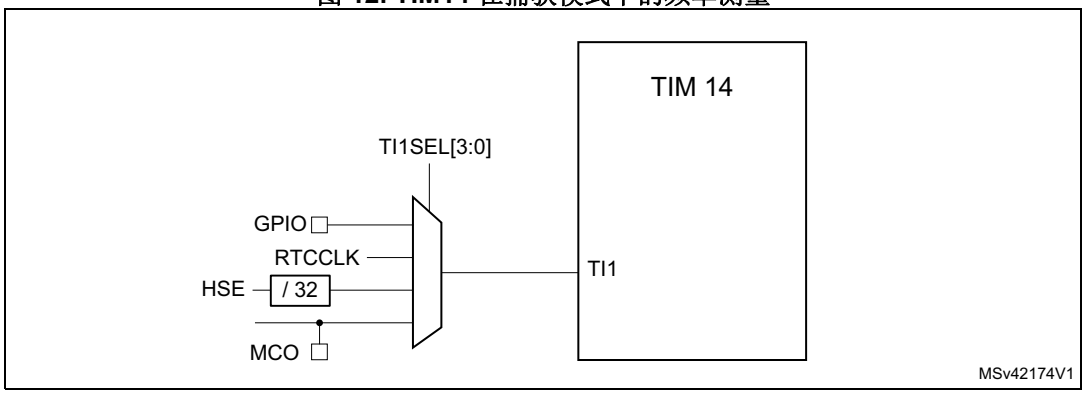
TIM14

通过将 TIM14_TISEL 寄存器的 TI1SEL[3:0] 位域置 1，为 TIM14 的输入捕获通道 1 选择的时钟可以是以下时钟之一：

- GPIO（请参见器件数据手册中的复用功能映射）
- RTC 时钟 (RTCCLK)
- 32 分频的 HSE 时钟
- MCO（MCU 时钟输出）

最后一个选项由时钟配置寄存器 (RCC_CFGR) 的 MCOSEL[3:0] 位域控制。可以为 MCO 引脚选择所有时钟源。

图 12. TIM14 在捕获模式下的频率测量



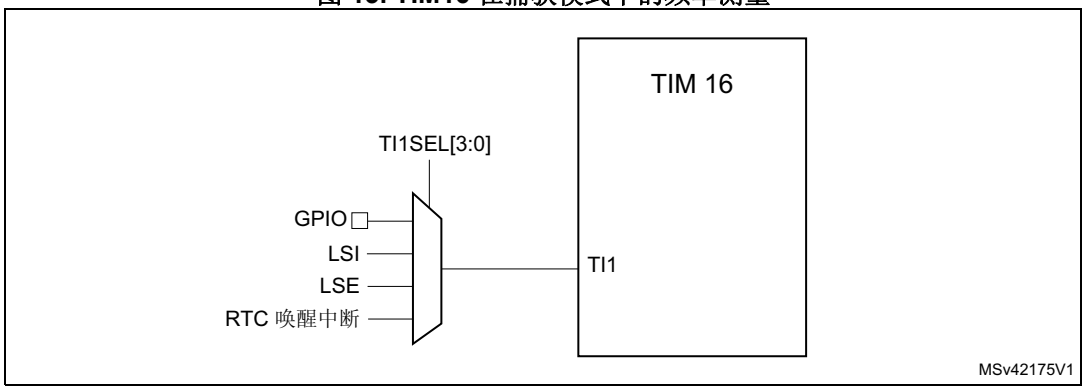
TIM16

通过将 TIM16_TISEL 寄存器的 TI1SEL[3:0] 位域置 1，为 TIM16 的输入捕获通道 1 选择的时钟可以是以下时钟之一：

- GPIO（请参见器件数据手册中的复用功能映射）
- LSI 时钟
- LSE 时钟
- RTC 唤醒中断信号

最后一个选项需要使能 RTC 中断。

图 13. TIM16 在捕获模式下的频率测量



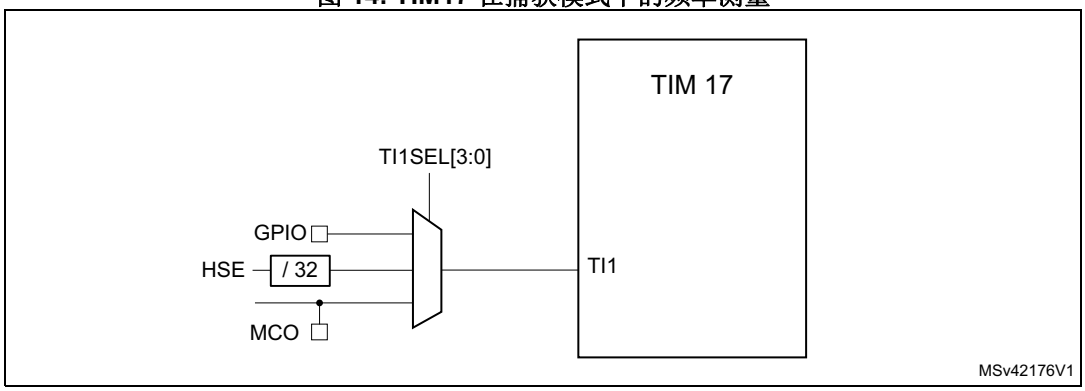
TIM17

通过将 TIM17_TISEL 寄存器的 TI1SEL[3:0] 位域置 1，为 TIM17 的输入捕获通道 1 选择的时钟可以是以下时钟之一：

- GPIO（请参见器件数据手册中的复用功能映射）
- 32 分频的 HSE
- MCO（MCU 时钟输出）

最后一个选项由时钟配置寄存器 (RCC_CFGR) 的 MCOSEL[3:0] 位域控制。可以为 MCO 引脚选择所有时钟源。

图 14. TIM17 在捕获模式下的频率测量



HSI16 振荡器的校准

对于 TIM14、TIM15 和 TIM17，将 LSE 连接到通道 1 输入捕获的主要目的是为了能够精确测量 HSISYS 时钟（源自 HSI16，被选作系统时钟）。对 LSE 时钟（时间参考）的连续边沿之间的 HSISYS 时钟脉冲进行计数即可测量 HSISYS（和 HSI16）时钟周期。这种测量可以确定 HSI16 振荡器频率，其精度与 LSE 振荡器使用的 32.768 kHz 石英晶振的精度几乎相同（通常为几十 ppm）。然后可对 HSI16 振荡器进行调整以补偿与目标频率之间由于制造、工艺、温度和/或电压变化所导致的偏差。

HSI16 振荡器设有针对此目的的专用校准位，且支持用户访问。

其基本原理是基于相对的测量（例如，HSISYS/LSE 比）：因此，测量精度与两个时钟源之比紧密相关。增大比值可提高测量精度。

HSE 时钟（32 分频）由 HSE 振荡器生成，用作时间参考，是另一种达到出色 HSI16 频率测量精度的最佳方法。建议在没有 LSE 时钟的情况下使用。

为进一步提高 HSI16 振荡器校准精度，建议单独使用或组合使用以下措施来提高频率测量精度：

- 将 HSISYS 分频器值设置为 1，使 HSISYS 频率等于 HSI16 频率
- 对多次连续测量的结果求平均值
- 使用定时器的输入捕获预分频器值（最多每八个周期捕获一次）
- 使用 RTC 和 RTC 唤醒中断信号的 LSE 时钟作为时间参考

最后一点显著增加了 HSI16 时钟脉冲计数的参考周期，从而提高了单次测量的精度。为此，必须使能 RTC 唤醒中断。

LSI 振荡器的校准

LSI 振荡器的校准采用的原理与 HSI16 振荡器校准相同。TIM16 通道 1 输入捕获必须用于 LSI 时钟，HSE 选作系统时钟源。LSI 信号连续边沿之间的 HSE 时钟脉冲数由 TIM16 计数，表示 LSI 时钟周期。

5.2.16 外设时钟使能寄存器

每个外设时钟均可由 RCC_AHBENR 或 RCC_APBENRx 寄存器的相应使能位使能。

当外设时钟未激活时，不支持外设寄存器进行读写访问。

注意： 使能位的同步机制可为外设产生无干扰时钟。使能位置 1 后，在时钟激活前存在时长为 2 个时钟周期的延迟，软件必须将此考虑在内。

5.3 低功耗模式

- 可通过软件禁止 AHB 和 APB 外设时钟，包括 DMA 时钟。
- 在睡眠和低功耗睡眠模式下，CPU 时钟停止工作。在睡眠模式下，可通过软件停止存储器接口时钟（Flash 和 SRAM 接口）。当连接到 AHB-APB 总线桥时钟的所有外设时钟均被禁止时，睡眠模式期间将通过硬件禁止 AHB-APB 总线桥时钟。
- 停止模式（停止 0 和停止 1）下，将停止 V_{CORE} 域中的所有时钟，并禁止 PLL 以及 HSI16 和 HSE 振荡器。

  即使 MCU 处于停止模式（如果选择 HSI16 作为该外设的时钟源），USART1、USART2、LPUART1 和 I2C1 外设也可使能 HSI16 振荡器。

  当系统处于停止模式（如果选择 LSE 作为该外设的时钟源）并使能 LSE 振荡器（LSEON 置 1）时，LPUART1、USART1 和 USART2 外设也可采用 LSE 振荡器的时钟。在这种情况下，LSE 振荡器在器件进入停止模式时始终保持激活（这类外设无法开启 LSE 振荡器）。
- 待机和关断模式会停止 V_{CORE} 域中的所有时钟，并禁止 PLL 以及 HSI16 和 HSE 振荡器。

通过将 DBGMCU_CR 寄存器中的 DBG_STOP 或 DBG_STANDBY 位置 1，可以覆盖 CPU 的深度睡眠模式以进行调试。

退出停止 0 或停止 1 模式时，HSISYS 自动成为系统时钟。

退出待机和关断模式时，HSISYS（频率等于 HSI16）自动成为系统时钟。从待机和关断模式唤醒后，用户微调会丢失。

如果正在执行 Flash 编程操作，则将延迟到 Flash 接口访问结束后再进入停止、待机和关断模式。如果正在访问 APB 域，则将延迟到 APB 访问结束后再进入停止、待机和关断模式。

5.4 RCC 寄存器

5.4.1 时钟控制寄存器 (RCC_CR)

Clock control register

偏移地址：0x00

上电复位值：0x0000 0500

其他复位类型：与上电复位相同，但保持其先前值的 HSEBYP 位除外

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	PLL RDY	PLLON	Res.	Res.	Res.	Res.	CSS ON	HSE BYP	HSE RDY	HSE ON
						r	rw					rs	rw	r	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	HSIDIV[2:0]			HSI RDY	HSI KERON	HSION	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
		rw	rw	rw	r	rw	rw								

位 31:26 保留，必须保持复位值。

位 25 **PLLRDY**：PLL 时钟就绪标志 (PLL clock ready flag)

由硬件置 1，用于指示 PLL 已锁定。

0：PLL 未锁定

1：PLL 已锁定

位 24 **PLLON**：PLL 使能 (PLL enable)

由软件置 1 和清零，用于使能 PLL。

当进入停止、待机或关断模式时由硬件清零。如果 PLL 时钟用作系统时钟，则此位不可清零。

0：PLL 关闭

1：PLL 开启

位 23:20 保留，必须保持复位值。

位 19 **CSSON**：时钟安全系统使能 (Clock security system enable)

由软件置 1，用于使能时钟安全系统。当 CSSON 置 1 时，时钟监测器将在 HSE 振荡器就绪时由硬件使能，并在检出 HSE 时钟故障时由硬件禁止。该位仅置 1，并通过复位清零。

0：时钟安全系统关闭（时钟监测器关闭）

1：时钟安全系统开启（如果 HSE 振荡器稳定，则时钟监测器打开；如果不稳定，则关闭）

位 18 **HSEBYP**：HSE 晶振旁路 (HSE crystal oscillator bypass)

由软件置 1 和清零，用于用外部时钟旁路振荡器。外部时钟必须通过将 HSEON 位置 1 的方式使能才能为器件使用。HSEBYP 只有在 HSE 振荡器已禁止的情况下才可写入。

0：不旁路 HSE 晶振

1：用外部时钟旁路 HSE 晶振

位 17 **HSERDY**：HSE 时钟就绪标志 (HSE clock ready flag)

由硬件置 1，用以指示 HSE 振荡器已稳定。

0：HSE 振荡器未就绪

1：HSE 振荡器已就绪

注： 在将 HSEON 位清零后，HSERDY 将在 6 个 HSE 时钟周期后转为低电平。

位 16 **HSEON**：HSE 时钟使能 (HSE clock enable)

由软件置 1 和清零。

由硬件清零，用于在进入停止、待机或关断模式时停止 HSE 振荡器。如果 HSE 振荡器直接或间接用作系统时钟，则该位不可复位。

0：HSE 振荡器关闭

1：HSE 振荡器开启

位 15:14 保留，必须保持复位值。

位 13:11 **HSIDIV[2:0]**：HSI16 时钟分频系数 (HSI16 clock division factor)

该位域由软件控制，用于设置 HSI16 时钟分频器的分频系数以产生 HSISYS 时钟：

000：1

001：2

010：4

011：8

100：16

101：32

110：64

111：128

位 10 **HSIRDY**：HSI16 时钟就绪标志 (HSI16 clock ready flag)

由硬件置 1，用于指示 HSI16 振荡器已稳定。仅当通过软件将 HSION 置 1 来使能 HSI16 时，该位才置 1。

0：HSI16 振荡器未就绪

1：HSI16 振荡器已就绪

注： 在将 HSION 位清零后，HSIRDY 将在 6 个 HSI16 时钟周期后转为低电平。

位 9 **HSIKERON**：始终为外设内核使能 HSI16 (HSI16 always enable for peripheral kernels)

由软件置 1 和清零，用于强制 HSI16 开启（即使在停止模式下）。HSI16 只能为将 HSI16 配置为内核时钟的 USART1、USART2、CEC 和 I2C1 外设提供时钟。通过使 HSI16 在停止模式下保持开启，可避免由于 HSI16 启动时间而导致的通信速度变慢。该位对 HSION 值没有任何影响。

0：对 HSI16 振荡器无影响。

1：即使在停止模式下也强制 HSI16 振荡器开启。

位 8 **HSION**：HSI16 时钟使能 (HSI16 clock enable)

由软件置 1 和清零。

由硬件清零，用于在进入停止、待机或关断模式时停止 HSI16 振荡器。

直接或间接用作系统时钟时（加上退出停止、待机或关断模式时，或者用于系统时钟的 HSE 振荡器发生故障时），由硬件强制此位域使 HSI16 振荡器保持开启。

0：HSI16 振荡器关闭

1：HSI16 振荡器开启

位 7:0 保留，必须保持复位值。

5.4.2 内部时钟源校准寄存器 (RCC_ICSCR)

Internal clock sources calibration register

偏移地址：0x04

复位值：0x0000 40XX，其中 X 是出厂编程的。

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	HSITRIM[6:0]							HSICAL[7:0]							
	rw	rw	rw	rw	rw	rw	rw	r	r	r	r	r	r	r	r

位 31:15 保留，必须保持复位值。

位 14:8 **HSITRIM[6:0]**：HSI16 时钟微调 (HSI16 clock trimming)

通过这些位，可在 HSICAL[7:0] 位基础上实现可由用户编程的微调值。可通过编程使其适应电压和温度的差异，使 HSI16 时钟的频率更为准确。

默认值为 64，加上 HSICAL 值，应能将 HSI16 微调至 16 MHz ± 1%。

位 7:0 **HSICAL[7:0]**：HSI16 时钟校准 (HSI16 clock calibration)

这些位在启动时初始化为出厂前编程的 HSI16 校准微调值。写入 HSITRIM 后，HSICAL 将更新为 HSITRIM 和出厂微调值之和。

5.4.3 时钟配置寄存器 (RCC_CFGR)

Clock configuration register

偏移地址：0x08

复位值：0x0000 0000

访问：0 ≤ 等待周期 ≤ 2，按字、半字和字节访问

只有在时钟源切换期间进行访问时才会插入 1 或 2 个等待周期。

如果在更新 APB 或 AHB 预分频器值时进行访问，则插入 0 到 15 个等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	MCOPRE[2:0]			Res.	MCOSEL[2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	rw	rw	rw		rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PPRE[2:0]			HPRE[3:0]				Res.	Res.	SWS[2:0]			SW[2:0]		
	rw	rw	rw	rw	rw	rw	rw			r	r	r	rw	rw	rw

位 31 保留，必须保持复位值。

位 30:28 **MCOPRE[2:0]**：微控制器时钟输出预分频器 (Microcontroller clock output prescaler)
此位域由软件控制，用于设置发送到 MCO 输出的时钟的分频系数，如下所示：
000：1
001：2
010：4
011：8
100：16
101：32
110：64
111：128
强烈建议在 MCO 输出使能之前设置此位域。

位 27 保留，必须保持复位值。

位 26:24 **MCOSEL[2:0]**：微控制器时钟输出 (Microcontroller clock output)
此位域由软件控制，用于设置 MCO 输出的时钟选择器，如下所示：
000：无时钟，禁止 MCO 输出
001：SYSCLK
010：保留
011：HSI16
100：HSE
101：PLLRCLK
110：LSI
111：LSE
注：　该时钟输出在启动时或 MCO 时钟源切换期间可能包含一些被截断的周期。

位 23:15 保留，必须保持复位值。

位 14:12 **PPRE[2:0]**：APB 预分频器 (APB prescaler)
此位域由软件控制。要生成 PCLK 时钟，按如下设置 HCLK 时钟的分频系数：
0xx：1
100：2
101：4
110：8
111：16

位 11:8 **HPRE[3:0]**：AHB 预分频器 (AHB prescaler)
此位域由软件控制。要生成 HCLK 时钟，按如下设置 SYSCLK 时钟的分频系数：
0xxx：1
1000：2
1001：4
1010：8
1011：16
1100：64
1101：128
1110：256
1111：512
注意：软件必须根据器件电压范围正确设置这些位，以确保系统频率不会超过允许的最大频率（更多详细信息，请参见*第 4.1.4 节：动态电压调节管理*）。在对这些位执行写操作之后以及减小电压范围之前，必须读取该寄存器以确保其中的值为新值。

位 7:6 保留，必须保持复位值。

位 5:3 **SWS[2:0]**：系统时钟切换状态 (System clock switch status)

此位域由硬件控制，用于指示用作系统时钟的时钟源：

000：HSISYS

001：HSE

010：PLLRCLK

011：LSI

100：LSE

其他值：保留

位 2:0 **SW[2:0]**：系统时钟切换 (System clock switch)

此位域由软件和硬件控制，用于为 SYSCLK 选择时钟，具体如下：

000：HSISYS

001：HSE

010：PLLRCLK

011：LSI

100：LSE

其他值：保留

MCU 退出停止、待机或关断模式时，或设置为 001（选择 HSE）并检测到 HSE 振荡器故障时，设置由硬件强制设为 000（选择 HSISYS）。

5.4.4 PLL 配置寄存器 (RCC_PLLCFGR)

PLL configuration register

偏移地址：0x0C

复位值：0x0000 1000

访问：无等待周期，按字、半字和字节访问

此寄存器用于根据公式配置 PLL 时钟输出：

- $f_{VCO} = f_{PLLIN} \times (N / M)$
- $f_{PLLP} = f_{VCO} / P$
- $f_{PLLQ} = f_{VCO} / Q$
- $f_{PLLR} = f_{VCO} / R$

其中，f_{PLLIN} 为 PLL 输入时钟频率，f_{VCO} 为 PLL VCO 频率，P、Q 和 R 为 f_{VCO} 分频系数，f_{PLLP}、f_{PLLQ} 和 f_{PLLR} 分别为 PLLPCLK、PLLQCLK 和 PLLRCLK PLL 时钟输出的时钟频率。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PLLR[2:0]			PLL REN	PLLQ[2:0]			PLL QEN	Res.	Res.	PLLP[4:0]					PLL PEN
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PLLN[7:0]							Res.	PLLM[2:0]			Res.	Res.	PLLSRC[1:0]	
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw			rw	rw

位 31:29 **PLLR[2:0]**：用于 PLLRCLK 时钟输出的 PLL VCO 分频系数 R (PLL VCO division factor R for PLLRCLK clock output)

此位域由软件控制，用于设置 PLL VCO 分频系数 R，具体如下：
000：保留
001：2
010：3
011：4
100：5
101：6
110：7
111：8
只有在禁止 PLL 时才能写入此位域。
可选择 PLLRCLK 时钟作为系统时钟。

注意：软件设置此位域时，必须确保此时钟不超过 64 MHz。

位 28 **PLLREN**：PLLRCLK 时钟输出使能 (PLLRCLK clock output enable)

此位由软件控制，用于使能/禁止 PLL 的 PLLRCLK 时钟输出：
0：禁止
1：使能
选择 PLL 的 PLLRCLK 输出作为系统时钟时，此位不可写入。
不使用时禁止 PLLRCLK 时钟输出可节能。

位 27:25 **PLLQ[2:0]**：用于 PLLQCLK 时钟输出的 PLL VCO 分频系数 Q (PLL VCO division factor Q for PLLQCLK clock output)

此位域由软件控制，用于设置 PLL VCO 分频系数 Q，具体如下：
000：保留
001：2
010：3
011：4
100：5
101：6
110：7
111：8
只有在禁止 PLL 时才能写入此位域。

注意：软件设置此位域时，必须确保此时钟不超过 128 MHz。

位 24 **PLLQEN**：PLLQCLK 时钟输出使能 (PLLQCLK clock output enable)

此位由软件控制，用于使能/禁止 PLL 的 PLLQCLK 时钟输出：
0：禁止
1：使能
不使用时禁止 PLLQCLK 时钟输出可节能。

位 23:22 保留，必须保持复位值。

位 21:17 **PLLP[4:0]**：用于 PLLPCLK 时钟输出的 PLL VCO 分频系数 P (PLL VCO division factor P for PLLPCLK clock output)

此位域由软件控制，用于设置 PLL VCO 分频系数 P，具体如下：
00000：保留
00001：2
...
11111：32
只有在禁止 PLL 时才能写入此位域。

注意：软件设置此位域时，必须确保此时钟不超过 122 MHz。

位 16 **PLLPEN**：PLLPCLK 时钟输出使能 (PLLPCLK clock output enable)

此位由软件控制，用于使能/禁止 PLL 的 PLLPCLK 时钟输出：
0：禁止
1：使能
不使用时禁止 PLLPCLK 时钟输出可节能。

位 15 保留，必须保持复位值。

位 14:8 **PLLN[6:0]**：PLL 倍频系数 N (PLL frequency multiplication factor N)

此位由软件控制，用于设置 f_{VCO} 反馈分频器（确定 PLL 倍频比）的分频系数，具体如下：
0000000：无效
0000001：保留
...
0000111：保留
0001000：8
0001001：9
...
1010101：85
1010110：86
1010111：保留
...
1111111：保留

只有在禁止 PLL 时才能写入此位域。

注意：软件设置这些位时，必须确保 VCO 输出频率介于 64 MHz 和 344 MHz 之间。

位 7 保留，必须保持复位值。

位 6:4 **PLLM**：PLL 输入时钟分频器的分频系数 M (Division factor M of the PLL input clock divider)

此位由软件控制，用于在实际锁相环之前对 PLL 输入时钟进行分频，具体如下：
000：1
001：2
010：3
011：4
100：5
101：6
110：7
111：8
只有在禁止 PLL 时才能写入此位域。

注意：软件设置这些位时，必须确保经过 /M 分频器的 PLL 输入频率介于 4 MHz 和 16 MHz 之间。

位 3:2 保留，必须保持复位值。

位 1:0 **PLLSRC**：PLL 输入时钟源 (PLL input clock source)

此位由软件控制，用于选择 PLL 时钟源，具体如下：
00：无时钟
01：保留
10：HSI16
11：HSE
只有在禁止 PLL 时才能写入此位域。
PLL 未使用时，选择 00 可节能。

5.4.5 时钟中断使能寄存器 (RCC_CIER)

Clock interrupt enable register

偏移地址：0x18

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PLL RDYIE	HSE RDYIE	HSI RDYIE	Res.	LSE RDYIE	LSI RDYIE
										rw	rw	rw		rw	rw

位 31:6 保留，必须保持复位值。

位 5 **PLLRDYIE**：PLL 就绪中断使能 (PLL ready interrupt enable)
由软件置 1 和清零，用于使能/禁止由 PLL 锁定引起的中断：
0：禁止
1：使能

位 4 **HSERDYIE**：HSE 就绪中断使能 (HSE ready interrupt enable)
由软件置 1 和清零，用于使能/禁止由 HSE 振荡器稳定引起的中断：
0：禁止
1：使能

位 3 **HSIRDYIE**：HSI16 就绪中断使能 (HSI16 ready interrupt enable)
由软件置 1 和清零，用于使能/禁止由 HSI16 振荡器稳定引起的中断：
0：禁止
1：使能

位 2 保留，必须保持复位值。

位 1 **LSERDYIE**：LSE 就绪中断使能 (LSE ready interrupt enable)
由软件置 1 和清零，用于使能/禁止由 LSE 振荡器稳定引起的中断：
0：禁止
1：使能

位 0 **LSIRDYIE**：LSI 就绪中断使能 (LSI ready interrupt enable)
由软件置 1 和清零，用于使能/禁止由 LSI 振荡器稳定引起的中断：
0：禁止
1：使能

5.4.6 时钟中断标志寄存器 (RCC_CIFR)

Clock interrupt flag register

偏移地址：0x1C

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	LSE CSSF	CSSF	Res.	Res.	PLL RDYF	HSE RDYF	HSI RDYF	Res.	LSE RDYF	LSI RDYF
						r	r			r	r	r		r	r

位 31:10 保留，必须保持复位值。

位 9 **LSECSSF**：LSE 时钟安全系统中断标志 (LSE clock security system interrupt flag)

当在 LSE 振荡器中检出故障时由硬件置 1。

LSECSSC 位置 1 时由软件清零。

0：当前未因 LSE 时钟故障而引起时钟安全中断

1：因 LSE 时钟故障而引起时钟安全中断

位 8 **CSSF**：HSE 时钟安全系统中断标志 (HSE clock security system interrupt flag)

当在 HSE 振荡器中检出故障时由硬件置 1。

CSSC 位置 1 时由软件清零。

0：当前未因 HSE 时钟故障而引起时钟安全中断

1：因 HSE 时钟故障而引起时钟安全中断

位 7:6 保留，必须保持复位值。

位 5 **PLLRDYF**：PLL 就绪中断标志 (PLL ready interrupt flag)

当 PLL 锁定并且 PLLRDYDIE 置 1 时由硬件置 1。

PLLRDYC 位置 1 时由软件清零。

0：当前未因 PLL 锁定而引起时钟就绪中断

1：因 PLL 锁定而引起时钟就绪中断

位 4 **HSERDYF**：HSE 就绪中断标志 (HSE ready interrupt flag)

当 HSE 时钟稳定且 HSERDYDIE 置 1 时由硬件置 1。

HSERDYC 位置 1 时由软件清零。

0：当前未因 HSE 振荡器引起时钟就绪中断

1：因 HSE 振荡器引起时钟就绪中断

位 3 **HSIRDYF**：HSI16 就绪中断标志 (HSI16 ready interrupt flag)

当 HSI16 时钟稳定且 HSIRDYDIE 置 1 时由硬件置 1，以对 HSION 置 1 作出响应（请参见 *时钟控制寄存器 (RCC_CR)*）。当 HSION 未置 1，但外设通过时钟请求使能 HSI16 振荡器时，该位不会置 1，也不会生成中断。

HSIRDYC 位置 1 时由软件清零。

0：当前未因 HSI16 振荡器引起时钟就绪中断

1：因 HSI16 振荡器引起时钟就绪中断

位 2 保留，必须保持复位值。

位 1 **LSERDYF**：LSE 就绪中断标志 (LSE ready interrupt flag)
当 LSE 时钟稳定且 LSERDYDIE 置 1 时由硬件置 1。
LSERDYC 位置 1 时由软件清零。
0：当前未因 LSE 振荡器引起时钟就绪中断
1：因 LSE 振荡器引起时钟就绪中断

位 0 **LSIRDYF**：LSI 就绪中断标志 (LSI ready interrupt flag)
当 LSI 时钟稳定且 LSIRDYDIE 置 1 时由硬件置 1。
LSIRDYC 位置 1 时由软件清零。
0：当前未因 LSI 振荡器引起时钟就绪中断
1：因 LSI 振荡器引起时钟就绪中断

5.4.7 时钟中断清零寄存器 (RCC_CICR)

Clock interrupt clear register

偏移地址：0x20

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	LSE CSSC	CSSC	Res.	Res.	PLL RDYC	HSE RDYC	HSI RDYC	Res.	LSE RDYC	LSI RDYC
						w	w			w	w	w		w	w

位 31:10 保留，必须保持复位值。

位 9 **LSECSSC**：LSE 时钟安全系统中断清零 (LSE Clock security system interrupt clear)
此位由软件置 1，用于将 LSECSSF 标志清零。
0：无影响
1：将 LSECSSF 标志清零

位 8 **CSSC**：时钟安全系统中断清零 (Clock security system interrupt clear)
此位由软件置 1，用于将 HSECSSF 标志清零。
0：无影响
1：将 CSSF 标志清零

位 7:6 保留，必须保持复位值。

位 5 **PLLRDYC**：PLL 就绪中断清零 (PLL ready interrupt clear)
此位由软件置 1，用于将 PLLRDYF 标志清零。
0：无影响
1：将 PLLRDYF 标志清零

位 4 **HSERDYC**：HSE 就绪中断清零 (HSE ready interrupt clear)
此位由软件置 1，用于将 HSERDYF 标志清零。
0：无影响
1：将 HSERDYF 标志清零

位 3 **HSIRDYC**：HSI16 就绪中断清零 (HSI16 ready interrupt clear)
此位由软件置 1，用于将 HSIRDYF 标志清零。
0：无影响
1：将 HSIRDYF 标志清零

位 2 保留，必须保持复位值。

位 1 **LSERDYC**：LSE 就绪中断清零 (LSE ready interrupt clear)
此位由软件置 1，用于将 LSERDYF 标志清零。
0：无影响
1：将 LSERDYF 标志清零

位 0 **LSIRDYC**：LSI 就绪中断清零 (LSI ready interrupt clear)
此位由软件置 1，用于将 LSIRDYF 标志清零。
0：无影响
1：将 LSIRDYF 标志清零

5.4.8 I/O 端口复位寄存器 (RCC_IOPRSTR)

I/O port reset register

地址：0x24

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOFRST	Res.	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
										rw		rw	rw	rw	rw

位 31:6 保留，必须保持复位值。

位 5 **GPIOFRST**：I/O 端口 F 复位 (I/O port F reset)
此位由软件置 1 和清零。
0：无影响
1：复位 I/O 端口 F

位 4 保留，必须保持复位值。

位 3 **GPIODRST**：I/O 端口 D 复位 (I/O port D reset)
此位由软件置 1 和清零。
0：无影响
1：复位 I/O 端口 D

位 2 **GPIOCRST**：I/O 端口 C 复位 (I/O port C reset)
此位由软件置 1 和清零。
0：无影响
1：复位 I/O 端口 C

位 1 **GPIOBRST**：I/O 端口 B 复位 (I/O port B reset)
此位由软件置 1 和清零。
0：无影响
1：复位 I/O 端口 B

位 0 **GPIOARST**：I/O 端口 A 复位 (I/O port A reset)
此位由软件置 1 和清零。
0：无影响
1：复位 I/O 端口 A

5.4.9 AHB 外设复位寄存器 (RCC_AHBRSTR)

AHB peripheral reset register

偏移地址：0x28

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNG RST(1)	Res.	AES RST(1)
													rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC RST	Res.	Res.	Res.	FLASH RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAR ST
			rw				rw								rw

1. 仅适用于 STM32G08xxx 器件。

位 31:19 保留，必须保持复位值。

位 18 **RNGRST**：随机数发生器复位 (Random number generator reset)
由软件置 1 和清零。
0：无影响
1：复位 RNG

位 17 保留，必须保持复位值。

位 16 **AESRST**：AES 硬件加速器复位 (AES hardware accelerator reset)
由软件置 1 和清零。
0：无影响
1：复位 AES

位 15:13 保留，必须保持复位值。

位 12 **CRCRST**：CRC 复位 (CRC reset)
由软件置 1 和清零。
0：无影响
1：复位 CRC

位 11:9 保留，必须保持复位值。

位 8 **FLASHRST**：Flash 接口复位 (Flash memory interface reset)
由软件置 1 和清零。
0：无影响
1：复位 Flash 接口
仅当 Flash 处于掉电模式时，此位才可置 1。

位 7:1 保留，必须保持复位值。

位 0 **DMARST**：DMA 和 DMAMUX 复位 (DMA and DMAMUX reset)
由软件置 1 和清零。
0：无影响
1：复位 DMA 和 DMAMUX

5.4.10 APB 外设复位寄存器 1 (RCC_APBRSTR1)

APB peripheral reset register 1

偏移地址：0x2C

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 RST	LPTIM2 RST	DAC1 RST	PWR RST	DBG RST	UCPD2 RST	UCPD1 RST	CEC RST	Res.	I2C2 RST	I2C1 RST	LP UART1 RST	USART4 RST	USART3 RST	USART2 RST	Res.
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2 RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM7 RST	TIM6 RST	Res.	Res.	TIM3 RST	TIM2 RST
	rw									rw	rw			rw	rw

位 31 **LPTIM1RST**：低功耗定时器 1 复位 (Low Power Timer 1 reset)
由软件置 1 和清零。
0：无影响
1：复位 LPTIM1

位 30 **LPTIM2RST**：低功耗定时器 2 复位 (Low Power Timer 2 reset)
由软件置 1 和清零。
0：无影响
1：复位 LPTIM2

位 29 **DAC1RST**：DAC1 接口复位 (DAC1 interface reset)
由软件置 1 和清零。
0：无影响
1：复位 DAC1 接口
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 28 **PWRRST**：电源接口复位 (Power interface reset)
由软件置 1 和清零。
0：无影响
1：复位 PWR

位 27 **DBGRST**：调试支持复位 (Debug support reset)
由软件置 1 和清零。
0：无影响
1：复位 DBG

位 26 **UCPD2RST**：UCPD2 复位 (UCPD2 reset)
由软件置 1 和清零。
0：无影响
1：复位 UCPD2
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 25 **UCPD1RST**：UCPD1 复位 (UCPD1 reset)
由软件置 1 和清零。
0：无影响
1：复位 UCPD1
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 24 **CECRST**：HDMI CEC 复位 (HDMI CEC reset)
由软件置 1 和清零。
0：无影响
1：复位 HDMI CEC
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 23 保留，必须保持复位值。

位 22 **I2C2RST**：I2C2 复位 (I2C2 reset)
由软件置 1 和清零。
0：无影响
1：复位 I2C2

位 21 **I2C1RST**：I2C1 复位 (I2C1 reset)
由软件置 1 和清零。
0：无影响
1：复位 I2C1

位 20 **LPUART1RST**：LPUART1 复位 (LPUART1 reset)
由软件置 1 和清零。
0：无影响
1：复位 LPUART1

位 19 **USART4RST**：USART4 复位 (USART4 reset)
由软件置 1 和清零。
0：无影响
1：复位 USART4
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 18 **USART3RST**：USART3 复位 (USART3 reset)
由软件置 1 和清零。
0：无影响
1：复位 USART3
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 17 **USART2RST**：USART2 复位 (USART2 reset)
由软件置 1 和清零。
0：无影响
1：复位 USART2

位 16:15 保留，必须保持复位值。

位 14 **SPI2RST**：SPI2 复位 (SPI2 reset)
由软件置 1 和清零。
0：无影响
1：复位 SPI2

位 13:6 保留，必须保持复位值。

位 5 **TIM7RST**：TIM7 定时器复位 (TIM7 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM7
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 4 **TIM6RST**：TIM6 定时器复位 (TIM6 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM6
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 3:2 保留，必须保持复位值。

位 1 **TIM3RST**：TIM3 定时器复位 (TIM3 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM3

位 0 **TIM2RST**：TIM2 定时器复位 (TIM2 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM2

5.4.11 APB 外设复位寄存器 2 (RCC_APBRSTR2)

APB peripheral reset register 2

偏移地址：0x30

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADC RST	Res.	TIM17 RST	TIM16 RST	TIM15 RST
											rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIM14 RST	USART1 RST	Res.	SPI1 RST	TIM1 RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFG RST
rw	rw		rw	rw											rw

位 31:21 保留，必须保持复位值。

位 20 **ADCRST**：ADC 复位 (ADC reset)
由软件置 1 和清零。
0：无影响
1：复位 ADC

位 19 保留，必须保持复位值。

位 18 **TIM17RST**：TIM17 定时器复位 (TIM17 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM17 定时器

位 17 **TIM16RST**：TIM16 定时器复位 (TIM16 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM16 定时器

位 16 **TIM15RST**：TIM15 定时器复位 (TIM15 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM15 定时器
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 15 **TIM14RST**：TIM14 定时器复位 (TIM14 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM14 定时器

位 14 **USART1RST**：USART1 复位 (USART1 reset)
由软件置 1 和清零。
0：无影响
1：复位 USART1

位 13 保留，必须保持复位值。

位 12 **SPI1RST**：SPI1 复位 (SPI1 reset)
由软件置 1 和清零。
0：无影响
1：复位 SPI1

位 11 **TIM1RST**：TIM1 定时器复位 (TIM1 timer reset)
由软件置 1 和清零。
0：无影响
1：复位 TIM1 定时器

位 10:1 保留，必须保持复位值。

位 0 **SYSCFGRST**：SYSCFG、COMP 和 VREFBUF 复位 (SYSCFG, COMP and VREFBUF reset)
由软件置 1 和清零。
0：无影响
1：复位 SYSCFG + COMP + VREFBUF

5.4.12 I/O 端口时钟使能寄存器 (RCC_IOPENR)

I/O port clock enable register

地址：0x34

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOFEN	Res.	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
										rw		rw	rw	rw	rw

位 31:6 保留，必须保持复位值。

位 5 **GPIOFEN**：I/O 端口 F 时钟使能 (I/O port F clock enable)
此位由软件置 1 和清零。
0：禁止
1：使能

位 4 保留，必须保持复位值。

位 3 **GPIODEN**：I/O 端口 D 时钟使能 (I/O port D clock enable)
此位由软件置 1 和清零。
0：禁止
1：使能

位 2 **GPIOCEN**：I/O 端口 C 时钟使能 (I/O port C clock enable)
此位由软件置 1 和清零。
0：禁止
1：使能

位 1 **GPIOBEN**：I/O 端口 B 时钟使能 (I/O port B clock enable)
此位由软件置 1 和清零。
0：禁止
1：使能

位 0 **GPIOAEN**：I/O 端口 A 时钟使能 (I/O port A clock enable)
此位由软件置 1 和清零。
0：禁止
1：使能

5.4.13 AHB 外设时钟使能寄存器 (RCC_AHBENR)

AHB peripheral clock enable register

偏移地址：0x38

复位值：0x00000 0100

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNGEN(1)	Res.	AESEN(1)
													rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	FLASHEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAEN
			rw				rw								rw

1. 仅适用于 STM32G08xxx 器件。

位 31:19 保留，必须保持复位值。

位 18 **RNGEN**：随机数发生器时钟使能 (Random number generator clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 17 保留，必须保持复位值。

位 16 **AESEN**：AES 硬件加速器 (AES hardware accelerator)
由软件置 1 和清零。
0：禁止
1：使能

位 15:13 保留，必须保持复位值。

位 12 **CRCEN**：CRC 时钟使能 (CRC clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 11:9 保留，必须保持复位值。

位 8 **FLASHEN**：Flash 接口时钟使能 (Flash memory interface clock enable)
由软件置 1 和清零。
0：禁止
1：使能
仅当 Flash 处于掉电模式时，此位才可清零。

位 7:1 保留，必须保持复位值。

位 0 **DMAEN**：DMA 和 DMAMUX 时钟使能 (DMA and DMAMUX clock enable)
由软件置 1 和清零。
0：禁止
1：使能

5.4.14 APB 外设时钟使能寄存器 1 (RCC_APBENR1)

APB peripheral clock enable register 1

偏移地址：0x3C

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 EN	LPTIM2 EN	DAC1 EN	PWR EN	DBG EN	UCPD2 EN	UCPD1 EN	CEC EN	Res.	I2C2 EN	I2C1 EN	LP UART1 EN	USART4 EN	USART3 EN	USART2 EN	Res.
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2 EN	Res.	Res.	WWDG EN	RTC APB EN	Res.	Res.	Res.	Res.	TIM7 EN	TIM6 EN	Res.	Res.	TIM3 EN	TIM2 EN
	rw			rw	rw					rw	rw			rw	rw

位 31 **LPTIM1EN**：LPTIM1 时钟使能 (LPTIM1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 30 **LPTIM2EN**：LPTIM2 时钟使能 (LPTIM2 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 29 **DAC1EN**：DAC1 接口时钟使能 (DAC1 interface clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 28 **PWREN**：电源接口时钟使能 (Power interface clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 27 **DBGEN**：调试支持时钟使能 (Debug support clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 26 **UCPD2EN**：UCPD2 时钟使能 (UCPD2 clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 25 **UCPD1EN**：UCPD1 时钟使能 (UCPD1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 24 **CECEN**：HDMI CEC 时钟使能 (HDMI CEC clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 23 保留，必须保持复位值。

位 22 **I2C2EN**：I2C2 时钟使能 (I2C2 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 21 **I2C1EN**：I2C1 时钟使能 (I2C1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 20 **LPUART1EN**：LPUART1 时钟使能 (LPUART1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 19 **USART4EN**：USART4 时钟使能 (USART4 clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 18 **USART3EN**：USART3 时钟使能 (USART3 clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 17 **USART2EN**：USART2 时钟使能 (USART2 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 16:15 保留，必须保持复位值。

位 14 **SPI2EN**：SPI2 时钟使能 (SPI2 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 13:12 保留，必须保持复位值。

位 11 **WWDGEN**：WWDG 时钟使能 (WWDG clock enable)
由软件置 1，用于使能窗口看门狗时钟。通过硬件系统复位进行清零
0：禁止
1：使能
如果 WWDG_SW 选项位为 0，此位也可由硬件置 1。

位 10 **RTCAPBEN**：RTC APB 时钟使能 (RTC APB clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 9:6 保留，必须保持复位值。

位 5 **TIM7EN**：TIM7 定时器时钟使能 (TIM7 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 4 **TIM6EN**：TIM6 定时器时钟使能 (TIM6 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 3:2 保留，必须保持复位值。

位 1 **TIM3EN**：TIM3 定时器时钟使能 (TIM3 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 0 **TIM2EN**：TIM2 定时器时钟使能 (TIM2 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

5.4.15 APB 外设时钟使能寄存器 2 (RCC_APBENR2)

APB peripheral clock enable register 2

偏移地址：0x40

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADC EN	Res.	TIM17 EN	TIM16 EN	TIM15 EN
											rw		rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIM14 EN	USART1 EN	Res.	SPI1 EN	TIM1 EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFG EN
rw	rw		rw	rw											rw

位 31:21 保留，必须保持复位值。

位 20 **ADCEN**：ADC 时钟使能 (ADC clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 19 保留，必须保持复位值。

位 18 **TIM17EN**：TIM17 定时器时钟使能 (TIM17 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 17 **TIM16EN**：TIM16 定时器时钟使能 (TIM16 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 16 **TIM15EN**：TIM15 定时器时钟使能 (TIM15 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 15 **TIM14EN**：TIM14 定时器时钟使能 (TIM14 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 14 **USART1EN**：USART1 时钟使能 (USART1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 13 保留，必须保持复位值。

位 12 **SPI1EN**：SPI1 时钟使能 (SPI1 clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 11 **TIM1EN**：TIM1 定时器时钟使能 (TIM1 timer clock enable)
由软件置 1 和清零。
0：禁止
1：使能

位 10:1 保留，必须保持复位值。

位 0 **SYSCFGEN**：SYSCFG、COMP 和 VREFBUF 时钟使能 (SYSCFG, COMP and VREFBUF clock enable)
由软件置 1 和清零。
0：禁止
1：使能

5.4.16 睡眠模式下的 I/O 端口时钟使能寄存器 (RCC_IOPSMENR)

I/O port in Sleep mode clock enable register

地址：0x44

复位值：0x0000 002F

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOFSMEN	Res.	GPIODSMEN	GPIOCSMEN	GPIOBSMEN	GPIOASMEN
										rw		rw	rw	rw	rw

位 31:6 保留，必须保持复位值。

位 5 **GPIOFSMEN**：睡眠模式期间的 I/O 端口 F 时钟使能 (I/O port F clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 4 保留，必须保持复位值。

位 3 **GPIODSMEN**：睡眠模式期间的 I/O 端口 D 时钟使能 (I/O port D clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 2 **GPIOCSMEN**：睡眠模式期间的 I/O 端口 C 时钟使能 (I/O port C clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 1 **GPIOBSMEN**：睡眠模式期间的 I/O 端口 B 时钟使能 (I/O port B clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 0 **GPIOASMEN**：睡眠模式期间的 I/O 端口 A 时钟使能 (I/O port A clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

5.4.17 睡眠/停止模式下的 AHB 外设时钟使能寄存器 (RCC_AHBSMENR)

AHB peripheral clock enable in Sleep/Stop mode register

偏移地址：0x48

复位值：0x0005 1301

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNG SMEN (1)	Res.	AES SMEN(1)
													rw		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CRC SMEN	Res.	Res.	SRAM SMEN	FLASH SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA SMEN
			rw			rw	rw								rw

1. 仅适用于 STM32G08xxx 器件。

位 31:19 保留，必须保持复位值。

位 18 **RNGSMEN**：睡眠和停止模式期间的随机数发生器时钟使能 (Random number generator clock enable during Sleep and Stop mode)
由软件置 1 和清零。
0：禁止
1：使能

位 17 保留，必须保持复位值。

位 16 **AESSMEN**：睡眠模式期间的 AES 硬件加速器时钟使能 (AES hardware accelerator clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 15:13 保留，必须保持复位值。

位 12 **CRCSMEN**：睡眠模式期间的 CRC 时钟使能 (CRC clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 11:10 保留，必须保持复位值。

位 9 **SRAMSMEN**：睡眠模式期间的 SRAM 时钟使能 (SRAM clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 8 **FLASHSMEN**：睡眠模式期间的 Flash 接口时钟使能 (Flash memory interface clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

仅当 Flash 处于掉电模式时，才可激活此位。

位 7:1 保留，必须保持复位值。

位 0 **DMASMEN**：睡眠模式期间的 DMA 和 DMAMUX 时钟使能 (DMA and DMAMUX clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

5.4.18 睡眠/停止模式下的 APB 外设时钟使能寄存器 1 (RCC_APBSMENR1)

APB peripheral clock enable in Sleep/Stop mode register 1

偏移地址：0x4C

复位值：0xFF7E 4C33

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPTIM1 SMEN	LPTIM2 SMEN	DAC1 SMEN	PWR SMEN	DBG SMEN	UCPD2 SMEN	UCPD1 SMEN	CEC SMEN	Res.	I2C2 SMEN	I2C1 SMEN	LP UART1 SMEN	USART4 SMEN	USART3 SMEN	USART2 SMEN	Res.
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SPI2 SMEN	Res.	Res.	WWDG SMEN	RTC APB SMEN	Res.	Res.	Res.	Res.	TIM7 SMEN	TIM6 SMEN	Res.	Res.	TIM3 SMEN	TIM2 SMEN
	rw			rw	rw					rw	rw			rw	rw

位 31 **LPTIM1SMEN**：睡眠和停止模式期间的低功耗定时器 1 时钟使能 (Low Power Timer 1 clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

位 30 **LPTIM2SMEN**：睡眠和停止模式期间的低功耗定时器 2 时钟使能 (Low Power Timer 2 clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

位 29 **DAC1SMEN**：睡眠和停止模式期间的 DAC1 接口时钟使能 (DAC1 interface clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 28 **PWRSMEN**：睡眠模式期间的电源接口时钟使能 (Power interface clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 27 **DBGSMEN**：睡眠模式期间的调试支持时钟使能 (Debug support clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 26 **UCPD2SMEN**：睡眠模式期间的 UCPD2 时钟使能 (UCPD2 clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 25 **UCPD1SMEN**：睡眠模式期间的 UCPD1 时钟使能 (UCPD1 clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 24 **CECSMEN**：睡眠和停止模式期间的 HDMI CEC 时钟使能 (HDMI CEC clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 23 保留，必须保持复位值。

位 22 **I2C2SMEN**：睡眠模式期间的 I2C2 时钟使能 (I2C2 clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 21 **I2C1SMEN**：睡眠和停止模式期间的 I2C1 时钟使能 (I2C1 clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

位 20 **LPUART1SMEN**：睡眠和停止模式期间的 LPUART1 时钟使能 (LPUART1 clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

位 19 **USART4SMEN**：睡眠模式期间的 USART4 时钟使能 (USART4 clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 18 **USART3SMEN**：睡眠模式期间的 USART3 时钟使能 (USART3 clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 17 **USART2SMEN**：睡眠和停止模式期间的 USART2 时钟使能 (USART2 clock enable during Sleep and Stop modes)
由软件置 1 和清零。
0：禁止
1：使能

位 16:15 保留，必须保持复位值。

位 14 **SPI2SMEN**：睡眠模式期间的 SPI2 时钟使能 (SPI2 clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 13:12 保留，必须保持复位值。

位 11 **WWDGSMEN**：睡眠和停止模式期间的 WWDG 时钟使能 (WWDG clock enable during Sleep and Stop modes)
由软件置 1 和清零。
0：禁止
1：使能

位 10 **RTCAPBSMEN**：睡眠模式期间的 RTC APB 时钟使能 (RTC APB clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 9:6 保留，必须保持复位值。

位 5 **TIM7SMEN**：睡眠模式期间的 TIM7 定时器时钟使能 (TIM7 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 4 **TIM6SMEN**：睡眠模式期间的 TIM6 定时器时钟使能 (TIM6 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 3:2 保留，必须保持复位值。

位 1 **TIM3SMEN**：睡眠模式期间的 TIM3 定时器时钟使能 (TIM3 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 0 **TIM2SMEN**：睡眠模式期间的 TIM2 定时器时钟使能 (TIM2 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

5.4.19 睡眠/停止模式下的 APB 外设时钟使能寄存器 2 (RCC_APBSMENR2)

APB peripheral clock enable in Sleep/Stop mode register 2

偏移地址：0x50

复位值：0x0017 D801

访问：无等待周期，按字、半字和字节访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADC SMEN	Res.	TIM17 SMEN	TIM16 SMEN	TIM15S MEN
											rw		rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIM14 SMEN	USART1 SMEN	Res.	SPI1 SMEN	TIM1 SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYS CFG SMEN
rw	rw		rw	rw											rw

位 31:21 保留，必须保持复位值。

位 20 **ADCSMEN**：睡眠模式期间的 ADC 时钟使能 (ADC clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 19 保留，必须保持复位值。

位 18 **TIM17SMEN**：睡眠模式期间的 TIM17 定时器时钟使能 (TIM17 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 17 **TIM16SMEN**：睡眠模式期间的 TIM16 定时器时钟使能 (TIM16 timer clock enable during Sleep mode)
由软件置 1 和清零。
0：禁止
1：使能

位 16 **TIM15SMEN**：睡眠模式期间的 TIM15 定时器时钟使能 (TIM15 timer clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 15 **TIM14SMEN**：睡眠模式期间的 TIM14 定时器时钟使能 (TIM14 timer clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 14 **USART1SMEN**：睡眠和停止模式期间的 USART1 时钟使能 (USART1 clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

位 13 保留，必须保持复位值。

位 12 **SPI1SMEN**：睡眠模式期间的 SPI1 时钟使能 (SPI1 clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 11 **TIM1SMEN**：睡眠模式期间的 TIM1 定时器时钟使能 (TIM1 timer clock enable during Sleep mode)

由软件置 1 和清零。

0：禁止

1：使能

位 10:1 保留，必须保持复位值。

位 0 **SYSCFGSMEN**：睡眠和停止模式期间的 SYSCFG、COMP 和 VREFBUF 时钟使能 (SYSCFG, COMP and VREFBUF clock enable during Sleep and Stop modes)

由软件置 1 和清零。

0：禁止

1：使能

5.4.20 外设专用时钟配置寄存器 (RCC_CCIPR)

Peripherals independent clock configuration register

地址：0x54

复位值：0x0000 0000

访问：无等待周期，按字、半字和字节访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCSEL[1:0]		RNGDIV[1:0]		RNGSEL[1:0]		Res.	TIM15 SEL	Res.	TIM1 SEL	LPTIM2SEL[1:0]		LPTIM1SEL[1:0]		Res.	Res.
rw	rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I2S1SEL[1:0]		I2C1SEL[1:0]		LPUART1SEL [1:0]		Res.	Res.	Res.	CEC SEL	Res.	Res.	USART2SEL [1:0]		USART1SEL [1:0]	
rw	rw	rw	rw	rw	rw				rw			rw	rw	rw	rw

位 31:30 **ADCSEL[1:0]**：ADC 时钟源选择 (ADC clock source selection)

此位域由软件控制，用于选择 ADC 时钟源：

00：系统时钟

01：PLLPCLK

10：HSI16

11：保留

位 29:28 **RNGDIV[1:0]**：RNG 时钟分频器的分频系数 (Division factor of RNG clock divider)

此位域由软件控制，用于选择分频系数，具体如下：

00: 1

01: 2

10: 4

11: 8

位 27:26 **RNGSEL[1:0]**：RNG 时钟源选择 (RNG clock source selection)

此位域由软件控制，用于选择 RNG 时钟，具体如下：

00：无时钟

01：HSI16

10：SYSCLK

11：PLLQCLK

位 25 保留，必须保持复位值。

位 24 **TIM15SEL**：TIM15 时钟源选择 (TIM15 clock source selection)

此位由软件置 1 和清零，用于选择 TIM15 时钟源，具体如下：

0：TIMPCLK

1：PLLQCLK

只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 23 保留，必须保持复位值。

位 22 **TIM1SEL**：TIM1 时钟源选择 (TIM1 clock source selection)

此位由软件置 1 和清零，用于选择 TIM1 时钟源，具体如下：

0：TIMPCLK

1：PLLQCLK

位 21:20 **LPTIM2SEL[1:0]**：LPTIM2 时钟源选择 (LPTIM2 clock source selection)

此位域由软件控制，用于选择 LPTIM2 时钟源，具体如下：

00：PCLK

01：LSI

10：HSI16

11：LSE

位 19:18 **LPTIM1SEL[1:0]**：LPTIM1 时钟源选择 (LPTIM1 clock source selection)
此位域由软件控制，用于选择 LPTIM1 时钟源，具体如下：
00：PCLK
01：LSI
10：HSI16
11：LSE

位 17:16 保留，必须保持复位值。

位 15:14 **I2S1SEL[1:0]**：I2S1 时钟源选择 (I2S1 clock source selection)
此位域由软件控制，用于选择 I2S1 时钟源，具体如下：
00：SYSCLK
01：PLLPCLK
10：HSI16
11：I2S_CKIN

位 13:12 **I2C1SEL[1:0]**：I2C1 时钟源选择 (I2C1 clock source selection)
此位域由软件控制，用于选择 I2C1 时钟源，具体如下：
00：PCLK
01：SYSCLK
10：HSI16
11：保留

位 11:10 **LPUART1SEL[1:0]**：LPUART1 时钟源选择 (LPUART1 clock source selection)
此位域由软件控制，用于选择 LPUART1 时钟源，具体如下：
00：PCLK
01：SYSCLK
10：HSI16
11：LSE

位 9:7 保留，必须保持复位值。

位 6 **CECSEL**：HDMI CEC 时钟源选择 (HDMI CEC clock source selection)
此位由软件置 1 和清零，用于选择 HDMI CEC 时钟源，具体如下：
0：488 分频的 HSI16
1：LSE
只有 STM32G071xx 和 STM32G081xx 上可使用此位。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 5:4 保留，必须保持复位值。

位 3:2 **USART2SEL[1:0]**：USART2 时钟源选择 (USART2 clock source selection)
此位域由软件控制，用于选择 USART2 时钟源，具体如下：
00：PCLK
01：SYSCLK
10：HSI16
11：LSE
此位域仅在 STM32G071xx 和 STM32G081xx 中可用。在 STM32G031xx 和 STM32G041xx 上，此位保留。

位 1:0 **USART1SEL[1:0]**：USART1 时钟源选择 (USART1 clock source selection)
此位域由软件控制，用于选择 USART1 时钟源，具体如下：
00：PCLK
01：SYSCLK
10：HSI16
11：LSE

5.4.21 RTC 域控制寄存器 (RCC_BDCR)

RTC domain control register

偏移地址：0x5C
复位值：0x0000 0000，除 LSCOSEL、LSCOEN 和 BDRST 只能通过 RTC 域上电复位进行复位以外，其他位均通过 RTC 域复位进行复位。
访问：0 ≤ 等待周期 ≤ 3，按字、半字和字节访问
连续访问该寄存器时，则插入等待周期。

注： *RTC 域控制寄存器 (RCC_BDCR) 的位在 V_{CORE} 域之外。因而复位后，这些位受写保护，必须将第 4.4.1 节：电源控制寄存器 1 (PWR_CR1) 中的 DBP 位置 1 才能修改这些位。有关详细信息，请参见第 100 页的第 4.1.2 节：RTC 的电池备份域。只有 RTC 域复位后，这些位（LSCOSEL、LSCOEN 和 BDRST 除外）才能复位（请参见第 5.1.3 节：RTC 域复位）。内部复位和外部复位对这些位不会有任何影响。*

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST
						rw	rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTCEN	Res.	Res.	Res.	Res.	Res.	RTCSEL[1:0]		Res.	LSECSSD	LSECSSON	LSEDRV[1:0]		LSEBYP	LSERDY	LSEON
rw						rw	rw		r	rw	rw	rw	rw	r	rw

位 31:26 保留，必须保持复位值。

位 25 **LSCOSEL**：低速时钟输出选择 (Low-speed clock output selection)
由软件置 1 和清零，用于选择低速输出时钟：
0：LSI
1：LSE

位 24 **LSCOEN**：低速时钟输出 (LSCO) 使能 (Low-speed clock output (LSCO) enable)
由软件置 1 和清零。
0：禁止
1：使能

位 23:17 保留，必须保持复位值。

位 16 **BDRST**：RTC 域软件复位 (RTC domain software reset)
由软件置 1 和清零，用于复位 RTC 域：
0：无影响
1：复位

位 15 **RTCEN**：RTC 时钟使能 (RTC clock enable)
由软件置 1 和清零。该位可使能 RTC 和 TAMP 的时钟。
0：禁止
1：使能

位 14:10 保留，必须保持复位值。

位 9:8 **RTCSEL[1:0]**：RTC 时钟源选择 (RTC clock source selection)
由软件置 1，用于选择 RTC 的时钟源，具体如下：
00：无时钟
01：LSE
10：LSI
11：32 分频的 HSE
选择 RTC 时钟源后，除非 RTC 域复位或在 LSE 上检测到故障（LSECSSD 置 1），否则不可再进行更改。BDRST 位可用于将此位域复位为 00。

位 7 保留，必须保持复位值。

位 6 **LSECSSD**：LSE 上的 CSS 故障检测 (CSS on LSE failure Detection)
由硬件置 1，用于指示外部 32 kHz 振荡器 (LSE) 上的时钟安全系统何时检测到故障：
0：未检测到故障
1：检测到故障

位 5 **LSECSSON**：LSE 上的 CSS 使能 (CSS on LSE enable)
由软件置 1，用于使能 LSE (32 kHz) 振荡器上的时钟安全系统，具体如下：
0：禁止
1：使能
在 LSE 振荡器使能（已使能 LSEON 位）和就绪（由硬件将 LSERDY 标志置 1）后以及在选择 RTCSEL 位后，LSECSSON 必须使能。
该位一旦使能便不能禁止，但检测到 LSE 故障 (LSECSSD = 1) 后除外。
此时，软件**必须**禁止 LSECSSON 位。

位 4:3 **LSEDRV[1:0]**：LSE 振荡器驱动能力 (LSE oscillator drive capability)
由软件置 1，用于选择 LSE 振荡器的驱动能力，具体如下：
00：低驱动能力
01：中低驱动能力
10：中高驱动能力
11：高驱动能力
LSE 振荡器处于 Xtal 模式（与旁路模式相对）下时适用。

位 2 **LSEBYP**：LSE 振荡器旁路 (LSE oscillator bypass)
由软件置 1 和清零，用于旁路调试模式下的 LSE 振荡器。
0：未旁路
1：旁路
只有在禁止外部 32 kHz 振荡器（LSEON=0 且 LSERDY=0）后才能写入该位。

位 1 **LSERDY**：LSE 振荡器就绪 (LSE oscillator ready)
由硬件置 1 和清零，用于指示外部 32 kHz 振荡器已就绪（稳定）：
0：未就绪
1：已就绪
在 LSEON 位被清零后，LSERDY 将在 6 个外部低速振荡器时钟周期后转为低电平。

位 0 **LSEON**：LSE 振荡器使能 (LSE oscillator enable)
由软件置 1 和清零，用于使能 LSE 振荡器：
0：禁止
1：使能

5.4.22 控制/状态寄存器 (RCC_CSR)

Control/status register

地址：0x60

复位值：0xXX00 0000，除复位标志只能通过电源复位进行复位以外，其他标志均通过系统复位进行复位。

访问：0 ≤ 等待状态 ≤ 3，按字、半字和字节访问

连续访问该寄存器时，则插入等待周期。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LPWR RSTF	WWDG RSTF	IWWG RSTF	SFT RSTF	PWR RSTF	PIN RSTF	OBL RSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	r	r	r	r	r		rw							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSI RDY	LSION
														r	rw

位 31 **LPWRRSTF**：低功耗复位标志 (Low-power reset flag)

由于进入非法停止、待机或关断模式而发生复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生非法模式复位
1：发生非法模式复位
仅适用于 nRST_STOP、nRST_STDBY 或 nRST_SHDW 选项位清零的情况。

位 30 **WWDGRSTF**：窗口看门狗复位标志 (Window watchdog reset flag)

发生窗口看门狗复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生窗口看门狗复位
1：发生窗口看门狗复位

位 29 **IWDGRSTF**：独立窗口看门狗复位标志 (Independent window watchdog reset flag)

发生独立看门狗复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生独立看门狗复位
1：发生独立看门狗复位

位 28 **SFTRSTF**：软件复位标志 (Software reset flag)

发生软件复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生软件复位
1：发生软件复位

位 27 **PWRRSTF**：BOR 或 POR/PDR 标志 (BOR or POR/PDR flag)

发生 BOR 或 POR/PDR 时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生 BOR 或 POR
1：发生 BOR 或 POR

位 26 **PINRSTF**：引脚复位标志 (Pin reset flag)
发生来自 NRST 引脚的复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生来自 NRST 引脚的复位
1：发生来自 NRST 引脚的复位

位 25 **OBLRSTF**：选项字节加载复位标志 (Option byte loader reset flag)
发生来自选项字节加载的复位时，由硬件置 1。
通过将 RMVF 位置 1 来清零。
0：未发生来自选项字节加载的复位
1：发生来自选项字节加载的复位

位 24 保留，必须保持复位值。

位 23 **RMVF**：复位标志清零 (Remove reset flag)
由软件置 1，用于将复位标志清零。
0：无影响
1：将复位标志清零

位 22:2 保留，必须保持复位值。

位 1 **LSIRDY**：LSI 振荡器就绪 (LSI oscillator ready)
由硬件置 1 和清零，用于指示 LSI 振荡器已就绪（稳定）：
0：未就绪
1：已就绪
在将 LSION 位清零后，LSIRDY 将在 3 个 LSI 振荡器时钟周期后转为低电平。如果存在 LSE 上的时钟安全系统、独立看门狗或 RTC 发出的 LSI 请求，即使 LSION = 0，该位也可置 1。

位 0 **LSION**：LSI 振荡器使能 (LSI oscillator enable)
由软件置 1 和清零，用于使能/禁止 LSI 振荡器：
0：禁止
1：使能

5.4.23 RCC 寄存器映射

下表列出了 RCC 寄存器映射和复位值。

表 31. RCC 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	RCC_CR	Res.	Res.	Res.	Res.	Res.	Res.	PLLRDY	PLLON	Res.	Res.	Res.	Res.	CSSON	HSEBYP	HSERDY	HSEON	Res.	Res.	HSIDIV[2:0]			HSIRDY	HSIKERON	HSION	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value							0	0					0	0	0	0			0	0	0	1	0	1								
0x04	RCC_ICSCR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	HSITRIM[6:0]							HSICAL[7:0]							
	Reset value																		1	0	0	0	0	0	0	X	X	X	X	X	X	X	X
0x08	RCC_CFGR	Res.	MCOPRE[2:0]			Res.	MCOSEL[2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PPRE[2:0]			HPRE[3:0]				Res.	Res.	SWS[2:0]			SW[2:0]		
	Reset value		0	0	0		0	0	0										0	0	0	0	0	0	0			0	0	0	0	0	0
0x0C	RCC_PLL CFGR	PLLR[2:0]			PLLREN	PLLQ[2:0]			PLLQEN	Res.	Res.	PLLP[4:0]					PLLPEN	Res.	PLLN[6:0]							Res.	PLLM [2:0]			Res.	Res.	PLL SRC [1:0]	
	Reset value	0	0	0	0	0	0	0	0			0	0	0	0	0	0		0	0	1	0	0	0	0		0	0	0			0	0
0x10	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x14	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x18	RCC_CIER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	PLLRDYIE	HSERDYIE	HSIRDYIE	Res.	LSERDYIE	LSIRDYIE
	Reset value																											0	0	0		0	0
0x1C	RCC_CIFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	LSECSSF	CSSF	Res.	Res.	PLLRDYF	HSERDYF	HSIRDYF	Res.	LSERDYF	LSIRDYF
	Reset value																							0	0			0	0	0		0	0
0x20	RCC_CICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	LSECSSC	CSSC	Res.	Res.	PLLRDYC	HSERDYC	HSIRDYC	Res.	LSERDYC	LSIRDYC
	Reset value																							0	0			0	0	0		0	0
0x24	RCC_ IOPRSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	GPIOFRST	Res.	GPIODRST	GPIOCRST	GPIOBRST	GPIOARST
	Reset value																											0		0	0	0	0

表 31. RCC 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	RCC_ AHBRSTR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNGRST	Res.	AESRST	Res.	Res.	Res.	CRCRST	Res.	Res.	Res.	FLASHRST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMARST
	Reset value														0		0				0				0								0
0x2C	RCC_ APBRSTR1	LPTIM1RST	LPTIM2RST	DAC1RST	PWRRST	DBGRST	UCPD2RST	UCPD1RST	CECRST	Res.	I2C2RST	I2C1RST	LPUART1RST	USART4RST	USART3RST	USART2RST	Res.	Res.	SPI2RST	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM7RST	TIM6RST	Res.	Res.	TIM3RST	TIM2RST
	Reset value	0	0	0	0	0	0	0	0		0	0	0	0	0	0			0									0	0			0	0
0x30	RCC_ APBRSTR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADCRST	Res	TIM17RST	TIM16RST	TIM15RST	TIM14RST	USART1RST	Res.	SPI1RST	TIM1RST	Res	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSCFGRST
	Reset value												0		0	0	0	0	0		0	0											0
0x34	RCC_ IOPENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOFEN	Res.	GPIODEN	GPIOCEN	GPIOBEN	GPIOAEN
	Reset value																											0		0	0	0	0
0x38	RCC_ AHBENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNGEN	Res.	AESEN	Res.	Res.	Res.	CRCEN	Res.	Res.	Res.	FLASHEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAEN
	Reset value														0		0				0				1								0
0x3C	RCC_ APBENR1	LPTIM1EN	LPTIM2EN	DAC1EN	PWREN	DBGEN	UCPD2EN	UCPD1EN	CECEN	Res.	I2C2EN	I2C1EN	LPUART1EN	USART4EN	USART3EN	USART2EN	Res.	Res.	SPI2EN	Res.	Res.	WWDGEN	Res.	RTCAPBEN	Res.	Res.	Res.	Res.	TIM7EN	TIM6EN	Res.	Res.	TIM3EN	TIM2EN
	Reset value	0	0	0	0	0	0	0	0		0	0	0	0	0	0			0			0		0				0	0			0	0
0x40	RCC_ APBENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADCEN	Res.	TIM17EN	TIM16EN	TIM15EN	TIM14EN	USART1EN	Res.	SPI1EN	TIM1EN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSCFGEN
	Reset value												0		0	0	0	0	0		0	0												0
0x44	RCC_ IOPSMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GPIOFSMEN	Res.	GPIODSMEN	GPIOCSMEN	GPIOBSMEN	GPIOASMEN
	Reset value																											1		1	1	1	1

表 31. RCC 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x48	RCC_ AHBSMENR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RNGSMEN	Res.	AESSMEN	Res.	Res.	Res.	CRCSMEN	Res.	Res.	SRAMSMEN	FLASHSMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMASMEN
	Reset value														1		1				1			1	1								1
0x4C	RCC_ APBSMENR1	LPTIM1SMEN	LPTIM2SMEN	DAC1SMEN	PWRSMEN	DBGSMEN	UCPD2SMEN	UCPD1SMEN	CECSMEN	Res.	I2C2SMEN	I2C1SMEN	LPUART1SMEN	USART4SMEN	USART3SMEN	USART2SMEN	Res.	Res.	SPI2SMEN	Res.	Res.	WWDGSMEN	RTCAPBSMEN	Res.	Res.	Res.	Res.	TIM7SMEN	TIM6SMEN	Res.	Res.	TIM3SMEN	TIM2SMEN
	Reset value	1	1	1	1	1	1	1	1		1	1	1	1	1	1			1			1	1					1	1			1	1
0x50	RCC_ APBSMENR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADCSMEN	Res.	TIM17SMEN	TIM16SMEN	TIM15SMEN	TIM14SMEN	USART1SMEN	Res.	SPI1SMEN	TIM1SMEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SYSCFGSMEN
	Reset value												1		1	1	1	1	1		1	1											1
0x54	RCC_CCIPR	ADCSEL[1:0]		RNGDIV[1:0]		RNGSEL[1:0]		Res.	TIM15SEL	Res.	TIM1SEL	LPTIM2SEL[1:0]		LPTIM1SEL[1:0]		Res.	Res.	I2S1SEL[1:0]		I2C1SEL[1:0]		LPUART1SEL[1:0]		Res.	Res.	Res.	CECSEL	Res.	Res.	USART2SEL[1:0]		USART1SEL[1:0]	
	Reset value	0	0	0	0	0	0		0		0	0	0	0	0			0	0	0	0	0	0				0			0	0	0	0
0x58	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x5C	RCC_BDCR	Res.	Res.	Res.	Res.	Res.	Res.	LSCOSEL	LSCOEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BDRST	RTCEN	Res.	Res.	Res.	Res.	Res.	RTC SEL[1:0]		Res.	LSECSSD	LSECSSON	LSE DRV[1:0]		LSEBYP	LSERDY	LSEON
	Reset value							0	0								0	0						0	0		0	0	0	0	0	0	0
0x60	RCC_CSR	LPWRRSTF	WWDGRSTF	IWDGRSTF	SFTRSTF	PWRRSTF	PINRSTF	OBLRSTF	Res.	RMVF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LSIRDY	LSION
	Reset value	0	0	0	0	0	0	0		0																					0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

6 通用 I/O (GPIO)

6.1 简介

每个通用 I/O 端口包括 4 个 32 位配置寄存器（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR 和 GPIOx_PUPDR）、2 个 32 位数据寄存器（GPIOx_IDR 和 GPIOx_ODR）和 1 个 32 位置位/复位寄存器 (GPIOx_BSRR)。此外，所有 GPIO 都包括 1 个 32 位锁定寄存器 (GPIOx_LCKR) 和 2 个 32 位复用功能选择寄存器（GPIOx_AFRH 和 GPIOx_AFRL）。

6.2 GPIO 主要特性

- 输出状态：推挽或开漏 + 上拉/下拉
- 从输出数据寄存器 (GPIOx_ODR) 或外设（复用功能输出）输出数据
- 可为每个 I/O 选择不同的速度
- 输入状态：浮空、上拉/下拉、模拟
- 将数据输入到输入数据寄存器（GPIOx_IDR）或外设（复用功能输入）
- 置位和复位寄存器（GPIOx_ BSRR），对 GPIOx_ODR 具有按位写权限
- 锁定机制（GPIOx_LCKR），可冻结 I/O 端口配置
- 模拟功能
- 复用功能选择寄存器（一个 I/O 最多可具有 8 个复用功能）
- 快速翻转，每次翻转最快只需要两个时钟周期
- 引脚复用非常灵活，允许将 I/O 引脚用作 GPIO 或多种外设功能中的一种

6.3 GPIO 功能描述

根据数据手册中列出的每个 I/O 端口的特性，可通过软件将通用 I/O (GPIO) 端口的各个端口位分别配置为多种模式：

- 输入浮空
- 输入上拉
- 输入下拉
- 模拟
- 具有上拉或下拉功能的开漏输出
- 具有上拉或下拉功能的推挽输出
- 具有上拉或下拉功能的复用功能推挽
- 具有上拉或下拉功能的复用功能开漏

每个 I/O 端口位均可自由编程，但 I/O 端口寄存器必须按 32 位字、半字或字节进行访问。GPIOx_BSRR 寄存器和 GPIOx_BRR 寄存器旨在实现对 GPIOx_ODR 寄存器进行原子读取/修改访问。这样便可确保在读取和修改访问之间发生中断请求也不会有问题。

图 15 显示了标准 I/O 端口位的基本结构。*表 32* 给出了可能的端口位配置方案。

图 15. I/O 端口位的基本结构

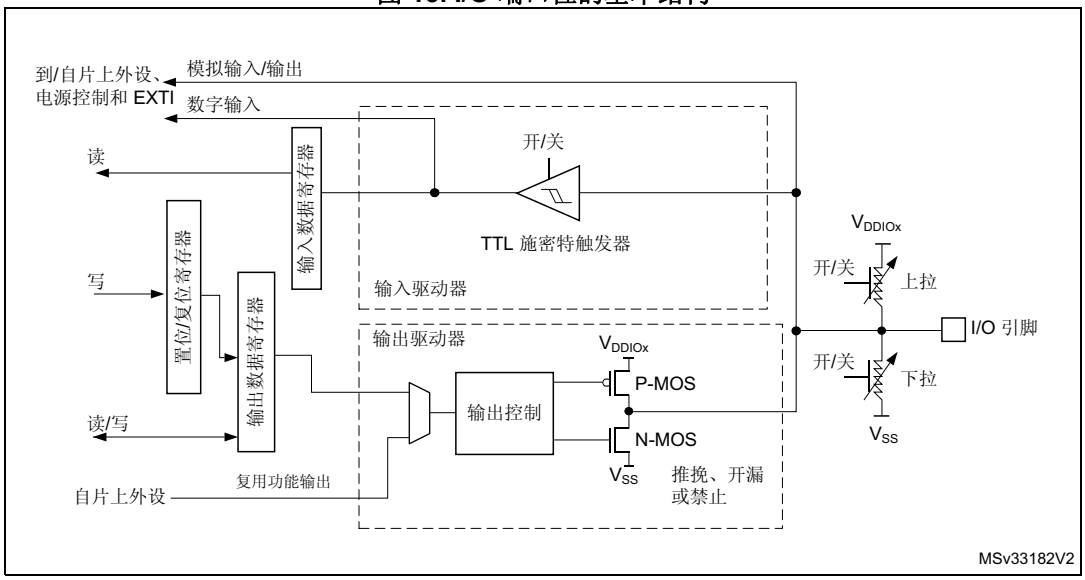


表 32. 端口位配置表(1)

MODE(i) [1:0]	OTYPE(i)	OSPEED(i) [1:0]	PUPD(i) [1:0]		I/O 配置	
01	0	SPEED [1:0]	0	0	GP 输出	PP
	0		0	1	GP 输出	PP + PU
	0		1	0	GP 输出	PP + PD
	0		1	1	保留	
	1		0	0	GP 输出	OD
	1		0	1	GP 输出	OD + PU
	1		1	0	GP 输出	OD + PD
	1		1	1	保留（GP 输出 OD）	
10	0	SPEED [1:0]	0	0	AF	PP
	0		0	1	AF	PP + PU
	0		1	0	AF	PP + PD
	0		1	1	保留	
	1		0	0	AF	OD
	1		0	1	AF	OD + PU
	1		1	0	AF	OD + PD
	1		1	1	保留	

表 32. 端口位配置表(1)（续）

MODE(i) [1:0]	OTYPE(i)	OSPEED(i) [1:0]		PUPD(i) [1:0]		I/O 配置	
00	x	x	x	0	0	输入	浮空
	x	x	x	0	1	输入	PU
	x	x	x	1	0	输入	PD
	x	x	x	1	1	保留（输入浮空）	
11	x	x	x	0	0	输入/输出	模拟
	x	x	x	0	1	保留	
	x	x	x	1	0		
	x	x	x	1	1		

1. GP = 通用、 PP = 推挽、 PU = 上拉、 PD = 下拉、 OD = 开漏、 AF = 复用功能。

6.3.1 通用 I/O (GPIO)

在复位期间及复位刚刚完成后，复用功能尚未激活，大多数 I/O 端口被配置为模拟模式。

复位后，调试引脚处于复用功能上拉/下拉状态：

- PA14：SWCLK 处于下拉状态
- PA13：SWDIO 处于上拉状态

注： *PA14 与 BOOT0 功能共享。需要小心操作，因为调试设备可以控制 BOOT0 引脚值。*

复位后，UCPD CCx 线会形成一个下拉电阻，可通过将 SYSCFG_CFGR1 寄存器的 UCPDx_STROBE 位置 1 来禁止此电阻。

当引脚配置为输出后，写入到输出数据寄存器 (GPIOx_ODR) 的值将在 I/O 引脚上输出。可以在推挽模式下或开漏模式下使用输出驱动器（仅驱动低电平，高电平为高阻态）。

输入数据寄存器 (GPIOx_IDR) 每个 AHB 时钟周期捕获一次 I/O 引脚的数据。

所有 GPIO 引脚都具有内部弱上拉及下拉电阻，可根据 GPIOx_PUPDR 寄存器中的值来打开/关闭。

6.3.2 I/O 引脚复用功能复用器和映射

器件 I/O 引脚通过一个复用器连接到板载外设/模块，该复用器一次仅允许一个外设的复用功能 (AF) 连接到 I/O 引脚。这可以确保共用同一个 I/O 引脚的外设之间不会发生冲突。

每个 I/O 引脚都有一个复用器，该复用器采用多达 8 路复用功能输入（AF0 到 AF7），可通过 GPIOx_AFRL（针对引脚 0 到 7）和 GPIOx_AFRH（针对引脚 8 到 15）寄存器对这些输入进行配置：

- 复位后，复用器选择为复用功能 0 (AF0)。在复用模式下通过 GPIOx_MODER 寄存器配置 I/O。
- 器件数据手册中详细说明了每个引脚的特定复用功能分配。

除了这种灵活的 I/O 复用架构之外，各外设还可以将复用功能映射到不同 I/O 引脚，这可以优化小型封装中可用外设的数量。

要在指定配置下使用 I/O，用户必须按照以下步骤操作：

- **调试功能：**每个器件复位后，立即将这些引脚分配为可由调试主机使用的复用功能引脚
- **GPIO：**在 GPIOx_MODER 寄存器中将所需 I/O 配置为输出、输入或模拟通道。
- **外设复用功能：**
  - 在 GPIOx_AFRL 或 GPIOx_AFRH 寄存器中，将 I/O 连接到所需的 AFx。
  - 通过 GPIOx_OTYPER、GPIOx_PUPDR 和 GPIOx_OSPEEDER 寄存器，分别选择类型、上拉/下拉以及输出速度。
  - 在 GPIOx_MODER 寄存器中将所需 I/O 配置为复用功能。
- **其它功能：**
  - ADC、DAC 和 COMP 连接可在 ADC、DAC 或 COMP 寄存器中使能，与配置的 GPIO 模式无关。ADC、DAC 或 COMP 使用 GPIO 时，建议通过 GPIOx_MODER 寄存器将 GPIO 配置为模拟模式。
  - 对于 RTC、TAMP、WKUPx 和振荡器等其他功能，在相关的 RTC、TAMP、PWR 和 RCC 寄存器中配置所需功能。这些功能优先于标准 GPIO 寄存器中的配置。

有关复用功能 I/O 引脚映射的详细信息，请参见器件数据手册中的“复用功能映射”表。

6.3.3 I/O 端口控制寄存器

每个 GPIO 端口有 4 个 32 位存储器映射的控制寄存器（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR），可配置多达 16 个 I/O。GPIOx_MODER 寄存器用于选择 I/O 模式（输入、输出、AF、模拟）。GPIOx_OTYPER 和 GPIOx_OSPEEDR 寄存器用于选择输出类型（推挽或开漏）和速度。无论采用哪种 I/O 方向，GPIOx_PUPDR 寄存器都用于选择上拉/下拉。

6.3.4 I/O 端口数据寄存器

每个 GPIO 都具有 2 个 16 位数据寄存器：输入和输出数据寄存器（GPIOx_IDR 和 GPIOx_ODR）。GPIOx_ODR 用于存储待输出数据，可对其进行读/写访问。通过 I/O 输入的数据存储到输入数据寄存器 (GPIOx_IDR) 中，它是一个只读寄存器。

有关寄存器说明的详细信息，请参见*第 6.4.5 节：GPIO 端口输入数据寄存器 (GPIOx_IDR)（x = A 到 D、F）*和*第 6.4.6 节：GPIO 端口输出数据寄存器 (GPIOx_ODR)（x = A 到 D、F）*。

6.3.5 I/O 数据位操作

置位复位寄存器 (GPIOx_BSRR) 是一个 32 位寄存器，它允许应用程序在输出数据寄存器 (GPIOx_ODR) 中对各个单独的数据位执行置位和复位操作。置位复位寄存器的大小是 GPIOx_ODR 的二倍。

GPIOx_ODR 中的每个数据位对应于 GPIOx_BSRR 中的两个控制位：BS(i) 和 BR(i)。当写入 1 时，BS(i) 位会**置位**对应的 ODR(i) 位。当写入 1 时，BR(i) 位会**复位** ODR(i) 对应的位。

在 GPIOx_BSRR 中向任何位写入 0 都不会对 GPIOx_ODR 中的对应位产生任何影响。如果在 GPIOx_BSRR 中同时尝试对某个位执行置位和复位操作，则置位操作优先。

使用 GPIOx_BSRR 寄存器更改 GPIOx_ODR 中各个位的值是一个“单次”操作，不会锁定 GPIOx_ODR 位。随时都可以直接访问 GPIOx_ODR 位。GPIOx_BSRR 寄存器提供了一种执行原子按位处理的方法。

在对 GPIOx_ODR 进行位操作时，软件无需禁止中断：在一次原子 AHB 写访问中，可以修改一个或多个位。

6.3.6 GPIO 锁定机制

通过将特定的写序列应用到 GPIOx_LCKR 寄存器，可以冻结 GPIO 控制寄存器。冻结的寄存器包括 GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL 和 GPIOx_AFRH。

要对 GPIOx_LCKR 寄存器执行写操作，必须应用特定的写/读序列。当正确的 LOCK 序列应用到此寄存器的第 16 位后，会使用 LCKR[15:0] 的值来锁定 I/O 的配置（在写序列期间，LCKR[15:0] 的值必须相同）。将 LOCK 序列应用到某个端口位后，在执行下一次 MCU 复位或外设复位之前，将无法对该端口位的值进行修改。每个 GPIOx_LCKR 位都会冻结控制寄存器（GPIOx_MODER、GPIOx_OTYPER、GPIOx_OSPEEDR、GPIOx_PUPDR、GPIOx_AFRL 和 GPIOx_AFRH）中的对应位。

LOCK 序列（参见*第 6.4.8 节：GPIO 端口配置锁定寄存器 (GPIOx_LCKR)（x = A 到 D、F）*）只能通过对 GPIOx_LCKR 寄存器进行字（32 位长）访问的方式来执行，因为 GPIOx_LCKR 的第 16 位必须与 [15:0] 位同时置位。

有关详细信息，请参见*第 6.4.8 节：GPIO 端口配置锁定寄存器 (GPIOx_LCKR)（x = A 到 D、F）*中的 LCKR 寄存器说明。

6.3.7 I/O 复用功能输入/输出

有两个寄存器可用来从每个 I/O 可用的复用功能输入/输出中进行选择。借助这些寄存器，用户可根据应用程序的要求将某个复用功能连接到其它某个引脚。

这意味着可使用 GPIOx_AFRL 和 GPIOx_AFRH 复用功能寄存器在每个 GPIO 上复用多个可用的外设功能。这样一来，应用程序可为每个 I/O 选择任何一个可用功能。由于 AF 选择信号由复用功能输入和复用功能输出共用，所以只需为指定 I/O 的复用功能输入/输出选择一个通道即可。

要了解在每个 GPIO 引脚上复用了哪些功能，请参见器件数据手册。

6.3.8 外部中断线/唤醒线

所有端口都具有外部中断功能。要使用外部中断线，给定引脚不能配置为模拟模式或用作振荡器引脚，因此输入触发器保持使能状态。

请参见*第 12 节：扩展中断与事件控制器 (EXTI)*。

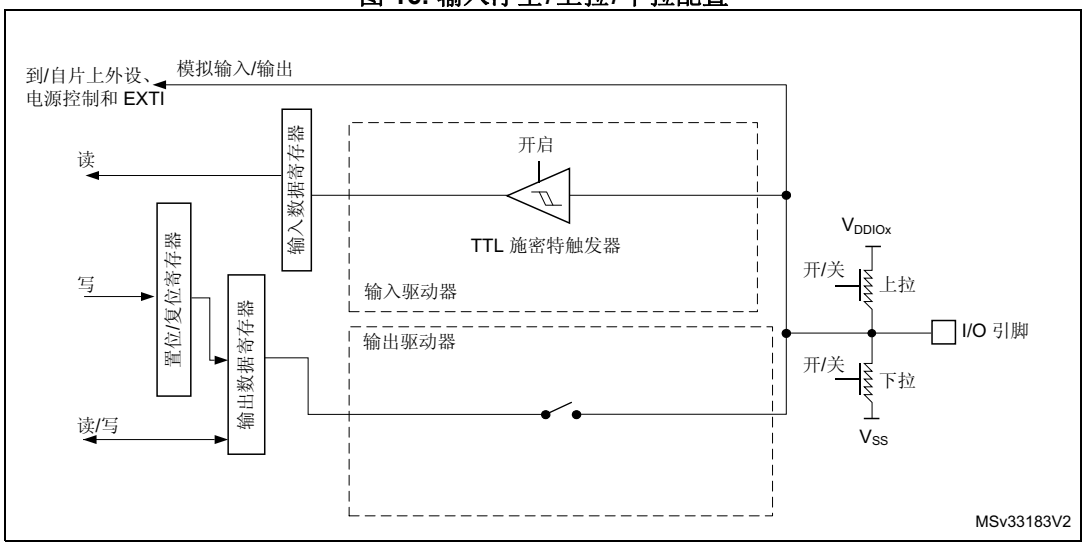
6.3.9 输入配置

将 I/O 端口编程为输入时：

- 输出缓冲器被禁止
- 施密特触发器输入被打开
- 根据 GPIOx_PUPDR 寄存器中的值决定是否打开上拉和下拉电阻
- 输入数据寄存器每隔 1 个 AHB 时钟周期对 I/O 引脚上的数据进行一次采样
- 对输入数据寄存器的读访问可获取 I/O 状态

图 16 说明了 I/O 端口位的输入配置。

图 16. 输入浮空/上拉/下拉配置



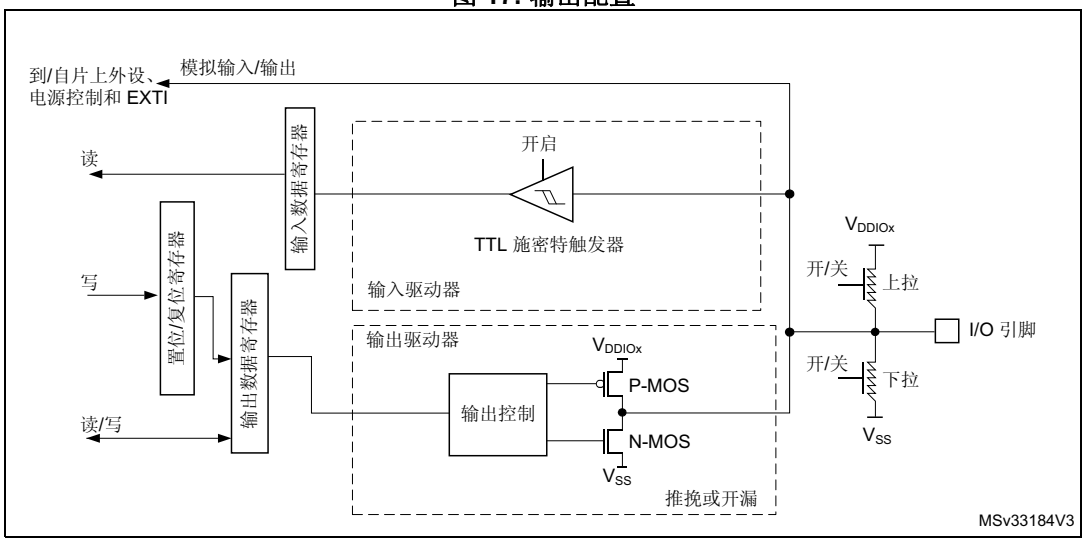
6.3.10 输出配置

将 I/O 端口编程为输出时：

- 输出缓冲器被打开：
  - 开漏模式：输出寄存器中的“0”可激活 N-MOS，而输出寄存器中的“1”会使端口保持高阻态 (Hi-Z)（P-MOS 始终不激活）
  - 推挽模式：输出寄存器中的“0”可激活 N-MOS，而输出寄存器中的“1”可激活 P-MOS
- 施密特触发器输入被打开
- 根据 GPIOx_PUPDR 寄存器中的值决定是否打开上拉和下拉电阻
- 输入数据寄存器每隔 1 个 AHB 时钟周期对 I/O 引脚上的数据进行一次采样
- 对输入数据寄存器的读访问可获取 I/O 状态
- 对输出数据寄存器的读访问可获取最后的写入值

图 17 说明了 I/O 端口位的输出配置。

图 17. 输出配置



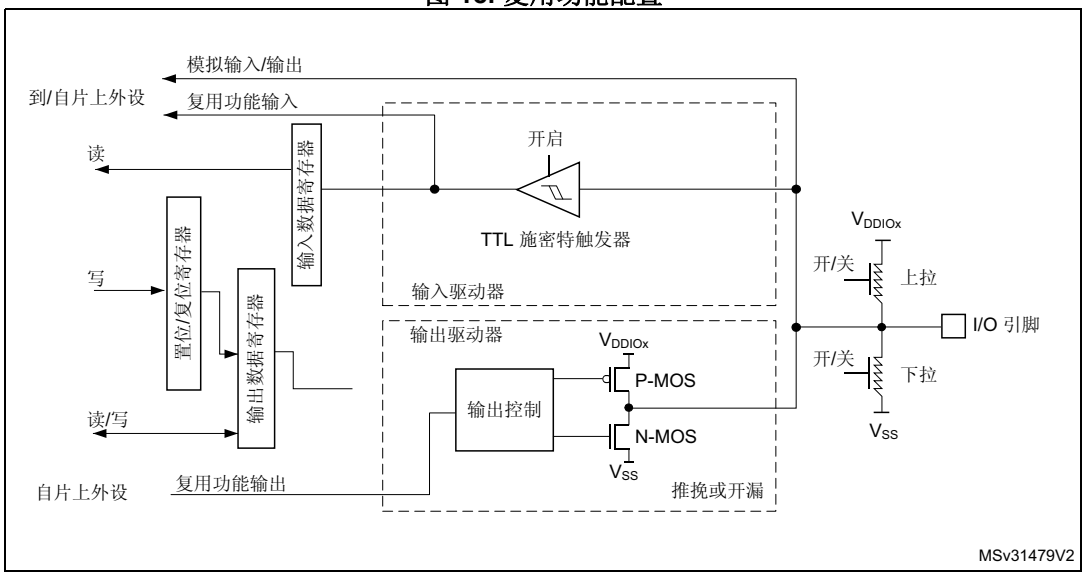
6.3.11 复用功能配置

将 I/O 端口编程为复用功能时：

- 可将输出缓冲器配置为开漏或推挽模式
- 输出缓冲器由来自外设的信号驱动（发送器使能和数据）
- 施密特触发器输入被打开
- 根据 GPIOx_PUPDR 寄存器中的值决定是否打开弱上拉电阻和下拉电阻
- 输入数据寄存器每隔 1 个 AHB 时钟周期对 I/O 引脚上的数据进行一次采样
- 对输入数据寄存器的读访问可获取 I/O 状态

图 18 说明了 I/O 端口位的复用功能配置。

图 18. 复用功能配置



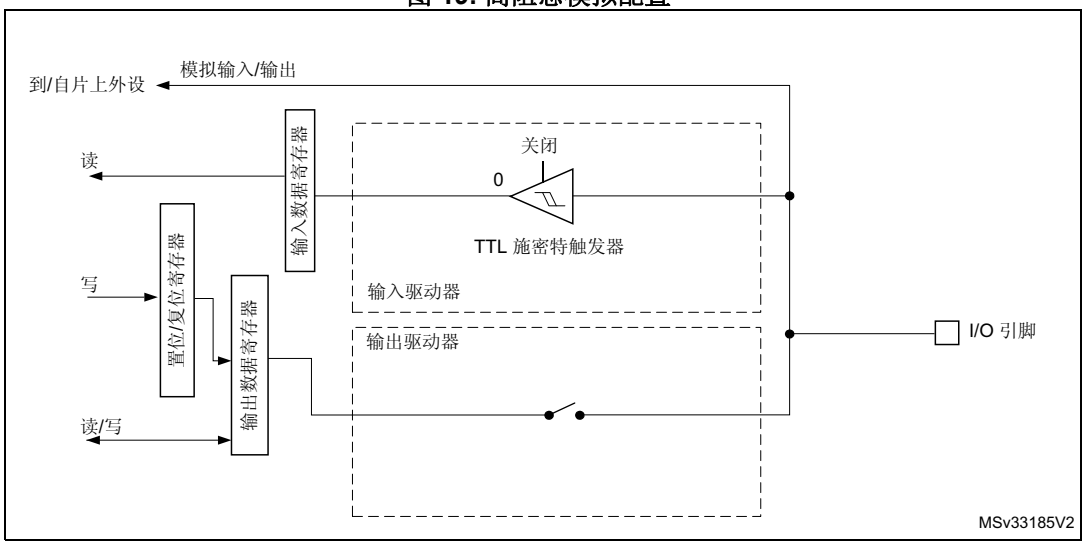
6.3.12 模拟配置

将 I/O 端口编程为模拟配置时：

- 输出缓冲器被禁止
- 施密特触发器输入停用，I/O 引脚的每个模拟输入的功耗变为零。施密特触发器的输出被强制处理为恒定值 (0)
- 弱上拉和下拉电阻被硬件关闭
- 对输入数据寄存器的读访问值为“0”

图 19 说明了 I/O 端口位的高阻态模拟输入配置。

图 19. 高阻态模拟配置



6.3.13 将 HSE 或 LSE 振荡器引脚用作 GPIO

当 HSE 或 LSE 振荡器关闭（复位后的默认状态）时，可将相关的振荡器引脚用作常规 GPIO。

当 HSE 或 LSE 振荡器打开（通过将 RCC_CSR 寄存器中的 HSEON 或 LSEON 位置 1）时，振荡器会控制与其相关联的引脚，这些引脚的 GPIO 配置不起作用。

将振荡器配置为用户外部时钟模式时，仅为时钟输入保留 OSC_IN 或 OSC32_IN 引脚，OSC_OUT 或 OSC32_OUT 引脚仍可用作常规 GPIO。

6.3.14 在 RTC 域中使用 GPIO 引脚

当内核电源域掉电时（器件进入待机模式时），PC13/PC14/PC15 GPIO 功能会丢失。在这种情况下，如果不通过 RTC 配置旁路其 GPIO 配置，这些引脚将被设置为模拟输入模式。

有关 RTC 的 I/O 控制的详细信息，请参见*第 29.3 节：RTC 功能说明*。

6.3.15 USB PD/低电量支持

本节的内容将在稍后提供。

6.4 GPIO寄存器

本节对 GPIO 寄存器进行了详细介绍。

有关寄存器位、寄存器偏移地址和复位值的汇总，请参见*表 33*。

可按字、半字或字节模式写入外设寄存器。

6.4.1 GPIO 端口模式寄存器 (GPIOx_MODER)（x =A 到 D、F）

GPIO port mode register

偏移地址：0x00

复位值：

- 0xEBFF FFFF（端口 A）
- 0xFFFF FFFF（其他端口）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MODE15[1:0]		MODE14[1:0]		MODE13[1:0]		MODE12[1:0]		MODE11[1:0]		MODE10[1:0]		MODE9[1:0]		MODE8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE7[1:0]		MODE6[1:0]		MODE5[1:0]		MODE4[1:0]		MODE3[1:0]		MODE2[1:0]		MODE1[1:0]		MODE0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **MODE[15:0][1:0]**：端口 x 配置 I/O 引脚 y (Port x configuration I/O pin y)（y = 15 到 0）

这些位通过软件写入，用于配置 I/O 模式。

00：输入模式

01：通用输出模式

10：复用功能模式

11：模拟模式（复位状态）

6.4.2 GPIO 端口输出类型寄存器 (GPIOx_OTYPER)（x = A 到 D、F）

GPIO port output type register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **OT[15:0]**：端口 x 配置 I/O 引脚 y (Port x configuration I/O pin y)（y = 15 到 0）
这些位通过软件写入，用于配置 I/O 输出类型。
0：推挽输出（复位状态）
1：开漏输出

6.4.3 GPIO 端口输出速度寄存器 (GPIOx_OSPEEDR)（x = A 到 D、F）

GPIO port output speed register

偏移地址：0x08

复位值：0x0C00 0000（端口 A）

复位值：0x0000 0000（其他端口）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OSPEED15 [1:0]		OSPEED14 [1:0]		OSPEED13 [1:0]		OSPEED12 [1:0]		OSPEED11 [1:0]		OSPEED10 [1:0]		OSPEED9 [1:0]		OSPEED8 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSPEED7 [1:0]		OSPEED6 [1:0]		OSPEED5 [1:0]		OSPEED4 [1:0]		OSPEED3 [1:0]		OSPEED2 [1:0]		OSPEED1 [1:0]		OSPEED0 [1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **OSPEED[15:0][1:0]**：端口 x 配置 I/O 引脚 y (Port x configuration I/O pin y)（y = 15 到 0）
这些位通过软件写入，用于配置 I/O 输出速度。
00：超低速
01：低速
10：高速
11：超高速

注：　关于每种速度的频率规范以及电源和负载条件，请参见器件数据手册。
FT_c GPIO 不能设置为高速。

6.4.4 GPIO 端口上拉/下拉寄存器 (GPIOx_PUPDR)（x = A 到 D、F）

GPIO port pull-up/pull-down register

偏移地址：0x0C

复位值：0x2400 0000（端口 A）

复位值：0x0000 0000（其他端口）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **PUPD[15:0][1:0]**：端口 x 配置 I/O 引脚 y (Port x configuration I/O pin y)（y = 15 到 0）

这些位通过软件写入，用于配置 I/O 上拉或下拉。

00：无上拉或下拉
01：上拉
10：下拉
11：保留

6.4.5 GPIO 端口输入数据寄存器 (GPIOx_IDR)（x = A 到 D、F）

GPIO port input data register

偏移地址：0x10

复位值：0x0000 XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:0 **ID[15:0]**：端口 x 输入数据 I/O 引脚 y (Port x input data I/O pin y)（y = 15 到 0）

这些位为只读。它们包含相应 I/O 端口的输入值。

6.4.6 GPIO 端口输出数据寄存器 (GPIOx_ODR)（x = A 到 D、F）

GPIO port output data register

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **OD[15:0]**：端口输出数据 I/O 引脚 y (Port output data I/O pin y)（y = 15 到 0）
这些位可通过软件读取和写入。

注： 对于原子置位/复位，通过写入 GPIOx_BSRR 或 GPIOx_BRR 寄存器，可分别置位和/或复位 OD 位 (x = A..D、F)。

6.4.7 GPIO 端口位置位/复位寄存器 (GPIOx_BSRR)（x = A 到 D、F）

GPIO port bit set/reset register

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:16 **BR[15:0]**：端口 x 复位 I/O 引脚 y (Port x reset I/O pin y)（y = 15 到 0）
这些位为只写。读取这些位可返回值 0x0000。
0：不会对相应的 ODRx 位执行任何操作
1：复位相应的 ODRx 位

注： 如果同时对 BSx 和 BRx 置位，则 BSx 的优先级更高。

位 15:0 **BS[15:0]**：端口 x 置位 I/O 引脚 y (Port x set I/O pin y)（y = 15 到 0）
这些位为只写。读取这些位可返回值 0x0000。
0：不会对相应的 ODRx 位执行任何操作
1：置位相应的 ODRx 位

6.4.8 GPIO 端口配置锁定寄存器 (GPIOx_LCKR)（x = A 到 D、F）

GPIO port configuration lock register

当正确的写序列应用到第 16 位 (LCKK) 时，此寄存器将用于锁定端口位的配置。位 [15:0] 的值用于锁定 GPIO 的配置。在写序列期间，不能更改 LCKR[15:0] 的值。将 LOCK 序列应用到某个端口位后，在执行下一次 MCU 复位或外设复位之前，将无法对该端口位的值进行修改。

注： *可使用特定的写序列对 GPIOx_LCKR 寄存器执行写操作。在此锁定序列期间只允许使用字访问（32 位长）。*

每个锁定位冻结一个特定的配置寄存器（控制寄存器和复用功能寄存器）。

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK
															rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:17 保留，必须保持复位值。

位 16 **LCKK**：锁定键 (Lock key)
可随时读取此位。可使用锁定键写序列对其进行修改。
0：端口配置锁定键未激活。
1：端口配置锁定键已激活。GPIOx_LCKR 寄存器被锁定，直到下一次 MCU 复位或外设复位。
锁定键写序列：
WR LCKR[16] = ‘1’ + LCKR[15:0]
WR LCKR[16] = ‘0’ + LCKR[15:0]
WR LCKR[16] = ‘1’ + LCKR[15:0]
RD LCKR
RD LCKR[16] = ‘1’（此读操作为可选操作，但它可确认锁定已激活）

注： *在锁定键写序列期间，不能更改 LCK[15:0] 的值。*
锁定序列中的任何错误都将中止锁定操作。
在任一端口位上的第一个锁定序列之后，对 LCKK 位的任何读访问都将返回“1”，直到下一次 MCU 复位或外设复位为止。

位 15:0 **LCK[15:0]**：端口 x 锁定 I/O 引脚 y (Port x lock I/O pin y)（y = 15 到 0）
这些位都是读/写位，但只能在 LCKK 位等于“0”时执行写操作。
0：端口配置未锁定
1：端口配置已锁定

6.4.9 GPIO 复用功能低位寄存器 (GPIOx_AFRL)（x = A 到 D、F）

GPIO alternate function low register

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL7[3:0]				AFSEL6[3:0]				AFSEL5[3:0]				AFSEL4[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL3[3:0]				AFSEL2[3:0]				AFSEL1[3:0]				AFSEL0[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **AFSELy[3:0]：**端口 x 引脚 y 的复用功能选择 (Alternate function selection for port x pin y) (y = 0..7)
这些位通过软件写入，用于配置复用功能 I/O。

AFSELy 选择：
0000：AF0
0001：AF1
0010：AF2
0011：AF3
0100：AF4
0101：AF5
0110：AF6
0111：AF7
1000：保留
1001：保留
1010：保留
1011：保留
1100：保留
1101：保留
1110：保留
1111：保留

6.4.10 GPIO 复用功能高位寄存器 (GPIOx_AFRH)（x = A 到 D、F）

GPIO alternate function high register

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
AFSEL15[3:0]				AFSEL14[3:0]				AFSEL13[3:0]				AFSEL12[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AFSEL11[3:0]				AFSEL10[3:0]				AFSEL9[3:0]				AFSEL8[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **AFSELy[3:0]**：端口 x 引脚 y 的复用功能选择 (Alternate function selection for port x pin y) (y = 8..15)
这些位通过软件写入，用于配置复用功能 I/O。

AFSELy 选择：

0000：AF0
0001：AF1
0010：AF2
0011：AF3
0100：AF4
0101：AF5
0110：AF6
0111：AF7
1000：保留
1001：保留
1010：保留
1011：保留
1100：保留
1101：保留
1110：保留
1111：保留

6.4.11 GPIO 端口位复位寄存器 (GPIOx_BRR)（x = A 到 D、F）

GPIO port bit reset register

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:16 保留，必须保持复位值。

位 15:0 **BR[15:0]**：端口 x 复位 IO 引脚 y (Port x reset IO pin y)（y = 15 到 0）
这些位为只写。读取这些位可返回值 0x0000。
0：不会对相应的 ODx 位执行任何操作
1：复位相应的 ODx 位

6.4.12 GPIO 寄存器映射

下表提供了 GPIO 寄存器映射和复位值。

表 33. GPIO 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**GPIOA_MODER**	MODE15[1:0]		MODE14[1:0]		MODE13[1:0]		MODE12[1:0]		MODE11[1:0]		MODE10[1:0]		MODE9[1:0]		MODE8[1:0]		MODE7[1:0]		MODE6[1:0]		MODE5[1:0]		MODE4[1:0]		MODE3[1:0]		MODE2[1:0]		MODE1[1:0]		MODE0[1:0]	
	Reset value	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x00	**GPIOx_MODER** (where x = **B..D, F**)	MODE15[1:0]		MODE14[1:0]		MODE13[1:0]		MODE12[1:0]		MODE11[1:0]		MODE10[1:0]		MODE9[1:0]		MODE8[1:0]		MODE7[1:0]		MODE6[1:0]		MODE5[1:0]		MODE4[1:0]		MODE3[1:0]		MODE2[1:0]		MODE1[1:0]		MODE0[1:0]	
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	**GPIOx_OTYPER** (where x = **A..D, F**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OT15	OT14	OT13	OT12	OT11	OT10	OT9	OT8	OT7	OT6	OT5	OT4	OT3	OT2	OT1	OT0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**GPIOA_OSPEEDR**	OSPEED15[1:0]		OSPEED14[1:0]		OSPEED13[1:0]		OSPEED12[1:0]		OSPEED11[1:0]		OSPEED10[1:0]		OSPEED9[1:0]		OSPEED8[1:0]		OSPEED7[1:0]		OSPEED6[1:0]		OSPEED5[1:0]		OSPEED4[1:0]		OSPEED3[1:0]		OSPEED2[1:0]		OSPEED1[1:0]		OSPEED0[1:0]	
	Reset value	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**GPIOx_OSPEEDR** (where x = **B..D, F**)	OSPEED15[1:0]		OSPEED14[1:0]		OSPEED13[1:0]		OSPEED12[1:0]		OSPEED11[1:0]		OSPEED10[1:0]		OSPEED9[1:0]		OSPEED8[1:0]		OSPEED7[1:0]		OSPEED6[1:0]		OSPEED5[1:0]		OSPEED4[1:0]		OSPEED3[1:0]		OSPEED2[1:0]		OSPEED1[1:0]		OSPEED0[1:0]	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**GPIOA_PUPDR**	PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]		PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
	Reset value	0	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**GPIOx_PUPDR** (where x = **B..D, F**)	PUPD15[1:0]		PUPD14[1:0]		PUPD13[1:0]		PUPD12[1:0]		PUPD11[1:0]		PUPD10[1:0]		PUPD9[1:0]		PUPD8[1:0]		PUPD7[1:0]		PUPD6[1:0]		PUPD5[1:0]		PUPD4[1:0]		PUPD3[1:0]		PUPD2[1:0]		PUPD1[1:0]		PUPD0[1:0]	
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**GPIOx_IDR** (where x = **A..D, F**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ID15	ID14	ID13	ID12	ID11	ID10	ID9	ID8	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
	Reset value																	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
0x14	**GPIOx_ODR** (where x = **A..D, F**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OD15	OD14	OD13	OD12	OD11	OD10	OD9	OD8	OD7	OD6	OD5	OD4	OD3	OD2	OD1	OD0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**GPIOx_BSRR** (where x = **A..D, F**)	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0	BS15	BS14	BS13	BS12	BS11	BS10	BS9	BS8	BS7	BS6	BS5	BS4	BS3	BS2	BS1	BS0
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**GPIOx_LCKR** (where x = **A..D, F**)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LCKK	LCK15	LCK14	LCK13	LCK12	LCK11	LCK10	LCK9	LCK8	LCK7	LCK6	LCK5	LCK4	LCK3	LCK2	LCK1	LCK0
	Reset value																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 33. GPIO 寄存器映射和复位值 （续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x20	**GPIOx_AFRL** (where x = **A..D, F**)	AFSEL7 [3:0]				AFSEL6 [3:0]				AFSEL5 [3:0]				AFSEL4 [3:0]				AFSEL3 [3:0]				AFSEL2 [3:0]				AFSEL1 [3:0]				AFSEL0 [3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x24	**GPIOx_AFRH** (where x = **A..D, F**)	AFSEL15 [3:0]				AFSEL14 [3:0]				AFSEL13 [3:0]				AFSEL12 [3:0]				AFSEL11 [3:0]				AFSEL10 [3:0]				AFSEL9 [3:0]				AFSEL8 [3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**GPIOx_BRR** (where x = **A..D, F**)	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	BR15	BR14	BR13	BR12	BR11	BR10	BR9	BR8	BR7	BR6	BR5	BR4	BR3	BR2	BR1	BR0
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

7 系统配置控制器 (SYSCFG)

器件配有一组配置寄存器。系统配置控制器的主要用途如下：

- 在一些 I/O 端口上使能/禁止 I^2C 超快速模式
- 使能/禁止模拟开关升压器
- 配置 IR 调制信号及其输出极性
- 重新映射一些 I/O 端口
- 重新映射位于代码区域开头的存储空间
- 标记来自每个中断线的挂起中断
- 管理稳健性功能

7.1 SYSCFG 寄存器

7.1.1 SYSCFG 配置寄存器 1 (SYSCFG_CFGR1)

SYSCFG configuration register 1

该寄存器用于对存储器和 DMA 请求重映射进行特定配置以及用于控制特殊 I/O 功能。

存储器地址 0x0000 0000 的访问类型通过两个位来配置，软件通过这两位来选择物理映射，旁路硬件 BOOT 的选择结果。复位后，这两位的值由实际自举模式配置决定。

偏移地址：0x00

复位值：0x0000 000X（X 为实际自举模式配置选择的存储器模式）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C_PA10_FMP	I2C_PA9_FMP	I2C2_FMP	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP
								rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	UCPD2_STROBE	UCPD1_STROBE	BOOSTEN	IR_MOD[1:0]		IR_POL	PA12_RMP	PA11_RMP	Res.	MEM_MODE[1:0]	
					w	w	rw	rw		rw	rw	rw		rw	rw

位 31:24 保留，必须保持复位值。

位 23 **I2C_PA10_FMP**：PA10 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PA10)
此位由软件置 1 和清零。此位用于在 PA10 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 22 **I2C_PA9_FMP**：PA9 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PA9)
此位由软件置 1 和清零。此位用于在 PA9 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 21 **I2C2_FMP**：I2C2 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for I2C2)
此位由软件置 1 和清零。此位用于在通过 GPIOx_AFR 寄存器配置为 I2C2 的 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过相应 I2Cx_FMP 位在配置为 I2C2 的 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 20 **I2C1_FMP**：I2C1 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for I2C1)
此位由软件置 1 和清零。此位用于在通过 GPIOx_AFR 寄存器配置为 I2C1 的 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过相应 I2Cx_FMP 位在配置为 I2C1 的 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 19 **I2C_PB9_FMP**：PB9 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PB9)
此位由软件置 1 和清零。此位用于在 PB9 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 18 **I2C_PB8_FMP**：PB8 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PB8)
此位由软件置 1 和清零。此位用于在 PB8 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 17 **I2C_PB7_FMP**：PB7 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PB7)
此位由软件置 1 和清零。此位用于在 PB7 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 16 **I2C_PB6_FMP**：PB6 的超快速模式 (FM+) 使能 (Fast Mode Plus (FM+) enable for PB6)
此位由软件置 1 和清零。此位用于在 PB6 I/O 端口上使能 I^2C FM+ 驱动能力。
0：禁止
1：使能
此位处于禁止状态时，可通过 I2Cx_FMP 位之一在此 I/O 端口上使能 I^2C FM+ 驱动能力。使能 I^2C FM+ 时，将忽略速度控制。

位 15:11 保留，必须保持复位值。

位 10 **UCPD2_STROBE**：UCPD2 下拉配置选通 (UCPD2 pull-down configuration strobe)
上电后，UCPD2 CC1 和 CC2 PD0 和 PD2 引脚上的内部下拉电阻将使能（连接）。
将此位置 1 的操作具有以下“选通”效果：
- 若 UCPD2 未激活：禁止 CC1 和 CC2 上的 UCPD 下拉电阻
- 若 UCPD2 已使能，且此位与 CC1 和 CC2 引脚 UCPD 控制位一起配置时：应用相应配置

详细信息，请参见*第 35 节：USB Type-C™ / USB 供电接口 (UCPD)*。
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 9 **UCPD1_STROBE**：UCPD1 下拉配置选通 (UCPD1 pull-down configuration strobe)

上电后，UCPD1 CC1 和 CC2 PB15 和 PA8 引脚上的内部下拉电阻将使能（连接）。

将此位置 1 的操作具有以下“选通”效果：

- 若 UCPD1 未激活：禁止 CC1 和 CC2 上的 UCPD 下拉电阻
- 若 UCPD1 已使能，且此位与 CC1 和 CC2 引脚 UCPD 控制位一起配置时：应用相应配置

详细信息，请参见*第 35 节：USB Type-C™ / USB 供电接口 (UCPD)*。

此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 8 **BOOSTEN**：I/O 模拟开关升压器使能 (I/O analog switch voltage booster enable)

此位用于选择 I/O 模拟开关的供电方式：

0：V_{DD}

1：专用升压器（由 V_{DD} 供电）

使用模拟输入时，建议在 V_{DD} 较高时设置为 0，在 V_{DD} 较低（小于 2.4 V）时设置为 1。

位 7:6 IR_MOD[1:0]：IR 调制包络信号选择 (IR Modulation Envelope signal selection)

此位域用于选择 IR 调制包络的信号：

00：TIM16

01：USART1

10：STM32G071xx 和 STM32G081xx 上为 USART4，STM32G031xx 和 STM32G041xx 上为 USART2

11：保留

位 5 **IR_POL**：IR 输出极性选择 (IR output polarity selection)

0：IRTIM (IR_OUT) 的输出非反相

1：IRTIM (IR_OUT) 的输出反相

位 4 **PA12_RMP**：PA12 引脚重映射 (PA12 pin remapping)

此位由软件置 1 和清零。此位置 1 时，会将 PA12 引脚重映射为 PA10 GPIO 端口，而非 PA12 GPIO 端口。

0：无重映射 (PA12)

1：重映射 (PA10)

位 3 **PA11_RMP**：PA11 引脚重映射 (PA11 pin remapping)

此位由软件置 1 和清零。此位置 1 时，会将 PA11 引脚重映射为 PA9 GPIO 端口，而非 PA11 GPIO 端口。

0：无重映射 (PA11)

1：重映射 (PA9)

位 2 保留，必须保持复位值。

位 1:0 **MEM_MODE[1:0]**：存储器映射选择位 (Memory mapping selection bits)

这些位将由软件置 1 和清零。它们控制将哪块内部存储区域映射到地址 0x0000 0000。这些位的复位值和复位时的实际自举模式配置相同。更多详细信息，请参见*第 2.5 节：自举配置*。

x0：将主 Flash 映射到地址 0x0000 0000

01：将系统 Flash 映射到地址 0x0000 0000

11：将 SRAM 映射到地址 0x0000 0000

7.1.2 SYSCFG 配置寄存器 2 (SYSCFG_CFGR2)

SYSCFG configuration register 2

偏移地址：0x18

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PB2_CDEN	PB1_CDEN	PB0_CDEN	PA13_CDEN	PA6_CDEN	PA5_CDEN	PA3_CDEN	PA1_CDEN
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRAM_PEF	Res.	Res.	Res.	Res.	ECC_LOCK	PVD_LOCK	SRAM_PARITY_LOCK	LOCKUP_LOCK
							rc_w1					rw	rw	rw	rw

位 31:24 保留，必须保持复位值

位 23 **PB2_CDEN**：PB2 钳位二极管使能位 (PB2 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PB2 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 22 **PB1_CDEN**：PB1 钳位二极管使能位 (PB1 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PB1 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 21 **PB0_CDEN**：PB0 钳位二极管使能位 (PB0 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PB0 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 20 **PA13_CDEN**：PA13 钳位二极管使能位 (PA13 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PA13 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 19 **PA6_CDEN**：PA6 钳位二极管使能位 (PA6 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PA6 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 18 **PA5_CDEN**：PA5 钳位二极管使能位 (PA5 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PA5 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 17 **PA3_CDEN**：PA3 钳位二极管使能位 (PA3 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PA3 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 16 **PA1_CDEN**：PA1 钳位二极管使能位 (PA1 clamping diode enable bit)
此位由软件置 1 和清零。此位用于使能 PA1 引脚的钳位二极管（将钳位二极管连接到 V_{DD}）。
0：禁止
1：使能

位 15:9 保留，必须保持复位值

位 8 **SRAM_PEF**：SRAM 奇偶校验错误标志 (SRAM parity error flag)
检测到 SRAM 奇偶校验错误时，此位由硬件置 1。通过软件写入 1 可将此位清零。
0：未检测到 SRAM 奇偶校验错误
1：检测到 SRAM 奇偶校验错误

位 7:4 保留，必须保持复位值。

位 3 **ECC_LOCK**：ECC 错误锁定位 (ECC error lock bit)
此位由软件置 1，由系统复位清零。它用于是否将 Flash ECC 错误信号锁定并连通到 TIM1/15/16/17 的刹车输入。
0：ECC 错误与 TIM1/15/16/17 刹车输入断开连接
1：ECC 错误连接到 TIM1/15/16/17 刹车输入

位 2 **PVD_LOCK**：PVD 锁定使能位 (PVD lock enable bit)
此位由软件置 1，由系统复位清零。它用于是否将 PVD 中断信号锁定并连通到 TIM1/15/16/17 的刹车输入，其中 PVD 由 PWR_CR 寄存器的 PVDE 和 PVDRT[2:0]，PVDFT[2:0] 来使能和配置。
0：PVD 中断与 TIM1/15/16/17 刹车输入断开连接。PVDE 和 PVDRT[2:0]，PVDFT[2:0] 位可由应用程序设定。
1：PVD 中断连接到 TIM1/15/16/17 刹车输入，PVDE 和 PVDRT[2:0]，PVDFT[2:0] 位为只读位。

位 1 **SRAM_PARITY_LOCK**：SRAM 奇偶校验锁定位 (SRAM parity lock bit)
此位由软件置 1，由系统复位清零。它可用于使能并锁定 TIM1/15/16/17 刹车输入的 SRAM 奇偶校验错误信号连接。
0：SRAM 奇偶校验错误与 TIM1/15/16/17 刹车输入断开连接
1：SRAM 奇偶校验错误连接到 TIM1/15/16/17 刹车输入

位 0 **LOCKUP_LOCK**：Cortex®-M0+LOCKUP 位使能位 (Cortex®-M0+LOCKUP bit enable bit)
此位由软件置 1，由系统复位清零。它可用于使能并锁定 TIM1/15/16/17 刹车输入的 Cortex®-M0+ LOCKUP (Hardfault) 输出连接。
0：Cortex®-M0+ LOCKUP 输出与 TIM1/15/16/17 刹车输入断开连接
1：Cortex®-M0+ LOCKUP 输出连接到 TIM1/15/16/17 刹车输入

注： *位 16 到 23 仅在 STM32G031xx 和 STM32G041xx 中可用，在 STM32G071xx 和 STM32G081xx 中为保留位。*

7.1.3 SYSCFG 中断线 0 状态寄存器 (SYSCFG_ITLINE0)

SYSCFG interrupt line 0 status register

器件上实现了一组专用寄存器，用于将与每个中断线相关联的所有挂起中断源收集到一个寄存器中。这样一来，当多个中断源与中断线相关联时，用户执行单次读操作便可确定哪个外设需要服务。

这些寄存器中的所有位都是只读的，当有相应的中断请求挂起时由硬件置 1，并通过复位外设寄存器中的中断源标志来清零。

偏移地址：80h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WWDG
															r

位 31:1 保留（读为 0）

位 0 **WWDG**：窗口看门狗中断挂起标志 (Window watchdog interrupt pending flag)

7.1.4 SYSCFG 中断线 1 状态寄存器 (SYSCFG_ITLINE1)

SYSCFG interrupt line 1 status register

偏移地址：84h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDOUT
															r

位 31:1 保留（读为 0）

位 0 **PVDOUT**：PVD 电源监视中断请求挂起 (PVD supply monitoring interrupt request pending)（EXTI 线 16）。

7.1.5 SYSCFG 中断线 2 状态寄存器 (SYSCFG_ITLINE2)

SYSCFG interrupt line 2 status register

偏移地址：88h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RTC	TAMP
														r	r

位 31:3 保留（读为 0）

位 1 **RTC**：RTC 中断请求挂起 (RTC interrupt request pending)（EXTI 线 19）

位 0 **TAMP**：篡改中断请求挂起 (Tamper interrupt request pending)（EXTI 线 21）

7.1.6 SYSCFG 中断线 3 状态寄存器 (SYSCFG_ITLINE3)

SYSCFG interrupt line 3 status register

偏移地址：8Ch

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLASH_ ECC	FLASH_ ITF
														r	r

位 31:2 保留（读为 0）

位 1 **FLASH_ECC**：Flash 接口 ECC 中断请求挂起 (Flash interface ECC interrupt request pending)

位 0 **FLASH_ITF**：Flash 接口中断请求挂起 (Flash interface interrupt request pending)

7.1.7 SYSCFG 中断线 4 状态寄存器 (SYSCFG_ITLINE4)

SYSCFG interrupt line 4 status register

偏移地址：90h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RCC
															r

位 31:1 保留（读为 0）

位 0 **RCC**：复位和时钟控制中断请求挂起 (Reset and clock control interrupt request pending)

7.1.8 SYSCFG 中断线 5 状态寄存器 (SYSCFG_ITLINE5)

SYSCFG interrupt line 5 status register

偏移地址：94h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI1	EXTI0
														r	r

位 31:2 保留（读为 0）

位 1 **EXTI1**：EXTI 线 1 中断请求挂起 (EXTI line 1 interrupt request pending)

位 0 **EXTI0**：EXTI 线 0 中断请求挂起 (EXTI line 0 interrupt request pending)

7.1.9 SYSCFG 中断线 6 状态寄存器 (SYSCFG_ITLINE6)

SYSCFG interrupt line 6 status register

偏移地址：98h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI3	EXTI2
														r	r

位 31:2 保留（读为 0）

位 1 **EXTI3**：EXTI 线 3 中断请求挂起 (EXTI line 3 interrupt request pending)

位 0 **EXTI2**：EXTI 线 2 中断请求挂起 (EXTI line 2 interrupt request pending)

7.1.10 SYSCFG 中断线 7 状态寄存器 (SYSCFG_ITLINE7)

SYSCFG interrupt line 7 status register

偏移地址：9Ch

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	EXTI15	EXTI14	EXTI13	EXTI12	EXTI11	EXTI10	EXTI9	EXTI8	EXTI7	EXTI6	EXTI5	EXTI4
				r	r	r	r	r	r	r	r	r	r	r	r

位 31:10 保留（读为 0）

位 11 **EXTI15**：EXTI 线 15 中断请求挂起 (EXTI line 15 interrupt request pending)

位 10 **EXTI14**：EXTI 线 14 中断请求挂起 (EXTI line 14 interrupt request pending)

位 9 **EXTI13**：EXTI 线 13 中断请求挂起 (EXTI line 13 interrupt request pending)

位 8 **EXTI12**：EXTI 线 12 中断请求挂起 (EXTI line 12 interrupt request pending)

位 7 **EXTI11**：EXTI 线 11 中断请求挂起 (EXTI line 11 interrupt request pending)

位 6 **EXTI10**：EXTI 线 10 中断请求挂起 (EXTI line 10 interrupt request pending)

位 5 **EXTI9**：EXTI 线 9 中断请求挂起 (EXTI line 9 interrupt request pending)

位 4 **EXTI8**：EXTI 线 8 中断请求挂起 (EXTI line 8 interrupt request pending)

位 3 **EXTI7**：EXTI 线 7 中断请求挂起 (EXTI line 7 interrupt request pending)

位 2 **EXTI6**：EXTI 线 6 中断请求挂起 (EXTI line 6 interrupt request pending)

位 1 **EXTI5**：EXTI 线 5 中断请求挂起 (EXTI line 5 interrupt request pending)

位 0 **EXTI4**：EXTI 线 4 中断请求挂起 (EXTI line 4 interrupt request pending)

7.1.11 SYSCFG 中断线 8 状态寄存器 (SYSCFG_ITLINE8)

SYSCFG interrupt line 8 status register

偏移地址：A0h

系统复位值：0x0000 0000

此寄存器仅在 STM32G071xx 和 STM32G081xx 中可用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD2	UCPD1
														r	r

位 31:2 保留（读为 0）

位 1 **UCPD2**：UCPD2 中断请求挂起 (UCPD2 interrupt request pending)（EXTI 线 33）

位 0 **UCPD1**：UCPD1 中断请求挂起 (UCPD1 interrupt request pending)（EXTI 线 32）

7.1.12 SYSCFG 中断线 9 状态寄存器 (SYSCFG_ITLINE9)

SYSCFG interrupt line 9 status register

偏移地址：A4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH1
															r

位 31:1 保留（读为 0）

位 0 **DMA1_CH1**：DMA1 通道 1 中断请求挂起 (DMA1 channel 1 interrupt request pending)

7.1.13 SYSCFG 中断线 10 状态寄存器 (SYSCFG_ITLINE10)

SYSCFG interrupt line 10 status register

偏移地址：A8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH3	DMA1_CH2
														r	r

位 31:2 保留（读为 0）

位 1 **DMA1_CH3**：DMA1 通道 3 中断请求挂起 (DMA1 channel 3 interrupt request pending)

位 0 **DMA1_CH2**：DMA1 通道 2 中断请求挂起 (DMA1 channel 2 interrupt request pending)

7.1.14 SYSCFG 中断线 11 状态寄存器 (SYSCFG_ITLINE11)

SYSCFG interrupt line 11 status register

偏移地址：ACh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH7	DMA1_CH6	DMA1_CH5	DMA1_CH4	DMAMUX
											r	r	r	r	r

位 31:5 保留（读为 0）

位 4 **DMA1_CH7**：DMA1 通道 7 中断请求挂起 (DMA1 channel 7 interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 3 **DMA1_CH6**：DMA1 通道 6 中断请求挂起 (DMA1 channel 6 interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 2 **DMA1_CH5**：DMA1 通道 5 中断请求挂起 (DMA1 channel 5 interrupt request pending)

位 1 **DMA1_CH4**：DMA1 通道 4 中断请求挂起 (DMA1 channel 4 interrupt request pending)

位 0 **DMAMUX**：DMAMUX 中断请求挂起 (DMAMUX interrupt request pending)

7.1.15 SYSCFG 中断线 12 状态寄存器 (SYSCFG_ITLINE12)

SYSCFG interrupt line 12 status register

偏移地址：B0h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COMP2	COMP1	ADC
													r	r	r

位 31:3 保留（读为 0）

位 2 **COMP2**：比较器 2 中断请求挂起 (Comparator 2 interrupt request pending)（EXTI 线 18）
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 1 **COMP1**：比较器 1 中断请求挂起 (Comparator 1 interrupt request pending)（EXTI 线 17）
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 0 **ADC**：ADC 中断请求挂起 (ADC interrupt request pending)

7.1.16 SYSCFG 中断线 13 状态寄存器 (SYSCFG_ITLINE13)

SYSCFG interrupt line 13 status register

偏移地址：B4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM1_BRK	TIM1_UPD	TIM1_TRG	TIM1_CCU
												r	r	r	r

位 31:4 保留（读为 0）

位 3 **TIM1_BRK**：定时器 1 刹车中断请求挂起 (Timer 1 break interrupt request pending)

位 2 **TIM1_UPD**：定时器 1 更新中断请求挂起 (Timer 1 update interrupt request pending)

位 1 **TIM1_TRG**：定时器 1 触发中断请求挂起 (Timer 1 trigger interrupt request pending)

位 0 **TIM1_CCU**：定时器 1 换相中断请求挂起 (Timer 1 commutation interrupt request pending)

7.1.17 SYSCFG 中断线 14 状态寄存器 (SYSCFG_ITLINE14)

SYSCFG interrupt line 14 status register

偏移地址：B8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM1_CC
															r

位 31:1 保留（读为 0）

位 0 **TIM1_CC**：定时器 1 捕捉比较中断请求挂起 (Timer 1 capture compare interrupt request pending)

7.1.18 SYSCFG 中断线 15 状态寄存器 (SYSCFG_ITLINE15)

SYSCFG interrupt line 15 status register

偏移地址：BCh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2
															r

位 31:1 保留（读为 0）

位 0 **TIM2**：定时器 2 中断请求挂起 (Timer 2 interrupt request pending)

7.1.19 SYSCFG 中断线 16 状态寄存器 (SYSCFG_ITLINE16)

SYSCFG interrupt line 16 status register

偏移地址：C0h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM3
															r

位 31:1 保留（读为 0）

位 0 **TIM3**：定时器 3 中断请求挂起 (Timer 3 interrupt request pending)

7.1.20 SYSCFG 中断线 17 状态寄存器 (SYSCFG_ITLINE17)

SYSCFG interrupt line 17 status register

偏移地址：C4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM1	DAC	TIM6
													r	r	r

位 31:3 保留（读为 0）

位 2 **LPTIM1**：低功耗定时器 1 中断请求挂起 (Low-power timer 1 interrupt request pending)（EXTI 线 29）

位 1 **DAC**：DAC 下溢中断请求挂起 (DAC underrun interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 0 **TIM6**：定时器 6 中断请求挂起 (Timer 6 interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

7.1.21 SYSCFG 中断线 18 状态寄存器 (SYSCFG_ITLINE18)

SYSCFG interrupt line 18 status register

偏移地址：C8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2	TIM7
														r	r

位 31:2 保留（读为 0）

位 1 **LPTIM2**：低功耗定时器 2 中断请求挂起 (Low-power timer 2 interrupt request pending)（EXTI 线 30）

位 0 **TIM7**：定时器 7 中断请求挂起 (Timer 7 interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

7.1.22 SYSCFG 中断线 19 状态寄存器 (SYSCFG_ITLINE19)

SYSCFG interrupt line 19 status register

偏移地址：CCh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM14
															r

位 31:1 保留（读为 0）

位 0 **TIM14**：定时器 14 中断请求挂起 (Timer 14 interrupt request pending)

7.1.23 SYSCFG 中断线 20 状态寄存器 (SYSCFG_ITLINE20)

SYSCFG interrupt line 20 status register

偏移地址：D0h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM15
															r

位 31:1 保留（读为 0）

位 0 **TIM15**：定时器 15 中断请求挂起 (Timer 15 interrupt request pending)

此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

7.1.24 SYSCFG 中断线 21 状态寄存器 (SYSCFG_ITLINE21)

SYSCFG interrupt line 21 status register

偏移地址：D4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM16
															r

位 31:1 保留（读为 0）

位 0 **TIM16**：定时器 16 中断请求挂起 (Timer 16 interrupt request pending)

7.1.25 SYSCFG 中断线 22 状态寄存器 (SYSCFG_ITLINE22)

SYSCFG interrupt line 22 status register

偏移地址：D8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17
															r

位 31:1 保留（读为 0）

位 0 **TIM17**：定时器 17 中断请求挂起 (Timer 17 interrupt request pending)

7.1.26 SYSCFG 中断线 23 状态寄存器 (SYSCFG_ITLINE23)

SYSCFG interrupt line 23 status register

偏移地址：DCh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C1
															r

位 31:1 保留（读为 0）

位 0 **I2C1**：I2C1 中断请求挂起 (I2C1 interrupt request pending)，与 EXTI 线 23 结合使用

7.1.27 SYSCFG 中断线 24 状态寄存器 (SYSCFG_ITLINE24)

SYSCFG interrupt line 24 status register

偏移地址：E0h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C2
															r

位 31:1 保留（读为 0）

位 0 **I2C2**：I2C2 中断请求挂起 (I2C2 interrupt request pending)

7.1.28 SYSCFG 中断线 25 状态寄存器 (SYSCFG_ITLINE25)

SYSCFG interrupt line 25 status register

偏移地址：E4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPI1
															r

位 31:1 保留（读为 0）

位 0 **SPI1**：SPI1 中断请求挂起 (SPI1 interrupt request pending)

7.1.29 SYSCFG 中断线 26 状态寄存器 (SYSCFG_ITLINE26)

SYSCFG interrupt line 26 status register

偏移地址：E8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPI2
															r

位 31:1 保留（读为 0）

位 0 **SPI2**：SPI2 中断请求挂起 (SPI2 interrupt request pending)

7.1.30 SYSCFG 中断线 27 状态寄存器 (SYSCFG_ITLINE27)

SYSCFG interrupt line 27 status register

偏移地址：ECh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART1
															r

位 31:1 保留（读为 0）

位 0 **USART1**：USART1 中断请求挂起 (USART1 interrupt request pending)，与 EXTI 线 25 结合使用

7.1.31 SYSCFG 中断线 28 状态寄存器 (SYSCFG_ITLINE28)

SYSCFG interrupt line 28 status register

偏移地址：F0h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART2
															r

位 31:1 保留（读为 0）

位 0 **USART2**：USART2 中断请求挂起 (USART2 interrupt request pending)，与 EXTI 线 26 结合使用

7.1.32 SYSCFG 中断线 29 状态寄存器 (SYSCFG_ITLINE29)

SYSCFG interrupt line 29 status register

偏移地址：F4h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPUART1	USART4	USART3
													r	r	r

位 31:3 保留（读为 0）

位 2 **LPUART1**：LPUART1 中断请求挂起 (LPUART1 interrupt request pending)（EXTI 线 28）

位 1 **USART4**：USART4 中断请求挂起 (USART4 interrupt request pending)
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 0 **USART3**：USART3 中断请求挂起 (USART3 interrupt request pending)，与 EXTI 线 28 结合使用。
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

7.1.33 SYSCFG 中断线 30 状态寄存器 (SYSCFG_ITLINE30)

SYSCFG interrupt line 30 status register

偏移地址：F8h

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CEC
															r

位 31:1 保留（读为 0）

位 0 **CEC**：CEC 中断请求挂起 (CEC interrupt request pending)，与 EXTI 线 27 结合使用
此位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

7.1.34 SYSCFG 中断线 31 状态寄存器 (SYSCFG_ITLINE31)

SYSCFG interrupt line 31 status register

偏移地址：FCh

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES	RNG
														r	r

位 31:2 保留（读为 0）

位 1 **AES**：AES 中断请求挂起 (AES interrupt request pending)

位 0 **RNG**：RNG 中断请求挂起 (RNG interrupt request pending)

7.1.35 SYSCFG 寄存器映射

下表列出了 SYSCFG 寄存器映射和复位值。

表 34. SYSCFG 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**SYSCFG_CFGR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C_PA10_FMP	I2C_PA9_FMP	I2C2_FMP	I2C1_FMP	I2C_PB9_FMP	I2C_PB8_FMP	I2C_PB7_FMP	I2C_PB6_FMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BOOSTEN	IR_MOD		IR_POL	PA12_RMP	PA11_RMP	Res.	MEM_MODE[1:0]	
	Reset value									0	0	0	0	0	0	0	0								0	0	0	0	0	0		X	X
0x04 to 0x17	**Reserved**	Reserved																															
0x18	**SYSCFG_CFGR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SRAM_PEF	Res.	Res.	Res.	Res.	ECC_LOCK	PVD_LOCK	SRAM_PARITY_LOCK	LOCUP_LOCK
	Reset value																								0					0	0	0	0
0x1D to 0x7F	**Reserved**	Reserved																															
0x80	**SYSCFG_ITLINE0**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WWDG
	Reset value																																0
0x84	**SYSCFG_ITLINE1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PVDOU
	Reset value																																0
0x88	**SYSCFG_ITLINE2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RTC	TAMP
	Reset value																															0	0
0x8C	**SYSCFG_ITLINE3**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FLASH_ECC	FLASH_ITF
	Reset value																															0	0
0x90	**SYSCFG_ITLINE4**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RCC
	Reset value																																0
0x94	**SYSCFG_ITLINE5**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI1	EXTI0
	Reset value																															0	0
0x98	**SYSCFG_ITLINE6**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI3	EXTI2
	Reset value																															0	0
0x9C	**SYSCFG_ITLINE7**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EXTI15	EXTI14	EXTI13	EXTI12	EXTI11	EXTI10	EXTI9	EXTI8	EXTI7	EXTI6	EXTI5	EXTI4
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0
0xA0	**SYSCFG_ITLINE8**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UCPD2	UCPD1
	Reset value																															0	0

表 34. SYSCFG 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xA4	**SYSCFG_ITLINE9**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH1
	Reset value																																0
0xA8	**SYSCFG_ITLINE10**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH3	DMA1_CH2
	Reset value																														0	0	0
0xAC	**SYSCFG_ITLINE11**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMA1_CH7	DMA1_CH6	DMA1_CH5	DMA1_CH4	DMAMUX
	Reset value																												0	0	0	0	0
0xB0	**SYSCFG_ITLINE12**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COMP2	COMP1	ADC
	Reset value																														0	0	0
0xB4	**SYSCFG_ITLINE13**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM1_BRK	TIM1_UPD	TIM1_TRG	TIM1_CCU
	Reset value																													0	0	0	0
0xB8	**SYSCFG_ITLINE14**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM1_CC
	Reset value																																0
0xBC	**SYSCFG_ITLINE15**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM2
	Reset value																																0
0xBC	**Reserved**	Reserved																															
0xC0	**SYSCFG_ITLINE16**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM3
	Reset value																																0
0xC4	**SYSCFG_ITLINE17**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM1	DAC	TIM6
	Reset value																														0	0	0
0xC8	**SYSCFG_ITLINE18**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPTIM2	TIM7
	Reset value																															0	0
0xCC	**SYSCFG_ITLINE19**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM14
	Reset value																																0
0xD0	**SYSCFG_ITLINE20**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM15
	Reset value																																0
0xD4	**SYSCFG_ITLINE21**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM16
	Reset value																																0
0xD8	**SYSCFG_ITLINE22**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TIM17
	Reset value																																0

表 34. SYSCFG 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0xDC	**SYSCFG_ITLINE23**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C1
	Reset value																																0
0xE0	**SYSCFG_ITLINE24**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	I2C2
	Reset value																																0
0xE4	**SYSCFG_ITLINE25**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPI1
	Reset value																																0
0xE8	**SYSCFG_ITLINE26**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SPI2
	Reset value																																0
0xEC	**SYSCFG_ITLINE27**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART1
	Reset value																																0
0xF0	**SYSCFG_ITLINE28**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	USART2
	Reset value																																0
0xF4	**SYSCFG_ITLINE29**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LPUART1	USART4	USART3
	Reset value																														0	0	0
0xF8	**SYSCFG_ITLINE30**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CEC
	Reset value																																0
0xFC	**SYSCFG_ITLINE31**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AES	RNG
	Reset value																															0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

8 互连矩阵

8.1 简介

多个外设间有直接连接。

这可以在外设间实现自动通信和/或同步，节省了 CPU 资源，进而降低功耗。

此外，这些硬件连接消除了软件延迟，允许设计可预测系统。

这些互连可以在运行、睡眠、低功耗运行、低功耗睡眠、停止 0 和停止 1 模式下工作，具体取决于外设。

8.2 连接汇总

表 35. 互连矩阵(1)(2)

源	目标														
	TIM1	TIM2	TIM3	TIM14	TIM15	TIM16	TIM17	LPTIM1	LPTIM2	ADC	DAC	DMAMUX	COMP1	COMP2	IRTIM
TIM1	-	8.3.1	8.3.1	-	-	-	-	-	-	8.3.2	8.3.4	-	8.3.7	8.3.7	-
TIM2	8.3.1	-	8.3.1	-	8.3.1	-	-	-	-	8.3.2	8.3.4	-	8.3.7	8.3.7	-
TIM3	8.3.1	8.3.1	-	-	8.3.1	-	-	-	-	8.3.2	8.3.4	-	8.3.7	8.3.7	-
TIM14	-	8.3.1	8.3.1	-	-	-	-	-	-	-	-	8.3.12	-	-	-
TIM15	8.3.1	8.3.1	8.3.1	-	-	-	-	-	-	8.3.2	8.3.4	-	-	-	-
TIM16	-	-	-	-	8.3.1	-	-	-	-	-	-	-	-	-	8.3.11
TIM17	8.3.1	-	-	-	8.3.1	-	-	-	-	-	-	-	-	-	8.3.11
TIM6	-	-	-	-	-	-	-	-	-	8.3.2	8.3.4	-	-	-	-
TIM7	-	-	-	-	-	-	-	-	-	-	8.3.4	-	-	-	-
LPTIM1	-	-	-	-	-	-	-	-	-	-	8.3.4	8.3.12	-	-	-
LPTIM2	-	-	-	-	-	-	-	-	-	-	8.3.4	8.3.12	-	-	-
USART1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	8.3.11
USART4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	8.3.11
ADC	8.3.3	-	-	-	-	-	-	-	-	-	-	-	-	-	-
温度传感器	-	-	-	-	-	-	-	-	-	8.3.8	-	-	-	-	-
VBAT	-	-	-	-	-	-	-	-	-	8.3.8	-	-	-	-	-
VREFINT	-	-	-		-	-	-	-	-	8.3.8	-	-	-	-	-
HSE	-	-	-	8.3.5	-	-	8.3.5	-	-	-	-	-	-	-	-
LSE	-	8.3.5	-	-	-	8.3.5	-	-	-	-	-	-	-	-	-
LSI	-	-	-	-	-	8.3.5	-	-	-	-	-	-	-	-	-

表 35. 互连矩阵(1)(2) （续）

源	目标														
	TIM1	TIM2	TIM3	TIM14	TIM15	TIM16	TIM17	LPTIM1	LPTIM2	ADC	DAC	DMAMUX	COMP1	COMP2	IRTIM
MCO	-	-	-	8.3.5	-	-	8.3.5	-	-	-	-	-	-	-	-
EXTI	-	-	-	-	-	-	-	-	-	8.3.2	8.3.4	-	-	-	-
RTC 和 TAMP	-	-	-	8.3.5	-	8.3.5	-	8.3.6	8.3.6	-	-	-	-	-	-
COMP1	8.3.9	8.3.9	8.3.9	-	8.3.9	8.3.9	8.3.9	8.3.6	8.3.6	-	-	-	-	-	-
COMP2	8.3.9	8.3.9	8.3.9	-	8.3.9	8.3.9	8.3.9	8.3.6	8.3.6	-	-	-	-	-	-
SYST ERR	8.3.10	8.3.10	8.3.10	-	8.3.10	8.3.10	8.3.10	-	-	-	-	-	-	-	-

1. 表中的编号是*第 8.3 节：互连详细信息*中相应小节的链接。
2. 灰色单元格中的 “-” 符号表示 “无互连”。

8.3 互连详细信息

8.3.1 从 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17 到 TIM1、TIM2、TIM3 和 TIM15

目的

某些 TIMx 定时器从内部连接在一起，以实现定时器同步或链接。

当某个定时器配置为主模式时，可对另一个配置为从模式的定时器的计数器执行复位、启动、停止操作或为其提供时钟。

*第 21.3.19 节：定时器同步*中对功能进行了说明。

以下章节对同步模式进行了详细说明：

- *第 20.3.26 节：定时器同步*（面向高级控制定时器 TIM1）
- *第 21.3.18 节：定时器与外部触发同步*（面向通用定时器 TIM2/TIM3）
- *第 24.4.19 节：外部触发同步（仅适用于 TIM15）*（面向通用定时器 TIM15）

触发信号

在可配置定时器事件发生后，输出（来自主设备）出现在 TIMx_TRGO（和 TIMx_TRGOx）信号上。

对于没有触发输出的 TIM14、TIM16 和 TIM17 定时器，将使用输出比较 1 代替。

输入（到从设备）位于 TIMx_ITR0/ITR1/ITR2/ITR3 信号上。

TIM1 的输入和输出信号如*图 103：高级控制定时器框图*所示。

*表 109：TIMx 内部触发连接*和*表 116：TIMx 内部触发连接*介绍了可能的主/从连接。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.2 从 TIM1、TIM2、TIM3、TIM6、TIM15 和 EXTI 到 ADC

目的

通用定时器 TIM2、TIM3 和 TIM15、基本定时器 TIM6、高级控制定时器 TIM1 和 EXTI 可用于生成 ADC 触发事件。

*第 20.3.27 节：ADC 同步*对 TIMx 同步进行了说明。

*第 14.4 节：外部触发转换和触发极性（EXTSEL、EXTEN）*对 ADC 同步进行了说明。

触发信号

输出（来自定时器）位于 TIMx_TRGO、TIMx_TRGO2 或 TIMx_CCx 信号事件上。

输入（到 ADC）位于 EXT[15:0] 和 JEXT[15:0] 信号上。

*表 62：外部触发器*给出了定时器和 ADC 之间的连接。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.3 从 ADC 到 TIM1

目的

ADC 可通过看门狗信号向高级控制定时器 TIM1 提供触发事件。

*第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*中对 ADC 模拟看门狗设置进行了说明。

*第 20.3.4 节：外部触发输入*中对定时器的触发设置进行了说明。

触发信号

输出（来自 ADC）位于信号 ADCn_AWDx_OUT 上，其中 n = 1、2、3（针对 ADC），x = 1、2、3（每个 ADC 具有 3 个看门狗）；输入（到定时器）位于信号 TIMx_ETR（外部触发信号）上。

相关功耗模式

该互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.4 从 TIM1、TIM2、TIM3、TIM6、TIM7、TIM15、LPTIM1、LPTIM2 和 EXTI 到 DAC

目的

通用定时器 TIM2/TIM3/TIM15、基本定时器 TIM6、TIM7、低功耗定时器 LPTIM1/LPTIM2 以及高级控制定时器 TIM1 可以触发 DAC 转换。

触发信号

每个定时器的 TIMx_TRGO 输出直接连接到相应的 DAC 输入。

*第 15.4.7 节：DAC 触发选择*中给出了 DAC 触发输入的选择（单/双模式）。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.5 从 HSE、LSE、LSI、MCO、RTC 和 TAMP 到 TIM2、TIM14、TIM16 和 TIM17

目的

可以选择外部时钟（HSE 和 LSE）、内部时钟 (LSI)、微控制器输出时钟 (MCO)、RTC 时钟、RTC 唤醒中断和 GPIO 作为输入来捕获 TIM14/TIM16/TIM17 定时器的通道 1。

定时器允许校准或精确测量内部时钟（如 HSI16 或 LSI）以及将精确的时钟（如 LSE 或 HSE/32）用于提供参考时序。有关详细信息，请参见*第 5.2.15 节：基于 TIM14/TIM16/TIM17 的内部/外部时钟测量*。

使用低速外部 (LSE) 振荡器时，无需额外的硬件连接。

外部时钟 LSE 可作用于通用定时器 (TIM2) 上 TIM2_ETR 的输入，请参见*第 21.4.24 节：TIM2 复用功能选项寄存器 1 (TIM2_AF1)*。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.6 从 RTC、TAMP、COMP1 和 COMP2 到 LPTIM1 和 LPTIM2

目的

RTC 闹钟 A/B、TAMP1/2 输入检测、COMP1/2_OUT 和 GPIO 复用功能可用作触发信号以启动 LPTIM 计数器 LPTIM1/2。

触发信号

第 25.4.7 节：触发多路复用器（以及后续部分）对此触发功能进行了说明。

*表 124：LPTIM1 外部触发连接*和*表 125：LPTIM2 外部触发连接*对输入选择进行了说明。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠、停止 0 和停止 1 功耗模式下工作。

8.3.7 从 TIM1、TIM2、TIM3 和 TIM15 到 COMP1 和 COMP2

目的

高级控制定时器 TIM1 和通用定时器 TIM2、TIM3 和 TIM15 可用作 COMP1 和 COMP2 的消隐窗口输入。

*第 17.3.7 节：比较器输出消隐功能*对消隐功能进行了说明。

以下部分给出了消隐源：

- *第 17.6.1 节：比较器 1 控制和状态寄存器 (COMP1_CSR)* 位 20:18 BLANKING[2:0]
- *第 17.6.2 节：比较器 2 控制和状态寄存器 (COMP2_CSR)* 位 20:18 BLANKING[2:0]

触发信号

定时器输出信号 TIMx_OCx 是 COMP1/COMP2 的消隐源输入。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.8 从内部模拟源到 ADC

目的

内部温度传感器输出电压 V_{TS}、内部参考电压 V_{REFINT} 和 V_{BAT} 监视通道连接到 ADC 输入通道。

更多信息请参见：

- *第 14.2 节：ADC 主要特性*
- *第 14.3.8 节：通道选择（CHSEL、SCANDIR、CHSELRMOD）*
- *图 14.9：温度传感器和内部参考电压*
- *图 14.10：电池电压监视*

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.9 从 COMP1 和 COMP2 到 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17

目的

COMP1 和 COMP2 比较器输出可连接到 TIM1、TIM2 或 TIM3 的输入捕获或 TIMx_ETR 输入。

*第 20.3.4 节：外部触发输入*对与 ETR 的连接进行了说明。

通过使用 I/O 的开漏连接选择 GPIO 复用功能，还可将 COMP1 和 COMP2 比较器输出用作 TIM1、TIM15、TIM16 和 TIM17 的 TIMx_BKIN 或 TIMx_BKIN2 刹车输入信号。请参见*第 20.3.17 节：双向刹车输入*。

以下部分给出了可能的连接：

- *第 20.4.23 节：TIM1 选项寄存器 1 (TIM1_OR1)*
- *第 20.4.28 节：TIM1 复用功能寄存器 2 (TIM1_AF2)*
- *第 21.4.22 节：TIM2 选项寄存器 1 (TIM2_OR1)*
- *第 24.3 节：TIM16/TIM17 主要特性*

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.10 从系统错误到 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17

目的

CSS、CPU Hardfault、RAM 奇偶校验错误、FLASH ECC 双重错误检测，PVD 可面向 TIM1、TIM2、TIM3、TIM15、TIM16 和 TIM17 以定时器刹车形式生成系统错误。

刹车功能的目的是保护由这些定时器生成的 PWM 信号所驱动的功率器件。

以下部分列出了可能的刹车源：

- *第 20.3.16 节：使用刹车功能* (TIM1)
- *第 24.4.13 节：使用断路功能* (TIM15/TIM16/TIM17)
- *图 237：TIM15 框图*
- *图 238：TIM16/TIM17 框图*

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.11 从 TIM16、TIM17、USART1 和 USART4 到 IRTIM

目的

与 USART1 或 USART4 传输信号相关的 TIM16 或 TIM17 定时器的 TIMx_OC1 输出通道可生成红外输出波形。

第 26 节：红外接口 (IRTIM) 对此功能进行了介绍。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

8.3.12 从 TIM14、LPTIM1 和 LPTIM2 到 DMAMUX

目的

TIM14 通用定时器、LPTIM1 和 LPTIM2 低功耗定时器以及 EXTI 可用作 DMAMUX 的触发事件。

相关功耗模式

这些互连在运行、睡眠、低功耗运行和低功耗睡眠功耗模式下工作。

9 直接存储器访问控制器 (DMA)

9.1 简介

直接存储器访问 (DMA) 控制器是一个主控总线系统外设。

当通过控制为 CPU 减轻负担时，DMA 用于在存储器映射的外设和/或存储器之间进行可编程的数据传输。

DMA 控制器采用单 AHB 主控总线架构。

DMA 有一个实例，STM32G071xx 和 STM32G081xx 器件上有 7 个通道，STM32G031xx 和 STM32G041xx 上有 5 个通道。

每个通道都专门管理来自一个或更多外设的存储器访问请求。DMA 包含一个仲裁器，用于处理 DMA 请求间的优先级。

9.2 DMA 主要特性

- 单 AHB 主控总线
- 外设到存储器、存储器到外设、存储器到存储器以及外设到外设的数据传输
- 访问（作为源和目标）片上存储器映射的器件，例如 Flash、SRAM、AHB 和 APB 外设
- 所有 DMA 通道均可单独配置：
  - 每个通道均与来自外设的 DMA 请求信号或存储器到存储器传输中的软件触发信号相关联。由软件来完成配置。
  - 各请求之间的优先级可用软件编程（每通道 4 个级别：非常高、高、中、低），在软件优先级相同的情况下可以通过硬件决定优先级（例如，通道 1 请求的优先级高于通道 2 请求的优先级）。
  - 源和目标的传输大小（字节、半字、字）彼此独立，模拟打包和拆包。源和目标的地址必须根据传输数据的大小进行对齐。
  - 支持外设与存储器之间的双向传输，并支持循环缓冲区管理。
  - 可编程的待传输数据数目：0 到 2^{16} - 1
- 每个通道生成一个中断请求。每个中断请求均因以下三个 DMA 事件中的任意一个而引起：传输完成、半传输或传输错误。

9.3 DMA 实现

9.3.1 DMA

DMA 使用*表 36* 中所示的硬件配置参数实现。

表 36. DMA 实现

特性	DMA
通道数	7/5 (1)

1. 七条通道用于 STM32G071xx 和 STM32G081xx，五条通道用于 STM32G031xx 和 STM32G041xx。

9.3.2 DMA 请求映射

DMA 控制器通过 DMAMUX 外设连接至来自 AHB/APB 外设的 DMA 请求。

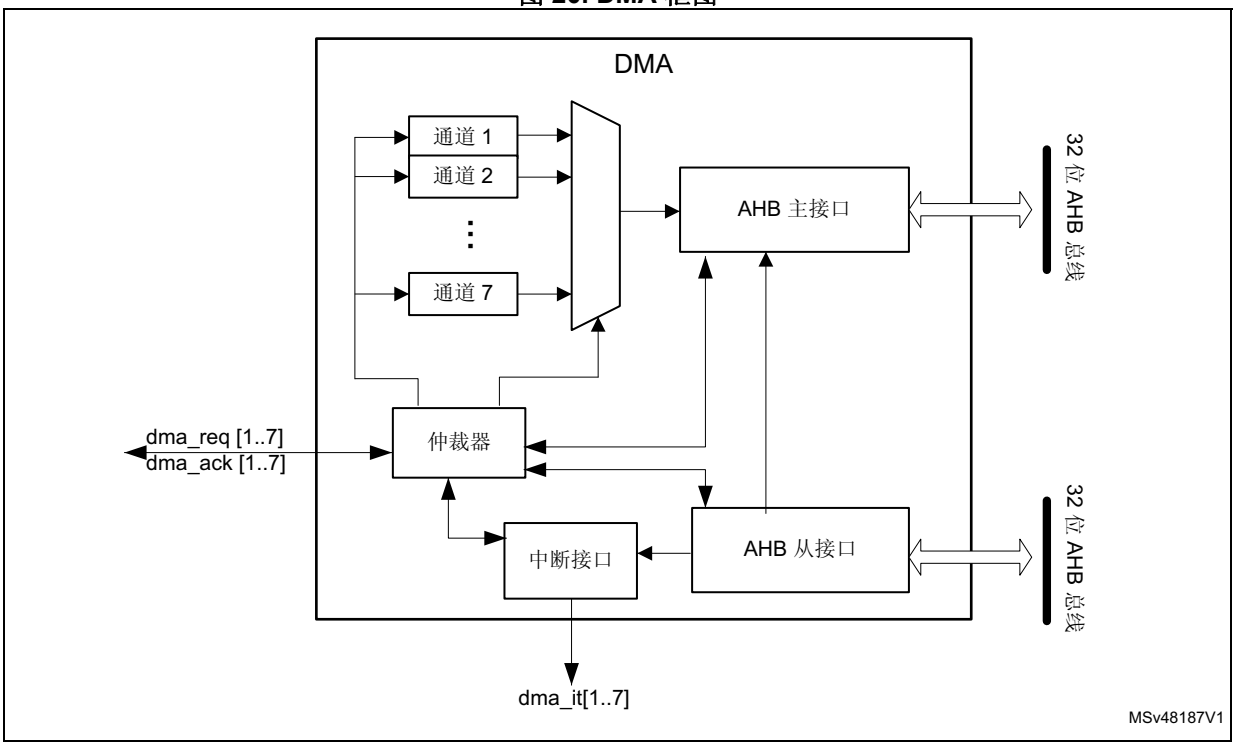
有关不同请求的映射，请参见*第 10.3 节：DMAMUX 实现*。

9.4 DMA 功能说明

9.4.1 DMA 框图

DMA 框图如*图 20* 所示。

图 20. DMA 框图



DMA 控制器通过与其他系统主设备共用 AHB 系统总线来执行直接存储器传输。总线矩阵执行循环调度。当 CPU 与 DMA 访问目标（存储器或外设）相同时，DMA 请求会将 CPU 对系统总线的访问停止数个总线周期。

根据通过 AHB 从接口实现的相应配置，DMA 控制器会在 DMA 通道及其接收的相关请求之间进行仲裁。DMA 控制器还会通过单一 AHB 端口主器件调度 DMA 数据传输。

DMA 控制器按通道向中断控制器生成中断。

9.4.2 DMA 引脚和内部信号

表 37. DMA 内部输入/输出信号

信号名称	信号类型	说明
dma_req[x]	输入	DMA 通道 x 请求
dma_ack[x]	输出	DMA 通道 x 应答
dma_it[x]	输出	DMA 通道 x 中断

9.4.3 DMA 传输

软件在通道级配置 DMA 控制器，以便执行块传输，此类传输由一系列 AHB 总线传输组成。

DMA 块传输可从外设请求，或在进行存储器到存储器传输时由软件触发。

触发该事件后，会按照以下步骤进行单次 DMA 传输：

1. 外设向 DMA 控制器发送单个 DMA 请求信号。
2. DMA 控制器按照与此外设请求相关的通道的优先级来处理该请求。
3. 只要 DMA 控制器授权给外设，DMA 控制器就会向外设发送确认信号。
4. 外设获得 DMA 控制器的确认信号后，便会立即释放其请求。
5. 一旦外设使请求失效，DMA 控制器就会释放确认信号。

外设可继续发送请求，再次启动 DMA 传输。

不论外设是传输源还是传输目标，都使用请求/应答协议。例如，对于存储器到外设传输，外设通过对 DMA 控制器驱动其单个请求信号来启动传输。DMA 控制器随后读取存储器中的单个数据，并将该数据写入外设。

对于给定通道 x，DMA 块传输由以下内容的重复序列组成：

- 单次 DMA 传输，其中封装单个数据的两次 AHB 传输（通过 DMA AHB 总线主控实现）：
  - 通过内部当前外设/存储器地址寄存器进行寻址，从外设数据寄存器或存储器单元中读取单个数据（字节、半字或字）。
    用于首次传输的起始地址是在 DMA_CPARx 或 DMA_CMARx 寄存器中编程的外设或存储器基址。
  - 通过内部当前外设/存储器地址寄存器进行寻址，向外设数据寄存器或存储器单元中写入单个数据（字节、半字或字）。
    用于首次传输的起始地址是在 DMA_CPARx 或 DMA_CMARx 寄存器中编程的外设或存储器基址。
- 编程的 DMA_CNDTRx 寄存器在传输后递减
  该寄存器包含待传输数据项的剩余数目（AHB“先读后写”传输次数）。

重复执行该序列，直至 DMA_CNDTRx 为空。

注： *AHB 主控总线源地址/目标地址必须根据传输至源/目标的单个数据的设定大小进行对齐。*

9.4.4 DMA 仲裁

DMA 仲裁器管理不同通道间的优先级。

当仲裁器为某个有效通道 x 授予优先权后（硬件请求或软件触发），会发起单次 DMA 传输（例如，单个数据的一次 AHB“先读后写”传输）。随后仲裁器会再次对有效通道组进行仲裁，并选择优先级最高的通道。

优先级管理分为两个阶段：

- 软件：每个通道的优先级均在 DMA_CCRx 寄存器中配置为以下四个不同级别之一：
  - 非常高
  - 高
  - 中
  - 低
- 硬件：如果两个请求的软件优先级相同，则索引编号最低的通道优先。例如，通道 2 的优先级高于通道 4。

当通道 x 被编程为在存储器到存储器模式下进行块传输时，在此通道 x 的各个单次 DMA 传输之间将进行重新仲裁。每当存在其他同时带有有效请求的通道时，DMA 仲裁器便会自动授权切换到其他有有效请求的通道中具有最高优先级的通道，此通道的优先级可能低于存储器到存储器通道。

9.4.5 DMA 通道

各个通道均能处理外设寄存器（位于固定地址中）与存储器单元之间的 DMA 传输。待传输数据项的数目可编程。每个传输完成后，包含待传输的数据项数目的寄存器都会递减。

DMA 通道以块传输的方式进行编程设置。

数据大小可编程

要传输到外设和存储器的单个数据的大小（字节、半字或字）可分别通过 DMA_CCRx 寄存器的 PSIZE[1:0] 和 MSIZE[1:0] 位域进行编程。

指针递增

根据 DMA_CCRx 寄存器的 PINC 位和 MINC 位的状态，外设和存储器指针在每次传输后可自动递增。

如果使能了**递增模式**（PINC 或 MINC 置 1），则下次传输的地址是前一次传输的地址加上 1、2 或 4，具体取决于 PSIZE[1:0] 或 MSIZE[1:0] 中定义的数据大小。首次传输的地址可在 DMA_CPARx 或 DMA_CMARx 寄存器中进行编程。在传输过程中，这些寄存器将保持初始编程的值。软件无法获得当前传输的地址（位于当前内部外设或存储器地址寄存器中）。

如果将通道 x 配置为**非循环模式**，则在最后一次数据传输完成后（即待传输的单个数据数目达到零后），将不处理任何 DMA 请求。必须禁止 DMA 通道，这样才能将新的数据项数目重新加载到 DMA_CNDTRx 寄存器。

注： *如果禁止通道 x，DMA 寄存器不会被复位。DMA 通道寄存器（DMA_CCRx、DMA_CPARx 和 DMA_CMARx）仍保留在通道配置阶段设置的初始值。*

在**循环模式**下，最后一次数据传输完成后，DMA_CNDTRx 寄存器将自动重新加载初始编程值。当前的内部地址寄存器重新加载 DMA_CPARx 和 DMA_CMARx 寄存器中的基址值。

通道配置流程

配置 DMA 通道 x 时需按照以下步骤操作：

1. 在 DMA_CPARx 寄存器中设置外设寄存器地址。
   在外设事件发生后，或在存储器到存储器模式下使能通道后，会将数据从该地址移至存储器或从存储器移至该地址。
2. 设置 DMA_CMARx 寄存器中的存储器地址。
   在外设事件发生后，或在存储器到存储器模式下使能通道后，会将数据写入存储器或从存储器读取数据。
3. 在 DMA_CNDTRx 寄存器中配置待传输的总数据数。
   每次数据传输后，该值都会递减。
4. 在 DMA_CCRx 寄存器中配置下列参数：
   - 通道优先级
   - 数据传输方向
   - 循环模式
   - 外设和存储器递增模式
   - 外设和存储器数据大小
   - 传输完成一半和/或全部完成以及/或者出现传输错误时的中断使能
5. 将 DMA_CCRx 寄存器中的 EN 位置 1 以激活通道。

通道在使能后可处理来自此通道所连接外设的任意 DMA 请求，或者启动存储器到存储器块传输。

注： *通道配置流程的最后两步可合并为对 DMA_CCRx 寄存器进行单次访问来配置和使能通道。*

通道状态和禁止通道

处于激活状态的通道 x 是已使能的通道（读取 DMA_CCRx.EN = 1）。激活通道 x 是必须由软件使能（DMA_CCRx.EN 置 1）且之后未发生传输错误 (DMA_ISR.TEIFx = 0) 的通道。一旦数据传输错误，通道将由硬件自动禁止 (DMA_CCRx.EN = 0)。

可能发生以下三种用例：

- 暂停并恢复通道

  这对应于以下两个操作：
  - 通过软件禁止活动通道（在 DMA_CCRx.EN = 1 时写入 DMA_CCRx.EN = 0）。
  - 通过软件再次使能通道（DMA_CCRx.EN 设置为 1），而无需重新配置其他通道寄存器（例如 DMA_CNDTRx、DMA_CPARx 和 DMA_CMARx）。

  这种情况不受 DMA 硬件支持，不能保证正确执行剩余的数据传输。
- 停止并中止通道

  如果应用程序不再需要通道，则可以通过软件禁止此活动通道。通道停止并中止，但 DMA_CNDTRx 寄存器内容可能无法正确反映剩余的数据传输与中止的源和目标缓冲区/寄存器。

- 中止并重新启动通道

  这对应于软件序列：禁止活动通道，然后重新配置通道并再次使能通道。

  如果满足以下条件，则硬件支持此操作：

  – 应用程序确保在软件禁止通道时，DMA 数据传输不会在其主端口上同时发生。例如，应用程序首先可以在 DMA 模式下禁止外设，以确保没有来自此外设的挂起硬件 DMA 请求。

  – 软件必须对同一 DMA_CCRx 寄存器进行单独的写访问：首先禁止通道。其次，如果需要更改配置，则重新配置通道以进行下一次块传输（包括 DMA_CCRx）。当 DMA_CCRx.EN = 1 时，存在只读 DMA_CCRx 寄存器位域。最后，再次使能通道。

发生通道传输错误时，DMA_CCRx 寄存器的 EN 位由硬件清零。在 DMA_ISR 寄存器的 TEIFx 位置 1 之前，不能通过软件将该 EN 位置 1 来重新激活通道 x。

循环模式（在存储器到外设/外设到存储器传输中）

循环模式可用于处理循环缓冲区和连续数据流（例如 ADC 扫描模式）。可使用 DMA_CCRx 寄存器中的 CIRC 位使能此功能。

注： *在存储器到存储器模式下，不能使用循环模式。在循环模式 (CIRC = 1) 下使能通道前，软件必须将 DMA_CCRx 寄存器的 MEM2MEM 位清零。如果循环模式已激活，则待传输数据的数目将自动重新装载为在通道配置阶段设置的初始值，并继续响应 DMA 请求。*

为停止循环传输，软件需要在禁止 DMA 通道前使外设停止生成 DMA 请求（例如退出 ADC 扫描模式）。
软件必须在启动/使能传输前，以及在停止循环传输后，明确设定 DMA_CNDTRx 值。

存储器到存储器模式

DMA 通道在没有外设请求触发的情况下同样可以工作。该模式被称为存储器到存储器模式，由软件启动。

如果 DMA_CCRx 寄存器的 MEM2MEM 位置 1，则通道（如果使能）会启动传输。DMA_CNDTRx 寄存器达到零后，传输停止。

注： *在循环模式下，不得使用存储器到存储器模式。在存储器到存储器模式 (MEM2MEM = 1) 下使能通道前，软件必须将 DMA_CCRx 寄存器的 CIRC 位清零。*

外设到外设模式

在以下情况下，任意 DMA 通道均可工作在外设到外设模式下：

- 选择来自外设的硬件请求触发 DMA 通道时

  此外设为 DMA 发起方，并且对自身与属于其他存储器映射外设（此外设未配置为 DMA 模式）的寄存器之间的数据传输进行调整。

- 未选择任何外设请求和未将任何外设请求连接至 DMA 通道时

  软件通过将 DMA_CCRx 寄存器的 MEM2MEM 位置 1 来配置寄存器到寄存器的传输。

设定传输方向，分配源/目标

DMA_CCRx 寄存器的 DIR 位值用于设置传输方向，因此会标识源和目标，这与源/目标类型（外设或存储器）无关：

- **DIR = 1** 通常用于定义存储器到外设的传输。一般而言，如果 DIR = 1：
  - **源**属性将由 DMA_MARx 寄存器以及 DMA_CCRx 寄存器的 MSIZE[1:0] 位域和 MINC 位定义。
    无论其常用的命名规则如何，上述“存储器”寄存器、位域和位都用于在外设到外设模式下定义源外设。
  - **目标**属性将由 DMA_PARx 寄存器以及 DMA_CCRx 寄存器的 PSIZE[1:0] 位域和 PINC 位定义。
    无论其常用的命名规则如何，上述“外设”寄存器、位域和位都用于在存储器到存储器模式下定义目标存储器。
- **DIR = 0** 通常用于定义外设到存储器的传输。一般而言，如果 DIR = 0：
  - **源**属性将由 DMA_PARx 寄存器以及 DMA_CCRx 寄存器的 PSIZE[1:0] 位域和 PINC 位定义。
    无论其常用的命名规则如何，上述“外设”寄存器、位域和位都用于在存储器到存储器模式下定义源存储器。
  - **目标**属性将由 DMA_MARx 寄存器以及 DMA_CCRx 寄存器的 MSIZE[1:0] 位域和 MINC 位定义。
    无论其常用的命名规则如何，上述“存储器”寄存器、位域和位都用于在外设到外设模式下定义目标外设。

9.4.6 DMA 数据宽度、对齐和字节序

如果 PSIZE[1:0] 和 MSIZE[1:0] 不相等，则 DMA 控制器将按照*表 38* 所述方式进行数据对齐。

表 38. 可编程的数据宽度和字节序（PINC = MINC = 1 时）

源端口宽度（DIR = 1 时为 MSIZE，否则为 PSIZE）	目标端口宽度（DIR = 1 时为 PSIZE，否则为 MSIZE）	要传输的数据项的数目 (NDT)	源内容：地址/数据（DIR = 1 时为 DMA_CMARx，否则为 DMA_CPARx）	DMA 传输	目标内容：地址/数据（DIR = 1 时为 DMA_CPARx，否则为 DMA_CMARx）
8	8	8	@0x0/B0 @0x1/B1 @0x2/B2 @0x3/B3	1：读取 B0[7:0] @0x0，然后写入 B0[7:0] @0x0 2：读取 B1[7:0] @0x1，然后写入 B1[7:0] @0x1 3：读取 B2[7:0] @0x2，然后写入 B2[7:0] @0x2 4：读取 B3[7:0] @0x3，然后写入 B3[7:0] @0x3	@0x0/B0 @0x1/B1 @0x2/B2 @0x3/B3
8	16	4	@0x0/B0 @0x1/B1 @0x2/B2 @0x3/B3	1：读取 B0[7:0] @0x0，然后写入 00B0[15:0] @0x0 2：读取 B1[7:0] @0x1，然后写入 00B1[15:0] @0x2 3：读取 B2[7:0] @0x2，然后写入 00B2[15:0] @0x4 4：读取 B3[7:0] @0x3，然后写入 00B3[15:0] @0x6	@0x0/00B0 @0x2/00B1 @0x4/00B2 @0x6/00B3
8	32	4	@0x0/B0 @0x1/B1 @0x2/B2 @0x3/B3	1：读取 B0[7:0] @0x0，然后写入 000000B0[31:0] @0x0 2：读取 B1[7:0] @0x1，然后写入 000000B1[31:0] @0x4 3：读取 B2[7:0] @0x2，然后写入 000000B2[31:0] @0x8 4：读取 B3[7:0] @0x3，然后写入 000000B3[31:0] @0xC	@0x0/000000B0 @0x4/000000B1 @0x8/000000B2 @0xC/000000B3
16	8	4	@0x0/B1B0 @0x2/B3B2 @0x4/B5B4 @0x6/B7B6	1：读取 B1B0[15:0] @0x0，然后写入 B0[7:0] @0x0 2：读取 B3B2[15:0] @0x2，然后写入 B2[7:0] @0x1 3：读取 B5B4[15:0] @0x4，然后写入 B4[7:0] @0x2 4：读取 B7B6[15:0] @0x6，然后写入 B6[7:0] @0x3	@0x0/B0 @0x1/B2 @0x2/B4 @0x3/B6
16	16	4	@0x0/B1B0 @0x2/B3B2 @0x4/B5B4 @0x6/B7B6	1：读取 B1B0[15:0] @0x0，然后写入 B1B0[15:0] @0x0 2：读取 B3B2[15:0] @0x2，然后写入 B3B2[15:0] @0x2 3：读取 B5B4[15:0] @0x4，然后写入 B5B4[15:0] @0x4 4：读取 B7B6[15:0] @0x6，然后写入 B7B6[15:0] @0x6	@0x0/B1B0 @0x2/B3B2 @0x4/B5B4 @0x6/B7B6
16	32	4	@0x0/B1B0 @0x2/B3B2 @0x4/B5B4 @0x6/B7B6	1：读取 B1B0[15:0] @0x0，然后写入 0000B1B0[31:0] @0x0 2：读取 B3B2[15:0] @0x2，然后写入 0000B3B2[31:0] @0x4 3：读取 B5B4[15:0] @0x4，然后写入 0000B5B4[31:0] @0x8 4：读取 B7B6[15:0] @0x6，然后写入 0000B7B6[31:0] @0xC	@0x0/0000B1B0 @0x4/0000B3B2 @0x8/0000B5B4 @0xC/0000B7B6
32	8	4	@0x0/B3B2B1B0 @0x4/B7B6B5B4 @0x8/BBBAB9B8 @0xC/BFBEBDBC	1：读取 B3B2B1B0[31:0] @0x0，然后写入 B0[7:0] @0x0 2：读取 B7B6B5B4[31:0] @0x4，然后写入 B4[7:0] @0x1 3：读取 BBBAB9B8[31:0] @0x8，然后写入 B8[7:0] @0x2 4：读取 BFBEBDBC[31:0] @0xC，然后写入 BC[7:0] @0x3	@0x0/B0 @0x1/B4 @0x2/B8 @0x3/BC
32	16	4	@0x0/B3B2B1B0 @0x4/B7B6B5B4 @0x8/BBBAB9B8 @0xC/BFBEBDBC	1：读取 B3B2B1B0[31:0] @0x0，然后写入 B1B0[15:0] @0x0 2：读取 B7B6B5B4[31:0] @0x4，然后写入 B5B4[15:0] @0x2 3：读取 BBBAB9B8[31:0] @0x8，然后写入 B9B8[15:0] @0x4 4：读取 BFBEBDBC[31:0] @0xC，然后写入 BDBC[15:0] @0x6	@0x0/B1B0 @0x2/B5B4 @0x4/B9B8 @0x6/BDBC
32	32	4	@0x0/B3B2B1B0 @0x4/B7B6B5B4 @0x8/BBBAB9B8 @0xC/BFBEBDBC	1：读取 B3B2B1B0[31:0] @0x0，然后写入 B3B2B1B0[31:0] @0x0 2：读取 B7B6B5B4[31:0] @0x4，然后写入 B7B6B5B4[31:0] @0x4 3：读取 BBBAB9B8[31:0] @0x8，然后写入 BBBAB9B8[31:0] @0x8 4：读取 BFBEBDBC[31:0] @0xC，然后写入 BFBEBDBC[31:0] @0xC	@0x0/B3B2B1B0 @0x4/B7B6B5B4 @0x8/BBBAB9B8 @0xC/BFBEBDBC

解决 AHB 外设不支持字节/半字写传输的问题

如果 DMA 控制器启动 AHB 字节或半字写传输，则 32 位 AHB 主控数据总线 (HWDATA[31:0]) 的未使用数据线上将会重复所传输的数据。

如果 AHB 从外设不支持字节或半字写传输且不会产生任何错误，则 DMA 控制器会对 HWDATA 的 32 个位执行写操作，如下列两个示例所示：

- 要写入半字 0xABCD，DMA 控制器会将 HWDATA 总线设为 0xABCDABCD，并采用半字数据大小（在 AHB 主控总线中，将 HSIZE 设为 HalfWord）。
- 要写入字节 0xAB，DMA 控制器会将 HWDATA 总线设为 0xABABABAB，并采用字节数据大小（在 AHB 主控总线中，将 HSIZE 设为 Byte）。

假设 AHB/APB 桥为 AHB 32 位从外设，且该外设不考虑 HSIZE 数据，则任何 AHB 字节或半字传输都将转换为 32 位 APB 传输，如下所述：

- 将 AHB 字节写传输转换为 APB 字写传输，如向 0x0、0x1、0x2 或 0x3 地址之一写入 0xB0 转换为向 0x0 地址写入 0xB0B0B0B0。
- 将 AHB 半字写传输转换为 APB 字写传输，如向 0x0 或 0x2 地址写入 0xB1B0 转换为向 0x0 地址写入 0xB1B0B1B0。

9.4.7 DMA 错误管理

当对保留的地址空间执行读写操作时，将生成 DMA 传输错误。如果在 DMA 读或写访问过程中生成了 DMA 传输错误，则硬件会将相应 DMA_CCRx 寄存器的 EN 位清零，从而自动禁止出错的通道 x。

DMA_ISR 寄存器的 TEIFx 位置 1。如果 DMA_CCRx 寄存器的 TEIE 位置 1，还将产生中断。

在 DMA_ISR 寄存器的 TEIFx 位清零（通过将 DMA_IFCR 寄存器的 CTEIFx 位置 1）前，DMA_CCRx 寄存器的 EN 位不能再次由软件置 1（通道 x 重新激活）。

软件在收到与外设相关的通道出现传输错误的通知后，首先要停止这个在 DMA 模式下的外设，以禁止任何挂起或后续的 DMA 请求。随后软件可以正常地将 DMA 和外设重新配置为 DMA 模式，以便进行新的传输。

9.5 DMA 中断

对于每个 DMA 通道 x，在发生“半传输”、“传输完成”或“传输错误”时都会生成中断。可以使用单独的中断使能位以提高灵活性。

表 39. DMA 中断请求

中断请求	中断事件	事件标志	中断使能位
通道 x 中断	通道 x 上发生半传输	HTIFx	HTIEx
	通道 x 上传输完成	TCIFx	TCIEx
	通道 x 上发生传输错误	TEIFx	TEIEx
	通道 x 上发生半传输、传输完成或传输错误	GIFx	-

9.6 DMA 寄存器

有关寄存器说明中使用的缩写，请参见*第 1.2 节*。

DMA 寄存器必须按字（32 位）进行访问。

9.6.1 DMA 中断状态寄存器 (DMA_ISR)

DMA interrupt status register

偏移地址：0x00

复位值：0x0000 0000

每个状态位在软件将 DMA_IFCR 寄存器中相应的清零位或相应的全局清零位 CGIFx 置 1 后由硬件清零。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:28 保留，必须保持复位值。

位 27 **TEIF7**：通道 7 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 7)
- 0：无 TE 事件
- 1：发生 TE 事件

位 26 **HTIF7**：通道 7 的半传输 (HT) 标志 (half transfer (HT) flag for channel 7)
- 0：无 HT 事件
- 1：发生 HT 事件

位 25 **TCIF7**：通道 7 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 7)
- 0：无 TC 事件
- 1：发生 TC 事件

位 24 **GIF7**：通道 7 的全局中断标志 (global interrupt flag for channel 7)
- 0：无 TE、HT 或 TC 事件
- 1：发生 TE、HT 或 TC 事件

位 23 **TEIF6**：通道 6 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 6)
- 0：无 TE 事件
- 1：发生 TE 事件

位 22 **HTIF6**：通道 6 的半传输 (HT) 标志 (half transfer (HT) flag for channel 6)
- 0：无 HT 事件
- 1：发生 HT 事件

位 21 **TCIF6**：通道 6 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 6)
- 0：无 TC 事件
- 1：发生 TC 事件

位 20 **GIF6**：通道 6 的全局中断标志 (global interrupt flag for channel 6)
- 0：无 TE、HT 或 TC 事件
- 1：发生 TE、HT 或 TC 事件

位 19 **TEIF5**：通道 5 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 5)
0：无 TE 事件
1：发生 TE 事件

位 18 **HTIF5**：通道 5 的半传输 (HT) 标志 (half transfer (HT) flag for channel 5)
0：无 HT 事件
1：发生 HT 事件

位 17 **TCIF5**：通道 5 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 5)
0：无 TC 事件
1：发生 TC 事件

位 16 **GIF5**：通道 5 的全局中断标志 (global interrupt flag for channel 5)
0：无 TE、HT 或 TC 事件
1：发生 TE、HT 或 TC 事件

位 15 **TEIF4**：通道 4 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 4)
0：无 TE 事件
1：发生 TE 事件

位 14 **HTIF4**：通道 4 的半传输 (HT) 标志 (half transfer (HT) flag for channel 4)
0：无 HT 事件
1：发生 HT 事件

位 13 **TCIF4**：通道 4 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 4)
0：无 TC 事件
1：发生 TC 事件

位 12 **GIF4**：通道 4 的全局中断标志 (global interrupt flag for channel 4)
0：无 TE、HT 或 TC 事件
1：发生 TE、HT 或 TC 事件

位 11 **TEIF3**：通道 3 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 3)
0：无 TE 事件
1：发生 TE 事件

位 10 **HTIF3**：通道 3 的半传输 (HT) 标志 (half transfer (HT) flag for channel 3)
0：无 HT 事件
1：发生 HT 事件

位 9 **TCIF3**：通道 3 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 3)
0：无 TC 事件
1：发生 TC 事件

位 8 **GIF3**：通道 3 的全局中断标志 (global interrupt flag for channel 3)
0：无 TE、HT 或 TC 事件
1：发生 TE、HT 或 TC 事件

位 7 **TEIF2**：通道 2 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 2)
0：无 TE 事件
1：发生 TE 事件

位 6 **HTIF2**：通道 2 的半传输 (HT) 标志 (half transfer (HT) flag for channel 2)
0：无 HT 事件
1：发生 HT 事件

位 5 **TCIF2**：通道 2 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 2)
0：无 TC 事件
1：发生 TC 事件

位 4 **GIF2**：通道 2 的全局中断标志 (global interrupt flag for channel 2)
0：无 TE、HT 或 TC 事件
1：发生 TE、HT 或 TC 事件

位 3 **TEIF1**：通道 1 的传输错误 (TE) 标志 (transfer error (TE) flag for channel 1)
0：无 TE 事件
1：发生 TE 事件

位 2 **HTIF1**：通道 1 的半传输 (HT) 标志 (half transfer (HT) flag for channel 1)
0：无 HT 事件
1：发生 HT 事件

位 1 **TCIF1**：通道 1 的传输完成 (TC) 标志 (transfer complete (TC) flag for channel 1)
0：无 TC 事件
1：发生 TC 事件

位 0 **GIF1**：通道 1 的全局中断标志 (global interrupt flag for channel 1)
0：无 TE、HT 或 TC 事件
1：发生 TE、HT 或 TC 事件

9.6.2 DMA 中断标志清零寄存器 (DMA_IFCR)

DMA interrupt flag clear register

偏移地址：0x04

复位值：0x0000 0000

将该 DMA_IFCR 寄存器中通道 x 的全局清零位 CGIFx 置 1 后，DMA 硬件会清零 DMA_ISR 寄存器中的相应 GIFx 位以及各个 TEIFx、HTIFx 和 TCIFx 标志。

将该 DMA_IFCR 寄存器中的各个 CTEIFx、CHTIFx 和 CTCIFx 清零位均置 1 后，DMA 硬件会清零 DMA_ISR 寄存器中相应的单独标志和全局标志 GIFx，前提是其他两个单独的标志均未置 1。

对任何标志清零位写入 0 均不起作用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5
				w	w	w	w	w	w	w	w	w	w	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:28 保留，必须保持复位值。

位 27 **CTEIF7**：通道 7 的传输错误标志清零 (transfer error flag clear for channel 7)

位 26 **CHTIF7**：通道 7 的半传输标志清零 (half transfer flag clear for channel 7)

位 25 **CTCIF7**：通道 7 的传输完成标志清零 (transfer complete flag clear for channel 7)

位 24 **CGIF7**：通道 7 的全局中断标志清零 (global interrupt flag clear for channel 7)

位 23 **CTEIF6**：通道 6 的传输错误标志清零 (transfer error flag clear for channel 6)

位 22 **CHTIF6**：通道 6 的半传输标志清零 (half transfer flag clear for channel 6)

位 21 **CTCIF6**：通道 6 的传输完成标志清零 (transfer complete flag clear for channel 6)

位 20 **CGIF6**：通道 6 的全局中断标志清零 (global interrupt flag clear for channel 6)

位 19 **CTEIF5**：通道 5 的传输错误标志清零 (transfer error flag clear for channel 5)

位 18 **CHTIF5**：通道 5 的半传输标志清零 (half transfer flag clear for channel 5)

位 17 **CTCIF5**：通道 5 的传输完成标志清零 (transfer complete flag clear for channel 5)

位 16 **CGIF5**：通道 5 的全局中断标志清零 (global interrupt flag clear for channel 5)

位 15 **CTEIF4**：通道 4 的传输错误标志清零 (transfer error flag clear for channel 4)

位 14 **CHTIF4**：通道 4 的半传输标志清零 (half transfer flag clear for channel 4)

位 13 **CTCIF4**：通道 4 的传输完成标志清零 (transfer complete flag clear for channel 4)

位 12 **CGIF4**：通道 4 的全局中断标志清零 (global interrupt flag clear for channel 4)

位 11 **CTEIF3**：通道 3 的传输错误标志清零 (transfer error flag clear for channel 3)

位 10 **CHTIF3**：通道 3 的半传输标志清零 (half transfer flag clear for channel 3)

位 9 **CTCIF3**：通道 3 的传输完成标志清零 (transfer complete flag clear for channel 3)

位 8 **CGIF3**：通道 3 的全局中断标志清零 (global interrupt flag clear for channel 3)

位 7 **CTEIF2**：通道 2 的传输错误标志清零 (transfer error flag clear for channel 2)

位 6 **CHTIF2**：通道 2 的半传输标志清零 (half transfer flag clear for channel 2)

位 5 **CTCIF2**：通道 2 的传输完成标志清零 (transfer complete flag clear for channel 2)

位 4 **CGIF2**：通道 2 的全局中断标志清零 (global interrupt flag clear for channel 2)

位 3 **CTEIF1**：通道 1 的传输错误标志清零 (transfer error flag clear for channel 1)

位 2 **CHTIF1**：通道 1 的半传输标志清零 (half transfer flag clear for channel 1)

位 1 **CTCIF1**：通道 1 的传输完成标志清零 (transfer complete flag clear for channel 1)

位 0 **CGIF1**：通道 1 的全局中断标志清零 (global interrupt flag clear for channel 1)

9.6.3 DMA 通道 x 配置寄存器 (DMA_CCRx)

DMA channel x configuration register

偏移地址：0x08 + 0x14 * (x - 1)，（x = 1 到 7）

复位值：0x0000 0000

EN = 1 时，寄存器位域/位 MEM2MEM、PL[1:0]、MSIZE[1:0]、PSIZE[1:0]、MINC、PINC 和 DIR 为只读。

MEM2MEM 和 CIRC 位的状态不能同时处于高电平。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:15 保留，必须保持复位值。

位 14 **MEM2MEM**：存储器到存储器模式 (memory-to-memory mode)

0：禁止

1：使能

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 13:12 **PL[1:0]**：优先级 (priority level)

00：低

01：中

10：高

11：非常高

注： 此位域由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 11:10 **MSIZE[1:0]**：存储器大小 (memory size)

定义到标识存储器的每次 DMA 传输的数据大小。

在存储器到存储器模式下，如果 DIR = 1，则该位域标识存储器源；如果 DIR = 0，则该位域标识存储器目标。

在外设到外设模式下，如果 DIR = 1，则该位域标识外设源；如果 DIR = 0，则该位域标识外设目标。

00：8 位

01：16 位

10：32 位

11：保留

注： 此位域由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 9:8 **PSIZE[1:0]**：外设大小 (peripheral size)

定义到标识外设的每次 DMA 传输的数据大小。

在存储器到存储器模式下，如果 DIR = 1，则该位域标识存储器目标；如果 DIR = 0，则该位域标识存储器源。

在外设到外设模式下，如果 DIR = 1，则该位域标识外设目标；如果 DIR = 0，则该位域标识外设源。

00：8 位

01：16 位

10：32 位

11：保留

注： 此位域由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 7 **MINC**：存储器递增模式 (memory increment mode)

定义到标识存储器的每次 DMA 传输的递增模式。

在存储器到存储器模式下，如果 DIR = 1，则该位域标识存储器源；如果 DIR = 0，则该位域标识存储器目标。

在外设到外设模式下，如果 DIR = 1，则该位域标识外设源；如果 DIR = 0，则该位域标识外设目标。

0：禁止

1：使能

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 6 **PINC**：外设递增模式 (peripheral increment mode)

定义到标识外设的每次 DMA 传输的递增模式。

在存储器到存储器模式下，如果 DIR = 1，则该位域标识存储器目标；如果 DIR = 0，则该位域标识存储器源。

在外设到外设模式下，如果 DIR = 1，则该位域标识外设目标；如果 DIR = 0，则该位域标识外设源。

0：禁止

1：使能

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 5 **CIRC**：循环模式 (circular mode)

0：禁止

1：使能

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后并非只读。

位 4 **DIR**：数据传输方向 (data transfer direction)

该位仅在存储器到外设和外设到存储器模式下才能置 1。

0：从外设读取

- 源属性由 PSIZE 和 PINC 以及 DMA_CPARx 寄存器定义。这同样适用于存储器到存储器模式。
- 目标属性由 MSIZE 和 MINC 以及 DMA_CMARx 寄存器定义。这同样适用于外设到外设模式。

1：从存储器读取

- 目标属性由 PSIZE 和 PINC 以及 DMA_CPARx 寄存器定义。这同样适用于存储器到存储器模式。
- 源属性由 MSIZE 和 MINC 以及 DMA_CMARx 寄存器定义。这同样适用于外设到外设模式。

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后为只读。

位 3 **TEIE**：传输错误中断使能 (transfer error interrupt enable)

0：禁止

1：使能

注： 此位由软件置 1 和清零。
使能通道 (EN = 1) 后禁止写入。
使能通道 (EN = 1) 后并非只读。

位 2 **HTIE**：半传输中断使能 (half transfer interrupt enable)

0：禁止

1：使能

注： 此位由软件置 1 和清零。

使能通道 (EN = 1) 后禁止写入。

使能通道 (EN = 1) 后并非只读。

位 1 **TCIE**：传输完成中断使能 (transfer complete interrupt enable)

0：禁止

1：使能

注： 此位由软件置 1 和清零。

使能通道 (EN = 1) 后禁止写入。

使能通道 (EN = 1) 后并非只读。

位 0 **EN**：通道使能 (channel enable)

发生通道传输错误后，该位由硬件清零。在 DMA_ISR 寄存器的 TEIFx 位清零（通过将 DMA_IFCR 寄存器的 CTEIFx 位置 1）前，该位不能再次由软件置 1（通道 x 重新激活）。

0：禁止

1：使能

注： 此位由软件置 1 和清零。

9.6.4 DMA 通道 x 待传输数据数量寄存器 (DMA_CNDTRx)

DMA channel x number of data to transfer register

偏移地址：0x0C + 0x14 * (x - 1)，（x = 1 到 7）

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NDT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **NDT[15:0]**：待传输数据数量 (number of data to transfer)（0 到 2^{16} - 1）

通道使能后，该位域由硬件更新：

– 在每次 DMA“先读后写”传输后，该位域都会递减，指示剩余的待传输数据项数目。

– 如果通道未处于循环模式（DMA_CCRx 寄存器中的 CIRC = 0），则在达到设定的待传输数据数目时，该位域会保持为零。

– 如果通道处于循环模式 (CIRC = 1)，则在传输完成后该位域会自动重新装载之前设定的值。

如果该位域为零，则无论通道状态如何（使能或未使能），都不会处理任何传输。

注： 此位域由软件置 1 和清零。

使能通道 (EN = 1) 后禁止写入。

使能通道 (EN = 1) 后为只读。

9.6.5 DMA 通道 x 外设地址寄存器 (DMA_CPARx)

DMA channel x peripheral address register

偏移地址：0x10 + 0x14 * (x - 1)，（x = 1 到 7）

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **PA[31:0]**：外设地址 (peripheral address)

其中包含读/写数据的外设数据寄存器的基址。

PSIZE[1:0] = 01（16 位）时，忽略 PA[31:0] 的位 0。访问将自动对齐到半字地址。

PSIZE = 10（32 位）时，忽略 PA[31:0] 的位 1 和位 0。访问将自动对齐到字地址。

在存储器到存储器模式下，如果 DIR = 1，则该寄存器标识存储器目标地址；如果 DIR = 0，则该寄存器标识存储器源地址。

在外设到外设模式下，如果 DIR = 1，则该寄存器标识外设目标地址；如果 DIR = 0，则该寄存器标识外设源地址。

注：　此寄存器由软件置 1 和清零。

使能通道 (EN = 1) 后禁止写入。

使能通道 (EN = 1) 后并非只读。

9.6.6 DMA 通道 x 存储器地址寄存器 (DMA_CMARx)

DMA channel x memory address register

偏移地址：0x14 + 0x14 * (x - 1)，（x = 1 到 7）

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **MA[31:0]**：外设地址 (peripheral address)

其中包含读/写数据的存储器的基址。

MSIZE[1:0] = 01（16 位）时，忽略 MA[31:0] 的位 0。访问将自动对齐到半字地址。

MSIZE = 10（32 位）时，忽略 MA[31:0] 的位 1 和位 0。访问将自动对齐到字地址。

在存储器到存储器模式下，如果 DIR = 1，则该寄存器标识存储器源地址；如果 DIR = 0，则该寄存器标识存储器目标地址。

在外设到外设模式下，如果 DIR = 1，则该寄存器标识外设源地址；如果 DIR = 0，则该寄存器标识外设目标地址。

注：　此寄存器由软件置 1 和清零。

使能通道 (EN = 1) 后禁止写入。

使能通道 (EN = 1) 后并非只读。

9.6.7 DMA 寄存器映射和复位值

表 40 给出了 DMA 寄存器映射和复位值。

表 40. DMA 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMA_ISR	Res.	Res.	Res.	Res.	TEIF7	HTIF7	TCIF7	GIF7	TEIF6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	TEIF2	HTIF2	TCIF2	GIF2	TEIF1	HTIF1	TCIF1	GIF1
	Reset value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	DMA_IFCR	Res.	Res.	Res.	Res.	CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1
	Reset value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	DMA_CCR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	DMA_CNDTR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	DMA_CPAR1	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014	DMA_CMAR1	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	Reserved	Reserved.																															
0x01C	DMA_CCR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DMA_CNDTR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DMA_CPAR2	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	DMA_CMAR2	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	Reserved	Reserved.																															
0x030	DMA_CCR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DMA_CNDTR3	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	DMA_CPAR3	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	DMA_CMAR3	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	Reserved	Reserved.																															
0x044	DMA_CCR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 40. DMA 寄存器映射和复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x048	DMA_CNDTR4	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	DMA_CPAR4	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	DMA_CMAR4	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	Reserved	Reserved.																															
0x058	DMA_CCR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	DMA_CNDTR5	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060	DMA_CPAR5	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	DMA_CMAR5	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	Reserved	Reserved.																															
0x06C	DMA_CCR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070	DMA_CNDTR6	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x074	DMA_CPAR6	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x078	DMA_CMAR6	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x07C	Reserved	Reserved.																															
0x080	DMA_CCR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MEM2MEM	PL[1:0]		MSIZE[1:0]		PSIZE[1:0]		MINC	PINC	CIRC	DIR	TEIE	HTIE	TCIE	EN
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	DMA_CNDTR7	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NDTR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088	DMA_CPAR7	PA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08C	DMA_CMAR7	MA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 2.2 节*。

10 DMA 请求复用器 (DMAMUX)

10.1 简介

外设通过设置其 DMA 请求信号来触发 DMA 传输请求。DMA 控制器会处理 DMA 请求并生成 DMA 确认信号，而且相应的 DMA 请求信号也将变为无效，但在此之前 DMA 请求一直处于挂起状态。

在本文档中，DMA 请求/确认协议所需的控制信号组并未明确列出和说明，而是称作 DMA 请求线。

DMAMUX 请求复用器可在产品的外设和 DMA 控制器之间重新配置（路由）DMA 请求线。该路由功能通过可编程的多通道 DMA 请求线复用器来确保实现。每条通道可不受限制地选择一个 DMA 请求线，将 DMA 请求无条件转发或者结合来自 DMAMUX 同步触发事件后实现同步转发。此外，DMAMUX 还可以担当 DMA 请求发生器，将与其相连的触发输入信号转换成可编程的 DMA 请求信号。

*第 10.3.1 节*规定了 DMAMUX 实例的数量及其主要特性。

有关 DMAMUX 请求复用器的输入分配，即分别来自外设的 DMA 请求线和来自 DMAMUX 请求生成器的 DMA 请求。有关来自内、外部的同步输入信号或触发输入信号的分配，具体信号参考*第 10.3.2 节*的介绍。

10.2 DMAMUX 主要特性

- 可编程的 7 通道 DMA 请求线复用输出
- 4 通道 DMA 请求发生器
- 23 个 DMA 请求发生器的触发输入
- 23 个同步输入
- 每个 DMA 请求发生器通道均具有：
  - DMA 请求触发输入选择器
  - DMA 请求计数器
  - 所选 DMA 请求触发输入的事件溢出标志
- 每个 DMA 请求线复用器通道输出均具有：
  - 来自外设的 57 个 DMA 输入请求线
  - 一路 DMA 请求输出线
  - 同步输入选择器
  - DMA 请求计数器
  - 所选同步输入的事件溢出标志
  - 一个事件输出，用于 DMA 请求级联

10.3 DMAMUX 实现

10.3.1 DMAMUX 实例化

DMAMUX 通过下表中列出的硬件配置参数进行实例化。

表 41. DMAMUX 实例化

特性	DMAMUX
DMAMUX 输出请求通道数	7/5(1)
DMAMUX 请求发生器通道数	4
DMAMUX 请求触发输入数	23
DMAMUX 同步输入数	23
DMAMUX 外设请求输入数	57

1. 七条通道用于 STM32G071xx 和 STM32G081xx，五条通道用于 STM32G031xx 和 STM32G041xx。

10.3.2 DMAMUX 映射

DMA 请求到 DMAMUX 复用器的映射通过硬件线路实现。

表 42. 连接到 DMAMUX 的 DMA 输入请求分配表

DMA 请求 MUX 输入	资源	DMA 请求 MUX 输入	资源	DMA 请求 MUX 输入	资源
1	dmamux_req_gen0	22	TIM1_CH3	43	TIM15_UP
2	dmamux_req_gen1	23	TIM1_CH4	44	TIM16_CH1
3	dmamux_req_gen2	24	TIM1_TRIG_COM	45	TIM16_TRIG_COM
4	dmamux_req_gen3	25	TIM1_UP	46	TIM16_UP
5	ADC	26	TIM2_CH1	47	TIM17_CH1
6	AES_IN	27	TIM2_CH2	48	TIM17_TRIG_COM
7	AES_OUT	28	TIM2_CH3	49	TIM17_UP
8	DAC_Channel1	29	TIM2_CH4	50	USART1_RX
9	DAC_Channel2	30	TIM2_TRIG	51	USART1_TX
10	I2C1_RX	31	TIM2_UP	52	USART2_RX
11	I2C1_TX	32	TIM3_CH1	53	USART2_TX
12	I2C2_RX	33	TIM3_CH2	54	USART3_RX
13	I2C2_TX	34	TIM3_CH3	55	USART3_TX
14	LPUART_RX	35	TIM3_CH4	56	USART4_RX
15	LPUART_TX	36	TIM3_TRIG	57	USART4_TX
16	SPI1_RX	37	TIM3_UP	58	UCPD1_RX
17	SPI1_TX	38	TIM6_UP	59	UCPD1_TX
18	SPI2_RX	39	TIM7_UP	60	UCPD2_RX
19	SPI2_TX	40	TIM15_CH1	61	UCPD2_TX
20	TIM1_CH1	41	TIM15_CH2	62	保留
21	TIM1_CH2	42	TIM15_TRIG_COM	63	保留

表 43. 连接到 DMAMUX 的触发输入信号分配表

触发输入	资源	触发输入	资源
0	EXTI 线 0	12	EXTI 线 12
1	EXTI 线 1	13	EXTI 线 13
2	EXTI 线 2	14	EXTI 线 14
3	EXTI 线 3	15	EXTI 线 15
4	EXTI 线 4	16	dmamux_evt0
5	EXTI 线 5	17	dmamux_evt1
6	EXTI 线 6	18	dmamux_evt2
7	EXTI 线 7	19	dmamux_evt3
8	EXTI 线 8	20	LPTIM1_OUT
9	EXTI 线 9	21	LPTIM2_OUT
10	EXTI 线 10	22	TIM14_OC
11	EXTI 线 11	23	保留

表 44. 连接到 DMAMUX 的同步输入信号分配表

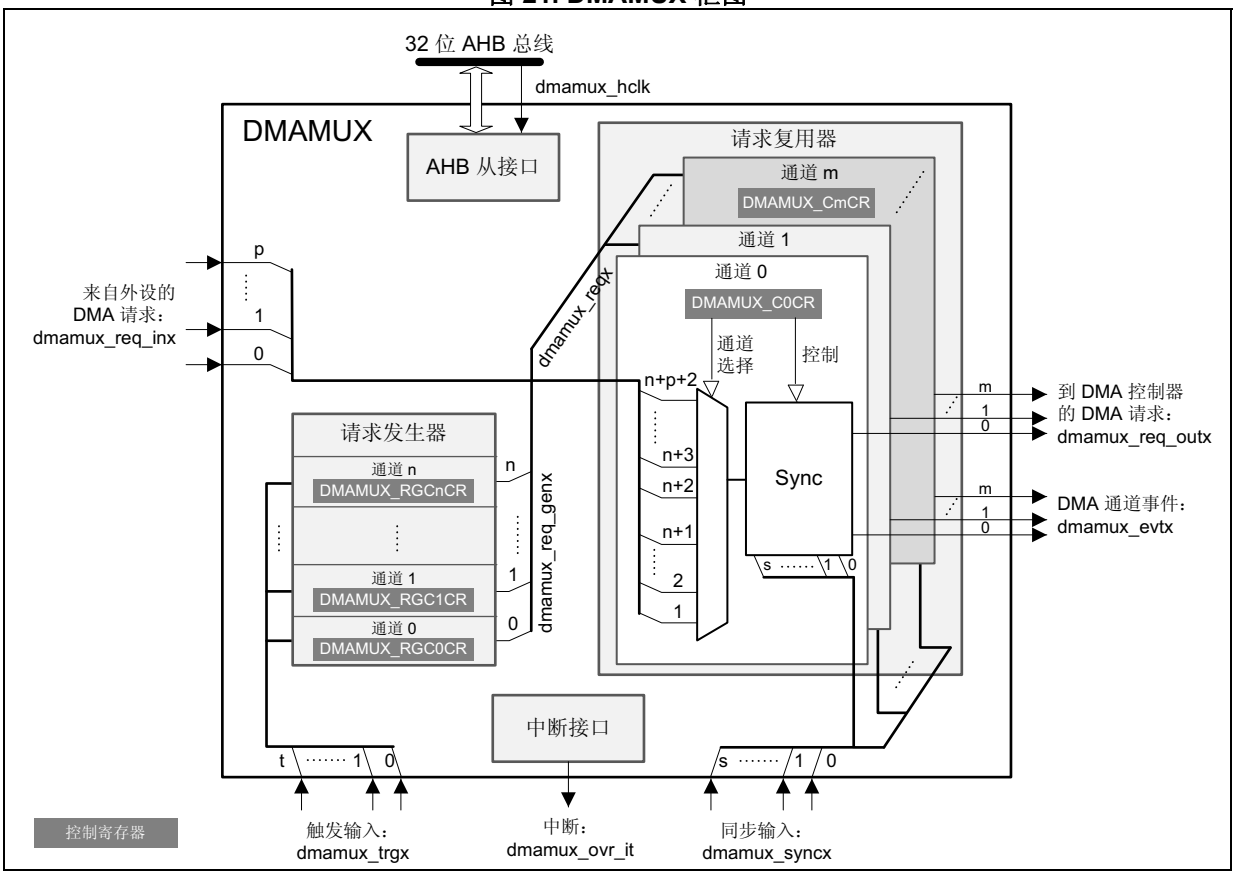
同步 输入	资源	同步输入	资源
0	EXTI 线 0	12	EXTI 线 12
1	EXTI 线 1	13	EXTI 线 13
2	EXTI 线 2	14	EXTI 线 14
3	EXTI 线 3	15	EXTI 线 15
4	EXTI 线 4	16	dmamux_evt0
5	EXTI 线 5	17	dmamux_evt1
6	EXTI 线 6	18	dmamux_evt2
7	EXTI 线 7	19	dmamux_evt3
8	EXTI 线 8	20	LPTIM1_OUT
9	EXTI 线 9	21	LPTIM2_OUT
10	EXTI 线 10	22	TIM14_OC
11	EXTI 线 11	23	保留

10.4 DMAMUX 功能说明

10.4.1 DMAMUX 框图

图 21 显示了 DMAMUX 框图。

图 21. DMAMUX 框图



DMAMUX 具有两个主要子模块：请求线复用器和请求线发生器。

它可以实现如下输入输出分配：

- 分配 DMAMUX 请求复用器子模块输入 (dmamux_reqx)，这些输入来自外设 (dmamux_req_inx) 和 DMAMUX 请求发生器子模块的通道 (dmamux_req_genx)
- 将 DMAMUX 请求输出分配到 DMA 控制器的通道 (dmamux_req_outx)
- 将内部或外部信号分配到 DMA 请求触发输入 (dmamux_trgx)
- 将内部或外部信号分配到同步输入 (dmamux_syncx)

10.4.2 DMAMUX 信号

表 45 列出了 DMAMUX 信号。

表 45. DMAMUX 信号

信号名称	说明
dmamux_hclk	DMAMUX AHB 时钟
dmamux_req_inx	DMAMUX DMA 请求线输入 （来自外设）
dmamux_trgx	DMAMUX DMA 请求触发输入 （到请求发生器子模块）
dmamux_req_genx	DMAMUX 请求发生器子模块通道输出
dmamux_reqx	DMAMUX 请求复用器子模块输入 （来自外设请求和请求发生器通道）
dmamux_syncx	DMAMUX 同步输入 （到请求复用器子模块）
dmamux_req_outx	DMAMUX 请求输出 （到 DMA 控制器）
dmamux_evtx	DMAMUX 事件输出
dmamux_ovr_it	DMAMUX 溢出中断

10.4.3 DMAMUX 通道

DMAMUX 通道是一个可能包括额外的 DMAMUX 请求发生器通道的 DMAMUX 请求复用器通道，具体取决于复用器的 DMA 请求输入情况。

DMAMUX 请求复用器通道专用于连接到 DMA 控制器的一个通道。

通道配置流程

请遵循以下顺序来配置 DMAMUX x 通道和相关的 DMA 通道 y：

1. 对 DMA 通道 y 进行完整的设置和配置，但不要使能通道 y。
2. 对相关 DMAMUX y 通道进行完整的设置和配置。
3. 最后，将 DMA y 通道寄存器中的 EN 位置 1 以激活 DMA 通道。

10.4.4 DMAMUX 请求线复用器

DMAMUX 请求复用器及其多条通道可确保 DMA 请求/确认控制信号（称为 DMA 请求线）的实际路由。

每个 DMA 请求线并行连接到 DMAMUX 请求线复用器的所有通道。

DMA 请求来自外设或 DMAMUX 请求发生器。

DMAMUX 请求线复用器通道 x 按照 DMAMUX_CxCR 寄存器中的 DMAREQ_ID 位域的配置来选择 DMA 请求线编号。

注： *位域 DMAREQ_ID 为空值表示未选择任何 DMA 请求线。不允许为 DMAMUX 请求线复用器的两个不同通道配置相同的非零 DMAREQ_ID。*

除了 DMA 请求选择外，还可根据需要配置和使能同步模式和/或事件生成。

同步模式和通道事件生成

每个 DMAMUX 请求线复用器通道 x 可单独同步，方法是将 DMAMUX_CxCR 寄存器中的同步使能 (SE) 位置 1。

DMAMUX 具有多个同步输入。同步输入并行连接到请求复用器的所有通道。

同步输入通过给定通道 x 的 DMAMUX_CxCR 寄存器中的 SYNC_ID 位域选择。

当某个通道处于此同步模式时，如果通过 DMAMUX_CxCR 寄存器的 SPOL[1:0] 位域检测到所选输入同步信号上的可编程上升沿/下降沿，则所选输入 DMA 请求线信号将被传送到复用器通道输出。

此外，DMAMUX 请求复用器内部有一个可编程 DMA 请求计数器，可用于实现通道请求输出生成功能以及事件生成功能。通道 x 输出上的事件生成功能通过 DMAMUX_CxCR 寄存器的 EGE 位（事件生成使能）使能。

如*图 23* 所示，检测到同步输入的边沿后，挂起的所选输入 DMA 请求线将连接到 DMAMUX 复用器通道 x 输出。

注： *如果在不存在挂起的所选输入 DMA 请求线的情况下，发生同步事件，则会将其丢弃。再次发生同步事件之前，后续有效的输入请求线将不会连接至 DMAMUX 复用器通道输出。*

此后，DMA 控制器每次处理连接的 DMAMUX 请求时（已处理请求被禁止），DMAMUX 请求计数器都会递减。下溢时，DMA 请求计数器将自动装入 DMAMUX_CxCR 寄存器的 NBREQ 位域中的值，输入 DMA 请求线将与复用器通道 x 输出断开。

因此，检测到同步事件后传送到复用器通道 x 输出的 DMA 请求数等于 NBREQ 位域中的值加 1。

注： *只能通过软件在相应复用器通道 x 的同步使能位 SE 和事件生成使能位 EGE 均禁止时写入 NBREQ 位域的值。*

图 22. DMAMUX 请求线复用器通道的同步模式

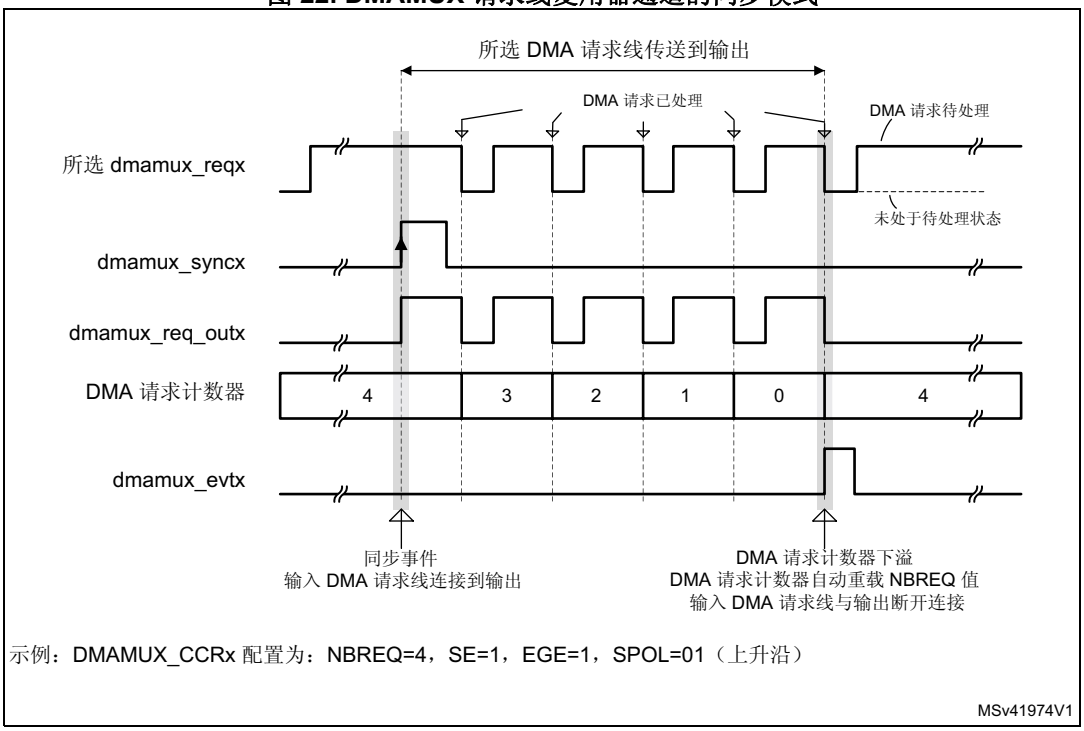
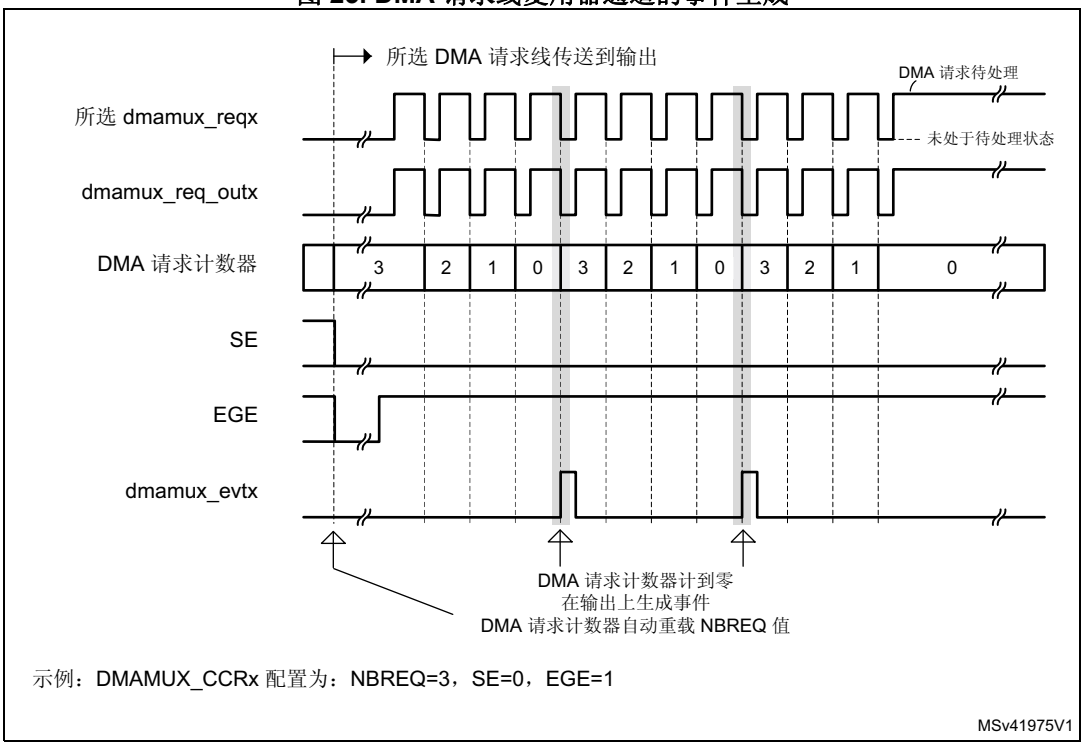


图 23. DMA 请求线复用器通道的事件生成



如果 EGE 使能，当复用器通道的 DMA 请求计数器自动重新装入已编程 NBREQ 位域的值时，复用器通道会生成一个通道事件（即，一个 AHB 时钟周期的脉冲），如*图 22* 和*图 23* 所示。

注： *如果 EGE 使能且 NBREQ = 0，则在每个处理的 DMA 请求后都会生成一个事件。*

注： *如果边沿后的状态保持稳定的时间持续 2 个 AHB 时钟周期以上，则会检测到同步事件（边沿）。*

写入 DMAMUX_CxCR 寄存器后，同步事件将被屏蔽 3 个 AHB 时钟周期。

同步溢出和中断

如果在请求计数器（通过 DMAMUX_CxCR 寄存器的 NBREQ 位域编程的内部请求计数器）下溢之前发生新的同步事件，则 DMAMUX_CSR 状态寄存器中的同步溢出标志位 SOFx 将置 1。

注： *DMA 控制器的相关通道使用结束后，应禁止请求复用器通道 x 同步 (DMAMUX_CxCR.SE = 0)。否则，在新检测到的同步事件后，由于未从 DMA 控制器收到 DMA 确认（即无已处理请求），将会发生同步溢出。*

溢出标志 SOFx 的复位方式是将 DMAMUX_CFR 寄存器中的相关清零同步溢出标志位 CSOFx 置 1。

如果 DMAMUX_CxCR 寄存器中的同步溢出中断使能位 SOIE 置 1，则将同步溢出标志置 1 会产生中断。

10.4.5 DMAMUX 请求发生器

DMAMUX 请求发生器会在其 DMA 请求触发输入上出现触发事件后产生 DMA 请求。

DMAMUX 请求发生器有多个通道。DMA 请求触发输入并行连接到所有通道。

DMAMUX 请求发生器通道的输出是 DMAMUX 请求线复用器的输入。

每个 DMAMUX 请求发生器通道 x 在相应的 DMAMUX_RGxCR 寄存器中都有一个使能位 GE（发生器使能）。

DMAMUX 请求发生器通道 x 的 DMA 请求触发输入通过相应 DMAMUX_RGxCR 寄存器中的 SIG_ID（触发信号 ID）位域选择。

DMA 请求触发输入上的触发事件可以是上升沿、下降沿或任一边沿。有效边沿通过相应 DMAMUX_RGxCR 寄存器中的 GPOL（发生器极性）位域选择。

触发事件后，相应发生器通道开始生成 DMA 请求。连接的 DMA 控制器每次处理 DMAMUX 生成的请求时（已处理请求被禁止），内置（DMAMUX 请求发生器内）DMA 请求计数器都会递减。下溢时，请求发生器通道会停止生成 DMA 请求，DMA 请求计数器将在出现下一个触发事件时自动装入其设定值。

因此，触发事件后生成的 DMA 请求的数量为 GNBREQ + 1。

注： *只能通过软件在相应发生器通道 x 的使能位 GE 被禁止时写入 GNBREQ 位域的值。*

如果边沿后的状态保持稳定的时间持续 2 个 AHB 时钟周期以上，则会检测到触发事件（边沿）。

写入 DMAMUX_RGxCR 寄存器后，触发事件将被屏蔽 3 个 AHB 时钟周期。

触发溢出和中断

如果在 DMAMUX 请求发生器计数器（通过 DMAMUX_RGxCR 寄存器的 GNBREQ 位域编程的内部计数器）下溢之前发生新的 DMA 请求触发事件，并且请求发生器通道 x 通过 GE 使能，则状态 DMAMUX_RGSR 寄存器中的请求触发事件溢出标志位 OFx 将通过硬件置为有效。

注： *DMA 控制器的相关通道使用结束后，应禁止请求发生器通道 x (DMAMUX_RGxCR.GE = 0)。否则，在新检测到的触发事件后，由于未从 DMA 收到确认（即无已处理请求），将会发生触发溢出。*

溢出标志 OFx 的复位方式是将 DMAMUX_RGCFR 寄存器中的相关清零溢出标志位 COFx 置 1。

如果 DMAMUX_RGxCR 寄存器中的 DMA 请求触发事件溢出中断使能位 OIE 置 1，则将 DMAMUX 请求触发溢出标志置 1 会产生中断。

10.5 DMAMUX 中断

发生以下事件时会产生中断：

- 每个 DMA 请求线复用器通道发生同步事件溢出
- 每个 DMA 请求发生器通道发生触发事件溢出

对任一事件，每个通道的中断使能、状态和清零标志寄存器位均可单独使用。

表 46. DMAMUX 中断

中断信号	中断事件	事件标志	清零位	使能位
dmamuxovr_it	DMAMUX 请求线复用器的通道 x 上发生同步事件溢出	SOFx	CSOFx	SOIE
	DMAMUX 请求发生器的通道 x 上发生触发事件溢出	OFx	COFx	OIE

10.6 DMAMUX 寄存器

有关 DMAMUX 基址的信息，请参见包括寄存器边界地址的表格。

DMAMUX 寄存器可按（8 位）字节、（16 位）半字或（32 位）字访问。地址应与数据大小对齐。

10.6.1 DMAMUX 请求线复用器通道 x 配置寄存器 (DMAMUX_CxCR)

DMAMUX request line multiplexer channel x configuration register

偏移地址：0x000 + 0x04 * x（x = 0 到 6）

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
						rw	rw			rw	rw	rw	rw	rw	rw

位 31:29 保留，必须保持复位值。

位 28:24 **SYNC_ID[4:0]**：同步标识 (Synchronization identification)
选择同步输入（请参见*表 44：连接到 DMAMUX 的同步输入信号分配表*）。

位 23:19 **NBREQ[4:0]**：要转发的 DMA 请求数减 1 (Number of DMA requests minus 1 to forward)
定义在同步事件后要转发到 DMA 控制器的 DMA 请求的数量，和/或生成输出事件前的 DMA 请求的数量。
只有当 SE 和 EGE 位均为低电平时，才能写入该位域。

位 18:17 **SPOL[1:0]**：同步极性 (Synchronization polarity)
定义所选同步输入的边沿极性：
00：无事件，即，无同步也无检测。
01：上升沿
10：下降沿
11：上升沿和下降沿

位 16 **SE**：同步使能 (Synchronization enable)
0：禁止同步
1：使能同步

位 15:10 保留，必须保持复位值。

位 9 **EGE**：事件生成使能 (Event generation enable)
0：禁止事件生成
1：使能事件生成

位 8 **SOIE**：同步溢出中断使能 (Synchronization overrun interrupt enable)
0：禁止中断
1：使能中断

位 7:6 保留，必须保持复位值。

位 5:0 **DMAREQ_ID[5:0]**：DMA 请求标识 (DMA request identification)
选择输入 DMA 请求。有关复用器输入到资源的分配的信息，请参见 DMAMUX 表。

10.6.2 DMAMUX 请求线复用器中断通道状态寄存器 (DMAMUX_CSR)

DMAMUX request line multiplexer interrupt channel status register

偏移地址：0x080

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
									r	r	r	r	r	r	r

位 31:7 保留，必须保持复位值。

位 6:0 **SOF[6:0]**：同步溢出事件标志 (Synchronization overrun event flag)
当 DMA 请求线复用器通道 x 上发生同步事件且 DMA 请求计数器的值小于 NBREQ 时，该标志将置 1。
该标志的清零方式是向 DMAMUX_CFR 寄存器中的相应 CSOFx 位写入 1。

10.6.3 DMAMUX 请求线复用器中断清零标志寄存器 (DMAMUX_CFR)

DMAMUX request line multiplexer interrupt clear flag register

偏移地址：0x084

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSOF 6	CSOF 5	CSOF 4	CSOF 3	CSOF 2	CSOF 1	CSOF 0
									w	w	w	w	w	w	w

位 31:7 保留，必须保持复位值。

位 6:0 **CSOF[6:0]**：清零同步溢出事件标志 (Clear synchronization overrun event flag)
将 1 写入每个位时，DMAMUX_CSR 寄存器中相应的溢出标志 SOFx 将清零。

10.6.4 DMAMUX 请求发生器通道 x 配置寄存器 (DMAMUX_RGxCR)

DMAMUX request generator channel x configuration register

偏移地址：0x100 + 0x04 * x（x = 0 到 3）

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
							rw				rw	rw	rw	rw	rw

位 31:24 保留，必须保持复位值。

位 23:19 **GNBREQ[4:0]**：要生成的 DMA 请求数（减 1）(Number of DMA requests to be generated (minus 1))
定义触发事件后生成的 DMA 请求的数量。生成的 DMA 请求的实际数量为 GNBREQ +1。
注： 只有在 GE 位禁止时才能写入此位域。

位 18:17 **GPOL[1:0]**：DMA 请求发生器触发极性 (DMA request generator trigger polarity)
定义所选触发输入的边沿极性
00：无事件。即，无触发检测和生成。
01：上升沿
10：下降沿
11：上升沿和下降沿

位 16 **GE**：DMA 请求发生器通道 x 使能 (DMA request generator channel x enable)
0：禁止 DMA 请求发生器通道 x
1：使能 DMA 请求发生器通道 x

位 15:9 保留，必须保持复位值。

位 8 **OIE**：触发溢出中断使能 (Trigger overrun interrupt enable)
0：禁止在出现触发溢出事件时产生中断。
1：使能在出现触发溢出事件时产生中断。

位 7:5 保留，必须保持复位值。

位 4:0 **SIG_ID[4:0]**：信号标识 (Signal identification)
选择用于 DMA 请求发生器的通道 x 的 DMA 请求触发输入

10.6.5 DMAMUX 请求发生器中断状态寄存器 (DMAMUX_RGSR)

DMAMUX request generator interrupt status register

偏移地址：0x140

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OF3	OF2	OF1	OF0
												r	r	r	r

位 31:4 保留，必须保持复位值。

位 3:0 **OF[3:0]**：触发溢出事件标志 (Trigger overrun event flag)
在请求计数器（通过 DMAMUX_RGxCR 寄存器的 GNBREQ 位域编程的内部请求计数器）下溢之前，如果 DMA 请求发生器通道 x 上发生新触发事件，则该标志置 1。
该标志的清零方式是向 DMAMUX_RGCFR 寄存器中的相应 COFx 位写入 1。

10.6.6 DMAMUX 请求发生器中断清零标志寄存器 (DMAMUX_RGCFR)

DMAMUX request generator interrupt clear flag register

偏移地址：0x144

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	COF3	COF2	COF1	COF0
												w	w	w	w

位 31:4 保留，必须保持复位值。

位 3:0 **COF[3:0]**：清零触发溢出事件标志 (Clear trigger overrun event flag)
将 1 写入每个位时，DMAMUX_RGSR 寄存器中相应的溢出标志 OFx 将清零。

10.6.7 DMAMUX 寄存器映射

下表汇总了 DMAMUX 寄存器和复位值。有关 DMAMUX 寄存器的基本地址，请参见寄存器边界地址表。

表 47. DMAMUX 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	DMAMUX_C0CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x004	DMAMUX_C1CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x008	DMAMUX_C2CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x00C	DMAMUX_C3CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x010	DMAMUX_C4CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x014	DMAMUX_C5CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x018	DMAMUX_C6CR	Res.	Res.	Res.	SYNC_ID[4:0]					NBREQ[4:0]					SPOL[1:0]		SE	Res.	Res.	Res.	Res.	Res.	Res.	EGE	SOIE	Res.	Res.	DMAREQ_ID[5:0]					
	Reset value				0	0	0	0	0	0	0	0	0	0	0	0	0							0	0			0	0	0	0	0	0
0x01C - 0x07C	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x080	DMAMUX_CSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SOF6	SOF5	SOF4	SOF3	SOF2	SOF1	SOF0
	Reset value																										0	0	0	0	0	0	0
0x084	DMAMUX_CFR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CSOF6	CSOF5	CSOF4	CSOF3	CSOF2	CSOF1	CSOF0
	Reset value																										0	0	0	0	0	0	0
0x088 - 0x0FC	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x100	DMAMUX_RG0CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	Reset value									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x104	DMAMUX_RG1CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	Reset value									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x108	DMAMUX_RG2CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	Reset value									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x10C	DMAMUX_RG3CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GNBREQ[4:0]					GPOL[1:0]		GE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIE	Res.	Res.	Res.	SIG_ID[4:0]				
	Reset value									0	0	0	0	0	0	0	0								0				0	0	0	0	0
0x110 - 0x13C	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x140	DMAMUX_RGSR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OF6	OF5	OF4	OF3	OF2	OF1	OF0
	Reset value																										0	0	0	0	0	0	0

表 47. DMAMUX 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x144	DMAMUX_RGCFR	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	COF6	COF5	COF4	COF3	COF2	COF1	COF0
	Reset value																										0	0	0	0	0	0	0
0x148 - 0x3FC	Reserved	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res	Res

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

11 嵌套向量中断控制器 (NVIC)

11.1 主要特性

- 32 个可屏蔽中断通道（不包括 16 根 Cortex®-M0+ 中断线）
- 4 个可编程优先级（使用了 2 位中断优先级）
- 低延迟异常和中断处理
- 电源管理控制
- 系统控制寄存器的实现

NVIC 和处理器内核接口紧密配合，可以实现低延迟的中断处理和晚到中断的高效处理。

包括内核异常在内的所有中断均通过 NVIC 进行管理。更多关于异常和 NVIC 编程的说明，请参见编程手册 PM0223。

11.2 SysTick 校准值寄存器

SysTick 校准值设置为 6500。当 SysTick 时钟设置为 6.5 MHz（最大 $f_{HCLK}/8$）时，会产生 1 ms 时间基准。

11.3 中断和异常向量

表 48 为向量表。与外设有关的信息仅适用于包含该外设的器件。

表 48. 向量表(1)

位置	优先级	优先级类型	缩略语	说明	地址
-	-	-	-	保留	0x0000_0000
-	-3	固定	复位	复位	0x0000_0004
-	-2	固定	NMI_Handler	不可屏蔽中断。SRAM 奇偶校验错误、Flash ECC 双重错误、HSE CSS 和 LSE CSS 与 NMI 向量相链接。	0x0000_0008
-	-1	固定	HardFault_Handler	所有类型的错误	0x0000_000C
-	-	-	-	保留	0x0000_0010 0x0000_0014 0x0000_0018 0x0000_001C 0x0000_0020 0x0000_0024 0x0000_0028
-	3	可设置	SVC_Handler	通过 SWI 指令调用的系统服务	0x0000_002C

表 48. 向量表[1]（续）

位置	优先级	优先级类型	缩略语	说明	地址
-	-	-	-	保留	0x0000_0030 0x0000_0034
-	5	可设置	PendSV_Handler	可挂起的系统服务请求	0x0000_0038
-	6	可设置	SysTick_Handler	系统节拍定时器	0x0000_003C
0	7	可设置	WWDG	窗口看门狗中断	0x0000_0040
1	8	可设置	PVD	电源电压检测器中断（EXTI 线 16）	0x0000_0044
2	9	可设置	RTC/TAMP	RTC 和 TAMP 中断（与 EXTI 线 19 和 21 结合使用）	0x0000_0048
3	10	可设置	FLASH	Flash 全局中断	0x0000_004C
4	11	可设置	RCC	RCC 全局中断	0x0000_0050
5	12	可设置	EXTI0_1	EXTI 线 0 和 1 中断	0x0000_0054
6	13	可设置	EXTI2_3	EXTI 线 2 和 3 中断	0x0000_0058
7	14	可设置	EXTI4_15	EXTI 线 4 到 15 中断	0x0000_005C
8	15	可设置	UCPD1/UCPD2	UCPD 全局中断（与 EXTI 线 32 和 33 结合使用）	0x0000_0060
9	16	可设置	DMA_Channel1	DMA 通道 1 中断	0x0000_0064
10	17	可设置	DMA_Channel2_3	DMA 通道 2 和 3 中断	0x0000_0068
11	18	可设置	DMA_Channel4_5_6_7/DMAMUX	DMA 通道 4、5、6 和 7 以及 DMAMUX 中断	0x0000_006C
12	19	可设置	ADC_COMP	ADC 和 COMP 中断（ADC 与 EXTI 17 和 18 结合使用）	0x0000_0070
13	20	可设置	TIM1_BRK_UP_TRG_COM	TIM1 刹车、更新、触发和换相中断	0x0000_0074
14	21	可设置	TIM1_CC	TIM1 捕获比较中断	0x0000_0078
15	22	可设置	TIM2	TIM2 全局中断	0x0000_007C
16	23	可设置	TIM3	TIM3 全局中断	0x0000_0080
17	24	可设置	TIM6_DAC/LPTIM1	TIM6、LPTIM1 和 DAC 全局中断	0x0000_0084
18	25	可设置	TIM7/LPTIM2	TIM7 和 LPTIM2 全局中断	0x0000_0088
19	26	可设置	TIM14	TIM14 全局中断	0x0000_008C
20	27	可设置	TIM15	TIM15 全局中断	0x0000_0090
21	28	可设置	TIM16	TIM16 全局中断	0x0000_0094
22	29	可设置	TIM17	TIM17 全局中断	0x0000_0098
23	30	可设置	I2C1	I2C1 全局中断（与 EXTI 23 结合使用）	0x0000_009C
24	31	可设置	I2C2	I2C2 全局中断	0x0000_00A0

表 48. 向量表[1]（续）

位置	优先级	优先级类型	缩略语	说明	地址
25	32	可设置	SPI1	SPI1 全局中断	0x0000_00A4
26	33	可设置	SPI2	SPI2 全局中断	0x0000_00A8
27	34	可设置	USART1	USART1 全局中断（与 EXTI 25 结合使用）	0x0000_00AC
28	35	可设置	USART2	USART2 全局中断（与 EXTI 26 结合使用）	0x0000_00B0
29	36	可设置	USART3/USART4/ LPUART1	USART3、USART4 和 LPUART1 全局中断（与 EXTI 28 结合使用）	0x0000_00B4
30	37	可设置	CEC	CEC 全局中断（与 EXTI 27 结合使用）	0x0000_00B8
31	38	可设置	AES/RNG	AES 和 RNG 全局中断	0x0000_00BC

1. 灰色单元格对应于 Cortex®-M0+ 中断。

12 扩展中断与事件控制器 (EXTI)

扩展中断与事件控制器 (EXTI) 通过可配置的事件输入和直接事件输入（线）来管理 CPU 和系统唤醒。它可以针对电源控制提供唤醒请求、针对 CPU NVIC 生成中断请求，以及针对 CPU 事件输入生成事件。对于 CPU 而言，要生成 CPU 事件信号，需要额外的事件生成模块 (EVG)。

EXTI 唤醒请求允许系统从停止模式唤醒。

此外，还可以在运行模式下生成中断请求和事件请求。

EXTI 还包括 EXTI I/O 端口复用器。

12.1 EXTI 主要特性

EXTI 的主要特性如下：

- 任何输入上出现事件后均唤醒系统
- 针对自身源外设中没有唤醒标志的事件，产生唤醒标志和 CPU 中断
- 可配置事件（来自 I/O、没有相关中断挂起状态位的外设或生成脉冲的外设）
  - 可选择的有效触发边沿
  - 相互独立的上升沿和下降沿中断挂起状态位
  - 单独的中断和事件生成屏蔽，用于调理 CPU 唤醒、中断和事件生成
  - 支持软件触发
- 直接事件（来自具有相关标志和中断挂起状态位的外设）
  - 固定上升沿有效触发
  - EXTI 中没有中断挂起状态位
  - 单独的中断和事件生成屏蔽，用于调理 CPU 唤醒和事件生成
  - 不支持软件触发
- I/O 端口选择器

12.2 EXTI 框图

EXTI 包括一个通过 AHB 接口访问的寄存器模块、事件输入触发模块、屏蔽模块和 EXTI 复用器，如*图 24* 所示。

寄存器模块包含所有 EXTI 寄存器。

事件输入触发模块提供事件输入边沿触发逻辑。

屏蔽模块为不同的唤醒、中断和事件输出及其屏蔽功能提供事件输入分配。

EXTI 复用器为 EXTI 事件信号提供 I/O 端口选择。

图 24. EXTI 框图

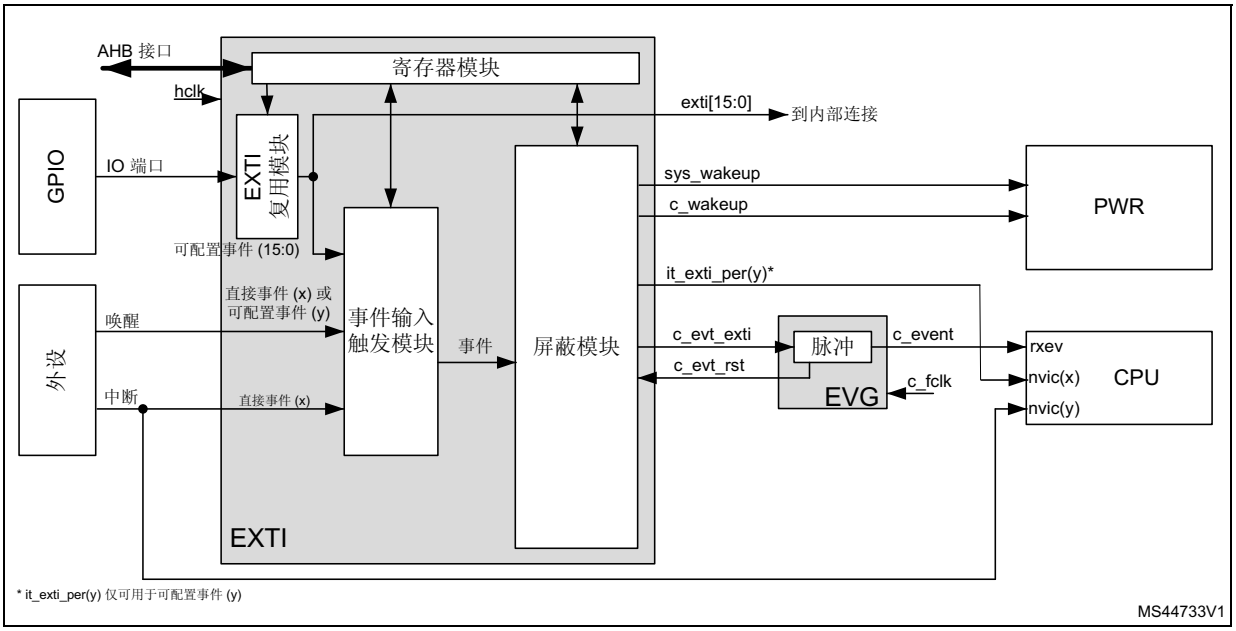


表 49. EXTI 信号概述

信号名称	I/O	说明
AHB 接口	I/O	EXTI 寄存器总线接口。当一个事件配置为允许安全功能时，AHB 接口可以支持安全访问
hclk	I	AHB 总线时钟和 EXTI 系统时钟
可配置事件 (y)	I	来自外设的异步唤醒事件，在外设中没有相关中断和标志
直接事件 (x)	I	来自外设的同步和异步唤醒事件，在外设中具有相关中断和标志
IOPort(n)	I	GPIO 端口[15:0]
exti[15:0]	O	用于触发其他 IP 的 EXTI 输出端口
it_exti_per (y)	O	与可配置事件 (y) 相关的 CPU 中断
c_evt_exti	O	CPU 的高电平敏感事件输出，与 hclk 同步
c_evt_rst	I	用于清零 c_evt_exti 的异步复位输入
sys_wakeup	O	PWR 异步系统唤醒请求，用于 ck_sys 和 hclk
c_wakeup	O	CPU 的 PWR 唤醒请求，与 hclk 同步

表 50. EVG 引脚概述

引脚名称	I/O	说明
c_fclk	I	CPU 自由运行时钟
c_evt_in	I	来自 EXTI 的高电平敏感事件输入，与 CPU 时钟异步
c_event	O	事件脉冲，与 CPU 时钟同步
c_evt_rst	O	事件复位信号，与 CPU 时钟同步

12.2.1 外设和 CPU 之间的 EXTI 连接

能够在系统处于停止模式时生成唤醒或中断事件的外设连接到 EXTI。

- 生成脉冲或在外设中没有中断状态位的外设唤醒信号连接到 EXTI 可配置线。对于这类事件，EXTI 将提供需要清零的状态挂起位。与状态位相关的 EXTI 中断将中断 CPU。
- 在外设中具有状态位且状态位需要在外设中清零的外设中断和唤醒信号连接到 EXTI 直接线。EXTI 中无状态挂起位。中断或唤醒由 CPU 在外设中清除。外设中断直接中断 CPU。
- 所有 GPIO 端口都输入到 EXTI 复用器，允许选择一个端口通过可配置事件唤醒系统。

EXTI 可配置事件中断连接到 CPU 的 NVIC(a)。

专用的 EXTI/EVG CPU 事件连接到 CPU rxev 输入。

EXTI CPU 唤醒信号连接到 PWR 模块，用于唤醒系统和 CPU 子系统总线时钟。

12.3 EXTI 功能说明

根据 EXTI 线类型和唤醒目标，将使用不同的逻辑实现。适用的功能以及相关的控制或状态寄存器如下：

- 上升沿和下降沿事件使能，通过以下寄存器实现：
  - *EXTI 上升沿触发选择寄存器 (EXTI_RTSR1)*
  - *EXTI 下降沿触发选择寄存器 (EXTI_FTSR1)*
- 软件触发，通过以下寄存器实现：*EXTI 软件中断事件寄存器 (EXTI_SWIER1)*
- 挂起中断标记，通过以下寄存器实现：
  - *EXTI 上升沿挂起寄存器 (EXTI_RPR1)*
  - *EXTI 下降沿挂起寄存器 (EXTI_FPR1)*
  - *EXTI 外部中断选择寄存器 (EXTI_EXTICRx)*
- CPU 唤醒和中断使能，通过以下寄存器实现：
  - *EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR1)*
  - *EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR2)*
- CPU 唤醒和事件使能，通过以下寄存器实现：
  - *EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR1)*
  - *EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR2)*

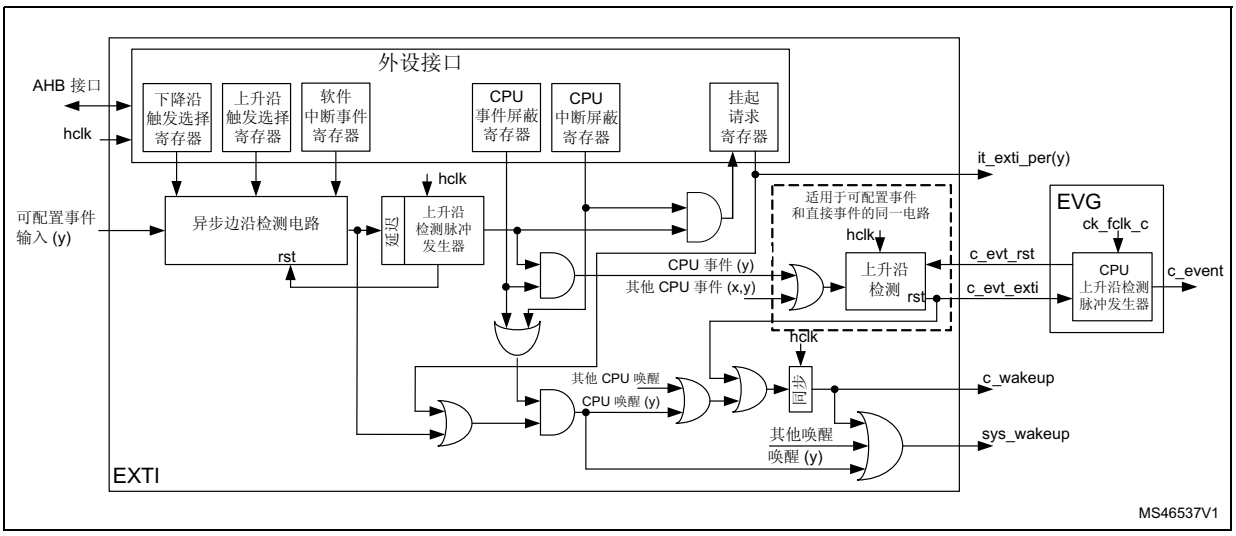
表 51. EXTI 事件输入配置和寄存器控制

事件输入类型	逻辑实现	EXTI_RTSR1	EXTI_FTSR1	EXTI_SWIER1	EXTI_R/FPR1	EXTI_IMRx	EXTI_EMRx
可配置	可配置事件输入唤醒逻辑	x	x	x	x	x	x
直接	直接事件输入唤醒逻辑	-	-	-	-	x	x

12.3.1 EXTI 可配置事件输入唤醒

图 25 所示为将唤醒 CPU 子系统总线时钟以及生成 EXTI 挂起标志、CPU 中断和/或 CPU 唤醒事件的可配置事件输入的相关逻辑详图。

图 25. 触发逻辑 CPU 唤醒的可配置事件



软件中断事件寄存器允许通过软件触发可配置事件，写入相应的寄存器位，而与边沿选择设置无关。

上升沿和下降沿选择寄存器允许使能和选择可配置事件有效触发边沿或两种边沿同时使能。

CPU 具有专用的中断屏蔽寄存器和专用的事件屏蔽寄存器。使能的事件允许在 CPU 上生成一个事件。CPU 的所有事件均在一个 CPU 事件信号中进行逻辑或运算。事件挂起寄存器（EXTI_RPR1 和 EXTI_FPR1）不会针对未屏蔽的 CPU 事件而置 1。

可配置事件具有由 CPU 共享的唯一中断挂起请求寄存器。挂起寄存器只会针对未屏蔽的中断置 1。每个可配置事件均为 CPU 提供通用中断。可配置事件中断需要由软件在 EXTI_RPR1 和/或 EXTI_FPR1 寄存器中进行确认。

使能 CPU 中断或 CPU 事件时，异步边沿检测电路由时钟延迟和上升沿检测脉冲发生器复位。这可以确保 EXTI hclk 时钟在异步边沿检测电路复位之前唤醒。

注： *检测到的可配置事件中断挂起请求可由 CPU 清除。只要中断挂起请求处于活动状态，系统就无法进入低功耗模式。*

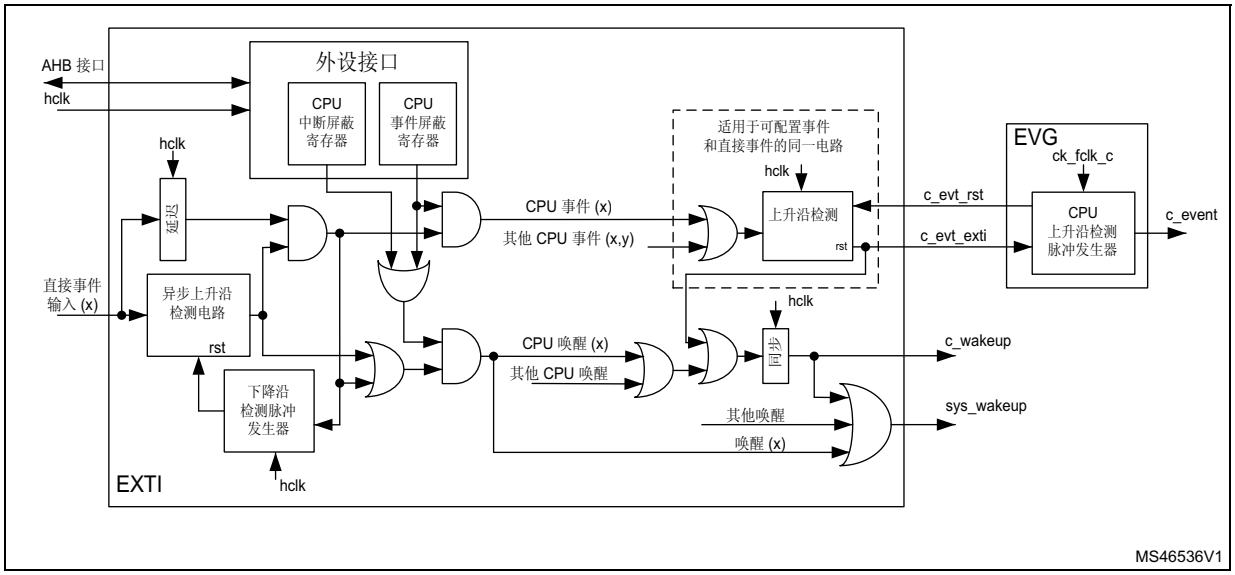
12.3.2 EXTI 直接事件输入唤醒

图 26 所示为唤醒系统的直接事件输入的相关逻辑详图。

直接事件没有相关 EXTI 中断。EXTI 仅唤醒系统和 CPU 子系统时钟，并可能生成 CPU 唤醒事件。与直接唤醒事件相关的外设同步中断将唤醒 CPU。

EXTI 直接事件能够生成 CPU 事件。此 CPU 事件将唤醒 CPU。CPU 事件可能在相关外设中断标志置 1 之前发生。

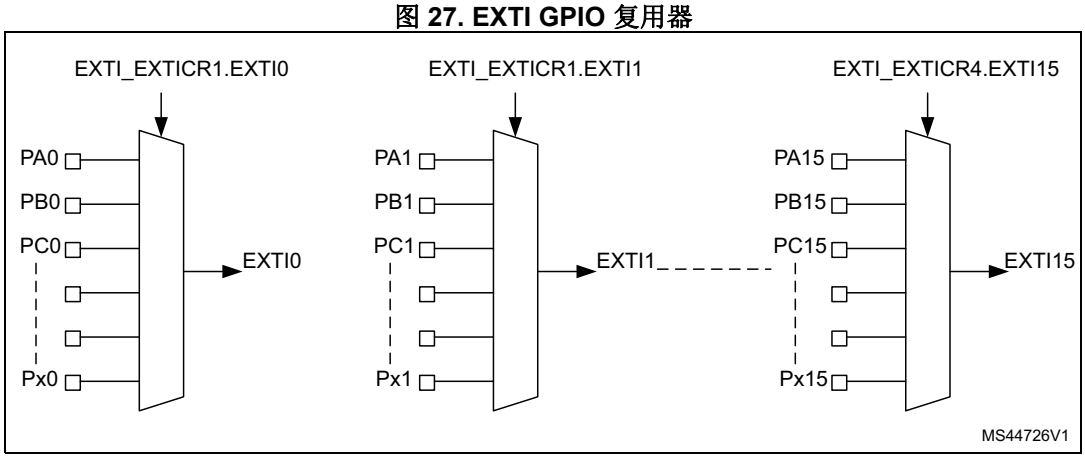
图 26. 触发逻辑 CPU 唤醒的直接事件



12.3.3 EXTI 复用器

EXTI 复用器允许选择 GPIO 实现中断和唤醒。GPIO 通过 16 条 EXTI 复用器线连接到前 16 个 EXTI 事件（作为可配置事件）。选择 GPIO 端口作为 EXTI 复用器输出是由 *EXTI 外部中断选择寄存器 (EXTI_EXTICRx)* 寄存器控制的。

图 27. EXTI GPIO 复用器



EXTI 复用器输出可用作 EXTI 的输出信号，以触发其他功能块。EXTI 复用器输出可忽略通过 EXTI_IMR 和 EXTI_EMR 寄存器实现的屏蔽设置。

EXTI 线（事件输入）的连接如下表所示。

表 52. EXTI 线连接

EXTI 线	线源	线类型
0-15	GPIO	可配置
16	PVD 输出	可配置
17	COMP1 输出	可配置
18	COMP2 输出	可配置
19	RTC	直接
20	保留	-
21	TAMP	直接
22	保留	-
23	I2C1 唤醒	直接
24	保留	-
25	USART1 唤醒	直接
26	USART2 唤醒	直接
27	CEC 唤醒	直接
28	LPUART1 唤醒	直接
29	LPTIM1	直接
30	LPTIM2	直接
31	LSE_CSS	直接
32	UCPD1 唤醒	直接
33	UCPD2 唤醒	直接

12.4 EXTI 功能行为

在生成唤醒事件的相应外设中使能直接事件输入。通过使能至少一个触发沿来使能可配置事件。

使能事件输入后，CPU 唤醒的生成取决于 CPU 中断屏蔽和 CPU 事件屏蔽。

表 53. 屏蔽功能

CPU 中断使能 EXTI_IMR.IMn	CPU 事件使能 EXTI_EMR.EMn	可配置事件输入 EXTI_RPR.RPIFn EXTI_FPR.FPIFn	exti(n) 中断(1)	CPU 事件	CPU 唤醒
0	0	不支持	已屏蔽	已屏蔽	已屏蔽
	1	不支持	已屏蔽	支持	支持
1	0	状态已锁存	支持	已屏蔽	支持(2)
	1	状态已锁存	支持	支持	支持

1. 单个 exti(n) 中断将进入 CPU。如果 CPU 不需要中断，必须在 CPU NVIC 中屏蔽 exti(n) 中断。
2. 仅限在 EXTI_IMR.IMn 中使能 CPU 中断的情况。

对于可配置事件输入，在事件输入上出现边沿后，如果使能了该边沿（上升沿和/或下降沿），则会生成事件请求。当相关 CPU 中断未屏蔽时，EXTI_RPR 和/或 EXTI_FPR 寄存器中的相应 RPIFn 和/或 FPIFn 位置 1，从而唤醒 CPU 子系统并激活 CPU 中断信号。RPIFn 和/或 FPIFn 挂起位通过写入 1 来清零，从而清除 CPU 中断请求。

对于直接事件输入，当在相关外设中使能时，只会在上升沿生成事件请求。EXTI 中没有相应的 CPU 挂起位。当相关 CPU 中断未屏蔽时，相应 CPU 子系统会唤醒。CPU 通过外设同步中断唤醒（中断）。

要生成事件，CPU 事件必须处于未屏蔽状态。当事件输入上出现使能的边沿时，会生成 CPU 事件脉冲。不存在事件挂起位。

对于可配置事件输入，软件可以通过将软件中断/事件寄存器 EXTI_SWIER1 的相应位置 1 来生成事件请求，这会对事件输入的上升沿产生影响。无论 EXTI_RTSR1 寄存器设置如何，EXTI_RPR1 寄存器中的挂起上升沿事件标志都会置 1。

12.5 EXTI 寄存器

EXTI 寄存器映射分为以下几部分：

表 54. EXTI 寄存器映射部分

地址	说明
0x000 - 0x01C	通用可配置事件 [31:0] 配置
0x060 - 0x06C	EXTI I/O 端口复用器
0x080 - 0x0BC	CPU 输入事件配置

所有寄存器均可支持字（32 位）、半字（16 位）和字节（8 位）访问。

12.5.1 EXTI 上升沿触发选择寄存器 (EXTI_RTSR1)

EXTI rising trigger selection register

偏移地址：0x000

复位值：0x0000 0000

仅包含可配置事件的寄存器位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT18	RT17	RT16
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RT15	RT14	RT13	RT12	RT11	RT10	RT9	RT8	RT7	RT6	RT5	RT4	RT3	RT2	RT1	RT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **RTx**：可配置线 x 的上升沿触发事件配置位 (Rising trigger event configuration bit of configurable line x)（x = 18 到 0）(1)

每个位针对相应线上的事件和中断使能/禁止上升沿触发。

0：禁止

1：使能

RT18 和 RT17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

1. 可配置线为边沿触发，在这些输入上不能出现毛刺信号。
如果在对寄存器执行写操作时可配置线上出现上升沿，则相关挂起位不会被置 1。
可以为使能了下降沿触发的线设置上升沿触发。在这种情况下，两种边沿均会生成触发信号。

12.5.2 EXTI 下降沿触发选择寄存器 (EXTI_FTSR1)

EXTI falling trigger selection register

偏移地址：0x004

复位值：0x0000 0000

仅包含可配置事件的寄存器位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT18	FT17	FT16
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FT15	FT14	FT13	FT12	FT11	FT10	FT9	FT8	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **FTx**：可配置线 x 的下降沿触发事件配置位 (Falling trigger event configuration bit of configurable line x)（x = 18 到 0）(1)。

每个位针对相应线上的事件和中断使能/禁止下降沿触发。

0：禁止

1：使能

FT18 和 FT17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

1. 可配置线为边沿触发，在这些输入上不能出现毛刺信号。
如果在对寄存器执行写操作时可配置线上出现下降沿，则相关挂起位不会被置 1。
可以为使能了上升沿触发的线设置下降沿触发。在这种情况下，两种边沿均会生成触发信号。

12.5.3 EXTI 软件中断事件寄存器 (EXTI_SWIER1)

EXTI software interrupt event register

偏移地址：0x008

复位值：0x0000 0000

仅包含可配置事件的寄存器位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI 18	SWI 17	SWI 16
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWI 15	SWI 14	SWI 13	SWI 12	SWI 11	SWI 10	SWI9	SWI8	SWI7	SWI6	SWI5	SWI4	SWI3	SWI2	SWI1	SWI0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **SWIx**：线 x 上的软件上升沿事件触发 (Software rising edge event trigger on line x)（x = 18 到 0）

通过软件将任何位置 1 均会在相应线 x 上触发上升沿事件，从而产生中断，这与 EXTI_RTSR1 和 EXTI_FTSR1 设置无关。这些位由硬件自动清零。读取任何位均始终返回 0。

0：无影响

1：在相应线上生成上升沿事件，接着会产生中断

SW18 和 SW17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

12.5.4 EXTI 上升沿挂起寄存器 (EXTI_RPR1)

EXTI rising edge pending register

偏移地址：0x00C

复位值：0x0000 0000

仅包含可配置事件的寄存器位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RPIF18	RPIF17	RPIF16
													rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPIF15	RPIF14	RPIF13	RPIF12	RPIF11	RPIF10	RPIF9	RPIF8	RPIF7	RPIF6	RPIF5	RPIF4	RPIF3	RPIF2	RPIF1	RPIF0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位 31:19 保留，必须保持复位值。

位 18:0 **RPIFx**：可配置线 x 的上升沿事件挂起 (Rising edge event pending for configurable line x)（x = 18 到 0）

每个位在相应线上以硬件或软件方式（通过 EXTI_SWIER1 寄存器）生成上升沿事件后置 1。每个位均通过写入 1 的方式清零。

0：未发生上升沿触发请求

1：发生了上升沿触发请求

RPIF18 和 RPIF17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

12.5.5 EXTI 下降沿挂起寄存器 (EXTI_FPR1)

EXTI falling edge pending register

偏移地址：0x010

复位值：0x0000 0000

仅包含可配置事件的寄存器位。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FPIF18	FPIF17	FPIF16
													rc_w1	rc_w1	rc_w1

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FPIF15	FPIF14	FPIF13	FPIF12	FPIF11	FPIF10	FPIF9	FPIF8	FPIF7	FPIF6	FPIF5	FPIF4	FPIF3	FPIF2	FPIF1	FPIF0
rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位 31:19 保留，必须保持复位值。

位 18:0 **FPIFx**：可配置线 x 的下降沿事件挂起 (Falling edge event pending for configurable line x)（x = 18 到 0）

每个位在相应线上以硬件或软件方式（通过 EXTI_SWIER1 寄存器）生成下降沿事件后置 1。每个位均通过写入 1 的方式清零。

0：未发生下降沿触发请求

1：发生了下降沿触发请求

FPIF18 和 FPIF17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

12.5.6 EXTI 外部中断选择寄存器 (EXTI_EXTICRx)

EXTI external interrupt selection register

偏移地址：0x060 + 0x4 * (x - 1)，（x = 1 到 4）

复位值：0x0000 0000

EXTIm 位域仅包含与 nb_ioport 配置一致的位数。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EXTIm+3[7:0]								EXTIm+2[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EXTIm+1[7:0]								EXTIm[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 **EXTIm+3[7:0]**：EXTIm+3 GPIO 端口选择 (EXTIm+3 GPIO port selection) (m = 4 * (x - 1))
这些位通过软件写入，以选择 EXTIm+3 外部中断的源输入。
0x00：PA[m+3] 引脚
0x01：PB[m+3] 引脚
0x02：PC[m+3] 引脚
0x03：PD[m+3] 引脚
0x04：保留
0x05：PF[m+3] 引脚
其它值：保留

位 23:16 **EXTIm+2[7:0]**：EXTIm+2 GPIO 端口选择 (EXTIm+2 GPIO port selection) (m = 4 * (x - 1))
这些位通过软件写入，以选择 EXTIm+2 外部中断的源输入。
0x00：PA[m+2] 引脚
0x01：PB[m+2] 引脚
0x02：PC[m+2] 引脚
0x03：PD[m+2] 引脚
0x04：保留
0x05：PF[m+2] 引脚
其它值：保留

位 15:8 **EXTIm+1[7:0]**：EXTIm+1 GPIO 端口选择 (EXTIm+1 GPIO port selection) (m = 4 * (x - 1))
这些位通过软件写入，以选择 EXTIm+1 外部中断的源输入。
0x00：PA[m+1] 引脚
0x01：PB[m+1] 引脚
0x02：PC[m+1] 引脚
0x03：PD[m+1] 引脚
0x04：保留
0x05：PF[m+1] 引脚
其它值：保留

位 7:0 **EXTIm[7:0]**：EXTIm GPIO 端口选择 (EXTIm GPIO port selection) (m = 4 * (x - 1))
这些位通过软件写入，以选择 EXTIm 外部中断的源输入。
0x00：PA[m] 引脚
0x01：PB[m] 引脚
0x02：PC[m] 引脚
0x03：PD[m] 引脚
0x04：保留
0x05：PF[m] 引脚
其它值：保留

12.5.7 EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR1)

EXTI CPU wakeup with interrupt mask register

偏移地址：0x080 (EXTI_IMR1)

复位值：0xFFF8 0000

包含可配置事件和直接事件的寄存器位。

复位值默认设为使能来自直接线的中断，禁止来自可配置线的中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IM31	IM30	IM29	IM28	IM27	IM26	IM25	Res.	IM23	Res.	IM21	Res.	IM19	IM18	IM17	IM16
rw	rw	rw	rw	rw	rw	rw		rw		rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IM15	IM14	IM13	IM12	IM11	IM10	IM9	IM8	IM7	IM6	IM5	IM4	IM3	IM2	IM1	IM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 **IMx**：线 x 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line x)（x = 31 到 25）

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。

0：屏蔽通过中断实现的唤醒

1：解除屏蔽通过中断实现的唤醒

注： IM27 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 24 保留，必须保持复位值。

位 23 **IM23**：线 23 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line 23)

将此置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。

0：屏蔽通过中断实现的唤醒

1：解除屏蔽通过中断实现的唤醒

位 22 保留，必须保持复位值。

位 21 **IM21**：线 21 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line 21)

将此置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。

0：屏蔽通过中断实现的唤醒

1：解除屏蔽通过中断实现的唤醒

位 20 保留，必须保持复位值。

位 19:0 **IMx**：线 x 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line x)（x = 19 到 0）

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。

0：屏蔽通过中断实现的唤醒

1：解除屏蔽通过中断实现的唤醒

IM18 和 IM17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

12.5.8 EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR1)

EXTI CPU wakeup with event mask register

偏移地址：0x084 (EXTI_EMR1)

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
EM31	EM30	EM29	EM28	EM27	EM26	EM25	Res.	EM23	Res.	EM21	Res.	EM19	EM18	EM17	EM16
rw	rw	rw	rw	rw	rw	rw		rw		rw		rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EM15	EM14	EM13	EM12	EM11	EM10	EM9	EM8	EM7	EM6	EM5	EM4	EM3	EM2	EM1	EM0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 **EMx**：线 x 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line x)（x = 31 到 25）

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

EM27 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

位 24 保留，必须保持复位值。

位 23 **EM23**：线 23 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line 23)

将此置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

位 22 保留，必须保持复位值。

位 21 **EM21**：线 21 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line 21)

将此置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

位 20 保留，必须保持复位值。

位 19:0 **EMx**：线 x 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line x)（x = 19 到 0）

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

EM18 和 EM17 位仅在 STM32G071xx 和 STM32G081xx 中可用，在 STM32G031xx 和 STM32G041xx 中为保留位。

12.5.9 EXTI CPU 唤醒（通过中断）屏蔽寄存器 (EXTI_IMR2)

EXTI CPU wakeup with interrupt mask register

偏移地址：0x090 (EXTI_IMR2)

复位值：0xFFFF FFFF

包含可配置事件和直接事件的寄存器位。

此寄存器在 STM32G031xx 和 STM32G041xx 中不可用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM33	IM32
														rw	rw

位 31:2 保留，必须保持复位值。

位 1 **IM33**：线 33 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line 33)(1)(2)
将此置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。
0：屏蔽通过线 x 的中断请求实现的唤醒
1：解除屏蔽通过线 x 的中断请求实现的唤醒

位 0 **IM32**：线 32 上的 CPU 唤醒（通过中断）屏蔽 (CPU wakeup with interrupt mask on line 32)
将此置位/清零可解除屏蔽/屏蔽由相应线上的事件触发的 CPU 唤醒（通过中断）。
0：屏蔽通过线 x 的中断请求实现的唤醒
1：解除屏蔽通过线 x 的中断请求实现的唤醒

1. 可配置线的复位值设置为 0，以在默认情况下禁止中断。
2. 直接线的复位值设置为 1，以在默认情况下使能中断。

12.5.10 EXTI CPU 唤醒（通过事件）屏蔽寄存器 (EXTI_EMR2)

EXTI CPU wakeup with event mask register

偏移地址：0x094

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM33	EM32
														rw	rw

位 31:2 保留，必须保持复位值。

位 1 **EM33**：线 33 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line 33)

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

位 0 **EM32**：线 32 上的 CPU 唤醒（通过事件生成）屏蔽 (CPU wakeup with event generation mask on line 32)

将每个置位/清零可解除屏蔽/屏蔽由相应线上的事件生成触发的 CPU 唤醒。

0：屏蔽通过事件生成实现的唤醒

1：解除屏蔽通过事件生成实现的唤醒

12.5.11 EXTI 寄存器映射

下表列出了 EXTI 寄存器映射和复位值。

表 55. EXTI 控制器寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	**EXTI_RTSR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RT[18:0]																		
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	**EXTI_FTSR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FT[18:0]																		
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x008	**EXTI_SWIER1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWI[18:0]																		
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	**EXTI_RPR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RPIF[18:0]																		
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	**EXTI_FPR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FPIF[16:0]																		
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x014-0x05C	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x060	**EXTI_EXTICR1**	EXTI3[7:0]								EXTI2[7:0]								EXTI1[7:0]								EXTI0[7:0]							
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	**EXTI_EXTICR2**	EXTI7[7:0]								EXTI6[7:0]								EXTI5[7:0]								EXTI4[7:0]							
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	**EXTI_EXTICR3**	EXTI11[7:0]								EXTI10[7:0]								EXTI9[7:0]								EXTI8[7:0]							
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x06C	**EXTI_EXTICR4**	EXTI15[7:0]								EXTI14[7:0]								EXTI13[7:0]								EXTI12[7:0]							
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070-0x07C	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

表 55. EXTI 控制器寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x080	**EXTI_IMR1**	IM[31:25]							Res.	IM23	Res.	IM21	Res.	IM[19:0]																			
	Reset value	1	1	1	1	1	1	1		1		1		1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	**EXTI_EMR1**	EM[31:25]							Res.	EM23	Res.	EM21	Res.	EM[19:0]																			
	Reset value	0	0	0	0	0	0	0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088-0x08C	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x090	**EXTI_IMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IM33	IM32
	Reset value																															1	1
0x094	**EXTI_EMR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EM33	EM32
	Reset value																															0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

13 循环冗余校验计算单元 (CRC)

13.1 简介

CRC（循环冗余校验）计算单元使用多项式发生器从一个 8 位/16 位/32 位的数据字中产生 CRC 码。

在众多的应用中，基于 CRC 的技术还常用来验证数据传输或存储的完整性。根据功能安全标准的规定，这些技术提供了验证 Flash 完整性的方法。CRC 计算单元有助于在运行期间计算软件的签名，并将该签名与链接时生成并存储在指定存储单元的参考签名加以比较。

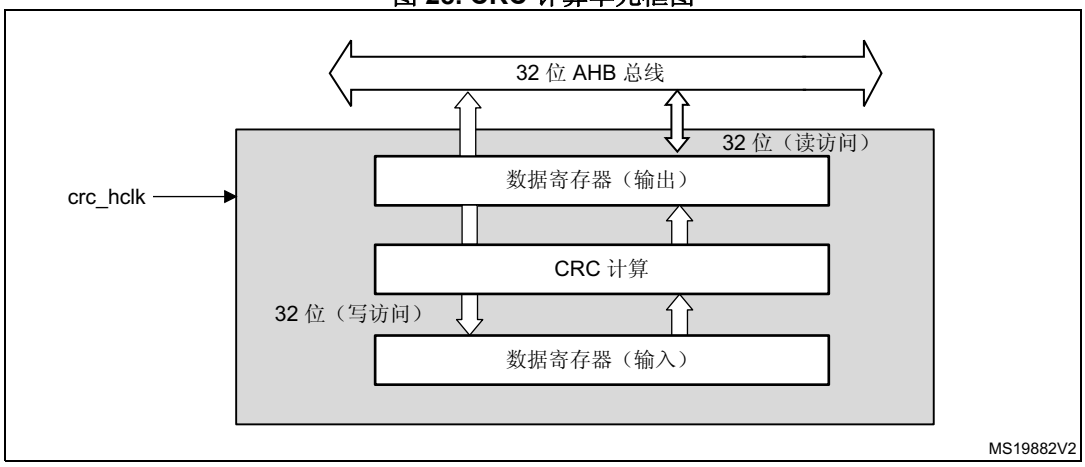
13.2 CRC 主要特性

- 使用 CRC-32（以太网）多项式：0x4C11DB7
  $X^{32} + X^{26} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + X + 1$
- 或者，使用位数可编程的（7 位、8 位、16 位和 32 位）的完全可编程多项式
- 处理 8 位、16 位、32 位数据大小
- 可编程 CRC 初始值
- 单输入/输出 32 位数据寄存器
- 输入缓冲器可避免计算期间发生总线阻塞
- 对于 32 位数据大小，CRC 计算在 4 个 AHB 时钟周期 (HCLK) 内完成
- 8 位通用寄存器（可用于临时存储）
- I/O 数据的可逆性选项

13.3 CRC 功能说明

13.3.1 CRC 框图

图 28. CRC 计算单元框图



13.3.2 CRC 内部信号

表 56. CRC 内部输入 / 输出信号

信号名称	信号类型	说明
crc_hclk	数字输入	AHB 时钟

13.3.3 CRC 操作

CRC 计算单元具有单个 32 位读/写数据寄存器 (CRC_DR)。它用于输入新数据（写访问）和保存之前 CRC 计算的结果（读访问）。

对数据寄存器的每个写操作都会对之前的 CRC 值（存储在 CRC_DR 中）和新值再做一次 CRC 计算。CRC 计算针对整个 32 位数据字或逐个字节完成，具体取决于数据的写入格式。

CRC_DR 寄存器可按字、右对齐半字和右对齐字节进行访问。对于其他寄存器，只允许进行 32 位访问。

计算时间取决于数据宽度：

- 32 位数据需要 4 个 AHB 时钟周期
- 16 位数据需要 2 个 AHB 时钟周期
- 8 位数据需要 1 个 AHB 时钟周期

输入缓冲器中可立即写入第二个数据，无需因之前的 CRC 计算而等待任何等待状态。

可动态调整数据大小，从而能最大程度地减少给定字节数的写访问次数。例如，对 5 个字节进行 CRC 计算时，可先写入字，然后写入字节。

输入数据的顺序可反转，以管理各种数据存放方式（双字/单字/字节，大端/小端等等）。可对 8 位、16 位和 32 位数据执行反转操作，具体取决于 CRC_CR 寄存器中的 REV_IN[1:0] 位。

例如，输入数据 0x1A2B3C4D 在 CRC 计算中用作：

- 按字节执行位反转的 0x58D43CB2
- 按半字执行位反转的 0xD458B23C
- 按全字执行位反转的 0xB23CD458

通过将 CRC_CR 寄存器中 REV_OUT 位置 1 也可以将输出数据反转。

该操作按位进行：例如，输出数据 0x11223344 将转换为 0x22CC4488。

使用 CRC_CR 寄存器中的 RESET 控制位可将 CRC 计算器初始化为可编程值（默认值为 0xFFFFFFFF）。

可使用 CRC_INIT 寄存器对 CRC 初始值进行编程。对 CRC_INIT 寄存器进行写访问时会自动初始化 CRC_DR 寄存器。

CRC_IDR 寄存器可用于保存与 CRC 计算相关的临时值。它不受 CRC_CR 寄存器中的 RESET 位影响。

多项式可编程

多项式系数可完全通过 CRC_POL 寄存器进行编程，通过编程 CRC_CR 寄存器中的 POLYSIZE[1:0] 位可将多项式大小配置为 7 位、8 位、16 位或 32 位。不支持偶数多项式。

如果 CRC 数据小于 32 位，可从 CRC_DR 寄存器的最低有效位读取 CRC 的值。

为实现可靠的 CRC 计算，CRC 计算期间不能实时更改多项式的值或大小。因此，如果正在执行 CRC 计算，则在更改多项式前，应用程序必须先复位，或者先执行 CRC_DR 读操作。

默认的多项式值为 CRC-32（以太网）多项式：0x4C11DB7。

13.4 CRC 寄存器

13.4.1 CRC 数据寄存器 (CRC_DR)

CRC data register

偏移地址：0x00

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **DR[31:0]**：数据寄存器位 (Data register bits)

该寄存器用于向 CRC 计算器写入新数据。

读取寄存器时可读出之前的 CRC 计算结果。

如果数据大小小于 32 位，则最低有效位可用于写入 / 读取正确值。

13.4.2 CRC 独立数据寄存器 (CRC_IDR)

CRC independent data register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IDR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IDR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **IDR[31:0]**：通用的 32 位数据寄存器位 (General-purpose 32-bit data register bits)
这些位可用作四个字节的临时存储单元。
此寄存器不受 CRC_CR 寄存器中 RESET 位产生的 CRC 复位影响。

13.4.3 CRC 控制寄存器 (CRC_CR)

CRC control register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_OUT	REV_IN[1:0]		POLYSIZE[1:0]		Res.	Res.	RESET
								rw	rw	rw	rw	rw			rs

位 31:8 保留，必须保持复位值。

位 7 **REV_OUT**：反转输出数据 (Reverse output data)
该位用于控制输出数据位顺序的反转。
0：不影响位顺序
1：位反转输出格式

位 6:5 **REV_IN[1:0]**：反转输入数据 (Reverse input data)
这些位用于控制输入数据位顺序的反转。
00：不影响位顺序
01：按字节执行位反转
10：按半字执行位反转
11：按字执行位反转

位 4:3 **POLYSIZE[1:0]**：多项式大小 (Polynomial size)
这些位用于控制多项式的大小。
00：32 位多项式
01：16 位多项式
10：8 位多项式
11：7 位多项式

位 2:1 保留，必须保持复位值。

位 0 **RESET**：RESET 位 (RESET bit)
此位由软件置 1，用于复位 CRC 计算单元并将数据寄存器设置为存储在 CRC_INIT 寄存器中的值。此位只能置 1，将由硬件自动进行清零。

13.4.4 CRC 初始值 (CRC_INIT)

CRC initial value

偏移地址：0x10

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CRC_INIT[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRC_INIT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **CRC_INIT[31:0]**：可编程 CRC 初始值 (Programmable initial CRC value)
此寄存器用于写入 CRC 初始值。

13.4.5 CRC 多项式 (CRC_POL)

CRC polynomial

偏移地址：0x14

复位值：0x04C1 1DB7

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
POL[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **POL[31:0]**：可编程多项式 (Programmable polynomial)
此寄存器用于写入要用于 CRC 计算的多项式系数。
如果多项式大小小于 32 位，则必须使用最低有效位编程正确值。

13.4.6 CRC 寄存器映射

表 57. CRC 寄存器映射和复位值

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**CRC_DR**	DR[31:0]																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x04	**CRC_IDR**	IDR[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x08	**CRC_CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REV_OUT	REV_IN[1:0]		POLYSIZE[1:0]		Res.	Res.	RESET
	Reset value																									0	0	0	0	0			0
0x10	**CRC_INIT**	CRC_INIT[31:0]																															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x14	**CRC_POL**	Polynomial coefficients																															
	Reset value	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	0	1	1	1	0	1	1	0	1	1	0	1	1	1

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

14 模数转换器（ADC）

14.1 简介

12 位 ADC 是逐次逼近型模数转换器。它具有多达 19 个复用通道，可测量来自 16 个外部源和 3 个内部源的信号。各种不同通道的 A/D 转换可在单次、连续、扫描或不连续采样模式下进行。ADC 的结果存储在一个左对齐或右对齐的 16 位数据寄存器中。

ADC 具有模拟看门狗特性，允许应用检测输入电压是否超过了用户自定义的阈值上限或下限。

采用了高效的低功耗模式，在低频下可实现极低的功耗。

内置硬件过采样器，可提高模拟性能，同时还能减轻 CPU 进行相关计算的负担。

14.2 ADC 主要特性

- 高性能
  - 可配置 12 位、10 位、8 位或 6 位分辨率
  - ADC 转换时间：12 位分辨率对应的转换时间为 0.4 µs (2.5 Msps)，若降低分辨率，可进一步缩短转换时间
  - 自校准
  - 可编程采样时间
  - 内置数据一致性，可确保数据对齐
  - 支持 DMA
- 低功耗
  - 应用可降低 PCLK 频率从而以低功耗运行，同时仍可保持最优的 ADC 性能。例如，无论 PCLK 的频率如何，都会保持 0.4 µs 的转换时间
  - 等待模式：防止 ADC 在低频 PCLK 应用中溢出
  - 自动关闭模式：ADC 会自动断电，但正在进行转换时除外。这可大幅降低 ADC 的功耗
- 模拟输入通道
  - 16 路外部模拟输入
  - 1 条用于内部温度传感器 (V_{TS}) 的通道
  - 1 条用于内部参考电压 (V_{REFINT}) 的通道
  - 1 条用于监视外部 V_{BAT} 电源引脚的通道
- 可通过以下方式启动转换过程：
  - 通过软件
  - 通过极性可配置的硬件触发事件（定时器事件或 GPIO 输入事件）
- 转换模式
  - 可转换单条通道，也可扫描一系列通道
  - 单次模式会在每次触发时对选定的输入执行一次转换
  - 连续模式可连续转换选定的输入
  - 不连续采样模式

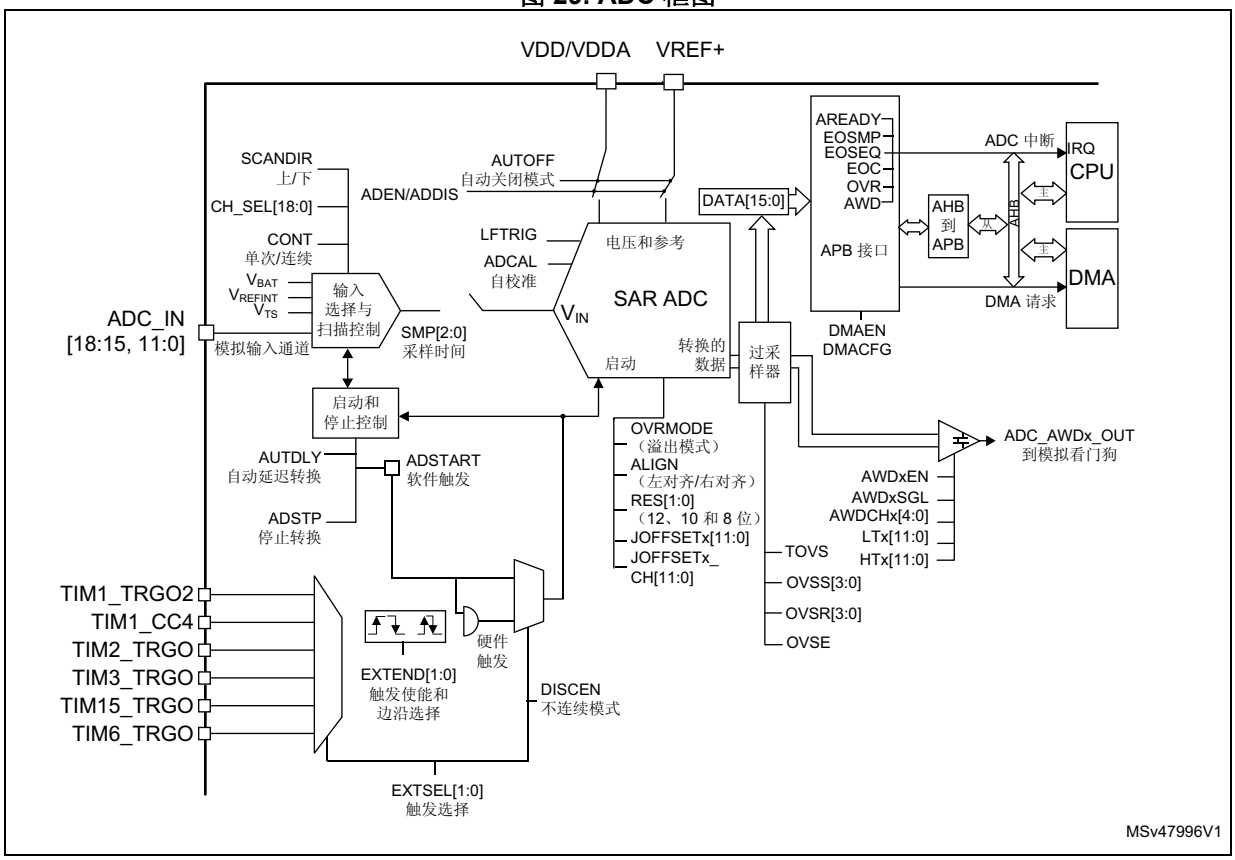
- 在采样结束、转换结束、序列转换结束以及发生模拟看门狗或溢出事件时产生中断
- 模拟看门狗
- 过采样器
  - 16 位数据寄存器
  - 过采样率可在 2x 到 256x 之间进行调整
  - 可编程数据最多可移位 8 位
- ADC 电源要求：1.62 到 3.6 V
- ADC 输入范围：$V_{SSA} \leq V_{IN} \leq V_{REF+}$

图 29 显示了 ADC 的框图。

14.3 ADC 功能说明

图 29 给出了 ADC 框图，*表 59* 列出了 ADC 的引脚说明。

图 29. ADC 框图



14.3.1 ADC 引脚和内部信号

表 58. ADC 内部输入 / 输出信号

内部信号名称	信号类型	说明
TRGx	输入	ADC 转换触发信号
V_{TS}	输入	内部温度传感器输出电压
V_{REFINT}	输入	内部参考电压输出电压
$V_{BAT/3}$	输入	V_{BAT} 引脚输入电压除以 3
ADC_AWDx_OUT	输出	内部模拟看门狗输出信号，连接到片上定时器（x = 模拟看门狗编号 = 1、2、3）

表 59. ADC 输入 / 输出引脚

名称	信号类型	注释
V_{DDA}	模拟电源输入	ADC 的模拟电源和正参考电压，$V_{DDA} \geq VDD$
V_{SSA}	模拟电源接地输入	模拟电源接地引脚。电压必须等于 V_{SS}
$V_{IN}[x]$	输入模拟通道	连接到 V_{REF-} 或外部通道 ADC_IN*i*
ADC_INx	模拟输入信号	16 个模拟输入通道

14.3.2 ADC 调压器 (ADVREGEN)

ADC 配有特定的内部调压器，使用 ADC 之前，调压器必须使能并处于稳定状态。

可通过将 ADC_CR 寄存器中的 ADVREGEN 位置 1，使能 ADC 内部调压器。软件必须等待 ADC 调压器启动时间 ($t_{ADCVREG\_SETUP}$) 过后再启动校准或使能 ADC。此延迟必须由软件管理（有关 $t_{ADCVREG\_SETUP}$ 的详细信息，请参见器件数据手册）。

ADC 操作完成后，可禁止 ADC (ADEN=0)。随后，可以禁止 ADC 调压器（请参见 *ADC 调压器禁止序列*一节），以节省更多电能。

注： *如果内部调压器已禁止，则会保持内部模拟校准。*

电源控制单元的模拟参考

内部 ADC 调压器在内部使用电源控制单元通过缓冲器提供的模拟参考。当电源控制单元的主调压器处于正常运行模式时，该缓冲器始终处于使能状态（请参见复位和时钟控制以及电源控制部分）。

如果主调压器进入低功耗模式（例如低功耗运行模式），则此缓冲器被禁止且 ADC 无法使用。

ADC 调压器使能序列

要使能 ADC 调压器，请将 ADC_CR 寄存器中的 ADVREGEN 位置 1。

ADC 调压器禁止序列

要禁止 ADC 调压器，需执行以下序列：

1. 确保 ADC 已禁止 (ADEN=0)
2. 将 ADC_CR 寄存器中的 ADVREGEN 位清零

14.3.3 校准 (ADCAL)

ADC 具有校准功能。校准过程中，ADC 会计算校准系数，ADC 下一次掉电之前，会在内部对 ADC 应用此校准系数。校准过程中，应用不得使用 ADC，必须等待校准完成。

校准应在启动 A/D 转换之前进行。校准可消除偏移误差，由于制造工艺的不同，各芯片的偏移误差也有所不同。

校准通过软件将 ADCAL 位置 1 发起。只有在 ADC 调压器使能（ADVREGEN=1，并经过 $t_{ADCVREG\_SETUP}$）且 ADC 禁止 (ADEN=0) 时才能启动校准。ADCAL 位在所有校准序列过程中保持为 1。校准完成后，此位会立即由硬件清零。随后，可从 ADC_DR 寄存器中读取校准系数（位 6 到位 0）。

如果禁止 ADC (ADEN=0)，则会保留内部模拟校准。如果 ADC 工作条件发生变化（V_{DDA} 变化是造成 ADC 偏移变化的主要原因，温度变化次之），建议重新运行一次校准。

在下列情况下，校准系数会丢失：

- ADC 掉电（例如，产品进入 STANDBY 或 VBAT 模式时）
- ADC 外设复位

每次 ADC 掉电（例如，产品进入待机或 V_{BAT} 模式时）校准系数都会丢失。仍可通过软件保存并恢复校准系数，以节省 ADC 重启时间（前提是 ADC 掉电期间的温度和电压保持稳定）。

如果 ADC 已使能但未进行转换（ADEN=1 且 ADSTART=0），可写入校准系数。随后，下次转换启动时，校准系数会自动添加到模拟 ADC 中。这一载入过程是透明的，不会对转换的启动造成延迟。

软件校准流程

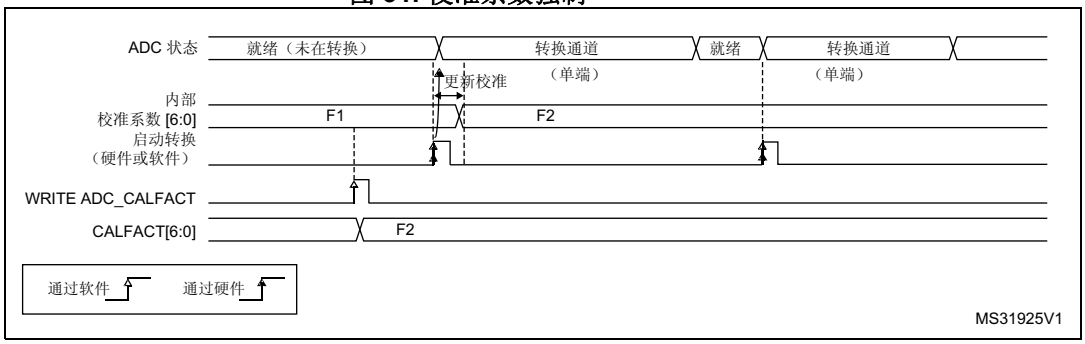
1. 确保 ADEN=0、ADVREGEN=1 且 DMAEN=0。
2. 将 ADCAL 置 1。
3. 等待，直至 ADCAL=0（或直至 EOCAL=1）。如果已通过将 ADC_IER 寄存器中的 EOCALIE 位置 1 来使能中断，可通过中断进行处理。
4. 校准系数可从 ADC_DR 或 ADC_CALFACT 寄存器的位 6:0 读取。

图 30. ADC 校准

校准系数强制软件流程

1. 确保 ADEN= 1 且 ADSTART =0（ADC 启动时没有进行任何转换）
2. 将保存的校准系数写入 ADC_CALFACT
3. 启动新的转换后，将立即使用校准系数

图 31. 校准系数强制



14.3.4 ADC 开关控制（ADEN、ADDIS、ADRDY）

上电时，ADC 是禁止的且处于掉电模式 (ADEN=0)。

如*图 32* 所示，ADC 在开始精确转换之前需要一段稳定时间 t_{STAB}。

以下两个控制位可用于使能或禁止 ADC：

- 将 ADEN 置 1 可使能 ADC。ADC 准备就绪后，ADRDY 标志会立即置 1。
- 将 ADDIS 置 1 可禁止 ADC 并使 ADC 进入掉电模式。随后，ADC 被完全禁止后，ADEN 位和 ADDIS 位会自动由硬件清零。

随后可通过将 ADSTART 置 1（请参见*第 304 页的第 14.4 节：外部触发转换和触发极性（EXTSEL、EXTEN）*）开始进行转换，如果触发器已使能，也可在发生外部触发事件时开始进行转换。

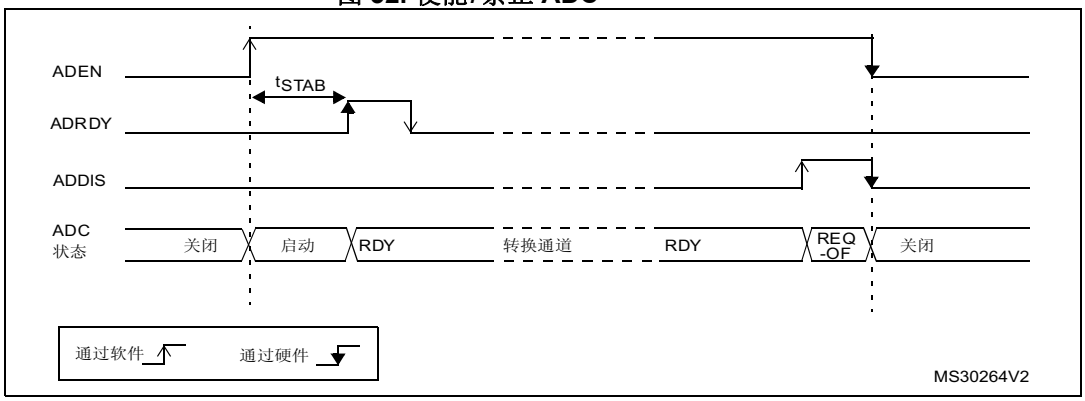
请按照以下流程使能 ADC：

1. 将 ADC_ISR 寄存器中的 ADRDY 位编程为 1，将此位清零。
2. 将 ADC_CR 寄存器中的 ADEN 位置 1。
3. 等待，直至 ADC_ISR 寄存器中的 ADRDY=1（ADRDY 会在 ADC 启动时间后置 1）。如果已通过将 ADC_IER 寄存器中的 ADRDYIE 位置 1 来使能中断，可通过中断进行处理。

请按照以下流程禁止 ADC：

1. 检查 ADC_CR 寄存器中的 ADSTART 是否为 0，以确保当前未执行任何转换。如有需要，可向 ADC_CR 寄存器中的 ADSTP 位写入 1 并等待此位读取值为 0，以此停止正在进行的转换。
2. 将 ADC_CR 寄存器中的 ADDIS 位置 1。
3. 如果应用要求，可等待 ADC_CR 寄存器中的 ADEN=0，这表明 ADC 已完全禁止（ADEN=0 后，ADDIS 会自动复位）。
4. 将 ADC_ISR 寄存器中的 ADRDY 位编程为 1，将此位清零（可选）。

图 32. 使能/禁止 ADC

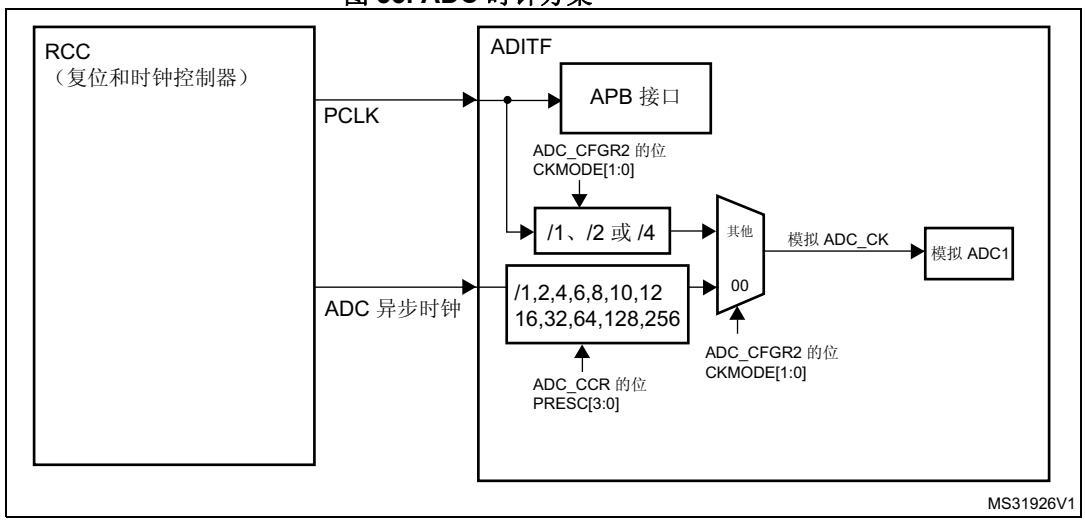


注： *在自动关闭模式下 (AUTOFF=1)，上电/掉电阶段是由硬件自动执行的，不会将 ADRDY 标志置 1。*

14.3.5 ADC 时钟（CKMODE，PRESC[3:0]）

ADC 采用双时钟域架构，因此，ADC 可由独立于 APB 时钟 (PCLK) 的时钟提供时钟（ADC 异步时钟）。

图 33. ADC 时钟方案



1. 有关如何使能 PCLK 和 ADC 异步时钟的信息，请参见复位和时钟控制部分 (RCC)。

模拟 ADC 的输入时钟可在两个不同的时钟源之间进行选择（请参见*图 33：ADC 时钟方案*，了解 PCLK 和 ADC 异步时钟的使能方式）：

a) ADC 时钟可以是名为“ADC 异步时钟”的特定时钟源，该时钟源独立于 APB 时钟，并与 APB 时钟异步。

更多有关生成该时钟源的信息，请参见 RCC 部分。

要选择此时钟方案，必须将 ADC_CFGR2 寄存器的 CKMODE[1:0] 位复位。

b) ADC 时钟可由 ADC 总线接口的 APB 时钟除以一个可编程因子（1、2 或 4，具体根据 CKMODE[1:0] 位而定）来提供。

要选择此时钟方案，ADC_CFGR2 寄存器的 CKMODE[1:0] 位不得为“00”。

在选项 a) 中，对 ADC_CCR 寄存器中的 PRESC[3:0] 位进行编程时，生成的 ADC 时钟最后会除以预分频系数（1、2、4、6、8、10、12、16、32、64、128、256）。

选项 a) 的优点在于无论选择哪种 APB 时钟方案，都可以达到最大 ADC 时钟频率。

选项 b) 的优势在于绕过了时钟域重新同步。如果 ADC 由定时器触发，并且应用要求 ADC 精确触发（不存在任何不确定性），可使用此选项（否则，重新同步两个时钟域会为触发时刻带来不确定性）。

表 60. 触发与转换开始之间的延迟

ADC 时钟源	CKMODE[1:0]	触发事件与转换开始之间的延迟
HSI16、 SYSCLK 或 PLLPCLK(1)	00	延迟是不确定的（存在抖动）
PCLK 2 分频	01	延迟是确定的（无抖动），等于 2.75 个 ADC 时钟周期
PCLK 4 分频	10	延迟是确定的（无抖动），等于 2.625 个 ADC 时钟周期
PCLK 1 分频	11	延迟是确定的（无抖动），等于 3 个 ADC 时钟周期

1. 通过 RCC_CCIPR 寄存器的 ADCSEL 位域进行选择

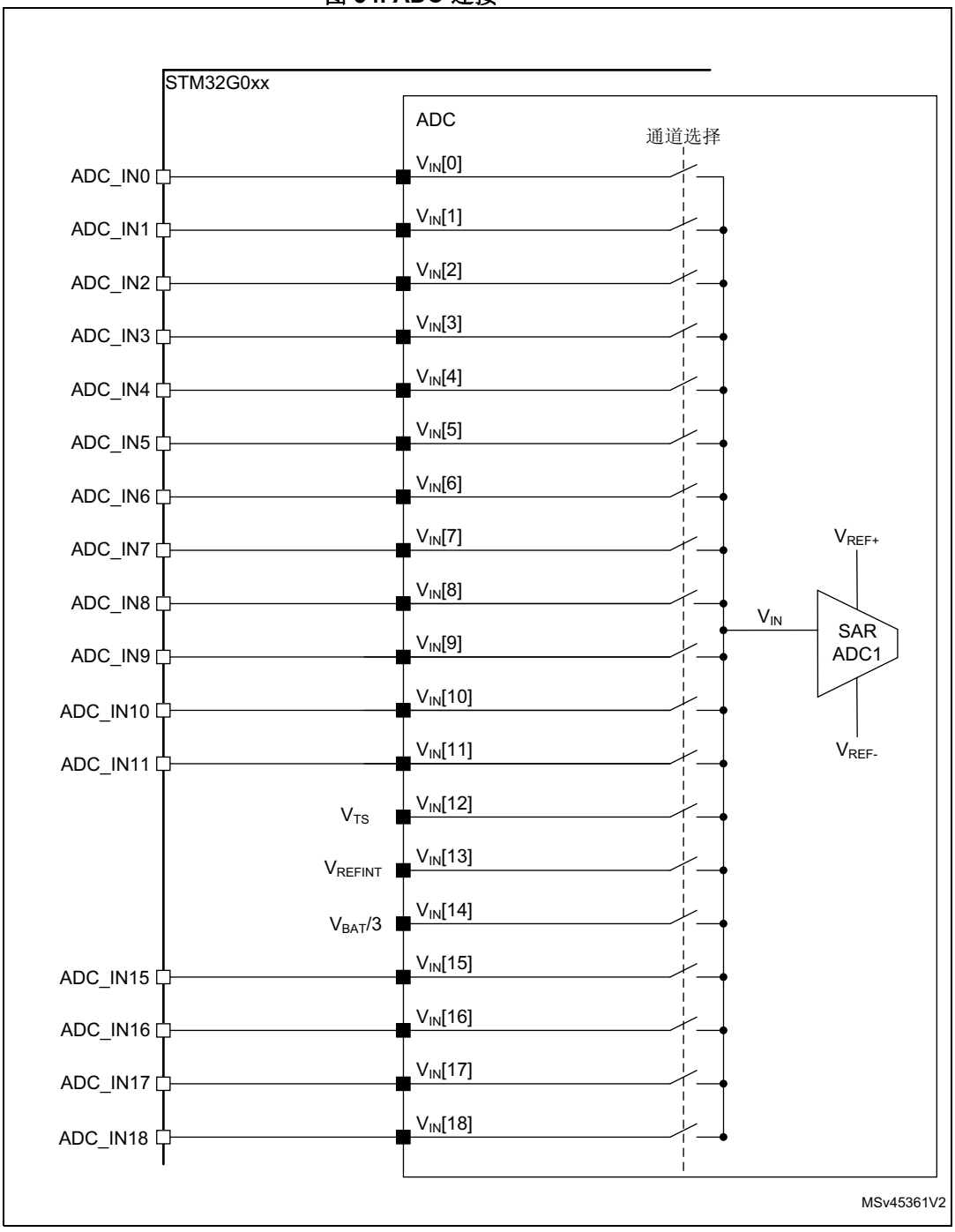
注意： 选择 CKMODE[1:0]=11（PCLK 1 分频）时，用户必须确保 PCLK 的占空比为 50%。可通过选择占空比为 50% 的系统时钟并在 RCC 中以旁路模式配置 APB 预分频器来实现（请参见复位和时钟控制器部分）。对于内部源时钟，这只意味着 AHB 和 APB 预分频器不会对时钟进行分频。

注： 有关最大 ADC_CLK 频率，请参见器件数据手册。

14.3.6 ADC 连接

ADC 输入连接到外部通道以及内部源，如*图 34* 所示。

图 34. ADC 连接



14.3.7 配置 ADC

如果 ADC 已禁止，必须通过软件对 ADC_CR 寄存器中的 ADCAL 位和 ADEN 位执行写操作（ADEN 必须为 0）。

只有在 ADC 已使能、并且没有待处理的禁止 ADC 的请求时（ADEN = 1，且 ADDIS = 0），软件才必须只对 ADC_CR 寄存器中的 ADSTART 位和 ADDIS 位执行写操作。

对于 ADC_IER、ADC_CFGRi、ADC_SMPR、ADC_CHSELR 和 ADC_CCR 寄存器中的所有其他控制位，请参见*第 14.12 节：ADC 寄存器*中相应控制位的说明。

转换正在进行时，可以修改 ADC_AWDTRx 寄存器。

只有在 ADC 已使能（很可能正在进行转换）、并且没有待处理的禁止 ADC 的请求时（ADSTART = 1 且 ADDIS = 0），软件才能对 ADC_CR 寄存器中的 ADSTP 位执行写操作。

注： *未采取硬件保护机制来防止软件执行上述规则禁止的写操作。如果发生此类禁止的写访问，ADC 可能会进入未定义状态。要在这种情况下恢复正确的操作，必须禁止 ADC（将 ADEN 以及 ADC_CR 寄存器中的所有位都清零）。*

14.3.8 通道选择（CHSEL、SCANDIR、CHSELRMOD）

复用通道多达 19 条：

- 16 路来自 GPIO 引脚的模拟输入 (ADC_INx)
- 3 路内部模拟输入（温度传感器、内部参考电压、V_{BAT} 通道）

可转换单条通道，也可以转换一系列通道。

待转换通道的顺序可在 ADC_CHSELR 通道选择寄存器中进行编程：每条模拟输入通道都有专用的选择位 (CHSELx)。

可在两种不同的模式下使用 ADC 扫描定序器：

- 定序器不完全可配置：

  通道的扫描顺序由通道编号定义（ADC_CFGR1 寄存器中的 CHSELRMOD 位必须清零）：
  - 序列长度通过 ADC_CHSELR 寄存器中的 CHSELx 位配置
  - 序列方向：通道是按正向扫描（从最低通道编号到最高通道编号）还是按反向扫描（从最高通道编号到最低通道编号）取决于 SCANDIR 位的值（SCANDIR=0：正向扫描，SCANDIR=1：反向扫描）
  - 任何通道都可包含在此类序列中
- 定序器完全可配置

  ADC_CFGR1 寄存器中的 CHSELRMOD 位置 1。
  - 定序器长度为最多 8 个通道。
  - 通道的扫描顺序与通道编号无关。可通过 ADC_CHSELR 寄存器中的 SQ1[3:0] 至 SQ8[3:0] 位配置顺序。
  - 只能在此序列中选择通道 0 至通道 14。
  - 如果定序器检测到 SQx[3:0] = 0b1111，则会忽略后续的 SQx[3:0] 寄存器。
  - 如果在 SQx[3:0] 中未编程 0b1111，则定序器将扫描全部 8 个通道。

对 ADC CHSELR、SCANDIR 和 CHSELRMOD 位进行编程后，必须先等待 CCRDY 标志，然后再开始转换。该位指示新的通道设置已应用。如果需要新配置，则必须先将 CCRDY 标志清零，然后再开始转换。

仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对 CHSEL、SCANDIR、CHSELRMOD 位进行编程。

温度传感器、V_{REFINT} 和 V_{BAT} 内部通道

温度传感器连接至通道 ADC V_{IN}[12]。

内部参考电压 V_{REFINT} 连接至通道 ADC V_{IN}[13]。

V_{BAT} 通道连接至 ADC V_{IN}[14] 通道。

14.3.9 可编程采样时间 (SMPx[2:0])

开始转换之前，ADC 需要在待测量电压源与 ADC 内置采样电容之间建立直接连接。该采样时间必须足以使输入电压源为采样电容充电并将电容保持在输入电压水平。

使用可编程采样时间后，可根据输入电压源的输入电阻调整转换速度。

ADC 会在数个 ADC 时钟周期内对输入电压进行采样，时钟周期数可使用 ADC_SMPR 寄存器中的 SMP1[2:0] 和 SMP2[2:0] 位进行修改。

每个通道均可通过 ADC_SMPR 寄存器中的 SMPSELx 位选择在 SMP1[2:0] 和 SMP2[2:0] 位域中配置的两个采样时间之一。

总转换时间的计算公式如下：

t_{CONV} = 采样时间 + 12.5 x ADC 时钟周期

示例：

如果 ADC_CLK = 16 MHz，采样时间为 1.5 个 ADC 时钟周期：

t_{CONV} = 1.5 + 12.5 = 14 个 ADC 时钟周期 = 0.875 µs

ADC 通过将 EOSMP 标志置 1 来指示采样阶段结束。

14.3.10 单次转换模式 (CONT=0)

在单次转换模式下，ADC 会执行单次转换序列，对所有通道进行一次转换。当 ADC_CFGR1 寄存器中的 CONT=0 时，可选择此模式。可通过以下方式开始转换：

- 将 ADC_CR 寄存器中的 ADSTART 位置 1
- 硬件触发事件

在序列中，每次转换完成后：

- 转换后的数据会存储在 16 位 ADC_DR 寄存器中
- EOC（转换结束）标志置 1
- EOCIE 位置 1 时将产生中断

转换序列完成后：

- EOS（序列结束）标志置 1
- EOSIE 位置 1 时将产生中断

随后，ADC 会停止工作，直至发生新的外部触发事件或 ADSTART 位再次置 1。

注： *要转换单个通道，可将序列长度编程为 1。*

14.3.11 连续转换模式 (CONT=1)

在连续转换模式下，如果发生软件或硬件触发事件，ADC 会执行转换序列，对所有通道进行一次转换，随后会自动重启并持续执行相同的转换序列。当 ADC_CFGR1 寄存器中的 CONT=1 时，可选择此模式。可通过以下方式开始转换：

- 将 ADC_CR 寄存器中的 ADSTART 位置 1
- 硬件触发事件

在序列中，每次转换完成后：

- 转换后的数据会存储在 16 位 ADC_DR 寄存器中
- EOC（转换结束）标志置 1
- EOCIE 位置 1 时将产生中断

转换序列完成后：

- EOS（序列结束）标志置 1
- EOSIE 位置 1 时将产生中断

随后，会立即重启新序列，ADC 会继续重复执行转换序列。

注： *要转换单个通道，可将序列长度编程为 1。*

不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

14.3.12 开始转换 (ADSTART)

软件通过将 ADSTART 置 1 的方式启动 ADC 转换。

ADSTART 置 1 后：

- 在 EXTEN = 00 时会立即开始转换（软件触发）
- 在 EXTEN ≠ 00 时，会在所选硬件触发器的下一有效边沿开始转换

ADSTART 位还用于指示当前是否正在进行 ADC 操作。ADSTART=0 时指示 ADC 处于空闲状态，此时可以重新配置 ADC。

ADSTART 位由硬件清零：

- 在使用软件触发的单次模式下（CONT=0，EXTEN=00）
  - 只要转换序列结束 (EOS=1) 就清零
- 在使用软件触发的不连续模式下（CONT=0、DISCEN=1、EXTEN=00）
  - 转换结束时 (EOC=1) 清零
- 在所有情况下（CONT=x、EXTEN=XX）
  - 执行由软件调用的 ADSTP 程序之后（参见*第 304 页的第 14.3.14 节：停止正在进行的转换 (ADSTP)*）清零

注： *在连续模式下 (CONT=1)，由于序列会自动重新启动，因此，当 EOS 标志置 1 时，ADSTART 位不会由硬件清零。*

如果在单次模式下选择了硬件触发（CONT=0，且 EXTEN = 01），则 EOS 标志置 1 时，ADSTART 不会由硬件清零。这样，便无需通过软件将 ADSTART 再次置 1，并可确保不会错过下一触发事件。

更改通道选择配置后（通过编程 ADC_CHSELR 寄存器或者更改 CHSELRMOD 或 SCANDIR），必须等待至 CCRDY 标志置 1，然后才能将 ADSTART 置 1，否则写入到 ADSTART 的值将被忽略。

14.3.13 时序

从转换开始到转换结束所经过的时间是配置的采样时间与逐次逼近时间（具体取决于数据分辨率）的总和：

$t_{CONV} = t_{SMPL} + t_{SAR} = [1.5\ _{|min} + 12.5\ _{|12bit}] \times t_{ADC\_CLK}$

$t_{CONV} = t_{SMPL} + t_{SAR} = 42.9\ ns\ _{|min} + 357.1\ ns\ _{|12bit} = 0.400\ \mu s\ _{|min}$（对于 $f_{ADC\_CLK} = 35\ MHz$）

图 35. 模数转换时间

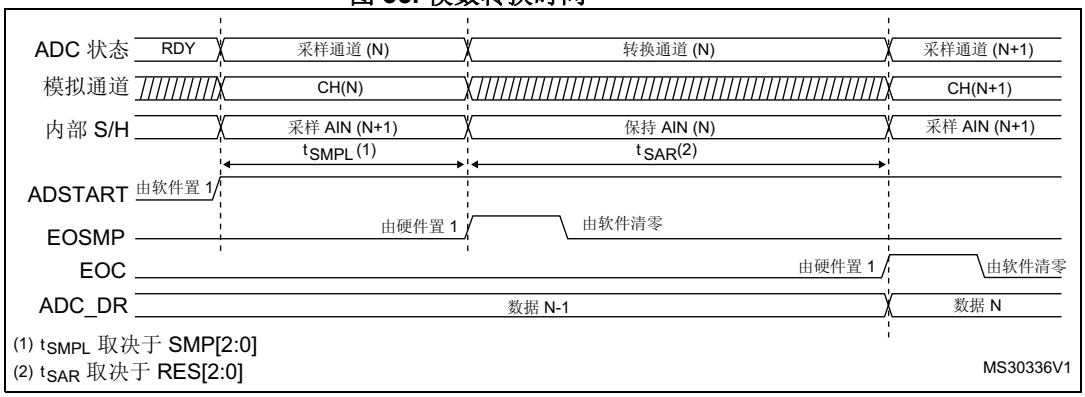
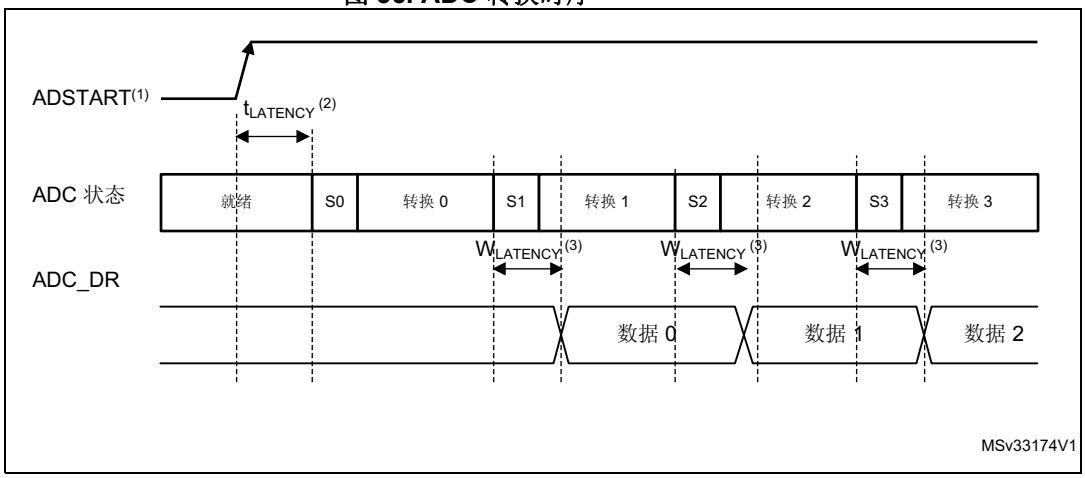


图 36. ADC 转换时序



1. EXTEN =00 或 EXTEN ≠ 00
2. 触发延迟（更多详细信息，请参见数据手册）
3. ADC_DR 寄存器写入延迟（更多详细信息，请参见数据手册）

14.3.14 停止正在进行的转换 (ADSTP)

可通过软件将 ADC_CR 寄存器中的 ADSTP 置 1，停止任何正在进行的转换。

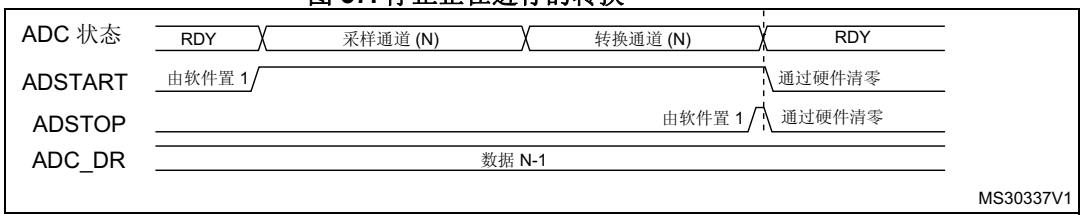
此操作会复位 ADC 操作，ADC 将处空闲状态，准备好进行新操作。

如果 ADSTP 位由软件置 1，则会中止任何正在进行的转换，并会丢弃转换结果（ADC_DR 寄存器不会更新为当前转换结果）。

扫描序列也会中止并会复位（这意味着重启 ADC 将重新开始新的序列）。

此过程完成后，ADSTP 位和 ADSTART 位均会由硬件清零，软件必须等待 ADSTART=0，然后才能开始进行新的转换。

图 37. 停止正在进行的转换



14.4 外部触发转换和触发极性（EXTSEL、EXTEN）

可通过软件或外部事件（定时器捕获事件）触发单次转换或是序列转换。如果 EXTEN[1:0] 控制位不等于“0b00”，所选极性的外部事件就能触发转换。软件将 ADSTART 位置 1 后，触发选择将立即生效。

在转换进行时发生的硬件触发会被忽略。

如果位 ADSTART=0，则任何硬件触发事件都会被忽略。

表 61 提供 EXTEN[1:0] 值与触发极性之间的对应关系。

表 61. 配置触发极性

源	EXTEN[1:0]
禁止触发检测	00
在上升沿检测	01
在下降沿检测	10
在上升沿和下降沿均检测	11

注： *仅当 ADC 未进行转换 (ADSTART= 0) 时，才可以更改外部触发的极性。*

EXTSEL[2:0] 控制位用于选择 8 个可能的事件中哪一事件可触发转换。

表 62 给出了可用于常规转换的外部触发。

可将 ADC_CR 寄存器中的 ADSTART 位置 1，从而生成软件源触发事件。

表 62. 外部触发器

名称	源	EXTSEL[2:0]
TRG0	TIM1_TRGO2	000
TRG1	TIM1_CC4	001
TRG2	TIM2_TRGO	010
TRG3	TIM3_TRGO	011
TRG4	TIM15_TRGO	100
TRG5	TIM6_TRGO	101
TRG6	保留	110
TRG7	EXTI 线 11	111

注：仅当 ADC 未进行转换 (ADSTART= 0) 时，才可以更改触发选择。

14.4.1 不连续模式 (DISCEN)

可将 ADC_CFGR1 寄存器中的 DISCEN 位置 1 来使能此模式。

在该模式下 (DISCEN=1)，需要通过硬件或软件触发事件开始序列中定义的各个转换。相反，如果 DISCEN=0，单个硬件或软件触发事件会连续启动序列中定义的所有转换。

示例：

- DISCEN=1，待转换通道 = 0、3、7、10
  - 第一次触发：转换通道 0 并生成 EOC 事件
  - 第二次触发：转换通道 3 并生成 EOC 事件
  - 第三次触发：转换通道 7 并生成 EOC 事件
  - 第四次触发：转换通道 10 并同时生成 EOC 和 EOS 事件
  - 第五次触发：转换通道 0 并生成 EOC 事件
  - 第六次触发：转换通道 3 并生成 EOC 事件
  - ...
- DISCEN=0，待转换通道 = 0、3、7、10
  - 第一次触发：转换整个序列：通道 0、然后是通道 3、7 和 10。每次转换都会生成 EOC 事件，最后一次转换还会生成 EOS 事件。
  - 任何后续触发事件都将重启整个序列。

注：不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

14.4.2 可编程分辨率 (RES)——快速转换模式

可通过降低 ADC 分辨率缩短转换时间 (t_{SAR})。

通过对 ADC_CFGR1 寄存器中的 RES[1:0] 位进行编程，可将分辨率配置为 12 位、10 位、8 位或 6 位。对于不要求使用高数据精度的应用，分辨率越低，转换时间越短。

注：RES[1:0] 位必须在 ADEN 位复位后才能进行更改。

转换结果的宽度始终为 12 位，任何未使用的 LSB 位都会读为零。

降低分辨率可缩短逐次逼近步骤所需的转换时间，如*表 63* 所示。

表 63. t_{SAR} 与分辨率的对应关系

RES[1:0] 位	t_{SAR} （ADC 时钟周期）	t_{SAR} (ns)，f_{ADC} = 35 MHz	$t_{SMPL\ (min)}$ （ADC 时钟周期）	t_{CONV} （ADC 时钟周期）（使用最短 t_{SMPL}）	t_{CONV} (ns)，f_{ADC} = 35 MHz
12	12.5	357	1.5	14	400
10	10.5	300	1.5	12	343
8	8.5	243	1.5	10	286
6	6.5	186	1.5	8	229

14.4.3 转换结束、采样阶段结束（EOC、EOSMP 标志）

ADC 指示每个转换结束 (EOC) 事件。

新的转换数据结果出现在 ADC_DR 寄存器中后，ADC 会立即将 ADC_ISR 寄存器中的 EOC 标志置 1。如果 ADC_IER 寄存器中的 EOCIE 位置 1，可产生中断。EOC 标志可通过由软件向其写入 1 或读取 ADC_DR 寄存器的方式来清零。

ADC 还通过将 ADC_ISR 寄存器中的 EOSMP 标志置 1 来指示采样阶段结束。EOSMP 标志可通过由软件向其写入 1 来清零。如果 ADC_IER 寄存器中的 EOSMPIE 位置 1，可产生中断。

此中断用于使处理与转换进行同步。通常情况下，可在转换阶段的隐藏时间中访问模拟复用器，这样在下次采样开始时便可放置好复用器。

注： *由于采样结束与转换结束之间只留有非常短的时间，因此建议使用轮询或 WFE 指令，而不建议使用中断和 WFI 指令。*

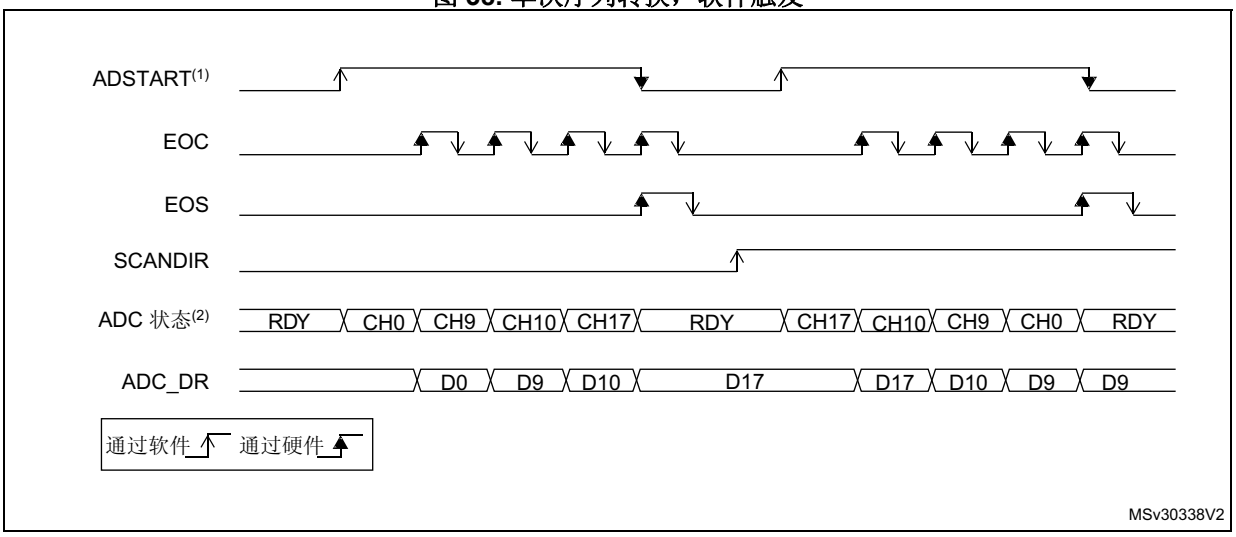
14.4.4 转换序列结束（EOS 标志）

每次出现序列结束 (EOS) 事件时，ADC 都会通知应用。

转换序列最后的数据结果出现在 ADC_DR 寄存器中时，ADC 会立即将 ADC_ISR 寄存器中的 EOS 标志置 1。如果 ADC_IER 寄存器中的 EOSIE 位置 1，可产生中断。EOS 标志可通过由软件向其写入 1 的方式来清零。

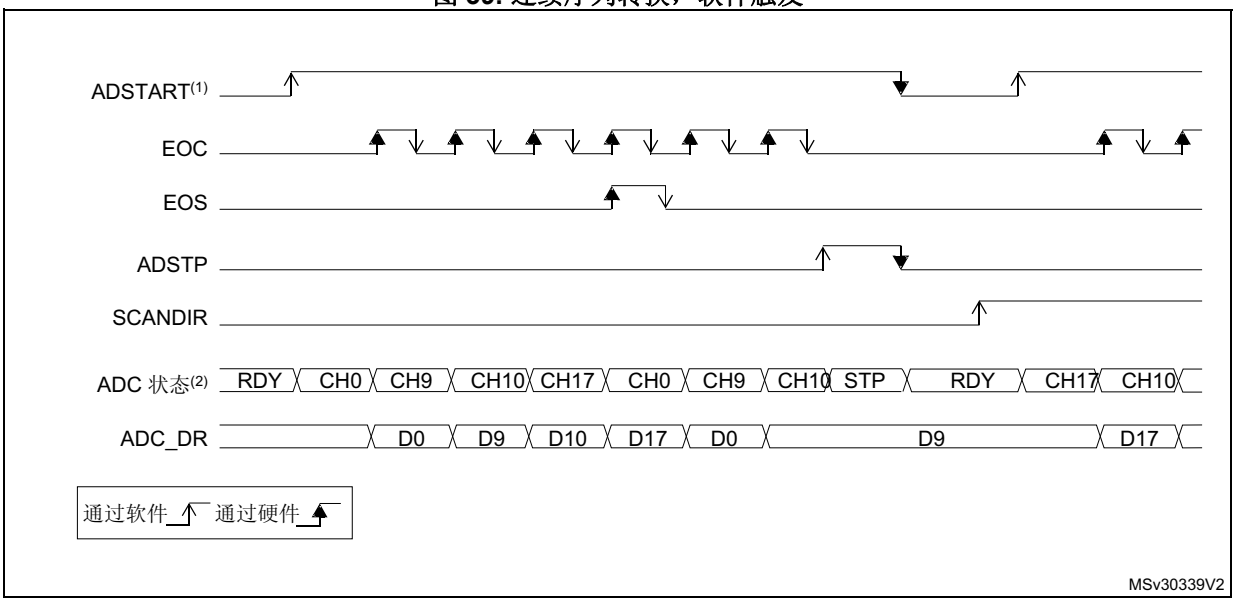
14.4.5 时序图示例（单次/连续模式硬件/软件触发）

图 38. 单次序列转换，软件触发



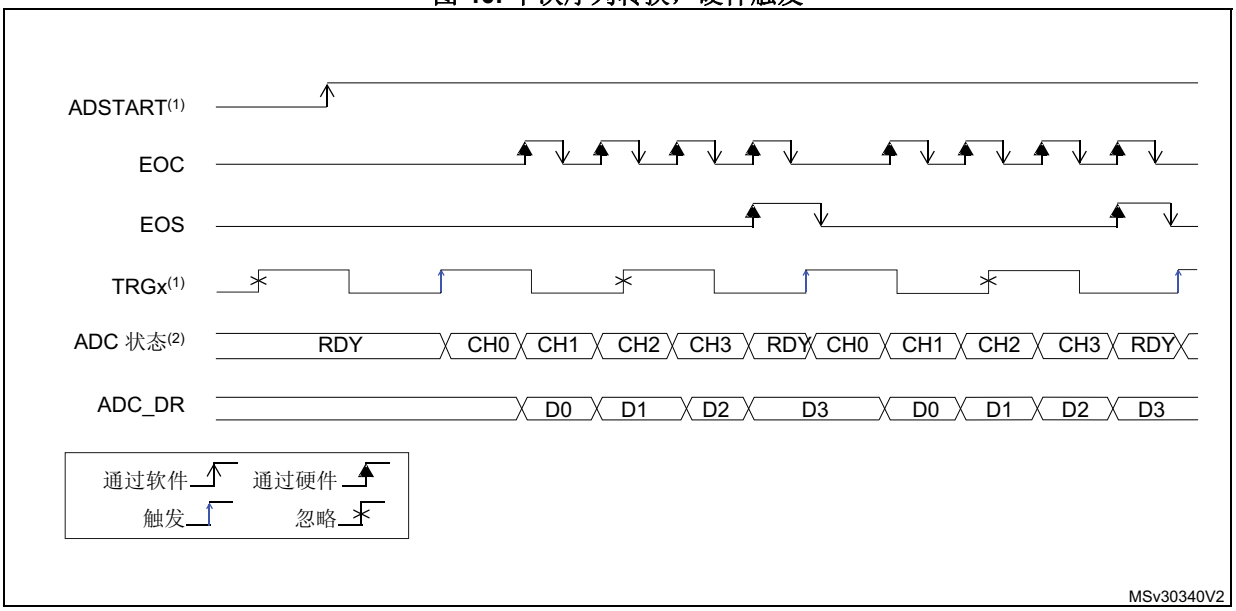
1. EXTEN=00，CONT=0
2. CHSEL=0x20601，WAIT=0，AUTOFF=0

图 39. 连续序列转换，软件触发



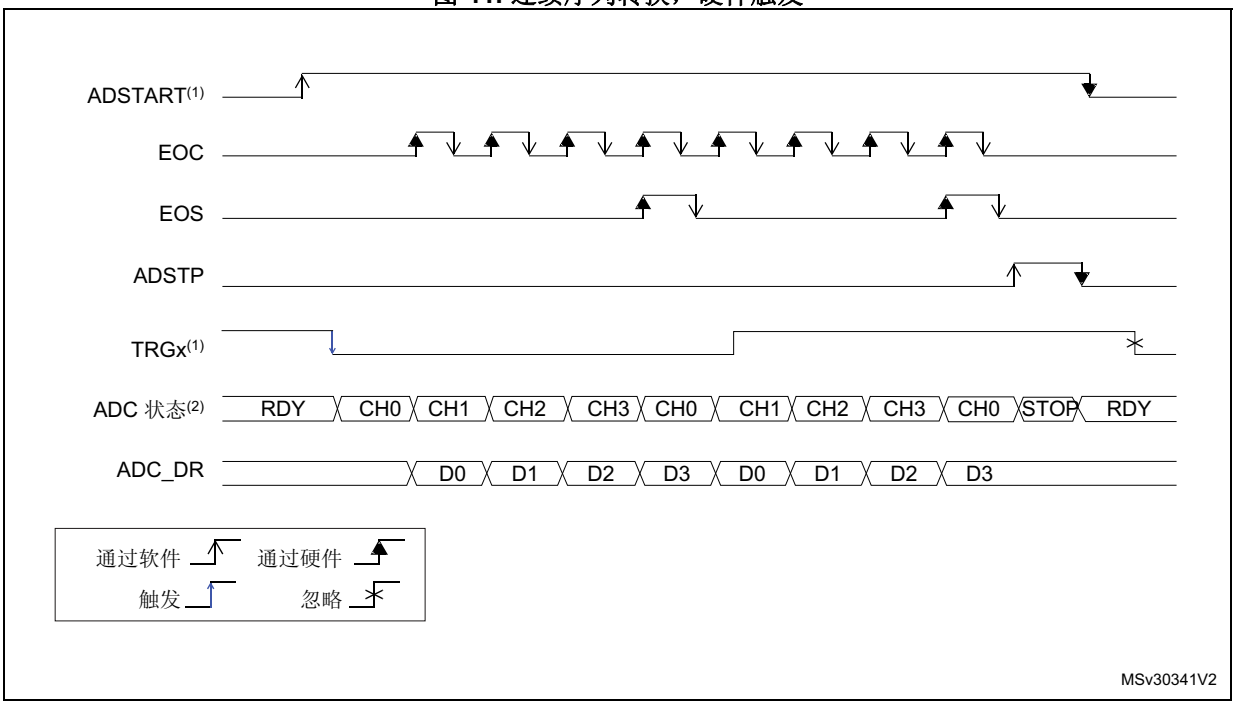
1. EXTEN=00，CONT=1，
2. CHSEL=0x20601，WAIT=0，AUTOFF=0

图 40. 单次序列转换，硬件触发



1. EXTSEL=TRGx（过频），EXTEN=01（上升沿），CONT=0
2. CHSEL=0xF，SCANDIR=0，WAIT=0，AUTOFF=0

图 41. 连续序列转换，硬件触发



1. EXTSEL=TRGx，EXTEN=10（下降沿），CONT=1
2. CHSEL=0xF，SCANDIR=0，WAIT=0，AUTOFF=0

14.4.6 低频触发模式

ADC 使能或最后一次 ADC 转换完成后，ADC 即准备好开始新的转换。ADC 需要在预定义的时间 (t_{idle}) 启动，否则 ADC 转换后的数据可能会因晶体管泄漏而损坏（有关 t_{idle} 最大值，请参见器件数据手册）。

如果应用必须支持长于 t_{idle} 最大值的时间（在单次转换模式下的两次触发之间或在 ADC 使能和第一次 ADC 转换之间），则需要重置 ADC 内部状态。可通过将 ADC_CFGR2 寄存器中的 LFTRIG 位置 1 来使能该机制。通过将此位置 1，任何触发（软件或硬件）都会向 ADC 发送重置命令。与 LFTRIG 置 0 相比，ADC 转换将在 2 个 ADC 时钟延时后启动。

AUTOFF 位置 1 时，无需使用此模式。对于等待模式，只有首次触发才会生成内部重置命令。

14.5 数据管理

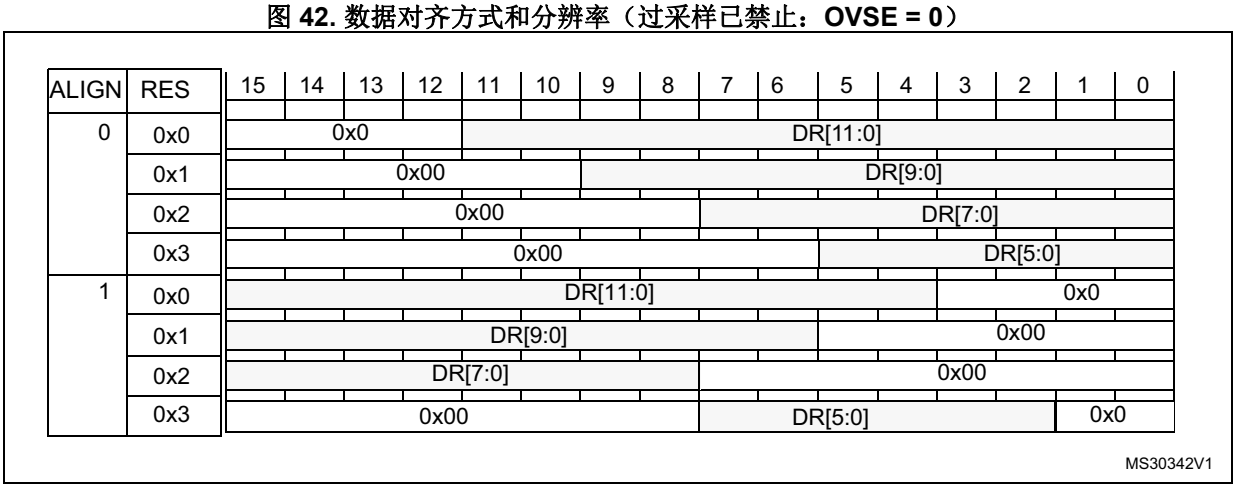
14.5.1 数据寄存器和数据对齐（ADC_DR、ALIGN）

每次转换结束时（发生 EOC 事件时），转换后数据的结果都会存储在宽度为 16 位的 ADC_DR 数据寄存器中。

ADC_DR 的格式取决于配置的数据对齐方式和分辨率。

ADC_CFGR1 寄存器中的 ALIGN 位用于选择转换后存储的数据的对齐方式。数据可右对齐 (ALIGN=0) 或左对齐 (ALIGN=1)，如*图 42* 所示。

图 42. 数据对齐方式和分辨率（过采样已禁止：OVSE = 0）



14.5.2 ADC 溢出（OVR、OVRMOD）

如果转换后的数据未由 CPU 或 DMA 及时读取，在新转换生成数据之前，会由溢出标志 (OVR) 指示数据溢出事件。

如果新转换完成时 EOC 标志仍为“1”，则 ADC_ISR 寄存器中的 OVR 标志会置 1。如果 ADC_IER 寄存器中的 OVRIE 位置 1，可产生中断。

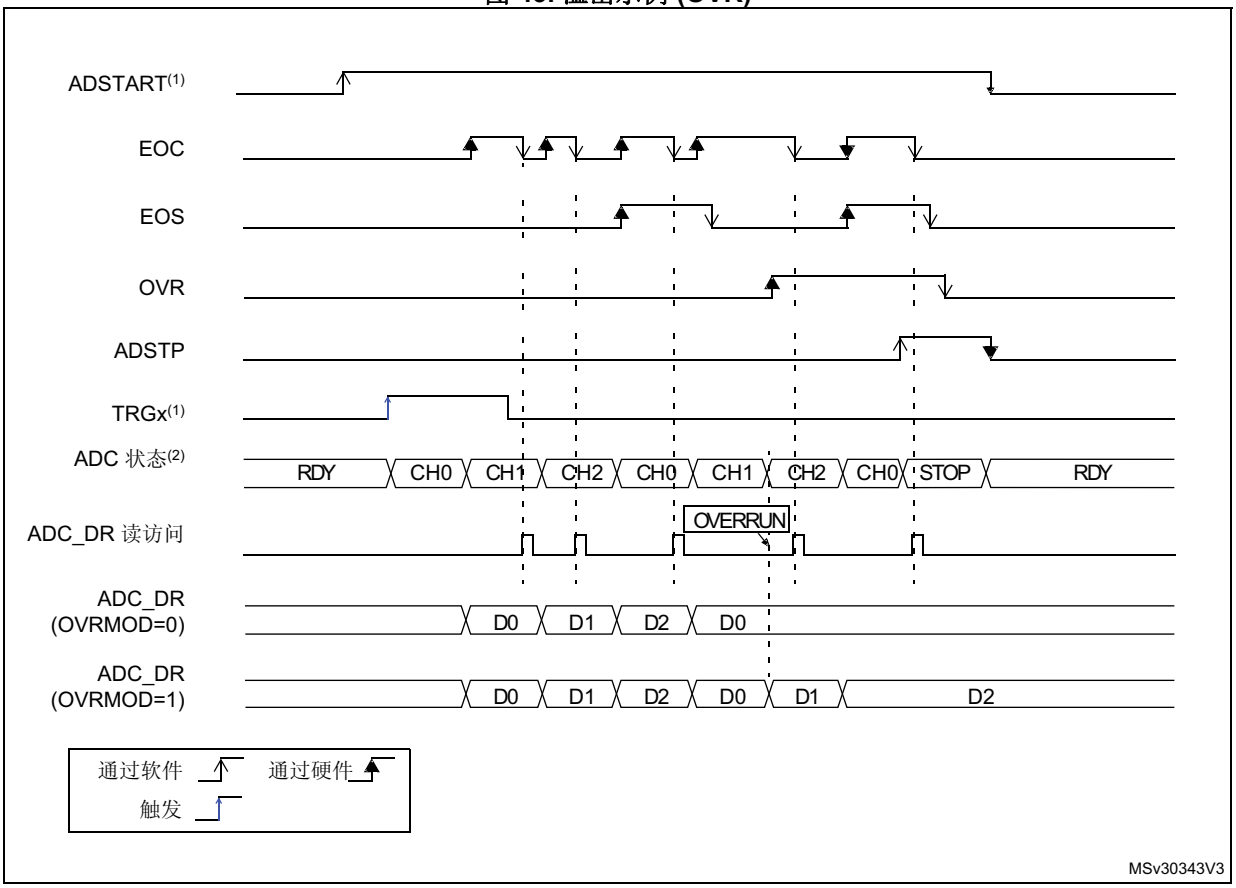
如果发生溢出情况，ADC 会保持工作状态并可继续进行转换，除非通过软件将 ADC_CR 寄存器中的 ADSTP 位置 1，从而停止并复位序列。

OVR 标志可通过由软件向其写入 1 的方式来清零。

可对 ADC_CFGR1 寄存器中的 OVRMOD 位进行编程，从而配置发生溢出事件时是要保留数据还是要覆盖数据：

- OVRMOD=0
  - 溢出事件会保留数据寄存器的数据，防止其被覆盖：会保留原数据，并会丢弃新的转换结果。如果 OVR 保持为 1，可继续进行转换，但会丢弃所得的数据。
- OVRMOD=1
  - 数据寄存器会由上一次转换结果覆盖，之前未读取的数据会丢失。如果 OVR 保持为 1，可继续进行转换，ADC_DR 寄存器始终包含最新转换得出的数据。

图 43. 溢出示例 (OVR)



14.5.3 在不使用 DMA 的情况下管理转换的数据序列

如果转换过程足够慢，则可使用软件来处理转换序列。在这种情况下，软件必须使用 EOC 标志及其相关中断来处理各个数据结果。每次转换完成时，都会将 ADC_ISR 寄存器中的 EOC 位置 1，并可读取 ADC_DR 寄存器。ADC_CFGR1 寄存器中的 OVRMOD 位应配置为 0，以便将溢出事件作为错误进行管理。

14.5.4 在不使用 DMA 且不发生溢出的情况下管理转换的数据

该模式在使用 ADC 转换一条或多条通道时无需在每次转换后都读取数据可能会很有用。在这种情况下，OVRMOD 位必须配置为 1，OVR 标志应被软件忽略。如果 OVRMOD=1，溢出事件不会阻止 ADC 继续进行转换，ADC_DR 寄存器始终包含最新的转换数据。

14.5.5 使用 DMA 管理转换的数据

由于转换得出的所有通道值都存储在单个数据寄存器中，因此，在转换多条通道时使用 DMA 可提高效率。这样可以避免存储在 ADC_DR 寄存器中的转换数据结果丢失。

若 DMA 模式已使能（ADC_CFGR1 寄存器中的 DMAEN 位置 1），则会在每个通道转换后生成 DMA 请求。这样便可将转换的数据从 ADC_DR 寄存器传输到用软件选择的目标位置。

注： *ADC 校准阶段完成后，必须将 ADC_CFGR1 寄存器中的 DMAEN 位置 1。*

尽管如此，如果因 DMA 无法及时处理 DMA 传输请求而发生溢出 (OVR=1)，ADC 会停止生成 DMA 请求，新转换对应的数据不会通过 DMA 进行传输。这意味着可将传输到 RAM 的所有数据都视为有效数据。

根据 OVRMOD 位的配置，可保留或覆盖数据（请参见*第 310 页的第 14.5.2 节：ADC 溢出（OVR、OVRMOD）*）。

DMA 传输请求会禁止，直至软件将 OVR 位清零。

根据应用用途的不同，推荐使用两种不同的 DMA 模式，并使用 ADC_CFGR1 寄存器中的 DMACFG 位配置相应的模式：

- DMA 单次模式 (DMACFG=0)。
  如果通过编程将 DMA 设置为传输固定数目的数据字，应选择此模式。
- DMA 循环模式 (DMACFG=1)。
  如果通过编程将 DMA 设置为循环模式或双缓冲区模式，应选择此模式。

DMA 单次模式 (DMACFG=0)

在该模式下，每次出现新的转换数据字时，ADC 都会生成 DMA 传输请求，DMA 到达最后一个 DMA 传输操作时（发生 DMA_EOT 中断，请参见*第 234 页的第 9 节：直接存储器访问控制器 (DMA)*），即使转换已再次开始，ADC 也会停止生成 DMA 请求。

DMA 传输完成后（在 DMA 控制器中配置的所有传输操作均已完成后）：

- ADC 数据寄存器的内容会冻结
- 任何正在进行的转换都会中止，其部分结果会被丢弃
- 不会将任何新的 DMA 请求发送到 DMA 控制器。如果仍存在已开始的转换，这样可避免生成溢出错误
- 扫描序列会停止并复位
- DMA 会停止

DMA 循环模式 (DMACFG=1)

在该模式下，每次数据寄存器中出现新的转换数据字时，ADC 都会生成 DMA 传输请求，即使 DMA 已到达最后一次 DMA 传输操作也不例外。这样可将 DMA 配置为循环模式，从而处理连续的模拟输入数据流。

14.6 低功耗特性

14.6.1 等待模式转换

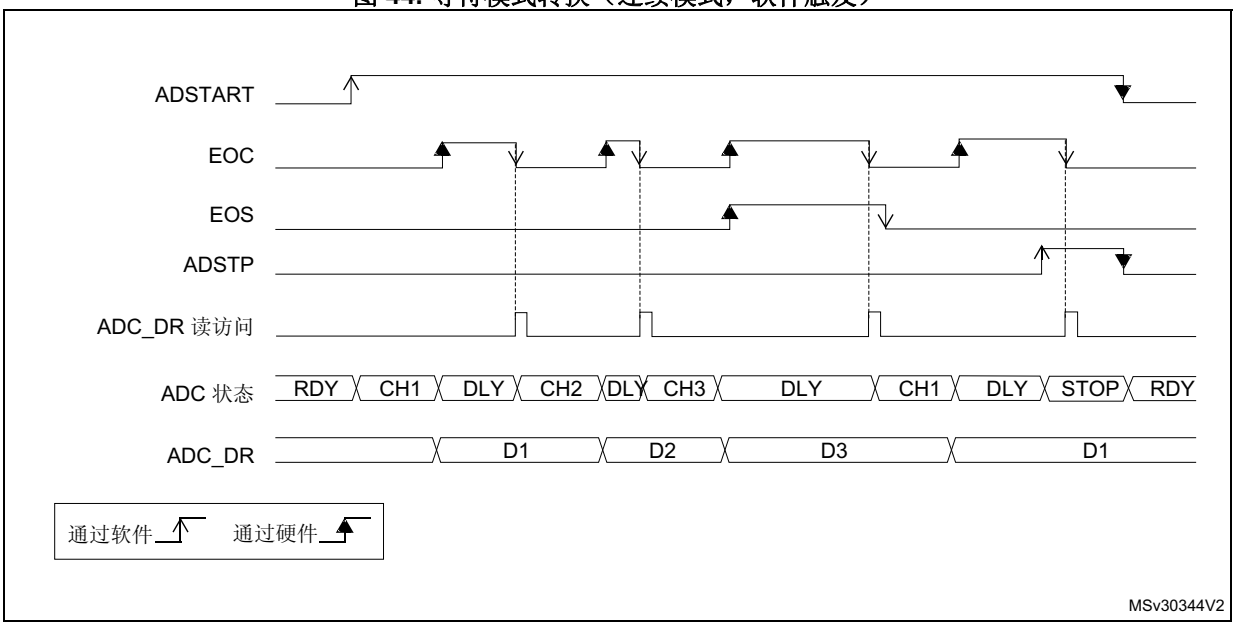
等待模式转换可用于简化软件，并可优化采用低频时钟的应用（此类应用可能存在 ADC 溢出的风险）的性能。

如果 ADC_CFGR1 寄存器中的 WAIT 位置 1，则仅当之前的数据已进行处理、ADC_DR 寄存器已读取或者 EOC 位已清零后，才会开始新的转换。

通过这种方式，可自动调整 ADC 的速度，使其适应系统读取数据的速度。

注： *转换进行时发生的或在读访问之前的等待时间内发生的硬件触发会被忽略。*

图 44. 等待模式转换（连续模式，软件触发）



1. EXTEN=00，CONT=1
2. CHSEL=0x3，SCANDIR=0，WAIT=1，AUTOFF=0

14.6.2 自动关闭模式 (AUTOFF)

ADC 具有自动电源管理功能，也称为自动关闭模式，将 ADC_CFGR1 寄存器中的 AUTOFF 位置 1 可使能此模式。

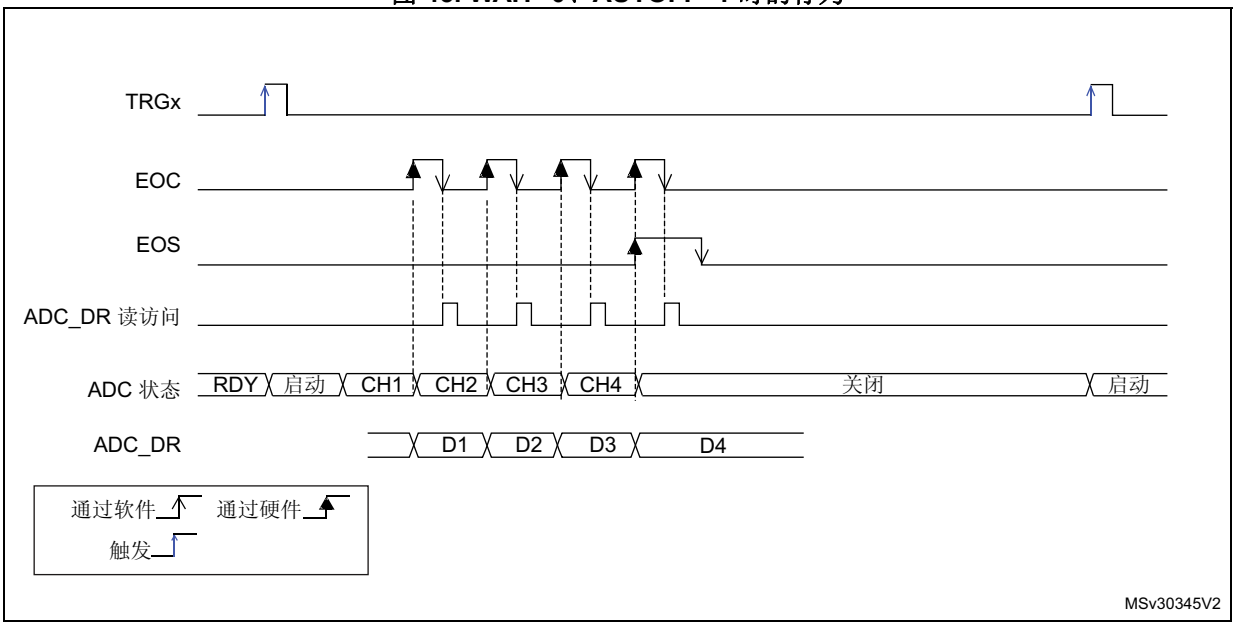
如果 AUTOFF=1，ADC 始终会在未进行转换时关闭，并会在转换开始后自动唤醒（通过软件或硬件触发）。在启动转换的触发事件和 ADC 的采样时间之间，会自动插入启动时间。随后，转换序列完成后，ADC 会自动禁止。

如果应用需要进行的转换次数相对较少，或者为了证明开关 ADC 额外使用的功率和时间合理而将转换请求的间隔时间设定得足够长（例如采用低频硬件触发），使用自动关闭模式可显著降低应用的功耗。

对于采用低频时钟的应用，可将自动关闭模式与等待模式转换 (WAIT=1) 结合使用，如果 ADC 在等待过程中自动掉电、并会在应用读取 ADC_DR 寄存器后立即重启，这种组合可显著降低功耗（请参见*图 46：WAIT=1、AUTOFF=1 时的行为*）。

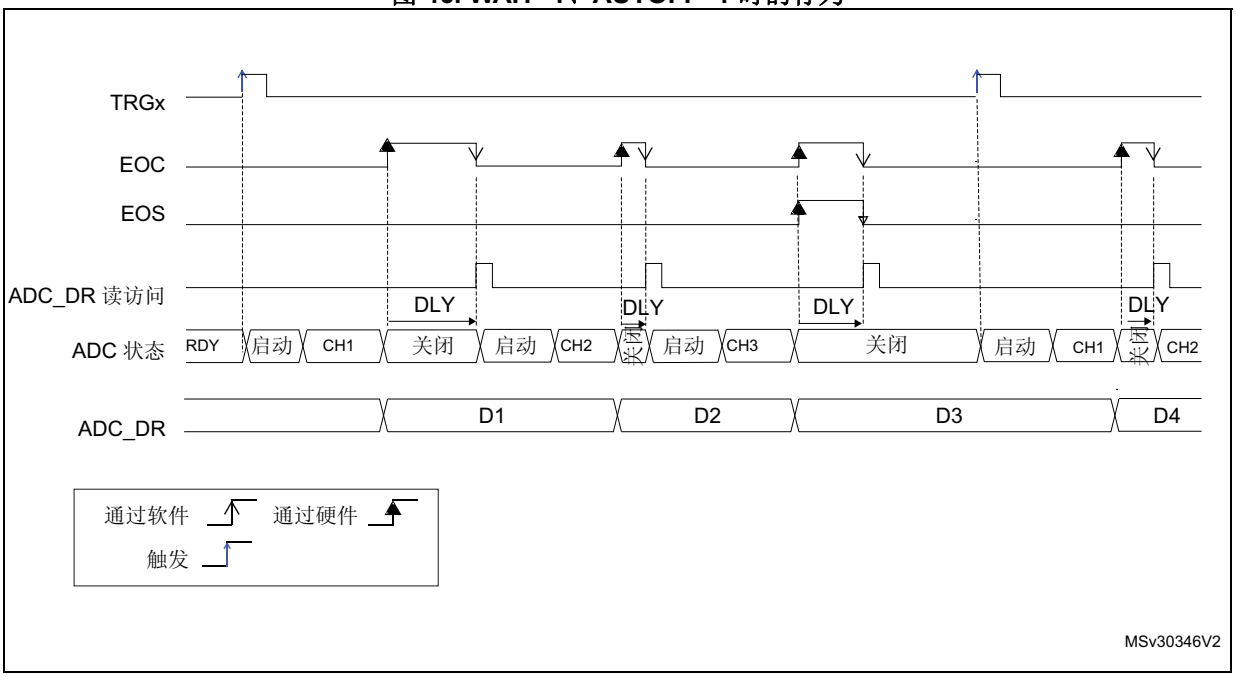
注： *有关如何管理专用 14 MHz 内部振荡器的说明，请参见复位和时钟控制 (RCC) 部分。ADC 接口可自动开/关 14 MHz 内部振荡器来实现节能。*

图 45. WAIT=0、AUTOFF=1 时的行为



1. EXTSEL=TRGx，EXTEN=01（上升沿），CONT=x，ADSTART=1，CHSEL=0xF，SCANDIR=0，WAIT=1，AUTOFF=1

图 46. WAIT=1、AUTOFF=1 时的行为



1. EXTSEL=TRGx，EXTEN=01（上升沿），CONT=x，ADSTART=1，CHSEL=0xF，SCANDIR=0，WAIT=1，AUTOFF=1

14.7 模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）

三个 AWD 模拟看门狗会监测一些通道是否保持在配置的电压范围（窗口）内。

14.7.1 模拟看门狗 1 说明

通过将 ADC_CFGR1 寄存器中的 AWD1EN 位置 1，可使能 AWD1 模拟看门狗。此功能用于监控一条选定的通道或所有已使能的通道（请参见*表 65：模拟看门狗 1 通道选择*）是否仍处于所配置的电压范围（窗口）内，如*图 47* 所示。

如果 ADC 转换的模拟电压低于阈值下限或高于阈值上限，则 AWD1 模拟看门狗状态位会置 1。这些阈值在 ADC_AWD1TR 寄存器的 HT1[11:0] 和 LT1[11:0] 位中编程。可以通过将 ADC_IER 寄存器中的 AWD1IE 位置 1 来使能中断。

AWD1 标志可通过由软件将其编程为 1 的方式进行清零。

如果转换的数据分辨率小于 12 位（取决于 DRES[1:0] 位），由于始终会在内部对完整的 12 位原始转换数据进行比较（左对齐），因此编程阈值的 LSB 必须保持清零状态。

表 64 介绍了如何对所有可能的分辨率进行比较。

表 64. 模拟看门狗比较

分辨率位 RES[1:0]	模拟看门狗比较对象：		注释
	原始转换数据，左对齐(1)	阈值	
00：12 位	DATA[11:0]	LTx[11:0] 和 HTx[11:0]	-
01：10 位	DATA[11:2]， 00	LTx[11:0] 和 HTx[11:0]	用户必须将 LTx[1:0] 和 HTx[1:0] 配置为“00”
10：8 位	DATA[11:4]， 0000	LTx[11:0] 和 HTx[11:0]	用户必须将 LTx[3:0] 和 HTx[3:0] 配置为“0000”
11：6 位	DATA[11:6]， 000000	LTx[11:0] 和 HTx[11:0]	用户必须将 LTx[5:0] 和 HTx[5:0] 配置为“000000”

1. 进行任何对齐计算之前，会对原始转换数据进行看门狗比较。

表 65 介绍了如何配置 ADC_CFGR1 寄存器中的 AWD1SGL 位和 AWD1EN 位，以使能一条或多条通道上的模拟看门狗。

图 47. 模拟看门狗的保护区域

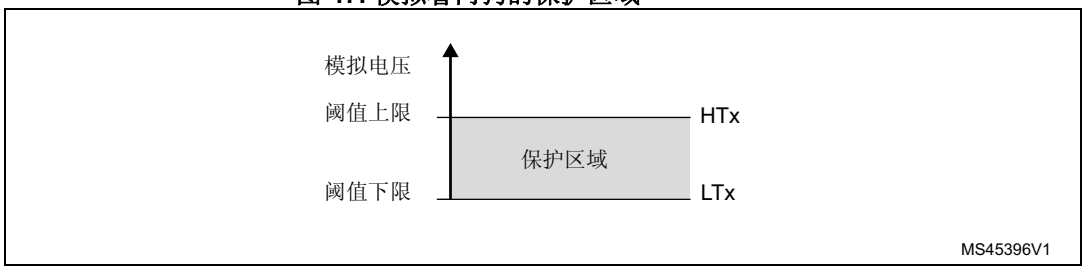


表 65. 模拟看门狗 1 通道选择

模拟看门狗保护的通道	AWD1SGL 位	AWD1EN 位
无	x	0
所有通道	0	1
单(1)通道	1	1

1. 通过 AWD1CH[4:0] 位选择

14.7.2 模拟看门狗 2 和 3 说明

第二个和第三个模拟看门狗更加灵活，可通过编程 ADC_AWDxCR（x = 2、3）中的 AWDxCHy 来保护多条已选通道。

ADC_AWDxCR 寄存器中的任何 AWDxCHy 位（x=2、3）置 1 时，相应看门狗会使能。

如果转换的数据分辨率小于 12 位（通过 DRES[1:0] 位配置），由于始终会在内部对完整的 12 位原始转换数据进行比较（左对齐），因此编程阈值的 LSB 必须保持清零状态。

表 64 介绍了如何对所有可能的分辨率进行比较。

如果 ADC 转换的模拟电压低于阈值下限或高于阈值上限，则 AWD2/3 模拟看门狗状态位会置 1。这些阈值在 ADC_AWDxTR 寄存器（x=2 或 3）的 HTx[11:0] 和 LTx[11:0] 中编程。可以通过将 ADC_IER 寄存器中的 AWDxIE 位置 1 来使能中断。

AWD2 和 ADW3 标志可通过由软件将其编程为 1 的方式进行清零。

14.7.3 ADC_AWDx_OUT 信号输出生成

每个模拟看门狗均与内部硬件信号 ADC_AWDx_OUT（x 为看门狗编号）相关联，该信号直接连接到某些片上定时器的 ETR 输入（外部触发）（有关如何选择 ADC_AWDx_OUT 信号作为 ETR 的详细信息，请参见定时器部分）。

当关联的模拟看门狗使能时，ADC_AWDx_OUT 被激活：

- 当受保护的转换超出编程阈值时，ADC_AWDx_OUT 会置 1。
- 在下一次受保护的转换结束且转换值在编程阈值内，ADC_AWDx_OUT 复位。如果下一次受保护转换仍然超出编程的阈值，则此信号保持为 1。
- 禁止 ADC 时（将 ADDIS 置 1 时），ADC_AWDx_OUT 也保持复位状态。请注意，停止转换（ADSTP 置 1）可能会清除 ADC_AWDx_OUT 状态。
- 当 ADC 转换不受保护的通道时，ADC_AWDx_OUT 状态不会改变（请参见*图 50*）。

AWDx 标志由硬件置 1，并由软件复位：AWDx 标志对 ADC_AWDx_OUT 的生成没有影响（例如：如果软件未将 AWDx 标志清零，即此标志会保持为 1，此时 ADC_AWDx_OUT 仍可翻转）。

ADC_AWDx_OUT 信号由 ADC_CLK 域生成。即使 APB 时钟停止，也可生成该信号。

每次 ADC 转换结束时都会执行 AWD 比较。在比较后的两个 ADC_CLK 时钟周期出现 ADC_AWDx_OUT 上升沿和下降沿。

由于 ADC_AWDx_OUT 由 ADC_CLK 域生成，AWD 标志由 APB 时钟域生成，因此这些信号的上升沿不同步。

图 48. ADC_AWDx_OUT 信号生成

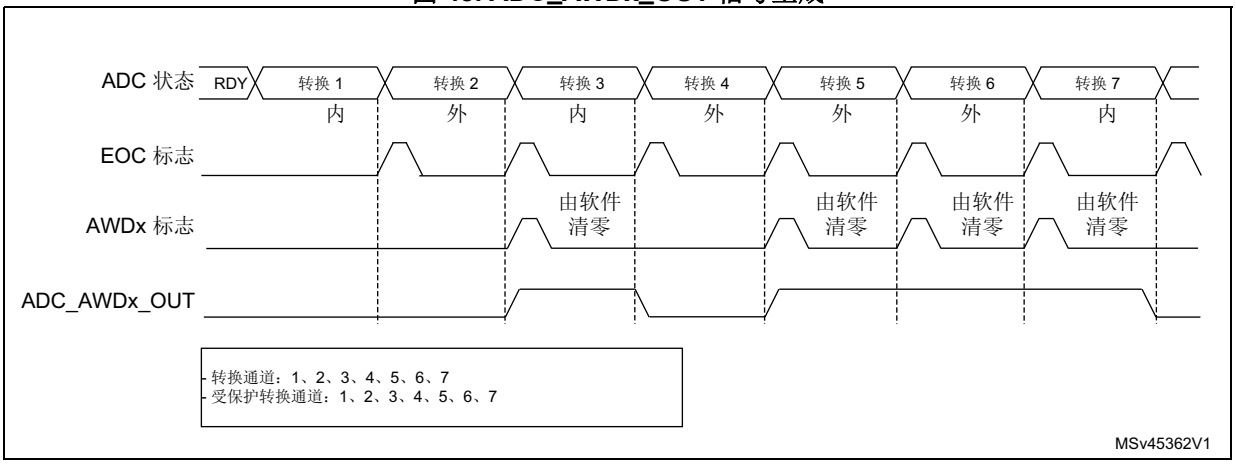


图 49. ADC_AWDx_OUT 信号生成（AWDx 标志未通过软件清零）

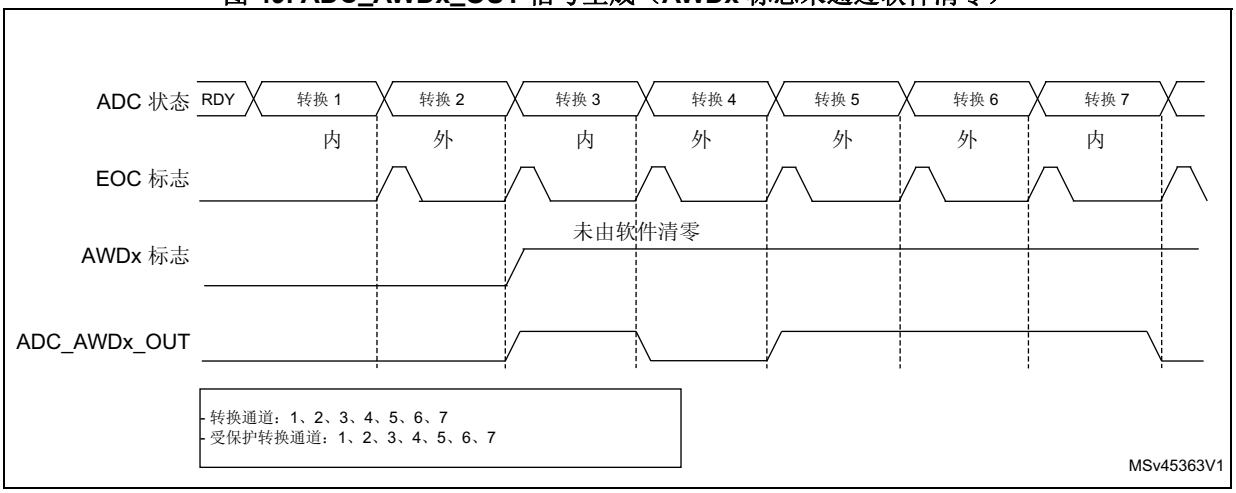
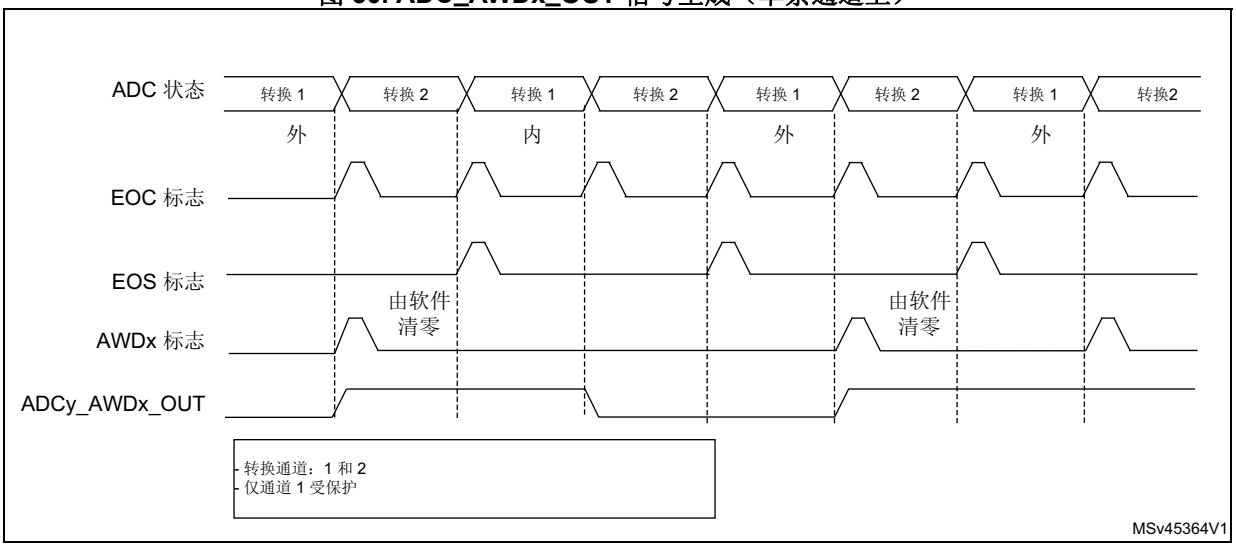


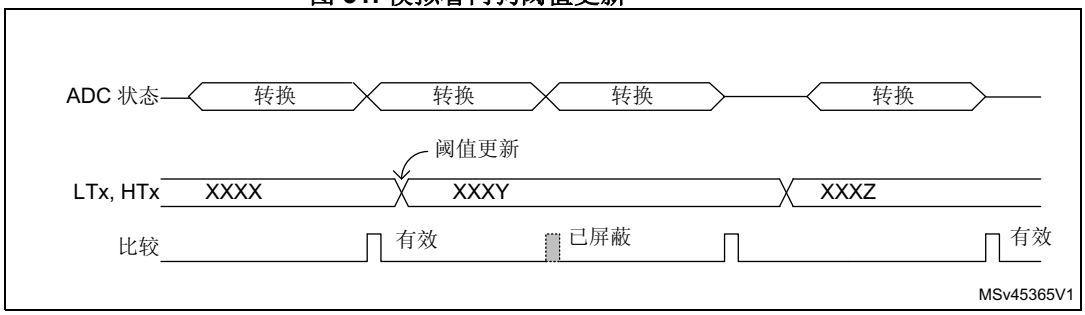
图 50. ADC_AWDx_OUT 信号生成（单条通道上）



14.7.4 模拟看门狗阈值控制

LTx[11:0] 和 HTx[11:0] 可在模数转换期间（即开始转换和结束转换 ADC 内部状态之间）进行更改。如果在 ADC 受保护通道转换期间编程 HTx 和 LTx 位，则会对此转换屏蔽看门狗功能。开始新转换时，会清除此屏蔽功能，并将在下一个 ADC 转换开始时应用生成的新 AWD 阈值。每次转换结束时都会执行 AWD 比较。如果当前 ADC 数据超出新阈值间隔，则不会生成任何中断或 ADC_AWDx_OUT 信号。仅在阈值更新后开始的 ADC 转换结束时，才生成中断和 ADC_AWDx_OUT。如果 ADC_AWDx_OUT 已置为有效，则编程新阈值不会使 ADC_AWDx_OUT 信号无效。

图 51. 模拟看门狗阈值更新



14.8 过采样器

过采样单元会进行数据预处理，以减轻 CPU 的负担。过采样单元可处理多个转换，并计算多个转换结果的平均值，得到数据宽度增大（高达 16 位）的单个数据。

它提供的结果采用以下形式，其中的 N 和 M 可以进行调整：

$$\text{结果} = \frac{1}{M} \times \sum_{n=0}^{n=N-1} \text{转换}(t_n)$$

允许通过硬件执行以下功能：计算平均值、降低数据速率、改进 SNR 以及基本滤波。

过采样率 N 通过 ADC_CFGR2 寄存器中的 OVFS[2:0] 位进行定义，它的范围是 2x 到 256x。分频系数 M 由向右移位构成，最多可移 8 位。它可通过 ADC_CFGR2 寄存器中的 OVSS[3:0] 位进行配置。

求和单元可得出多达 20 位（256 x 12 位）的结果，结果会先右移。随后，会将结果的高位截断，只留下 16 个最低有效位，这些位使用移位后剩下的最低有效位四舍五入为最接近的数值，然后将最终得到的结果传输到 ADC_DR 数据寄存器中。

注： *如果移位后得到的中间结果超过 16 位，则会截断结果的高位。*

图 52. 20 位到 16 位结果的截断过程

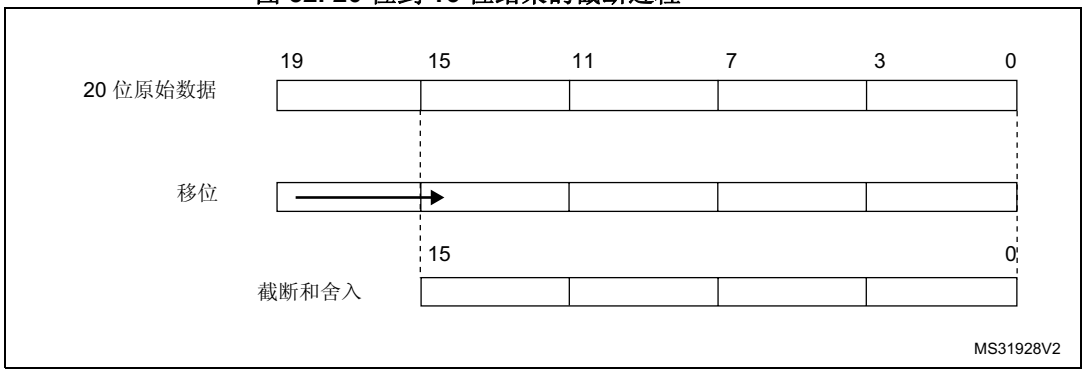
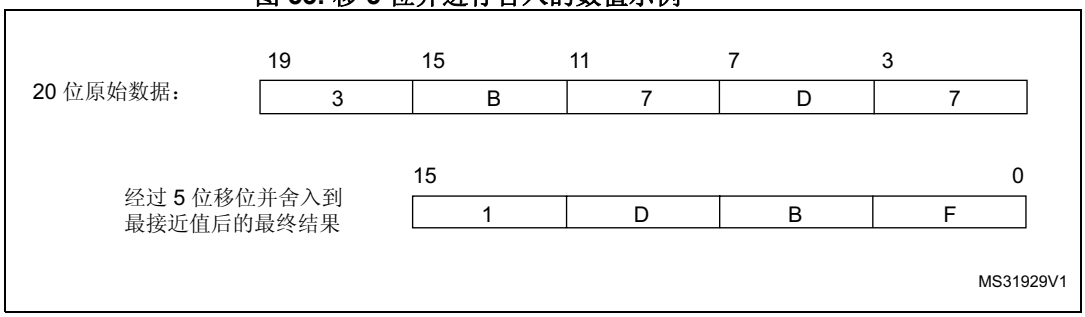


图 53 介绍了从原始的 20 位累加数据到最终 16 位结果的数值处理过程。

图 53. 移 5 位并进行舍入的数值示例



以下*表 66* 列出了原始转换数据等于 0xFFF 时对应的各种 N 和 M 组合的数据格式。

表 66. 最大输出结果与 N 和 M 的对应关系。呈灰色显示的数值表示截断的部分

过采样率	最大原始数据	不移位 OVSS = 0000	移 1 位 OVSS = 0001	移 2 位 OVSS = 0010	移 3 位 OVSS = 0011	移 4 位 OVSS = 0100	移 5 位 OVSS = 0101	移 6 位 OVSS = 0110	移 7 位 OVSS = 0111	移 8 位 OVSS = 1000
2x	0x1FFE	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040	0x0020
4x	0x3FFC	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080	0x0040
8x	0x7FF8	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100	0x0080
16x	0xFFF0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200	0x0100
32x	0x1FFE0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400	0x0200
64x	0x3FFC0	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800	0x0400
128x	0x7FF80	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF	0x0800
256x	0xFFF00	0xFF00	0xFF80	0xFFC0	0xFFE0	0xFFF0	0x7FF8	0x3FFC	0x1FFE	0x0FFF

与标准转换模式相比，过采样模式下的转换时序不会发生变化：整个过采样序列中，采样时间保持相等。每完成 N 次转换都会提供新数据，等效延迟等于 $N \times t_{CONV} = N \times (t_{SMPL} + t_{SAR})$。各标志的情况如下：

- 每个采样阶段后都会将采样阶段结束标志 (EOSMP) 置 1
- 如果过采样结果可用，每完成 N 次转换都会发生转换结束事件 (EOC)
- 过采样数据序列完成后（即 N x 序列长度次转换之后），会发生序列结束事件 (EOCSEQ)

14.8.1 过采样时支持的 ADC 工作模式

在过采样模式下，大部分 ADC 工作模式都可用：

- 单次或连续模式转换、向前或向后扫描序列，以及最多 8 通道编程序列
- 可由软件或触发器启动 ADC 转换
- ADC 在转换过程中停止（中止）
- 通过 CPU 或 DMA 在支持溢出检测的情况下读取数据
- 低功耗模式（WAIT、AUTOFF）
- 可编程分辨率：在这种情况下，会按照与 12 位转换相同的方式对分辨率降低的转换值（根据 ADC_CFGR1 寄存器中的 RES[1:0] 位）进行累加、截断、四舍五入和移位

注： *处理过采样数据时，不可使用对齐模式。ADC_CFGR1 中的 ALIGN 位会被忽略，且数据始终采用右对齐格式。*

14.8.2 模拟看门狗

提供模拟看门狗功能（AWDxSGL、AW1DEN 和 AWDxCH 位），存在以下区别：

- 会忽略 RES[1:0] 位，始终会使用完整的 12 位值 HTx[11:0] 和 LTx[11:0] 进行比较
- 会比较 16 位过采样结果 ADC_DR[15:4] 的 12 个最高有效位

注： *移位位数较大时必须多加留意，因为这样会缩小比较范围。例如，如果过采样结果移了 4 位，得到 12 位右对齐数据，则只能对 8 个数据位执行有效的模拟看门狗比较。比较操作在 ADC_DR[11:4] 和 HTx[7:0] / LTx[7:0] 之间进行，并且 HTx[11:8] / LTx[11:8] 必须保持复位状态。*

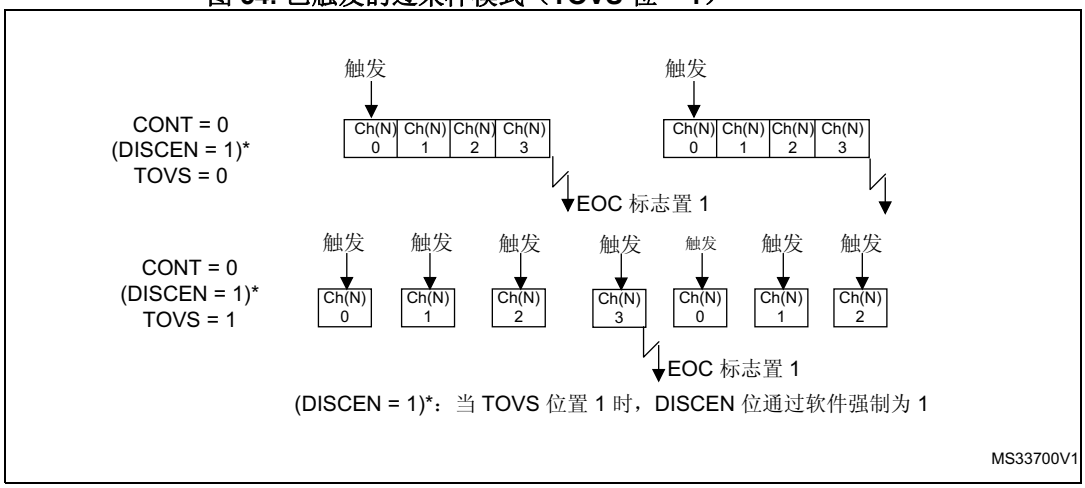
14.8.3 触发模式

平均值计算单元还可用于基本滤波，虽然它不是非常强大的滤波器（衰减缓慢、停止频段衰减受限），但可用作陷波滤波器，用于抑制恒定的寄生频率（通常来自输电线或开关电源）。为此，可使用 ADC_CFGR2 中的 TOVS 位使能特定的不连续模式，以获得由用户定义、且与转换时间本身无关的过采样频率。

图 54 显示了在不连续模式下如何响应触发从而开始转换。

如果 TOVS 位置 1，则会忽略 DISCEN 位的内容，并将该位视为 1。

图 54. 已触发的过采样模式（TOVS 位 = 1）



14.9 温度传感器和内部参考电压

温度传感器可用于测量器件的结温 (T_J)。温度传感器在内部连接到 ADC V_{IN}[12] 输入通道，该通道用于将传感器输出电压转换为数字值。温度传感器模拟引脚的采样时间必须大于数据手册中指定的最小 T_{S_temp} 值。不使用时可将传感器置于掉电模式。

内部参考电压（VREFINT）为 ADC 和比较器提供了一个稳定的（带隙）电压输出。VREFINT 在内部连接到 ADC V_{IN}[13] 输入通道。VREFINT 的精确电压由 ST 在生产测试期间对每部件单独测量，储存于系统存储区。

图 55 显示的是温度传感器、内部参考电压与 ADC 之间连接的方框图。

必须将 TSEN 位置 1 才能使能 ADC V_{IN}[12]（温度传感器）的转换，必须将 VREFEN 位置 1 才能使能 ADC V_{IN}[13] (VREFINT) 的转换。

温度传感器的输出电压随温度线性变化。由于工艺不同，该线的偏移量取决于各个芯片（芯片之间的温度变化可达 45 °C）。

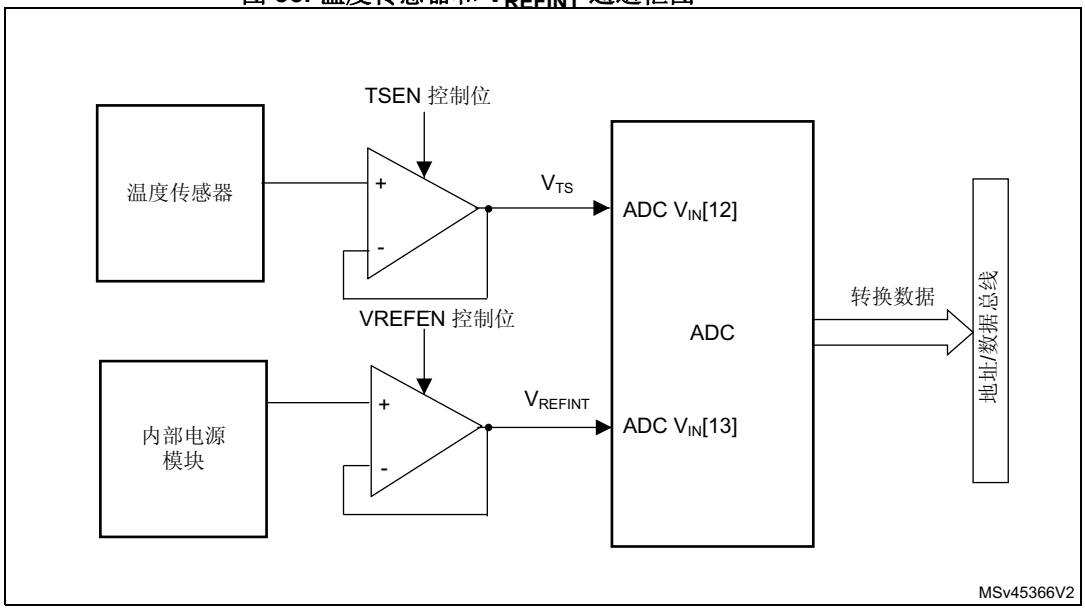
未校准的内部温度传感器更适用于对温度变化量而非绝对温度进行测量的应用。为提高温度传感器测量的准确性，ST 在生产过程中将校准值存储在每个器件的系统存储器中。

在制造过程中，会将温度传感器的校准数据和内部参考电压的校准数据存储在系统存储区。随后，用户应用可读取这些数据，并使用这些数据提高温度传感器或内部参考的准确性。其他相关信息，请参见数据手册。

主要特性

- 支持的温度范围：–40 到 125 °C
- 线性度：最高 ±2 °C，精度取决于校准情况

图 55. 温度传感器和 V_{REFINT} 通道框图



读取温度

1. 选择 ADC V_{IN}[12] 输入通道
2. 选择器件数据手册中规定的合适的采样时间 (T_{S_temp})
3. 将 ADC_CCR 寄存器中的 TSEN 位置 1，将温度传感器从掉电模式中唤醒，并等待其稳定时间 (t_{START})
4. 将 ADC_CR 寄存器中的 ADSTART 位置 1（或通过外部触发），开始 ADC 转换
5. 读取 ADC_DR 寄存器中生成的 V_{TS} 数据
6. 使用以下公式计算温度

$$\text{温度（单位为 °C）} = \frac{TS\_CAL2\_TEMP - TS\_CAL1\_TEMP}{TS\_CAL2 - TS\_CAL1} \times (TS\_DATA - TS\_CAL1) + TS\_CAL1\_TEMP$$

其中：

- TS_CAL2 是在 TS_CAL2_TEMP 下获取的温度传感器校准值（有关 TS_CAL2 值，请参见数据手册）
- TS_CAL1 是在 TS_CAL1_TEMP 下获取的温度传感器校准值（有关 TS_CAL1 值，请参见数据手册）
- TS_DATA 是由 ADC 转换得到的实际温度传感器输出值

  更多关于 TS_CAL1 和 TS_CAL2 校准点的信息，请参见相应的器件数据手册。

注： *传感器从掉电模式中唤醒需要一个启动时间，启动时间过后其才能输出正确的 V_{TS}。ADC 在上电后同样需要一个启动时间，因此，为尽可能减少延迟间，应同时将 ADEN 和 TSEN 位置 1。*

使用内部参考电压计算实际的 V_{DDA} 电压

施加给微控制器的 V_{DDA} 电源电压可能会有变化，或无法获得准确值。在制造过程中由 ADC 在 V_{DDA} = 3.3 V 的条件下获得的内置内部参考电压 (V_{REFINT}) 及其校准数据可用于评估实际的 V_{DDA} 电压。

以下公式可求得为器件供电的实际 V_{DDA} 电压：

$$V_{DDA} = 3\ V \times VREFINT\_CAL / VREFINT\_DATA$$

其中：

- VREFINT_CAL 是 VREFINT 校准值
- VREFINT_DATA 是由 ADC 转换得到的实际 VREFINT 输出值

将电源相关的 ADC 测量值转换为绝对电压值

ADC 用于提供对应于模拟电源与施加给转换通道的电压之比的数字值。对于大部分应用用例，需要将该比值转换成与 V_{DDA} 无关的电压。对于 V_{DDA} 已知、ADC 转换值进行了右对齐的应用，可使用以下公式得到该绝对值：

$$V_{CHANNELx} = \frac{V_{DDA}}{FULL\_SCALE} \times ADC\_DATA_x$$

对于 V_{DDA} 值未知的应用，必须使用内部参考电压，V_{DDA} 可替换为*使用内部参考电压计算实际的 V_{DDA} 电压*部分提供的表达式，从而得出以下公式：

$$V_{CHANNELx} = \frac{3\ V \times VREFINT\_CAL \times ADC\_DATA_x}{VREFINT\_DATA \times FULL\_SCALE}$$

其中：

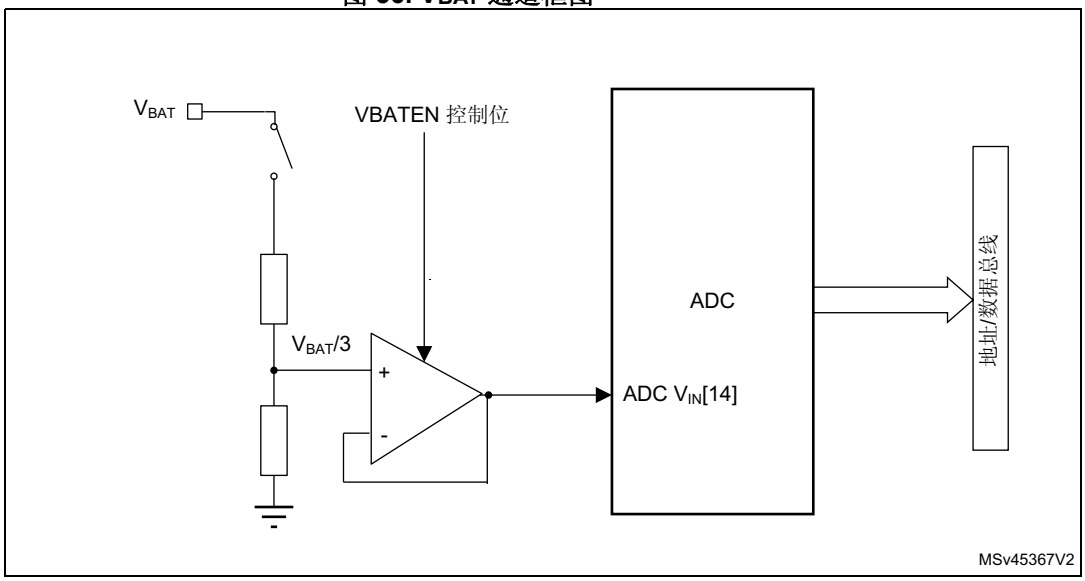
- VREFINT_CAL 是 VREFINT 校准值
- ADC_DATA_x 是由 ADC 在通道 x 上测得的值（右对齐）
- VREFINT_DATA 是由 ADC 转换得到的实际 VREFINT 输出值
- FULL_SCALE 是 ADC 输出的最大数字值。例如，如果分辨率为 12 位，该值为 2^{12} - 1 = 4095，如果分辨率为 8 位，该值为 2^8 - 1 = 255。

注： *如果执行 ADC 测量时使用的是输出格式而非 12 位右对齐格式，那么必须先将所有参数转换为兼容格式，然后再进行计算。*

14.10 电池电压监视

ADC_CCR 寄存器中的 VBATEN 位用于允许应用测量 V_{BAT} 引脚上的备用电池电压。由于 V_{BAT} 电压可能高于 V_{DDA}，因此 V_{BAT} 引脚需要内部连接到桥接分压器，以确保 ADC 正确运行。VBATEN 置 1 时，会自动使能此桥，以将 V_{BAT} 连接到 ADC V_{IN}[14] 输入通道。因此，转换出的数字值为V_{BAT} 电压的一半。为防止电池出现意外的电能消耗，建议仅在必要时为 ADC 转换使能桥接分压器。

图 56. V_{BAT} 通道框图



14.11 ADC 中断

发生下列任一事件均可生成中断：

- 校准结束（EOCAL 标志）
- ADC 就绪后，ADC 上电（ADRDY 标志）
- 任何转换结束（EOC 标志）
- 转换序列结束（EOS 标志）
- 发生模拟看门狗检测时（AWD1、AWD2、AWD3 标志）
- 通道配置就绪时（CCRDY 标志）
- 采样阶段结束时（EOSMP 标志）
- 发生数据溢出时（OVR 标志）

可以使用单独的中断使能位以提高灵活性。

表 67. ADC 中断

中断事件	事件标志	使能控制位
校准结束	EOCAL	EOCALIE
ADC 就绪	ADRDY	ADRDYIE
转换结束	EOC	EOCIE
转换序列结束	EOS	EOSIE
模拟看门狗 1 状态位置 1	AWD1	AWD1IE
模拟看门狗 2 状态位置 1	AWD2	AWD2IE
模拟看门狗 3 状态位置 1	AWD3	AWD3IE
通道配置就绪	CCRDY	CCRDYIE
采样阶段结束	EOSMP	EOSMPIE
上溢	OVR	OVRIE

14.12 ADC 寄存器

有关寄存器说明中使用的缩写列表，请参见*第 49 页的第 1.2 节*。

14.12.1 ADC 中断和状态寄存器 (ADC_ISR)

ADC interrupt and status register

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CCRDY	Res.	EOCAL	Res.	AWD3	AWD2	AWD1	Res.	Res.	OVR	EOS	EOC	EOSMP	ADRDY
		rc_w1		rc_w1		rc_w1	rc_w1	rc_w1			rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位 31:14 保留，必须保持复位值。

位 13 **CCRDY**：通道配置就绪标志 (Channel Configuration Ready flag)

在编程到 ADC_CHSELR 寄存器或更改 CHSELRMOD 或 SCANDIR 之后应用通道配置时，该标志位由硬件置 1。可由软件通过编程来将其清零。

0：未应用通道配置更新。

1：应用通道配置更新。

注：　当软件配置通道时（通过编程 ADC_CHSELR 或更改 CHSELRMOD 或 SCANDIR），必须等到 CCRDY 标志为高电平后再进行配置或开始转换，否则新配置（或 START 位）将被忽略。标志置 1 后，如果软件需要再次配置通道，则必须先清零 CCRDY 标志，然后再继续进行新配置。

位 12 保留，必须保持复位值。

位 11 **EOCAL**：校准结束标志 (End Of Calibration flag)

校准完成时，该位由硬件置 1。通过软件写入 1 可将该位清零。

0：校准未完成

1：校准已完成

位 10 保留，必须保持复位值。

位 9 **AWD3**：模拟看门狗 3 标志 (Analog watchdog 3 flag)

当转换电压超过在 ADC_AWD3TR 和 ADC_AWD3TR 寄存器中编程的值时，硬件将该位置 1。通过软件编程为 1 可将该位清零。

0：未发生模拟看门狗事件（或标志事件已通过软件确认并清零）

1：发生模拟看门狗事件

位 8 **AWD2**：模拟看门狗 2 标志 (Analog watchdog 2 flag)

当转换电压超过在 ADC_AWD2TR 和 ADC_AWD2TR 寄存器中编程的值时，硬件将该位置 1。通过软件编程可将该位清零。

0：未发生模拟看门狗事件（或标志事件已通过软件确认并清零）

1：发生模拟看门狗事件

位 7 **AWD1**：模拟看门狗 1 标志 (Analog watchdog 1 flag)

当转换电压超过在 ADC_TR1 和 ADC_HR1 寄存器中编程的值时，硬件将该位置 1。通过软件编程为 1 可将该位清零。

0：未发生模拟看门狗事件（或标志事件已通过软件确认并清零）

1：发生模拟看门狗事件

位 6:5 保留，必须保持复位值。

位 4 **OVR**：ADC 溢出 (ADC overrun)

该位在发生溢出事件时由硬件置 1，这意味着在 EOC 标志已置 1 时，新转换已完成。通过软件写入 1 可将该位清零。

0：未发生溢出事件（或标志事件已通过软件确认并清零）

1：发生溢出

位 3 **EOS**：序列结束标志 (End of sequence flag)

在由 CHSEL 位选择的一系列通道转换结束时，会通过硬件将该位置 1。通过软件写入 1 可将该位清零。

0：转换序列未完成（或标志事件已通过软件确认并清零）

1：转换序列已完成

位 2 **EOC**：转换结束标志 (End of conversion flag)

当通道的每次转换结束，新数据结果出现在 ADC_DR 寄存器时，会通过硬件将该位置 1。通过软件向该位写入 1，或读取 ADC_DR 寄存器都可将该位清零。

0：通道转换未完成（或标志事件已通过软件确认并清零）

1：通道转换已完成

位 1 **EOSMP**：采样结束标志 (End of sampling flag)

在转换过程中，当采样阶段结束时该位由硬件置 1。通过软件将该位编程为“1”，可将该位清零。

0：采样阶段未结束（或标志事件已通过软件确认并清零）

1：采样阶段已结束

位 0 **ADRDY**：ADC 就绪 (ADC ready)

ADC 使能后（位 ADEN=1）以及 ADC 达到准备好接收转换请求的状态时，会通过硬件将该位置 1。通过软件写入 1 可将该位清零。

0：ADC 未准备好开始转换（或标志事件已通过软件确认并清零）

1：ADC 已准备好开始转换

14.12.2 ADC 中断使能寄存器 (ADC_IER)

ADC interrupt enable register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	CCRDYIE	Res.	EOCALIE	Res.	AWD3IE	AWD2IE	AWD1IE	Res.	Res.	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
		rw		rw		rw	rw	rw			rw	rw	rw	rw	rw

位 31:14 保留，必须保持复位值。

位 13 **CCRDYIE**：通道配置就绪中断使能 (Channel Configuration Ready Interrupt enable)

此位由软件置 1 和清零，用于使能/禁止通道配置就绪中断。

0：禁止通道配置就绪中断

1：使能通道配置就绪中断

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 12 保留，必须保持复位值。

位 11 **EOCALIE**：校准结束中断使能 (End of calibration interrupt enable)

此位由软件置 1 和清零，用于使能/禁止校准结束中断。

0：禁止校准结束中断

1：使能校准结束中断

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 10 保留，必须保持复位值。

位 9 **AWD3IE**：模拟看门狗 3 中断使能 (Analog watchdog 3 interrupt enable)

通过软件将该位置 1 和清零可使能/禁止模拟看门狗中断。

0：禁止模拟看门狗中断

1：使能模拟看门狗中断

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 8 **AWD2IE**：模拟看门狗 2 中断使能 (Analog watchdog 2 interrupt enable)

通过软件将该位置 1 和清零可使能/禁止模拟看门狗中断。

0：禁止模拟看门狗中断

1：使能模拟看门狗中断

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 7 **AWD1IE**：模拟看门狗 1 中断使能 (Analog watchdog 1 interrupt enable)

通过软件将该位置 1 和清零可使能/禁止模拟看门狗中断。

0：禁止模拟看门狗中断

1：使能模拟看门狗中断

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 6:5 保留，必须保持复位值。

位 4 **OVRIE**：溢出中断使能 (Overrun interrupt enable)
通过软件将该位置 1 和清零可使能/禁止溢出中断。
0：禁止溢出中断。
1：使能溢出中断。OVR 位置 1 时产生中断。
注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 3 **EOSIE**：转换序列结束中断使能 (End of conversion sequence interrupt enable)
此位由软件置 1 和清零，用于使能/禁止转换序列结束中断。
0：禁止 EOS 中断。
1：使能 EOS 中断。EOS 位置 1 时产生中断。
注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 2 **EOCIE**：转换结束中断使能 (End of conversion interrupt enable)
通过软件将该位置 1 和清零可使能/禁止转换结束中断。
0：禁止 EOC 中断。
1：使能 EOC 中断。EOC 位置 1 时产生中断。
注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 1 **EOSMPIE**：采样结束中断使能 (End of sampling interrupt enable)
此位由软件置 1 和清零，用于使能/禁止采样阶段结束中断。
0：禁止 EOSMP 中断。
1：使能 EOSMP 中断。EOSMP 位置 1 时产生中断。
注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 0 **ADRDYIE**：ADC 就绪中断使能 (ADC ready interrupt enable)
此位由软件置 1 和清零，用于使能/禁止 ADC 就绪中断。
0：禁止 ADRDY 中断。
1：使能 ADRDY 中断。ADRDY 位置 1 时产生中断。
注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.3 ADC 控制寄存器 (ADC_CR)

ADC control register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADCAL	Res.	Res.	ADVREGEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rs			rw												
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADSTP	Res.	ADSTART	ADDIS	ADEN
											rs		rs	rs	rs

位 31 **ADCAL**：ADC 校准 (ADC calibration)

该位由软件置 1，用于开始 ADC 校准。

校准完成后，该位由硬件清零。

0：校准已完成。

1：写入 1 可校准 ADC。读取值为 1 表示正在进行校准。

注： *仅当 ADC 已禁止时（ADCAL=0、ADSTART=0、ADSTP=0、ADDIS=0 且 ADEN=0），才允许通过软件将 ADCAL 位置 1。*

仅当 ADEN=1 且 ADSTART=0 （ADC 已使能，当前未进行任何转换）时，才允许通过软件对 ADC_CALFACT 执行写操作来更新校准系数。

位 30:29 保留，必须保持复位值。

位 28 **ADVREGEN**：ADC 调压器使能 (ADC Voltage Regulator Enable)

此位由软件置 1，用于使能 ADC 内部调压器。在经过 $t_{ADCVREG\_SETUP}$ 之后，调压器输出可用。

此位由软件清零以禁止调压器。仅当 ADEN 为 0 时，此位才能清零。

0：禁止 ADC 调压器

1：使能 ADC 调压器

注： *仅当 ADC 已禁止时（ADCAL=0、ADSTART=0、ADSTP=0、ADDIS=0 且 ADEN=0），才能通过软件对该位域进行编程。*

位 27:5 保留，必须保持复位值。

位 4 ADSTP：ADC 停止转换命令 (ADC stop conversion command)

该位由软件置 1，用于停止和丢弃正在进行的转换（ADSTP 命令）。

当转换已有效丢弃、并且 ADC 已准备好接收新的开始转换命令时，会通过硬件将该位清零。

0：当前未执行 ADC 停止转换命令。

1：写入 1 可停止 ADC。读取值为 1 表示正在执行 ADSTP 命令。

注： *仅当 ADSTART=1 且 ADDIS=0 时（ADC 已使能、可能正在进行转换、并且没有任何待处理的禁止 ADC 的请求），将 ADSTP 置 1 才有效。*

位 3 保留，必须保持复位值。

位 2 ADSTART：ADC 开始转换命令 (ADC start conversion command)

此位由软件置 1，用于开始 ADC 转换。根据 EXTEN [1:0] 配置位的值，可以立即开始转换（软件触发配置），也可以在发生硬件触发事件后开始转换（硬件触发配置）。

该位通过硬件清零：

– 在单次转换模式下（CONT=0、DISCEN=0），如果选择了软件触发 (EXTEN=00)：出现转换序列结束 (EOS) 标志时清零。

– 在不连续转换模式下（CONT=0、DISCEN=1），如果选择了软件触发 (EXTEN=00)：出现转换结束 (EOC) 标志时清零。

– 在所有其他情况下：执行完 ADSTP 命令后，由硬件将 ADSTP 位清零的同时清零。

0：当前未进行 ADC 转换。

1：写入 1 可开始 ADC。读取值为 1 表示 ADC 正在工作，可能正在进行转换。

注： 仅当 ADEN=1 且 ADDIS=0 时（ADC 已使能，并且没有任何待处理的禁止 ADC 的请求），才允许通过软件将 ADSTART 置 1。

写入 ADC_CHSELR 寄存器或者更改 CHSELRMOD 或 SCANDIRW 后，必须等待至 CCRDY 标志置 1，然后才能将 ADSTART 置 1，否则写入到 ADSTART 的值将被忽略。

位 1 **ADDIS**：ADC 禁止命令 (ADC disable command)

该位由软件置 1，用于禁止 ADC（ADDIS 命令）并使其进入掉电状态（OFF 状态）。

ADC 已有效禁止后，会立即通过硬件将该位清零（此时也会通过硬件将 ADEN 清零）。

0：当前未执行 ADDIS 命令

1：写入 1 可禁止 ADC。读取值为 1 表示正在执行 ADDIS 命令。

注： 仅当 ADEN=1 且 ADSTART=0 时（这可确保当前未进行任何转换），将 ADDIS 置 1 才有效。

位 0 ADEN：ADC 使能命令 (ADC enable command)

该位通过软件置 1，用于使能 ADC。ADRDY 标志置 1 后，ADC 将立即准备好运行。

如果 ADC 已禁止，则执行 ADDIS 命令后，将通过硬件对该位清零。

0：禁止 ADC（OFF 状态）

1：写入 1 来使能 ADC。

注： 仅当 ADC_CR 寄存器的所有位均为 0 时（ADCAL=0、ADSTP=0、ADSTART=0、ADDIS=0 且 ADEN=0），才允许通过软件将 ADEN 位置 1。

14.12.4 ADC 配置寄存器 1 (ADC_CFGR1)

ADC configuration register 1

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	AWD1CH[4:0]					Res.	Res.	AWD1EN	AWD1SGL	CHSELRMOD	Res.	Res.	Res.	Res.	DISCEN
	rw	rw	rw	rw	rw			rw	rw	rw					rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AUTOFF	WAIT	CONT	OVRMOD	EXTEN[1:0]		Res.	EXTSEL[2:0]			ALIGN	RES[1:0]		SCANDIR	DMACFG	DMAEN
rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 保留，必须保持复位值。

位 30:26 **AWD1CH[4:0]**：模拟看门狗通道选择 (Analog watchdog channel selection)

这些位将由软件置 1 和清零。它们用于选择由模拟看门狗监控的输入通道。

00000：通过 AWD 监控 ADC 模拟输入通道 0

00001：通过 AWD 监控 ADC 模拟输入通道 1

.....

10001：通过 AWD 监控 ADC 模拟输入通道 17

10010：通过 AWD 监控 ADC 模拟输入通道 18

其他值：保留

注： 由 AWDCH[4:0] 位选择的通道也必须设置到 CHSELR 寄存器中。

仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 25:24 保留，必须保持复位值。

位 23 **AWD1EN**：模拟看门狗使能 (Analog watchdog enable)

此位由软件置 1 和清零。

0：禁止模拟看门狗 1

1：使能模拟看门狗 1

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 22 **AWD1SGL**：在单一通道或所有通道上使能看门狗 (Enable the watchdog on a single channel or on all channels)

此位由软件置 1 和清零，用于在通过 AWDCH[4:0] 位确定的通道或所有通道上使能模拟看门狗

0：在所有通道上使能模拟看门狗 1

1：在单一通道上使能模拟看门狗 1

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 21 **CHSELRMOD**：ADC_CHSELR 寄存器的模式选择 (Mode selection of the ADC_CHSELR register)

通过软件将该位置 1 和清零可控制 ADC_CHSELR 功能：

0：ADC_CHSELR 寄存器的每个位均使能一个输入

1：ADC_CHSELR 寄存器最多可对 8 个通道进行排序

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

如果在通道配置（写入 ADC_CHSELR 寄存器或者更改 CHSELRMOD 或 SCANDIR）后 CCRDY 尚未置 1，则将忽略写入到该位的值。

位 20:17 保留，必须保持复位值。

位 16 **DISCEN**：不连续模式 (Discontinuous mode)

此位由软件置 1 和清零，用于使能/禁止不连续模式。

0：禁止不连续模式

1：使能不连续模式

注： 不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 15 **AUTOFF**：自动关闭模式 (Auto-off mode)

此位由软件置 1 和清零，用于使能/禁止自动关闭模式。

0：禁止自动关闭模式

1：使能自动关闭模式

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 14 **WAIT**：等待转换模式 (Wait conversion mode)

此位由软件置 1 和清零，用于使能/禁止等待转换模式。

0：等待转换模式关闭

1：等待转换模式开启

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 13 **CONT**：单次/连续转换模式 (Single/continuous conversion mode)

此位由软件置 1 和清零。该位置 1 时，转换将持续进行，直到该位清零。

0：单次转换模式

1：连续转换模式

注： 不能同时使能不连续模式和连续模式：禁止同时将 DISCEN 和 CONT 位置 1。

仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 12 **OVRMOD**：溢出管理模式 (Overrun management mode)

该位通过软件进行置 1 和清零，并用于配置数据溢出的管理方式。

0：如果检测到溢出，ADC_DR 寄存器会保留原有数据。

1：如果检测到溢出，ADC_DR 寄存器会被上一转换结果覆盖。

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 11:10 **EXTEN[1:0]**：外部触发使能和极性选择 (External trigger enable and polarity selection)

这些位由软件置 1 和清零，用于选择外部触发极性并使能触发。

00：禁止硬件触发检测（可通过软件开始转换）

01：在上升沿执行硬件触发检测

10：在下降沿执行硬件触发检测

11：在上升沿和下降沿都执行硬件触发检测

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 9 保留，必须保持复位值。

位 8:6 **EXTSEL[2:0]**：外部触发选择 (External trigger selection)

这些位可选择用于触发转换开始的外部事件（有关详情，请参见*表 62：外部触发器*）：

000：TRG0

001：TRG1

010：TRG2

011：TRG3

100：TRG4

101：TRG5

110：TRG6

111：TRG7

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 5 **ALIGN**：数据对齐 (Data alignment)

此位由软件置 1 和清零，用于选择右对齐或左对齐。请参见*第 309 页的图 42：数据对齐方式和分辨率（过采样已禁止：OVSE = 0）*。

0：右对齐

1：左对齐

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 4:3 **RES[1:0]**：数据分辨率 (Data resolution)

通过软件写入这些位可选择转换的分辨率。

00：12 位

01：10 位

10：8 位

11：6 位

注： 仅当 ADEN=0 时，才允许通过软件对这些位执行写操作。

位 2 **SCANDIR**：扫描序列方向 (Scan sequence direction)

此位由软件置 1 和清零，用于选择扫描序列中各通道的方向。仅当 CHSELMOD 位清零时有效。

0：向前扫描（CHSEL0 到 CHSEL18）

1：向后扫描（CHSEL18 到 CHSEL0）

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

如果在通道配置（写入 ADC_CHSELR 寄存器或者更改 CHSELRMOD 或 SCANDIR）后 CCRDY 尚未置 1，则将忽略写入到该位的值。

位 1 **DMACFG**：直接存储器访问配置 (Direct memory access configuration)

此位由软件置 1 和清零，用于在 DMA 两种工作模式之间进行选择，仅当 DMAEN=1 时，该位才有效。

0：选择 DMA 单次模式

1：选择 DMA 循环模式

更多详细信息，请参见*第 311 页的第 14.5.5 节：使用 DMA 管理转换的数据*。

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 0 **DMAEN**：直接存储器访问使能 (Direct memory access enable)

此位由软件置 1 和清零，用于使能 DMA 请求的生成。这样便可使用 DMA 控制器自动管理转换的数据。有关详细信息，请参见*第 311 页的第 14.5.5 节：使用 DMA 管理转换的数据*。

0：禁止 DMA

1：使能 DMA

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.5 ADC 配置寄存器 2 (ADC_CFGR2)

ADC configuration register 2

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CKMODE[1:0]		LFTRIG	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TOVS	OVSS[3:0]				OVSR[2:0]			Res.	OVSE
						rw	rw	rw	rw	rw	rw	rw	rw		rw

位 31:30 **CKMODE[1:0]**：ADC 时钟模式 (ADC clock mode)

此位由软件置 1 和清零，用于定义为模拟 ADC 提供时钟的方式：

00：ADCCLK（异步时钟模式），在产品级生成（请参见 RCC 部分）

01：PCLK/2（同步时钟模式）

10：PCLK/4（同步时钟模式）

11：PCLK（同步时钟模式）。仅当 PCLK 的时钟占空比为 50% 时，才必须使能此配置（必须绕过 RCC 中配置的 APB 预分频系数，并且系统时钟占空比必须在 50% 以内）。

在所有同步时钟模式下，从定时器触发到转换开始的延迟过程中，不存在抖动。

注： 仅当 ADC 已禁止时（ADCAL=0、ADSTART=0、ADSTP=0、ADDIS=0 且 ADEN=0），才允许通过软件对这些位执行写操作。

位 29 **LFTRIG**：低频触发模式使能 (Low frequency trigger mode enable)

此位由软件置 1 和清零。

0：禁止低频触发模式

1：使能低频触发模式

注： 仅当 ADSTART 位清零时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 28:10 保留，必须保持复位值。

位 9 **TOVS**：已触发*过采样* (Triggered *Oversampling*)

此位由软件置 1 和清零。

0：会在触发后连续完成某一通道的所有过采样转换

1：某一通道的每个过采样转换都需要触发

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 8:5 **OVSS[3:0]**：*过采样移位* (*Oversampling shift*)

此位由软件置 1 和清零。

0000：不发生移位

0001：移 1 位

0010：移 2 位

0011：移 3 位

0100：移 4 位

0101：移 5 位

0110：移 6 位

0111：移 7 位

1000：移 8 位

其他值：保留

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 4:2 **OVSR[2:0]**：*过采样率* (Oversampling ratio)

该位域定义过采样率的数值。

000：2x

001：4x

010：8x

011：16x

100：32x

101：64x

110：128x

111：256x

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 1 保留，必须保持复位值。

位 0 OVSE：过采样器使能 (Oversampler Enable)

此位由软件置 1 和清零。

0：禁止过采样器

1：使能过采样器

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.6 ADC 采样时间寄存器 (ADC_SMPR)

ADC sampling time register

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	SMPSEL18	SMPSEL17	SMPSEL16	SMPSEL15	SMPSEL14	SMPSEL13	SMPSEL12	SMPSEL11	SMPSEL10	SMPSEL9	SMPSEL8
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMPSEL7	SMPSEL6	SMPSEL5	SMPSEL4	SMPSEL3	SMPSEL2	SMPSEL1	SMPSEL0	Res.	SMP2[2:0]			Res.	SMP1[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw		rw	rw	rw

位 31:27 保留，必须保持复位值。

位 26:8 **SMPSEL[18:0]**：通道 x 采样时间选择 (Channel-x sampling time selection)

通过软件写入这些位以定义将使用的采样时间。

0：CHANNELx 的采样时间使用 SMP1[2:0] 寄存器的设置。

1：CHANNELx 的采样时间使用 SMP2[2:0] 寄存器的设置。

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 7 保留，必须保持复位值。

位 6:4 **SMP2[2:0]**：采样时间选择 2 (Sampling time selection 2)

这些位由软件写入，用于选择应用于所有通道的采样时间。

000：1.5 个 ADC 时钟周期

001：3.5 个 ADC 时钟周期

010：7.5 个 ADC 时钟周期

011：12.5 个 ADC 时钟周期

100：19.5 个 ADC 时钟周期

101：39.5 个 ADC 时钟周期

110：79.5 个 ADC 时钟周期

111：160.5 个 ADC 时钟周期

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 3 保留，必须保持复位值。

位 2:0 **SMP1[2:0]**：*采样时间选择 1* (*Sampling time selection 1*)

这些位由软件写入，用于选择应用于所有通道的采样时间。

000：1.5 个 ADC 时钟周期

001：3.5 个 ADC 时钟周期

010：7.5 个 ADC 时钟周期

011：12.5 个 ADC 时钟周期

100：19.5 个 ADC 时钟周期

101：39.5 个 ADC 时钟周期

110：79.5 个 ADC 时钟周期

111：160.5 个 ADC 时钟周期

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.7 ADC 看门狗阈值寄存器 (ADC_AWD1TR)

ADC watchdog threshold register

偏移地址：0x20

复位值：0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT1[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT1[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:16 **HT1[11:0]**：模拟看门狗 1 阈值上限 (Analog watchdog 1 higher threshold)
通过软件写入这些位可为模拟看门狗定义阈值上限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

位 15:12 保留，必须保持复位值。

位 11:0 **LT1[11:0]**：模拟看门狗 *1* 阈值下限 (Analog watchdog 1 lower threshold)
通过软件写入这些位可为模拟看门狗定义阈值下限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

14.12.8 ADC 看门狗阈值寄存器 (ADC_AWD2TR)

ADC watchdog threshold register

偏移地址：0x24

复位值：0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT2[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT2[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:16 **HT2[11:0]**：模拟看门狗 2 阈值上限 (Analog watchdog 2 higher threshold)
通过软件写入这些位可为模拟看门狗定义阈值上限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

位 15:12 保留，必须保持复位值。

位 11:0 **LT2[11:0]**：模拟看门狗 2 阈值下限 (Analog watchdog 2 lower threshold)
通过软件写入这些位可为模拟看门狗定义阈值下限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

14.12.9 ADC 通道选择寄存器 [备用] (ADC_CHSELR)

ADC channel selection register

偏移地址：0x28

复位值：0x0000 0000

可在两种不同的模式下使用同一寄存器：
– 每个 ADC_CHSELR 位均使能一个输入（ADC_CFGR1 中的 CHSELRMOD = 0）。请参见当前章节。
– ADC_CHSELR 最多可对 8 个通道进行排序（ADC_CFGR1 中的 CHSELRMOD = 1）。请参见下一章节。

ADC_CFGR1 中的 CHSELRMOD = 0：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CHSEL 18	CHSEL 17	CHSEL 16
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHSEL 15	CHSEL 14	CHSEL 13	CHSEL 12	CHSEL 11	CHSEL 10	CHSEL 9	CHSEL 8	CHSEL 7	CHSEL 6	CHSEL 5	CHSEL 4	CHSEL 3	CHSEL 2	CHSEL 1	CHSEL 0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **CHSEL[18:0]**：通道 x 选择 (Channel-x selection)
这些位由软件写入，用于定义将哪些通道纳入要转换的通道序列。
0：未选择输入通道 x 进行转换
1：已选择输入通道 x 进行转换

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。如果在通道配置 （写入 ADC_CHSELR 寄存器或者更改 CHSELRMOD 或 SCANDIR）后 CCRDY 尚未置 1，则将忽略写入到该位的值。

14.12.10 ADC 通道选择寄存器 [备用] (ADC_CHSELR)

ADC channel selection register

偏移地址：0x28

复位值：0x0000 0000

可在两种不同的模式下使用同一寄存器：

– 每个 ADC_CHSELR 位均使能一个输入（ADC_CFGR1 中的 CHSELRMOD = 0）。请参见当前章节的上一章节。

– ADC_CHSELR 最多可对 8 个通道进行排序（ADC_CFGR1 中的 CHSELRMOD = 1）。请参见本章节。

ADC_CFGR1 中的 CHSELRMOD = 1：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SQ8[3:0]				SQ7[3:0]				SQ6[3:0]				SQ5[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4[3:0]				SQ3[3:0]				SQ2[3:0]				SQ1[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 **SQ8[3:0]**：序列的第八次转换 (8th conversion of the sequence)

通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第八次转换。0b1111 表示序列结束。

将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。

0000：CH0

0001：CH1

...

1100：CH12

1101：CH13

1110：CH14

1111：未选择任何通道（序列结束）

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 27:24 **SQ7[3:0]**：序列的第七次转换 (7th conversion of the sequence)

通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第七次转换。0b1111 表示序列结束。

将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。

有关通道选择的定义，请参见 SQ8[3:0]。

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 23:20 **SQ6[3:0]**：序列的第六次转换 (6th conversion of the sequence)

通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第六次转换。0b1111 表示序列结束。

将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。

有关通道选择的定义，请参见 SQ8[3:0]。

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 19:16 **SQ5[3:0]**：序列的第五次转换 (5th conversion of the sequence)
通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第五次转换。0b1111 表示序列结束。
将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。
有关通道选择的定义，请参见 SQ8[3:0]。
注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 15:12 **SQ4[3:0]**：序列的第四次转换 (4th conversion of the sequence)
通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第四次转换。0b1111 表示序列结束。
将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。
有关通道选择的定义，请参见 SQ8[3:0]。
注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 11:8 **SQ3[3:0]**：序列的第三次转换 (3rd conversion of the sequence)
通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第三次转换。0b1111 表示序列结束。
将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。
有关通道选择的定义，请参见 SQ8[3:0]。
注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 7:4 **SQ2[3:0]**：序列的第二次转换 (2nd conversion of the sequence)
通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第二次转换。0b1111 表示序列结束。
将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。
有关通道选择的定义，请参见 SQ8[3:0]。
注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 3:0 **SQ1[3:0]**：序列的第一次转换 (1st conversion of the sequence)
通过软件编程这些位，并将通道编号 (0..14) 分配给序列的第一次转换。0b1111 表示序列结束。
将 0b1111（序列结束）编程到较低序列通道时，这些位被忽略。
有关通道选择的定义，请参见 SQ8[3:0]。
注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.11 ADC 看门狗阈值寄存器 (ADC_AWD3TR)

ADC watchdog threshold register

偏移地址：0x2C

复位值：0x0FFF 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	HT3[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	LT3[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:16 **HT3[11:0]**：*模拟看门狗 3 阈值上限* (*Analog watchdog 3 higher threshold*)
通过软件写入这些位可为模拟看门狗定义阈值上限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

位 15:12 保留，必须保持复位值。

位 11:0 **LT3[11:0]**：模拟看门狗 *3* 阈值下限 (Analog watchdog *3* lower threshold)
通过软件写入这些位可为模拟看门狗定义阈值下限。
请参见*第 314 页的第 14.7 节：模拟窗口看门狗（AWD1EN、AWD1SGL、AWD1CH、ADC_AWDxCR、ADC_AWDxTR）*。

14.12.12 ADC 数据寄存器 (ADC_DR)

ADC data register

偏移地址：0x40

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:0 **DATA[15:0]**：转换后的数据 (Converted data)
这些位为只读。其中包含上一转换通道的转换结果。数据可以采用左对齐和右对齐，如*第 309 页的图 42：数据对齐方式和分辨率（过采样已禁止：OVSE = 0）*所示。
校准完成后，DATA[6:0] 会立即包含校准系数。

14.12.13 ADC 模拟看门狗 2 配置寄存器 (ADC_AWD2CR)

ADC Analog Watchdog 2 Configuration register

偏移地址：0xA0

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2 CH18	AWD2 CH17	AWD2 CH16
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD2 CH15	AWD2 CH14	AWD2 CH13	AWD2 CH12	AWD2 CH11	AWD2 CH10	AWD2 CH9	AWD2 CH8	AWD2 CH7	AWD2 CH6	AWD2 CH5	AWD2 CH4	AWD2 CH3	AWD2 CH2	AWD2 CH1	AWD2 CH0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **AWD2CH[18:0]**：模拟看门狗通道选择 (Analog watchdog channel selection)

这些位将由软件置 1 和清零。它们用于使能和选择由模拟看门狗 2 (AWD2) 监控的输入通道。

0：不通过 AWD2 监控 ADC 模拟通道 x

1：通过 AWD2 监控 ADC 模拟通道 x

注： 通过 ADC_AWD2CR 选择的通道必须也在 ADC_CHSELR 寄存器中配置。有关通道选择的定义，请参见 SQ8[3:0]。仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.14 ADC 模拟看门狗 3 配置寄存器 (ADC_AWD3CR)

ADC Analog Watchdog 3 Configuration register

偏移地址：0xA4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3 CH18	AWD3 CH17	AWD3 CH16
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AWD3 CH15	AWD3 CH14	AWD3 CH13	AWD3 CH12	AWD3 CH11	AWD3 CH10	AWD3 CH9	AWD3 CH8	AWD3 CH7	AWD3 CH6	AWD3 CH5	AWD3 CH4	AWD3 CH3	AWD3 CH2	AWD3 CH1	AWD3 CH0
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:19 保留，必须保持复位值。

位 18:0 **AWD3CH[18:0]**：模拟看门狗通道选择 (Analog watchdog channel selection)

这些位将由软件置 1 和清零。它们用于使能和选择由模拟看门狗 3 (AWD3) 监控的输入通道。

0：不通过 AWD3 监控 ADC 模拟通道 x

1：通过 AWD3 监控 ADC 模拟通道 x

注： 通过 ADC_AWD3CR 选择的通道必须也在 ADC_CHSELR 寄存器中配置。有关通道选择的定义，请参见 SQ8[3:0]。仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

14.12.15 ADC 校准系数 (ADC_CALFACT)

ADC Calibration factor

偏移地址：0xB4

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT[6:0]						
									rw	rw	rw	rw	rw	rw	rw

位 31:7 保留，必须保持复位值。

位 6:0 **CALFACT[6:0]**：校准系数 (Calibration factor)

这些位可由硬件或软件写入。

– 校准完成后，会立即由硬件更新为校准系数。

– 软件可向这些位写入新的校准系数。如果新校准系数不同于当前存储于模拟 ADC 中的校准系数，启动新的校准后，会立即应用新校准系数。

– 校准完成后， DATA[6:0] 会立即包含校准系数。

注： 仅当 ADEN=1 时（ADC 已使能、当前未执行任何校准和转换），才允许通过软件对这些位执行写操作。有关通道选择的定义，请参见 SQ8[3:0]。

14.12.16 ADC 通用配置寄存器 (ADC_CCR)

ADC common configuration register

偏移地址：0x308

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	VBAT EN	TSEN	VREF EN	PRESC[3:0]				Res.	Res.
							rw	rw	rw	rw	rw	rw	rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

位 31:25 保留，必须保持复位值。

位 24 **VBATEN**：V_{BAT} 使能 (V_{BAT} enable)

此位由软件置 1 和清零，用于使能/禁止 V_{BAT} 通道。

0：禁止 V_{BAT} 通道，DAC_OUT2 连接到 ADC 通道 14

1：使能 V_{BAT} 通道

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作

位 23 **TSEN**：温度传感器使能 (Temperature sensor enable)

此位由软件置 1 和清零，用于使能/禁止温度传感器。

0：禁止温度传感器，DAC_OUT1 连接至 ADC 通道 12

1：使能温度传感器

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 22 **VREFEN**：V_{REFINT} 使能 (V_{REFINT} enable)

此位由软件置 1 和清零，用于使能/禁止 V_{REFINT} 通道。

0：禁止 V_{REFINT}

1：使能 V_{REFINT}

注： 仅当 ADSTART=0 时（这可确保当前未进行任何转换），才允许通过软件对此位执行写操作。

位 21:18 **PRESC[3:0]**：ADC 预分频系数 (ADC prescaler)

由软件置 1 和清零，以选择 ADC 的时钟频率。

0000：输入 ADC 时钟未分频

0001：输入 ADC 时钟 2 分频

0010：输入 ADC 时钟 4 分频

0011：输入 ADC 时钟 6 分频

0100：输入 ADC 时钟 8 分频

0101：输入 ADC 时钟 10 分频

0110：输入 ADC 时钟 12 分频

0111：输入 ADC 时钟 16 分频

1000：输入 ADC 时钟 32 分频

1001：输入 ADC 时钟 64 分频

1010：输入 ADC 时钟 128 分频

1011：输入 ADC 时钟 256 分频

其他值：保留

注： 仅当 ADC 已禁止时（ADCAL=0、ADSTART=0、ADSTP=0、ADDIS=0 且 ADEN=0），才允许通过软件对这些位执行写操作。

位 17:0 保留，必须保持复位值。

14.12.17 ADC 寄存器映射

下表对 ADC 寄存器进行了汇总。

表 68. ADC 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**ADC_ISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCRDY	Res.	EOCAL	Res.	AWD3	AWD2	AWD1	Res.	Res.	OVR	EOS	EOC	EOSMP	ADRDY
	Reset value																			0		0		0	0	0			0	0	0	0	0
0x04	**ADC_IER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCRDYIE	Res.	EOCALIE	Res.	AWD3IE	AWD2IE	AWD1IE	Res.	Res.	OVRIE	EOSIE	EOCIE	EOSMPIE	ADRDYIE
	Reset value																			0		0		0	0	0			0	0	0	0	0
0x08	**ADC_CR**	ADCAL	Res.	Res.	ADVREGEN	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADSTP	Res.	ADSTART	ADDIS	ADEN
	Reset value	0			0																								0		0	0	0
0x0C	**ADC_CFGR1**	Res.	AWDCH[4:0]					Res.	Res.	AWD1EN	AWD1SGL	CHSELRMOD	Res.	Res.	Res.	Res.	DISCEN	AUTOFF	WAIT	CONT	OVRMOD	EXTEN[1:0]		Res.	EXTSEL [2:0]			ALIGN	RES [1:0]		SCANDIR	DMACFG	DMAEN
	Reset value		0	0	0	0	0			0	0	0					0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0
0x10	**ADC_CFGR2**	CKMODE[1:0]		LFTRIG	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TOVS	OVSS[3:0]			OVSR[2:0]		Res.	OVSE			
	Reset value	0	0	0																				0	0	0	0	0	0	0	0	0	0
0x14	**ADC_SMPR**	Res.	Res.	Res.	Res.	Res.	SMPSEL18	SMPSEL17	SMPSEL16	SMPSEL15	SMPSEL14	SMPSEL13	SMPSEL12	SMPSEL11	SMPSEL10	SMPSEL9	SMPSEL8	SMPSEL7	SMPSEL6	SMPSEL5	SMPSEL4	SMPSEL3	SMPSEL2	SMPSEL1	SMPSEL0	Res.	SMP2 [2:0]			Res.	SMP1 [2:0]			
	Reset value						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0		0	0	0
0x18	Reserved	Reserved																															
0x1C	Reserved	Reserved																															
0x20	**ADC_AWD1TR**	Res.	Res.	Res.	Res.	HT1[11:0]												Res.	Res.	Res.	Res.	LT1[11:0]											
	Reset value					1	1	1	1	1	1	1	1	1	1	1	1					0	0	0	0	0	0	0	0	0	0	0	0
0x24	**ADC_AWD2TR**	Res.	Res.	Res.	Res.	HT2[11:0]												Res.	Res.	Res.	Res.	LT2[11:0]											
	Reset value					1	1	1	1	1	1	1	1	1	1	1	1					0	0	0	0	0	0	0	0	0	0	0	0
0x28	**ADC_CHSELR** (CHSELRMOD= 0)	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res	Res	Res	Res	Res	CHSEL18	CHSEL17	CHSEL16	CHSEL15	CHSEL14	CHSEL13	CHSEL12	CHSEL11	CHSEL10	CHSEL9	CHSEL8	CHSEL7	CHSEL6	CHSEL5	CHSEL4	CHSEL3	CHSEL2	CHSEL1	CHSEL0
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**ADC_CHSELR** (CHSELRMOD= 1)	SQ8[3:0]				SQ7[3:0]				SQ6[3:0]				SQ5[3:0]				SQ4[3:0]				SQ3[3:0]				SQ2[3:0]				SQ1[3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**ADC_AWD3TR**	Res.	Res.	Res.	Res.	HT3[11:0]												Res.	Res.	Res.	Res.	LT3[11:0]											
	Reset value					1	1	1	1	1	1	1	1	1	1	1	1					0	0	0	0	0	0	0	0	0	0	0	0

表 68. ADC 寄存器映射和复位值 （续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x30 0x34 0x38 0x3C	Reserved	Reserved																															
0x40	**ADC_DR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DATA[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
...	Reserved	Reserved																															
0xA0	**ADC_AWD2CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD2CH18	AWD2CH17	AWD2CH16	AWD2CH15	AWD2CH14	AWD2CH13	AWD2CH12	AWD2CH11	AWD2CH10	AWD2CH9	AWD2CH8	AWD2CH7	AWD2CH6	AWD2CH5	AWD2CH4	AWD2CH3	AWD2CH2	AWD2CH1	AWD2CH0
0xA4	**ADC_AWD3CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	AWD3CH18	AWD3CH17	AWD3CH16	AWD3CH15	AWD3CH14	AWD3CH13	AWD3CH12	AWD3CH11	AWD3CH10	AWD3CH9	AWD3CH8	AWD3CH7	AWD3CH6	AWD3CH5	AWD3CH4	AWD3CH3	AWD3CH2	AWD3CH1	AWD3CH0
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Reset value														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
...	Reserved	Reserved																															
0xB4	**ADC_CALFACT**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALFACT[6:0]						
	Reset value																										0	0	0	0	0	0	0
...	Reserved	Reserved																															
0x308	**ADC_CCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VBATEN	TSEN	VREFEN	PRESC3	PRESC2	PRESC1	PRESC0	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value								0	0	0	0	0	0	0																		

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

15 数模转换器 (DAC)

15.1 简介

DAC 模块是 12 位电压输出数模转换器。DAC 可以按 8 位或 12 位模式进行配置，并且可与 DMA 控制器配合使用。在 12 位模式下，数据可以采用左对齐或右对齐。DAC 有两个输出通道，每个通道各有一个转换器。在 DAC 双通道模式下，每个通道可以单独进行转换；当两个通道组合在一起同步执行更新操作时，也可以同时进行转换。可通过一个输入参考电压引脚 V_{REF+}（与其他模拟外设共享）来提高分辨率。这个参考输入也可以采用内部参考源。请参见 *电压参考缓冲器 (VREFBUF)* 一节。

如果 DAC 输出与输出焊盘断开连接并连接到片上外设，DAC_OUTx 引脚可用作通用输入/输出 (GPIO)。可选择使能 DAC 输出缓冲器，从而支持高驱动输出电流。可分别对每条 DAC 输出通道应用校准。DAC 输出通道支持低功耗模式，即采样和保持模式。

15.2 DAC 主要特性

DAC 的主要特性如下（请参见 *图 57：双通道 DAC 框图*）

- 一个 DAC 接口，最多对应两个输出通道
- 12 位模式下数据采用左对齐或右对齐
- 同步更新功能
- 噪声波和三角波生成
- DAC 双通道单独或同时转换
- 每条通道都有 DMA 功能，包括 DMA 下溢错误检测
- 通过外部触发信号进行转换
- DAC 输出通道缓冲/非缓冲模式
- 缓冲器偏移校准
- 每路 DAC 输出均可与 DAC_OUTx 输出引脚断开连接
- DAC 输出可与片上外设连接
- 可在停止模式下通过采样和保持模式实现低功耗运行
- 输入参考电压 V_{REF+}

图 57 所示为 DAC 通道的框图，*表 70* 则给出了引脚说明。

15.3 DAC 实现

表 69. DAC 实现

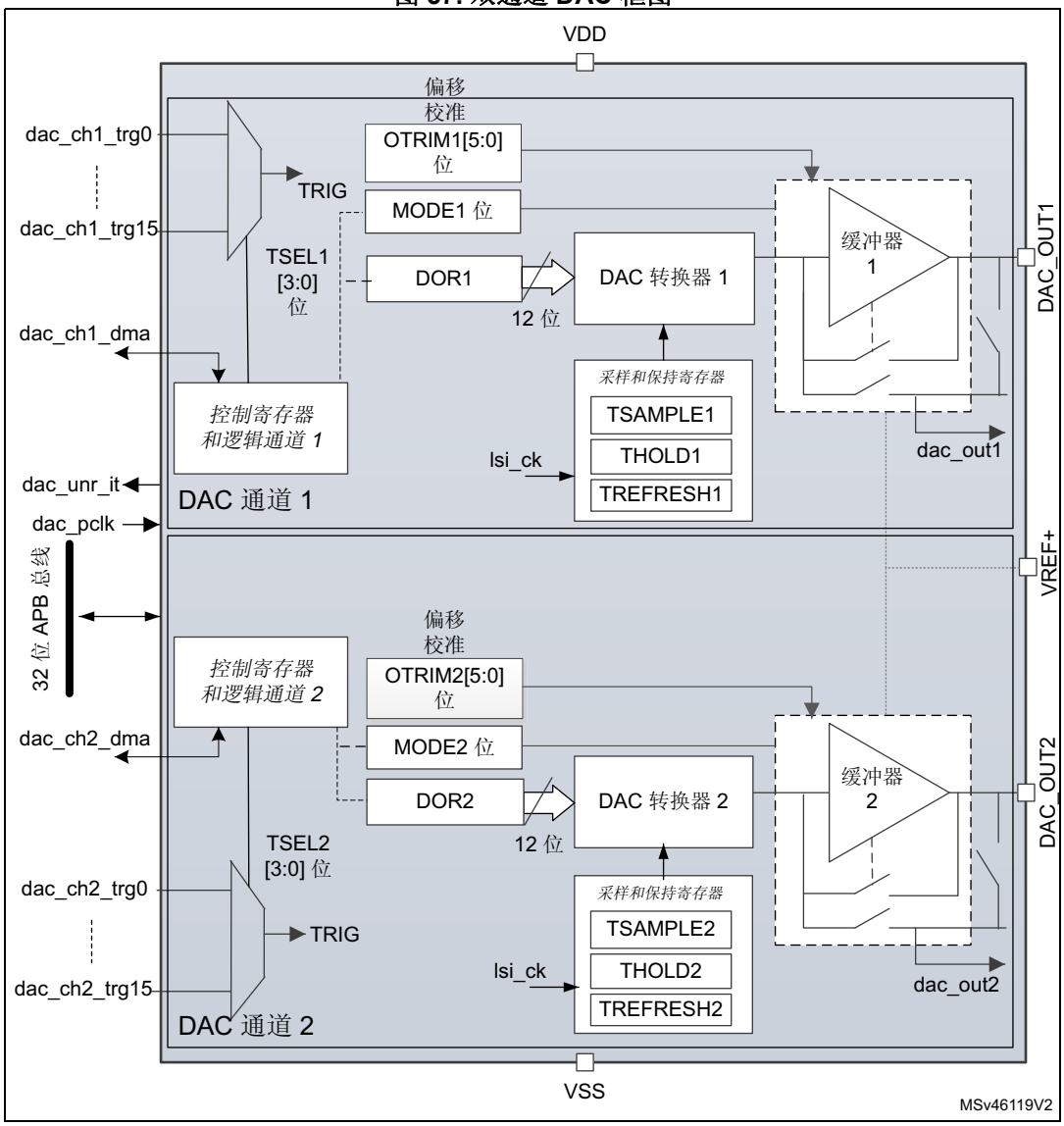
DAC 特性	DAC1(1)
双通道	X
I/O 连接	PA4 上的 DAC1_OUT1，PA5 上的 DAC1_OUT2

1. STM32G031xx 和 STM32G041xx 不支持 DAC。

15.4 DAC 功能说明

15.4.1 DAC框图

图 57. 双通道 DAC 框图



1. DAC_MCR 中的 MODEx 位控制输出模式，允许在正常模式（采用缓冲/非缓冲配置）与采样和保持模式之间切换。
2. 有关通道 2 可用性，请参见*第 15.3 节：DAC 实现*。

15.4.2 DAC 引脚和内部信号

DAC 的特性如下：

- 多达两条输出通道
- DAC_OUTx 可与输出引脚断开连接并用作普通 GPIO
- dac_outx 可使用与片上外设（如比较器、运算放大器和 ADC（如果可用））的内部引脚连接
- DAC 输出通道可以配置缓冲或非缓冲模式
- 采样和保持模块以及寄存器（工作在停止模式下），使用 LSI 时钟源实现静态转换

DAC 包含多达两条独立的输出通道。每条输出通道均可连接到片上外设，如比较器、运算放大器和 ADC（如果可用）。在这种情况下，DAC 输出通道可断开与 DAC_OUTx 输出引脚的连接，相应的 GPIO 可用于其他目的。

DAC 输出可缓冲、也可以不缓冲。采样和保持模块及其关联寄存器可在停止模式下使用 LSI 时钟源运行。

表 70. DAC 输入/输出引脚

引脚名称	信号类型	注释
V_{REF+}	正模拟参考电压输入	DAC 高/正参考电压， $V_{REF+} \leq V_{DDAmax}$（请参见数据手册）
VDD	模拟电源输入	模拟电源
VSS	模拟电源地输入	模拟电源地
DAC_OUTx	模拟输出信号	DAC 通道 x 模拟输出

表 71. DAC 内部输入/输出信号

内部信号名称	信号类型	说明
dac_ch1_dma	双向	DAC 通道 1 DMA 请求
dac_ch2_dma	双向	DAC 通道 2 DMA 请求
dac_ch1_trg[0:15]	输入	DAC 通道 1 触发输入
dac_ch2_trg[0:15]	输入	DAC 通道 2 触发输入
dac_unr_it	输出	DAC 下溢中断
dac_pclk	输入	DAC 外设时钟
dac_out1	模拟输出	片上外设的 DAC 通道 1 输出
dac_out2	模拟输出	片上外设的 DAC 通道 2 输出

15.4.3 DAC 通道使能

将 DAC_CR 寄存器中的相应 ENx 位置 1，即可使能对应 DAC 通道。经过一段启动时间 t_{WAKEUP} 后，DAC 通道被启动。

注： *ENx 位只会使能模拟 DAC 通道 x。即使 ENx 位复位，DAC 通道 x 数字接口仍处于使能状态。*

15.4.4 DAC 数据格式

根据所选配置模式，数据必须按如下方式写入指定寄存器：

- 单 DAC 通道

  存在三种可能：

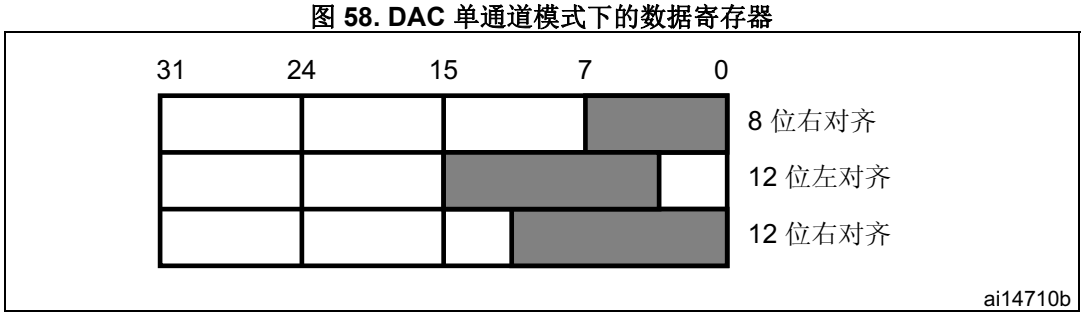
  – 8 位右对齐：软件必须将数据装载到 DAC_DHR8Rx[7:0] 位（存储到 DHRx[11:4] 位）

  – 12 位左对齐：软件必须将数据装载到 DAC_DHR12Lx [15:4] 位（存储到 DHRx[11:0] 位）

  – 12 位右对齐：软件必须将数据装载到 DAC_DHR12Rx [11:0] 位（存储到 DHRx[11:0] 位）

根据加载的 DAC_DHRyyyx 寄存器，用户写入的数据将移位并存储到相应的 DHRx（数据保持寄存器 x，即内部非存储器映射寄存器）。之后，DHRx 寄存器将被自动装载，或者通过软件或外部事件触发装载到 DORx 寄存器。

图 58. DAC 单通道模式下的数据寄存器



- DAC 双通道（如果可用）

  存在三种可能：

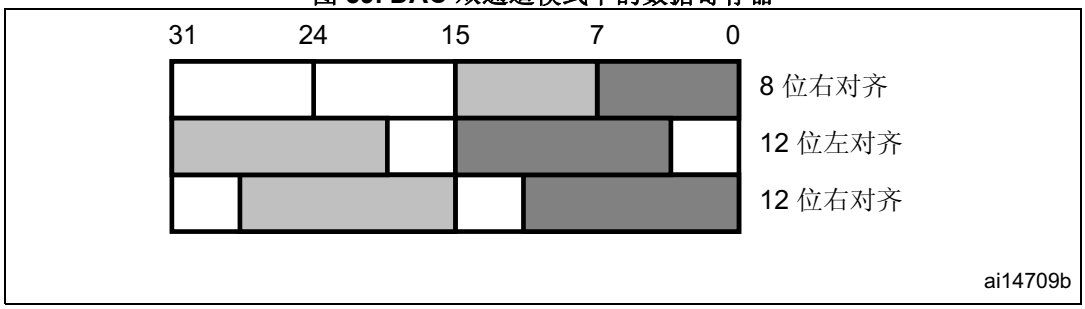
  – 8 位右对齐：将 DAC 通道 1 的数据加载到 DAC_DHR8RD [7:0] 位（存储到 DHR1[11:4] 位），将 DAC 通道 2 的数据加载到 DAC_DHR8RD [15:8] 位（存储到 DHR2[11:4] 位）

  – 12 位左对齐：将 DAC 通道 1 的数据加载到 DAC_DHR12LD [15:4] 位（存储到 DHR1[11:0] 位），将 DAC 通道 2 的数据加载到 DAC_DHR12LD [31:20] 位（存储到 DHR2[11:0] 位）

  – 12 位右对齐：将 DAC 通道 1 的数据加载到 DAC_DHR12RD [11:0] 位（存储到 DHR1[11:0] 位），将 DAC 通道 2 的数据加载到 DAC_DHR12RD [27:16] 位（存储到 DHR2[11:0] 位）

根据加载的 DAC_DHRyyyD 寄存器，用户写入的数据将移位并存储到 DHR1 和 DHR2（数据保持寄存器，即内部非存储器映射寄存器）。之后，DHR1 和 DHR2 寄存器将被自动装载，或者通过软件或外部事件触发分别被装载到 DAC_DOR1 和 DOR2 寄存器。

图 59. DAC 双通道模式下的数据寄存器



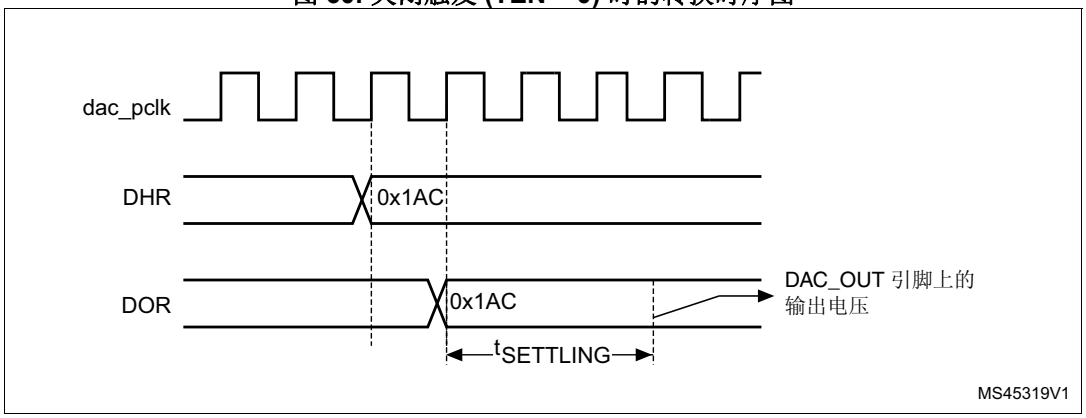
15.4.5 DAC 转换

DAC_DORx 不能直接写入，向 DAC 通道 x 进行的任何数据传输都必须通过装载 DAC_DHRx 寄存器（对 DAC_DHR8Rx、DAC_DHR12Lx、DAC_DHR12Rx、DAC_DHR8RD、DAC_DHR12RD 或 DAC_DHR12LD 进行写操作）来完成。

如果未选择硬件触发（DAC_CR 寄存器中的 TENx 位复位），则经过一个 dac_pclk 时钟周期后，DAC_DHRx 寄存器中存储的数据将自动传送到 DAC_DORx 寄存器。但是，如果选择硬件触发（DAC_CR 寄存器中的 TENx 位置 1）且发生触发，将在触发信号后经过三个 dac_pclk 时钟周期进行传送。

当 DAC_DORx 装载了 DAC_DHRx 内容时，模拟输出电压将在一段时间 $t_{SETTLING}$ 后可用，具体时间取决于电源电压和模拟输出负载。

图 60. 关闭触发 (TEN = 0) 时的转换时序图



15.4.6 DAC 输出电压

经过线性转换后，数字输入会转换为 0 到 V_{REF+} 之间的输出电压。

各 DAC 通道引脚的模拟输出电压通过以下公式确定：

$$DACoutput = V_{REF} \times \frac{DOR}{4096}$$

15.4.7 DAC 触发选择

如果 TENx 控制位置 1，可通过外部事件（定时器计数器、外部中断线）触发转换。TSELx[3:0] 控制位将决定通过 16 个可能事件中的哪一个来触发转换，如*表 72：DAC 触发选择*中的 TSEL1[3:0] 和 TSEL2[3:0] 位所示。

每当 DAC 接口在所选触发源上检测到上升沿时（请参见下表），DAC_DHRx 寄存器中存储的最后一个数据即会传输到 DAC_DORx 寄存器中。发生触发后再经过三个 dac_pclk 周期，DAC_DORx 寄存器将会得到更新。

如果选择软件触发，一旦 SWTRIG 位置 1，转换即会开始。DAC_DHRx 寄存器内容加载到 DAC_DORx 寄存器中后，SWTRIG 即由硬件复位。

注： *ENx 位置 1 时，无法更改 TSELx[3:0] 位。*

如果选择软件触发，DAC_DHRx 寄存器的内容只需一个 dac_pclk 时钟周期即可传送到 DAC_DORx 寄存器。

表 72. DAC 触发选择(1)

源	类型	TSELx[3:0]
SWTRIG	软件控制位	0000
TIM1_TRGO	片上定时器的内部信号	0001
TIM2_TRGO	片上定时器的内部信号	0010
TIM3_TRGO	片上定时器的内部信号	0011
保留	片上定时器的内部信号	0100
TIM6_TRGO	片上定时器的内部信号	0101
TIM7_TRGO	片上定时器的内部信号	0110
保留	片上定时器的内部信号	0111
TIM15_TRGO	片上定时器的内部信号	1000
TIM3_TRGO	-	1001
保留	-	1010
LPTIM1_OUT	片上定时器的内部信号	1011
LPTIM2_OUT	片上定时器的内部信号	1100
EXTI9	外部引脚	1101
保留	-	1110
保留	-	1111

1. 可通过将 TSELx 位设置为 0b0011 或设置为 0b1001 来选择 TIM3_TRGO。

15.4.8 DMA 请求

每个 DAC 通道都具有 DMA 功能。两个 DMA 通道用于处理 DAC 通道的 DMA 请求。

当 DMAENx 位置 1 时，如果发生外部触发（而不是软件触发），则传输结束后 DAC_DHRx 寄存器的值会传送到 DAC_DORx 寄存器，并且会产生 DMA 请求。

在双通道模式下，如果两个 DMAENx 位均置 1，则将产生两个 DMA 请求。如果只需要一个 DMA 请求，应仅将相应 DMAENx 位置 1。这样，应用程序可以在双通道模式下通过一个 DMA 请求和一个特定 DMA 通道来管理两个 DAC 通道。

由于 DAC_DHRx 已在 DMA 请求之前向 DAC_DORx 传输数据，必须在发生第一个触发事件之前将第一个数据写入 DAC_DHRx。

DMA 下溢

DAC DMA 请求没有缓冲队列。这样，如果第二个外部触发到达时尚未收到第一个外部触发的应答，将不会发出新的请求，并且 DAC_SR 寄存器中的 DAM 通道 x 下溢标志 DMAUDRx 将置 1，以报告这一错误状况。DAC 通道 x 仍将继续转换旧有数据。

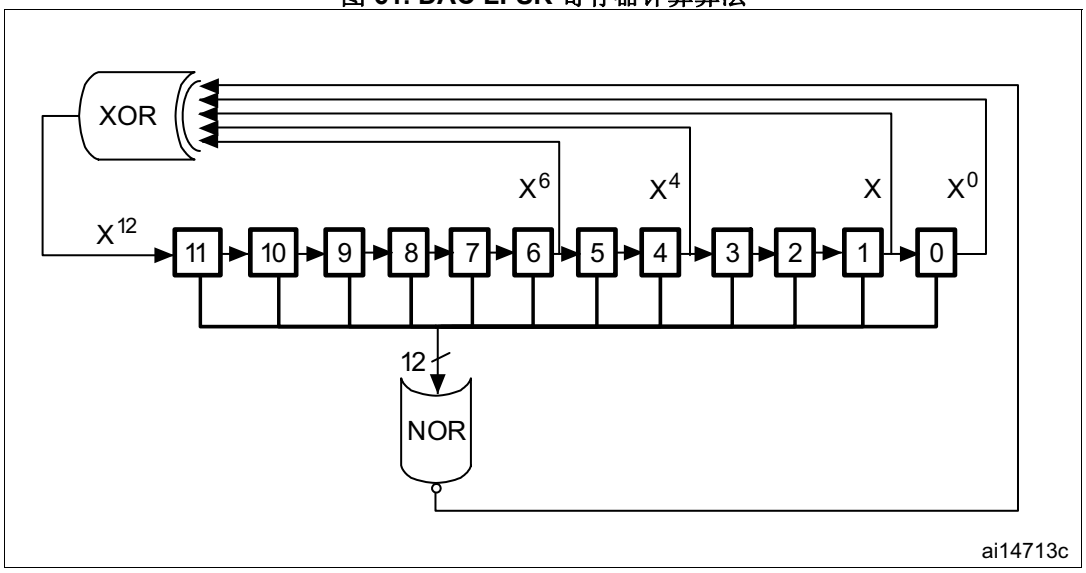
软件应通过写入 1 来将 DMAUDRx 标志清零，将所用 DMA 数据流的 DMAEN 位清零，并重新初始化 DMA 和 DAC 通道 x，以便正确地重新开始传输。软件应修改 DAC 触发转换频率或减轻 DMA 工作负载，以避免再次发生 DMA 下溢。最后，可通过使能 DMA 数据传输和转换触发来继续完成 DAC 转换。

对于 DAC 通道 x，如果使能 DAC_CR 寄存器中相应的 DMAUDRIEx 位，还将产生中断。

15.4.9 生成噪声

为了生成可变振幅的伪噪声，可使用 LFSR（线性反馈移位寄存器）。将 WAVEx[1:0] 置为“01”即可选择生成 DAC 噪声。LFSR 中的预加载值为 0xAAA。在每次发生触发事件后，经过三个 dac_pclk 时钟周期，该寄存器会依照特定的计算算法完成更新。

图 61. DAC LFSR 寄存器计算算法

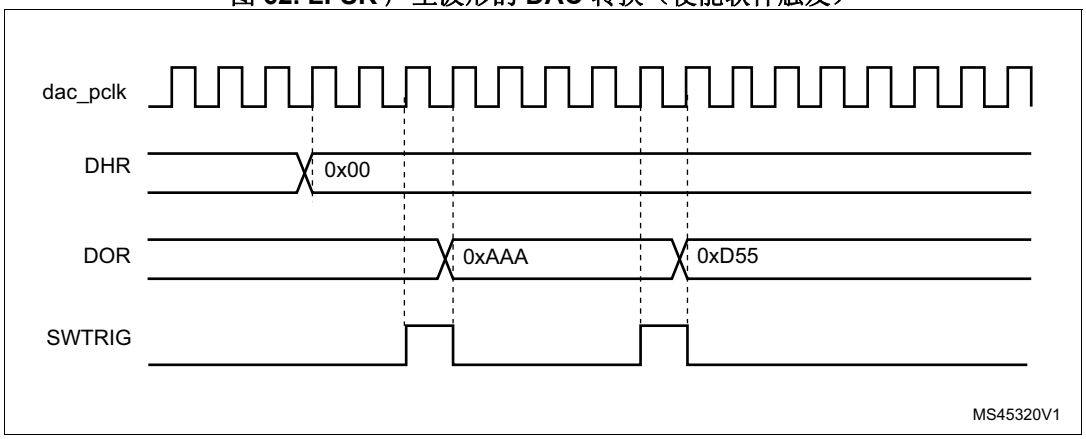


LFSR 值可以通过 DAC_CR 寄存器中的 MAMPx[3:0] 位来部分或完全屏蔽，在不发生溢出的情况下，该值将与 DAC_DHRx 的内容相加，然后存储到 DAC_DORx 寄存器中。

如果 LFSR 为 0x0000，将向其注入“1”（防锁定机制）。

可以通过复位 WAVEx[1:0] 位来将 LFSR 波形产生功能关闭。

图 62. LFSR 产生波形的 DAC 转换（使能软件触发）



注： *要生成噪声，必须通过将 DAC_CR 寄存器中的 TENx 位置 1 来使能 DAC 触发。*

15.4.10 生成三角波

可以在直流电流或慢变信号上叠加一个小幅三角波。将 WAVEx[1:0] 置为“10”即可选择生成 DAC 三角波。振幅通过 DAC_CR 寄存器中的 MAMPx[3:0] 位进行配置。每次发生触发事件后，经过三个 dac_pclk 时钟周期，内部三角波计数器将会递增。在不发生溢出的情况下，该计数器的值将与 DAC_DHRx 寄存器内容相加，所得总和将传输到 DAC_DORx 寄存器中。只要小于 MAMPx[3:0] 位定义的最大振幅，三角波计数器就会一直递增。一旦达到配置的振幅，计数器将递减至零，然后再递增，以此类推。

可以通过复位 WAVEx[1:0] 位来将三角波产生功能关闭。

图 63. 生成 DAC 三角波

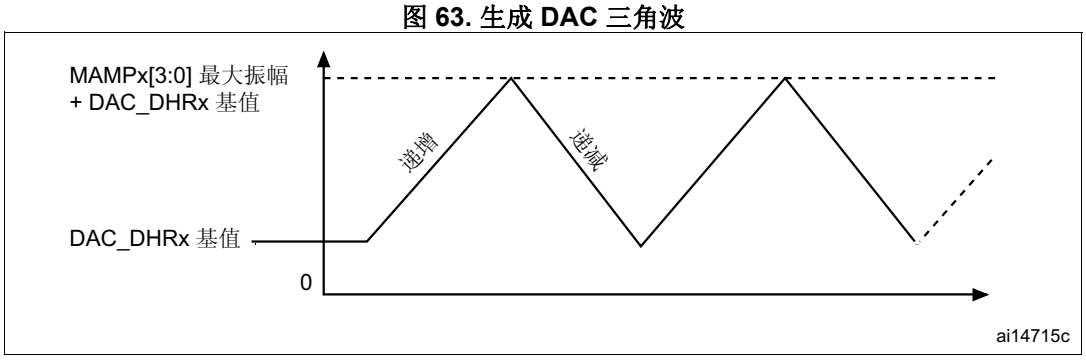
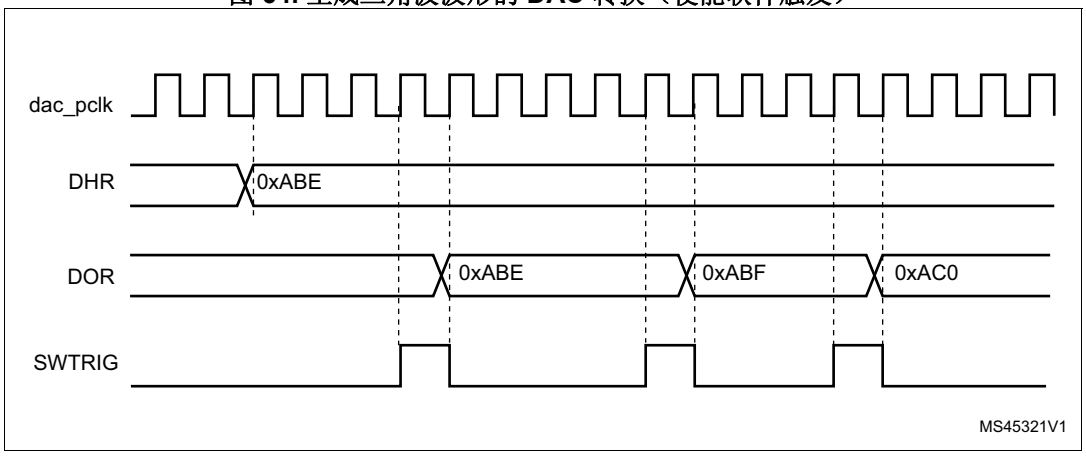


图 64. 生成三角波波形的 DAC 转换（使能软件触发）



注： *要生成三角波，必须通过将 DAC_CR 寄存器中的 TENx 位置 1 来使能 DAC 触发。MAMPx[3:0] 位必须在使能 DAC 之前进行配置，否则将无法更改。*

15.4.11 DAC 通道模式

每条 DAC 通道均可配置为正常模式或采样和保持模式。可使能输出缓冲器，以实现高驱动能力。使能输出缓冲器之前，需要校准电压偏移。此项校准是在出厂时执行的（复位后加载），可在应用运行期间通过软件进行调整。

正常模式

在正常模式下，可通过更改缓冲器状态以及更改 DAC_OUTx 引脚互连实现四种组合。

要使能输出缓冲器，DAC_MCR 寄存器中的 MODEx[2:0] 位应满足：

- 000：DAC 连接到外部引脚
- 001：DAC 连接到外部引脚以及片上外设

要禁止输出缓冲器，DAC_MCR 寄存器中的 MODEx[2:0] 位应满足：

- 010：DAC 连接到外部引脚
- 011：DAC 连接到片上外设

采样和保持模式

在采样和保持模式下，DAC 内核在触发转换后对数据进行转换，然后使电容上保持转换后的电压。不进行转换时，DAC 内核和缓冲器在两次采样之间是完全关闭的，DAC 输出处于三态，因此可降低整体功耗。每次新转换之前都需要一个新的稳定周期（具体值视缓冲器状态而定）。

在该模式下，DAC 内核以及所有相应的逻辑和寄存器除了受 dac_pclk 时钟驱动外，还受低速时钟 (LSI) 驱动，从而可在深度低功耗模式（如停止模式）下使用 DAC 通道。

采样/保持模式运行可分为 3 个阶段：

1. 采样阶段：采样/保持元件充电到所需电压。充电时间取决于电容值（内部还是外部，由用户选择）。采样时间是通过 DAC_SHSRx 寄存器中的 TSAMPLEx[9:0] 位配置的。对 TSAMPLEx[9:0] 位执行写操作期间，DAC_SR 寄存器中的 BWSTx 位会置 1，从而可在两个时钟域（APB 和低速时钟）之间实现同步，并允许软件在 DAC 通道运行期间更改采样阶段的值

2. 保持阶段：DAC 输出通道处于三态，DAC 内核和缓冲器关闭，以降低电流消耗。保持时间通过 DAC_SHHR 寄存器中的 THOLDx[9:0] 位配置
3. 刷新阶段：刷新时间通过 DAC_SHRR 寄存器中的 TREFRESHx[7:0] 位配置。

以上三个阶段的时间以 LSI 时钟为单位。举例来说，假设选择了 LSI ~32 KHz，要配置 350 µs 的采样时间，2 ms 的保持时间和 100 µs 的刷新时间：

采样阶段需要 12 个周期：TSAMPLEx[9:0] = 11，

保持阶段需要 62 个周期：THOLDx[9:0] = 62，

刷新阶段需要 4 个周期：TREFRESHx[7:0] = 4。

本例中，与正常模式相比，功耗几乎降低了 15 倍。

下表列出了计算正确的采样时间和刷新时间的公式，保持时间取决于漏电流。

表 73. 采样时间和刷新时间

缓冲器状态	t_{SAMP}(1)(2)	$t_{REFRESH}$(2)(3)
使能	7 µs + (10*R_{BON}*C_{SH})	7 µs + (R_{BON}*C_{SH})*ln(2*N_{LSB})
禁用	3 µs + (10*R_{BOFF}*C_{SH})	3 µs + (R_{BOFF}*C_{SH})*ln(2*N_{LSB})

1. 上述公式中，要实现 12 位分辨率，稳定为理想代码值（½LSB 误差精度）需要 10 个时间常数。要实现 8 位分辨率，稳定时间为 7 个时间常数。
2. C_{SH} 为处于采样和保持模式的电容。
3. 电容以输出的漏电流放电后，保持阶段的容许压降“Vd”以LSB数表示。稳定回理想值（½LSB误差精度）需要 ln(2*Nlsb) 个 DAC 时间常数。

输出缓冲器开启时的采样和刷新时间计算示例

下例中使用的数值仅用于说明目的。有关产品数据，请参见产品数据手册。

C_{SH} = 100 nF

V_{DD} = 3.0 V

采样阶段：

t_{SAMP} = 7 µs + (10 * 2000 * 100 * 10^{-9}) = 2.007 ms

（其中 R_{BON} = 2 kΩ）

刷新阶段：

$t_{REFRESH}$ = 7 µs + (2000 * 100 * 10^{-9}) * ln(2*10) = 606.1 µs

（其中，N_{LSB} = 10，保持阶段会减少 10 个 LSB）

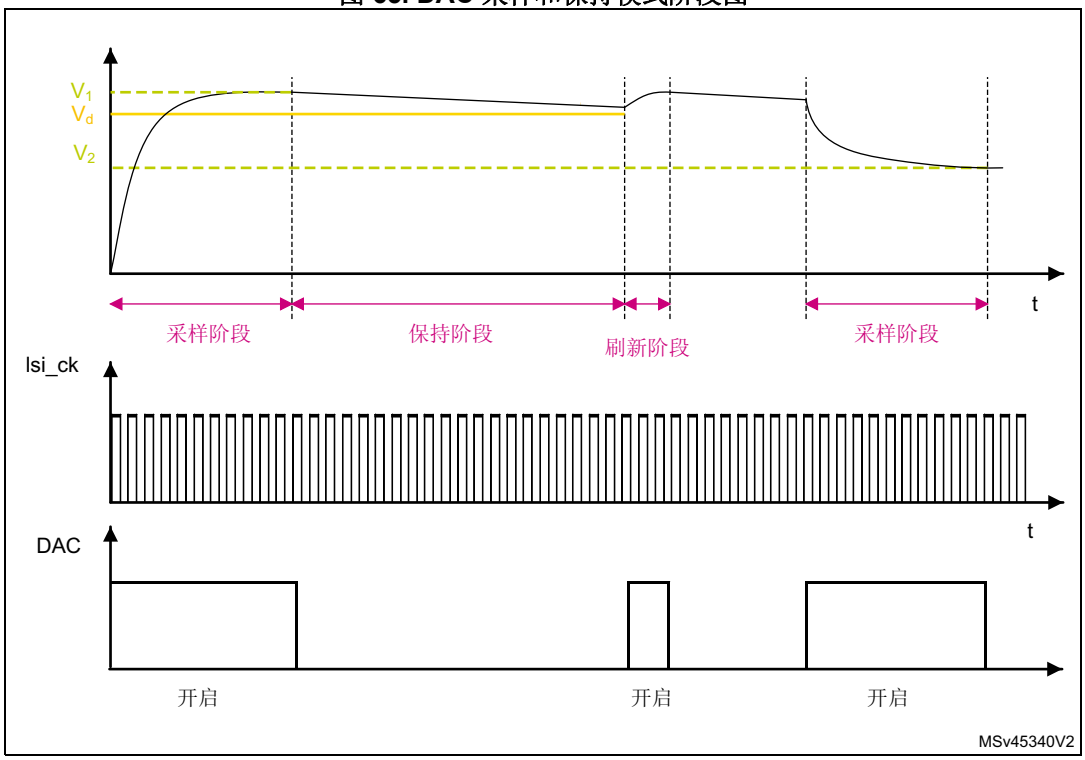
保持阶段：

D_v = i_{leak} * t_{hold} / C_{SH} = 0.0073 V（3 V 时 12 位的 10 个 LSB）

i_{leak} = 150 nA（所有温度范围内 IO 泄漏的最坏情况）

t_{hold} = 0.0073 * 100 * 10^{-9} / (150 * 10^{-9}) = 4.867 ms

图 65. DAC 采样和保持模式阶段图



与正常模式相似，采样和保持模式也具有不同配置。

要使能输出缓冲器，DAC_MCR 寄存器中的 MODEx[2:0] 位应满足：

- 100：DAC 连接到外部引脚
- 101：DAC 连接到外部引脚以及片上外设

要禁止输出缓冲器，DAC_MCR 寄存器中的 MODEx[2:0] 位应满足：

- 110：DAC 连接到外部引脚以及片上外设
- 111：DAC 连接到片上外设

DAC_MCR 寄存器中的 MODEx[2:0] 位等于 111 时。内部电容 “C_{Lint}” 将保持 DAC 内核的电压输出，随后会将该电压驱动到片上外设。

所有采样和保持阶段均可中断，DAC_DHRx 中的任何更改都会立即触发新的采样阶段。

表 74. 通道输出模式汇总

MODEx[2:0]			模式	缓冲器	输出连接
0	0	0	正常模式	使能	连接到外部引脚
0	0	1			连接到外部引脚以及片上外设（例如，比较器）
0	1	0		禁止	连接到外部引脚
0	1	1			连接到片上外设（例如，比较器）
1	0	0	采样和保持模式	使能	连接到外部引脚
1	0	1			连接到外部引脚以及片上外设（例如，比较器）
1	1	0		禁止	连接到外部引脚以及片上外设（例如，比较器）
1	1	1			连接到片上外设（例如，比较器）

15.4.12 DAC 通道缓冲器校准

N 位数模转换器 (DAC) 的传递函数为：

$$V_{out} = ((D/2^{N-1}) \times G \times V_{ref}) + V_{OS}$$

其中，V_{OUT} 为模拟输出，D 为数字输入，G 为增益，V_{ref} 为标称满量程电压，V_{OS} 为偏移电压。对于理想 DAC 通道，G = 1 且 V_{os} = 0。

由于输出缓冲器所具有的特性，不同芯片的电压偏移可能有所不同，并会在模拟输出上引入绝对偏移误差。为补偿 V_{os}，需要通过调整技术进行校准。

仅当 DAC 通道 x 在缓冲器使能的条件下运行时，校准才有效（MODEx[2:0] = 000b、001b、100b 或 101b）。如果在缓冲器关闭的条件下应用于其他模式，校准无效。校准过程中：

- 缓冲器输出将与引脚内部/外部连接断开，并会进入三态模式 (HiZ)。
- 缓冲器将作为比较器来检测中间代码值 0x800，并通过内部桥将其与 VREF+/2 信号进行比较，然后根据比较结果（CAL_FLAGx 位）将其输出信号切换为 0 或 1。

提供以下两种校准技术：

- 出厂调整（始终使能）

  DAC 缓冲器偏移在出厂时进行调整。DAC_CCR 寄存器中 OTRIMx[4:0] 位的默认值是出厂调整值，会在 DAC 数字接口复位时载入。
- 用户调整

  如果运行条件不同于标称出厂调整条件，特别是 V_{DD} 电压、温度、VREF+ 值发生变化时，可进行用户调整，并且用户可在应用过程中随时通过软件进行调整。

注： *更多关于标称出厂调整条件的详细信息，请参见数据手册。*

另外，如果 V_{DD} 移除（例如器件进入 STANDBY 或 VBAT 模式），则需要进行校准。

执行用户调整校准的步骤如下：

1. 如果 DAC 通道激活，可向 DAC_CR 中的 ENx 位写入 0 来禁止通道。
2. 写入 DAC_MCR 寄存器，选择使能了缓冲器的模式（MODEx[2:0] = 000b、001b、100b 或 101b）。
3. 将 DAC_CR 寄存器中的 CENx 位置 1，开始进行 DAC 通道 x 校准。
4. 应用调整算法：
   a) 向 OTRIMx[4:0] 位写入以 00000b 开头的代码。
   b) 等待 t_{TRIM} 延时。
   c) 检查 DAC_SR 中的 CAL_FLAGx 位是否已置 1。
   d) 如果 CAL_FLAGx 已置 1，调整代码 OTRIMx[4:0] 已找到，并将在运行过程中用来补偿输出值，否则会使 OTRIMx[4:0] 递增并重复执行 (a) 到 (d) 的步骤。

软件算法可使用逐次逼近法或二分法较快地计算和设置 OTRIMx[4:0] 位的内容。

CAL_FLAGx 位的换向/切换指示偏移已正确补偿，相应的调整代码必须保留在 DAC_CCR 寄存器的 OTRIMx[4:0] 位中。

注： *为了获得正确的值，对 DAC_SR 寄存器中的 OTRIMx[4:0] 位进行的写操作与对 CAL_FLAGx 位进行的读操作之间必须保留 t_{TRIM} 延时。此参数在数据手册的电气特性部分进行了说明。*

如果 V_{DD}、VREF+ 和温度条件在器件运行期间不发生更改，同时器件更为频繁地进入待机和 VBAT 模式，软件可将第一次用户校准时找到的 OTRIMx[4:0] 位存储在 flash 或备用寄存器中。然后在器件电源再次恢复时直接加载/写入这些位，从而无需等待新的校准时间。

当 CENx 位置 1 时，不允许将 ENx 位置 1。

15.4.13 DAC 双通道转换模式（如果可用）

为了在同时需要两个 DAC 通道的应用中有效利用总线带宽，DAC 模块有三个双寄存器可供操作：DHR8RD、DHR12RD 和 DHR12LD。这样，只需一个寄存器访问即可同时驱动两个 DAC 通道。要生成相应波形，无需访问 DHRxxxD 寄存器。因此，可单独也可同时使用两个输出通道。

通过两个 DAC 通道和这三个双寄存器可以实现 11 种转换模式。但如果需要，所有这些转换模式也都可以通过单独的 DHRx 寄存器来实现。

下面几段内容将介绍所有这些模式。

独立触发（不产生波形）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为不同的值，以配置不同的触发源。
3. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

DAC 通道 1 触发信号到达时，DHR1 寄存器的内容转移到 DAC_DOR1（三个 dac_pclk 时钟周期之后）。

DAC 通道 2 触发信号到达时，DHR2 寄存器的内容转移到 DAC_DOR2（三个 dac_pclk 时钟周期之后）。

独立触发（生成单个 LFSR）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为不同的值，以配置不同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 01，并在 MAMPx[3:0] 位中配置相同的 LFSR 掩码值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

DAC 通道 1 触发信号到达时，LFSR1 计数器内容（使用相同的掩码）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。LFSR1 计数器随即更新。

DAC 通道 2 触发信号到达时，LFSR2 计数器内容（使用相同的掩码）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。LFSR2 计数器随即更新。

独立触发（生成不同 LFSR）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为不同的值，以配置不同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 01，并在 MAMP1[3:0] 和 MAMP2[3:0] 位中设置不同的 LFSR 掩码值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

DAC 通道 1 触发信号到达时，LFSR1 计数器内容（使用 MAMP1[3:0] 配置的掩码）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。LFSR1 计数器随即更新。

DAC 通道 2 触发信号到达时，LFSR2 计数器内容（使用 MAMP2[3:0] 配置的掩码）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。LFSR2 计数器随即更新。

独立触发（生成单个三角波）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为不同的值，以配置不同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 1x，并在 MAMPx[3:0] 位中配置相同的最大振幅值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

DAC 通道 1 触发信号到达时，DAC 通道 1 三角波计数器内容（使用相同的三角波振幅）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。DAC 通道 1 三角波计数器随即更新。

DAC 通道 2 触发信号到达时，DAC 通道 2 三角波计数器内容（使用相同的三角波振幅）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。DAC 通道 2 三角波计数器随即更新。

独立触发（生成不同三角波）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位设置为不同的值，以配置不同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 1x，并在 MAMP1[3:0] 和 MAMP2[3:0] 位中设置不同的最大振幅值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

DAC 通道 1 触发信号到达时，DAC 通道 1 三角波计数器内容（使用 MAMP1[3:0] 配置的三角波振幅）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。DAC 通道 1 三角波计数器随即更新。

DAC 通道 2 触发信号到达时，DAC 通道 2 三角波计数器内容（使用 MAMP2[3:0] 配置的三角波振幅）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。DAC 通道 2 三角波计数器随即更新。

同步软件启动

要将 DAC 配置为此转换模式，需要遵循以下顺序：

- 将 DAC 双通道数据装入所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

在此配置中，DHR1 和 DHR2 寄存器内容会在一个 dac_pclk 时钟周期后分别转移到 DAC_DOR1 和 DAC_DOR2 中。

同步触发（不产生波形）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为相同的值，以便为两个 DAC 通道配置相同的触发源。
3. 将 DAC 双通道数据装入所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

当触发信号到达时，DHR1 和 DHR2 寄存器内容将分别转移到 DAC_DOR1 和 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。

同步触发（生成单个 LFSR）

1. 要将 DAC 配置为此转换模式，需要遵循以下顺序：
2. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
3. 将 TSEL1 和 TSEL2 位域设置为相同的值，以便为两个 DAC 通道配置相同的触发源。
4. 将两个 DAC 通道的 WAVEx[1:0] 设置为 01，并在 MAMPx[3:0] 位中配置相同的 LFSR 掩码值。
5. 将 DAC 双通道数据加载到所需 DHR 寄存器（DHR12RD、DHR12LD 或 DHR8RD）。

触发信号到达时，LFSR1 计数器内容（使用相同的掩码）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。LFSR1 计数器随即更新。同时，LFSR2 计数器内容（使用相同的掩码）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。LFSR2 计数器随即更新。

同步触发（生成不同 LFSR）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1。
2. 将 TSEL1 和 TSEL2 位域设置为相同的值，以便为两个 DAC 通道配置相同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 01，并在 MAMP1[3:0] 和 MAMP2[3:0] 位中设置不同的 LFSR 掩码值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

触发信号到达时，LFSR1 计数器内容（使用 MAMP1[3:0] 配置的掩码）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。LFSR1 计数器随即更新。
同时，LFSR2 计数器内容（使用 MAMP2[3:0] 配置的掩码）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。LFSR2 计数器随即更新。

同步触发（生成单个三角波）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1
2. 将 TSEL1 和 TSEL2 位域设置为相同的值，以便为两个 DAC 通道配置相同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 1x，并在 MAMPx[3:0] 位中配置相同的最大振幅值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

触发信号到达时，DAC 通道 1 三角波计数器内容（使用相同的三角波振幅）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 dac_pclk 时钟周期之后）。DAC 通道 1 三角波计数器随即更新。

同时，DAC 通道 2 三角波计数器内容（使用相同的三角波振幅）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。DAC 通道 2 三角波计数器随即更新。

同步触发（生成不同三角波）

要将 DAC 配置为此转换模式，需要遵循以下顺序：

1. 将两个 DAC 通道触发使能位 TEN1 和 TEN2 置 1
2. 将 TSEL1 和 TSEL2 位域设置为相同的值，以便为两个 DAC 通道配置相同的触发源。
3. 将两个 DAC 通道的 WAVEx[1:0] 设置为 1x，并在 MAMP1[3:0] 和 MAMP2[3:0] 位中设置不同的最大振幅值。
4. 将 DAC 双通道数据加载到所需 DHR 寄存器（DAC_DHR12RD、DAC_DHR12LD 或 DAC_DHR8RD）。

触发信号到达时，DAC 通道 1 三角波计数器内容（使用 MAMP1[3:0] 配置的三角波振幅）与 DHR1 寄存器内容相加，所得总和转移到 DAC_DOR1 中（三个 APB 时钟周期之后）。DAC 通道 1 三角波计数器随即更新。

同时，DAC 通道 2 三角波计数器内容（使用 MAMP2[3:0] 配置的三角波振幅）与 DHR2 寄存器内容相加，所得总和转移到 DAC_DOR2 中（三个 dac_pclk 时钟周期之后）。DAC 通道 2 三角波计数器随即更新。

15.5 DAC 低功耗模式

表 75. DAC 低功耗模式的作用

模式	说明
睡眠	无影响，DAC 与 DMA 结合使用
停止 0	如果通过 LSI 时钟选择了采样和保持模式，则 DAC 将以静态值继续工作
待机	DAC 外设掉电，退出待机模式或关断模式后必须重新初始化
关断	

15.6 DAC 中断

表 76. DAC 中断

中断事件	事件标志	使能控制位
DMA 下溢	DMAUDRx	DMAUDRIEx

15.7 DAC 寄存器

有关寄存器说明中使用的缩写列表，请参见*第 49 页的第 1 节*。

外设寄存器必须按字（32 位）进行访问。

15.7.1 DAC 控制寄存器 (DAC_CR)

DAC control register

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	CEN2	DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2[1:0]		TSEL23	TSEL22	TSEL21	TSEL20	TEN2	EN2
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CEN1	DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1[1:0]		TSEL13	TSEL12	TSEL11	TSEL10	TEN1	EN1
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 保留，必须保持复位值。

位 30 **CEN2**：DAC 通道 2 校准使能 (DAC channel2 calibration enable)

此位由软件置 1 和清零，用于使能/禁止 DAC 通道 2 校准，仅当 DAC_CR 中的位 EN2 设置为 0 时才可写入（仅当 DAC 通道已禁止时才可以进入/退出校准模式），否则会忽略写操作。

0：DAC 通道 2 处于正常运行模式

1：DAC 通道 2 处于校准模式

注： 此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 29 **DMAUDRIE2**：DAC 通道 2 DMA 下溢中断使能 (DAC channel2 DMA underrun interrupt enable)

此位由软件置 1 和清零。

0：禁止 DAC 通道 2 DMA 下溢中断

1：使能 DAC 通道 2 DMA 下溢中断

注： 此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 28 **DMAEN2**：DAC 通道 2 DMA 使能 (DAC channel2 DMA enable)

此位由软件置 1 和清零。

0：禁止 DAC 通道 2 DMA 模式

1：使能 DAC 通道 2 DMA 模式

注： 此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 27:24 **MAMP2[3:0]**：DAC 通道 2 掩码/振幅选择器 (DAC channel2 mask/amplitude selector)

这些位由软件写入，用于在生成噪声波模式下选择掩码，或者在生成三角波模式下选择振幅。

0000：不屏蔽 LFSR 的位 0/三角波振幅等于 1

0001：不屏蔽 LFSR 的位 [1:0]/三角波振幅等于 3

0010：不屏蔽 LFSR 的位 [2:0]/三角波振幅等于 7

0011：不屏蔽 LFSR 的位 [3:0]/三角波振幅等于 15

0100：不屏蔽 LFSR 的位 [4:0]/三角波振幅等于 31

0101：不屏蔽 LFSR 的位 [5:0]/三角波振幅等于 63

0110：不屏蔽 LFSR 的位 [6:0]/三角波振幅等于 127

0111：不屏蔽 LFSR 的位 [7:0]/三角波振幅等于 255

1000：不屏蔽 LFSR 的位 [8:0]/三角波振幅等于 511

1001：不屏蔽 LFSR 的位 [9:0]/三角波振幅等于 1023

1010：不屏蔽 LFSR 的位 [10:0]/三角波振幅等于 2047

≥ 1011：不屏蔽 LFSR 的位 [11:0]/三角波振幅等于 4095

注： 这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 23:22 **WAVE2[1:0]**：DAC 通道 2 噪声/三角波生成使能 (DAC channel2 noise/triangle wave generation enable)

这些位由软件置 1 或清零。

00：禁止生成波

01：使能生成噪声波

1x：使能生成三角波

注： 只在位 TEN2 = 1（使能 DAC 通道 2 触发）时使用。

这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 21:18 **TSEL2[3:0]**：DAC 通道 2 触发器选择 (DAC channel2 trigger selection)

这些位用于选择 DAC 通道 2 的外部触发事件

有关触发配置和映射的详细信息，请参见触发选择表。

注： 只在位 TEN2 = 1（使能 DAC 通道 2 触发）时使用。

这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 17 **TEN2**：DAC 通道 2 触发使能 (DAC channel2 trigger enable)

此位由软件置 1 和清零，以使能/禁止 DAC 通道 2 触发

0：禁止 DAC 通道 2 触发，写入 DAC_DHR2 寄存器的数据在一个 dac_pclk 时钟周期之后转移到 DAC_DOR2 寄存器

1：使能 DAC 通道 2 触发，DAC_DHR2 寄存器的数据在三个 dac_pclk 时钟周期之后转移到 DAC_DOR2 寄存器

注： 如果选择软件触发，DAC_DHR2 寄存器的内容只需一个 dac_pclk 时钟周期即可转移到 DAC_DOR2 寄存器。

这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 16 **EN2**：DAC 通道 2 使能 (DAC channel2 enable)

此位由软件置 1 和清零，以使能/禁止 DAC 通道 2。

0：禁止 DAC 通道 2

1：使能 DAC 通道 2

注： 这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 15 保留，必须保持复位值。

位 14 **CEN1**：DAC 通道 1 校准使能 (DAC channel1 calibration enable)

此位由软件置 1 和清零，用于使能/禁止 DAC 通道 1 校准，仅当 DAC_CR 中的位 EN1=0 时才可写入（仅当 DAC 通道已禁止时才可以进入/退出校准模式），否则会忽略写操作。

0：DAC 通道 1 处于正常运行模式

1：DAC 通道 1 处于校准模式

位 13 **DMAUDRIE1**：DAC 通道 1 DMA 下溢中断使能 (DAC channel1 DMA Underrun Interrupt enable)

此位由软件置 1 和清零。

0：禁止 DAC 通道 1 DMA 下溢中断

1：使能 DAC 通道 1 DMA 下溢中断

位 12 **DMAEN1**：DAC 通道 1 DMA 使能 (DAC channel1 DMA enable)

此位由软件置 1 和清零。

0：禁止 DAC 通道 1 DMA 模式

1：使能 DAC 通道 1 DMA 模式

位 11:8 **MAMP1[3:0]**：DAC 通道 1 掩码/振幅选择器 (DAC channel1 mask/amplitude selector)

这些位由软件写入，用于在生成噪声波模式下选择掩码，或者在生成三角波模式下选择振幅。

0000：不屏蔽 LFSR 的位 0/三角波振幅等于 1

0001：不屏蔽 LFSR 的位 [1:0]/三角波振幅等于 3

0010：不屏蔽 LFSR 的位 [2:0]/三角波振幅等于 7

0011：不屏蔽 LFSR 的位 [3:0]/三角波振幅等于 15

0100：不屏蔽 LFSR 的位 [4:0]/三角波振幅等于 31

0101：不屏蔽 LFSR 的位 [5:0]/三角波振幅等于 63

0110：不屏蔽 LFSR 的位 [6:0]/三角波振幅等于 127

0111：不屏蔽 LFSR 的位 [7:0]/三角波振幅等于 255

1000：不屏蔽 LFSR 的位 [8:0]/三角波振幅等于 511

1001：不屏蔽 LFSR 的位 [9:0]/三角波振幅等于 1023

1010：不屏蔽 LFSR 的位 [10:0]/三角波振幅等于 2047

≥ 1011：不屏蔽 LFSR 的位 [11:0]/三角波振幅等于 4095

位 7:6 **WAVE1[1:0]**：DAC 通道 1 噪声/三角波生成使能 (DAC channel1 noise/triangle wave generation enable)

这些位将由软件置 1 和清零。

00：禁止生成波

01：使能生成噪声波

1x：使能生成三角波

只在位 TEN1 = 1（使能 DAC 通道 1 触发）时使用。

位 5:2 **TSEL1[3:0]**：DAC 通道 1 触发器选择 (DAC channel1 trigger selection)

这些位用于选择 DAC 通道 1 的外部触发事件。

有关触发配置和映射的详细信息，请参见触发选择表。

注： 只在位 TEN1 = 1（使能 DAC 通道 1 触发）时使用。

位 1 **TEN1**：DAC 通道 1 触发使能 (DAC channel1 trigger enable)

此位由软件置 1 和清零，以使能/禁止 DAC 通道 1 触发。

0：禁止 DAC 通道 1 触发，写入 DAC_DHR1 寄存器的数据在一个 dac_pclk 时钟周期之后转移到 DAC_DOR1 寄存器

1：使能 DAC 通道 1 触发，DAC_DHR1 寄存器的数据在三个 dac_pclk 时钟周期之后转移到 DAC_DOR1 寄存器

注： 如果选择软件触发，DAC_DHR1 寄存器的内容只需一个 dac_pclk 时钟周期即可转移到 DAC_DOR1 寄存器。

位 0 **EN1**：DAC 通道 1 使能 (DAC channel1 enable)

此位由软件置 1 和清零，以使能/禁止 DAC 通道 1。

0：禁止 DAC 通道 1

1：使能 DAC 通道 1

15.7.2 DAC 软件触发寄存器 (DAC_SWTRGR)

DAC software trigger register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWTRIG2	SWTRIG1
														w	w

位 31:2 保留，必须保持复位值。

位 1 **SWTRIG2**：DAC 通道 2 软件触发 (DAC channel2 software trigger)

该位由软件置 1，用于在软件触发模式下触发 DAC。

0：不触发

1：触发

注： 一旦 DAC_DHR2 寄存器值加载到 DAC_DOR2 寄存器中，该位即会由硬件清零（一个 dac_pclk 时钟周期之后）。

此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 0 **SWTRIG1**：DAC 通道 1 软件触发 (DAC channel1 software trigger)

该位由软件置 1，用于在软件触发模式下触发 DAC。

0：不触发

1：触发

注： 一旦 DAC_DHR1 寄存器值加载到 DAC_DOR1 寄存器中，该位即会由硬件清零（一个 dac_pclk 时钟周期之后）。

15.7.3 DAC 通道 1 12 位右对齐数据保持寄存器 (DAC_DHR12R1)

DAC channel1 12-bit right-aligned data holding register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:0 **DACC1DHR[11:0]**：DAC 通道 1 12 位右对齐数据 (DAC channel1 12-bit right-aligned data)
这些位通过软件写入，用于指定 DAC 通道 1 的 12 位数据。

15.7.4 DAC 通道 1 12 位左对齐数据保持寄存器 (DAC_DHR12L1)

DAC channel1 12-bit left aligned data holding register

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位 31:16 保留，必须保持复位值。

位 15:4 **DACC1DHR[11:0]**：DAC 通道 1 12 位左对齐数据 (DAC channel1 12-bit left-aligned data)
这些位通过软件写入，用于指定 DAC 通道 1 的 12 位数据。

位 3:0 保留，必须保持复位值。

15.7.5 DAC 通道 1 8 位右对齐数据保持寄存器 (DAC_DHR8R1)

DAC channel1 8-bit right aligned data holding register

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7:0 **DACC1DHR[7:0]**：DAC 通道 1 8 位右对齐数据 (DAC channel1 8-bit right-aligned data)
这些位通过软件写入，用于指定 DAC 通道 1 的 8 位数据。

15.7.6 DAC 通道 2 12 位右对齐数据保持寄存器 (DAC_DHR12R2)

DAC channel2 12-bit right aligned data holding register

此寄存器仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:0 **DACC2DHR[11:0]**：DAC 通道 2 12 位右对齐数据 (DAC channel2 12-bit right-aligned data)
这些位通过软件写入，用于指定 DAC 通道 2 的 12 位数据。

15.7.7 DAC 通道 2 12 位左对齐数据保持寄存器 (DAC_DHR12L2)

DAC channel2 12-bit left aligned data holding register

此寄存器仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[11:0]												Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位 31:16 保留，必须保持复位值。

位 15:4 **DACC2DHR[11:0]**：DAC 通道 2 12 位左对齐数据 (DAC channel2 12-bit left-aligned data)
这些位由软件写入，用于为 DAC 通道 2 指定 12 位数据。

位 3:0 保留，必须保持复位值。

15.7.8 DAC 通道 2 8 位右对齐数据保持寄存器 (DAC_DHR8R2)

DAC channel2 8-bit right-aligned data holding register

此寄存器仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DHR[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7:0 **DACC2DHR[7:0]**：DAC 通道 2 8 位右对齐数据 (DAC channel2 8-bit right-aligned data)
这些位由软件写入，用于为 DAC 通道 2 指定 8 位数据。

15.7.9 双 DAC 12 位右对齐数据保持寄存器 (DAC_DHR12RD)

Dual DAC 12-bit right-aligned data holding register

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	DACC2DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DHR[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:16 **DACC2DHR[11:0]**：DAC 通道 2 12 位右对齐数据 (DAC channel2 12-bit right-aligned data)
这些位由软件写入，用于为 DAC 通道 2 指定 12 位数据。

位 15:12 保留，必须保持复位值。

位 11:0 **DACC1DHR[11:0]**：DAC 通道 1 12 位右对齐数据 (DAC channel1 12-bit right-aligned data)
这些位由软件写入，用于为 DAC 通道 1 指定 12 位数据。

15.7.10 双 DAC 12 位左对齐数据保持寄存器 (DAC_DHR12LD)

Dual DAC 12-bit left aligned data holding register

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DACC2DHR[11:0]												Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC1DHR[11:0]												Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw				

位 31:20 **DACC2DHR[11:0]**：DAC 通道 2 12 位左对齐数据 (DAC channel2 12-bit left-aligned data)
这些位由软件写入，用于为 DAC 通道 2 指定 12 位数据。

位 19:16 保留，必须保持复位值。

位 15:4 **DACC1DHR[11:0]**：DAC 通道 1 12 位左对齐数据 (DAC channel1 12-bit left-aligned data)
这些位由软件写入，用于为 DAC 通道 1 指定 12 位数据。

位 3:0 保留，必须保持复位值。

15.7.11 双 DAC 8 位右对齐数据保持寄存器 (DAC_DHR8RD)

Dual DAC 8-bit right aligned data holding register

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DACC2DHR[7:0]								DACC1DHR[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:8 **DACC2DHR[7:0]**：DAC 通道 2 8 位右对齐数据 (DAC channel2 8-bit right-aligned data)
这些位由软件写入，用于为 DAC 通道 2 指定 8 位数据。

位 7:0 **DACC1DHR[7:0]**：DAC 通道 1 8 位右对齐数据 (DAC channel1 8-bit right-aligned data)
这些位由软件写入，用于为 DAC 通道 1 指定 8 位数据。

15.7.12 DAC 通道 1 数据输出寄存器 (DAC_DOR1)

DAC channel1 data output register

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC1DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

位 31:12 保留，必须保持复位值。

位 11:0 **DACC1DOR[11:0]**：DAC 通道 1 数据输出 (DAC channel1 data output)
这些位为只读，其中包含 DAC 通道 1 的数据输出。

15.7.13 DAC 通道 2 数据输出寄存器 (DAC_DOR2)

DAC channel2 data output register

此寄存器仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DACC2DOR[11:0]											
				r	r	r	r	r	r	r	r	r	r	r	r

位 31:12 保留，必须保持复位值。

位 11:0 **DACC2DOR[11:0]**：DAC 通道 2 数据输出 (DAC channel2 data output)
这些位为只读，其中包含 DAC 通道 2 的数据输出。

15.7.14 DAC 状态寄存器 (DAC_SR)

DAC status register

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BWST2	CAL_FLAG2	DMAUDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	rc_w1													

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BWST1	CAL_FLAG1	DMAUDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r	r	rc_w1													

位 31 **BWST2**：DAC 通道 2 写入采样时间忙标志 (DAC channel2 busy writing sample time flag)

此位会在采样和保持模式使能后由系统置 1，每次软件写入 DAC_SHSR2 寄存器时，此位都会置 1，对 DAC_SHSR2 的写操作完成后，此位通过硬件清零。（需要约 3 个 LSI 同步周期）。

0：目前未对 DAC_SHSR2 进行写操作：DAC_SHSR2 可写入

1：目前正在对 DAC_SHSR2 进行写操作：DAC_SHSR2 不可写入

注：　此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 30 **CAL_FLAG2**：DAC 通道 2 校准偏移状态 (DAC Channel 2 calibration offset status)

此位通过硬件置 1 和清零。

0：校准调整值小于偏移校正值

1：校准调整值等于或大于偏移校正值

注：　此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 29 **DMAUDR2**：DAC 通道 2 DMA 下溢标志 (DAC channel2 DMA underrun flag)

此位由硬件置 1，由软件清零（写入 1）。

0：DAC 通道 2 未发生 DMA 下溢错误状况。

1：DAC 通道 2 发生 DMA 下溢错误状况（当前所选触发源以高于 DMA 服务能力的频率驱动 DAC 通道 2 转换）。

注：　此位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 28 保留，必须保持复位值。

位 27 保留，必须保持复位值。

位 26:16 保留，必须保持复位值。

位 15 **BWST1**：DAC 通道 1 写入采样时间忙标志 (DAC channel1 busy writing sample time flag)

此位会在采样和保持模式使能后由系统置 1，每次软件写入 DAC_SHSR1 寄存器时，此位都会置 1，对 DAC_SHSR1 的写操作完成后，此位通过硬件清零。（需要约 3 个 LSI 同步周期）。

0：目前未对 DAC_SHSR1 进行写操作：DAC_SHSR1 可写入

1：目前正在对 DAC_SHSR1 进行写操作：DAC_SHSR1 不可写入

位 14 **CAL_FLAG1**：DAC 通道 1 校准偏移状态 (DAC channel1 calibration offset status)

此位通过硬件置 1 和清零。

0：校准调整值小于偏移校正值

1：校准调整值等于或大于偏移校正值

位 13 **DMAUDR1**：DAC 通道 1 DMA 下溢标志 (DAC channel1 DMA underrun flag)

此位由硬件置 1，由软件清零（写入 1）。

0：DAC 通道 1 未发生 DMA 下溢错误状况

1：DAC 通道 1 发生 DMA 下溢错误状况（当前所选触发源以高于 DMA 服务能力的频率驱动 DAC 通道 1 转换）

位 12 保留，必须保持复位值。

位 11 保留，必须保持复位值。

位 10:0 保留，必须保持复位值。

15.7.15 DAC 校准控制寄存器 (DAC_CCR)

DAC calibration control register

偏移地址：0x38

复位值：0x00XX 00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM2[4:0]				
											rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM1[4:0]				
											rw	rw	rw	rw	rw

位 31:21 保留，必须保持复位值。

位 20:16 **OTRIM2[4:0]**：DAC 通道 2 偏移调整值 (DAC channel2 offset trimming value)
这些位仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

位 15:5 保留，必须保持复位值。

位 4:0 **OTRIM1[4:0]**：DAC 通道 1 偏移调整值 (DAC channel1 offset trimming value)

15.7.16 DAC 模式控制寄存器 (DAC_MCR)

DAC mode control register

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE2[2:0]		
													rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE1[2:0]		
													rw	rw	rw

位 31:26 保留，必须保持复位值。

位 25 保留，必须保持复位值。

位 24 保留，必须保持复位值。

位 23:19 保留，必须保持复位值。

位 18:16 **MODE2[2:0]**：DAC 通道 2 模式 (DAC channel2 mode)

仅当 DAC 已禁止且不处于校准模式时（DAC_CR 寄存器中的位 EN2=0 且位 CEN2 =0），才可写入这些位。如果 EN2=1 或 CEN2 =1，则会忽略写操作。

这些位可由软件置 1 和清零，用于选择 DAC 通道 2 模式：

– DAC 通道 2 处于正常模式

000：DAC 通道 2 连接到外部引脚且使能了缓冲器

001：DAC 通道 2 连接到外部引脚以及片上外设且使能了缓冲器

010：DAC 通道 2 连接到外部引脚且禁止了缓冲器

011：DAC 通道 2 连接到片上外设且禁止了缓冲器

– DAC 通道 2 处于采样和保持模式

100：DAC 通道 2 连接到外部引脚且使能了缓冲器

101：DAC 通道 2 连接到外部引脚以及片上外设且使能了缓冲器

110：DAC 通道 2 连接到外部引脚以及片上外设且禁止了缓冲器

111：DAC 通道 2 连接到片上外设且禁止了缓冲器

注：　仅可在 EN2 = 0 时修改该寄存器。

有关 DAC 通道 2 的可用性，请参见第 15.3 节：DAC 实现。

位 15:14 保留，必须保持复位值。

位 13:10 保留，必须保持复位值。

位 9 保留，必须保持复位值。

位 8 保留，必须保持复位值。

位 7:3 保留，必须保持复位值。

位 2:0 **MODE1[2:0]**：DAC 通道 1 模式 (DAC channel1 mode)

仅当 DAC 已禁止且不处于校准模式时（DAC_CR 寄存器中的位 EN1=0 且位 CEN1 =0），才可写入这些位。如果 EN1=1 或 CEN1 =1，则会忽略写操作。

这些位可由软件置 1 和清零，用于选择 DAC 通道 1 模式：

– DAC 通道 1 处于正常模式

000：DAC 通道 1 连接到外部引脚且使能了缓冲器

001：DAC 通道 1 连接到外部引脚以及片上外设且使能了缓冲器

010：DAC 通道 1 连接到外部引脚且禁止了缓冲器

011：DAC 通道 1 连接到片上外设且禁止了缓冲器

– DAC 通道 1 处于采样和保持模式

100：DAC 通道 1 连接到外部引脚且使能了缓冲器

101：DAC 通道 1 连接到外部引脚以及片上外设且使能了缓冲器

110：DAC 通道 1 连接到外部引脚以及片上外设且禁止了缓冲器

111：DAC 通道 1 连接到片上外设且禁止了缓冲器

注：　仅可在 EN1 = 0 时修改该寄存器。

15.7.17 DAC 通道 1 采样和保持采样时间寄存器 (DAC_SHSR1)

DAC channel1 sample and hold sample time register

偏移地址：0x40

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE1[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:10 保留，必须保持复位值。

位 9:0 **TSAMPLE1[9:0]**：DAC 通道 1 采样时间 (DAC channel1 sample time)（仅在采样和保持模式下有效）

当 DAC 通道 1 已禁止或者处于正常运行期间时，可写入这些位。对于后一种情况，仅当 DAC_SR 寄存器的 BWST1 为低电平时，才可进行写操作，如果 BWST1=1，会忽略写操作。

注： *它代表执行采样阶段的 LSI 时钟数。采样时间* = (TSAMPLE1[9:0] + 1) x *LSI 时钟周期。*

15.7.18 DAC 通道 2 采样和保持采样时间寄存器 (DAC_SHSR2)

DAC channel2 sample and hold sample time register

此寄存器仅适用于双通道 DAC。请参见*第 15.3 节：DAC 实现*。

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE2[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:10 保留，必须保持复位值。

位 9:0 **TSAMPLE2[9:0]**：DAC 通道 2 采样时间 (DAC channel2 sample time)（仅在采样和保持模式下有效）

当 DAC 通道 2 已禁止或者处于正常运行期间时，可写入这些位。对于后一种情况，仅当 DAC_SR 寄存器的 BWST2 为低电平时，才可进行写操作，如果 BWST2=1，会忽略写操作。

注： *它代表执行采样阶段的 LSI 时钟数。采样时间* = (TSAMPLE1[9:0] + 1) x *LSI 时钟周期。*

15.7.19 DAC 采样和保持时间寄存器 (DAC_SHHR)

DAC sample and hold time register

偏移地址：0x48

复位值：0x0001 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	THOLD2[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	THOLD1[9:0]									
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:26 保留，必须保持复位值。

位 25:16 **THOLD2[9:0]**：DAC 通道 2 保持时间 (DAC channel2 hold time)（仅在采样和保持模式下有效）。
保持时间 = (THOLD[9:0]) x LSI 时钟周期
注： 仅可在 EN2 = 0 时修改该寄存器。
这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 15:10 保留，必须保持复位值。

位 9:0 **THOLD1[9:0]**：DAC 通道 1 保持时间 (DAC channel1 hold time)（仅在采样和保持模式下有效）
保持时间 = (THOLD[9:0]) x LSI 时钟周期
注： 仅可在 EN1 = 0 时修改该寄存器。

注： 仅当 DAC 通道已禁止且处于正常运行模式时（DAC_CR 寄存器中的位 ENx=0 且位 CENx=0），才可写入这些位。如果 ENx=1 或 CENx=1，则会忽略写操作。

15.7.20 DAC 采样和保持刷新时间寄存器 (DAC_SHRR)

DAC sample and hold refresh time register

偏移地址：0x4C

复位值：0x0001 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TREFRESH2[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TREFRESH1[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 保留，必须保持复位值。

位 23:16 **TREFRESH2[7:0]**：DAC 通道 2 刷新时间 (DAC channel2 refresh time)（仅在采样和保持模式下有效）

刷新时间 = (TREFRESH[7:0]) x LSI 时钟周期

注： 仅可在 EN2 = 0 时修改该寄存器。

这些位仅适用于双通道 DAC。请参见第 15.3 节：DAC 实现。

位 15:8 保留，必须保持复位值。

位 7:0 **TREFRESH1[7:0]**：DAC 通道 1 刷新时间 (DAC channel1 refresh time)（仅在采样和保持模式下有效）

刷新时间 = (TREFRESH[7:0]) x LSI 时钟周期

注： 仅可在 EN1 = 0 时修改该寄存器。

注： 仅当 DAC 通道已禁止且处于正常运行模式时（DAC_CR 寄存器中的位 ENx=0 且位 CENx=0），才可写入这些位。如果 ENx=1 或 CENx=1，则会忽略写操作。

15.7.21 DAC 寄存器映射

表 77 汇总了 DAC 寄存器。

表 77. DAC 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**DAC_CR**	Res.	CEN2	DMAUDRIE2	DMAEN2	MAMP2[3:0]				WAVE2[2:0]		TSEL23	TSEL22	TSEL21	TSEL20	TEN2	EN2	Res.	CEN1	DMAUDRIE1	DMAEN1	MAMP1[3:0]				WAVE1[2:0]		TSEL13	TSEL12	TSEL11	TSEL10	TEN1	EN1
	Reset value		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**DAC_SWTRGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SWTRIG2	SWTRIG1
	Reset value																															0	0
0x08	**DAC_DHR12R1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR[11:0]											
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**DAC_DHR12L1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR[11:0]												Res.	Res.	Res.	Res.
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0				
0x10	**DAC_DHR8R1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DHR[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x14	**DAC_DHR12R2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DHR[11:0]											
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0
0x18	**DAC_DHR12L2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DHR[11:0]												Res.	Res.	Res.	Res.
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0				
0x1C	**DAC_DHR8R2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DHR[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x20	**DAC_DHR12RD**	Res.	Res.	Res.	Res.	DACC2DHR[11:0]												Res.	Res.	Res.	Res.	DACC1DHR[11:0]											
	Reset value					0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0
0x24	**DAC_DHR12LD**	DACC2DHR[11:0]												Res.	Res.	Res.	Res.	DACC1DHR[11:0]												Res.	Res.	Res.	Res.
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0				
0x28	**DAC_DHR8RD**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DHR[7:0]								DACC1DHR[7:0]							
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**DAC_DOR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC1DOR[11:0]											
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0
0x30	**DAC_DOR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DACC2DOR[11:0]											
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0

表 77. DAC 寄存器映射和复位值（续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x34	**DAC_SR**	BWST2	CAL_FLAG2	DMAUDR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BWST1	CAL_FLAG1	DMAUDR1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value	0	0	0														0	0	0													
0x38	**DAC_CCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM2[4:0]					Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OTRIM1[4:0]				
	Reset value												X	X	X	X	X												X	X	X	X	X
0x3C	**DAC_MCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE2 [2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MODE1 [2:0]		
	Reset value														0	0	0														0	0	0
0x40	**DAC_ SHSR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE1[9:0]									
	Reset value																							0	0	0	0	0	0	0	0	0	0
0x44	**DAC_ SHSR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TSAMPLE2[9:0]									
	Reset value																							0	0	0	0	0	0	0	0	0	0
0x48	**DAC_ SHHR**	Res.	Res.	Res.	Res.	Res.	Res.	THOLD2[9:0]										Res.	Res.	Res.	Res.	Res.	Res.	THOLD1[9:0]									
	Reset value							0	0	0	0	0	0	0	0	0	1							0	0	0	0	0	0	0	0	0	1
0x4C	**DAC_ SHRR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TREFRESH2[7:0]								Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TREFRESH1[7:0]							
	Reset value									0	0	0	0	0	0	0	1									0	0	0	0	0	0	0	1

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

16 电压参考缓冲器 (VREFBUF)

16.1 简介

STM32G0x1 器件内置有电压参考缓冲器，既可用作 ADC 和 DAC 的参考电压，也可通过 VREF+ 引脚用作外部元件的参考电压。当 VREF+ 引脚与 VDDA 引脚在一个封装中互相绑定时，电压参考缓冲器不可用且必须禁用（关于封装引脚分配说明，请参考数据手册）。

16.2 VREFBUF 功能说明

内部电压参考缓冲器支持两种电压值[a]，可利用 VREFBUF_CSR 寄存器中的 VRS 位进行配置：

- VRS = 0：V_{REF_OUT1} 大约为 2.048 V。
- VRS = 1：V_{REF_OUT2} 大约为 2.5 V。

内部参考电压配置为四种不同模式，具体取决于 ENVR 和 HIZ 位的配置。下表列出了这些模式：

表 78. VREF 缓冲器模式

ENVR	HIZ	VREF 缓冲器配置
0	0	VREFBUF 缓冲器关闭： – V_{REF+} 引脚下拉到 V_{SSA}
0	1	外部参考电压模式 （默认值）： – VREFBUF 缓冲器关闭 – V_{REF+} 引脚上拉模式
1	0	内部参考电压模式： – VREFBUF 缓冲器开启 – V_{REF+} 引脚连接到 VREFBUF 缓冲器输出
1	1	保持模式： – VREFBUF 缓冲器关闭 – V_{REF+} 引脚浮空。借助外部电容来保持电压 – 禁止 VRR 检测， VRR 位保持最后一个状态

通过将 VREFBUF_CSR 寄存器中的 ENVR 位置 1 并将 HIZ 位清零使能 VREFBUF 后，用户必须等待至 VRR 位置 1，指示参考电压输出已达到预期值。

a. 最小 V_{DDA} 电压取决于 VRS 设置，请参见产品数据手册。

16.3 VREFBUF 寄存器

16.3.1 VREFBUF 控制和状态寄存器 (VREFBUF_CSR)

VREFBUF control and status register

偏移地址：0x00

复位值：0x0000 0002

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR
												r	rw	rw	rw

位 31:4 保留，必须保持复位值。

位 3 **VRR**：电压参考缓冲器就绪 (Voltage reference buffer ready)
0：电压参考缓冲器输出未就绪。
1：电压参考缓冲器输出已达到请求值。

位 2 **VRS**：参考电压调节 (Voltage reference scale)
该位选择由电压参考缓冲器生成的值。
0：参考电压设为 V_{REF_OUT1} （约 2.048 V）。
1：参考电压设为 V_{REF_OUT2} （约 2.5 V）。

位 1 **HIZ**：高阻态模式 (High impedance mode)
此位控制模拟开关是否连接到 V_{REF+} 引脚。
0：V_{REF+} 从内部连接到电压参考缓冲器输出。
1：V_{REF+} 引脚为高阻态。
关于 ENVR 位配置及模式说明，请参见*表 78：VREF 缓冲器模式*。

位 0 **ENVR**：电压参考缓冲器模式使能 (Voltage reference buffer mode enable)
此位用于使能电压参考缓冲器模式。
0：禁止内部参考电压模式 （外部参考电压模式）。
1：使能内部参考电压模式 （参考缓冲器使能或保持模式）。

16.3.2 VREFBUF 校准控制寄存器 (VREFBUF_CCR)

VREFBUF calibration control register

偏移地址：0x04

复位值：0x0000 00XX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
										rw	rw	rw	rw	rw	rw

位 31:6 保留，必须保持复位值。

位 5:0 **TRIM[5:0]**：微调代码 (Trimming code)

在生产测试期间，使用 Flash 中存储的的微调值进行复位后，这些位将自动初始化。写入这些位可调整内部参考缓冲器电压。

16.3.3 VREFBUF 寄存器映射

下表列出了 VREFBUF 寄存器映射和复位值。

表 79. VREFBUF 寄存器映射和复位值

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**VREFBUF_CSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	VRR	VRS	HIZ	ENVR
	Reset value																													0	0	1	0
0x04	**VREFBUF_CCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TRIM[5:0]					
	Reset value																											x	x	x	x	x	x

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

17 比较器 (COMP)

17.1 简介

STM32G071xx 和 STM32G081xx 器件内置两个超低功耗比较器（COMP1 和 COMP2）。

这两个比较器可用于多种功能，包括：

- 在模拟信号的触发下从低功耗模式唤醒。
- 模拟信号调理。
- 与定时器的 PWM 输出结合使用时，构成逐周期电流控制环路。

17.2 COMP 主要特性

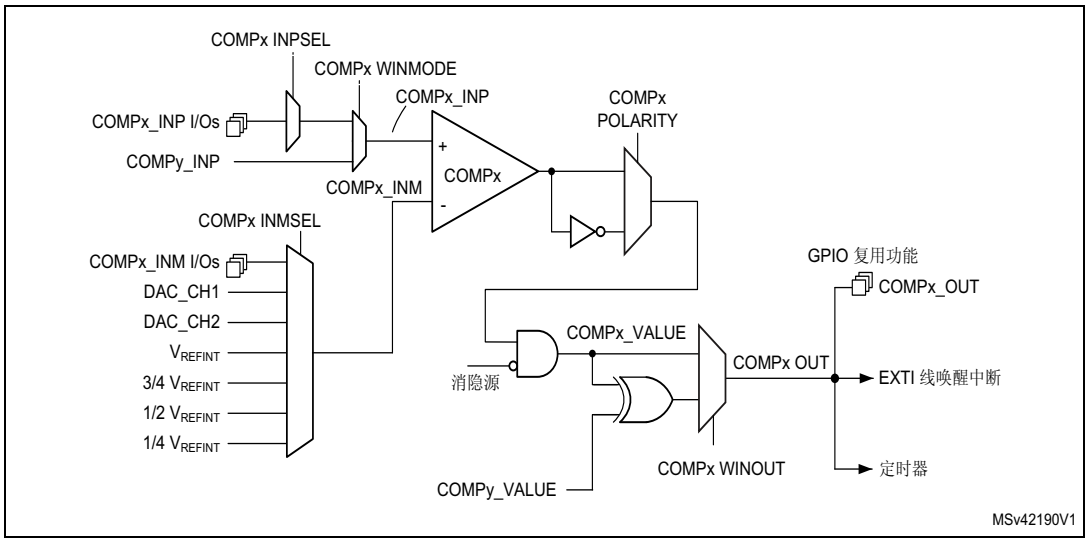
- 每个比较器都具有可配置的正输入和负输入，用于灵活选择电压：
  - 复用 I/O 引脚
  - DAC 通道 1 和通道 2
  - 通过调节器（缓冲分压器）提供的内部参考电压和三个因数分压值（1/4、1/2、3/4）
- 可编程迟滞
- 可编程速度/功耗
- 输出可以重定向到用于触发以下事件的 I/O 或定时器输入：
  - 刹车事件（用于快速 PWM 关断）
- 消隐源比较器输出
- 两个比较器可以组合构成窗口比较器
- 每个比较器都可产生中断，用于使器件从睡眠模式和停止模式唤醒（通过 EXTI 控制器）

17.3 COMP 功能说明

17.3.1 COMP 框图

比较器的框图如*图 66：比较器框图*所示。

图 66. 比较器框图



17.3.2 COMP 引脚和内部信号

用作比较器输入的 I/O 必须在 GPIO 寄存器中配置为模拟模式。

比较器输出可以使用数据手册的“复用功能映射”表中给出的复用功能通道连接到 I/O。

输出也可以在内部重定向到用于以下用途的各种定时器输入：

- 使用 BKIN 和 BKIN2 输入紧急关断 PWM 信号
- 使用 OCREF_CLR 输入进行逐周期电流控制
- 用于时序测量的输入捕捉

可以在内部和外部同时对比较器输出进行重定向。

表 80. COMP1 非反相输入分配

COMP1_INP	COMP1_INPSEL[1:0]
PC5	00
PB2	01
PA1	10
开路	11

表 81. COMP1 反相输入分配

COMP1_INM	COMP1_INMSEL[3:0]
¼ V_{REFINT}	0000
½ V_{REFINT}	0001
¾ V_{REFINT}	0010
V_{REFINT}	0011
DAC 通道 1	0100
DAC 通道 2	0101
PB1	0110
PC4	0111
PA0	1000
¼ V_{REFINT}	> 1000

表 82. COMP2 非反相输入分配

COMP2_INP	COMP2_INPSEL[1:0]
PB4	00
PB6	01
PA3	10
开路	11

表 83. COMP2 反相输入分配

COMP2_INM	COMP2_INMSEL[3:0]
¼ V_{REFINT}	0000
½ V_{REFINT}	0001
¾ V_{REFINT}	0010
V_{REFINT}	0011
DAC 通道 1	0100
DAC 通道 2	0101
PB3	0110
PB7	0111
PA2	1000
¼ V_{REFINT}	> 1000

17.3.3 COMP 复位和时钟

时钟控制器提供的 COMP 时钟与 APB2 时钟同步。

RCC 控制器中不单独提供其时钟使能控制位。COMP 和 SYSCFG 共用复位和时钟使能位。

注： ***重要提示：****极性选择逻辑和到端口的输出重定向独立于 APB2 时钟。因此，即使在停止模式下比较器仍能正常工作。*

17.3.4 比较器锁定机制

这两个比较器可用于过流或热保护等安全用途。对于具有特定功能安全要求的应用，必须保证在发生意外寄存器访问或程序计数器损坏时，不能更改比较器编程。

为此，可以对比较器控制和状态寄存器进行写保护（只读）。

一旦编程完成，COMPx LOCK 位便会置 1。这将导致整个寄存器变成只读，包括 COMPx LOCK 位。

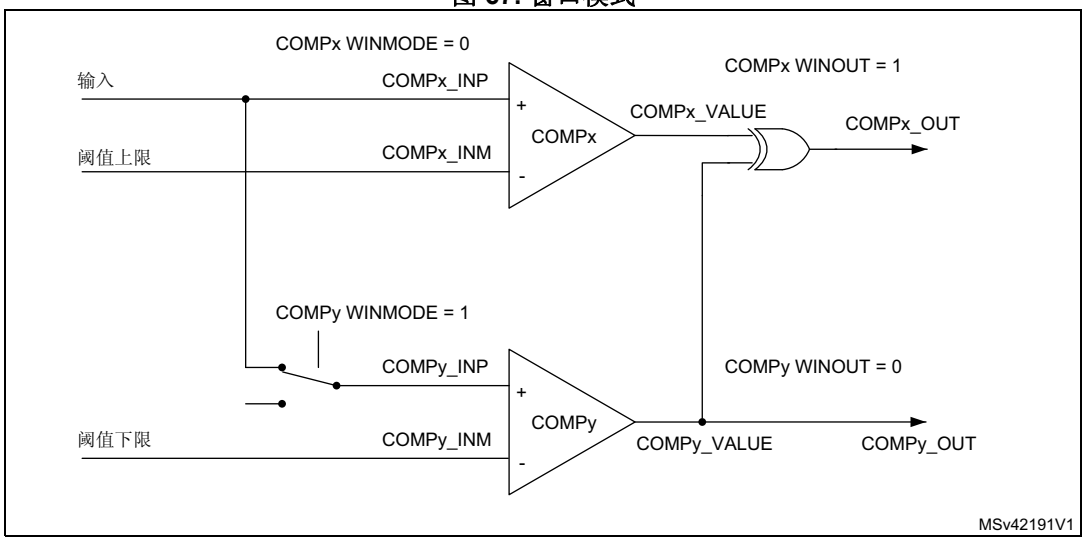
只能通过 MCU 复位来复位写保护。

17.3.5 窗口比较器

窗口比较器用于监视模拟电压是否处于阈值上下限所定义的特定电压范围内。

可使用两个嵌入式比较器创建窗口比较器。受监视的模拟电压连接到连在一起的比较器的非反相 (+) 输入，阈值上下限电压连接到比较器的反相 (-) 输入。可通过使能 WINMODE 位将两个非反相输入在内部连在一起，进而保留一个 IO 用于其他用途。

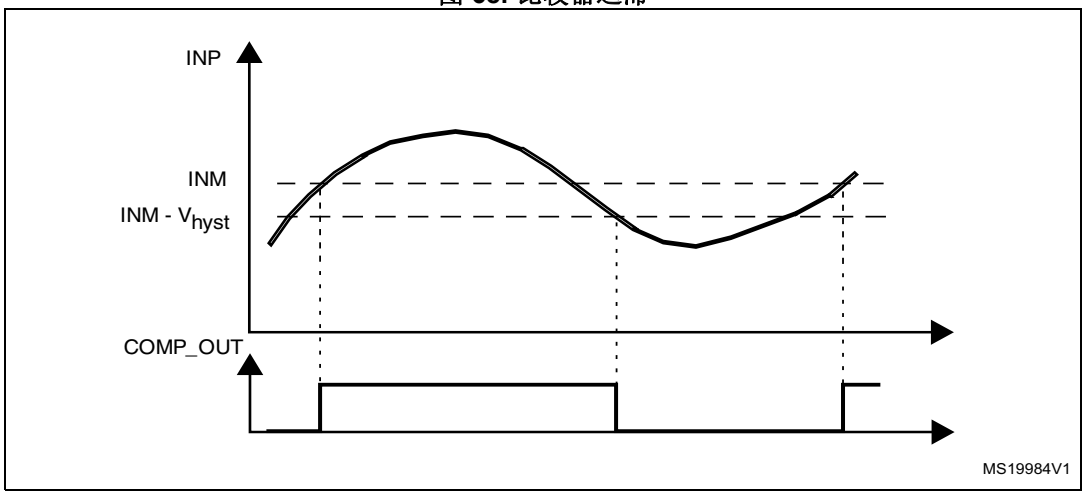
图 67. 窗口模式



17.3.6 迟滞

比较器具有可编程迟滞，可在有噪声信号时避免发生意外输出转换。迟滞可在不需要时（例如，退出低功耗模式时）禁止，以便使用外部组件强制迟滞值。

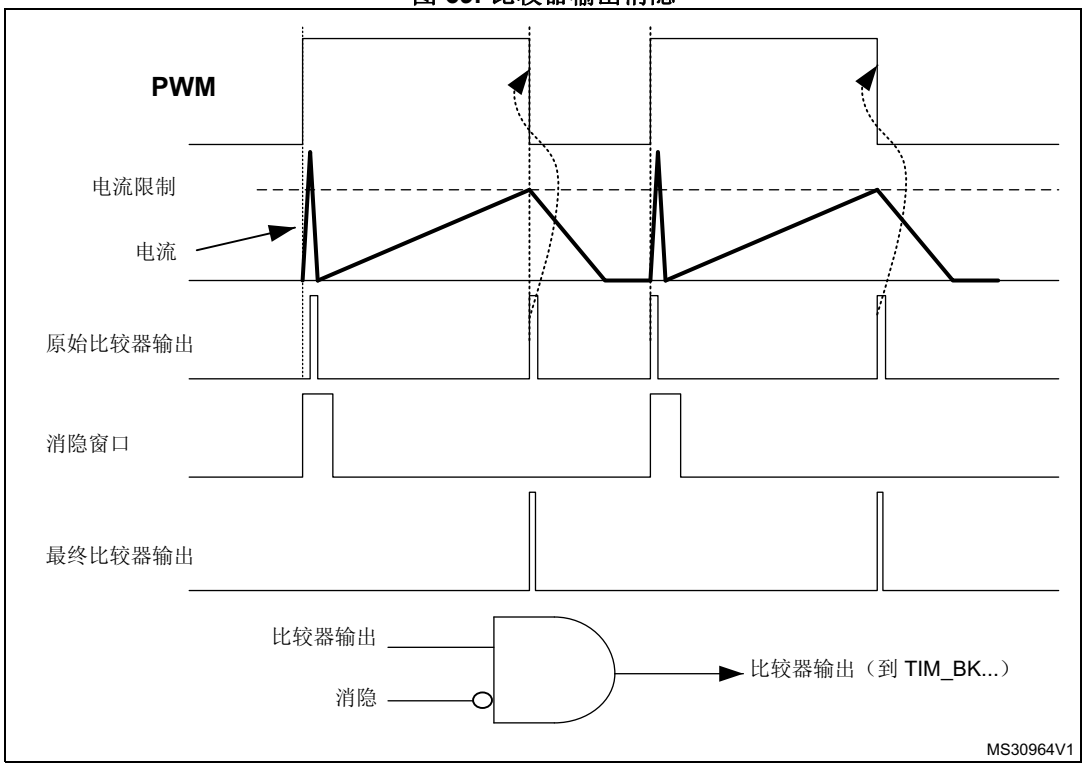
图 68. 比较器迟滞



17.3.7 比较器输出消隐功能

消隐功能的目的是防止电流调节在 PWM 周期开始处出现短暂电流尖峰（通常为功率开关反向并联二极管中的恢复电流）时发生跳闸。其包括选择的消隐窗口,对应定时器比较输出信号。通过软件进行选择（请参见比较器寄存器说明，了解可能的消隐信号）。然后，将消隐信号的补码与比较器输出执行逻辑“与”运算，以提供所需比较器输出。请参见下图所示的示例。

图 69. 比较器输出消隐



17.3.8 COMP 功耗和速度模式

对于给定的应用，可调节 COMP1 和 COMP2 功耗与传播延迟以获得最佳平衡。

COMPx_CSR 寄存器的位 PWRMODE[1:0] 可编程为如下值：

00：高速/全功耗

01、10 或 11：中速/中等功耗

17.4 COMP 低功耗模式

表 84. 低功耗模式下的比较器行为

模式	说明
睡眠	对比较器无影响。 比较器中断可使器件退出睡眠模式。
低功耗运行	无影响。
低功耗睡眠	无影响。COMP 中断可使器件退出低功耗睡眠模式。
停止 0	对比较器无影响。 比较器中断可使器件退出停止模式。
停止 1	
待机	COMP 寄存器掉电，退出待机或关断模式后必须重新初始化。
关断	

17.5 COMP 中断

比较器输出从内部连接到扩展中断和事件控制器。每个比较器都有其各自的 EXTI 线，能够产生中断或事件。该机制还可用于退出低功耗模式。

更多详细信息，请参见中断和事件部分。

要使能 COMPx 中断，需要遵循以下顺序：

1. 将对应于 COMPx 输出事件的 EXTI 线配置为中断模式并将其使能，然后选择上升沿有效、下降沿有效或二者均有效
2. 配置并使能映射到相应 EXTI 线的 NVIC IRQ 通道
3. 使能 COMPx

表 85. 中断控制位

中断事件	事件标志	使能控制位	退出睡眠模式	退出停止模式	退出待机模式
COMP1 输出	COMP1_CSR 中的 VALUE	通过 EXTI	是	是	N/A
COMP2 输出	COMP2_CSR 中的 VALUE	通过 EXTI	是	是	N/A

17.6 COMP 寄存器

17.6.1 比较器 1 控制和状态寄存器 (COMP1_CSR)

Comparator 1 control and status register

COMP1_CSR 为比较器 1 控制/状态寄存器。此寄存器包含与比较器 1 相关的所有位/标志。

偏移地址：0x00

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	Res.	Res.	BLANKSEL					PWRMODE		HYST	
rw	r						rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLARITY	WINOUT	Res.	Res.	WINMODE	Res.	INPSEL		INMSEL				Res.	Res.	Res.	EN
rw	rw			rw		rw	rw	rw	rw	rw	rw				rw

位 31 **LOCK**：COMP1_CSR 寄存器锁定 (COMP1_CSR register lock)

此位由软件置 1，由系统复位清零。它将锁定比较器 1 控制寄存器 COMP1_CSR[31:0] 的全部内容：

0：COMP1_CSR[31:0] 寄存器读/写位可由软件写入

1：COMP1_CSR[31:0] 寄存器位可以由软件读取，但不能由软件写入

位 30 **VALUE**：比较器 1 输出状态 (Comparator 1 output status)

此位为只读。它反映极性选择器和消隐后比较器 1 输出的电平，如*图 66* 所示。

位 29:25 保留，必须保持复位值

位 24:20 **BLANKSEL[1:0]**：比较器 1 消隐源选择器 (Comparator 1 blanking source selector)

此位域由软件控制（如果未锁定），用于选择消隐源：

00000：无（无消隐）

xxxx1：TIM1 OC4

xxx1x：TIM1 OC5

xx1xx：TIM2 OC3

x1xxx：TIM3 OC3

1xxxx：TIM15 OC2

位 19:18 **PWRMODE[1:0]**：比较器 1 功耗模式选择器 (Comparator 1 power mode selector)

此位域由软件控制（如果未锁定），用于选择比较器 1 的功耗，进而选择比较器 1 的速度：

00：高速

01：中速

其他值：保留

位 17:16 **HYST[1:0]**：比较器 1 迟滞选择器 (Comparator 1 hysteresis selector)

此位域由软件控制（如果未锁定），用于选择比较器 1 的迟滞：

00：无

01：低

10：中

11：高

位 15 **POLARITY**：比较器 1 极性选择器 (Comparator 1 polarity selector)

此位由软件控制（如果未锁定），用于选择比较器 1 的输出极性：

0：非反相

1：反相

位 14 **WINOUT**：比较器 1 输出选择器 (Comparator 1 output selector)

此位由软件控制（如果未锁定），用于选择比较器 1 的输出：

0：COMP1_VALUE

1：COMP1_VALUE XOR COMP2_VALUE（窗口模式需要，请参见*图 67*）

位 13:12 保留，必须保持复位值

位 11 **WINMODE**：窗口模式的比较器 1 非反相输入选择器 (Comparator 1 non-inverting input selector for window mode)

此位由软件控制（如果未锁定），用于选择比较器 1 的 COMP1_INP 输入的信号：

0：通过该寄存器的 INPSEL[1:0] 位域选择的信号

1：比较器 2 的 COMP2_INP 信号（窗口模式需要，请参见*图 67*）

位 10 保留，必须保持复位值

位 9:8 **INPSEL[1:0]**：比较器 1 非反相输入的信号选择器 (Comparator 1 signal selector for non-inverting input)

此位域由软件控制（如果未锁定），用于选择比较器 1 的非反相输入 COMP1_INP 的信号（另请参见 WINMODE 位）：

00：PC5

01：PB2

10：PA1

11：无（断开）

位 7:4 **INMSEL[3:0]**：比较器 1 反相输入 INM 的信号选择器 (Comparator 1 signal selector for inverting input INM)

此位域由软件控制（如果未锁定），用于选择比较器 1 的反相输入 COMP1_INM 的信号：

0000：1/4 V_{REFINT}

0001：1/2 V_{REFINT}

0010：3/4 V_{REFINT}

0011：V_{REFINT}

0100：DAC 通道 1

0101：DAC 通道 2

0110：PB1

0111：PC4

1000：PA0

> 1000：1/4 V_{REFINT}

位 3:1 保留，必须保持复位值

位 0 **EN**：比较器 1 使能位 (Comparator 1 enable bit)

此位由软件控制（如果未锁定），用于使能比较器 1：

0：禁止

1：使能

17.6.2 比较器 2 控制和状态寄存器 (COMP2_CSR)

Comparator 2 control and status register

COMP2_CSR 为比较器 2 控制/状态寄存器。此寄存器包含与比较器 2 相关的所有位/标志。

偏移地址：0x04

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LOCK	VALUE	Res.	Res.	Res.	Res.	Res.	BLANKSEL					PWRMODE		HYST	
rw	r						rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLARITY	WINOUT	Res.	Res.	WINMODE	Res.	INPSEL		INMSEL				Res.	Res.	Res.	EN
rw	rw			rw		rw	rw	rw	rw	rw	rw				rw

位 31 **LOCK**：COMP2_CSR 寄存器锁定 (COMP2_CSR register lock)

此位由软件置 1，由系统复位清零。它将锁定比较器 2 控制寄存器 COMP2_CSR[31:0] 的全部内容：

0：COMP2_CSR[31:0] 寄存器读/写位可由软件写入

1：COMP2_CSR[31:0] 寄存器位可以由软件读取，但不能由软件写入

位 30 **VALUE**：比较器 2 输出状态 (Comparator 2 output status)

此位为只读。它反映极性选择器和消隐后比较器 2 输出的电平，如*图 66* 所示。

位 29:25 保留，必须保持复位值

位 24:20 **BLANKSEL[4:0]**：比较器 2 消隐源选择器 (Comparator 2 blanking source selector)

此位域由软件控制（如果未锁定），用于选择消隐源：

00000：无（无消隐）

xxxx1：TIM1 OC4

xxx1x：TIM1 OC5

xx1xx：TIM2 OC3

x1xxx：TIM3 OC3

1xxxx：TIM15 OC2

位 19:18 **PWRMODE[1:0]**：比较器 2 功耗模式选择器 (Comparator 2 power mode selector)

此位域由软件控制（如果未锁定），用于选择比较器 2 的功耗，进而选择比较器 2 的速度：

00：高速

01：中速

其他值：保留

位 17:16 **HYST[1:0]**：比较器 2 迟滞选择器 (Comparator 2 hysteresis selector)

此位域由软件控制（如果未锁定），用于选择比较器 2 的迟滞：

00：无

01：低

10：中

11：高

位 15 **POLARITY**：比较器 2 极性选择器 (Comparator 2 polarity selector)

此位由软件控制（如果未锁定），用于选择比较器 2 的输出极性：

0：非反相

1：反相

位 14 **WINOUT**：比较器 2 输出选择器 (Comparator 2 output selector)

此位由软件控制（如果未锁定），用于选择比较器 2 的输出：

0：COMP2_VALUE

1：COMP1_VALUE XOR COMP2_VALUE（窗口模式需要，请参见*图 67*）

位 13:12 保留，必须保持复位值

位 11 **WINMODE**：窗口模式的比较器 2 非反相输入选择器 (Comparator 2 non-inverting input selector for window mode)

此位由软件控制（如果未锁定），用于选择比较器 2 的 COMP2_INP 输入的信号：

0：通过该寄存器的 INPSEL[1:0] 位域选择的信号

1：比较器 1 的 COMP1_INP 信号（窗口模式需要，请参见*图 67*）

位 10 保留，必须保持复位值

位 9:8 **INPSEL[1:0]**：比较器 2 非反相输入的信号选择器 (Comparator 2 signal selector for non-inverting input)

此位域由软件控制（如果未锁定），用于选择比较器 2 的非反相输入 COMP2_INP 的信号（另请参见 WINMODE 位）：

00：PB4

01：PB6

10：PA3

11：无（断开）

位 7:4 **INMSEL[3:0]**：比较器 2 反相输入 INM 的信号选择器 (Comparator 2 signal selector for inverting input INM)

此位域由软件控制（如果未锁定），用于选择比较器 2 的反相输入 COMP2_INM 的信号：

0000：1/4 V_{REFINT}

0001：1/2 V_{REFINT}

0010：3/4 V_{REFINT}

0011：V_{REFINT}

0100：DAC 通道 1

0101：DAC 通道 2

0110：PB3

0111：PB7

1000：PA2

> 1000：1/4 V_{REFINT}

位 3:1 保留，必须保持复位值

位 0 **EN**：比较器 2 使能位 (Comparator 2 enable bit)

此位由软件控制（如果未锁定），用于使能比较器 2：

0：禁止

1：使能

17.6.3 COMP 寄存器映射

下表对比较器寄存器进行了汇总。

比较器寄存器与 SYSCFG 外设寄存器基址相同。

表 86. COMP 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x200	**COMP1_CSR**	LOCK	VALUE	Res.	Res.	Res.	Res.	Res.	BLANKSEL[4:0]					PWRMODE[1:0]		HYST		POL	WINOUT	Res.	Res.	WINMODE	Res.	INPSEL[1:0].		INMSEL[3:0]				Res.	Res.	Res.	EN
	Reset value	0	0						0	0	0	0	0	0	0	0	0	0	0			0		0	0	0	0	0	0				0
0x204	**COMP2_CSR**	LOCK	VALUE	Res.	Res.	Res.	Res.	Res.	BLANKSEL[4:0]					PWRMODE[1:0]		HYST		POL	WINOUT	Res.	Res.	WINMODE	Res.	INPSEL[1:0].		INMSEL[3:0]				Res.	Res.	Res.	EN
	Reset value	0	0						0	0	0	0	0	0	0	0	0	0	0			0		0	0	0	0	0	0				0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

18 真随机数发生器 (RNG)

18.1 简介

RNG 是一个真随机数发生器，可向应用程序提供作为 32 位采样的全熵输出，它由一个实时熵源（模拟）和一个内部调节组件构成。

RNG 可作为一个实时熵源用来构建符合 NIST 要求的确定性随机位发生器 (DRBG)。

RNG 真随机数发生器已按照德国 BSI AIS-31 统计测试（T0 到 T8）进行了测试。

18.2 RNG 主要特性

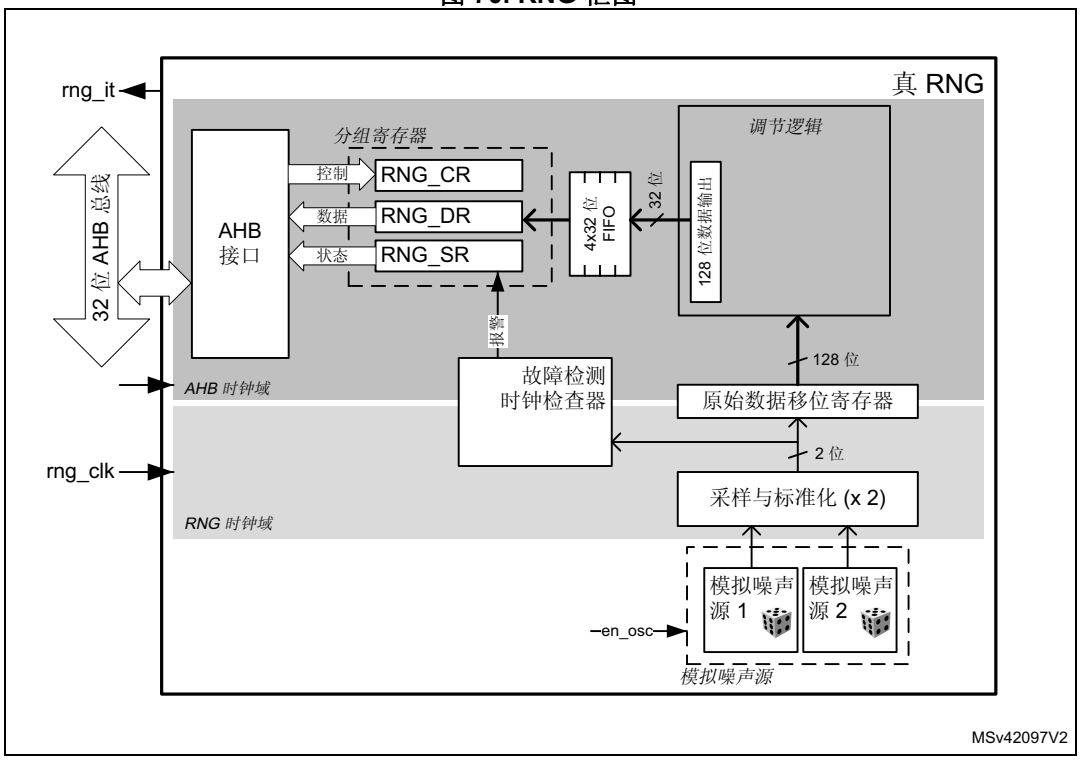
- RNG 提供的 32 位真随机数由模拟熵源生成并通过高质量调节级进行处理。
- 如果值大于 213 个周期（否则为 213 个周期），则每 16x $\frac{f_{AHB}}{f_{RNG}}$ AHB 个时钟周期生成四个 32 位随机采样。
- 支持内置连续基本运行状态测试及相关错误管理
  - 包括过低采样时钟检测和重复计数测试。
- 可被禁止以降低功耗。
- 具有 AMBA® AHB 从外设，仅支持 32 位字单次访问（否则，会生成 AHB 总线错误，并会忽略写访问）。

18.3 RNG 功能说明

18.3.1 RNG 框图

图 70 显示了 RNG 框图。

图 70. RNG 框图



18.3.2 RNG 内部信号

表 87 中列出了 RNG 级而非 STM32 产品级（焊盘上）所提供的内部信号，对这些信号有所了解会很有用。

表 87. RNG 内部输入 / 输出信号

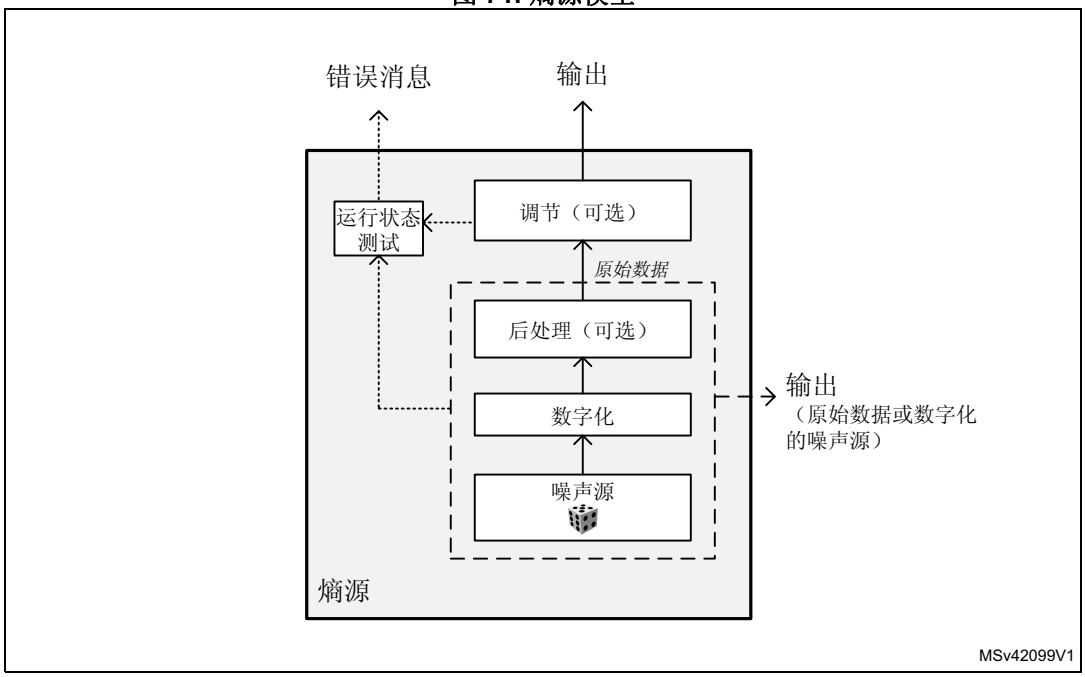
信号名称	信号类型	说明
rng_it	数字输出	RNG 全局中断请求
rng_hclk	数字输入	AHB 时钟
rng_clk	数字输入	RNG 专用时钟，与 rng_hclk 异步

18.3.3 随机数生成

真随机数发生器 (RNG) 按确定的间隔通过其 AHB 接口提供真随机数。RNG 可实现*图 71* 所示的熵源模型，并为应用程序提供三个主要功能：

- 采集熵源的位串输出
- 获取噪声源采样，用于验证目的
- 采集连续运行状态测试得到的错误消息

图 71. 熵源模型



RNG 的主要组件包括：

- 物理随机源（模拟噪声源）
- 模拟噪声源的数字化处理级
- 模拟噪声源的加密处理级
- 输出缓冲区，用于缓冲熵源输出和噪声源采样
- 运行状态监视模块，用于对整个熵源执行测试

下文对所有组件进行了详细介绍。

噪声源：

噪声源组件包含不确定性的、能够提供熵值的活动，其最终决定了由熵源产生的输出位串的不确定性。它包括：

- 两个模拟噪声源，每个噪声源由三个自由运行的环形振荡器输出异或 (XOR) 而成。可以禁止这些模拟振荡器以实现节能，如*第 18.3.8 节：RNG 低功耗使用*所述。
- 这些输出的采样级由专用时钟输入 (**rng_clk**) 提供时钟信号，输出 2 位原始数据。

该噪声源采样与 AHB 接口时钟频率 (**rng_hclk**) 无关。

注： *第 18.6 节：RNG 熵源验证中提供了建议使用的 RNG 时钟频率。*

后期处理

从真随机噪声源获取的采样值由 2 位的位串组成。由于该噪声源输出有偏差，因此 RNG 会利用后期处理组件将偏差降至可接受的水平。

更具体来讲，对于每个噪声源产生的 2 位数值，一位是由 RNG 取自采样噪声源，另一位是对取自采样噪声源的值取反。因此，如果噪声源生成的“1”多于“0”（或者相反），则噪声源会被过滤掉

调节

RNG 中的调节组件是确定性函数，可以提高生成固定长度位串输出（128 位）的熵率。

注： *第 18.5 节：RNG 处理时间中介绍了 RNG 初始化过程中的延时。*

另外请注意，如果已经接收了 32 或更多位原始数据，并且输出 FIFO 需要重新填充，则会触发后期处理计算。因此，当 RNG 128 位 FIFO 在 64 个 RNG 时钟周期后被应用程序清空时，RNG 输出熵为最大值。

*第 18.5 节：RNG 处理时间*中给出了生成两个随机数之间，以及 RNG 初始化和第一个采样可用之间所需的时间。

调节组件由更快的 AHB 时钟提供时钟信号。

输出缓冲区

数据输出缓冲区最多可存储四个从调节组件输出的 32 位字。如果已通过 RNG_DR 寄存器从输出 FIFO 读取了四个字，则 128 位调节输出寄存器的内容会被推送到输出 FIFO 中，同时自动启动新的一轮调节。213 个 AHB 时钟周期后，会将四个新字添加到调节输出寄存器。

当通过 RNG_DR 寄存器可获取随机数时，DRDY 标志就从“0”变为“1”。该标志会保持在置 1 状态，直至从 RNG_DR 寄存器读取四个字后输出缓冲区变空。

注： *如果使能了中断，则当该数据就绪标志从“0”变为“1”时，会产生中断。随后，中断会自动由 RNG 清零，如上所述。*

运行状态检查

该组件可确保整个熵源（包括其噪声源）正常启动并按预期运行，能够快速准确地定位故障，从而提供了高可靠性保证。

RNG 针对寄存器的推荐值实现以下运行状态检查功能：RNG_HCTR（见*第 18.6.2 节*）。

1. 连续运行状态测试，无限期地在噪声源输出上运行
   - 重复计数测试，在以下情况时会指示发生错误：
   a) 其中一个噪声源持续不变地输出了 64 位或以上的“0”或“1”，或者 32 个或以上的“01”或“10”。
   b) 两个噪声源都持续不变地输出了 32 位或以上的“0”或“1”，或者 16 个或以上的“01”或“10”。
2. 厂商专用连续测试
   - 实时“过慢”采样时钟检测器，如果一个 RNG 时钟周期小于 AHB 时钟周期的 32 分之一，则该检测器会指示错误。

RNG_SR 寄存器中的 CECS 和 SECS 状态位会在检测到错误条件时进行指示，*第 18.3.7 节：错误管理*对此进行了详细说明。

注： *检测到错误时生成中断。*

18.3.4 RNG 初始化

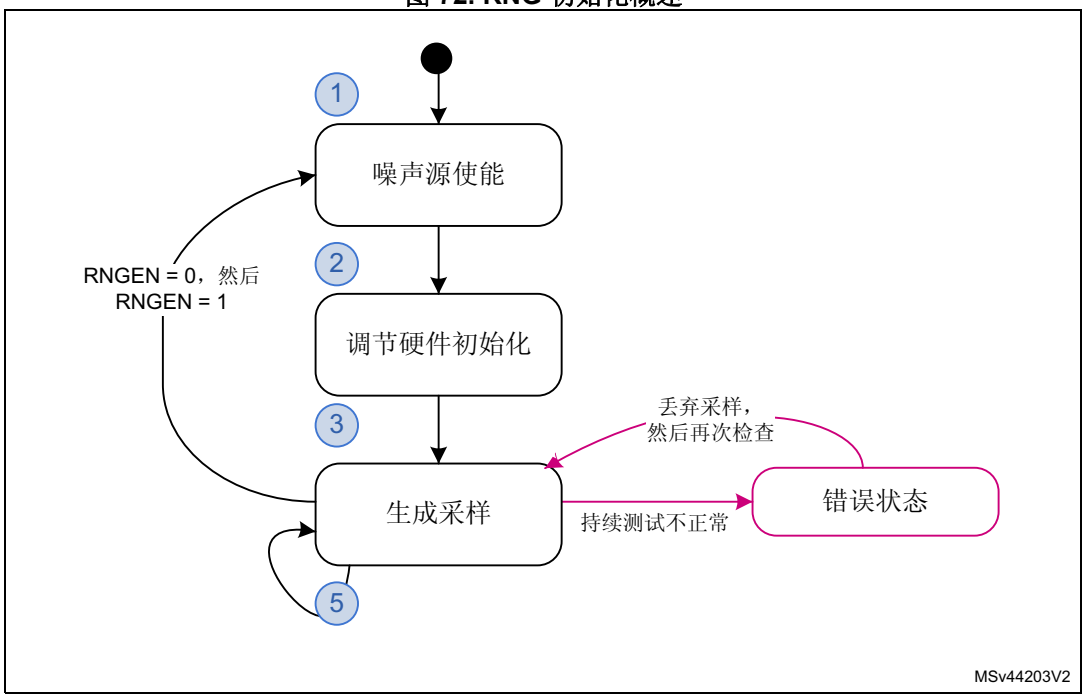
RNG 简化状态机如*图 72* 所示

使能 RNG（RNG_CR 中的 RNGEN=1）后，会发生以下一系列事件：

1. 使能模拟噪声源，逻辑系统立即开始采样模拟输出并填充 128 位调节移位寄存器。
2. 使能调节逻辑并且使用两个 128 噪声源位初始化后期处理上下文。
3. 再次用 128 位数据填充调节级内部输入数据缓冲区，并执行一轮调节。然后使用后期处理结果填充输出缓冲区。
4. 输出缓冲区会按照 RNG 使用情况自动重填。

相关初始化时间请参见*第 18.5 节：RNG 处理时间*。

图 72. RNG 初始化概述



18.3.5 RNG 操作

正常工作

要使用中断运行 RNG，建议执行以下步骤：

1. 通过将 RNG_CR 寄存器中的 IE 位置 1 来使能中断。同时通过将 RNGEN 位置 1 来使能 RNG。
2. 这以后，准备好随机数时或出现错误时就产生中断。因此，每次发生中断时，应检查：
   - 未发生错误。RNG_SR 寄存器中的 SEIS 和 CEIS 位应置 0。
   - 随机数准备就绪。RNG_SR 寄存器中的 DRDY 位必须置 1。
   - 如果满足以上两个条件，最多可连续四次读取 RNG_DR 寄存器的内容。如果调节输出缓冲区中存在有效数据，则应用程序可以额外读取四个字（此时 DRDY 位仍保持为 1）。如果上述条件中有一个或两个都无法满足，则不得读取 RNG_DR 寄存器。如果发生错误，则应使用*第 18.3.7 节*中介绍的错误恢复序列。

要在轮询模式下运行 RNG，建议执行以下步骤：

1. 通过将 RNG_CR 寄存器中的 RNGEN 位置“1”使能随机数生成。
2. 读取 RNG_SR 寄存器并检查：
   – 未发生错误（SEIS 和 CEIS 位应置 0）
   – 随机数准备就绪（DRDY 位应置 1）
3. 如果满足以上两个条件，最多可连续四次读取 RNG_DR 寄存器的内容。如果调节输出缓冲区中存在有效数据，则应用程序可以额外读取四个字（此时 DRDY 位仍保持为 1）。如果上述条件中有一个或两个都无法满足，则不得读取 RNG_DR 寄存器。如果发生错误，则应使用*第 18.3.7 节*中介绍的错误恢复序列。

注： *如果数据未就绪（DRDY = “0”），则 RNG_DR 会返回 0。*

低功耗运行

如果应用程序比较关注功耗，则可以使用低功耗策略，如*第 18.3.8 节：RNG 低功耗使用*所述。

软件后期处理

无需进行特定的软件后期处理/调节即可满足 AIS-31 认证。如果需要安全强度为 128 位、符合 NIST 要求的 DRBG，则必须基于 RNG 真随机数发生器构建符合要求的随机数发生器软件。

*第 18.3.3 节：随机数生成*介绍了内置的运行状态检查功能。

18.3.6 RNG 时钟

RNG 在两个不同的时钟上运行：AHB 总线时钟和专用 RNG 时钟。

AHB 时钟用于为 AHB 分组寄存器和调节组件提供时钟信号。RNG 时钟用于噪声源采样。*第 18.6 节：RNG 熵源验证*中详细介绍了建议使用的时钟配置。

注： *如果 RNG_CR 寄存器中的 CED 位置“0”，那么 RNG 时钟频率必须大于 AHB 时钟频率的 32 分之一，否则时钟检查器会始终指示时钟错误（RNG_SR 寄存器中的 CECS=1）。*

详细信息参见*第 18.3.1 节：RNG 框图*（AHB 和 RNG 时钟域）。

18.3.7 错误管理

运行状态检查模块在生成随机数的同时还验证噪声源行为以及 RNG 源时钟频率是正常的，具体说明见本部分。另外，还描述了相关的错误状态。

时钟错误检测

如果时钟错误检测已使能 (CED = 0) 且 RNG 时钟频率过低，RNG 会将 **CEIS** 和 **CECS** 位都置“1”，指示发生了时钟错误。在这种情况下，应用程序应检查 RNG 时钟是否配置正确（参见*第 18.3.6 节：RNG 时钟*），随后必须将中断标志 CEIS 位清零。当时钟恢复正常时，CECS 位自动清零。

注： *时钟错误对生成的随机数没有影响，即应用程序仍然可以读取 RNG_DR 寄存器。*

仅当 RNG 将 CECS 置“1”时，CEIS 才置 1。

噪声源错误检测

如果发生噪声源（或种子）错误，RNG 会停止生成随机数，并会将 **SEIS** 和 **SECS** 位都置“1”，指示发生了种子错误。如果 RNG_DR 寄存器中有可用值，不能使用该值，因为它可能没有足够的熵。如果在初始化阶段检测到错误，则 RNG 将自动重启整个初始化序列。

要从 RNG 初始化后的种子错误中完全恢复，应使用以下序列：

1. 向 SEIS 位写入“0”，将该位清零。
2. 从 RNG_DR 寄存器读取 12 个字，并将每个字丢弃，将管道清空。
3. 确认 SEIS 仍处于清零状态。随机数生成恢复正常。

18.3.8 RNG 低功耗使用

考虑到功耗问题，可在 DRDY 位置“1”后立即禁止 RNG，具体方法为将 RNG_CR 寄存器中的 RNGEN 位设为“0”。由于 RNGEN =“0”时后期处理逻辑和输出缓冲区仍处于工作状态，因此软件可使用以下功能：

- 如果输出缓冲区中存在有效字，仍可从 RNG_DR 寄存器中读取四个随机数。
- 如果调节输出内部寄存器中存在有效位，仍可从 RNG_DR 寄存器中额外读取四个随机数。如果不属于以上两种情况，则必须由应用程序重新使能 RNG，直至从噪声源采集了至少 32 个新的位并且完成了一轮完整的调节。这对应于 16 个 RNG 时钟周期来采样新的位，216 个 AHB 时钟周期运行一轮调节。

禁止 RNG 时，用户会禁用所有模拟种子发生器，各发生器的功耗列于器件手册中的电气特性部分。用户还会对所有由 RNG 时钟提供时钟信号的逻辑系统进行门控。请注意，由于 RNG 需要一定的时间进行初始化，因此该策略会在一段延时后才可在 RNG_DR 寄存器中提供随机采样。

如果 RNG 模块在初始化期间（也就是刚好在 DRDY 位首次置 1 之前）被禁止，则初始化序列将从 RNGEN 位置“1”时停止的位置恢复运行。

18.4 RNG 中断

在 RNG 中，发生以下事件时会产生中断：

- 数据就绪标志
- 种子错误，请参见*第 18.3.7 节：错误管理*
- 时钟错误，请参见*第 18.3.7 节：错误管理*

可以使用专用的中断使能控制位，如*表 88* 所示。

表 88. RNG 中断请求

中断缩略语	中断事件	事件标志	使能控制位	中断清除方法
RNG	数据就绪标志	DRDY	IE	无（自动）
	种子错误标志	SEIS	IE	向 SEIS 写入 0 或者先向 CONDRST 写入 1 再写入 0
	时钟错误标志	CEIS	IE	向 CEIS 写入 0

用户可以通过更改 RNG_CR 寄存器中的屏蔽位或通用中断控制位 IE 的方式分别使能或禁止上述中断源。可以从 RNG_SR 寄存器中读取各个中断源的状态。

注： *仅当 RNG 已使能时，才会产生中断。*

18.5 RNG 处理时间

如果值大于 213 个周期（否则为 213 个周期），则每 16x $\frac{f_{AHB}}{f_{RNG}}$ 个时钟周期，调节级可以生成四个 32 位随机数。

设备退出复位状态后需要更长的时间才能生成第一组随机数（请参见*第 18.3.4 节：RNG 初始化*）。事实上，首次使能 RNG 后，会在以下时间后首次提供随机数据：

- 128 RNG 个时钟周期 + 426 个 AHB 周期（$f_{AHB} < f_{threshold}$ 时）
- 192 RNG 个时钟周期 + 213 个 AHB 周期（$f_{AHB} \geq f_{threshold}$ 时）

其中 $f_{threshold} = (213 \times f_{RNG})/ 64$

18.6 RNG 熵源验证

18.6.1 简介

为了评估 RNG 可提供的熵大小，意法半导体按照德国 BSI AIS-31 统计测试（T0 到 T8）对外设进行了测试。测试结果可根据需要提供，客户也可以重现测试结果。

18.6.2 验证条件

意法半导体在以下条件下对 RNG 真随机数发生器进行了测试：

- RNG 时钟 rng_clk= 48 MHz（RNG_CR 寄存器中的 CED 位 =“0”）且 rng_clk = 400 kHz（RNG_CR 寄存器中的 CED 位 =“1”）。

18.6.3 数据采集

为了运行统计测试，需要对熵源的原始数据和输出进行采样。

如果需要为产品检索上述采样，请联系意法半导体。

18.7 RNG 寄存器

RNG 与控制寄存器、数据寄存器和状态寄存器相关联。

18.7.1 RNG 控制寄存器 (RNG_CR)

RNG control register

偏移地址：0x000

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CED	Res.	IE	RNGEN	Res.	Res.
										rw		rw	rw		

位 31:6 保留，必须保持复位值。

位 5 **CED**：时钟错误检测 (Clock error detection)

0：使能时钟错误检测

1：禁止时钟错误检测

当使能 RNG 时，不能实时使能或禁止时钟错误检测，即必须禁止 RNG 才能使能或禁止 CED。

位 4 保留，必须保持复位值。

位 3 **IE**：中断使能 (Interrupt enable)

0：禁止 RNG 中断

1：使能 RNG 中断。如果 RNG_SR 寄存器中 DRDY = “1”、SEIS = “1”或 CEIS = “1”，则中断处于挂起状态。

位 2 **RNGEN**：真随机数发生器使能 (True random number generator enable)

0：禁止真随机数发生器。模拟噪声源关闭，并会对由 RNG 时钟提供时钟信号的逻辑系统进行门控。

1：使能真随机数发生器。

位 1:0 保留，必须保持复位值。

18.7.2 RNG 状态寄存器 (RNG_SR)

RNG status register

偏移地址：0x004

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY
									rc_w0	rc_w0			r	r	r

位 31:7 保留，必须保持复位值。

位 6 **SEIS**：种子错误中断状态 (Seed error interrupt status)

此位与 SECS 同时置 1，通过向其写入 0 来清零。写入 1 无影响。

0：未检测到错误序列

1：至少检测到一个错误序列。有关详细信息，请参见 **SECS** 位说明。

如果 RNG_CR 寄存器中 IE = 1，则会挂起中断。

位 5 **CEIS**：时钟错误中断状态 (Clock error interrupt status)

此位与 CECS 同时置 1，通过向其写入 0 来清零。写入 1 无影响。

0：RNG 时钟正确 (fRNGCLK > fHCLK/32)

1：已检测到 RNG 过慢 (fRNGCLK < fHCLK/32)

如果 RNG_CR 寄存器中 IE = 1，则会挂起中断。

位 4:3 保留，必须保持复位值。

位 2 **SECS**：当前状态种子错误 (Seed error current status)

0：目前未检测到错误序列。如果 SEIS 位置 1，则意味着已检测到错误序列并已恢复正常。

1：至少检测到一个以下错误序列：

– 其中一个噪声源持续不变地输出了 64 位或以上的“0”或“1”，或者 32 个或以上的“01”或“10”。

– 两个噪声源都持续不变地输出了 32 位或以上的“0”或“1”，或者 16 个或以上的“01”或“10”。

位 1 **CECS**：当前状态时钟错误 (Clock error current status)

0：RNG 时钟正确 (fRNGCLK > fHCLK/32)。如果 CEIS 位置 1，则意味着已检测到时钟过慢并已恢复正常。

1：RNG 时钟过慢 (fRNGCLK < fHCLK/32)。

注： 只有 RNG_CR 寄存器中的 CED 位置 0 时，CECS 位才有效。

位 0 **DRDY**：数据就绪 (Data ready)

0：RNG_DR 寄存器尚未有效，无可用随机数据。

1：RNG_DR 寄存器包含有效随机数据。

在输出缓冲区变空之后（读取 RNG_DR 寄存器之后），在生成新的随机值之前，该位返回 0。

注： 当禁止外设时（RNG_CR 寄存器中的 RNGEN = 0），可以将 DRDY 位置 1。

如果 RNG_CR 寄存器中的 IE = 1，则在 DRDY = 1 时生成中断。

18.7.3 RNG 数据寄存器 (RNG_DR)

RNG data register

偏移地址：0x008

复位值：0x0000 0000

RNG_DR 寄存器是只读寄存器，在读取时提供 32 位随机数值。读取该寄存器后，如果输出 FIFO 为空，则该寄存器将在 216 个 AHB 时钟周期之后提供一个新的随机值。

当 DRDY = 1 时，即使 RNGEN = 0，该寄存器的内容也是有效的。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RNDATA[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RNDATA[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:0 **RNDATA[31:0]**：随机数据 (Random data)

DRDY = 1 时有效的 32 位随机数据。DRDY = 0 时，RNDATA 值为 0。

18.7.4 RNG 寄存器映射

表 89 给出了 RNG 寄存器映射和复位值。

表 89. RNG 寄存器映射和复位值

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	RNG_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CED	Res.	IE	RNGEN	Res.	Res.
	Reset value																											0		0	0		
0x004	RNG_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SEIS	CEIS	Res.	Res.	SECS	CECS	DRDY
	Reset value																										0	0			0	0	0
0x008	RNG_DR	RNDATA[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

19 AES 硬件加速器 (AES)

19.1 简介

AES 硬件加速器 (AES) 使用完全符合联邦信息处理标准 FIPS-197 中规定的高级加密标准 (AES) 的算法来对数据进行加密或解密。

支持多种链接模式（ECB、CBC、CTR、GCM、GMAC、CCM），支持 128 或 256 位密钥大小。

AES 加速器为 32 位 AHB 外设。它支持对传入和传出数据进行 DMA 单次传输（需要两个 DMA 通道）。

AES 外设可为 STM32 加密库所实现的 AES 加密算法提供硬件加速。

AES 为 AMBA AHB 从外设，仅支持 32 位字单次访问（否则，会产生 AHB 总线错误）。32 位以外的写入可能损坏寄存器内容。

19.2 AES 主要特性

- 符合自 2001 年 11 月起的 NIST *“高级加密标准 (AES)”*，FIPS-197*”*
- 128 位数据块处理
- 支持 128 位和 256 位密钥长度
- 基于多种链接模式的加密和解密：
  - 电子密码本 (ECB) 模式
  - 密码分组链接 (CBC) 模式
  - 计数器 (CTR) 模式
  - Galois 计数器模式 (GCM)
  - Galois 消息认证码 (GMAC) 模式
  - CBC-MAC 计数器 (CCM) 模式
- ECB 模式的 51 或 75 个时钟周期延迟，用于处理一个包含 128 位或 256 位密钥的 128 位数据块
- 集成有密钥调度器，包括密钥分散阶段（仅限 ECB 或 CBC 解密）
- AMBA AHB 从外设，仅支持 32 位字单次访问
- 256 位寄存器，用于存储加密密钥（8 个 32 位寄存器）
- 128 位寄存器，用于存储初始化向量（4 个 32 位寄存器）
- 32 位缓冲器，用于数据输入和输出
- 采用自动数据流控制，支持单次传输直接存储器访问 (DMA)（使用两个通道，分别用于传入数据和已处理数据）
- 采用数据交换逻辑，支持 1 位、8 位、16 位或 32 位数据
- 在 AES 需要处理优先级更高的消息时，可通过软件将当前消息挂起，然后恢复原始消息

19.3 AES 实现

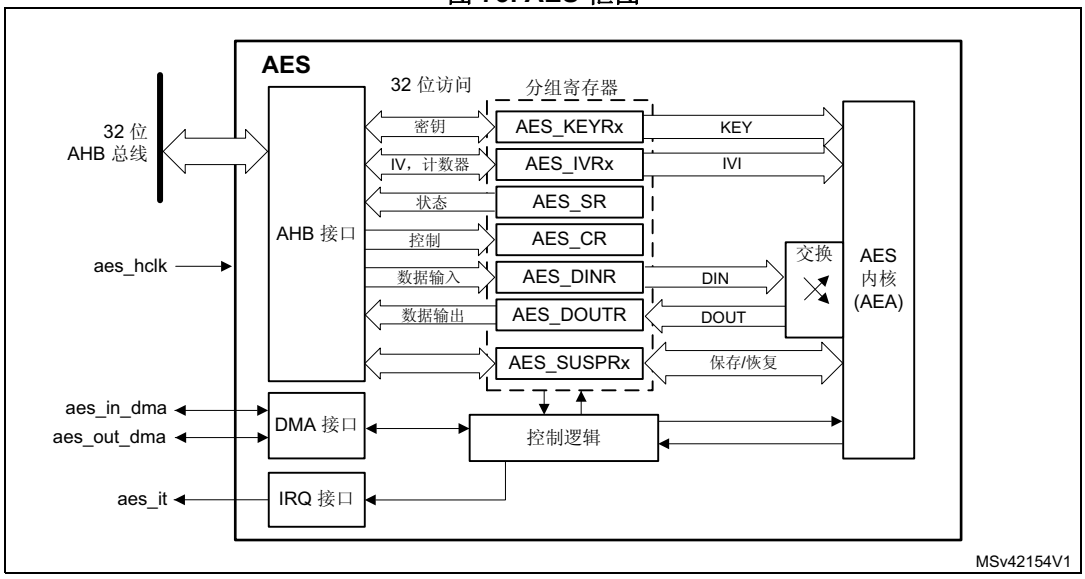
器件具有一个 AES 外设实例。

19.4 AES 功能说明

19.4.1 AES 框图

图 73 显示了 AES 的框图。

图 73. AES 框图



19.4.2 AES 内部信号

表 90 描述了连接 AES 外设的用户相关内部信号。

表 90. AES 内部输入/输出信号

信号名称	信号类型	说明
aes_hclk	数字输入	AHB 总线时钟
aes_it	数字输出	AES 中断请求
aes_in_dma	数字输入/输出	输入 DMA 单次请求/确认
aes_out_dma	数字输入/输出	输出 DMA 单次请求/确认

19.4.3 AES 加密内核

概述

AES 加密内核由以下部分组成：

- AES 算法 (AEA)
- 基于二元 Galois 域的乘法器 (GF2mul)
- 密钥输入
- 初始化向量 (IV) 输入
- 链接算法逻辑（XOR、反馈/计数器、屏蔽）

AES 内核适用于密钥长度为 128 位或 256 位的 128 位数据块（四字）。根据链接模式的不同，AES 可能需要一个 96 位初始化向量 IV（和一个 32 位计数器字段），也可能不需要。

AES 具有以下工作模式：

- **模式 1：**
  使用存储在 AES_KEYRx 寄存器中的密钥实现明文加密
- **模式 2：**
  ECB 或 CBC 解密密钥准备。在选择 ECB 或 CBC 链接模式的模式 3 之前，必须先使用此模式。准备解密的密钥自动存储在 AES_KEYRx 寄存器中。现在，AES 外设准备好切换到模式 3 以执行数据解密。
- **模式 3：**
  使用存储在 AES_KEYRx 寄存器中的密钥实现密文解密。当选择 ECB 和 CBC 链接模式时，必须通过模式 2 预先准备好密钥。
- 模式 4：
  使用存储在 AES_KEYRx 寄存器中的密钥实现 ECB 或 CBC 密文单次解密（初始密钥自动分散）。

注： *仅在执行 ECB 和 CBC 解密时使用模式 2 和模式 4。*

当选择模式 4 时，只能进行一次解密，因此推荐使用模式 2 和模式 3。

通过对 AES_CR 寄存器中的 MODE[1:0] 位域进行编程来选择工作模式。只能在 AES 外设已禁止时进行。

典型数据处理

AES 的典型用法如*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中所述。

注： *中间 AEA 阶段的输出始终不会在加密边界外暴露，IVI 位域除外。*

链接模式

AES 支持以下链接模式，可通过 AES_CR 寄存器的 CHMOD[2:0] 位域选择：

- 电子密码本 (ECB)
- 密码分组链接 (CBC)
- 计数器 (CTR)
- Galois 计数器模式 (GCM)
- Galois 消息认证码 (GMAC)
- CBC-MAC 计数器模式 (CCM)。

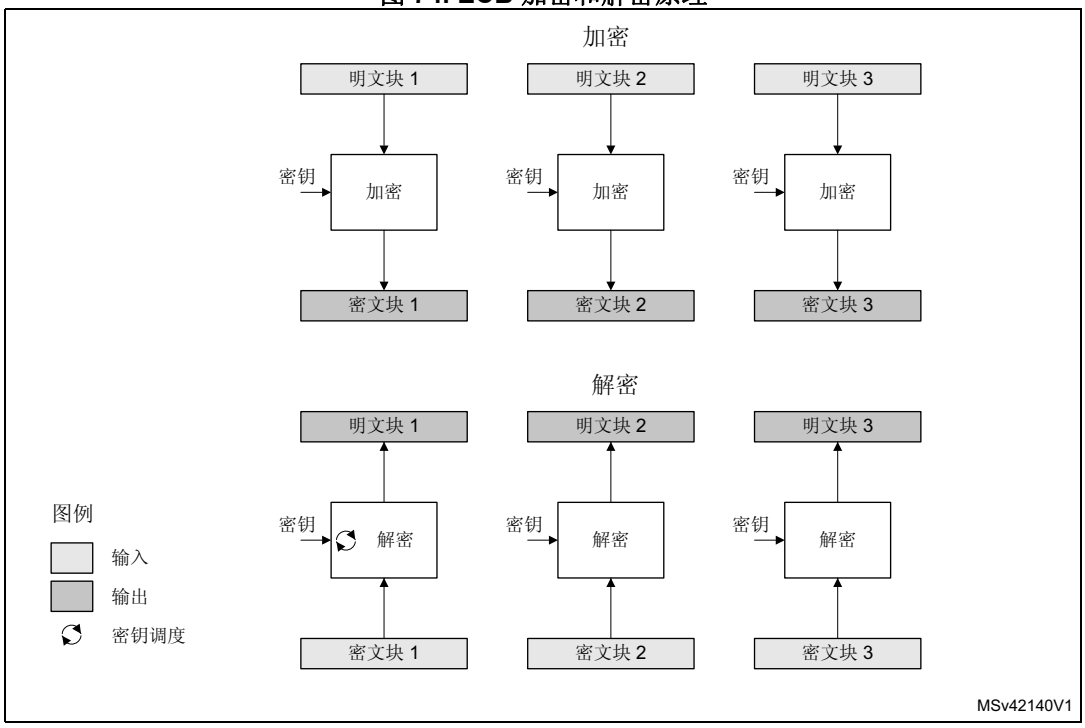
注： *只有在 AES 禁止（AES_CR 寄存器的位 EN 清零）时，才能更改链接模式。*

后续子章节对每个 AES 链接模式的原理进行了介绍。

详细信息请参见从*第 19.4.8 节：AES 基本链接模式（ECB 和 CBC）*开始的对应章节。

电子密码本 (ECB) 模式

图 74. ECB 加密和解密原理

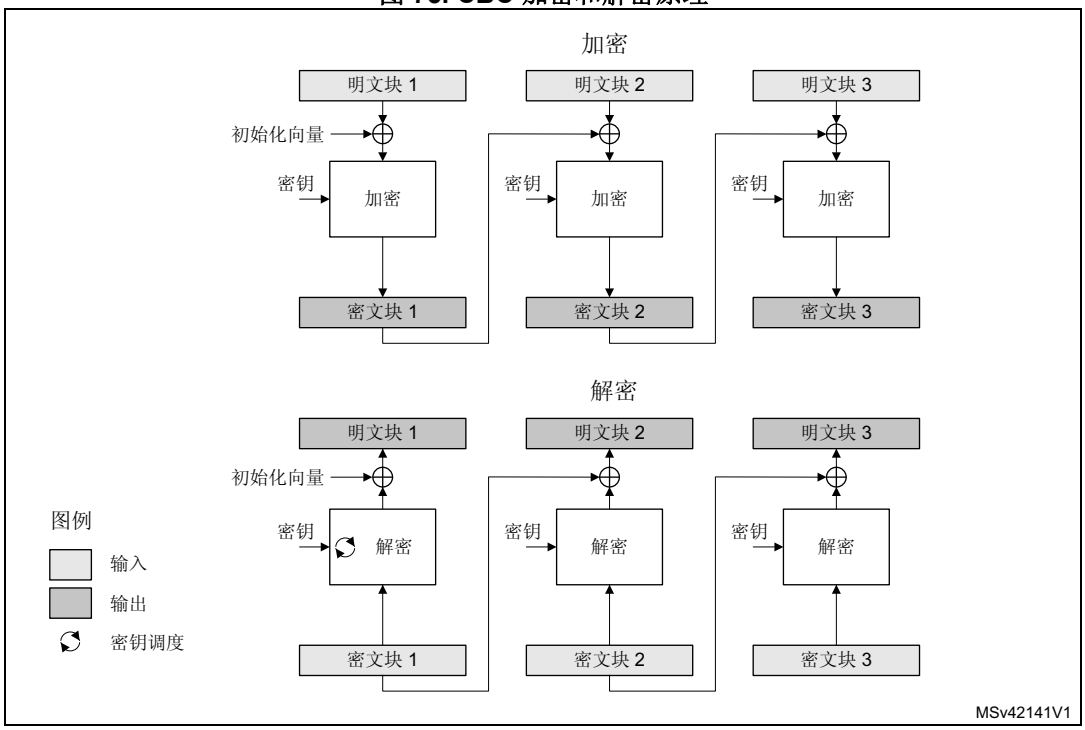


ECB 是最简单的工作模式。无链接操作，且无特殊初始化阶段。消息会划分到各个块中，并对各个块分别进行加密或解密。

注： *对于解密，在处理第一个块之前需要特殊的密钥调度。*

密码分组链接 (CBC) 模式

图 75. CBC 加密和解密原理

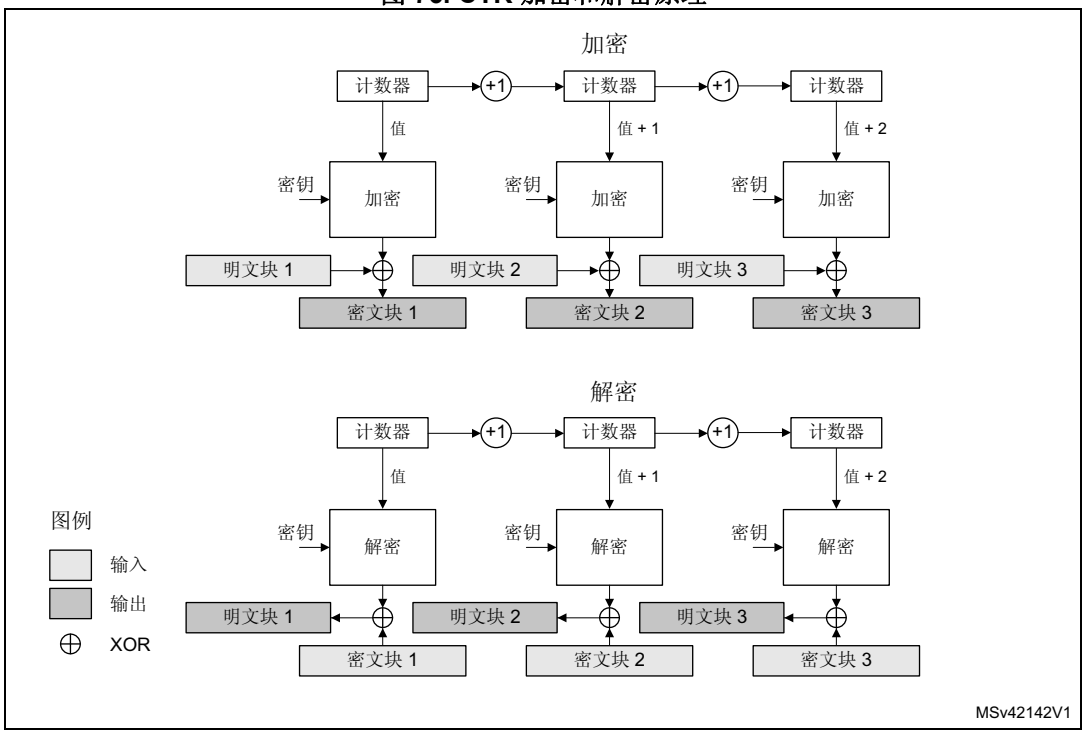


在 CBC 模式下，每个块的输出均与下一个块的输入相连。为了确保每条消息都是唯一的，会在第一个块处理过程中使用初始化向量。

注： *对于解密，在处理第一个块之前需要特殊的密钥调度。*

计数器 (CTR) 模式

图 76. CTR 加密和解密原理

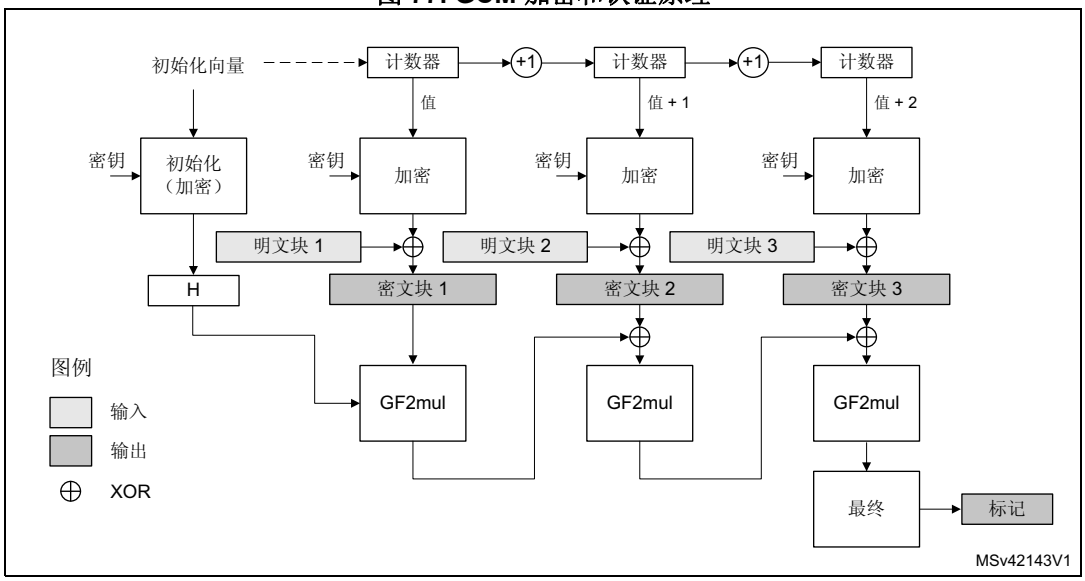


CTR 模式使用 AES 内核生成密钥流。这些密钥将与明文进行逻辑异或运算，以获得密文（如 NIST *特别出版物 800-38A，块密码工作模式的建议*中所述）。

注： *与 ECB 和 CBC 模式不同，CTR 解密无需密钥调度，因为在该链接方案中，AES 内核始终在加密模式下用于生成密钥流或计数器块。*

Galois/计数器模式 (GCM)

图 77. GCM 加密和认证原理

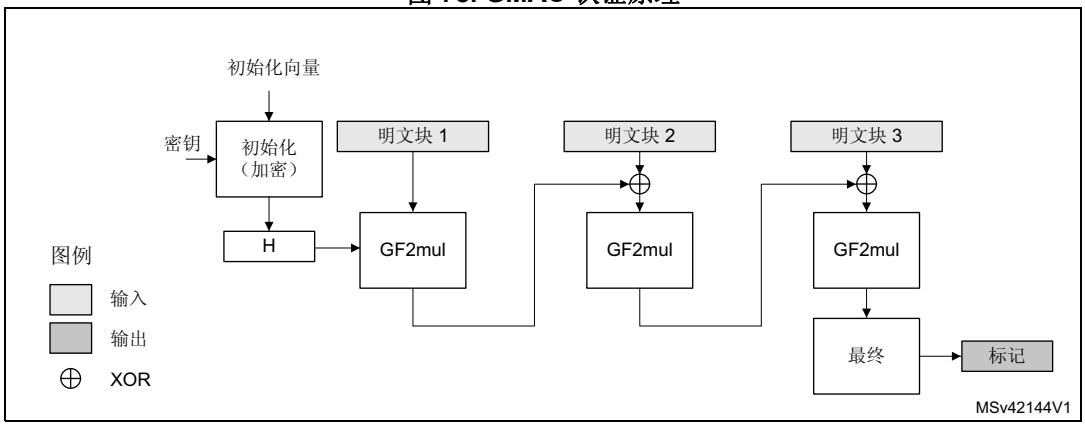


在 Galois/计数器模式 (GCM) 下，将对明文消息进行加密，同时会对消息认证码 (MAC) 进行计算，从而生成相应的密文及其 MAC（也称为认证标记）。NIST *特别出版物 800-38D，块密码工作模式的建议 - Galois/计数器模式 (GCM) 和 GMAC* 中对此进行了相关定义。

GCM 模式基于 AES 计数器模式，可实现机密性。它使用固定有限域乘法器来计算消息认证码。它需要一个初始化值和在消息末尾处的一个特定 128 位块。

Galois 消息认证码 (GMAC) 原理

图 78. GMAC 认证原理

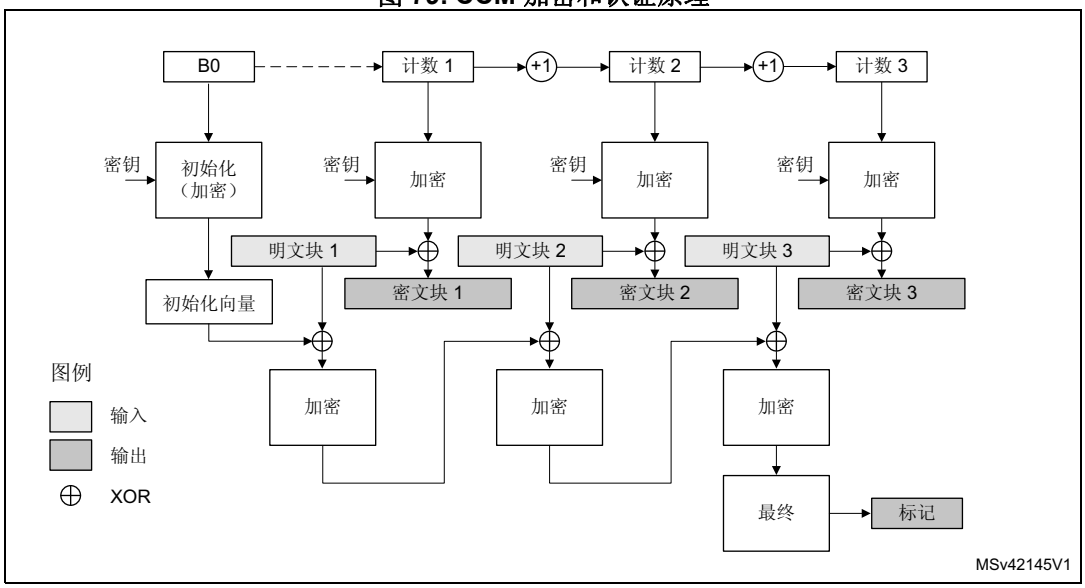


Galois 消息认证码 (GMAC) 允许认证消息并生成相应的消息认证码 (MAC)。NIST *特别出版物 800-38D，块密码工作模式的建议 - Galois/计数器模式 (GCM) 和 GMAC* 中对此进行了相关定义。

GMAC 与 GCM 类似，只不过它应用于仅由明文认证数据组成的消息（即只有标头，无有效负载）。

CBC-MAC 计数器 (CCM) 原理

图 79. CCM 加密和认证原理



在密码块链接-消息认证码计数器 (CCM) 模式下，将对明文消息进行加密，同时会对消息认证码 (MAC) 进行计算，从而生成相应的密文以及相应的 MAC（也称为标记）。NIST *特别出版物 800-38C，块密码工作模式的建议 - CCM 模式实现认证和机密性*中对此进行了介绍。

CCM 模式基于 AES 计数器模式，可实现机密性，并且使用 CBC 来计算消息认证码。它需要一个初始值。

与 GCM 类似，CCM 链接模式可应用于仅由明文认证数据组成的消息（即只有标头，无有效负载）。请注意，这种 CCM 使用方式不被称为 CMAC（它并非类似于 GCM/GMAC），NIST 不推荐这种用途。

19.4.4 用于执行密码操作的 AES 过程

简介

下面对典型密码操作进行了介绍。详细信息请参见从*第 19.4.8 节：AES 基本链接模式（ECB 和 CBC）*开始的章节。

图 80 和*图 81* 中的流程图介绍了 STM32 加密库如何实现 AES 算法。AES 可在 ECB、CBC、CTR、CCM 和 GCM 工作模式下加速执行 AES-128 和 AES-256 加密算法。

注： *有关加密库的更多详细信息，请参见 UM1924 用户手册“STM32 加密库”（可从 www.st.com 获取）。*

图 80. STM32 加密库 AES 流程图示例

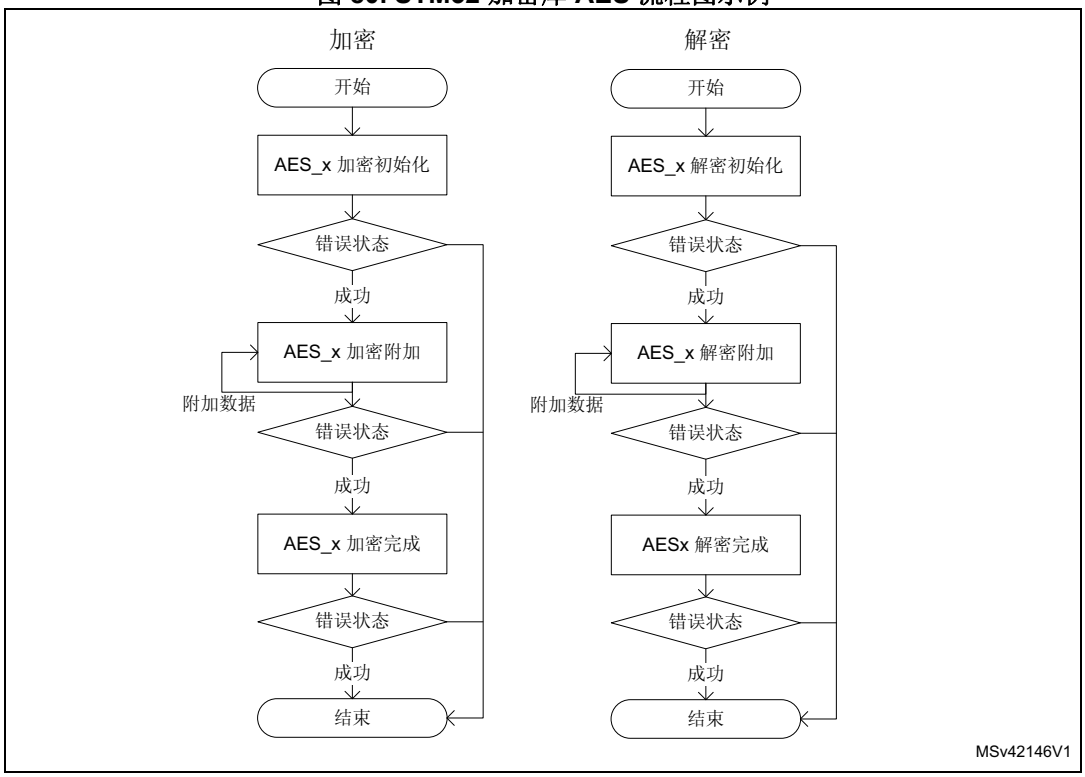
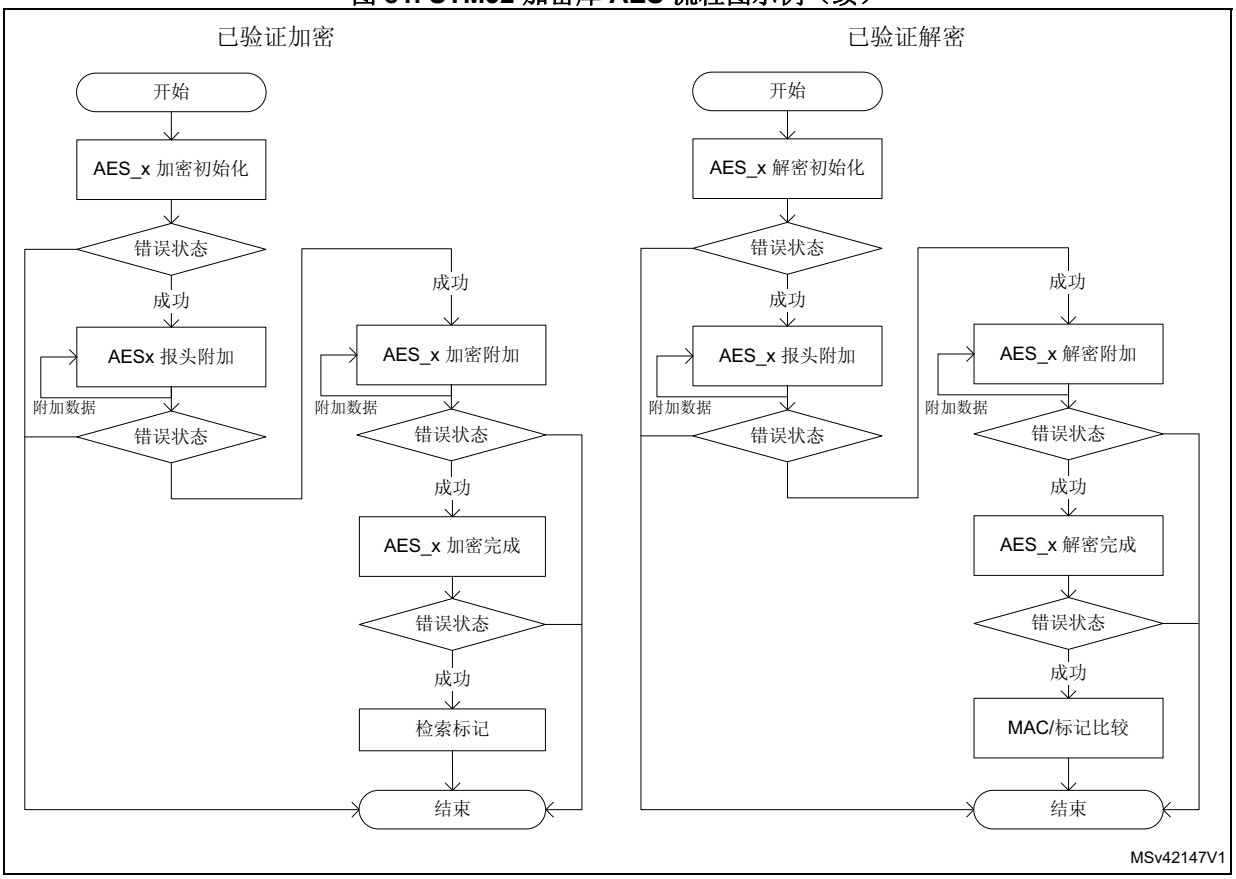


图 81. STM32 加密库 AES 流程图示例（续）



初始化 AES

要初始化 AES，首先通过将 AES_CR 寄存器中的 EN 位清零来禁止它。然后以任何顺序执行以下步骤：

- 通过对 AES_CR 寄存器中的 MODE[1:0] 位域进行编程来配置 AES 模式。
  - 对于加密，必须选择模式 1 (MODE[1:0] = 00)。
  - 对于解密，必须选择模式 3 (MODE[1:0] = 10)，除非使用 ECB 或 CBC 链接模式。在后一种情况下，必须执行加密密钥的初始密钥分散，如*第 19.4.5 节：AES 解密密钥准备*中所述。
- 通过对 AES_CR 寄存器中的 CHMOD[2:0] 位域进行编程来选择链接模式
- 使用 AES_CR 寄存器中的 KEYSIZE 位域配置密钥大小（128 位或 256 位）
- 将对称密钥写入 AES_KEYRx 寄存器（4 或 8 个寄存器，具体取决于密钥大小）。
- 使用 AES_CR 寄存器中的 DATATYPE[1:0] 位域配置数据类型（1 位、8 位、16 位或 32 位）。
- 必要时（例如，CBC 或 CTR 链接模式），向 AES_IVRx 寄存器中写入初始化向量。

附加数据

本节介绍附加数据进行处理的不同方式，其中要处理数据的大小不是 128 位的倍数。

有关 ECB 或 CBC 模式，请参见*第 19.4.6 节：AES 密文窃取和数据填充*。这些情况下的最后一个块管理比本节描述序列下的更复杂。

通过轮询附加数据

此方法按照以下序列使用标志轮询来控制附加数据：

1. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
2. 重复以下子序列，直到完全处理有效负载：
   a) 将四个输入数据字写入 AES_DINR 寄存器。
   b) AES_SR 中的状态标志 CCF 置 1 后，从 AES_DOUTR 寄存器读取四个数据字。
   c) 通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志清零。
   d) 如果刚刚处理的数据块是消息的倒数第二个块，并且要处理的最后一个块中的有效数据不足 128 位，则用零填充最后一个块的剩余部分，并且在 GCM 有效负载加密或 CCM 有效负载解密的情况下，使用 AES_CR 寄存器的 NPBLB 位域指定无效字节的数量，以便 AES 计算正确的标记。
3. 丢弃不属于有效负载的数据，然后通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。

注： *在对 AES_DINR 寄存器的两次连续写入之间自动插入最多三个等待周期，以便将密钥发送到 AES 处理器。*

NPBLB 不用于 GCM、GMAC 和 CCM 链接模式的标头阶段。

使用中断附加数据

此方法通过以下序列，使用 AES 外设中断来控制附加数据：

1. 通过将 AES_CR 寄存器中的 CCFIE 位置 1 来使能 AES 中断。
2. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
3. 将前四个输入数据字写入 AES_DINR 寄存器。
4. 中断时处理 AES 中断服务程序中的数据：
   a) 从 AES_DOUTR 寄存器读取四个输出数据字。
   b) 通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志和挂起中断清零
   c) 如果刚刚处理的数据块是消息的倒数第二个块，并且要处理的最后一个块中的有效数据不足 128 位，则用零填充最后一个块的其余部分，并且在 GCM 有效负载加密或 CCM 有效负载解密的情况下，使用 AES_CR 寄存器的 NPBLB 位域指定无效字节的数量，以便 AES 计算正确的标记。然后继续进行 4e)。
   d) 如果刚刚处理的数据块是消息的最后一块，则丢弃不属于有效负载的数据，然后通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设，并退出中断服务程序。
   e) 将接下来的四个输入数据字写入 AES_DINR 寄存器，并退出中断服务程序。

注： *AES 允许连续读取或写入操作之间存在延迟，例如在两次 AES 计算之间要响应的另一个外设的中断。*

NPBLB 不用于 GCM、GMAC 和 CCM 链接模式的标头阶段。

使用 DMA 附加数据

借助此方法，所有传输和处理过程均由 DMA 和 AES 管理。要使用此方法，请按照以下步骤操作：

1. 用零填充块的其余部分来准备最后四个字的数据块（如果要处理的数据没有完全填充它）。
2. 将 DMA 控制器配置为将来自存储器的要处理的数据传输到 AES 外设输入以及将来自 AES 外设输出的已处理数据传输到存储器，如*第 19.4.16 节：AES DMA 接口*所述。配置 DMA 控制器，以在传输完成时产生中断。在 GCM 有效负载加密或 CCM 有效负载解密的情况下，DMA **不得**包括最后一个四字块（如果块用零填充）。最后一个块必须使用*通过轮询附加数据*中描述的序列，因为处理块之前必须设置 NPBLB 位，以便 AES 计算正确的标记。
3. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设
4. 将 AES_CR 寄存器中的 DMAINEN 和 DMAOUTEN 位置 1，以使能 DMA 请求。
5. 当 DMA 中断指示传输完成时，从存储器中获取 AES 处理过的数据。

注： *CCF 标志在这种方法中没有作用，因为读取 AES_DOUTR 寄存器是通过 DMA 自动管理的，在计算过程结束时没有任何软件操作。*

NPBLB 不用于 GCM、GMAC 和 CCM 链接模式的标头阶段。

19.4.5 AES 解密密钥准备

对于 ECB 或 CBC 解密，第一轮解密的密钥必须从最后一轮加密的密钥中派生。因此，在执行解密之前需要完整的加密密钥扩展。除 ECB 或 CBC 模式外的 AES 解密**不需要**密钥准备。

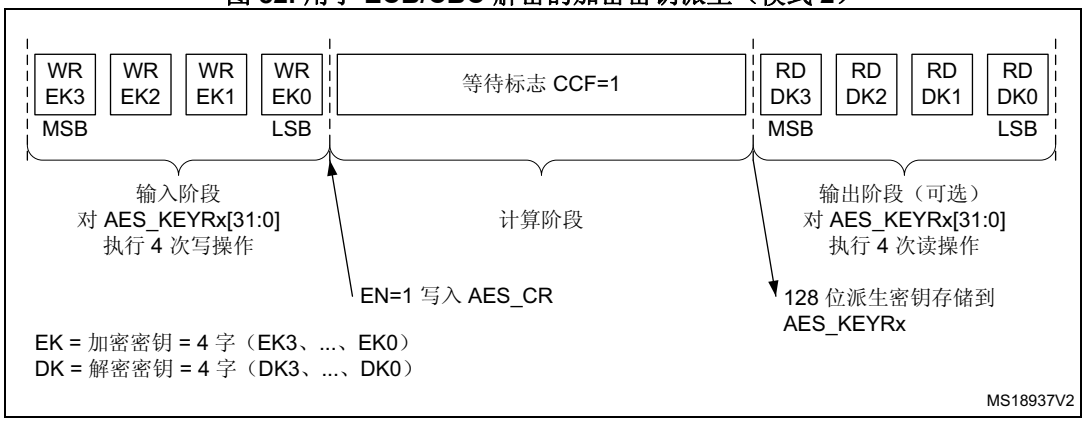
推荐方法是通过将 AES_CR 的 MODE[1:0] 位域设置为 01 来选择模式 2（仅密钥处理），然后通过将 MODE[1:0] 设置为 10 来继续解密（模式 3，仅解密）。模式 2 的使用说明如下：

1. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。
2. 通过将 AES_CR 的 MODE[1:0] 位域设置为 01 来选择模式 2。由于此密钥派生模式独立于所选的链接算法，因此 CHMOD[2:0] 位域在这种情况下并不重要。
3. 通过 AES_CR 寄存器的 KEYSIZE 位，将密钥长度设置为 128 或 256 位。
4. 将加密密钥写入 AES_KEYRx 寄存器（128 或 256 位），如*图 82* 所示。对 AES_IVRx 寄存器执行写入操作不起作用。
5. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
6. 等待 AES_SR 寄存器中的 CCF 标志置 1。
7. 将 CCF 标志清零。派生的密钥在 AES 内核中，可以用于解密。如果需要，应用程序还可以读取 AES_KEYRx 寄存器以获得派生的密钥，如*图 82* 所示（已处理密钥自动加载到 AES_KEYRx 寄存器中）。

注： *派生密钥可用时，将由硬件禁止 AES。*

要重新开始计算派生密钥，请重复步骤 4、5、6 和 7。

图 82. 用于 ECB/CBC 解密的加密密钥派生（模式 2）



如果软件存储了为解密准备的初始密钥，则对于要用给定密钥解密的所有数据，仅执行一次密钥扩展操作就已足够。

注： *密钥准备操作持续 59 或 82 个时钟周期，具体取决于密钥大小（128 或 256 位）。*

注： *备用密钥准备是通过将 AES_CR 寄存器中的 MODE[1:0] 位域设置为 11 来选择模式 4。这种情况下，模式 3 不可用。*

19.4.6 AES 密文窃取和数据填充

在 ECB 或 CBC 模式下使用 AES 来管理不是块大小（128 位）倍数的消息时，请使用密文窃取技术，如 NIST *特别出版物 800-38A，块密码工作模式的建议：CBC 模式密文窃取的三种变型*中介绍的窃取技术。由于 AES 外设不支持此类技术，应用程序必须使用倒数第二个块中的数据完整输入数据的最后一个块。

注： *本参考手册中未对密文窃取技术进行介绍。*

类似地，在除 ECB 或 CBC 之外的模式下使用 AES 时，必须先用零填充不完整的输入数据块（即，输入数据短于 128 位的块），然后再加密（即，必须在数据串的尾端附加额外的位）。解密后必须丢弃额外填充的位。由于 AES 不会对**最后一个块**执行自动数据填充操作，因此应用程序必须遵循*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中给出的建议来管理大小不是 128 位倍数的消息。

注： *填充数据根据 AES_CR 寄存器中的 DATATYPE[1:0] 字段，以类似于正常数据的方式进行交换（有关详细信息，请参见第 436 页的第 19.4.13 节：AES 数据寄存器和数据交换）。*

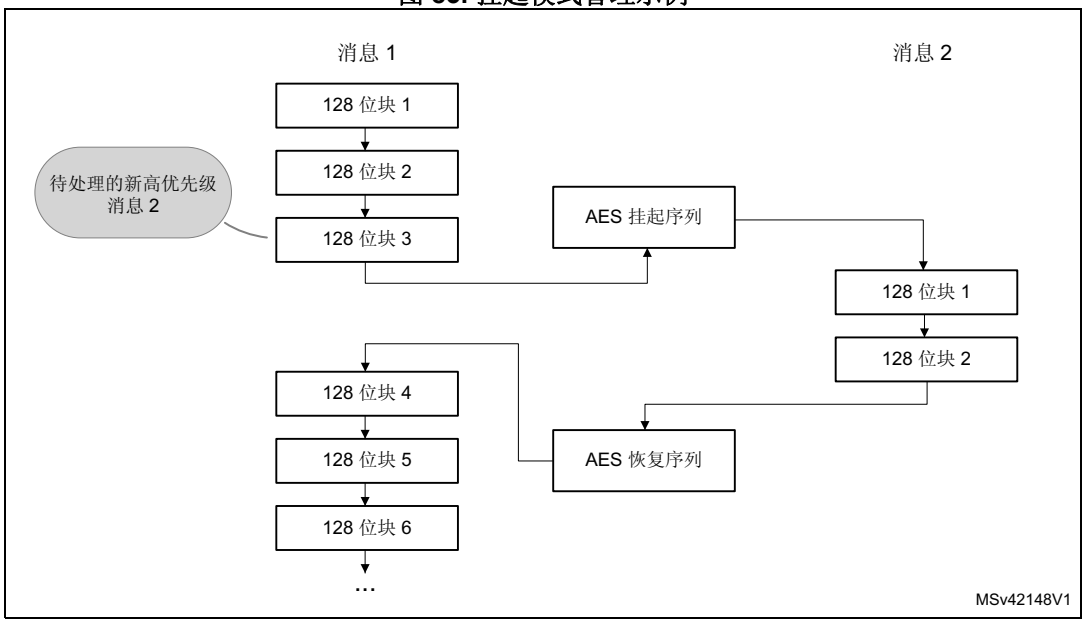
19.4.7 AES 任务挂起和恢复

如果必须处理另一条优先级较高的消息，则可将消息挂起。该最高优先级消息完成发送后，可在加密或解密模式下恢复挂起的消息。

挂起/恢复操作不会破坏链接运算，并且再次使能 AES 以接收下一个数据块时，可立即恢复消息处理。

图 83 所示为挂起/恢复操作示例：为发送长度更短、优先级更高的消息 2 而将消息 1 挂起。

图 83. 挂起模式管理示例



有关挂起/恢复操作的详细说明，请参见每个 AES 模式的相应章节。

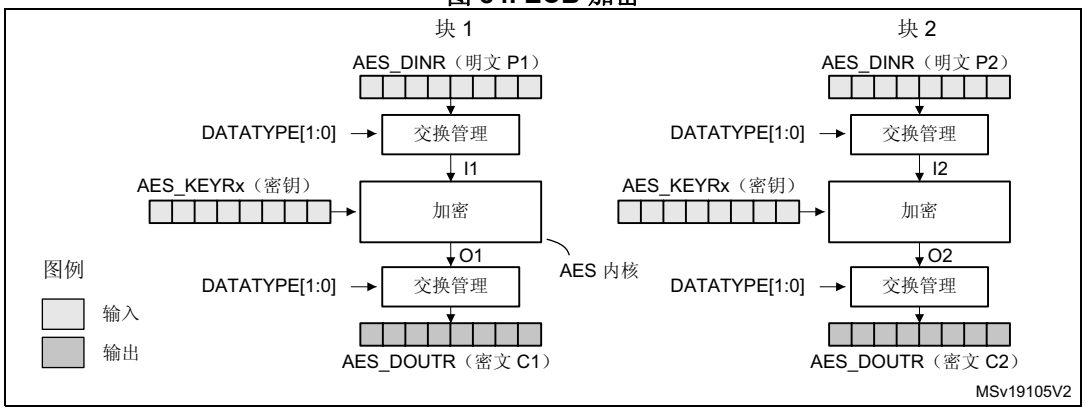
19.4.8 AES 基本链接模式（ECB 和 CBC）

概述

本节简要介绍 AES 计算内核提供的四种基本工作模式：ECB 加密、ECB 解密、CBC 加密和 CBC 解密。有关详细信息，请参见 2001 年 11 月 26 日的 FIPS-197。

图 84 介绍了电子密码本 (ECB) 加密。

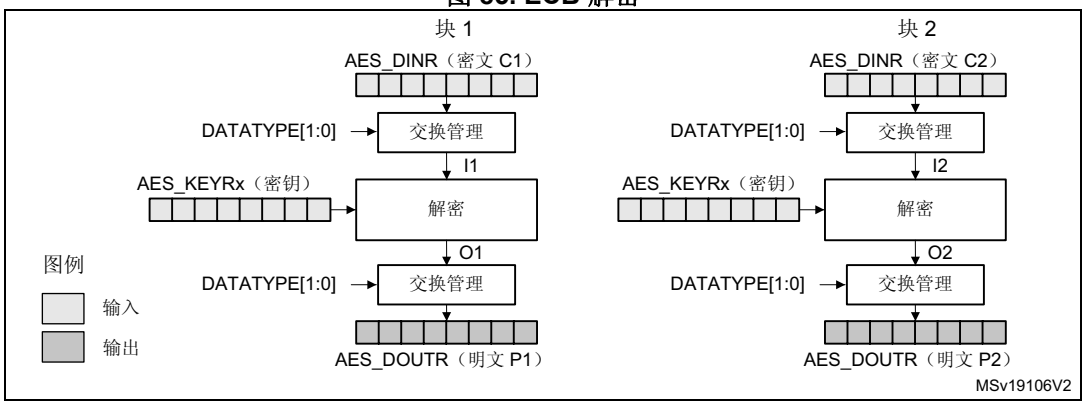
图 84. ECB 加密



在 ECB 加密模式下，AES_DINR 寄存器中的 128 位明文输入数据块 Px 首先进行位/字节/半字交换。使用 128 位或 256 位密钥，通过加密模式下的 AES 内核对交换结果 Ix 进行处理。加密结果 Ox 经过位/字节/半字交换，然后作为 128 位密文输出数据块 Cx 存储在 AES_DOUTR 寄存器中。ECB 加密以这种方式继续，直到最后一个完整的明文块被加密。

图 85 介绍了电子密码本 (ECB) 解密。

图 85. ECB 解密

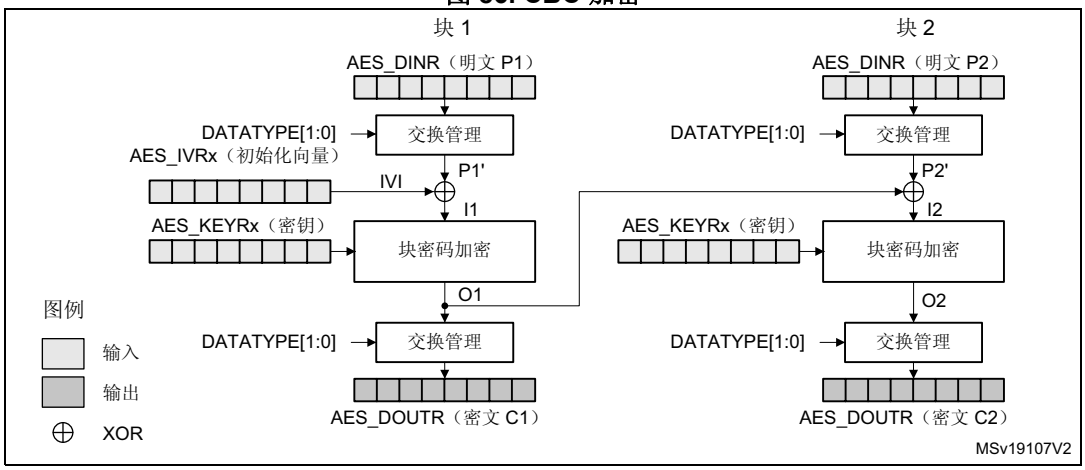


要在 ECB 模式下执行 AES 解密，需要通过收集最后一轮加密密钥准备密钥（需要针对加密首先执行完整的密钥扩展），并将其用作解密密文的第一个轮密钥。该准备由 AES 内核提供支持。

在 ECB 解密模式下，AES_DINR 寄存器中的 128 位密文输入数据块 C1 首先进行位/字节/半字交换。该密钥序列与 ECB 加密中的密钥序列相反。使用先前准备的解密密钥，通过在解密模式下设置的 AES 内核对交换结果 I1 进行处理。解密结果经过位/字节/半字交换，然后作为 128 位明文输出数据块 P1 存储在 AES_DOUTR 寄存器中。ECB 解密以这种方式继续，直到最后一个完整的密文块被解密。

图 86 说明了密码块链接 (CBC) 加密模式。

图 86. CBC 加密

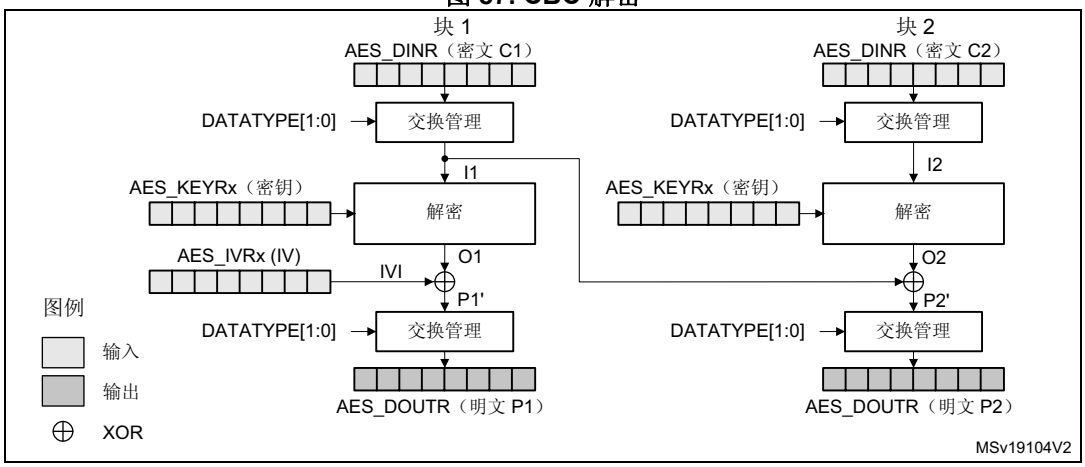


在 CBC 加密模式下，执行位/字节/半字交换 (P1') 后的第一个明文输入块与一个 128 位 IVI 位域（初始化向量和计数器）进行逻辑异或运算，得到的输出I1，再使用 128 位或 256 位密钥进行加密，得到 128 位输出块 O1，进行交换操作之后，得到最终的密文 C1。然后将 O1 数据与第二块明文数据 P2' 进行逻辑异或运算，生成 I2 输入数据以生成第二块密文数据。数据块的链接以这种方式继续，直到消息中的最后一个明文块被加密。

如果消息大小不是 128 位的倍数，则将按照*第 19.4.6 节：AES 密文窃取和数据填充*中说明的方式对最后的不完整数据块进行加密。

图 87 说明了密码块链接 (CBC) 解密。

图 87. CBC 解密



在 CBC 解密模式下跟ECB模式一样，必须准备密钥才可以执行 AES 解密。

完成密钥准备过程后，按下述方式执行解密：使用 128 位或 256 位密钥将第一个 128 位密文块（在交换操作之后）直接作为解密操作的I1输入。其输出 O1 与 128 位 IVI 字段（必须与加密期间使用的字段相同）进行逻辑异或运算以生成第一个明文块 P1。

除了使用来自第一个块的 I1 数据代替初始化向量外，第二个密文块的处理方式与第一个块相同。

解密以这种方式继续，直到最后一个完整的密文块被解密。

如果消息大小不是 128 位的倍数，则将按照*第 19.4.6 节：AES 密文窃取和数据填充*中说明的方式对最后的不完整数据块进行解密。

有关数据交换的更多信息，请参见*第 19.4.13 节：AES 数据寄存器和数据交换*。

ECB/CBC 加密序列

执行 ECB/CBC 加密的事件序列（详见*第 19.4.4 节*）：

1. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。
2. 通过将 AES_CR 寄存器的 MODE[1:0] 位域设置为 00 来选择模式 1，通过将 AES_CR 寄存器的 CHMOD[2:0] 位域设置为 000 或 001 来分别选择 ECB 或 CBC 链接模式。也可以使用 DATATYPE[1:0] 位域定义数据类型。
3. 通过 AES_CR 寄存器中的 KEYSIZE 位选择 128 位或 256 位密钥长度。
4. 将加密密钥写入 AES_KEYRx 寄存器（128 或 256 位）。如果选择了 CBC 模式，则用初始化向量数据填充 AES_IVRx 寄存器。
5. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
6. 对 AES_DINR 寄存器执行四次写入操作，以输入明文（MSB 优先），如*图 88* 所示。
7. 等待 AES_SR 寄存器中的 CCF 标志置 1。
8. 对 AES_DOUTR 寄存器进行四次读取操作，以获取密文（MSB 优先），如*图 88* 所示。然后通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志清零。
9. 重复执行步骤 *6*-*7*-*8*，使用相同加密密钥处理所有块。

图 88. ECB/CBC 加密（模式 1）

ECB/CBC 解密序列

执行 AES ECB/CBC 解密的事件序列如下（详见*第 19.4.4 节*）：

1. 按照*第 416 页的第 19.4.5 节：AES 解密密钥准备*中所述的步骤，准备 AES 内核中的解密密钥。
2. 通过将 AES_CR 寄存器的 MODE[1:0] 位域设置为 10 来选择模式 3，并通过将 AES_CR 寄存器的 CHMOD[2:0] 位域设置为 000 或 001 来分别选择 ECB 或 CBC 链接模式。也可以使用 DATATYPE[1:0] 位域定义数据类型。
3. 通过 AES_CR 寄存器的 KEYSIZE 位域，选择 128 或 256 位密钥长度。
4. 将初始化向量写入 AES_IVRx 寄存器（仅在 CBC 模式下需要此步骤）。
5. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES。
6. 对 AES_DINR 寄存器执行四次写入操作，以输入密文（MSB 优先），如*图 89* 所示。
7. 等待 AES_SR 寄存器中的 CCF 标志置 1。
8. 对 AES_DOUTR 寄存器进行四次读取操作，以获取明文（MSB 优先），如*图 89* 所示。然后通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志清零。
9. 重复执行步骤 *6-7-8*，使用相同密钥解密所有块。

图 89. ECB/CBC 解密（模式 3）

ECB/CBC 模式下的挂起/恢复操作

要挂起消息处理，请执行以下操作：

1. 如果使用 DMA，则通过将 AES_CR 寄存器中的 DMAINEN 位清零来停止 AES DMA 对 IN FIFO 的数据传输。
2. 如果未使用 DMA，则读取四次 AES_DOUTR 寄存器以保存最后处理的块。如果使用 DMA，等待 AES_SR 寄存器中的 CCF 标志置 1，然后通过将 AES_CR 寄存器中的 DMAOUTEN 输出位清零来停止 DMA 对 OUT FIFO 的数据传输。
3. 如果未使用 DMA，轮询 AES_SR 寄存器的 CCF 标志，直到它变为 1（计算完成）。
4. 通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志清零。
5. 保存初始化向量寄存器（仅在 CBC 模式下需要此步骤，因为 AES_IVRx 寄存器在数据处理过程中已发生更改）。
6. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。
7. 将当前 AES 配置保存到存储器中（AES 初始化向量值除外）。如果处理高优先级消息时不需要密钥寄存器，则将这些寄存器清零。
8. 如果使用 DMA，则保存 DMA 控制器状态（指向 IN 和 OUT 数据传输的指针以及剩余字节数等）。

注： *在第 7 步中，如果中断的进程是解密，则可以选择将存储在 AES_KEYRx 寄存器中的派生密钥信息保存在存储器中。否则无需保存这些寄存器，因为应用程序已知初始密钥值*

要恢复消息处理，请执行以下操作：

1. 如果使用 DMA，则配置 DMA 控制器以完成 FIFO IN 和 FIFO OUT 传输的其余部分。
2. 确保 AES 禁止（AES_CR 的 EN 位必须为 0）。
3. 使用已保存的配置恢复 AES_CR 和 AES_KEYRx 寄存器设置。在解密的情况下，可将派生的密钥信息写入 AES_KEYRx 寄存器，而不是原始密钥值。
4. 按*第 19.4.5 节：AES 解密密钥准备*所述准备解密密钥（仅 ECB 或 CBC 解密需要此步骤）。如果已将派生的密钥信息加载到 AES_KEYRx 寄存器中，则此步骤不是必需的。
5. 使用保存的配置恢复 AES_IVRx 寄存器（仅在 CBC 模式下需要此步骤）。
6. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
7. 如果使用 DMA，将 AES_CR 寄存器中的 DMAINEN 和 DMAOUTEN 位置 1，以使能 AES DMA 传输。

使用模式 4 执行备用单次 ECB/CBC 解密

使用模式 4 执行单次 ECB/CBC 解密的事件序列为：

1. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。
2. 通过将 AES_CR 寄存器的 MODE[1:0] 位域设置为 11 来选择模式 4，通过将 AES_CR 寄存器的 CHMOD[2:0] 位域设置为 000 或 001 来分别选择 ECB 或 CBC 链接模式。
3. 通过 AES_CR 寄存器的 KEYSIZE 位域，选择 128 或 256 位密钥长度。
4. 将加密密钥写入 AES_KEYRx 寄存器。如果选择 CBC 模式，则写入 AES_IVRx 寄存器。
5. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
6. 对 AES_DINR 寄存器执行四次写入操作，以输入密文（MSB 优先）。
7. 等待 AES_SR 寄存器中的 CCF 标志置 1。
8. 对 AES_DOUTR 寄存器进行四次读取操作，以获取明文（MSB 优先）。然后通过将 AES_CR 寄存器中的 CCFC 位置 1，将 CCF 标志清零。

注： *选择模式 4 时，不能使用模式 3。*

在模式 4 下，AES_KEYRx 寄存器包含所有处理阶段的加密密钥。派生密钥不会存储在这些寄存器中。它会存储在 AES 内部。

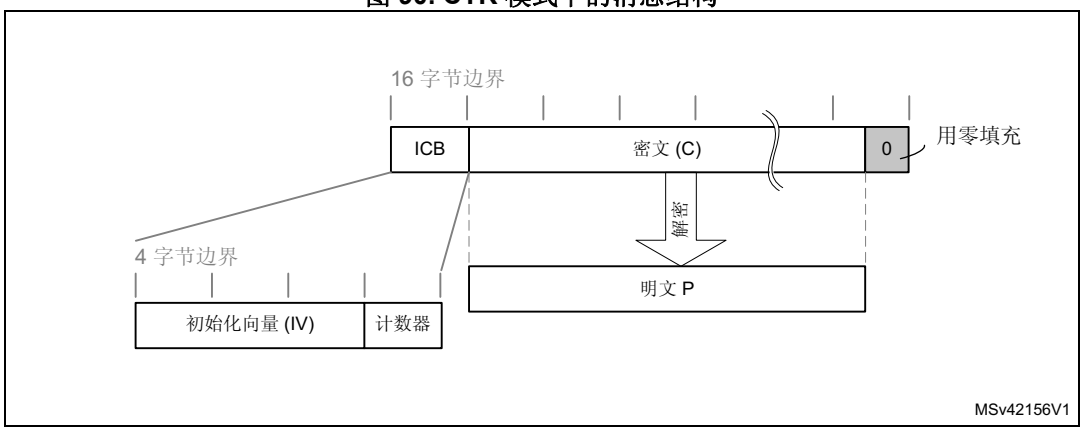
19.4.9 AES 计数器 (CTR) 模式

概述

计数器模式 (CTR) 使用 AES 作为密钥流生成器。然后，生成的密钥与明文进行逻辑异或运算来获得密文。

NIST *特别出版物 800-38A，块密码工作模式的建议*对 CTR 链接进行了相关定义。*图 90* 给出了 CTR 模式下的典型消息结构。

图 90. CTR 模式下的消息结构



该消息的结构为：

- 16 字节的初始计数器块 (ICB)，它由两个不同的字段组成：
  - **初始化向量** (IV)：96 位值，对于给定密钥下每个加密周期，该值都必须唯一。
  - **计数器**：32 位大端模式的整数，随着块的处理次数而递增。应将计数器的初始值设为 1。
- 明文 P 被加密为密文 C（长度已知）。该长度可以不是 16 字节的倍数，在这种情况下需要明文填充。

CTR 加密和解密

图 91 和*图 92* 分别描述了 AES 外设中实现的 CTR 加密和解密过程。通过向 AES_CR 寄存器中的 CHMOD[2:0] 位域写入 010 来选择 CTR 模式。

图 91. CTR 加密

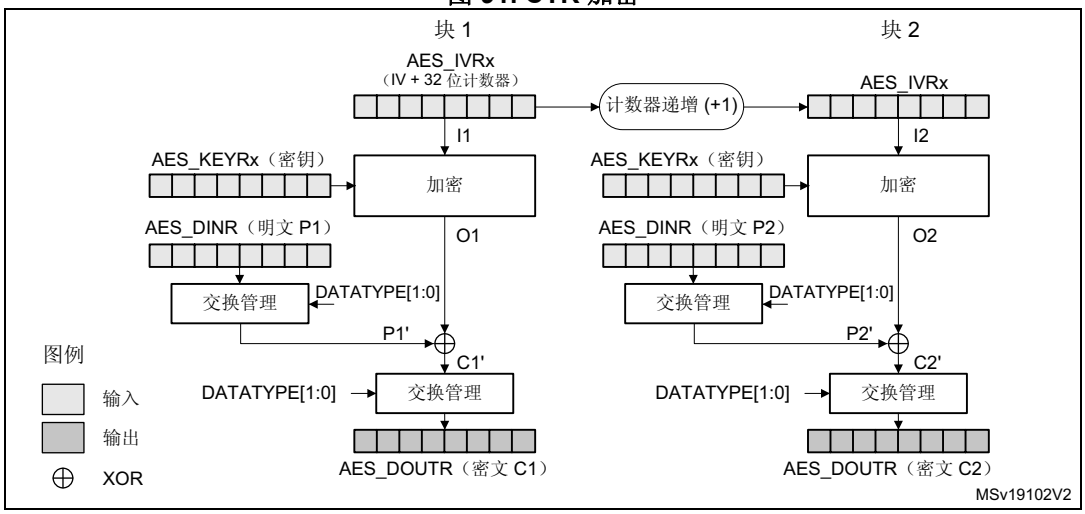
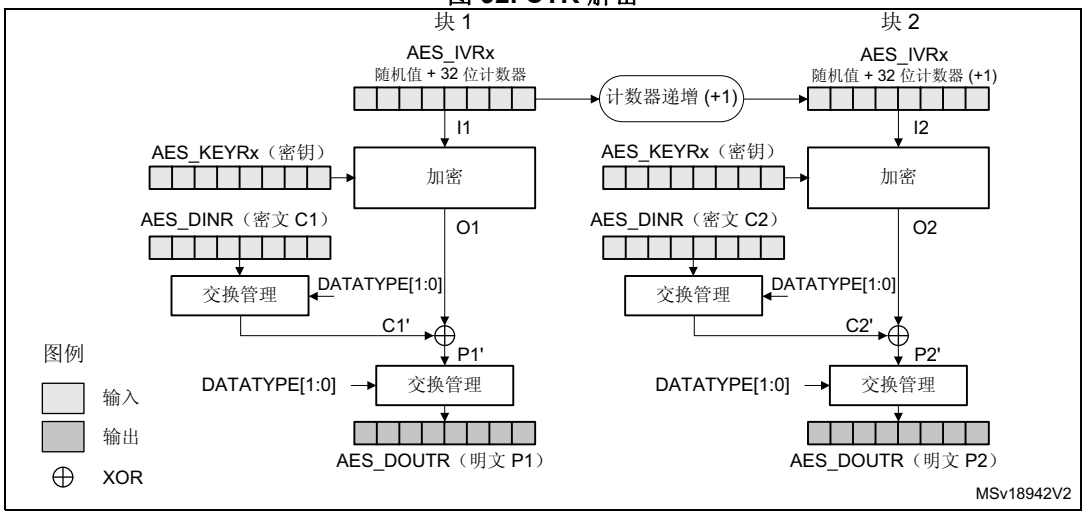


图 92. CTR 解密



在 CTR 模式中，将加密核心输出（也称为密钥流）Ox 与相关输入块（加密时为 Px'，解密时为 Cx'）进行逻辑异或运算，以生成正确的输出块（加密时为 Cx'，解密时为 Px'）。AES 中的初始化向量必须按*表 91* 所示进行初始化。

表 91. CTR 模式初始化向量定义

AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
Nonce[31:0]	Nonce[63:32]	Nonce[95:64]	32 位计数器 = 0x0001

在 CBC 模式下，仅在处理第一个数据块时使用 AES_IVRx 寄存器一次，而在 CTR 模式下则有所不同，处理每个数据块都使用 AES_IVRx 寄存器，并且 AES 外设会使初始化向量的计数器位递增（随机值位保持不变）。

CTR 解密与 CTR 加密并无不同，因为内核始终会对当前的计数器块加密以产生密钥数据流，该密钥数据流与明文（CTR 加密）或密文（CTR 解密）输入进行异或运算。在 CTR 模式下，MODE[1:0] 位域设置 11、10 或 00 将全部默认为加密模式，同时禁止设置 01（密钥派生）。

在 CTR 链接模式下执行加密或解密的事件序列：

1. 确保 AES 禁止（AES_CR 的 EN 位必须为 0）。
2. 通过将 AES_CR 寄存器中的 CHMOD[2:0] 位域设置为 010 来选择 CTR 链接模式。将 MODE[1:0] 位域设置为除 01 之外的任何值。
3. 初始化 AES_KEYRx 寄存器，并按*表 91*所述加载 AES_IVRx 寄存器。
4. 将 AES_CR 寄存器的 EN 位置 1，开始加密当前计数器（计算完成时 EN 自动复位）。
5. 如果是最后一个块，可在需要时用零填充数据以获得完整的块。
6. 在 AES 中附加数据并读取结果。*第 19.4.4 节：用于执行密码操作的 AES 过程*介绍了三种可能的情况。
7. 重复上一步，直到处理完倒数第二个块。对于最后一个块，执行前两步并将不属于有效负载的一部分的位丢弃（如果最后一个输入块中有效数据的大小小于 16 字节）。

CTR 模式下的挂起/恢复操作

该模式与 CBC 模式相似，可以中断消息、发送优先级更高的消息，并可恢复已中断的消息。有关 CBC 挂起/恢复序列的详细信息，请参见*第 19.4.8 节：AES 基本链接模式（ECB 和 CBC）*。

注： *与 CBC 模式类似，恢复操作期间必须重新加载 AES_IVRx 寄存器。*

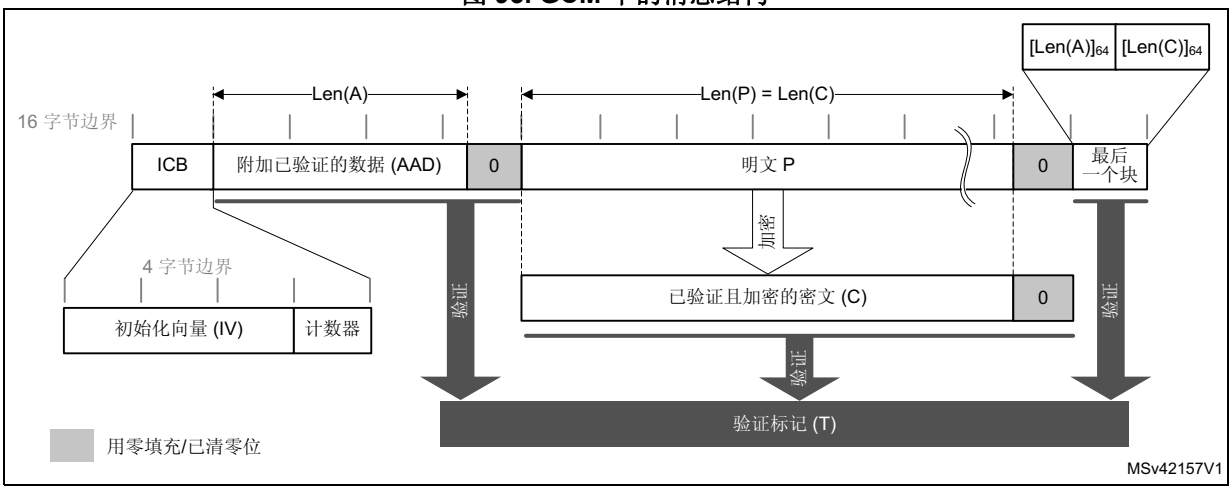
19.4.10 AES Galois/计数器模式 (GCM)

概述

AES Galois/计数器模式 (GCM) 允许将明文消息加密和验证为对应的密文和标记（也称为消息认证码）。为实现保密性，GCM 算法基于 AES 计数器模式。它使用固定有限域乘法器来生成标记。

NIST *特别出版物 800-38D，块密码工作模式的建议 - Galois/计数器模式 (GCM) 和 GMAC* 中对 GCM 链接进行了相关定义。*图 93* 所示为 GCM 模式下的典型消息结构。

图 93. GCM 中的消息结构



消息具有以下结构：

- **16 字节的初始计数器块 (ICB)**，它由两个不同的字段组成：
  - **初始化向量 (IV)**：96 位值，对于给定密钥下每个加密周期，该值都必须唯一。请注意，GCM 标准支持短于 96 位的 IV，在这种情况下应遵循严格的规则。
  - **计数器**：32 位大端模式的整数，随着块的处理次数而递增。根据 NIST 规范，处理有效负载的第一个块时，计数器值为 0x2。
- **认证的标头 AAD**（也称为附加认证数据）具有已知长度 Len(A)，此长度值可以不是 16 字节的倍数，但不能超过 $2^{64} – 1$ 位。消息的这一部分仅经过认证，未被加密。
- **明文消息 P** 将经过认证且被加密为密文 C，其具有已知长度 Len(P)，该长度值可以不是 16 字节的倍数，但不能超过 $2^{32} - 2$ 个 128 位块。
- **最后一个块**包含 AAD 标头长度（位 [32:63]）和有效负载长度（位 [96:127]）信息，如 *表 92* 所示。

GCM 标准规定密文 C 的位长度与明文 P 的位长度相同。

当消息某一部分（AAD 或 P）的长度不是 16 字节的倍数时，需要采取特殊填充方案。

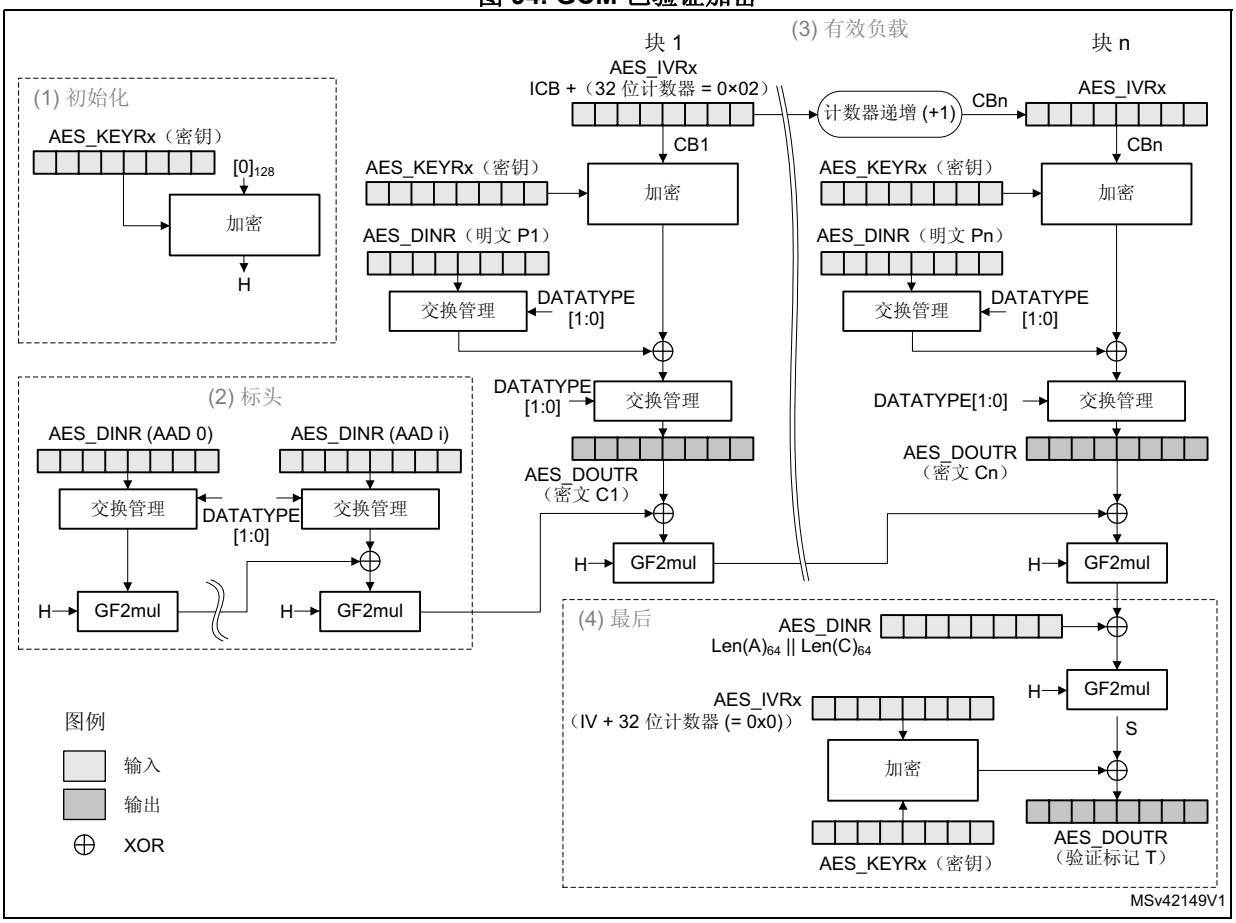
表 92. GCM 最后一个块定义

字节序	位 [0] ---------- 位 [31]	位 [32]---------- 位 [63]	位 [64] -------- 位 [95]	位 [96] --------- 位 [127]
输入数据	0x0	AAD 长度 [31:0]	0x0	有效负载长度 [31:0]

GCM 处理

图 94 列出了 AES 外设中的 GCM 实现。通过向 AES_CR 寄存器中的 CHMOD[2:0] 位域写入 011 来选择 GCM。

图 94. GCM 已验证加密



GCM 模式下明文的保密性机制与计数器模式下的类似，其具有特定递增函数（表示为 32 位递增），可生成输入计数器块序列。

保持数据的**计数器块**的 AES_IVRx 寄存器用于处理每个数据块。AES 外设自动递增计数器 [31:0] 位域。第一个计数器块 (CB1) 由应用软件从初始计数器块 ICB 派生（请参见*表 93*）。

表 93. GCM 模式 IVI 位域初始化

寄存器	AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
输入数据	ICB[31:0]	ICB[63:32]	ICB[95:64]	Counter[31:0] = 0x2

注： *在 GCM 模式下，禁止将 MODE[1:0] 位域设置为 01 和 11。*

GCM 模式下的认证机制基于散列函数（称为 **GF2mul**），其在二元 Galois 域内执行与固定参数（称为散列子密钥 (H)）的乘法。

GCM 消息通过以下阶段进行处理（将在下一小节中对此进行进一步介绍）：

- **初始化阶段**：AES准备 GCM 散列子密钥 (H)。
- **标头阶段**：AES 处理附加认证数据 (AAD)（仅使用散列计算）。
- **有效负载阶段**：AES 基于散列计算、计数器块加密和数据异或运算处理明文 (P)。对于密文也使用同样的方法操作。
- **最后阶段**：AES 使用消息的最后一个块生成认证标记 (T)。

GCM 初始化阶段

在此第一步中，将在内部计算和保存 GCM 散列子密钥 (H)，供处理所有块使用。建议序列为：

1. 确保 AES 禁止（AES_CR 的 EN 位必须为 0）。
2. 通过将 AES_CR 寄存器的 CHMOD[2:0] 位域设置为 011 选择 GCM 链接模式，并可选择将 DATATYPE[1:0] 位域置 1。
3. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 00 来指示初始化阶段。
4. 将 AES_CR 寄存器的 MODE[1:0] 位域设置为 00 或 10。虽然位域仅用于有效负载阶段，但建议在初始化阶段将其置 1，并在所有后续阶段保持不变。
5. 使用密钥初始化 AES_KEYRx 寄存器，使用*表 93* 中定义的信息初始化 AES_IVRx 寄存器。
6. 开始通过将 AES_CR 寄存器的 EN 位设置为 1 来计算散列密钥（计算完成时 EN 自动复位）。
7. 等待计算完成，通过将 AES_SR 的 CCF 标志转换为 1 进行指示。或者，使用相应的中断。
8. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。

GCM 标头阶段

GCM 初始化阶段之后的这个阶段必须在有效负载阶段之前完成。要执行的序列为（加密与解密完全相同）：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 01 来指示标头阶段。请勿修改初始化阶段中设置的 MODE[1:0] 位域。
2. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
3. 如果它是最后一个块，并且块中的 AAD 大小低于 128 位，则用零填充块的其余部分。然后按*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中所述的其中一种方式将数据块附加到 AES。
4. 重复步骤 *3*，直到处理完最后一个附加认证数据块。

注： *如无 AAD（即 Len(A) = 0），则可以跳过标头阶段。*

GCM 有效负载阶段

在 GCM 标头阶段之后执行此阶段（加密和解密相同）。在此阶段，加密/解密的有效负载将存储在 AES_DOUTR 寄存器中。要执行的序列为：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 10 来指示有效负载阶段。请勿修改初始化阶段中设置的 MODE[1:0] 位域。
2. 如果跳过了标头阶段，则通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
3. 如果它是最后一个块，并且块中的明文（加密）或密文（解密）大小低于 128 位，则用零填充块的其余部分。
4. 按*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中所述的其中一种方式将数据块附加到 AES，并读取结果。
5. 重复上一步，直到倒数第二个明文块被加密或直到最后一个密文块被解密。对于最后一个明文块（仅限加密），执行前两步。对于最后一个块，当其大小小于 16 字节时，将不属于有效负载的一部分的位丢弃。

注： *如无有效负载数据（即 Len(C) = 0），则可以跳过有效负载阶段（请参见 GMAC 模式）。*

GCM 最后阶段

在此最后一个阶段中，AES 外设会生成 GCM 认证标记并将其存储在 AES_DOUTR 寄存器中。要执行的序列为：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 11 来指示最后阶段。
2. 通过连接 AAD 位长度和有效负载位长度来组成块的数据，如*表 92* 中所示。将块写入 AES_DINR 寄存器。
3. 等待计算完成，通过将 AES_SR 的 CCF 标志转换为 1 进行指示。
4. 对 AES_DOUTR 寄存器进行四次读取操作，以获取 GCM 认证标记。
5. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。
6. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。如果它是经验证的解密，请将生成的标记与通过消息传递的预期标记进行比较。

注： *在最后阶段，必须正常插入数据（无交换）。*

当从报头或有效负载阶段过渡到最后阶段时，不得禁止 AES 外设，否则结果会是错误的。

GCM 模式下的挂起/恢复操作

要挂起消息处理，请执行以下操作：

1. 如果使用 DMA，则通过将 AES_CR 寄存器中的 DMAINEN 位清零来停止 AES DMA 对 IN FIFO 的数据传输。如果未使用 DMA，确保当前计算已完成，完成由 AES_SR 寄存器的 CCF 标志设置为 1 指示。
2. 在有效负载阶段，如果未使用 DMA，则读取四次 AES_DOUTR 寄存器以保存最后处理的块。如果使用 DMA，等待 AES_SR 寄存器中的 CCF 标志置 1，然后通过将 AES_CR 寄存器中的 DMAOUTEN 输出位清零来停止 DMA 对 OUT FIFO 的数据传输。
3. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。在有效负载阶段（仅限加密模式），验证 AES_SR 寄存器的 BUSY 标志是否已清零，以确保 GF2mul 散列函数已完成。
4. 将 AES_SUSPxR 寄存器保存到存储器中，其中 x 等于 0 到 7。
5. 在有效负载阶段，保存 AES_IVRx 寄存器，因为在数据处理过程中，它们相较于初始值发生更改。在标头阶段，则不需要此步骤。
6. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。

7. 将当前 AES 配置保存到存储器中（初始化向量寄存器 AES_IVRx 除外）。无需保存密钥寄存器，因为应用程序已知初始密钥值。
8. 如果使用 DMA，则保存 DMA 控制器状态（指向 IN 数据传输的指针以及剩余字节数等）。在有效负载阶段，也必须保存指向 OUT 数据传输的指针。

要恢复消息处理，请执行以下操作：

1. 如果使用 DMA，则重新配置 DMA 控制器以完成 FIFO IN 传输的其余部分。在有效负载阶段，也必须在 DMA 控制器中配置 FIFO OUT 的其余部分。
2. 确保 AES 外设已禁止（AES_CR 寄存器的 EN 位必须为 0）。
3. 将先前保存在存储器中的挂起寄存器值回写到其相应的 AES_SUSPxR 寄存器中，其中 x 等于 0 到 7。
4. 在有效负载阶段，将先前保存在存储器中的初始化向量寄存器值写回到其相应的 AES_IVRx 寄存器中。在标头阶段，将初始化设置值写回到 AES_IVRx 寄存器中。
5. 恢复 AES_CR 和 AES_KEYRx 寄存器中的初始化设置值。
6. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
7. 如果使用 DMA，将 AES_CR 寄存器中的 DMAINEN 位（和 DMAOUTEN 位，如果在有效负载阶段）置 1，以使能 AES DMA 请求。

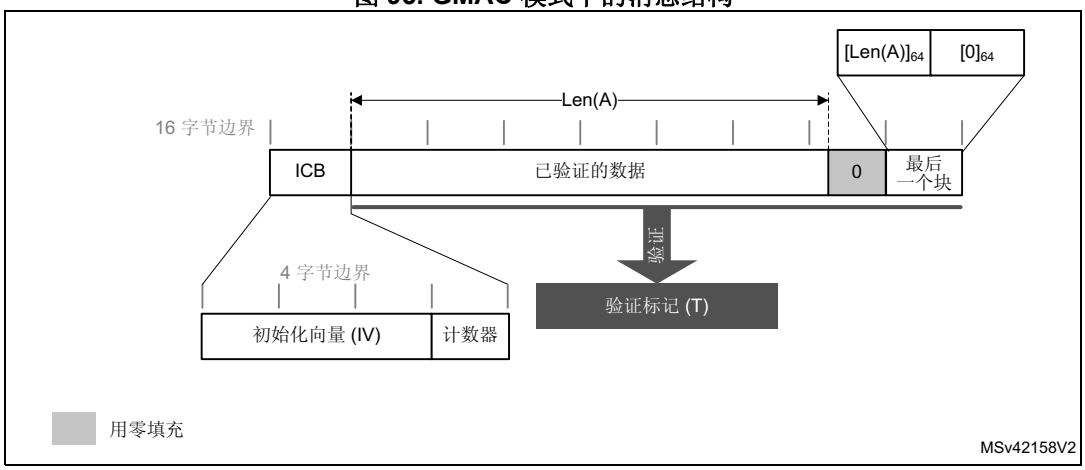
19.4.11 AES Galois 消息认证码 (GMAC)

概述

Galois 消息认证码 (GMAC) 支持认证明文，生成相应的标记信息（也称为消息认证码）。它基于 GCM 算法，NIST *特别出版物 800-38D，块密码工作模式的建议 - Galois/ 计数器模式 (GCM) 和 GMAC* 中对此进行了相关定义。

图 95 给出了 GMAC 下的典型消息结构。

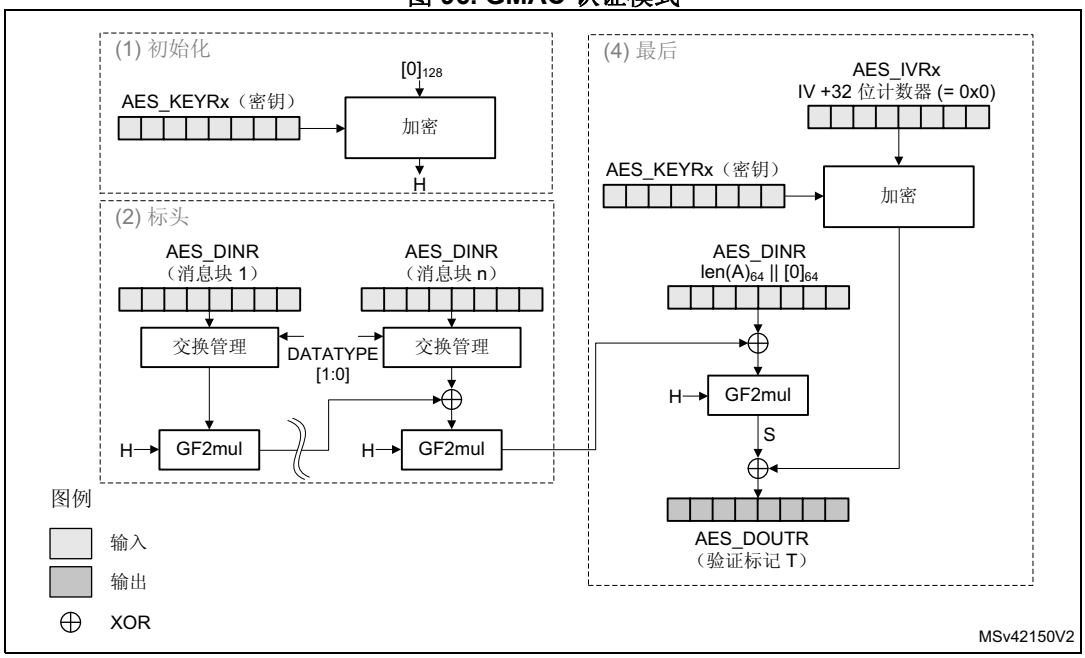
图 95. GMAC 模式下的消息结构



AES GMAC 处理

图 96 列出了 AES 外设中的 GMAC 模式实现。通过向 AES_CR 寄存器中的 CHMOD[2:0] 位域写入 011 来选择此模式。

图 96. GMAC 认证模式



GMAC 算法相当于应用在仅包含标头的消息上的 GCM 算法。因此，除了忽略有效负载阶段之外，所有步骤和设置均与 GCM 相同。

GMAC 模式下的挂起/恢复操作

在 GMAC 模式下，除了只能中断标头阶段外，针对 GCM 描述的序列适用。

19.4.12 AES CBC-MAC 计数器模式 (CCM)

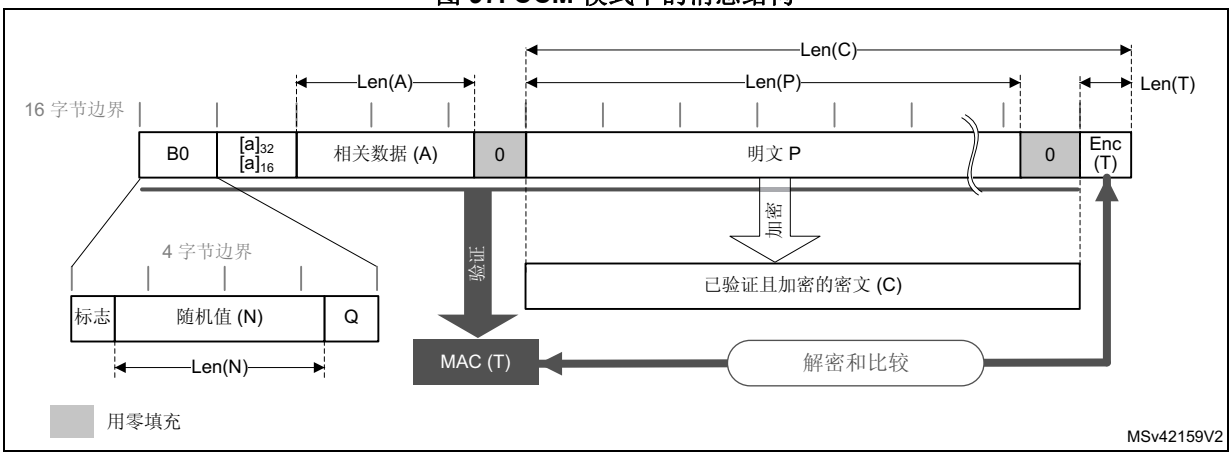
概述

AES **密码块链接-消息认证码计数器模式** (CCM) 算法可用于加密和认证明文，生成对应的密文和标记（也称为消息认证码）。为实现保密性，CCM 算法基于 AES 计数器模式。它使用密码块链接技术来生成消息认证码。这通常被称为 CBC-MAC。

注： *NIST 不允许将该 CBC-MAC 用作 CCM 规范上下文之外的认证模式。*

NIST *特别出版物 800-38C，块密码工作模式的建议 - CCM 模式实现认证和保密性*中对 CCM 链接进行了介绍。*图 97* 给出了 CCM 下的典型消息结构。

图 97. CCM 模式下的消息结构



消息的结构为：

- **16 字节的首次认证块 (B0)**，它由三个不同的字段组成：
  - **Q**：位字符串，表示 P 的八位字节长度 (Len(P))
  - **随机值 (N)**：大小为 Len(N) 的一次性值（即，应为每一次新的通信分配新的随机值）。Len(N) + Len(P) 的和必须等于 15 个字节。
  - **标志**：最高有效八位字节，包含四个控制信息标志（根据标准规定）。它包含两个 3 位字符串，用于编码值 **t**（MAC 长度，以字节表示）和 **Q**（明文长度，例如 Len(P) < 2^{8q} 个字节）。与 **Q** 相关的计数器块范围为 2^{8Q-4}，即，如果 **Q** 的最大值为 8，则密码中使用的计数器块应为 60 位。
- 与相关数据 (A) 关联的 **16 字节块 (B)**。
  消息的这一部分仅经过认证，未被加密。这部分具有已知长度 Len(A)，此长度值可以不是 16 字节的倍数（请参见*图 97*）。标准还具有以下规定：对于第一个消息块 (B1) 的 MSB 位，以字节表示的相关数据长度 (a) 必须按如下所述进行编码：
  - 如果 0 < a < 2^{16} - 2^8，则将其编码为 $[a]_{16}$，即两个字节。
  - 如果 2^{16} - 2^8 < a < 2^{32}，则将其编码为 0xff || 0xfe || $[a]_{32}$，即六个字节。
  - 如果 2^{32} < a < 2^{64}，则将其编码为 0xff || 0xff || $[a]_{64}$，即十个字节。
- 与明文消息 P 相关的 **16 字节块 (B)**，此明文消息将经过认证并被加密为密文 C（具有已知长度 Len(P)）。此长度可以不是 16 字节的倍数（请参见*图 97*）。
- 长度为 Len(T) 的**加密 MAC (T)** 被附加到总长度为 Len(C) 的密文 C。

当消息某一部分（A 或 P）的长度不是 16 字节的倍数时，需要采取特殊填充方案。

注： *CCM 链接模式同样能与相关数据搭配使用（即，无有效负载）。*

例如，NIST 特别出版物 800-38C 的 C.1 部分给出了以下值（十六进制数）：

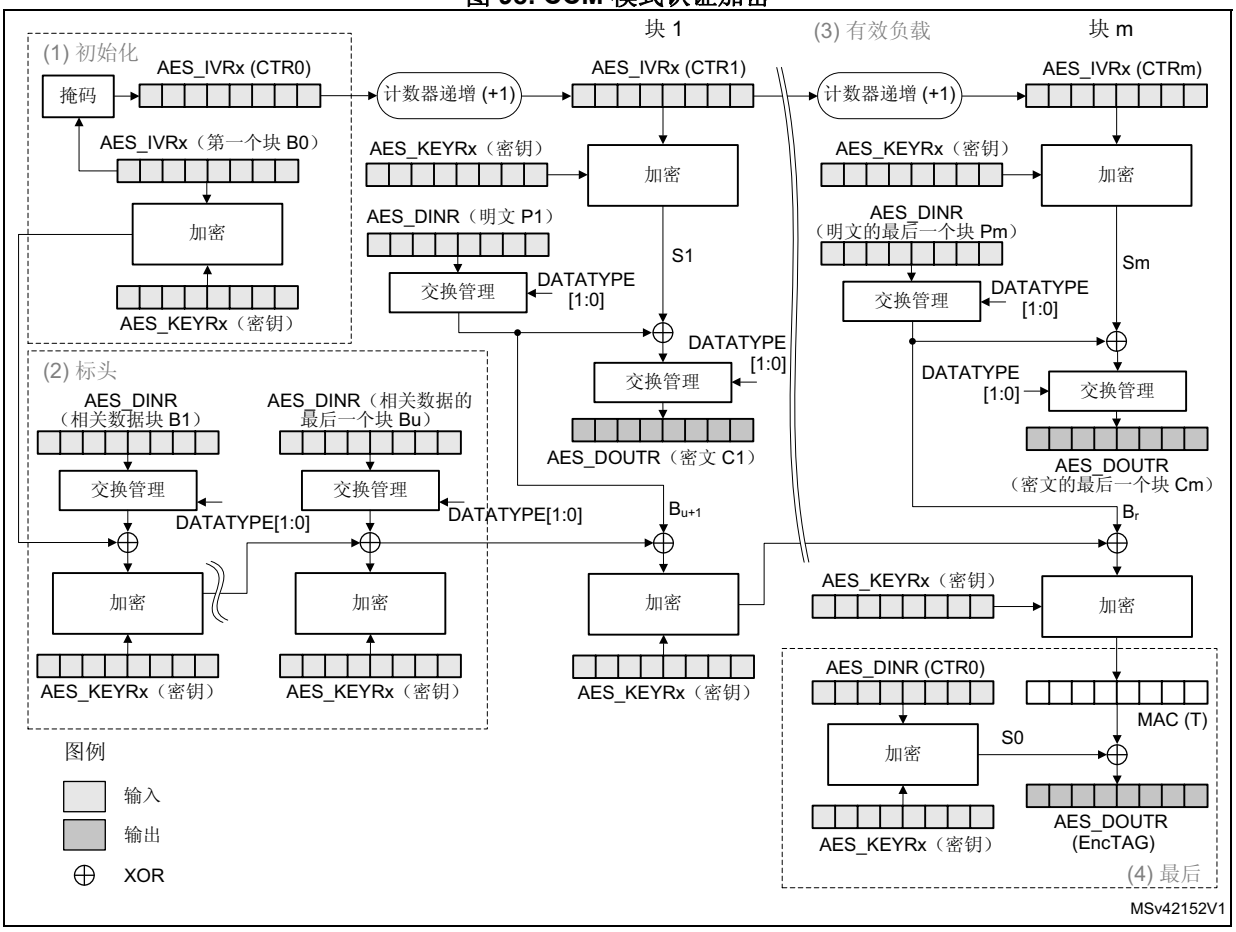
N: 10111213 141516（Len(N)= 56 位或 7 字节）
A: 00010203 04050607（Len(A)= 64 位或 8 字节）
P: **20212223**（Len(P)= 32 位或 **4** 字节）
T: 6084341B（Len(T)= 32 位或 t = 4）
B0: 4F*101112 13141516* 00000000 0000000**4**
B1: 00080001 02030405 06070000 00000000
B2: **20212223** 00000000 00000000 00000000
CTR0: 07*10111213 141516* 00000000 00000000
CTR1: 07*10111213 141516* 00000000 00000001

格式化输入数据块 Bx（特别是 B0 和 B1）的生成必须由应用程序管理。

CCM 处理

图 98 列出了 AES 外设中的 CCM 实现（加密示例）。通过向 AES_CR 寄存器中的 CHMOD[2:0] 位域写入 100 来选择此模式。

图 98. CCM 模式认证加密



生成-加密过程的数据输入包括一个有效随机值、一个有效的有效负载字符串和一个有效的相关数据字符串，这些数据均经过正确格式化。对经过格式化的明文数据应用 CBC 链接机制可生成长度已知的 MAC。计数器模式加密需要足够长的计数器块序列作为输入，其将应用于有效负载字符串并单独应用于 MAC。得到的密文 C 是明文 P 的生成-加密过程的输出。

AES_IVRx 寄存器用于处理每个数据块，AES 以第一个块 B0 定义的位长度自动使 CTR 计数器递增。*表 94* 显示了应用程序必须如何加载 B0 数据。

注： *根据 NIST 规定，CCM 模式下的 AES 外设最多支持 64 位计数器。*

表 94. 在 CCM 模式下初始化 AES_IVRx 寄存器

寄存器	AES_IVR3[31:0]	AES_IVR2[31:0]	AES_IVR1[31:0]	AES_IVR0[31:0]
输入数据	B0[31:0]	B0[63:32]	B0[95:64]	B0[127:96]

注： *在 CCM 模式下，禁止将 MODE[1:0] 位域设置为 01 和 11（密钥分散）。*

CCM 消息通过以下阶段进行处理（将在下一小节中对此进行进一步介绍）：

- **初始化阶段**：AES 处理第一个块并准备第一个计数器块。
- **标头阶段**：AES 仅使用标记计算处理相关数据 (A)。
- **有效负载阶段**：IP 基于标记计算、计数器块加密和数据异或运算处理明文 (P)。对于密文 (C) 的操作使用类似的方式。
- **最后阶段**：AES 生成消息认证码 (MAC)。

CCM 初始化阶段

在此阶段中，将 CCM 消息的第一个块 B0 写入 AES_IVRx 寄存器中。AES_DOUTR 寄存器不包含任何输出数据。建议序列为：

1. 确保 AES 外设已禁止（AES_CR 的 EN 位必须为 0）。
2. 通过将 AES_CR 寄存器的 CHMOD[2:0] 位域设置为 100 选择 CCM 链接模式，并可选择将 DATATYPE[1:0] 位域置 1。
3. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 00 来指示初始化阶段。
4. 将 AES_CR 寄存器的 MODE[1:0] 位域设置为 00 或 10。虽然该位域仅用于有效负载阶段，但建议在初始化阶段将其置 1，并在所有后续阶段保持不变。
5. 使用密钥初始化 AES_KEYRx 寄存器，并如*表 94* 所述使用 B0 数据初始化 AES_IVRx 寄存器。
6. 通过将 AES_CR 寄存器的 EN 位设置为 1 来启动计数器计算（计算完成时 EN 自动复位）。
7. 等待计算完成，通过将 AES_SR 的 CCF 标志转换为 1 进行指示。或者，使用相应的中断。
8. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。

CCM 标头阶段

GCM 初始化阶段之后的这个阶段必须在有效负载阶段之前完成。在此阶段期间，AES_DOUTR 寄存器不包含任何输出数据。

要执行的序列为（加密与解密完全相同）：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 01 来指示标头阶段。请勿修改初始化阶段中设置的 MODE[1:0] 位域。
2. 如果跳过了标头阶段，则通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
3. 如果它是最后一个块，并且块中的 AAD 大小低于 128 位，则用零填充块的其余部分。然后按*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中所述的其中一种方式将数据块附加到 AES。
4. 重复步骤 *3*，直到处理完最后一个附加认证数据块。

注： *如无相关数据（即 Len(A) = 0），则可以跳过标头阶段。*

必须由软件使用相关数据长度格式化相关数据的首个块 (B1)。

CCM 有效负载阶段（加密或解密）

在 CCM 标头阶段之后执行此阶段（加密和解密相同）。在此阶段，加密/解密的有效负载将存储在 AES_DOUTR 寄存器中。要执行的序列为：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 10 来指示有效负载阶段。请勿修改初始化阶段中设置的 MODE[1:0] 位域。
2. 如果跳过了标头阶段，则通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
3. 如果它是最后一个待加密的数据块，并且块中明文大小低于 128 位，则用零填充块的其余部分。
4. 按*第 413 页的第 19.4.4 节：用于执行密码操作的 AES 过程*中所述的其中一种方式将数据块附加到 AES，并读取结果。
5. 重复上一步，直到倒数第二个明文块被加密或直到最后一个密文块被解密。对于最后一个明文块（仅限加密），应用前两步。对于最后一个块，当其大小小于 16 字节时，将不属于有效负载的一部分的位丢弃。

注： *如果没有有效负载数据，即当 Len(P) = 0 或 Len(P) = Len(T) 时，可以跳过有效负载阶段。*

解密密文 C 时，移除 $LSB_{Len(T)}(C)$ 加密标记信息。

CCM 最后阶段

在此最后一个阶段中，AES 外设会生成 GCM 认证标记并将其存储在 AES_DOUTR 寄存器中。要执行的序列为：

1. 通过将 AES_CR 寄存器中的 GCMPH[1:0] 位域设置为 11 来指示最后阶段。
2. 等待 AES_SR 寄存器的计算完成标志 CCF 置 1。
3. 读取 AES_DOUTR 寄存器四次：此输出即为 CCM 认证标记。
4. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。
5. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。
6. 对于认证解密，将生成的加密标记与密文中填充的加密标记进行比较。

注： *在此最后阶段，正常读取数据（无交换）。*

当从报头阶段过渡到最后阶段时，不得禁止 AES 外设，否则结果会是错误的。

应用程序必须使用标记长度对认证标记输出进行掩码操作以获取有效标记。

CCM 模式下的挂起/恢复操作

要在标头或有效负载阶段挂起消息处理，请执行以下操作：

1. 如果使用 DMA，则通过将 AES_CR 寄存器中的 DMAINEN 位清零来停止 AES DMA 对 IN FIFO 的数据传输。如果未使用 DMA，确保当前计算已完成，完成由 AES_SR 寄存器的 CCF 标志设置为 1 指示。
2. 在有效负载阶段，如果未使用 DMA，则读取四次 AES_DOUTR 寄存器以保存最后处理的块。如果使用 DMA，等待 AES_SR 寄存器中的 CCF 标志置 1，然后通过将 AES_CR 寄存器中的 DMAOUTEN 输出位清零来停止 DMA 对 OUT FIFO 的数据传输。
3. 通过将 AES_CR 寄存器中的 CCFC 位设置为 1，将 AES_SR 寄存器中的 CCF 标志清零。
4. 将 AES_SUSPxR 寄存器（其中 x 等于 0 到 7）保存到存储器中。
5. 保存 AES_IVRx 寄存器，因为在数据处理过程中，它们相较于初始值发生更改。
6. 通过将 AES_CR 寄存器中的 EN 位清零来禁止 AES 外设。

7. 将当前 AES 配置保存到存储器中（初始化向量寄存器 AES_IVRx 除外）。无需保存密钥寄存器，因为应用程序已知初始密钥值。
8. 如果使用 DMA，则保存 DMA 控制器状态（指向 IN 数据传输的指针以及剩余字节数等）。在有效负载阶段，也必须保存指向 OUT 数据传输的指针。

要恢复消息处理，请执行以下操作：

1. 如果使用 DMA，则重新配置 DMA 控制器以完成 FIFO IN 传输的其余部分。在有效负载阶段，也必须在 DMA 控制器中配置 FIFO OUT 的其余部分。
2. 确保 AES 外设已禁止（AES_CR 寄存器的 EN 位必须为 0）。
3. 将先前保存在存储器中的挂起寄存器值回写到其相应的 AES_SUSPxR 寄存器中（其中 x 等于 0 到 7）。
4. 将先前保存在存储器中的初始化向量寄存器值写回到其相应的 AES_IVRx 寄存器中。
5. 恢复 AES_CR 和 AES_KEYRx 寄存器中的初始化设置值。
6. 通过将 AES_CR 寄存器中的 EN 位置 1 来使能 AES 外设。
7. 如果使用 DMA，将 AES_CR 寄存器中的 DMAINEN 位置 1（如果在有效负载阶段，还要将 DMAOUTEN 位置 1），以使能 AES DMA 请求。

19.4.13 AES 数据寄存器和数据交换

数据输入和输出

通过将四个连续的 32 位字写入 AES_DINR 寄存器（位域 DIN[127:0]），将 128 位数据块输入到 AES 外设，先最高有效字（位 [127:96]），后最低有效字（位 [31:0]）。

通过从 AES_DOUTR 寄存器（位域 DOUT[127:0]）读取四个连续的 32 位字，从 AES 外设读取 128 位数据块，先最高有效字（位 [127:96]），后最低有效字（位 [31:0]）。

写入 AES_DINR 寄存器或从 AES_DOUTR 寄存器读取的 32 位数据字使用大端模式进行组织，即：

- 要写入 AES_DINR 的字的最高有效字节必须存储在保留要写入的字的四个相邻存储单元的最低地址中，或
- 从 AES_DOUTR 读取的字的最高有效字节存储在接收字的四个相邻存储单元的最低地址中

要使用 DMA 将输入数据块写入 AES，输入块的四个字必须以大端模式连续存储在存储器中，即最高有效字存储在最低地址中。请参见*第 19.4.16 节：AES DMA 接口*。

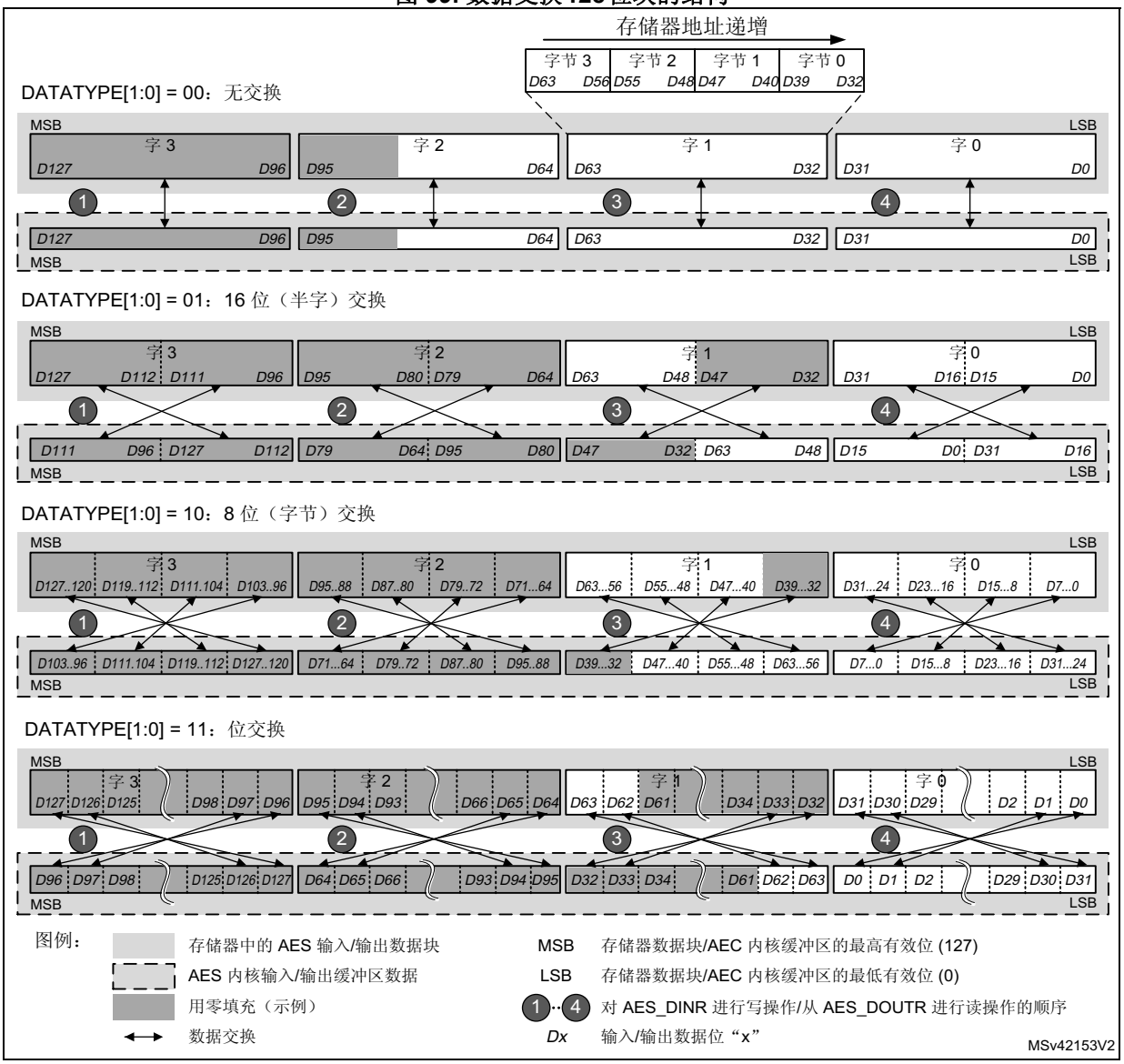
数据交换

可将 AES 外设配置为在将其加载到 AES 处理内核前对 AES_DINR 寄存器中的输入数据字，以及在将其发送到 AES_DOUTR 寄存器前对 AES 处理内核的输出数据，执行位、字节、半字或无交换。选择取决于数据类型。例如，对 ASCII 文本流使用字节交换。

通过 AES_CR 寄存器中的 DATATYPE[1:0] 位域来选择数据交换类型。该选择适用于 AES 内核的输入和输出。

对于不同的数据交换类型，*图 99* 显示了通过 AES_DINR 寄存器输入的输入数据，在 AES 处理内核输入缓冲区数据 P127..0 的结构，或通过 AES_DOUTR 寄存器的输出数据在 AES 处理内核输出缓冲区数据 P127..0 的结构。

图 99. 数据交换128位块的结构



注： *AES 密钥寄存器 (AES_KEYRx) 和初始化寄存器 (AES_IVRx) 中的数据对所选交换模式不敏感。*

数据填充

图 99 还给出了一个用零填充存储器数据块的示例，这样数据交换后的补零位在 AES 内核输入缓冲区的 MSB 端形成一个连续区域。该示例显示了输入数据块的填充，包含：

- 48 个消息位，DATATYPE[1:0] = 01
- 56 个消息位，DATATYPE[1:0] = 10
- 34 个消息位，DATATYPE[1:0] = 11

19.4.14 AES 密钥寄存器

AES_KEYRx 寄存器存储加密或解密密钥 KEY[127:0] 或 KEY[255:0]。要写入每个寄存器或从中读取的数据以小端模式组织在存储器中，即最高有效字节存储在最高地址中。

密钥分布在八个寄存器中，如*表 95* 中所示。

表 95. AES_KEYRx 寄存器中的密钥字节序（128 位或 256 位密钥长度）

AES_KEYR7 [31:0]	AES_KEYR6 [31:0]	AES_KEYR5 [31:0]	AES_KEYR4 [31:0]	AES_KEYR3 [31:0]	AES_KEYR2 [31:0]	AES_KEYR1 [31:0]	AES_KEYR0 [31:0]
-	-	-	-	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]
KEY[255:224]	KEY[223:192]	KEY[191:160]	KEY[159:128]	KEY[127:96]	KEY[95:64]	KEY[63:32]	KEY[31:0]

AES 外设禁止时，加密或解密的密钥可以写入这些寄存器。

密钥寄存器不受由 AES_CR 寄存器的 DATATYPE[1:0] 位域控制的数据交换影响。

19.4.15 AES 初始化向量寄存器

四个 AES_IVRx 寄存器保持初始化向量输入位域 IVI[127:0]。要写入每个寄存器或从中读取的数据以小端模式组织在存储器中，即最高有效字节存储在最高地址中。寄存器也以最低地址 (AES_IVR0) 到最高地址 (AES_IVR3) 的顺序排序。

位域中数据的有效性取决于选择的链接模式。使用时，位域在 AES 内核的每个计算周期内都会更新。

AES 外设使能时，对 AES_IVRx 寄存器的写入操作对寄存器内容没有影响。要修改 AES_IVRx 寄存器的内容，必须首先清零 AES_CR 寄存器的 EN 位。

读取 AES_IVRx 寄存器会返回最新计数器值（用于管理挂起模式）。

AES_IVRx 寄存器不受由 AES_CR 寄存器的 DATATYPE[1:0] 位域控制的数据交换功能的影响。

19.4.16 AES DMA 接口

AES 外设使用一个接口连接 DMA（直接存储器访问）控制器。DMA 操作通过 AES_CR 寄存器进行控制。

使用 DMA 的数据输入

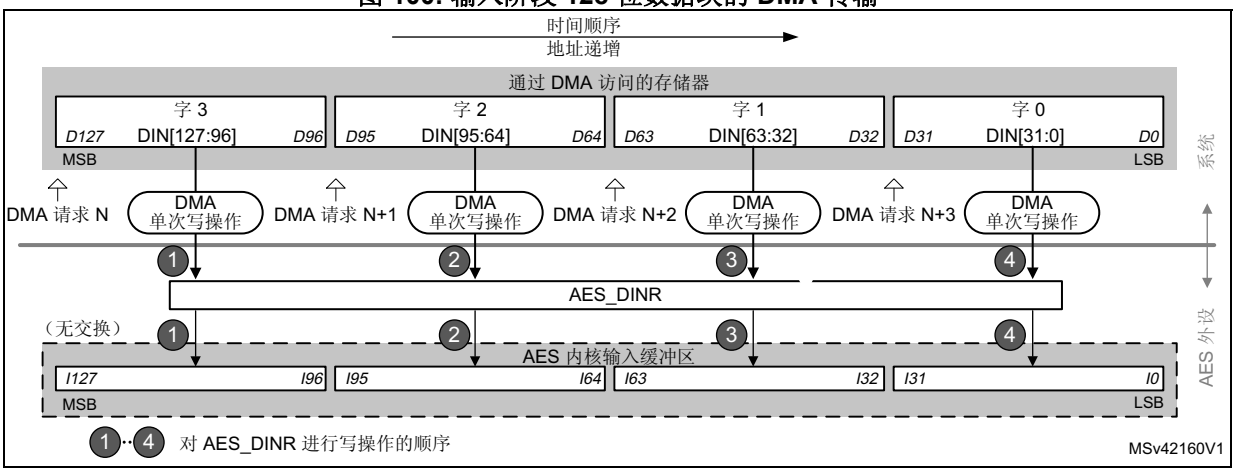
通过将 AES_CR 寄存器的 DMAINEN 位置 1，可使能 DMA 写入 AES。之后，每次 AES 外设需要向 AES_DINR 寄存器写入 128 位块（四字）时，都会在输入阶段发起 DMA 请求，如*图 100* 所示。

表 96. 用于存储器到 AES 数据传输的 DMA 通道配置

DMA 通道控制寄存器位域	推荐配置
传输数据量大小	消息长度：128 位的倍数。 根据所选算法和模式，可能需要采用特殊填充/密文窃取技术。例如在 AES GCM 加密或 AES CCM 解密情况下，DMA 传输不得包括最后一个块。有关详细信息，请参见*第 19.4.4 节：用于执行密码操作的 AES 过程*。
源突发大小（存储器）	单
目标突发大小（外设）	单
DMA FIFO 大小	AES FIFO_size = 4 个字节。
源传输宽度（存储器）	32 位字
目标传输宽度（外设）	32 位字
源地址递增（存储器）	是，每次 32 位传输后
目标地址递增（外设）	AES_DINR 的固定地址（无递增）

注： *根据所选算法和模式，可能需要采用特殊填充/密文窃取技术。例如在 AES GCM 加密或 AES CCM 解密情况下，DMA 传输不得包括最后一个块。有关详细信息，请参见第 19.4.4 节：用于执行密码操作的 AES 过程。*

图 100. 输入阶段 128 位数据块的 DMA 传输



使用 DMA 的数据输出

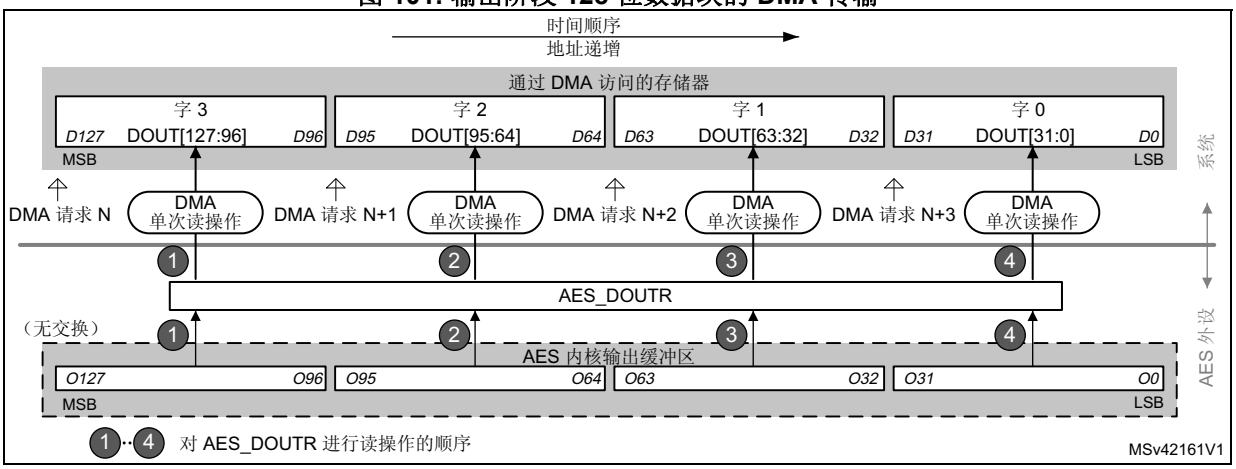
通过将 AES_CR 寄存器的 DMAOUTEN 位置 1，可使能 DMA 从 AES 读取。之后，每次 AES 外设需要从 AES_DOUTR寄存器读出 128 位块（四字）时，都会在输出阶段发起 DMA 请求，如*图 101* 所示。

表 97. 用于 AES 到存储器数据传输的 DMA 通道配置

DMA 通道控制寄存器位域	推荐配置
传输数据量大小	消息长度，AES 块大小（4 个字）的倍数。根据情况，需要丢弃额外的字节。
源突发大小（外设）	单
目标突发大小（存储器）	单
DMA FIFIO 大小	AES FIFO_size = 4 个字节
源传输宽度（外设）	32 位字
目标传输宽度（存储器）	32 位字
源地址递增（外设）	AES_DOUTR 的固定地址（无递增）
目标地址递增（存储器）	是，每次 32 位传输后

注：　根据消息大小，应用程序可能需要丢弃最后一个块中额外的字节。

图 101. 输出阶段 128 位数据块的 DMA 传输



不同工作模式下的 DMA 操作

当通过 AES_CR 寄存器的 MODE[1:0] 位域选择模式 1（加密）或模式 3（解密）时，DMA 操作可用。在模式 2（密钥派生）下，AES_KEYRx 寄存器必须通过软件写入，通过 AES_CR 寄存器的 DMAINEN 和 DMAOUTEN 位使能 DMA 传输在该模式下无效。

AES 会一直产生 DMA 单次请求，直到被禁用。因此，128 位数据块处理结束时的数据输出阶段之后，AES 会自动切换到下一个数据块的新数据输入阶段（如果存在）。

当 AES 和存储器之间的数据传输由 DMA 管理时，CCF 标志无意义，可通过软件忽略（置 1）。只有在转换回由软件管理的数据传输时才能清零此标志。请参见*第 19.4.8 节：AES 基本链接模式（ECB 和 CBC）*中的*ECB/CBC 模式下的挂起/恢复操作*作为示例。

19.4.17 AES 错误管理

如果检测到非预期的读取或写入操作，则会将 AES_SR 寄存器中的读取错误标志 (RDERR) 和写入错误标志 (WRERR) 位置 1。如果 AES_CR 寄存器中的错误中断使能 (ERRIE) 位置 1，则会产生中断。有关详细信息，请参见*第 19.5 节：AES 中断*。

注： *检测到错误后，AES 不会禁止，而是会继续处理。*

可随时通过将 AES_CR 寄存器中的 EN 位清零再置 1 来重新初始化 AES。

读取错误标志 (RDERR)

如果在计算阶段或输入阶段检测到非预期的读取操作时，则会将 AES_SR 寄存器中的 AES 读取错误标志 (RDERR) 置 1。如果 AES_CR 寄存器中的 ERRIE 位置 1，则会产生中断。

通过将 AES_CR 寄存器中的相应 ERRC 位置 1 来清零 RDERR 标志。

写入错误标志 (WDERR)

如果在计算阶段或输出阶段检测到非预期的写入操作时，则会将 AES_SR 寄存器中的 AES 写入错误标志 (WRERR) 置 1。如果 AES_CR 寄存器中的 ERRIE 位置 1，则会产生中断。

通过将 AES_CR 寄存器中的相应 ERRC 位置 1 来清零 WDERR 标志。

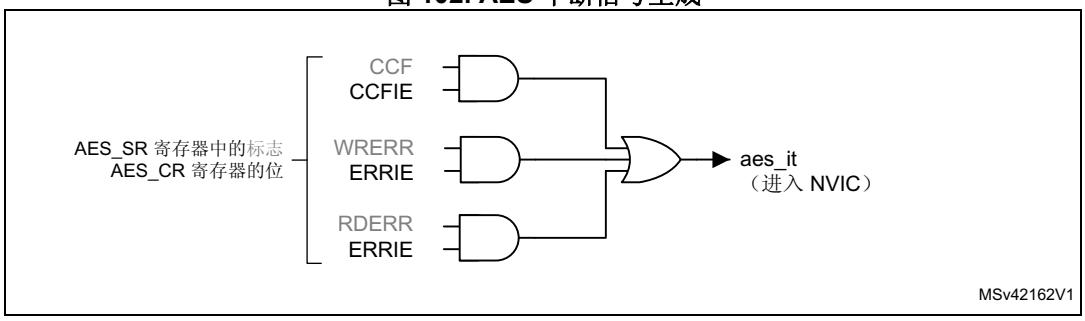
19.5 AES 中断

AES 外设可生成三个独立的可屏蔽中断源，用以通知发生以下事件：

- 计算完成
- 读取错误，请参见*第 19.4.17 节*
- 写入错误，请参见*第 19.4.17 节*

这三个中断源合并为一个连接到 NVIC（嵌套向量中断控制器）的通用中断信号 aes_it。

图 102. AES 中断信号生成



可通过将 AES_CR 寄存器的相应使能位置 1/清零，分别使能/禁止每个 AES 中断源。请参见*图 102*。

可以从 AES_SR 寄存器中读取各个可屏蔽中断源的状态。

表 98 对中断源及其事件标志和使能位进行了总结。

表 98. AES 中断请求

AES 中断事件	事件标志	使能位
计算完成标志	CCF	CCFIE
读取错误标志	RDERR	ERRIE
写入错误标志	WRERR	ERRIE

19.6 AES 处理延迟

下表列出了每种工作模式下处理 128 位块的延迟。

表 99. ECB、CBC 和 CTR 模式下的处理延迟（以时钟周期计）

密钥大小	工作模式	算法	输入阶段 + FSM 集	计算阶段	输出阶段	总计
128 位	模式 1：加密	ECB、CBC、CTR	9	38	4	**51**
	模式 2：密钥派生	-	-	59	-	**59**
	模式 3：解密	ECB、CBC、CTR	9	38	4	**51**
	模式 4：密钥派生和解密	ECB、CBC	9	93	4	**106**
256 位	模式 1：加密	ECB、CBC、CTR	13	58	4	**75**
	模式 2：密钥派生	-	-	82	-	**82**
	模式 3：解密	ECB、CBC、CTR	13	58	4	**75**
	模式 4：密钥派生和解密	ECB、CBC	13	128	4	**145**

表 100. GCM 和 CCM 模式下的处理延迟（以时钟周期计）

密钥大小	工作模式	算法	初始化阶段	标头阶段	有效负载阶段	标记阶段
128 位	模式 1：加密/ 模式 3：解密	GCM	64	35	51	59
		CCM	63	55	114	58
256 位	模式 1：加密/ 模式 3：解密	GCM	88	35	75	75
		CCM	87	79	162	82

注： *数据插入可以包括 AES 在 AHB 总线上强制的等待周期（最多 3 个周期，通常为 1 个周期）。这适用于所有标头/有效负载/标记阶段。*

19.7 AES 寄存器

19.7.1 AES 控制寄存器 (AES_CR)

AES control register

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB[3:0]				Res.	KEYSIZE	Res.	CHMOD[2]
								rw	rw	rw	rw		rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	GCMPH[1:0]		DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	CHMOD[1:0]		MODE[1:0]		DATATYPE[1:0]		EN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 保留，必须保持复位值。

位 23:20 **NPBLB[3:0]**：最后一个块中填充字节的数量 (Number of padding bytes in last block)

该位域用于设置有效负载的最后一个块中填充字节的数量：
0000：所有字节均有效（无填充）
0001：填充最后一个块的一个最低有效字节
...
1111：填充最后一个块的 15 个最低有效字节

位 19 保留，必须保持复位值。

位 18 **KEYSIZE**：密钥大小选择 (Key size selection)

该位域用于 AES 加密内核中使用的密钥长度（以位为单位）：
0: 128
1: 256

仅当 AES 禁止时才允许更改位值，以避免不可预测的行为。

位 17 保留，必须保持复位值。

位 16 **CHMOD[2]**：链接模式选择，位 [2] (Chaining mode selection, bit [2])

有关 CHMOD[2:0] 位域的说明，请参见寄存器的位 [5:6]

位 15 保留，必须保持复位值。

位 14:13 **GCMPH[1:0]**：GCM 或 CCM 阶段选择 (GCM or CCM phase selection)

该位域选择 GCM、GMAC 或 CCM 算法的阶段：
00：初始化阶段
01：标头阶段
10：有效负载阶段
11：最后阶段

如果选择 GCM、GMAC 或 CCM 以外的算法（通过 ALGOMODE 位域），则该位域不起作用。

位 12 **DMAOUTEN**：DMA 输出使能 (DMA output enable)

该位在输出阶段使能/禁止使用 DMA 进行数据传输：

0：禁止

1：使能

该位置 1 时，AES 会在输出数据阶段自动生成 DMA 请求。该功能仅在通过 MODE[1:0] 位域选择了模式 1 或模式 3 时才有效。它不适用于模式 2（密钥派生）。

不建议在模式 4 下（单次解密）使用 DMA。

位 11 **DMAINEN**：DMA 输入使能 (DMA input enable)

该位在输入阶段使能/禁止使用 DMA 进行数据传输：

0：禁止

1：使能

该位置 1 时，AES 会在输入数据阶段自动生成 DMA 请求。该功能仅在通过 MODE[1:0] 位域选择了模式 1 或模式 3 时才有效。它不适用于模式 2（密钥派生）。

不建议在模式 4 下（单次解密）使用 DMA。

位 10 **ERRIE**：错误中断使能 (Error interrupt enable)

当 RDERR 和/或 WRERR 置 1 时，该位使能或禁止（屏蔽）AES 中断：

0：禁止（屏蔽）

1：使能

位 9 **CCFIE**：CCF 中断使能 (CCF interrupt enable)

当 CCF（计算完成标志）置 1 时，该位使能或禁止（屏蔽）AES 中断：

0：禁止（屏蔽）

1：使能

位 8 **ERRC**：错误标志清零 (Error flag clear)

写入 1 后，该位将 AES_SR 寄存器中的 RDERR 和 WRERR 错误标志清零：

0：无影响

1：清零 RDERR 和 WRERR 标志

读取标志始终返回零。

位 7 **CCFC**：计算完成标志清零 (Computation complete flag clear)

写入 1 后，该位将 AES_SR 寄存器中的计算完成标志 (CCF) 清零：

0：无影响

1：清零 CCF

读取标志始终返回零。

位 6:5 **CHMOD[1:0]**：链接模式选择，位 [1:0] (Chaining mode selection, bits [1:0])

这些位与位 CHMOD[2]（请参见此寄存器的位 16）一起构成 CHMOD[2:0] 位域，用于选择 AES 链接模式：

000：电子密码本 (ECB)

001：密码块链接 (CBC)

010：计数器模式 (CTR)

011：Galois 计数器模式 (GCM) 和 Galois 消息认证码 (GMAC)

100：CBC-MAC 计数器模式 (CCM)

>100：保留

仅当 AES 禁止时才允许更改位域值，以避免不可预测的行为。

位 4:3 **MODE[1:0]**：AES 工作模式 (AES operating mode)

此位域选择 AES 工作模式：

00：模式 1：加密

01：模式 2：密钥派生（或针对 ECB/CBC 解密准备密钥）

10：模式 3：解密

11：模式 4：密钥派生和单次解密

仅当 AES 禁止时才允许更改位域值，以避免不可预测的行为。在未选择 ECB 或 CBC 链接模式时选择模式 4 的任何尝试，都将默认为有效选择模式 3。在模式 4 之后不能选择模式 3。

位 2:1 **DATATYPE[1:0]**：数据类型选择 (Data type selection)

此位域通过选择数据交换模式，定义了写入 AES_DINR 寄存器或从 AES_DOUTR 寄存器中读取的数据的格式：

00：无

01：半字（16 位）

10：字节（8 位）

11：位

有关详细信息，请参见*第 19.4.13 节：AES 数据寄存器和数据交换*。

仅当 AES 禁止时才允许更改位域值，以避免不可预测的行为。

位 0 **EN**：AES 使能 (AES enable)

该位用于使能/禁止 AES 外设：

0：禁止

1：使能

可随时通过将该位清零再置 1 来重新初始化 AES 外设。

当密钥准备过程结束时（模式 2），该位由硬件自动清零。

19.7.2 AES 状态寄存器 (AES_SR)

AES status register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
												r	r	r	r

位 31:4 保留，必须保持复位值。

位 3 **BUSY**：繁忙 (Busy)

该标志指示 AES 在 GCM 有效负载**加密**阶段是空闲还是繁忙：
0：空闲
1：繁忙

该标志由硬件控制。当标志指示“空闲”时，可以挂起当前消息处理以处理更高优先级的消息。
该标志仅在 GCM 有效负载加密阶段有效。在其他链接模式下，或在除有效负载加密外的 GCM 阶段，必须忽略该标志。

位 2 **WRERR**：写入错误 (Write error)

此标志指示检测到 AES_DINR 寄存器中发生了未预期的写入操作（计算阶段或数据输出阶段）：
0：未检测到
1：已检测到

该标志由硬件置 1。此位用软件清零，方法是将 AES_CR 寄存器中的 ERRC 位置 1。
标志置 1 时，如果通过 AES_CR 寄存器的 ERRIE 位使能，则会产生中断。
标志置 1 对 AES 操作没有影响。
当选择密钥派生模式或 GCM/CCM 初始化阶段时，该标志无效。

位 1 **RDERR**：读取错误标志 (Read error flag)

此标志指示检测到 AES_DOUTR 寄存器中发生了未预期的读取操作（计算阶段或数据输入阶段）：
0：未检测到
1：已检测到

该标志由硬件置 1。此位用软件清零，方法是将 AES_CR 寄存器中的 ERRC 位置 1。
标志置 1 时，如果通过 AES_CR 寄存器的 ERRIE 位使能，则会产生中断。
标志置 1 对 AES 操作没有影响。
当选择密钥派生模式或 GCM/CCM 初始化/标头阶段时，该标志无效。

位 0 **CCF**：计算完成标志 (Computation completed flag)

该标志指示计算是否完成：
0：未完成
1：已完成

计算完成后，该标志由硬件置 1。此位用软件清零，方法是将 AES_CR 寄存器中的 CCFC 位置 1。
标志置 1 时，如果通过 AES_CR 寄存器的 CCFIE 位使能，则会产生中断。
仅当 DMAOUTEN 位为 0 时，该标志才有效。DMA_EN 为 1 时，该位可能保持为 1。

19.7.3 AES 数据输入寄存器 (AES_DINR)

AES data input register

偏移地址：0x08

复位值：0x0000 0000

仅支持 32 位访问类型。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DIN[x+31:x+16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIN[x+15:x]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **DIN[x+31:x]**：写入外设的 128 位输入数据块的四个 32 位字之一

该位域将数据输入到一个 32 位输入缓冲区。在输入阶段，对该位域连续做4次写操作，可将一个完整的 128 位输入数据块写入 AES 外设。在每次写入时，数据交换块根据 DATATYPE[1:0] 位域对输入缓冲区的数据进行处理，然后写入 AES 内核 128 位输入缓冲区。

第一次到第四次写入操作分别将“x”替换为：96、64、32 和 0。也就是说，第一次到第四次写入操作的数据为：DIN[127:96]、DIN[95:64]、DIN[63:32] 和 DIN[31:0]。

输入数据块的数据有效性取决于 AES 工作模式：

- **模式 1**（加密）：明文
- **模式 2**（密钥派生）：未使用该位域（将 AES_KEYRx 寄存器用于输入）
- **模式 3**（解密）和**模式 4**（密钥派生和单次解密）：密文

*第 436 页的第 19.4.13 节：AES 数据寄存器和数据交换*对数据交换操作进行了介绍。

19.7.4 AES 数据输出寄存器 (AES_DOUTR)

AES data output register

偏移地址：0x0C

复位值：0x0000 0000

仅支持 32 位访问类型。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DOUT[x+31:x+16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DOUT[x+15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:0 **DOUT[x+31:x]**：从外设读取的 128 位输出数据块的四个 32 位字之一

该只读位域从一个32位输出缓冲区读数据。计算完成后（CCF 置 1），对该位域进行 4 次连续读取，可从 AES 外设读取一个完整的 128 位输出数据块。在到达输出缓冲区之前，数据交换块根据 DATATYPE[1:0] 位域对 AES 内核产生的数据进行处理。

第一次到第四次读取操作分别将 DOUT[x+31:x] 替换为：96、64、32 和 0。也就是说，第一次到第四次读取操作的数据为：DOUT[127:96]、DOUT[95:64]、DOUT[63:32] 和 DOUT[31:0]。

输出数据块的数据有效性取决于 AES 工作模式：

- **模式 1**（加密）：密文
- **模式 2**（密钥派生）：未使用该位域（将 AES_KEYRx 寄存器用于输出）
- **模式 3**（解密）和**模式 4**（密钥派生和单次解密）：明文

*第 436 页的第 19.4.13 节：AES 数据寄存器和数据交换*对数据交换操作进行了介绍。

19.7.5 AES 密钥寄存器 0 (AES_KEYR0)

AES key register 0

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[31:0]**：加密密钥 (Cryptographic key)，位 [31:0]

该位域包含 AES 加密或解密密钥的位 [31:0]，具体取决于工作模式：

- **模式 1**（加密）、**模式 2**（密钥派生）和**模式 4**（密钥派生和单次解密）：写入位域的值是加密密钥。
- **模式 3**（解密）：写入位域的值是在用于解密之前派生的加密密钥。将加密密钥写入位域后，在使能 AES 之前的读取操作返回相同的值。使能 AES 后且将 CCF 标志置 1 后的读取操作返回从加密密钥派生的解密密钥。

注： 在模式 4（密钥派生和单次解密）中，位域总是包含加密密钥。

只有在禁止 AES 外设时，才能向 AES_KEYRx 寄存器执行写操作。

更多详细信息，请参见*第 438 页的第 19.4.14 节：AES 密钥寄存器*。

19.7.6 AES 密钥寄存器 1 (AES_KEYR1)

AES key register 1

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[63:48]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[47:32]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[63:32]**：加密密钥 (Cryptographic key)，位 [63:32]

有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.7 AES 密钥寄存器 2 (AES_KEYR2)

AES key register 2

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[95:80]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[79:64]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[95:64]**：加密密钥 (Cryptographic key)，位 [95:64]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.8 AES 密钥寄存器 3 (AES_KEYR3)

AES key register 3

偏移地址：0x1C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[127:112]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[111:96]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[127:96]**：加密密钥 (Cryptographic key)，位 [127:96]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.9 AES 初始化向量寄存器 0 (AES_IVR0)

AES initialization vector register 0

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **IVI[31:0]**：初始化向量输入 (Initialization vector input)，位 [31:0]
有关 IVI[127:0] 位域的说明，请参见*第 438 页的第 19.4.15 节：AES 初始化向量寄存器*。
初始化向量仅用于除 ECB 以外的链接模式。
只有在禁止 AES 外设时，才能向初始化向量执行写操作。

19.7.10 AES 初始化向量寄存器 1 (AES_IVR1)

AES initialization vector register 1

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[63:48]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[47:32]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **IVI[63:32]**：初始化向量输入 (Initialization vector input)，位 [63:32]
有关 IVI[128:0] 位域的说明，请参见 AES_IVR0 寄存器。

19.7.11 AES 初始化向量寄存器 2 (AES_IVR2)

AES initialization vector register 2

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[95:80]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[79:64]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **IVI[95:64]**：初始化向量输入 (Initialization vector input)，位 [95:64]
有关 IVI[128:0] 位域的说明，请参见 AES_IVR0 寄存器。

19.7.12 AES 初始化向量寄存器 3 (AES_IVR3)

AES initialization vector register 3

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
IVI[127:112]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IVI[111:96]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **IVI[127:96]**：初始化向量输入 (Initialization vector input)，位 [127:96]
有关 IVI[128:0] 位域的说明，请参见 AES_IVR0 寄存器。

19.7.13 AES 密钥寄存器 4 (AES_KEYR4)

AES key register 4

偏移地址：0x30

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[159:144]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[143:128]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[159:128]**：加密密钥 (Cryptographic key)，位 [159:128]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.14 AES 密钥寄存器 5 (AES_KEYR5)

AES key register 5

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[191:176]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[175:160]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[191:160]**：加密密钥 (Cryptographic key)，位 [191:160]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.15 AES 密钥寄存器 6 (AES_KEYR6)

AES key register 6

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[223:208]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[207:192]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[223:192]**：加密密钥 (Cryptographic key)，位 [223:192]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

19.7.16 AES 密钥寄存器 7 (AES_KEYR7)

AES key register 7

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
KEY[255:240]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[239:224]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **KEY[255:224]**：加密密钥 (Cryptographic key)，位 [255:224]
有关 KEY[255:0] 位域的说明，请参见 AES_KEYR0 寄存器。

注： *仅当选择 256 位密钥长度时，才使用密钥寄存器 4 到密钥寄存器 7。当选择 128 位密钥长度时，它们不起作用（此时仅使用密钥寄存器 0 到密钥寄存器 3）。*

19.7.17 AES 挂起寄存器 (AES_SUSPxR)

偏移地址：0x040 + x * 0x4，（x = 0 到 7）

复位值：0x0000 0000

当前任务的 AES 处理被挂起以处理更高优先级的任务时，这些寄存器包含 AES 处理器的完整内部寄存器状态。
挂起后，软件在将 AES 处理器用于更高优先级的任务前，读取 AES_SUSPxR 寄存器内容（其中 x 等于 0 到 7）并将其保存到存储器中。完成后，软件在恢复原始任务前将保存的内容恢复到相应的挂起寄存器中。

注： *这些寄存器仅在选择了 GCM、GMAC 或 CCM 链接模式时才可使用。*

仅当 AES 使能时才能读取这些寄存器。当 AES 禁止时读取这些寄存器将返回 0x0000 0000。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SUSPx															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUSPx															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **SUSPx**：AES 挂起 (AES suspend)
挂起操作后，每个 AES_SUSPxR 寄存器的此位域取内部 AES 寄存器之一的值。

19.7.18 AES 寄存器映射

表 101. AES 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0000	AES_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	NPBLB				Res.	KEYSIZE	Res.	CHMOD[2]	Res.	GCMPH[1:0]		DMAOUTEN	DMAINEN	ERRIE	CCFIE	ERRC	CCFC	CHMOD[1:0]		MODE[1:0]		DATATYPE[1:0]		EN
	Reset value									0	0	0	0		0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0004	AES_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BUSY	WRERR	RDERR	CCF
	Reset value																													0	0	0	0
0x0008	AES_DINR x=96,64,32,0	DIN[x+31:x]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x000C	AES_DOUTR x=96,64,32,0	DOUT[x+31:x]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0010	AES_KEYR0	KEY[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0014	AES_KEYR1	KEY[63:32]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0018	AES_KEYR2	KEY[95:64]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x001C	AES_KEYR3	KEY[127:96]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0020	AES_IVR0	IVI[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0024	AES_IVR1	IVI[63:32]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0028	AES_IVR2	IVI[95:64]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x002C	AES_IVR3	IVI[127:96]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0030	AES_KEYR4	KEY[159:128]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0034	AES_KEYR5	KEY[191:160]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0038	AES_KEYR6	KEY[223:192]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 101. AES 寄存器映射和复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x003C	AES_KEYR7	KEY[255:224]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0040	AES_SUSP0R	SUSP0[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0044	AES_SUSP1R	SUSP1[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0048	AES_SUSP2R	SUSP2[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004C	AES_SUSP3R	SUSP3[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0050	AES_SUSP4R	SUSP4[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0054	AES_SUSP5R	SUSP5[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0058	AES_SUSP6R	SUSP6[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x005C	AES_SUSP7R	SUSP7[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

20 高级控制定时器 (TIM1)

在本章中，“TIMx”应理解为“TIM1”，因为本参考手册所适用的产品只有一个该类型定时器的实例。

20.1 TIM1 简介

高级控制定时器 (TIM1) 包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器可用于多种用途，包括测量输入信号的脉冲宽度（输入捕获），或者生成输出波形（输出比较、PWM 和带死区插入的互补 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

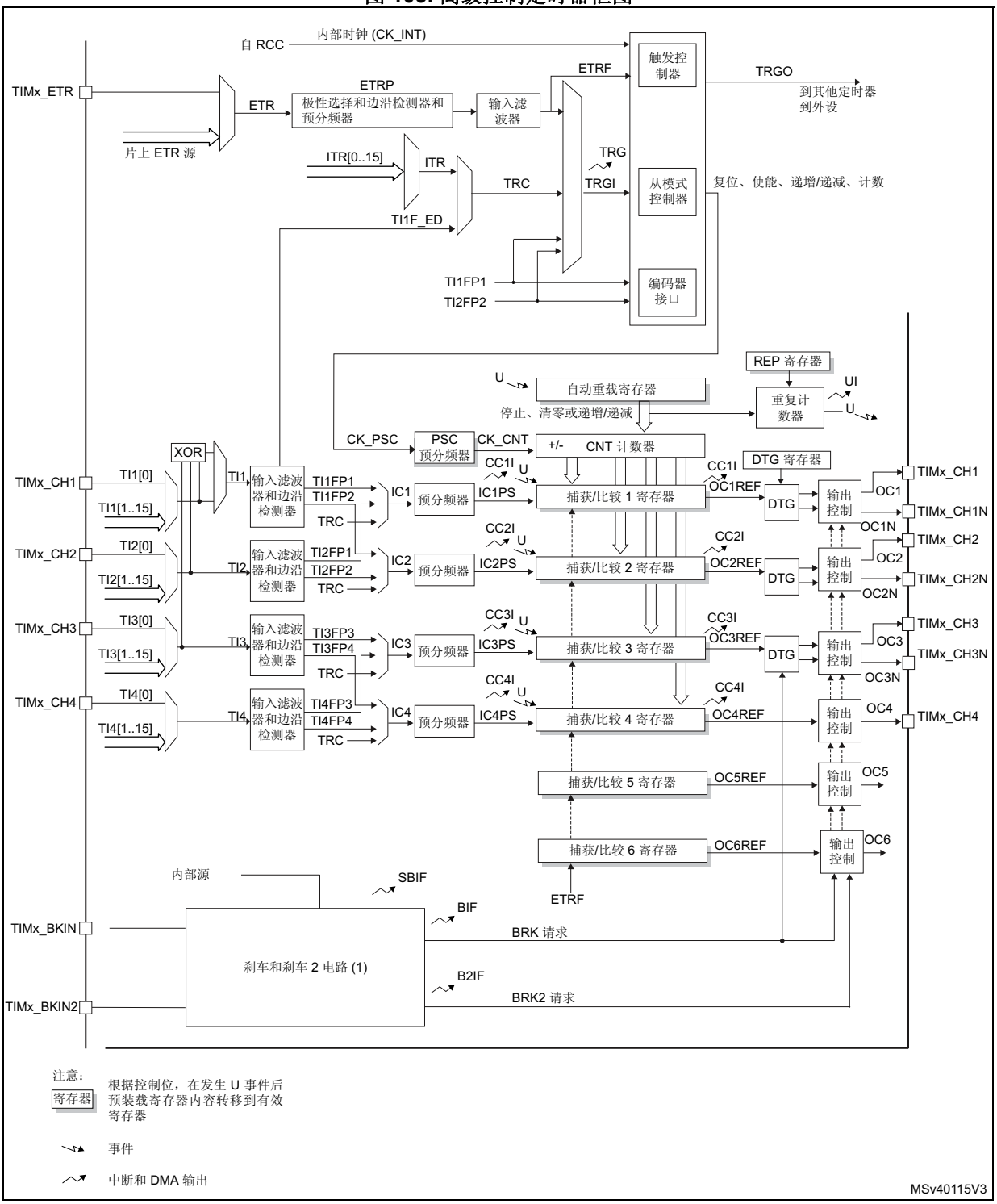
高级控制定时器 (TIM1) 和通用定时器 (TIMy) 彼此完全独立，不共享任何资源。如*第 20.3.26 节：定时器同步*中所述，它们可以一起同步操作。

20.2 TIM1 主要特性

TIM1 定时器主要特性：

- 16 位递增、递减、递增/递减自动重载计数器。
- 16 位可编程（可以实时修改）预分频器，计数器时钟频率的分频系数为 1 ~ 65535 之间的任意数值。
- 多达 6 个独立通道，可用于：
  - 输入捕获（通道 5 和通道 6 除外）
  - 输出比较
  - PWM 生成（边沿和中心对齐模式）
  - 单脉冲模式输出
- 带可编程死区时间的互补输出。
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路。
- 重复计数器，用于在给定数目的计数器周期后更新定时器寄存器。
- 2 个刹车输入，用于将定时器的输出信号置于用户可选的安全配置中。
- 发生如下事件时生成中断/DMA 请求：
  - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）
  - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
  - 输入捕获
  - 输出比较
- 支持用于定位的增量（正交）编码器和霍尔传感器电路。
- 触发输入用作外部时钟或逐周期电流管理。

图 103. 高级控制定时器框图



1. 内部刹车事件源可以是：
   - 由 CSS 生成的时钟故障事件。有关 CSS 的更多信息，请参见*第 5.2.8 节：时钟安全系统 (CSS)*
   - PVD 输出
   - SRAM 奇偶校验错误信号
   - Cortex®-M0+LOCKUP (Hardfault) 输出
   - COMPx 输出，x = 1、2

20.3 TIM1 功能说明

20.3.1 时基单元

可编程高级控制定时器的主要模块是一个 16 位计数器及其相关的自动重载寄存器。计数器可递增计数、递减计数或交替进行递增和递减计数。计数器的时钟可通过预分频器进行分频。

计数器、自动重载寄存器和预分频器寄存器可通过软件进行读写。即使在计数器运行时也可执行读写操作。

时基单元包括：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动重载寄存器 (TIMx_ARR)
- 重复计数器寄存器 (TIMx_RCR)

自动重载寄存器是预装载的。对自动重载寄存器执行写入或读取操作时会访问预装载寄存器。预装载寄存器的内容既可以直接传送到影子寄存器，也可以在每次发生更新事件 (UEV) 时传送到影子寄存器，这取决于 TIMx_CR1 寄存器中的自动重载预装载使能位 (ARPE)。当计数器达到上溢值（或者在递减计数时达到下溢值）并且 TIMx_CR1 寄存器中的 UDIS 位为 0 时，将发送更新事件。该更新事件也可由软件产生。下文将针对各配置的更新事件的产生进行详细介绍。

计数器由预分频器输出 CK_CNT 提供时钟，仅当 TIMx_CR1 寄存器中的计数器启动位 (CEN) 置 1 时，才会启动计数器（有关计数器使能的更多详细信息，另请参见从模式控制器的相关说明）。

注意，计数器将在 TIMx_CR1 寄存器的 CEN 位置 1 时刻的一个时钟周期后开始计数。

预分频器说明

预分频器可对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间。该预分频器基于 TIMx_PSC 寄存器中的 16 位寄存器所控制的 16 位计数器。由于该控制寄存器具有缓冲功能，因此它能够在运行时被更改。而新的预分频比将在下一更新事件发生时被采用。

图 104 和 *图 105* 以一些示例说明在预分频比实时变化时计数器的行为：

图 104. 预分频器分频由 1 变为 2 时的计数器时序图

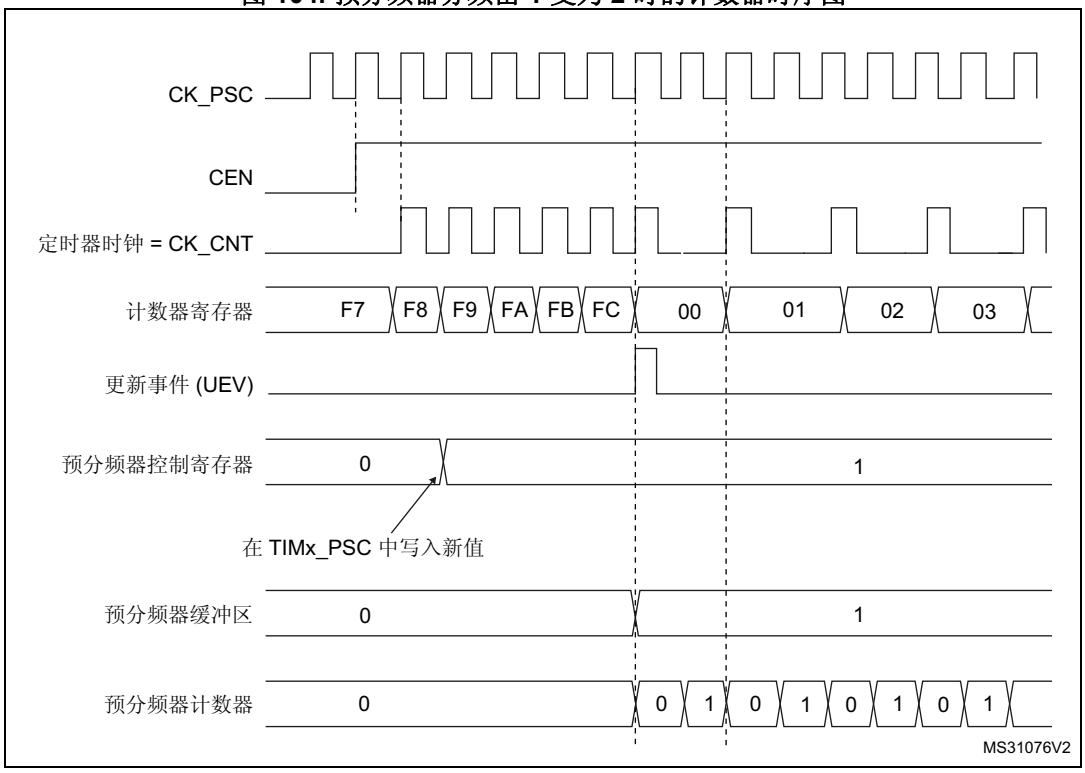
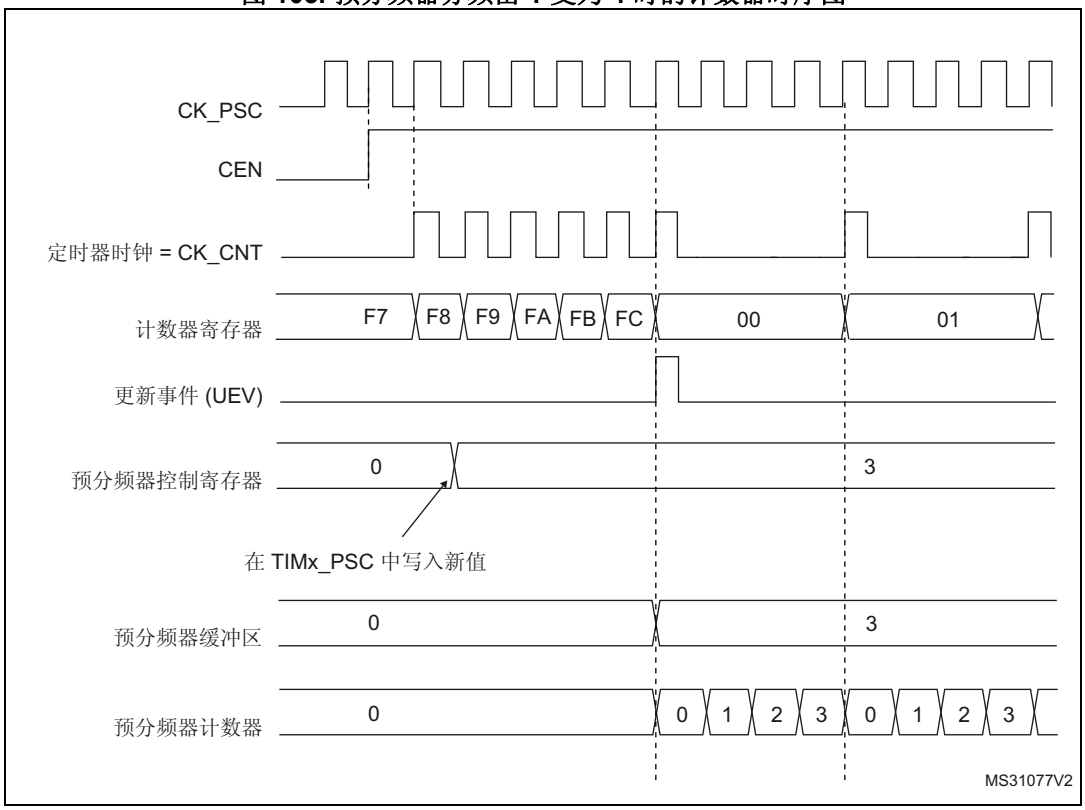


图 105. 预分频器分频由 1 变为 4 时的计数器时序图



20.3.2 计数器模式

递增计数模式

在递增计数模式下，计数器从 0 计数到自动重载值（TIMx_ARR 寄存器的内容），然后重新从 0 开始计数并生成计数器上溢事件。

如果使用重复计数器，则当递增计数的重复次数达到重复计数器寄存器中设定的次数加一次（(TIMx_RCR) + 1）后，将生成更新事件 (UEV)。否则，将在每次计数器上溢时产生更新事件。

将 TIMx_EGR 寄存器的 UG 位置 1（通过软件或使用从模式控制器）时，也将产生更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器和预分频器计数器都会重新从 0 开始计数（而预分频比保持不变）。此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这是为了避免在捕获模式下清除计数器时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 重复计数器中将重新装载 TIMx_RCR 寄存器的内容
- 自动重载影子寄存器将以预装载值 (TIMx_ARR) 进行更新
- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 106. 计数器时序图，1 分频内部时钟

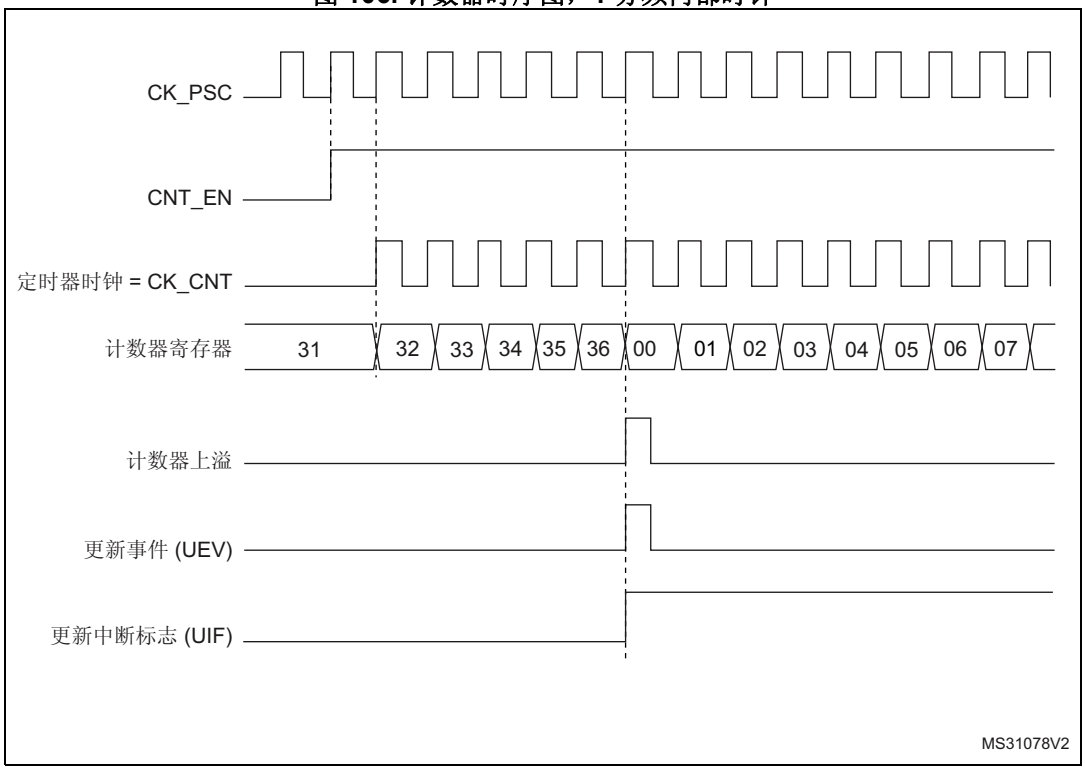


图 107. 计数器时序图，2 分频内部时钟

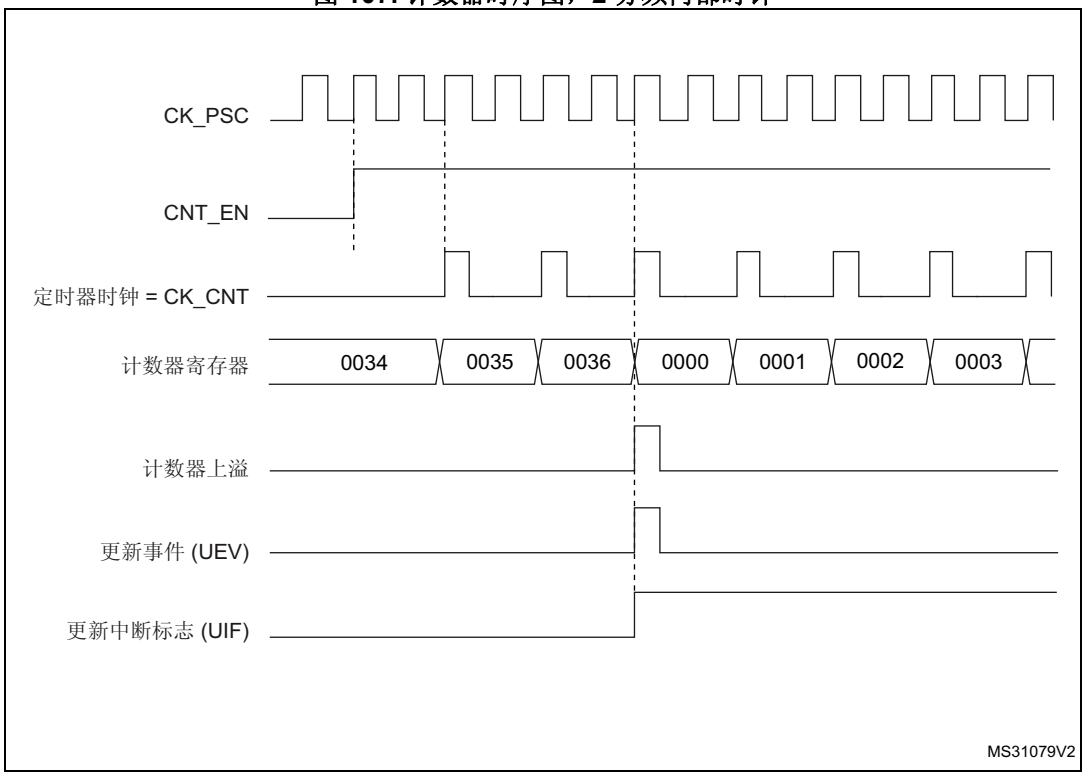


图 108. 计数器时序图，4 分频内部时钟

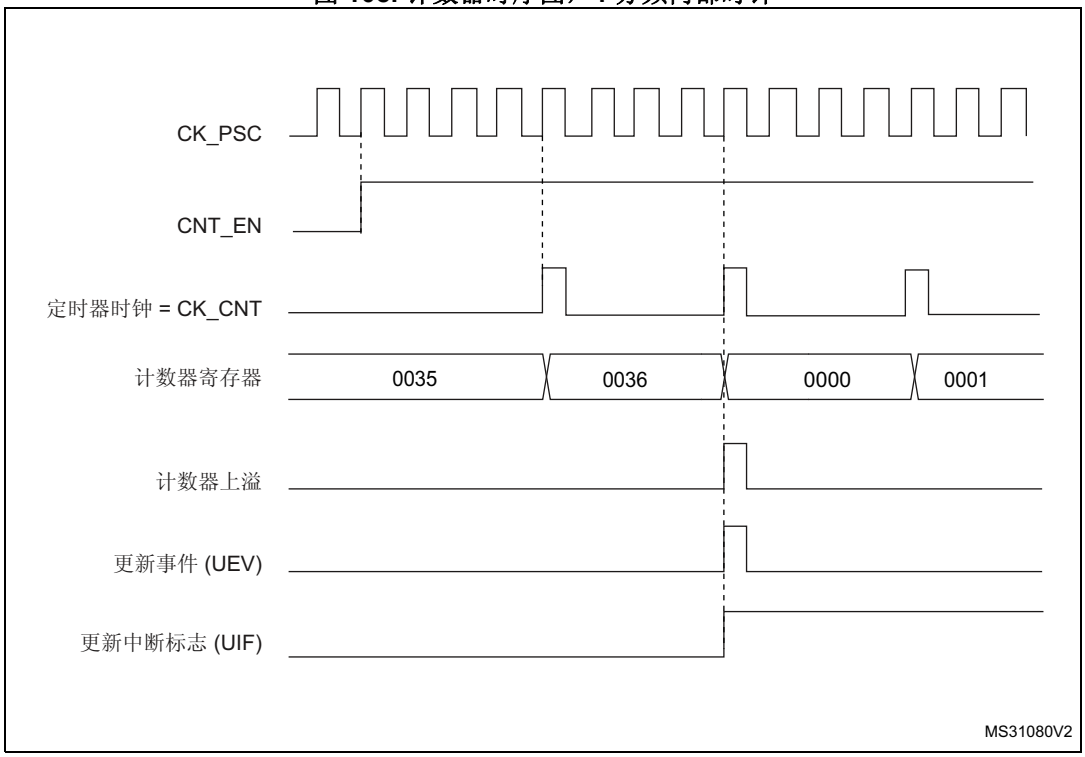


图 109. 计数器时序图，N 分频内部时钟

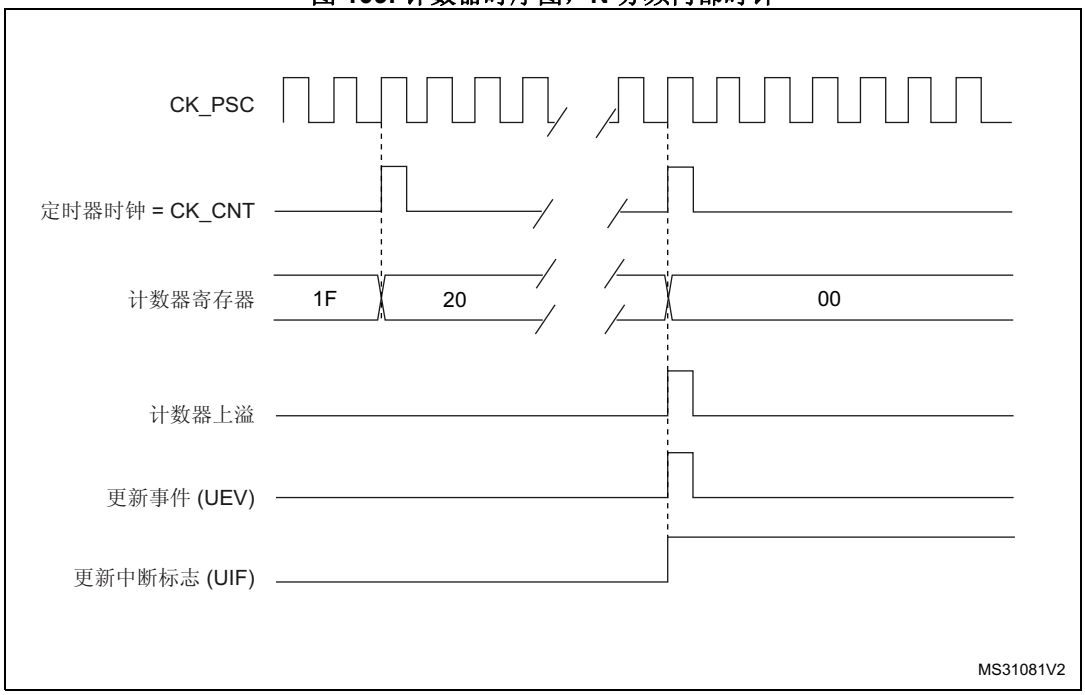


图 110. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载）

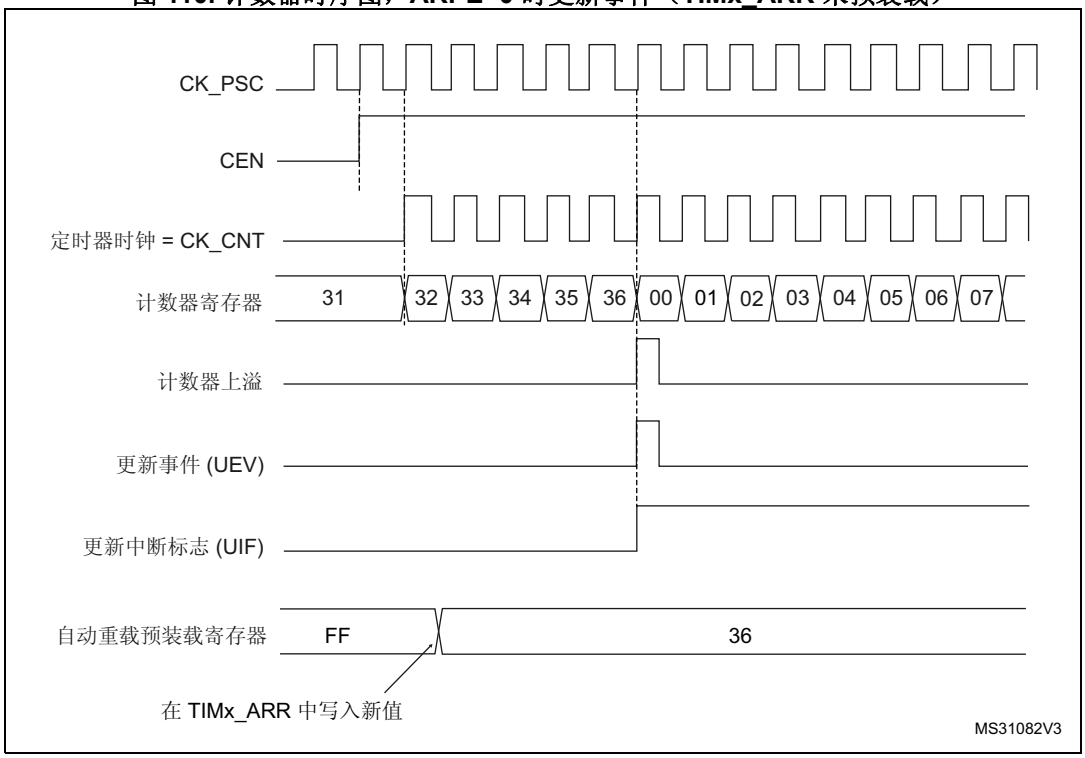
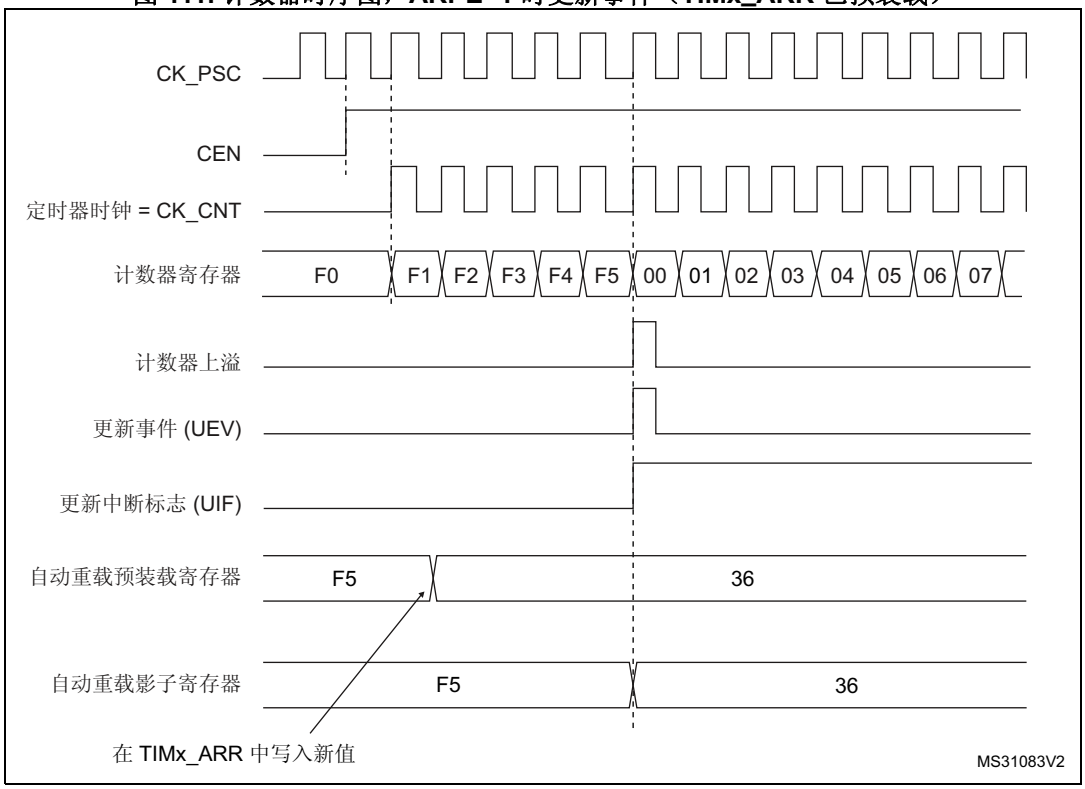


图 111. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载）



递减计数模式

在递减计数模式下，计数器从自动重载值（TIMx_ARR 寄存器的内容）开始递减计数到 0，然后重新从自动重载值开始计数并生成计数器下溢事件。

如果使用重复计数器，则当递减计数的重复次数达到重复计数器寄存器中编程的次数加一次（(TIMx_RCR) + 1）后，将产生更新事件 (UEV)。否则，将在每次计数器下溢时产生更新事件。

将 TIMx_EGR 寄存器的 UG 位置 1（通过软件或使用从模式控制器）时，也将产生更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 更新事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器会重新从当前自动重载值开始计数，而预分频器计数器则重新从 0 开始计数（但预分频比保持不变）。

此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 重复计数器中将重新装载 TIMx_RCR 寄存器的内容。
- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。
- 自动重载有效寄存器将以预装载值（TIMx_ARR 寄存器的内容）进行更新。注意，ARR 寄存器更新在计数器重载之前被更新，因此下一个周期就是预期的值。

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 112. 计数器时序图，1 分频内部时钟

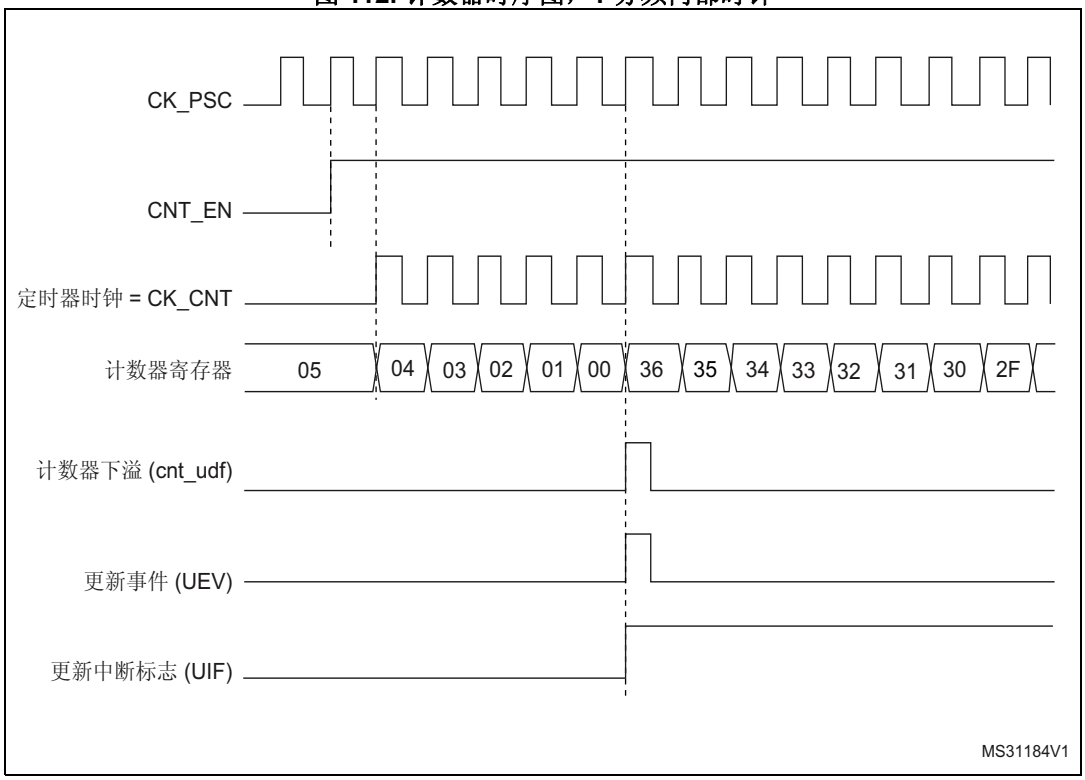


图 113. 计数器时序图，2 分频内部时钟

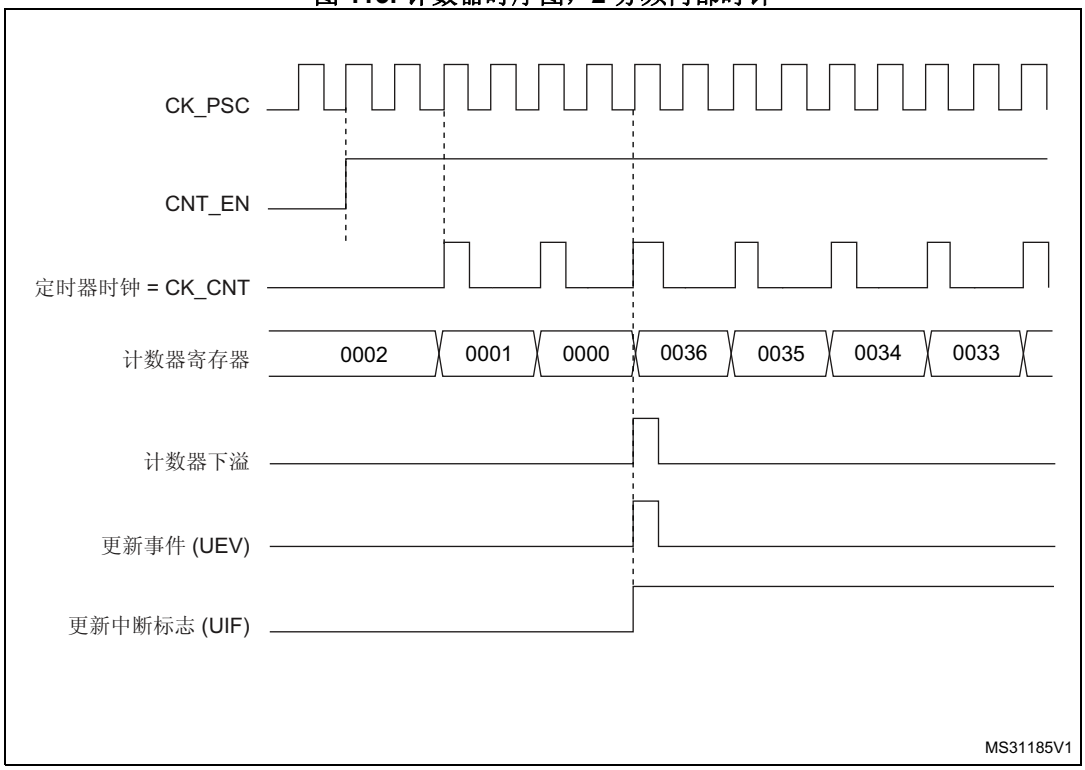


图 114. 计数器时序图，4 分频内部时钟

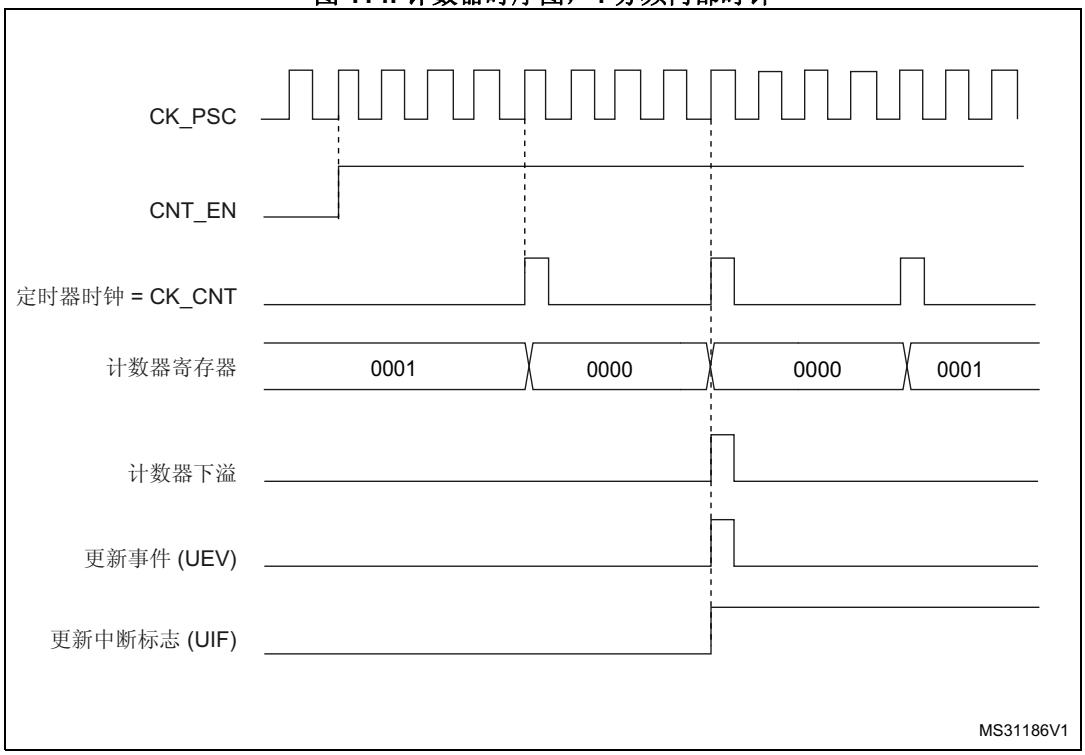


图 115. 计数器时序图，N 分频内部时钟

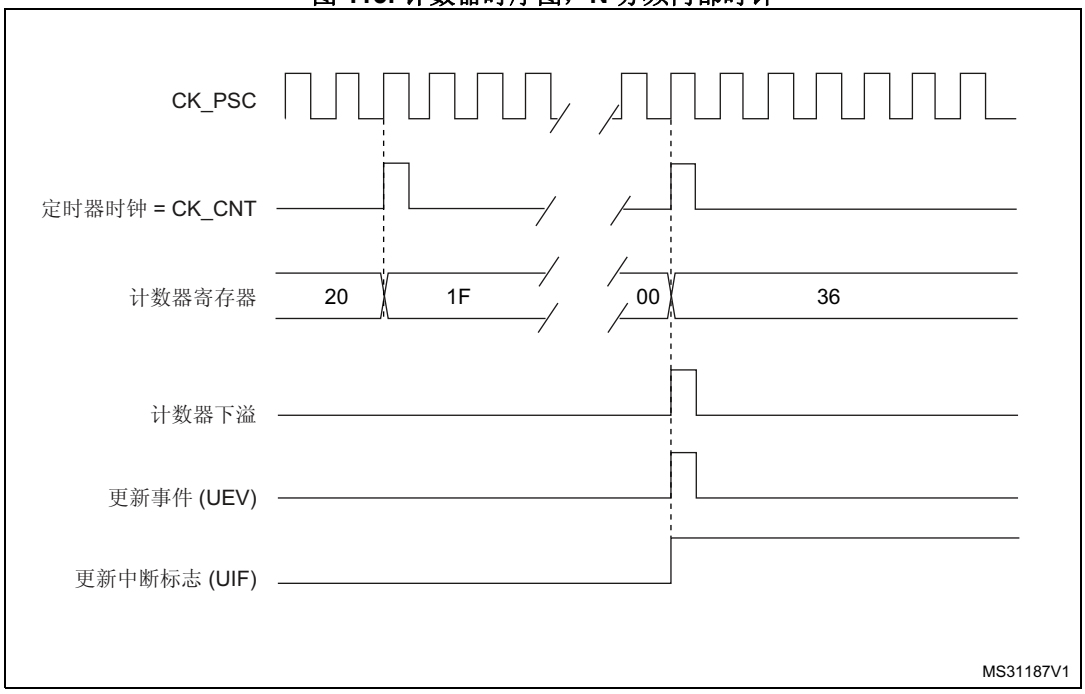
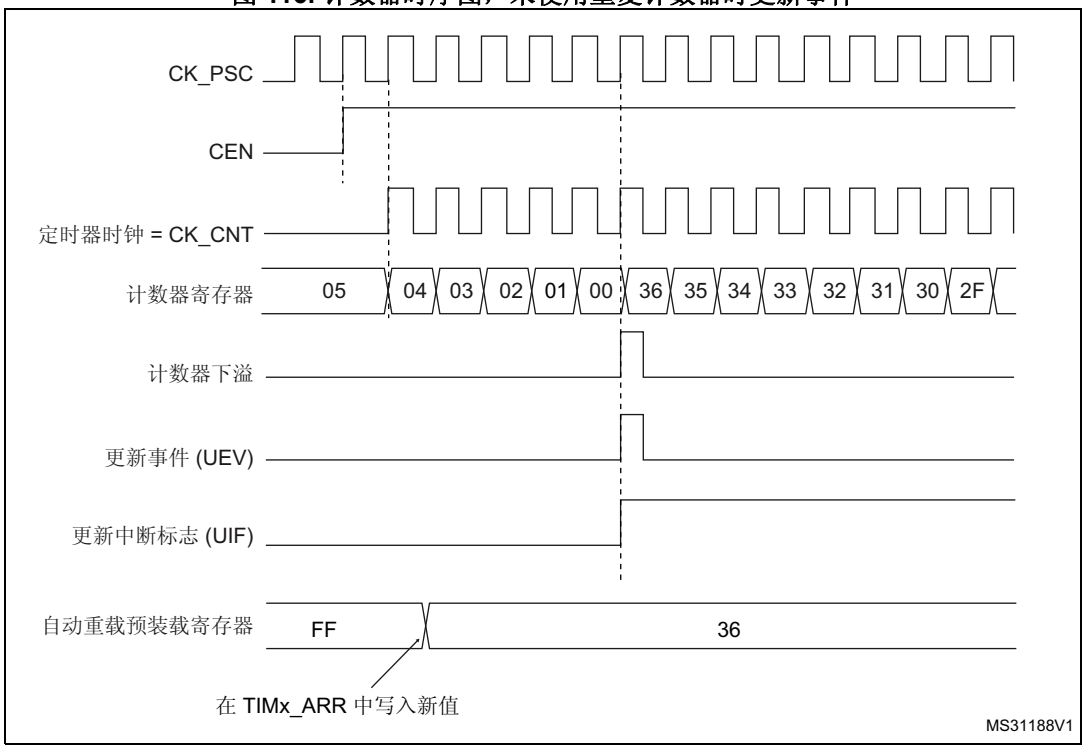


图 116. 计数器时序图，未使用重复计数器时更新事件



中心对齐模式（递增/递减计数）

在中心对齐模式下，计数器从 0 开始计数到自动重载值（TIMx_ARR 寄存器的内容）– 1，生成计数器上溢事件；然后从自动重载值开始向下计数到 1 并生成计数器下溢事件。之后从 0 开始重新计数。

当 TIMx_CR1 寄存器中的 CMS 位不为“00”时，中心对齐模式有效。将通道配置为输出模式时，其输出比较中断标志将在以下模式下置 1，即：计数器递减计数（中心对齐模式 1，CMS = “01”）、计数器递增计数（中心对齐模式 2，CMS = “10”）以及计数器递增/递减计数（中心对齐模式 3，CMS = “11”）。

在此模式下，TIMx_CR1 寄存器的 DIR 方向位不可写入值，而是由硬件更新并指示当前计数器方向。

每次发生计数器上溢和下溢时都会生成更新事件，或将 TIMx_EGR 寄存器中的 UG 位置 1（通过软件或使用从模式控制器）也可以生成更新事件。这种情况下，计数器以及预分频器计数器将重新从 0 开始计数。

UEV 更新事件可通过软件禁止，只需将 TIMx_CR1 寄存器中的 UDIS 位置 1。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器仍会根据当前自动重载值进行递增和递减计数。

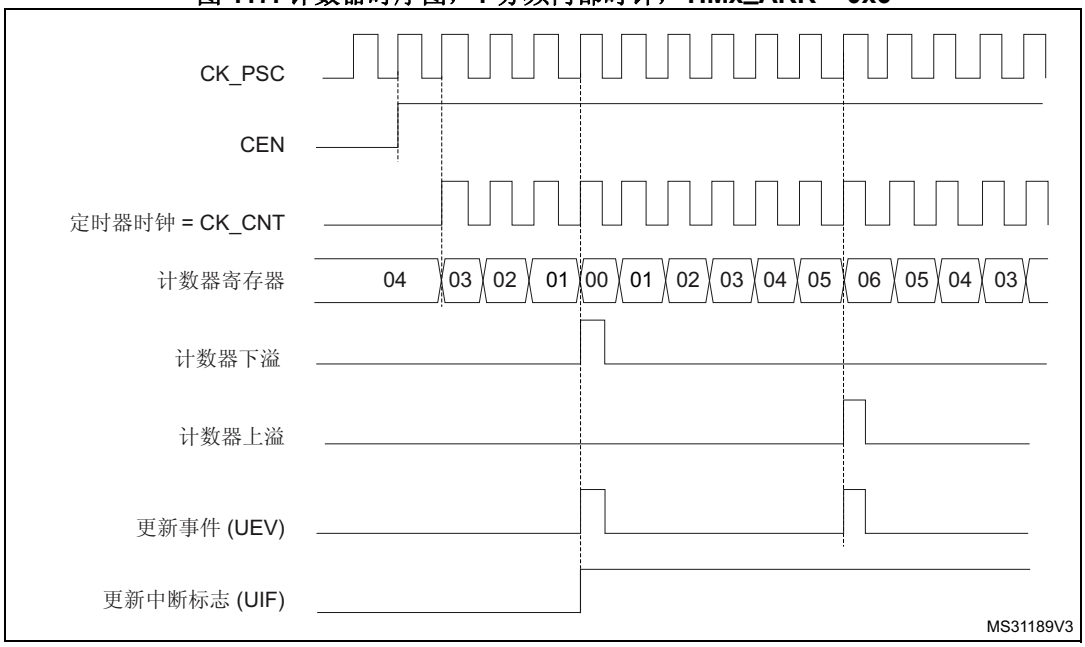
此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会产生 UEV 更新事件，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 重复计数器中将重新装载 TIMx_RCR 寄存器的内容。
- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。
- 自动重载有效寄存器将以预装载值（TIMx_ARR 寄存器的内容）进行更新。注意，如果更新操作是由计数器上溢触发的，则 ARR 寄存器在计数器重载之前更新，因此下一个周期才是预期的值（计数器被装载新的值）。

以下各图以一些示例说明不同时钟频率下计数器的行为。

图 117. 计数器时序图，1 分频内部时钟，TIMx_ARR = 0x6



1. 此处使用中心对齐模式 1（有关详细信息，请参见*第 20.4 节：TIM1 寄存器*）。

图 118. 计数器时序图，2 分频内部时钟

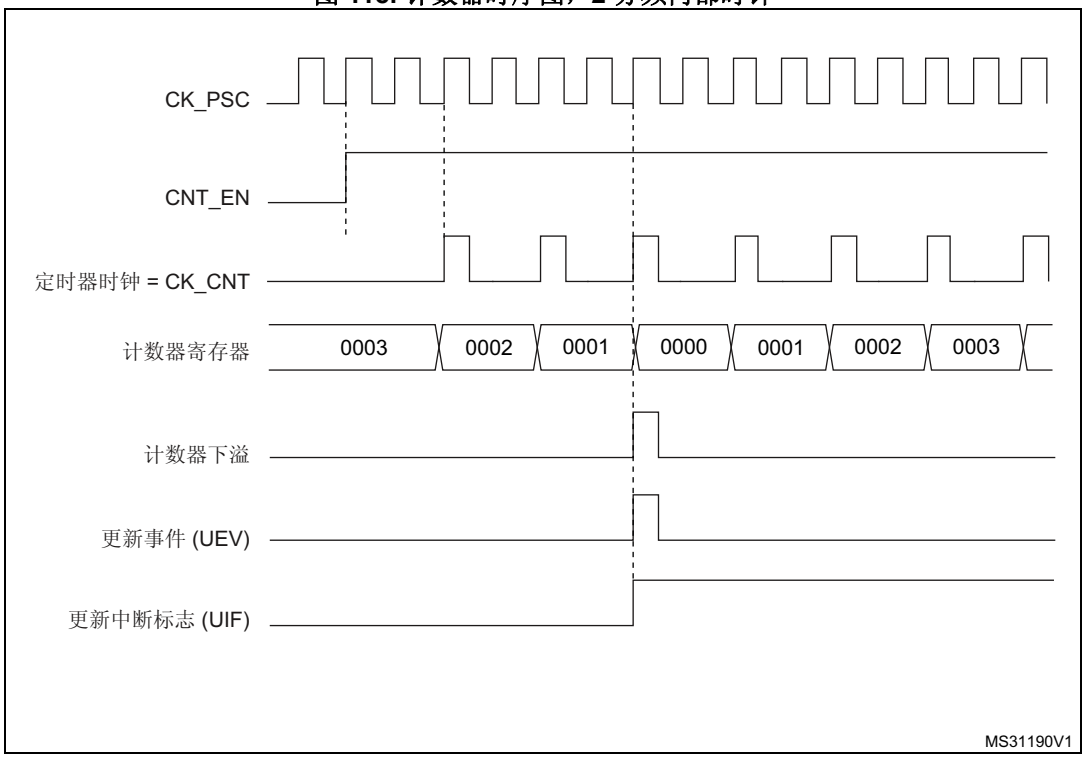


图 119. 计数器时序图，4 分频内部时钟，TIMx_ARR=0x36

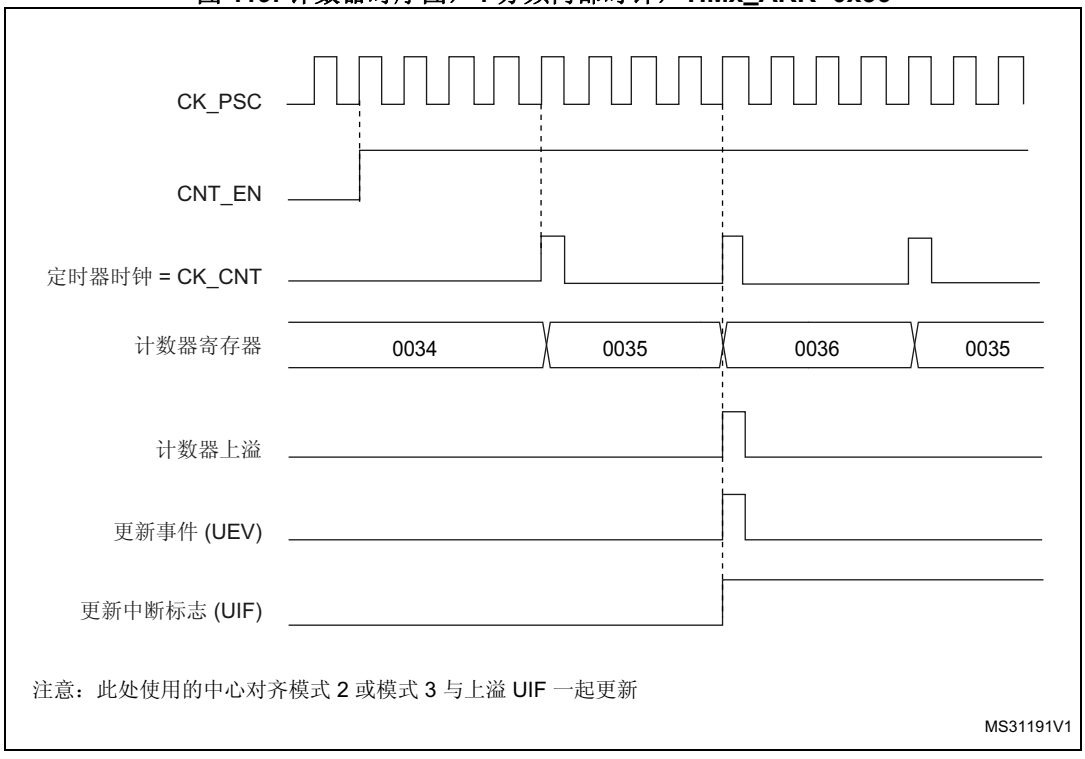


图 120. 计数器时序图，N 分频内部时钟

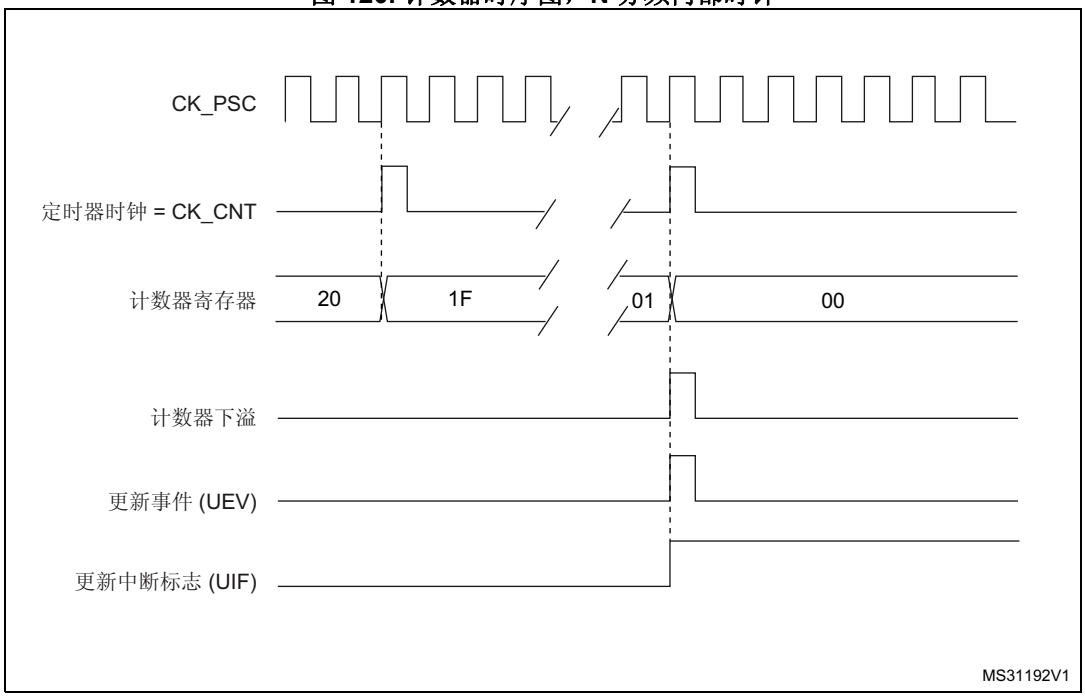


图 121. 计数器时序图，ARPE=1 时的更新事件（计数器下溢）

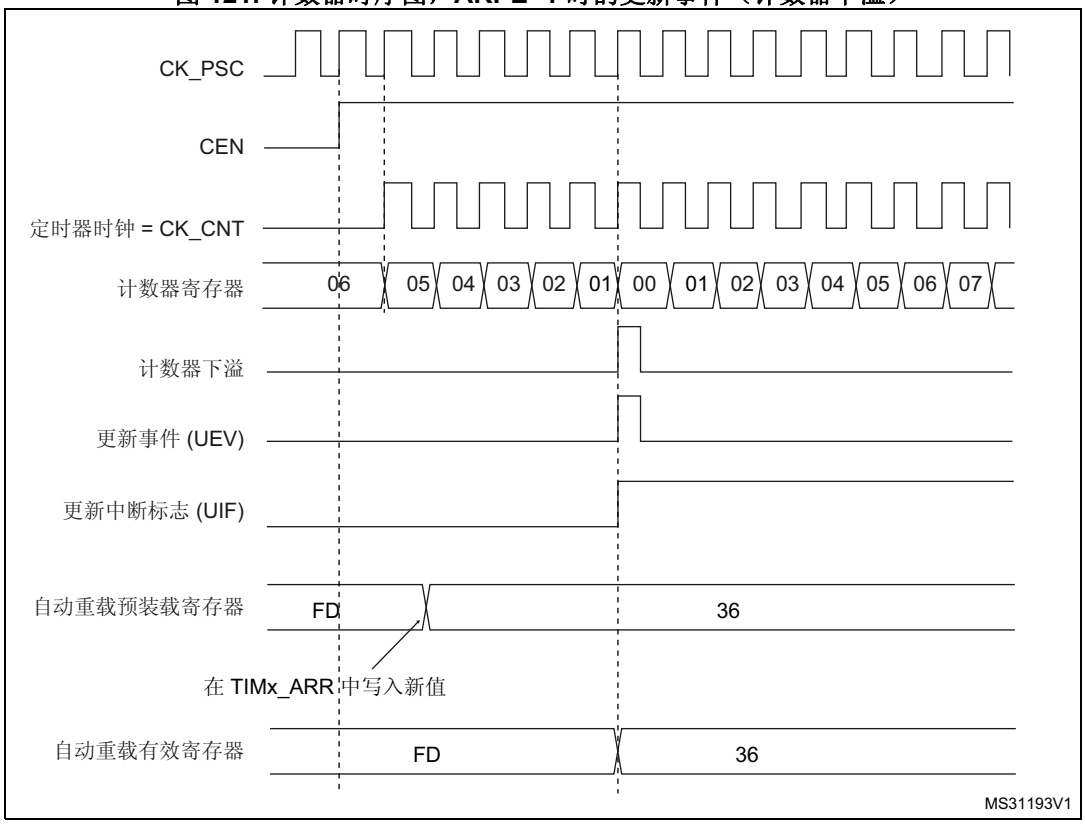
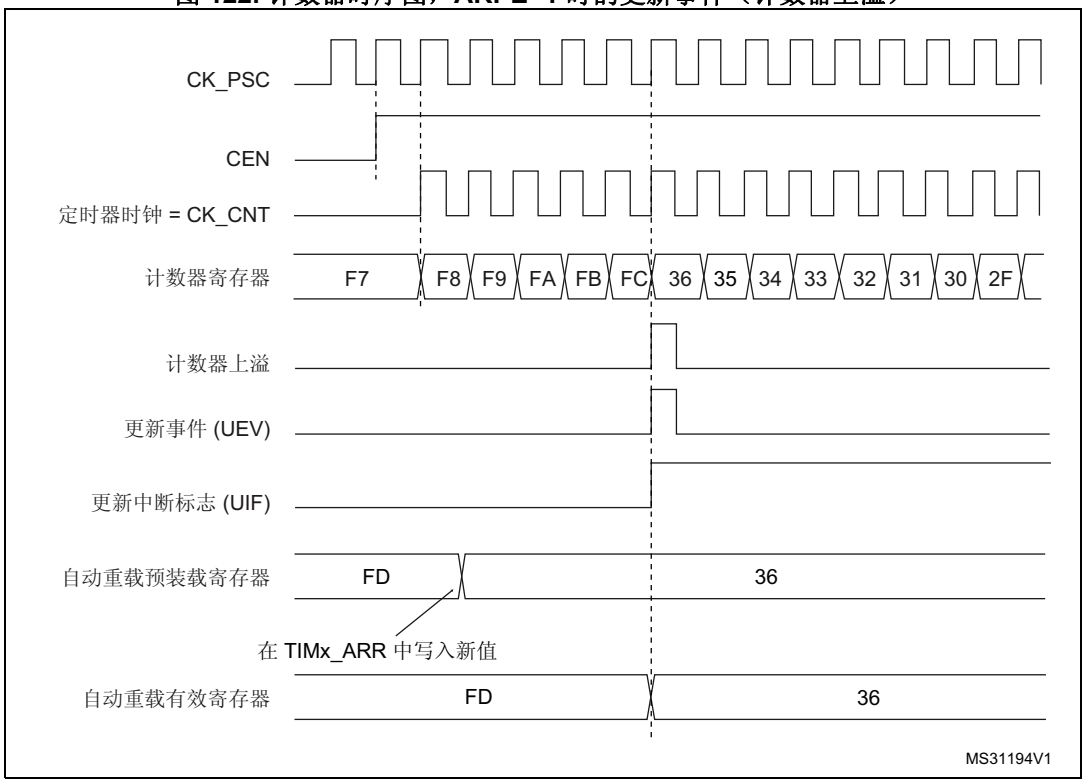


图 122. 计数器时序图，ARPE=1 时的更新事件（计数器上溢）



20.3.3 重复计数器

*第 20.3.1 节：时基单元*介绍如何因计数器上溢/下溢而生成更新事件 (UEV)。实际上，只有当重复计数器达到零时，才会生成更新事件。这在生成 PWM 信号时很有用。

这意味着，每当发生 N+1 个计数器上溢或下溢（其中，N 是 TIMx_RCR 重复计数器寄存器中的值），数据就将从预装载寄存器转移到影子寄存器（TIMx_ARR 自动重载寄存器、TIMx_PSC 预分频器寄存器以及比较模式下的 TIMx_CCRx 捕获/比较寄存器）。

重复计数器在下列情况下递减：

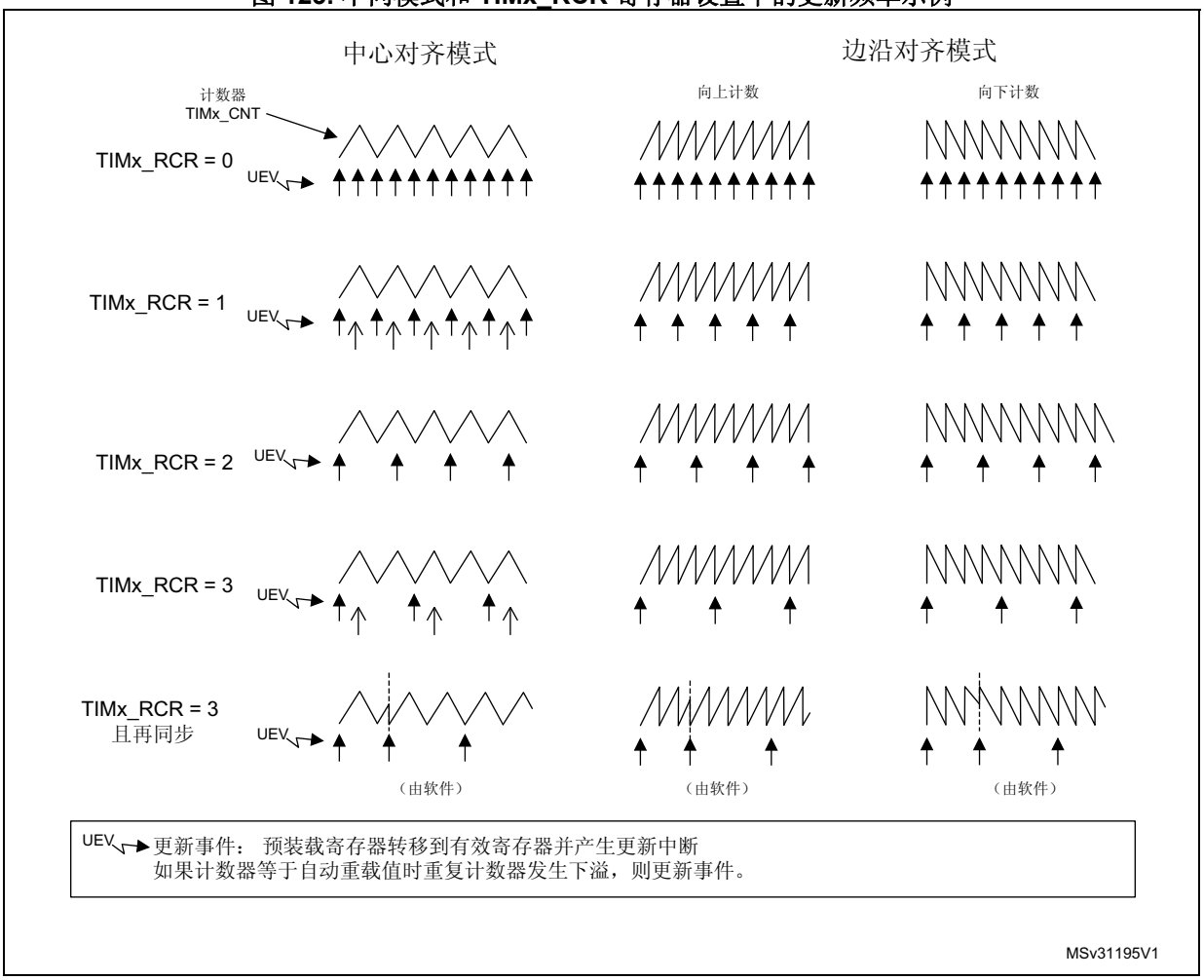
- 递增计数模式下的每个计数器上溢
- 递减计数模式下的每个计数器下溢
- 中心对齐模式下每个计数器上溢和计数器下溢。尽管这使得最大重复次数不超过 32768 个 PWM 周期，但在每个 PWM 周期内可更新占空比两次。当在中心对齐模式下，每个 PWM 周期仅刷新一次比较寄存器时，由于模式的对称性，最大分辨率为 $2xT_{ck}$。

重复计数器是自动重载类型；其重复率为 TIMx_RCR 寄存器所定义的值（请参见*图 123*）。当更新事件由软件（通过将 TIMx_EGR 寄存器的 UG 位置 1）或硬件（通过从模式控制器）生成时，无论重复计数器的值为多少，更新事件都将立即发生，并且在重复计数器中重新装载 TIMx_RCR 寄存器的内容。

在中心对齐模式下，如果 RCR 值为奇数，更新事件将在上溢或下溢时发生，这取决于何时写入 RCR 寄存器以及何时启动计数器：如果在启动计数器前写入 RCR，则 UEV 在上溢时发生。如果在启动计数器后写入 RCR，则 UEV 在下溢时发生。

例如，如果 RCR = 3，每 4 个上溢和下溢产生 UEV 事件（取决于何时写入 RCR）。

图 123. 不同模式和 TIMx_RCR 寄存器设置下的更新频率示例



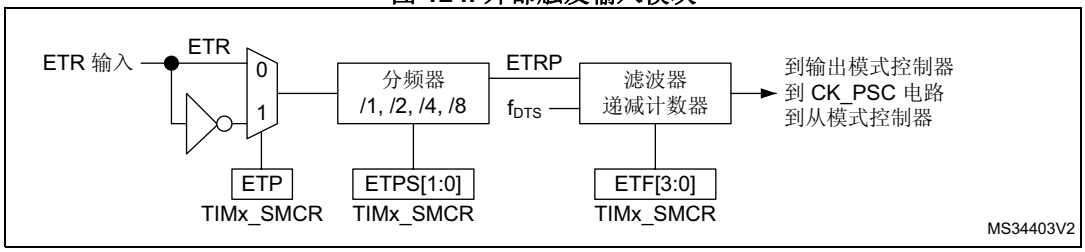
20.3.4 外部触发输入

定时器具有一个外部触发输入 ETR，它可用作：

- 外部时钟（外部时钟模式 2，请参见*第 20.3.5 节*）
- 用于从模式的触发信号（请参见*第 20.3.26 节*）
- 用于逐周期电流调节的 PWM 复位输入（请参见*第 20.3.7 节*）

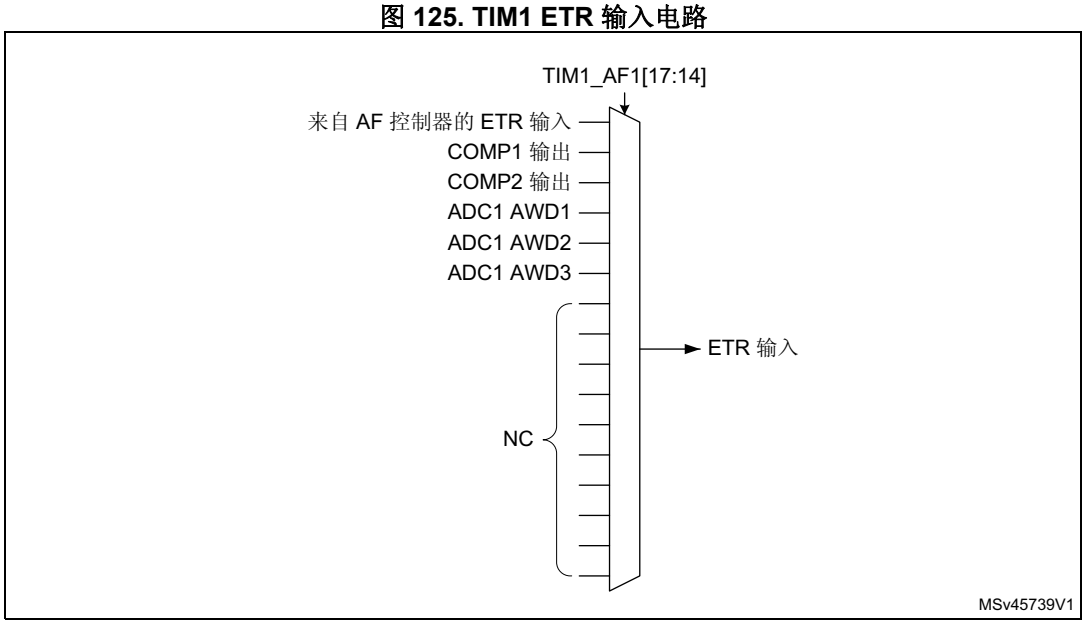
下面的*图 124* 介绍了 ETR 输入的调节过程。输入极性通过 TIMx_SMCR 寄存器中的 ETP 位定义。触发信号可通过 ETPS[1:0] 位域编程的分频比进行预分频，然后通过 ETF[3:0] 位域进行数字滤波。

图 124. 外部触发输入模块



ETR 输入来自多个源：输入引脚（默认配置）、比较器输出和模拟看门狗。使用 ETRSEL[3:0] 位域进行选择。

图 125. TIM1 ETR 输入电路



20.3.5 时钟选择

计数器时钟可由下列时钟源提供：

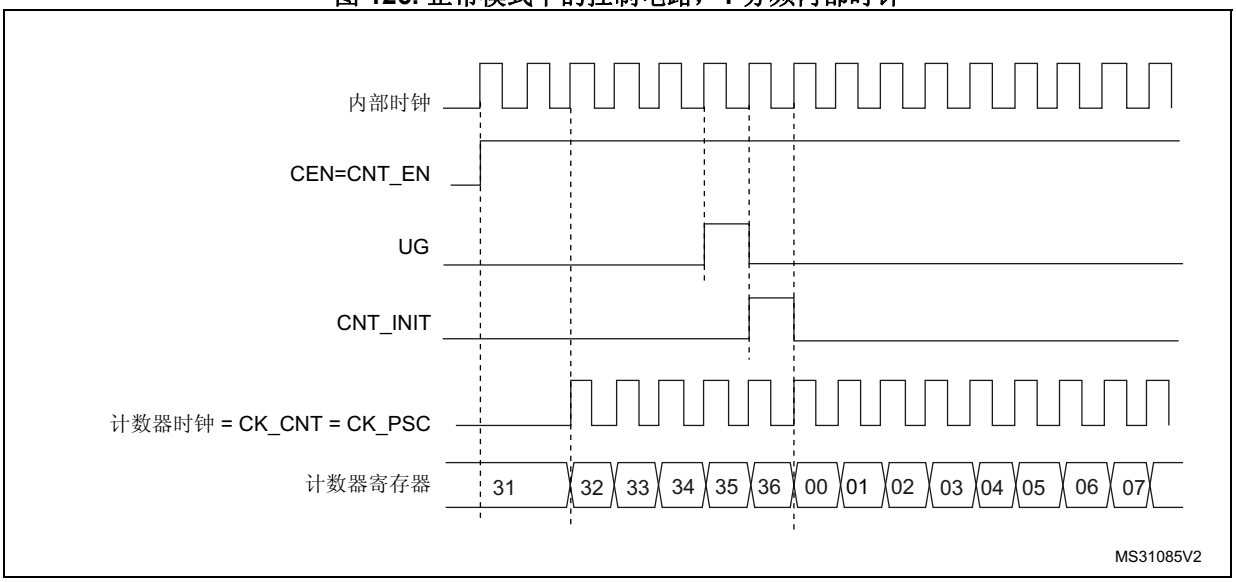
- 内部时钟 (CK_INT)
- 外部时钟模式 1：外部输入引脚
- 外部时钟模式 2：外部触发输入 ETR
- 编码器模式

内部时钟源 (CK_INT)

如果禁止从模式控制器 (SMS=000)，则 CEN 位、DIR 位（TIMx_CR1 寄存器中）和 UG 位（TIMx_EGR 寄存器中）为实际控制位，并且只能通过软件进行更改（UG 除外，仍保持自动清零）。当对 CEN 位写入 1 时，预分频器的时钟就由内部时钟 CK_INT 提供。

图 126 显示了正常模式下控制电路与递增计数器的行为（没有预分频的情况下）。

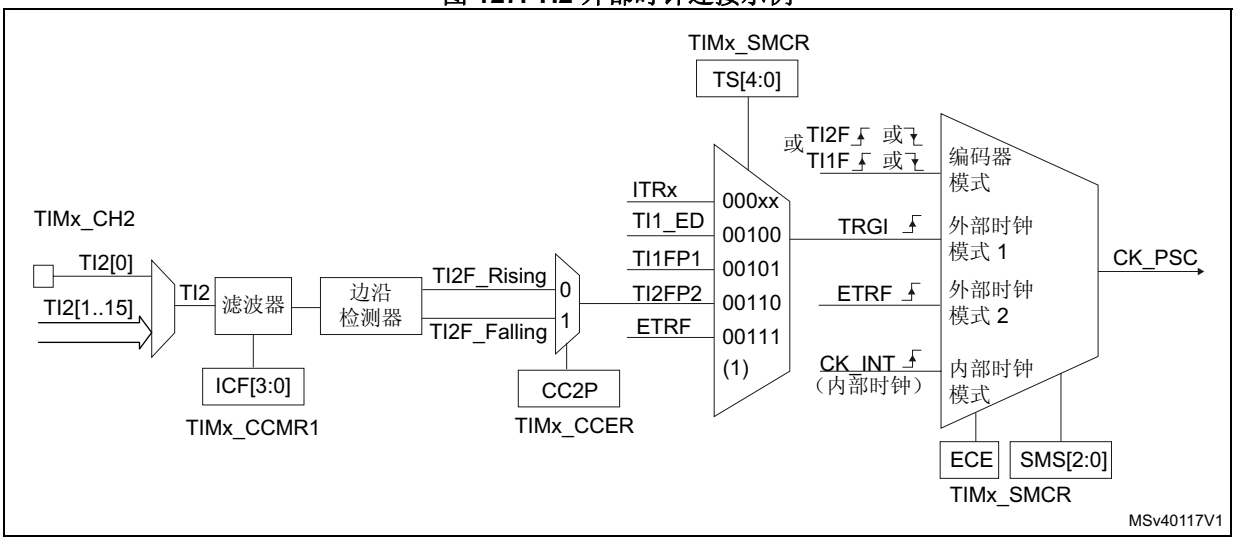
图 126. 正常模式下的控制电路，1 分频内部时钟



外部时钟源模式 1

当 TIMx_SMCR 寄存器中的 SMS=111 时，可选择此模式。计数器可在选定的输入信号上出现上升沿或下降沿时计数。

图 127. TI2 外部时钟连接示例



1. 保留从 01000 到 11111 的代码

例如，要使递增计数器在 TI2 输入出现上升沿时计数，请执行以下步骤：

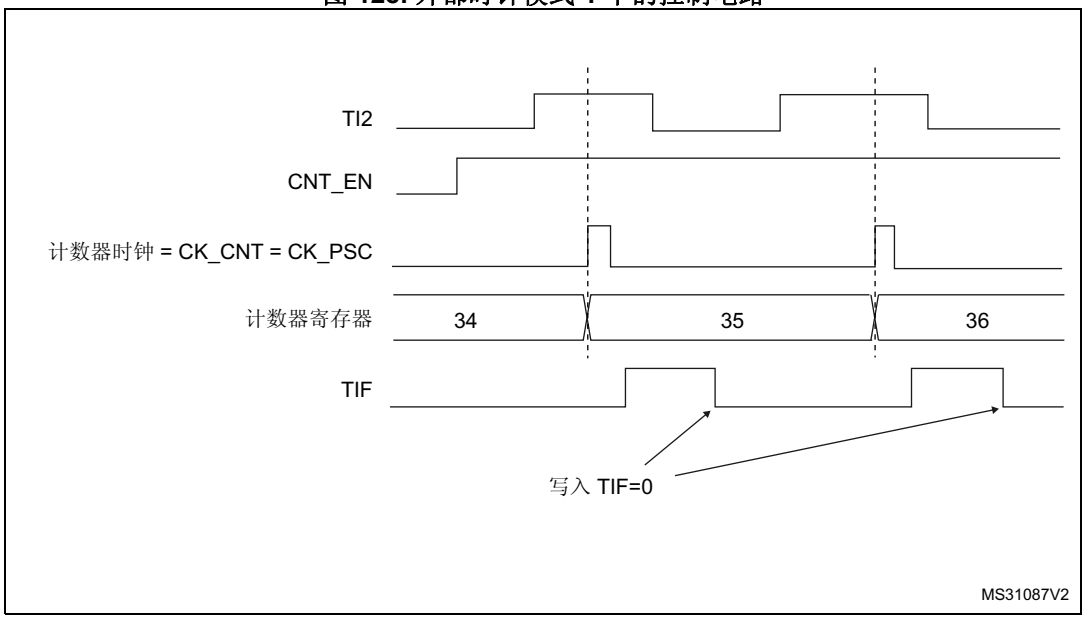
1. 通过在 TIMx_TISEL 寄存器中配置 TI2SEL[3:0] 位选择正确的 TI2x 源（内部或外部）。
2. 通过在 TIMx_CCMR1 寄存器中写入 CC2S = “01” 来配置通道 2，使其能够检测 TI2 输入的上升沿。
3. 通过在 TIMx_CCMR1 寄存器中写入 IC2F[3:0] 位来配置输入滤波带宽（如果不需要任何滤波器，请保持 IC2F=0000）。
4. 通过在 TIMx_CCER 寄存器中写入 CC2P=0 和 CC2NP=0 来选择上升沿极性。
5. 通过在 TIMx_SMCR 寄存器中写入 SMS=111，使定时器在外部时钟模式 1 下工作。
6. 通过在 TIMx_SMCR 寄存器中写入 TS=00110 来选择 TI2 作为触发输入源。
7. 通过在 TIMx_CR1 寄存器中写入 CEN=1 来使能计数器。

注： *由于捕获预分频器不用于触发操作，因此用户无需对其进行配置。*

当 TI2 出现上升沿时，计数器便会计数一次并且 TIF 标志置 1。

TI2 的上升沿与实际计数器时钟之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 128. 外部时钟模式 1 下的控制电路



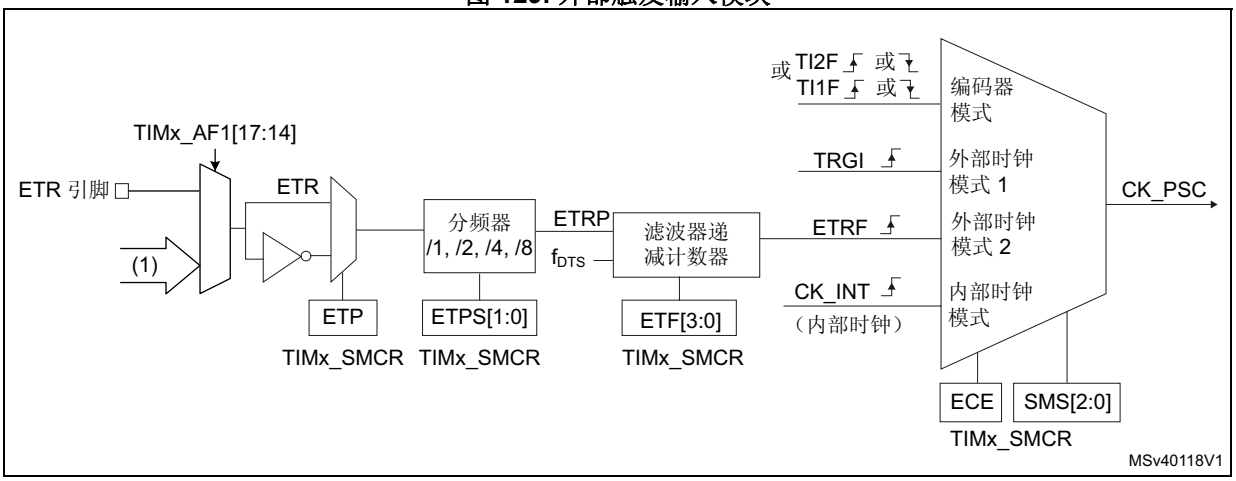
外部时钟源模式 2

通过在 TIMx_SMCR 寄存器中写入 ECE=1 可选择此模式。

计数器可在外部触发输入 ETR 出现上升沿或下降沿时计数。

图 129 简要介绍了外部触发输入模块。

图 129. 外部触发输入模块



1. 请参见*图 125：TIM1 ETR 输入电路*。

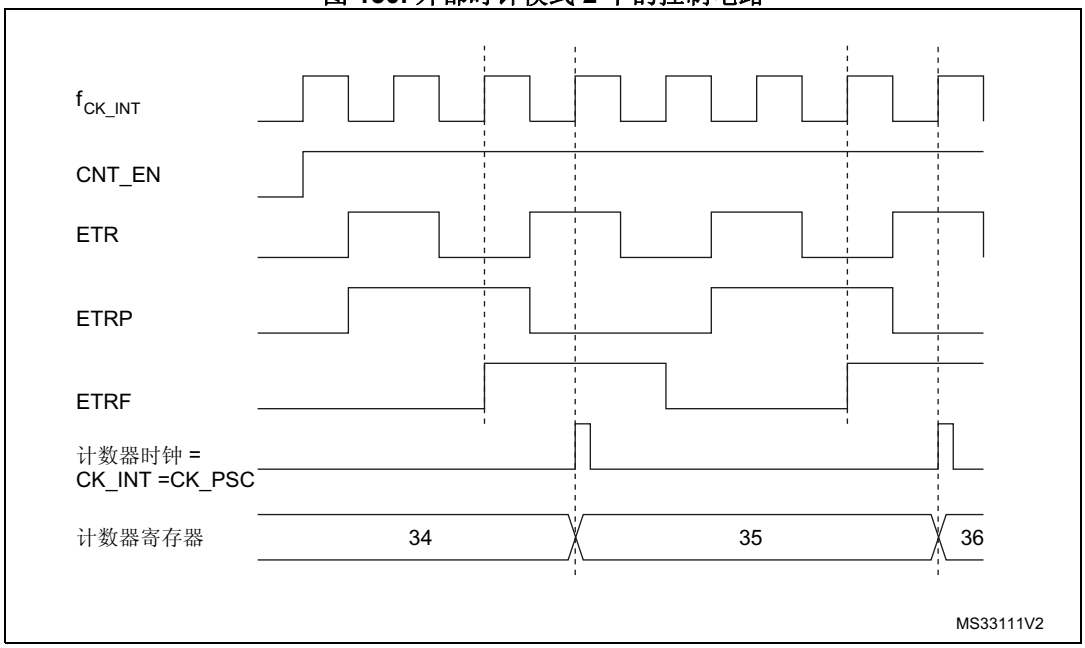
例如，要使递增计数器在 ETR 每出现 2 个上升沿时计数，请执行以下步骤：

1. 由于此例中不需滤波器，因此在 TIMx_SMCR 寄存器中写入 ETF[3:0]=0000。
2. 通过在 TIMx_SMCR 寄存器中写入 ETPS[1:0]=01 来设置预分频器。
3. 通过在 TIMx_SMCR 寄存器中写入 ETP=0 来选择 ETR 引脚的上升沿检测。
4. 通过在 TIMx_SMCR 寄存器中写入 ECE=1 来使能外部时钟模式 2。
5. 通过在 TIMx_CR1 寄存器中写入 CEN=1 来使能计数器。

ETR 每出现 2 个上升沿，计数器计数一次。

ETR 的上升沿与实际计数器时钟之间的延迟是由于 ETRP 信号的重新同步电路引起的。

图 130. 外部时钟模式 2 下的控制电路



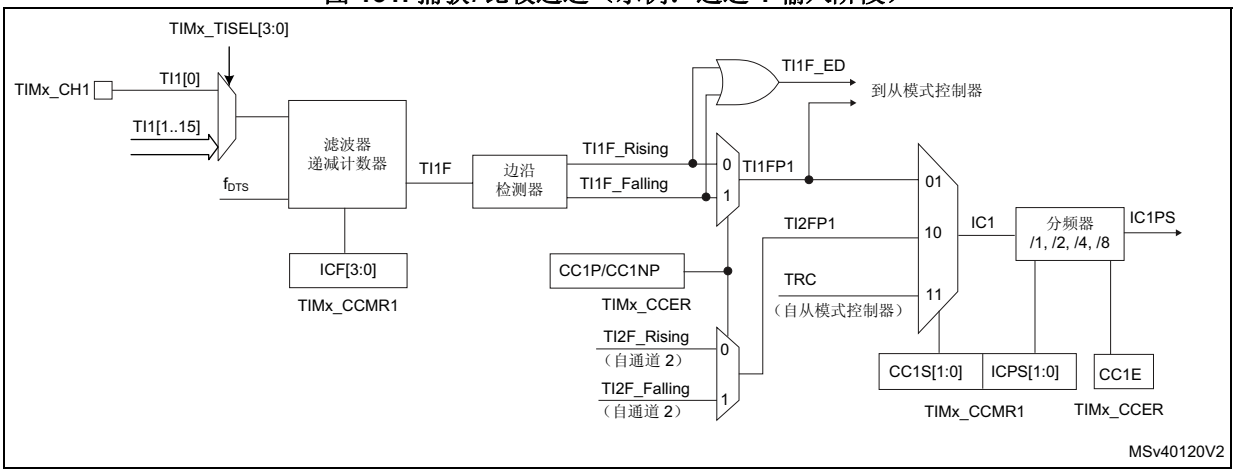
20.3.6 捕获/比较通道

每个捕获/比较通道均围绕一个捕获/比较寄存器（包括一个影子寄存器）、一个捕获输入部分（数字滤波、多路复用和预分频器，通道 5 和通道 6 除外）和一个输出部分（比较器和输出控制）构建而成。

图 131 到*图 134* 概括介绍了一个捕获/比较通道。

输入阶段对相应的 TIx 输入进行采样，生成一个滤波后的信号 TIxF。然后，带有极性选择功能的边沿检测器生成一个信号 (TIxFPx)，该信号可用作从模式控制器的触发输入，也可用作捕获命令。该信号先进行预分频 (ICxPS)，而后再进入捕获寄存器。

图 131. 捕获/比较通道（示例：通道 1 输入阶段）



输出阶段生成一个中间波形作为基准：OCxRef（高电平有效）。链的末端决定最终输出信号的极性。

图 132. 捕获/比较通道 1 主电路

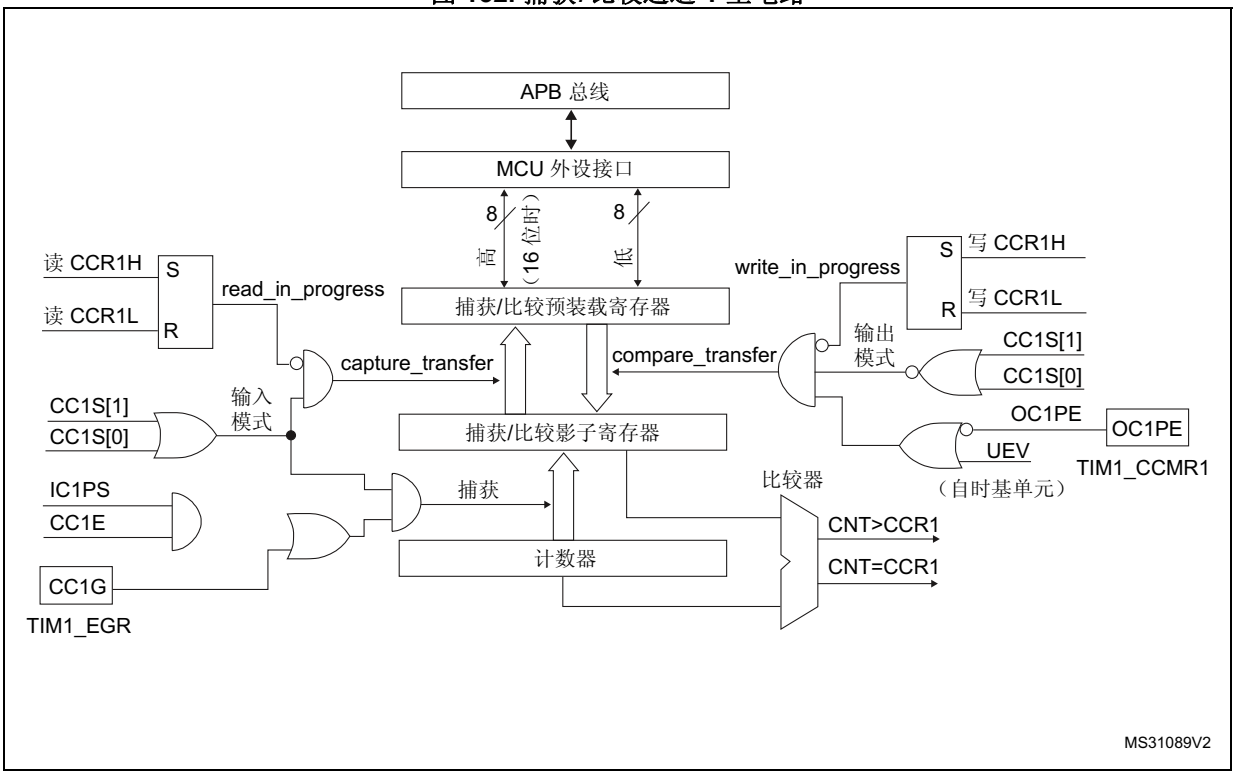
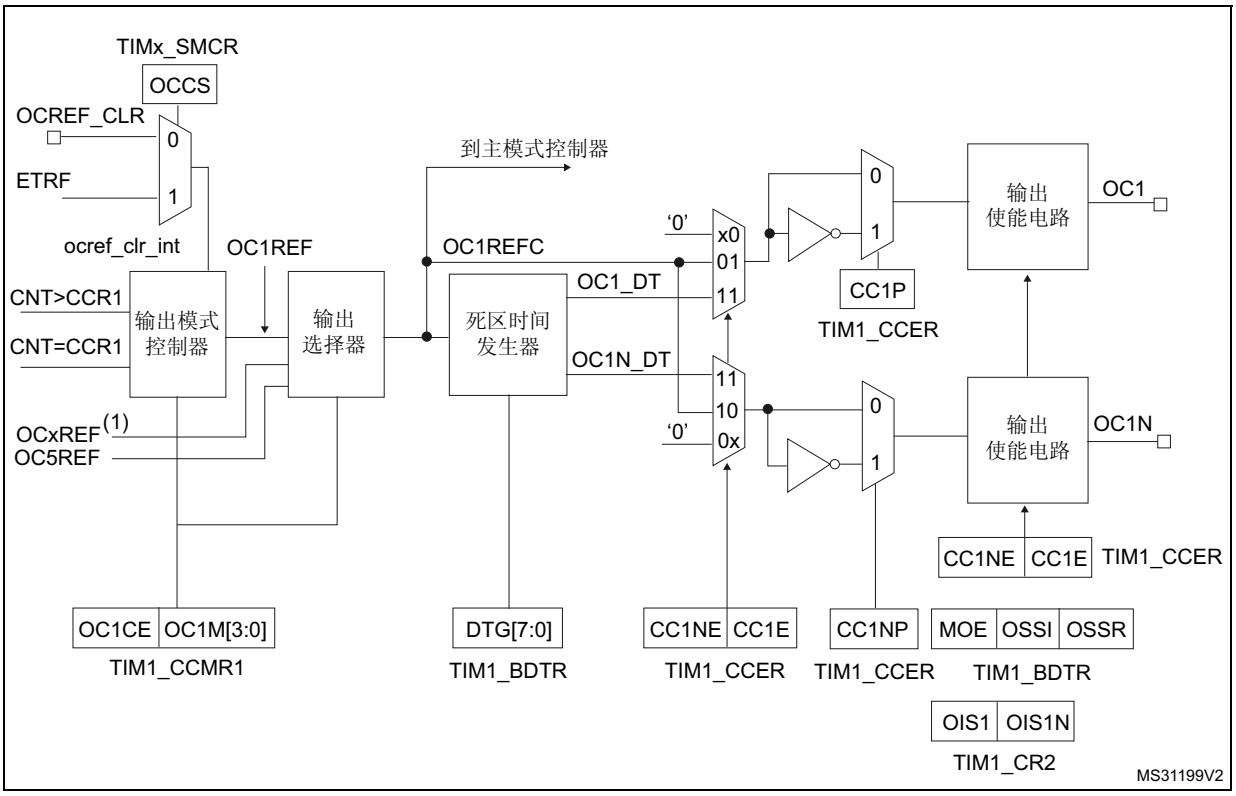


图 133. 捕获/比较通道的输出阶段（通道 1、通道 2 和通道 3）



1. OCxREF，其中 x 为互补通道的序号

图 134. 捕获/比较通道的输出阶段（通道 4）

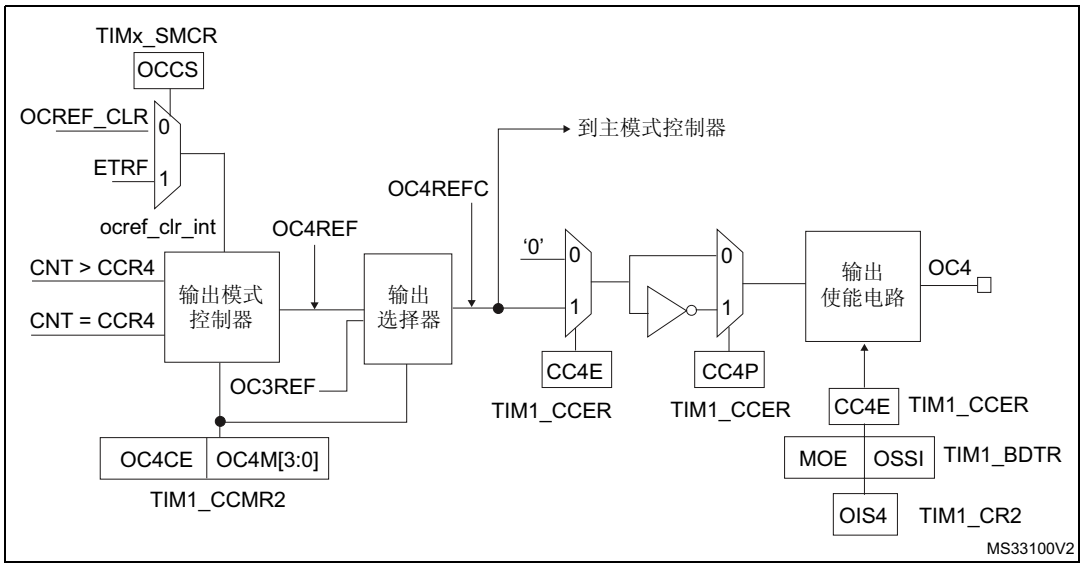
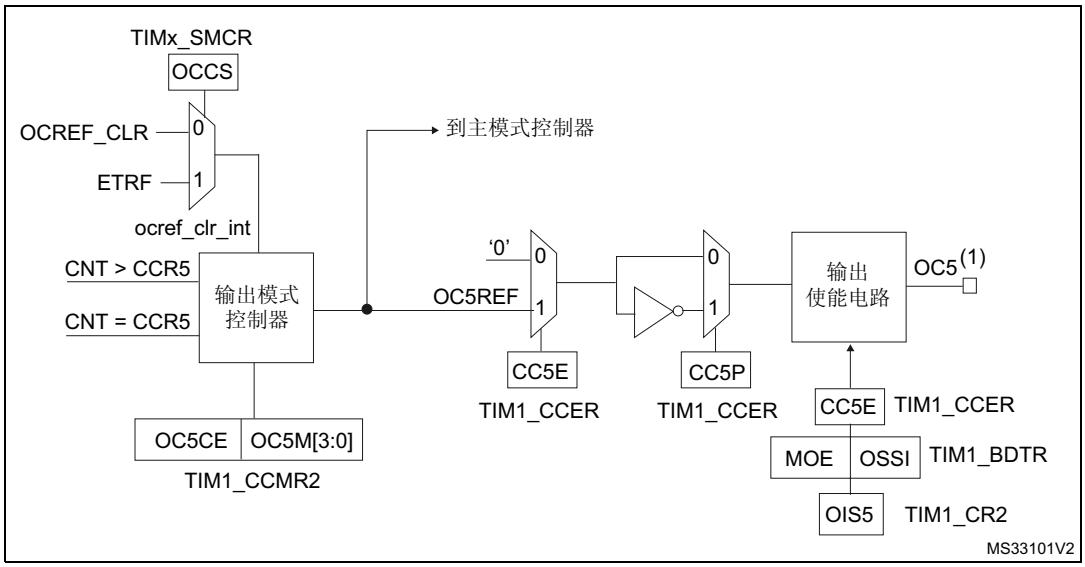


图 135. 捕获/比较通道的输出阶段（通道 5 和通道 6）



1. 不适用于外部。

捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。始终可通过读写操作访问预装载寄存器。

在捕获模式下，捕获实际发生在影子寄存器中，然后将影子寄存器的内容复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容将复制到影子寄存器中，然后将影子寄存器的内容与计数器进行比较。

20.3.7 输入捕获模式

在输入捕获模式下，当相应的 ICx 信号检测到跳变沿后，将使用捕获/比较寄存器 (TIMx_CCRx) 来锁存计数器的值。发生捕获事件时，会将相应的 CCXIF 标志（TIMx_SR 寄存器）置 1，并可发送中断或 DMA 请求（如果已使能）。如果发生捕获事件时 CCxIF 标志已处于高位，则会将重复捕获标志 CCxOF（TIMx_SR 寄存器）置 1。可通过软件将 CCxIF 清零，方法是：向 CCxIF 写入“0”，或读取存储在 TIMx_CCRx 寄存器中的已捕获数据。CCxOF 在写入“0”时清零。

以下示例说明了如何在 TI1 输入出现上升沿时将计数器的值捕获到 TIMx_CCR1 中。具体操作步骤如下：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1x 源（内部或外部）。
2. 选择有效输入：TIMx_CCR1 必须连接到 TI1 输入，因此向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01。只要 CC1S 不等于 00，就会将通道配置为输入模式，并且 TIMx_CCR1 寄存器将处于只读状态。
3. 根据连接到定时器的信号，配置输入滤波器为所需的带宽（如果输入为 TIx 之一，则对 TIMx_CCMRx 寄存器中的 ICxF 位进行配置）。假设信号边沿变化时，输入信号最多在 5 个内部时钟周期内发生抖动。因此，我们必须将滤波带宽设置为大于 5 个内部时钟周期。在检测到 8 个具有新电平的连续采样（以 f_{DTS} 频率采样）后，可以确认 TI1 上的跳变沿。然后向 TIMx_CCMR1 寄存器中的 IC1F 位写入 0011。

4. 通过在 TIMx_CCER 寄存器中将 CC1P 位和 CC1NP 位写入 0，选择 TI1 上的有效转换边沿（本例中为上升沿）。
5. 配置输入预分频器。在本例中，我们希望每次有效转换时都执行捕获操作，因此需要禁止预分频器（向 TIMx_CCMR1 寄存器中的 IC1PS 位写入“00”）。
6. 通过将 TIMx_CCER 寄存器中的 CC1E 位置 1，允许将计数器的值捕获到捕获寄存器中。
7. 如果需要，可通过将 TIMx_DIER 寄存器中的 CC1IE 位置 1 来使能相关中断请求，并且/或者通过将该寄存器中的 CC1DE 位置 1 来使能 DMA 请求。

发生输入捕获时：

- 发生有效跳变沿时，TIMx_CCR1 寄存器会获取计数器的值。
- 将 CC1IF 标志置 1（中断标志）。如果至少发生了两次连续捕获，但 CC1IF 标志未被清零，这样 CC1OF 捕获溢出标志会被置 1。
- 根据 CC1IE 位生成中断。
- 根据 CC1DE 位生成 DMA 请求。

要处理重复捕获，建议在读出捕获溢出标志之前读取数据。这样可避免丢失在读取捕获溢出标志之后与读取数据之前可能出现的重复捕获信息。

注： *通过软件将 TIMx_EGR 寄存器中的相应 CCxG 位置 1 可生成 IC 中断和/或 DMA 请求。*

20.3.8 PWM 输入模式

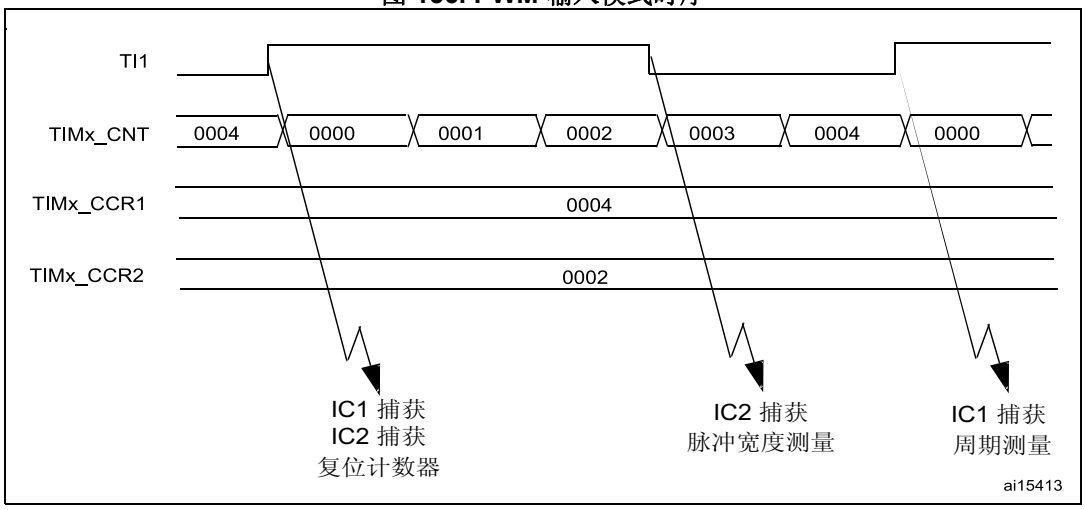
此模式是输入捕获模式的一个特例。其实现步骤与输入捕获模式基本相同，仅存在以下不同之处：

- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这两个 ICx 信号在边沿处有效，但极性相反。
- 选择两个 TIxFP 信号之一作为触发输入，并将从模式控制器配置为复位模式。

例如，用户可通过以下步骤对应用于 TI1 的 PWM 的周期（位于 TIMx_CCR1 寄存器中）和占空比（位于 TIMx_CCR2 寄存器中）进行测量（取决于 CK_INT 频率和预分频器的值）：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1x 源（内部或外部）。
2. 选择 TIMx_CCR1 的有效输入：向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01（选择 TI1）。
3. 选择 TI1FP1 的有效极性（用于在 TIMx_CCR1 中捕获和计数器清零）：向 CC1P 位和 CC1NP 位写入“0”（上升沿有效）。
4. 选择 TIMx_CCR2 的有效输入：向 TIMx_CCMR1 寄存器中的 CC2S 写入 10（选择 TI1）。
5. 选择 TI1FP2 的有效极性（用于在 TIMx_CCR2 中捕获）：向 CC2P 位和 CC2NP 位写入 CC2P/CC2NP=“10”（下降沿有效）。
6. 选择有效触发输入：向 TIMx_SMCR 寄存器中的 TS 位写入 00101（选择 TI1FP1）。
7. 将从模式控制器配置为复位模式：向 TIMx_SMCR 寄存器中的 SMS 位写入 0100。
8. 使能捕获：向 TIMx_CCER 寄存器中的 CC1E 位和 CC2E 位写入“1”。

图 136. PWM 输入模式时序



20.3.9 强制输出模式

在输出模式（TIMx_CCMRx 寄存器中的 CCxS 位 = 00）下，可直接由软件将每个输出比较信号（OCxREF 和 OCx/OCxN）强制设置为有效电平或无效电平，而无需考虑输出比较寄存器和计数器之间的任何比较结果。

要将输出比较信号 (OCxREF/OCx) 强制设置为有效电平，用户只需向相应 TIMx_CCMRx 寄存器中的 OCxM 位写入 0101。OCxREF 进而强制设置为高电平（OCxREF 始终为高电平有效），同时 OCx 获取 CCxP 极性位的相反值。

例如：CCxP=0（OCx 高电平有效）=> 将 OCx 强制设置为高电平。

通过向 TIMx_CCMRx 寄存器中的 OCxM 位写入 0100，可将 OCxREF 信号强制设置为低电平。

无论如何，TIMx_CCRx 影子寄存器与计数器之间的比较仍会执行，而且允许将标志置 1。因此可发送相应的中断和 DMA 请求。下面的输出比较模式一节对此进行了介绍。

20.3.10 输出比较模式

此功能用于控制输出波形，或指示已经过某一时间段。通道 1 到通道 4 可用作输出，而通道 5 和通道 6 只能在器件内部使用（例如，用于产生混合波形或触发 ADC）。

当捕获/比较寄存器与计数器之间相匹配时，输出比较功能：

- 将为相应的输出引脚分配一个可编程值，该值由输出比较模式（TIMx_CCMRx 寄存器中的 OCxM 位）和输出极性（TIMx_CCER 寄存器中的 CCxP 位）定义。匹配时，输出引脚既可保持其电平 (OCxM=0000)，也可设置为有效电平 (OCxM=0001)、无效电平 (OCxM=0010) 或进行翻转 (OCxM=0011)。
- 将中断状态寄存器中的标志置 1（TIMx_SR 寄存器中的 CCxIF 位）。
- 如果相应中断使能位（TIMx_DIER 寄存器中的 CCXIE 位）置 1，将生成中断。
- 如果相应使能位（TIMx_DIER 寄存器的 CCxDE 位，TIMx_CR2 寄存器的 CCDS 位，用来选择 DMA 请求）置 1，将发送 DMA 请求。

使用 TIMx_CCMRx 寄存器中的 OCxPE 位，可将 TIMx_CCRx 寄存器配置为带或不带预装载寄存器。

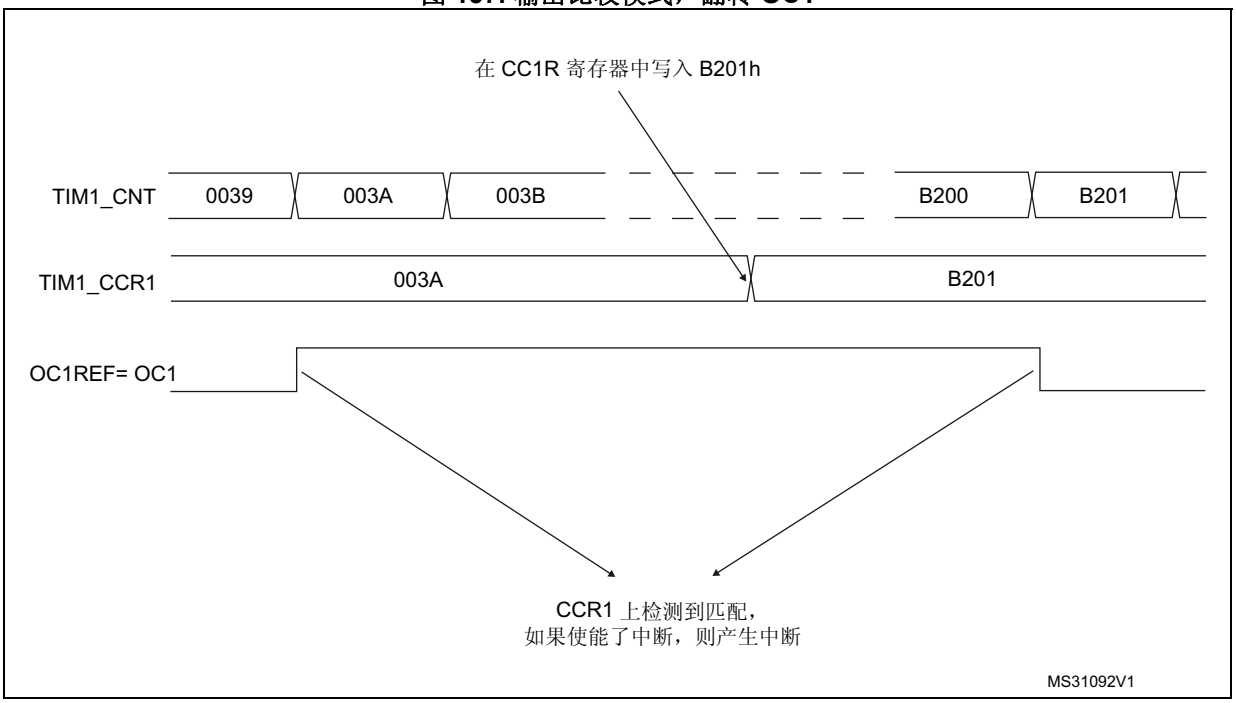
在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出毫无影响。同步的精度可以达到计数器的一个计数周期。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

步骤

1. 选择计数器时钟（内部、外部、预分频器）。
2. 在 TIMx_ARR 和 TIMx_CCRx 寄存器中写入所需数据。
3. 如果要生成中断请求，则需将 CCxIE 位置 1。
4. 选择输出模式。例如：
   - 当 CNT 与 CCRx 匹配时，写入 OCxM = 0011 以翻转 OCx 输出引脚
   - 写入 OCxPE = 0 以禁止预装载寄存器
   - 写入 CCxP = 0 以选择高电平有效极性
   - 写入 CCxE = 1 以使能输出
5. 通过将 TIMx_CR1 寄存器中的 CEN 位置 1 来使能计数器。

可通过软件随时更新 TIMx_CCRx 寄存器以控制输出波形，前提是未使能预装载寄存器（OCxPE=“0”，否则 TIMx_CCRx 影子寄存器仅在下一更新事件 UEV 发生时进行更新）。*图 137* 给出了一个示例。

图 137. 输出比较模式，翻转 OC1



20.3.11 PWM 模式

脉冲宽度调制模式可以生成一个信号，该信号频率由 TIMx_ARR 寄存器值决定，其占空比则由 TIMx_CCRx 寄存器值决定。

各通道可以独立选择 PWM 模式（每个 OCx 输出对应一个 PWM），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“0110”（PWM 模式 1）或“0111”（PWM 模式 2）。必须通过将 TIMx_CCMRx 寄存器中的 OCxPE 位置 1 使能相应预装载寄存器，最后通过将 TIMx_CR1 寄存器中的 ARPE 位置 1 使能自动重载预装载寄存器（在向上计数或中心对齐模式下）。

由于只有在发生更新事件时预装载寄存器才会传送到影子寄存器，因此启动计数器之前，必须通过将 TIMx_EGR 寄存器中的 UG 位置 1 来初始化所有寄存器。

OCx 的极性可以通过软件在 TIMx_CCER 寄存器中的 CCxP 位设置。可将其设置为高电平有效或低电平有效。通过 CCxE、CCxNE、MOE、OSSI 和 OSSR 位（TIMx_CCER 和 TIMx_BDTR 寄存器）的组合使能 OCx 输出。有关详细信息，请参见 TIMx_CCER 寄存器说明。

在 PWM 模式（1 或 2）下，TIMx_CNT 总是与 TIMx_CCRx 进行比较，以确定是 TIMx_CCRx ≤ TIMx_CNT 还是 TIMx_CNT ≤ TIMx_CCRx（取决于计数器计数方向）。

根据 TIMx_CR1 寄存器中的 CMS 位状态，定时器能够产生边沿对齐模式或中心对齐模式的 PWM 信号。

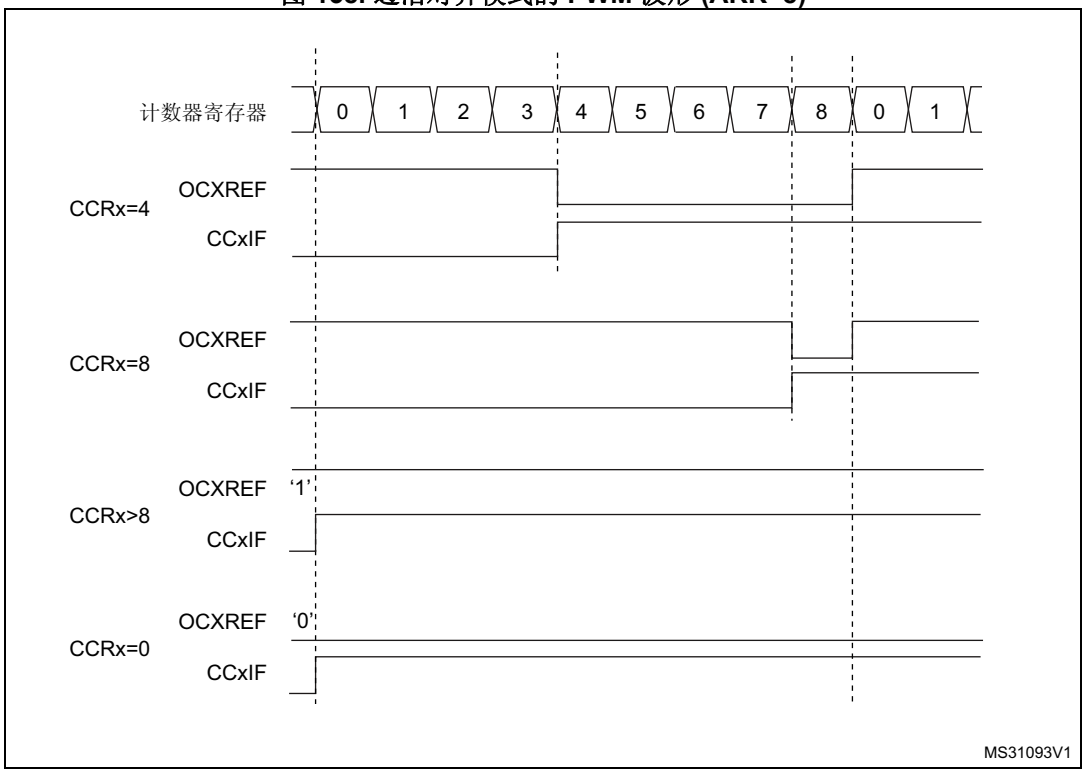
PWM 边沿对齐模式

- 递增计数配置

  当 TIMx_CR1 寄存器中的 DIR 位为低时执行递增计数。请参见*第 459 页的递增计数模式*。

  以下以 PWM 模式 1 为例。只要 TIMx_CNT < TIMx_CCRx，PWM 参考信号 OCxREF 便为高电平，否则为低电平。如果 TIMx_CCRx 中的比较值大于自动重载值（TIMx_ARR 中），则 OCxREF 保持为“1”。如果比较值为 0，则 OCxREF 保持为“0”。*图 138* 举例介绍边沿对齐模式的一些 PWM 波形 (TIMx_ARR=8)。

图 138. 边沿对齐模式的 PWM 波形 (ARR=8)



- 递减计数配置

  当 TIMx_CR1 寄存器中的 DIR 位为高时执行递减计数。请参见*第 462 页的递减计数模式*。

  在 PWM 模式 1 下，只要 TIMx_CNT > TIMx_CCRx，参考信号 OCxRef 即为低电平，否则其为高电平。如果 TIMx_CCRx 中的比较值大于 TIMx_ARR 中的自动重载值，则 OCxREF 保持为“1”。此模式下不可能产生占空为 0% 的 PWM 波形。

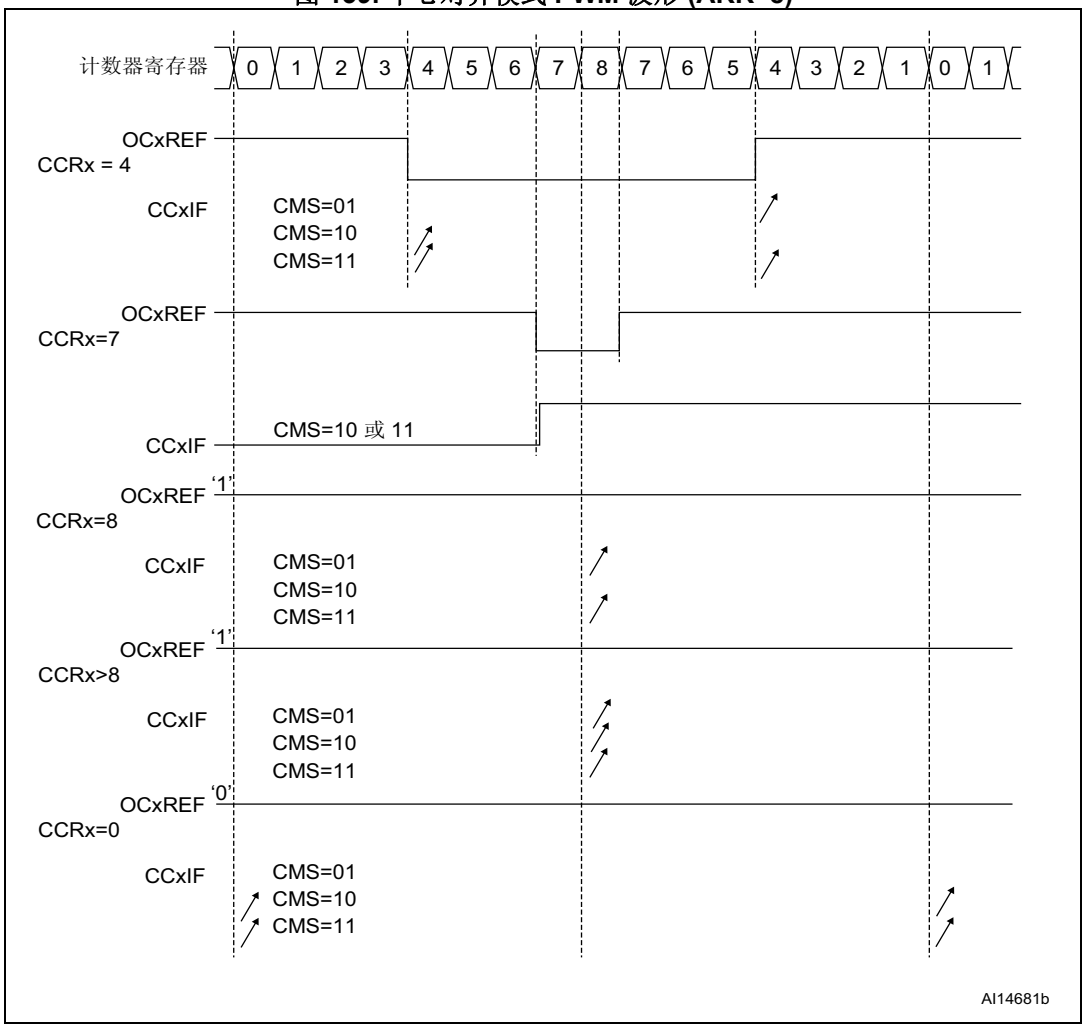
PWM 中心对齐模式

当 TIMx_CR1 寄存器中的 CMS 位不为“00”（其余所有配置对 OCxRef/OCx 信号具有相同的作用），中心对齐模式生效。根据 CMS 位的配置，可以在计数器递增计数、递减计数或同时递增和递减计数时将比较标志置 1。TIMx_CR1 寄存器中的方向位 (DIR) 由硬件更新，不得通过软件更改。请参见*第 465 页的中心对齐模式（递增/递减计数）*。

图 139 显示了中心对齐模式的 PWM 波形，在此例中：

- TIMx_ARR=8。
- PWM 模式为 PWM 模式 1。
- 在根据 TIMx_CR1 寄存器中 CMS=01 而选择的中心对齐模式 1 下，当计数器递减计数时，比较标志置 1。

图 139. 中心对齐模式 PWM 波形 (ARR=8)



中心对齐模式使用建议

- 启动中心对齐模式时将使用当前的递增/递减计数配置。这意味着计数器将根据写入 TIMx_CR1 寄存器中 DIR 位的值进行递增或递减计数。此外，不得同时通过软件修改 DIR 和 CMS 位。
- 不建议在运行中心对齐模式时对计数器执行写操作，否则将发生意想不到的结果。尤其是：
  - 如果在计数器中写入大于自动重载值的值 (TIMx_CNT>TIMx_ARR)，则不会更新方向。例如，如果计数器正在递增计数，则继续递增计数。
  - 如果向计数器写入 0 或 TIMx_ARR 的值，计数方向会更新，但不生成更新事件 UEV。
- 使用中心对齐模式最为保险的方法是：在启动计数器前产生一个软件更新（将 TIMx_EGR 寄存器中的 UG 位置 1），并且不要在计数器运行过程中对其执行写操作。

20.3.12 不对称 PWM 模式

在不对称模式下，生成的两个中心对齐 PWM 信号间允许存在可编程相移。频率由 TIMx_ARR 寄存器的值确定，而占空比和相移则由一对 TIMx_CCRx 寄存器确定。两个寄存器分别控制递增计数和递减计数期间的 PWM，这样每半个 PWM 周期便会调节一次 PWM：

- OC1REFC（或 OC2REFC）由 TIMx_CCR1 和 TIMx_CCR2 控制
- OC3REFC（或 OC4REFC）由 TIMx_CCR3 和 TIMx_CCR4 控制

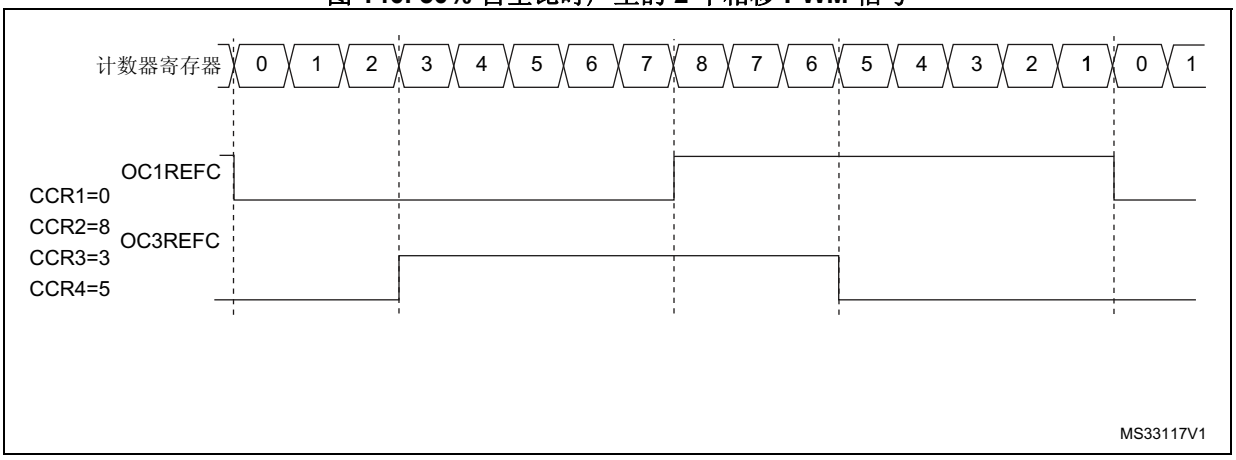
两个通道可以独立选择不对称 PWM 模式（每对 CCR 寄存器一个 OCx 输出），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“1110”（不对称 PWM 模式 1）或“1111”（不对称 PWM 模式 2）。

注： *出于兼容性原因，OCxM[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

给定通道用作不对称 PWM 通道时，也可使用其互补通道。例如，如果通道 1 上产生 OC1REFC 信号（不对称 PWM 模式 1），则由于不对称 PWM 模式 1 的原因，通道 2 上可输出 OC2REF 信号或 OC2REFC 信号。

图 140 显示了不对称 PWM 模式下可以产生的信号示例（通道 1 到通道 4 在不对称 PWM 模式 1 下配置）。与死区发生器配合使用时，这可控制全桥移相控制 DC/DC 变换器。

图 140. 50% 占空比时产生的 2 个相移 PWM 信号



20.3.13 组合 PWM 模式

在组合 PWM 模式下，生成的两个边沿或中心对齐 PWM 信号的各个脉冲间允许存在可编程延时和相移。频率由 TIMx_ARR 寄存器的值确定，而占空比和延时则由两个 TIMx_CCRx 寄存器确定。产生的信号 OCxREFC 由两个参考 PWM 的逻辑或运算或者逻辑与运算组合组成。

- OC1REFC（或 OC2REFC）由 TIMx_CCR1 和 TIMx_CCR2 控制
- OC3REFC（或 OC4REFC）由 TIMx_CCR3 和 TIMx_CCR4 控制

两个通道可以独立选择组合 PWM 模式（每对 CCR 寄存器一个 OCx 输出），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“1100”（组合 PWM 模式 1）或“1101”（组合 PWM 模式 2）。

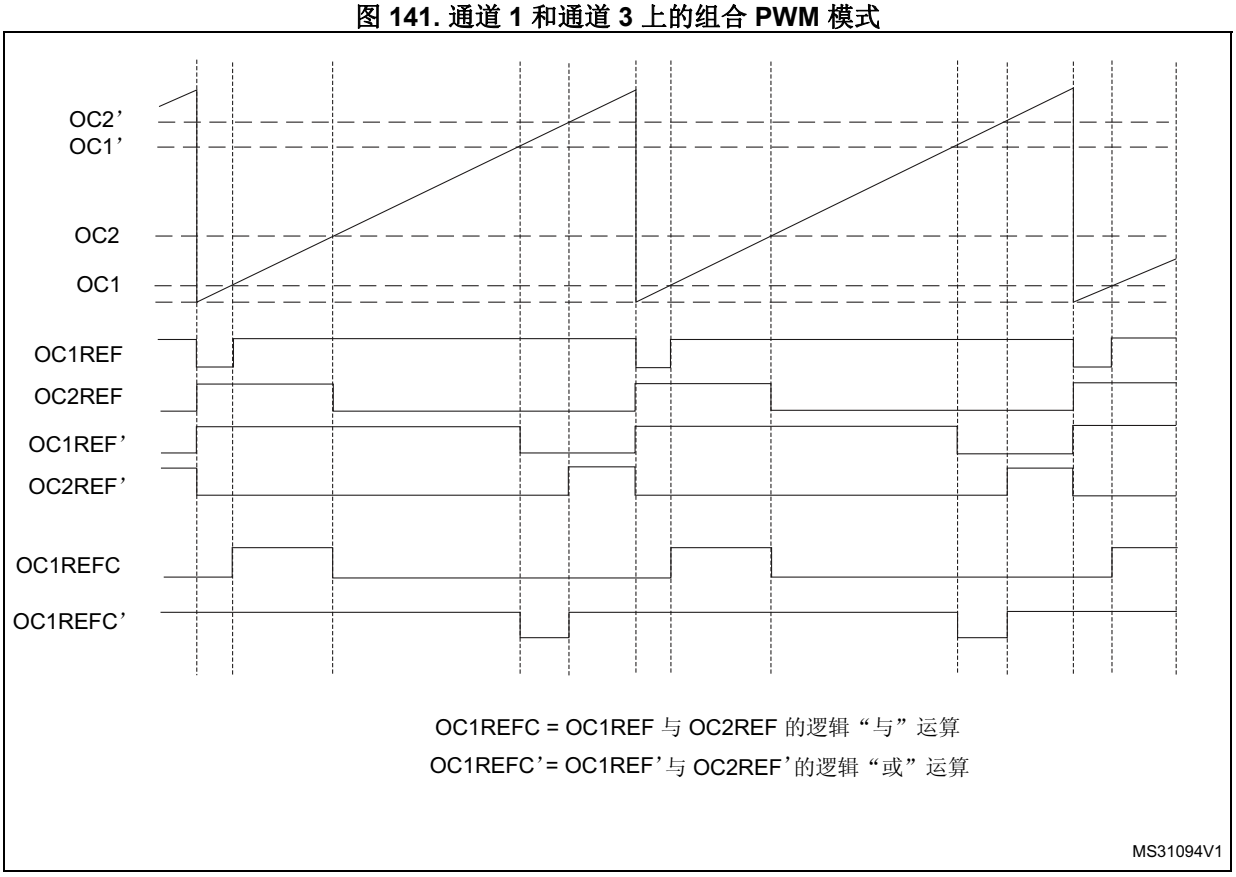
当给定通道用作组合 PWM 通道时，其互补通道必须在相反的 PWM 模式下配置（例如，一个通道在组合 PWM 模式 1 下配置，另一个通道在组合 PWM 模式 2 下配置）。

注： *出于兼容性原因，OCxM[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

图 141 显示了不对称 PWM 模式下可以产生的信号示例，通过以下配置可获得这些信号：

- 通道 1 在组合 PWM 模式 2 下配置。
- 通道 2 在 PWM 模式 1 下配置。
- 通道 3 在组合 PWM 模式 2 下配置。
- 通道 4 在 PWM 模式 1 下配置。

图 141. 通道 1 和通道 3 上的组合 PWM 模式



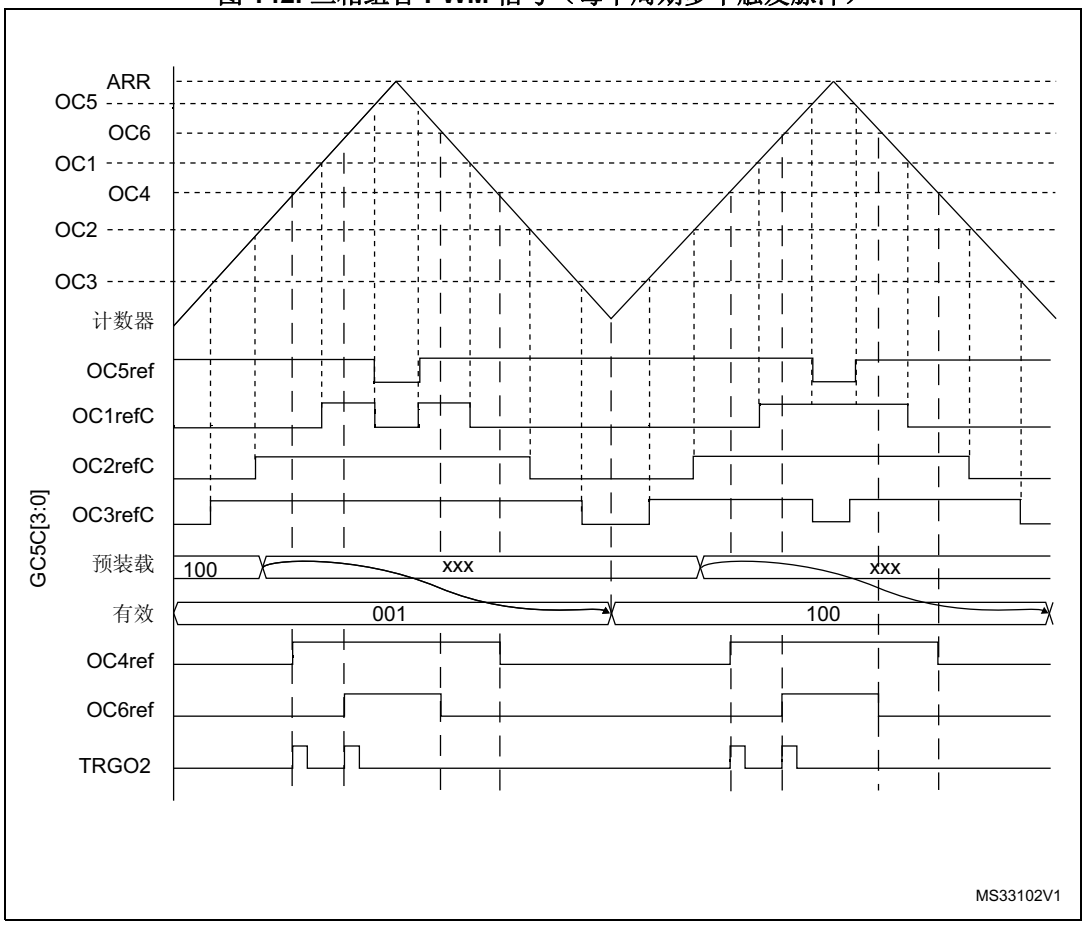
20.3.14 组合三相 PWM 模式

在组合三相 PWM 模式下，产生的一至三个中心对齐 PWM 信号与一个可编程信号间允许在脉冲中间进行逻辑与运算。OC5REF 信号用于定义产生的组合信号。凭借 TIMx_CCR5 中的 3 位 GC5C[3:1]，可以选择 OC5REF 与哪个参考信号组合。产生的信号 OCxREFC 由两个参考 PWM 的逻辑与运算组合组成。

- 如果 GC5C1 置 1，则 OC1REFC 由 TIMx_CCR1 和 TIMx_CCR5 控制
- 如果 GC5C2 置 1，则 OC2REFC 由 TIMx_CCR2 和 TIMx_CCR5 控制
- 如果 GC5C3 置 1，则 OC3REFC 由 TIMx_CCR3 和 TIMx_CCR5 控制

通道 1 到通道 3 可独立选择组合三相 PWM 模式，只需将 3 位 GC5C[3:1] 中的至少一位置 1。

图 142. 三相组合 PWM 信号（每个周期多个触发脉冲）



TRGO2 波形说明了如何根据给定的三相 PWM 信号同步 ADC。更多详细信息，请参见*第 20.3.27 节：ADC 同步*。

20.3.15 互补输出和死区插入

高级控制定时器 (TIM1) 可以输出两路互补信号，并管理输出的关断与接通瞬间。

这段时间通常称为死区，用户必须根据与输出相连接的器件及其特性（电平转换器的固有延迟、开关器件产生的延迟...）来调整死区时间。

每路输出可以独立选择输出极性（主输出 OCx 或互补输出 OCxN）。可通过对 TIMx_CCER 寄存器中的 CCxP 和 CCxNP 位执行写操作来完成极性选择。

互补信号 OCx 和 OCxN 通过以下多个控制位的组合进行激活：TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位以及 TIMx_BDTR 和 TIMx_CR2 寄存器中的 MOE、OISx、OISxN、OSSI 和 OSSR 位。更多详细信息，请参见*第 531 页的表 106：具有刹车功能的互补通道 OCx 和 OCxN 的输出控制位*。应当注意，切换至 IDLE 状态（MOE 下降到 0）的时刻，死区仍然有效。

CCxE 和 CCxNE 位同时置 1 并且 MOE 位置 1（如果存在刹车）时，将使能死区插入。每个通道有一个 10 位死区发生器。将基于参考波形 OCxREF 生成 2 个输出 OCx 和 OCxN。如果 OCx 和 OCxN 为高电平有效：

- 输出信号 OCx 与参考信号相同，只是其上升沿相对参考上升沿存在延迟。
- 输出信号 OCxN 与参考信号相反，并且其上升沿相对参考下降沿存在延迟。

如果延迟时间大于有效输出（OCx 或 OCxN）的宽度，则不会产生相应的脉冲。

下图所示为死区发生器的输出信号与参考信号 OCxREF 之间的关系。（在这些示例中，假定 CCxP=0、CCxNP=0、MOE=1、CCxE=1 并且 CCxNE=1）

图 143. 带死区插入的互补输出

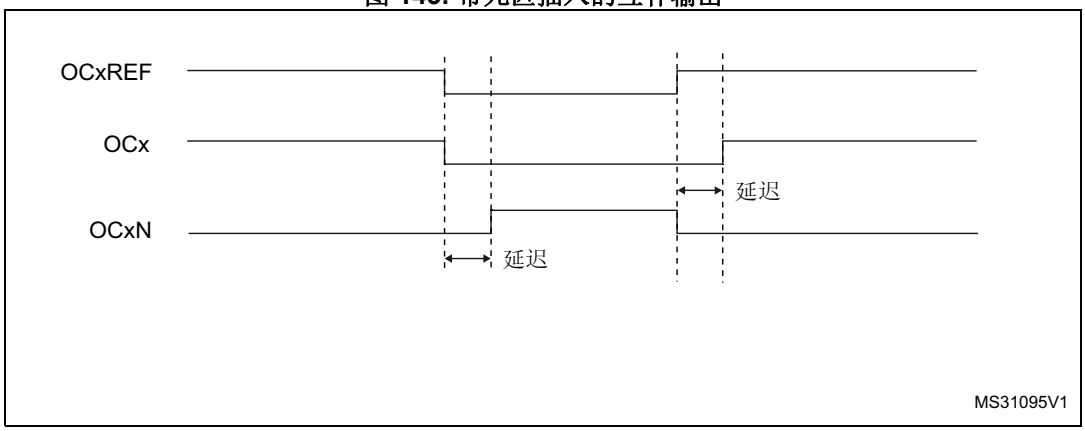


图 144. 延迟时间大于负脉冲宽度的死区波形

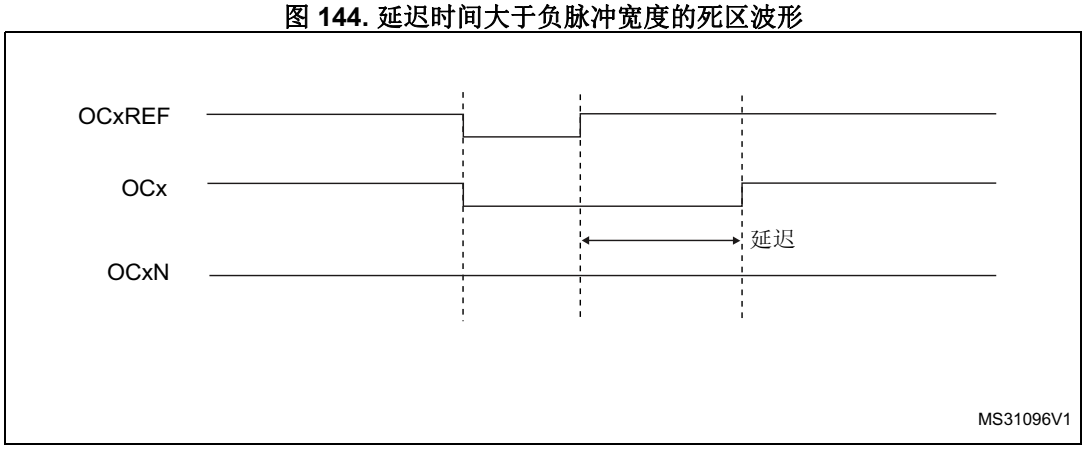
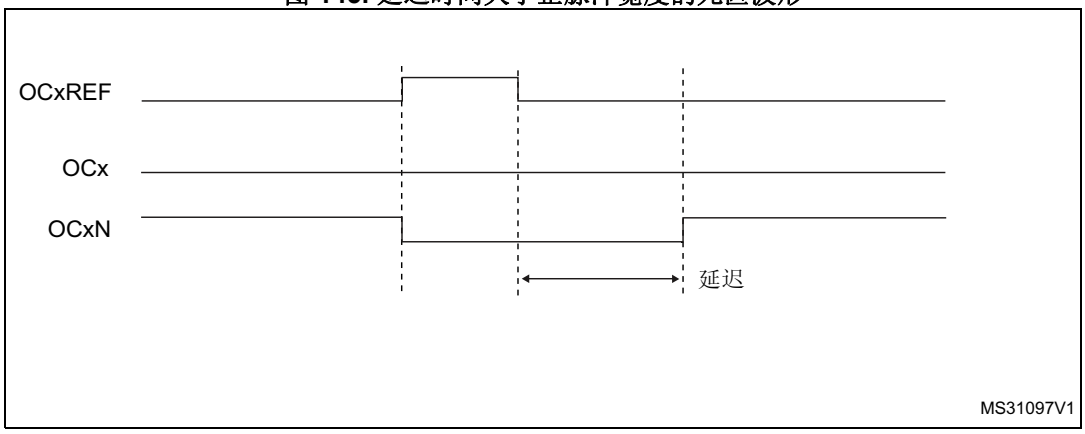


图 145. 延迟时间大于正脉冲宽度的死区波形



死区延迟对于所有通道均相同，可通过 TIMx_BDTR 寄存器中的 DTG 位进行编程。有关延迟时间计算的信息，请参见*第 20.4.20 节：TIM1 刹车和死区寄存器 (TIM1_BDTR)*。

将 OCxREF 重定向到 OCx 或 OCxN

在输出模式（强制输出模式、输出比较模式或 PWM 模式）下，通过配置 TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位，可将 OCxREF 重定向到 OCx 输出或 OCxN 输出。

通过此功能，可以在一个输出上发送特定波形（如 PWM 或静态有效电平），而同时使互补输出保持其无效电平。或者，使两个输出同时保持无效电平，或者两个输出同时处于有效电平，两者互补并且带死区。

注： *如果仅使能 OCxN (CCxE=0, CCxNE=1)，两者不互补，一旦 OCxREF 为高电平，OCxN 即变为有效。例如，如果 CCxNP=0，则 OCxN=OCxRef。另一方面，如果同时使能 OCx 和 OCxN (CCxE=CCxNE=1)，OCx 在 OCxREF 为高电平时变为有效，而 OCxN 则与之互补，在 OCxREF 为低电平时变为有效。*

20.3.16 使用刹车功能

刹车功能的目的是保护由 TIM1 定时器生成的 PWM 信号所驱动的功率开关。两个刹车输入通常连接到功率级和三相逆变器的故障输出。激活时，刹车电路会关闭 PWM 输出，并将其强制为预定义的安全状态。也可选择一些内部 MCU 事件来触发输出关断。

有两个刹车通道。刹车通道源包括系统级故障（时钟失效和奇偶校验错误等）和应用故障（来自输入引脚和内置比较器），可以在死区持续时间后将输出强制为预定义的电平（有效或无效）。刹车 2 通道只包括应用故障，能够将输出强制为无效状态。

刹车期间的输出使能信号和输出电平取决于多个控制位：

- TIMx_BDTR 寄存器中的 MOE 位，允许通过软件使能/禁止输出，在发生刹车和刹车 2 事件时复位。
- TIMx_BDTR 寄存器中的 OSSI 位，定义定时器将输出控制在无效状态下，还是释放对 GPIO 控制器的控制（通常使其处于高阻态模式）
- TIMx_CR2 寄存器中的 OISx 和 OISxN 位，将输出设置为关断电平（有效或无效）。无论 OISx 和 OISxN 的值为何，均无法在给定时间将 OCx 和 OCxN 输出同时设置为有效电平。更多详细信息，请参见*第 531 页的表 106：具有刹车功能的互补通道 OCx 和 OCxN 的输出控制位*。

退出复位状态后，刹车功能处于禁止状态，MOE 位处于低电平。通过设置 TIMx_BDTR 寄存器中的 BKE 和 BK2E 位来使能刹车功能。可通过配置同一寄存器中的 BKP 位和 BK2P 位来选择刹车输入的极性。BKE/BK2E 和 BKP/BK2P 位可同时修改。对 BKE/BK2E 和 BKP/BK2P 位执行写操作时，写操作会在 1 个 APB 时钟周期的延迟后生效。因此，执行写操作后，需要等待 1 个 APB 时钟周期，才能准确回读该位。

由于 MOE 下降沿可能是异步信号，因此在实际信号（作用于输出）与同步控制位（位于 TIMx_BDTR 寄存器中）之间插入了再同步电路，从而在异步信号与同步信号之间产生延迟。具体而言，如果在 MOE 处于低电平时将其置为 1，则必须首先插入延迟（空指令），才能准确进行读取。这是因为写入的是异步信号，而读取反映同步信号。

可以使用 TIMx_OR2 和 TIMx_OR3 寄存器从多个源产生刹车，这些源可以单独使能并使用可编程边沿有效性。

刹车 (BRK) 通道的源为：

- 连接到 BKIN 引脚的外部源（由 AFIO 控制器设定），具有极性选择和可选的数字滤波
- 内部源：
  - Cortex®-M0+ LOCKUP 输出
  - PVD 输出
  - SRAM 奇偶校验错误信号
  - Flash ECC 错误
  - CSS 检测器产生时钟故障事件
  - 比较器的输出，具有极性选择和可选的数字滤波

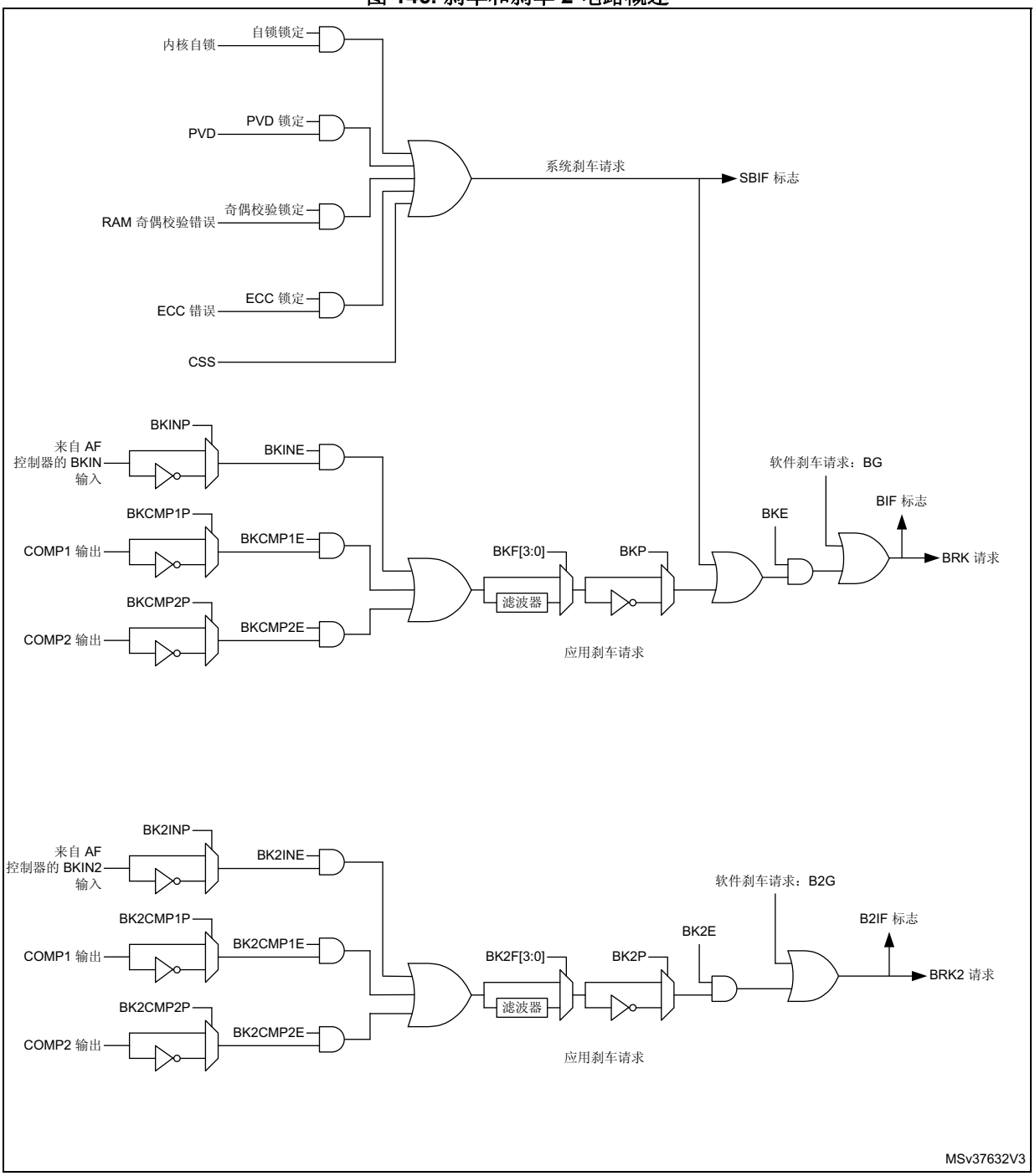
刹车 2 (BRK2) 的源：

- 连接到 BKIN 引脚的外部源（由 AFIO 控制器设定），具有极性选择和可选的数字滤波
- 来自比较器输出的内部源

也可由软件通过 TIMx_EGR 寄存器中的 BG 和 B2G 位产生刹车事件。无论 BKE 和 BK2E 使能位的值如何，都可以使用 BG 和 B2G 通过软件产生刹车。

在所有源进入定时器 BRK 或 BRK2 输入之前，对其进行逻辑或运算，如以下*图 146* 所示。

图 146. 刹车和刹车 2 电路概述



注：　只有禁止可编程滤波器时才能保证异步（无时钟）操作。如果使能可编程滤波器，必须使用故障安全时钟模式（例如，使用内部 PLL 和/或 CSS）来保证能够处理刹车事件。

发生刹车之一（其中一个刹车输入上出现所选电平）时：

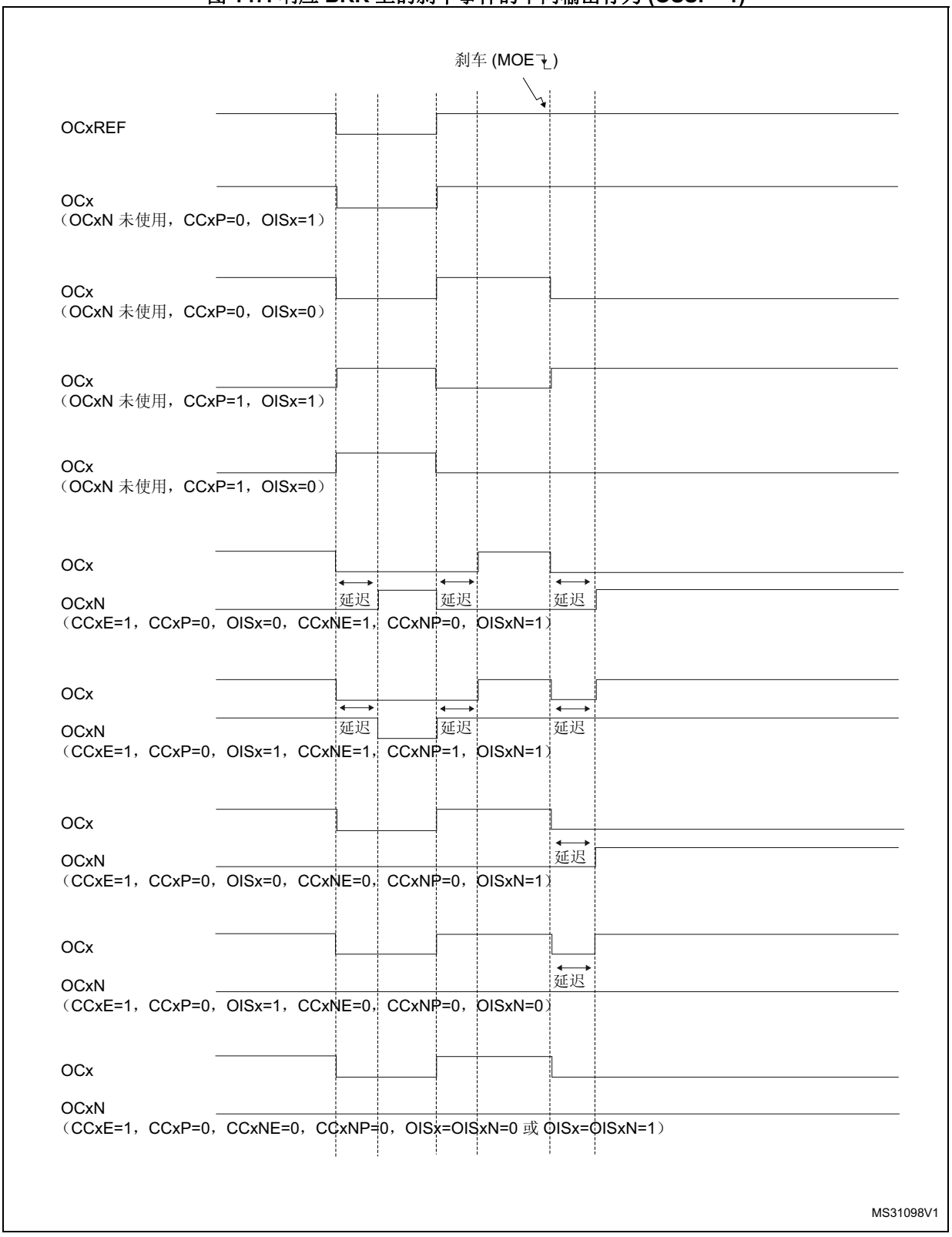
- MOE 位异步清零，使输出处于无效状态、空闲状态甚至释放控制权给 GPIO 控制器（通过 OSSI 位进行选择）。即使 MCU 振荡器关闭，该功能仍然使能。
- MOE=0 时，将以 TIMx_CR2 寄存器 OISx 位中编程的电平驱动每个输出通道。如果 OSSI=0，定时器将释放输出控制（由 GPIO 控制器接管），否则使能输出保持高电平。
- 使用互补输出时：
  - 输出首先置于无效状态（取决于极性）。这是异步操作，因此即使没有为定时器提供时钟，该操作仍有效。
  - 如果定时器时钟仍存在，则将重新激活死区发生器，进而在死区后以 OISx 和 OISxN 位中编程的电平驱动输出。即使在这种情况下，也不能同时将 OCx 和 OCxN 驱动至其有效电平。请注意，MOE 进行再同步，因此死区的持续时间会比通常情况稍长一些（约 2 个 ck_tim 时钟周期）。
  - 如果 OSSI=0，定时器将释放输出控制（由强制高阻态的 GPIO 控制器接管），否则使能输出将保持高电平或在 CCxE 或 CCxNE 位之一为高电平时立即变为高电平。
- 将刹车状态标志（TIMx_SR 寄存器中的 SBIF、BIF 和 B2IF 位）置 1。如果 TIMx_DIER 寄存器中的 BIE 位置 1，则会产生中断。
- 如果 TIMx_BDTR 寄存器中的 AOE 位置 1，则 MOE 位会在发生下一更新事件 (UEV) 时自动再次置 1。例如，这可用于执行调节。否则，MOE 将始终保持低电平，直到应用将其再次置 1。这种情况下，这一特性可用于确保安全，可以将刹车输入连接到功率驱动器的警报、温度传感器或任何安全元件。

注： *刹车输入为电平有效。因此，当刹车输入有效电平时，不能将 MOE 位置 1（自动或通过软件）。同时，不能将状态标志 BIF 和 B2IF 清零。*

除刹车输入和输出管理外，刹车电路内部还实施了写保护，用以保护应用的安全。通过该功能，用户可冻结多个参数配置（死区持续时间、OCx/OCxN 极性和禁止时的状态、OCxM 配置、刹车使能和极性）。应用可以通过 TIMx_BDTR 寄存器中的 LOCK 位，从 3 种保护级别中进行选择。请参见*第 20.4.20 节：TIM1 刹车和死区寄存器 (TIM1_BDTR)*。MCU 复位后只能对 LOCK 位执行一次写操作。

图 147 所示为输出对刹车响应行为的示例。

图 147. 响应 BRK 上的刹车事件的不同输出行为 (OSSI = 1)



两个刹车输入针对定时器输出具有不同的行为：

- BRK 输入可禁止（无效状态）PWM 输出，也可将 PWM 输出强制为预定义的安全状态。
- BRK2 只能禁止（无效状态）PWM 输出。

BRK 输入的优先级高于 BRK2 输入，如*表 102* 所示。

注： *BRK2 必须只在 OSSR = OSSI = 1 时使用。*

表 102. 定时器输出行为与 BRK/BRK2 输入

BRK	BRK2	定时器输出状态	典型用例	
			OCxN 输出（下桥臂开关）	OCx 输出（上桥臂开关）
有效	X	– 无效，之后强制为输出状态（在一个死区时间之后） – 如果 OSSI = 0，则禁止输出（由 GPIO 逻辑接管控制）	死区插入后开启	关闭
无效	有效	无效	关闭	关闭

图 148 给出了 BRK 和 BRK2 输入上出现有效信号时 OCx 和 OCxN 输出行为示例。在这种情况下，两个输出的极性均为高电平有效（TIMx_CCER 寄存器中的 CCxP = CCxNP = 0）。

图 148. BRK 和 BRK2 引脚使能后的 PWM 输出状态 (OSSI=1)

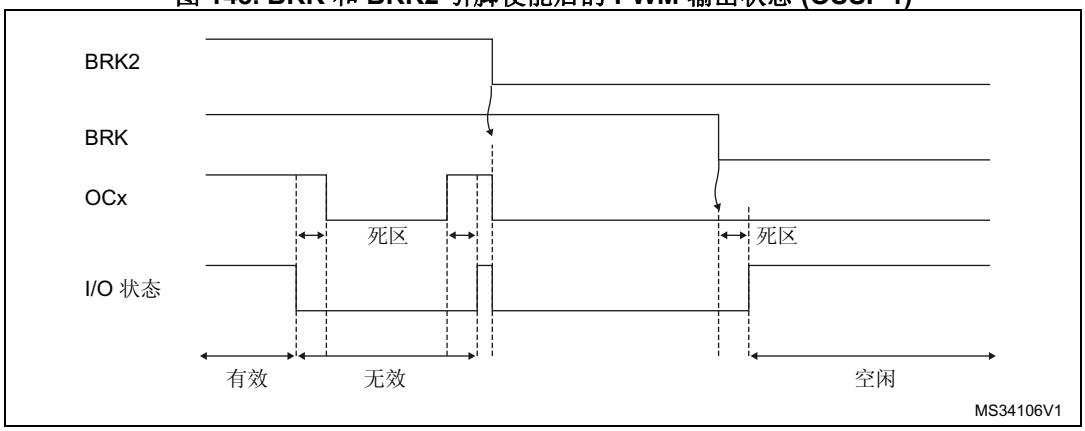
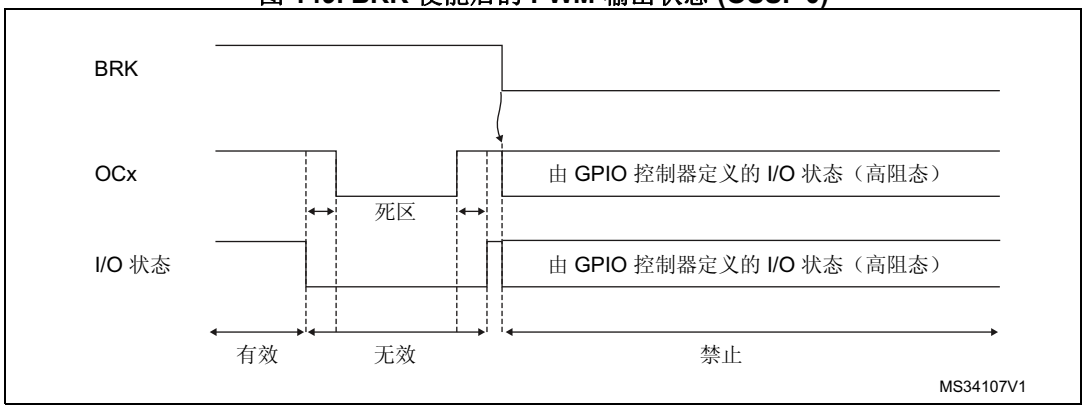


图 149. BRK 使能后的 PWM 输出状态 (OSSI=0)



20.3.17 双向刹车输入

TIM1 具有双向刹车 I/O，如*图 150* 所示。

它们可以：

- 将板级全局刹车信号用于向外部 MCU 或栅极驱动器发送故障信号，唯一的引脚作为输入和输出状态引脚。
- 在必须将多个内部和外部刹车输入合并时，将内部刹车源和多个外部开漏比较器输出“或”连接在一起，触发唯一刹车事件。

使用 TIMxBDTR 寄存器的 BKBID 和 BK2BID 位，将刹车和刹车 2 输入配置为双向模式。可以使用 TIMxBDTR 寄存器中的 LOCK 位，将 BKBID 编程位锁定在只读模式（锁定级别 1 或更高）。

双向模式可以用于刹车和刹车 2 输入，需要将 I/O 配置为低电平有效极性的开漏模式（使用 BKINP、BKP、BK2INP 和 BK2P 位进行配置）。任何来自系统（例如 CSS）、片上外设或刹车输入的刹车请求都会强制将刹车输入置为低电平，以通知发生了故障事件。如果未正确设置极性位（高电平有效极性），则出于安全目的禁止双向模式。

软件刹车事件（BG 和 B2G）也会导致刹车 I/O 被强制置为“0”，从而向外部组件指示定时器已进入刹车状态。但是仅在使能刹车 (BK(2)E = 1) 时有效。当生成软件刹车事件，并且 BK(2)E = 0 时，输出会置于安全状态，并将刹车标志置 1，但对刹车 (2) I/O 无影响。

安全解除机制可防止系统最终锁定（刹车输入上的低电平会触发刹车，进而将相同输入强制置为低电平）。

当 BKDSRM (BK2DSRM) 位置 1 时，会释放刹车输出以清除故障信号，从而使系统能够重新获得保护。

在以下情况下无法禁止刹车保护电路：

- 刹车输入路径始终有效：即使 BKDSRM (BK2DSRM) 位置 1 且释放开漏控制，刹车事件也仍然有效。这样可以在发生刹车期间防止 PWM 输出重新启动。
- 使能输出（MOE 位置 1）后，BK(2)DSRM 位不能解除刹车保护（请参见*表 103*）。

表 103. 刹车保护解除条件

MOE	BKDIR (BK2DIR)	BKDSRM (BK2DSRM)	刹车保护状态
0	0	X	启动
0	1	0	启动
0	1	1	解除
1	X	X	启动

启动和重新启动刹车电路

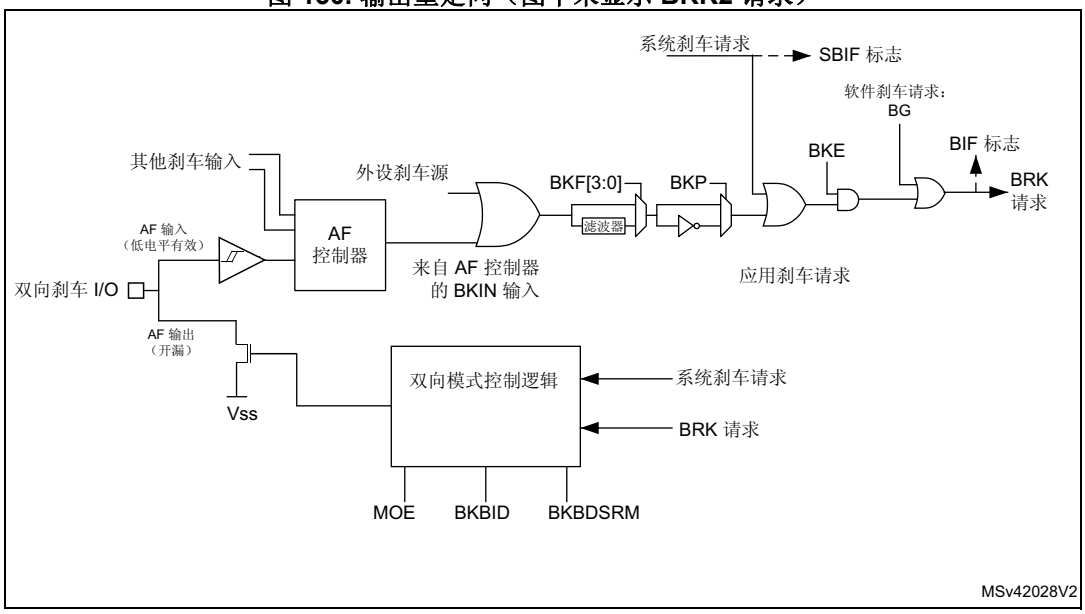
默认情况下（外设复位配置）会启动刹车电路（在输入或双向模式下）。

发生刹车（刹车 2）事件后，必须按照以下步骤重新启动保护：

- 必须将 BKDSRM (BK2DSRM) 位置 1，以释放输出控制
- 软件必须等待系统刹车条件消失（如果有），并清零 SBIF 状态标志（或在重新启动前由系统清零）
- 软件必须轮询 BKDSRM (BK2DSRM) 位，直到该位由硬件清零（当应用刹车条件消失时）

此后，刹车电路即启动并激活，可以通过将 MOE 位置 1 来重新使能 PWM 输出。

图 150. 输出重定向（图中未显示 BRK2 请求）



20.3.18 发生外部事件时清除 OCxREF 信号

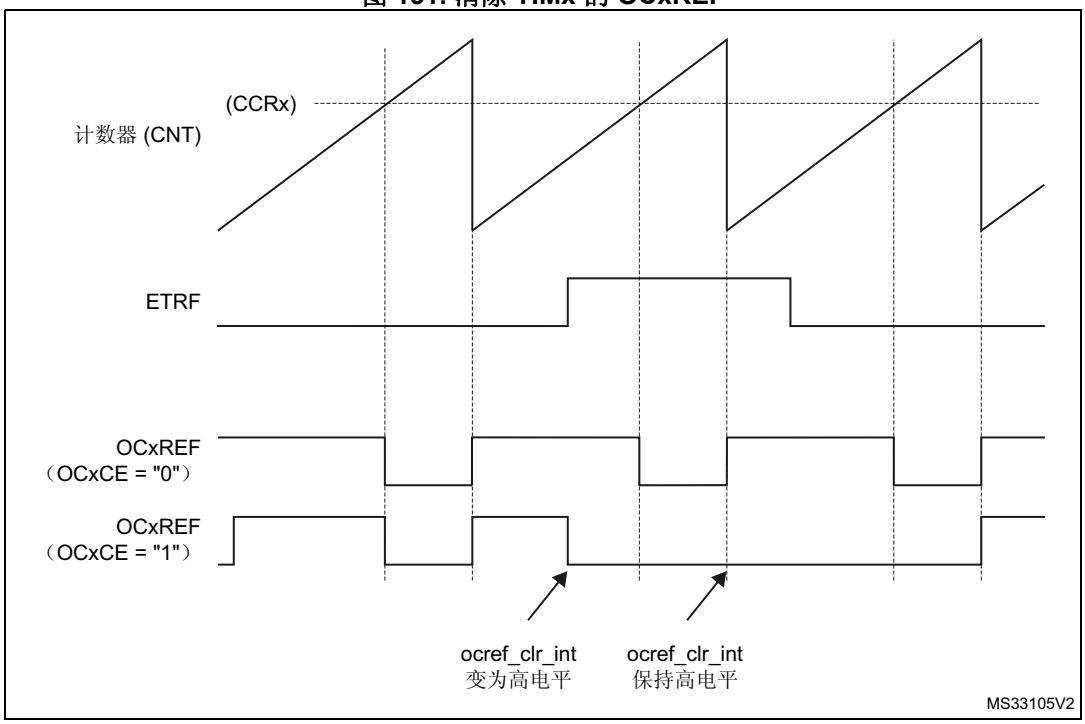
对于给定通道，在 ocref_clr_int 输入上施加高电平（相应 TIMx_CCMRx 寄存器中的 OCxCE 使能位置 1），可将 OCxREF 信号清零。OCxREF 信号将保持低电平，直到发生下一更新事件 (UEV)。该功能只能在输出比较模式和 PWM 模式下使用。在强制模式下不起作用。通过配置 TIMx_SMCR 寄存器中的 OCCS 位，可在 OCREF_CLR 输入和 ETRF（滤波器后的 ETR）之间选择 ocref_clr_int 输入。

选择 ETRF 时，ETR 必须配置如下：

1. 必须关闭外部触发预分频器：TIMx_SMCR 寄存器中的 ETPS[1:0] 位置“00”。
2. 必须禁止外部时钟模式 2：TIMx_SMCR 寄存器中的 ECE 位置“0”。
3. 外部触发极性 (ETP) 和外部触发滤波器 (ETF) 可根据用户需要进行配置。

图 151 对比了使能位 OCxCE 在不同值下的情况，显示了当 ETRF 输入变为高电平时 OCxREF 信号的行为。在本例中，定时器 TIMx 编程为 PWM 模式。

图 151. 清除 TIMx 的 OCxREF



注： *如果 PWM 的占空比为 100% (CCRx>ARR)，则下次计数器溢出时会再次使能 OCxREF。*

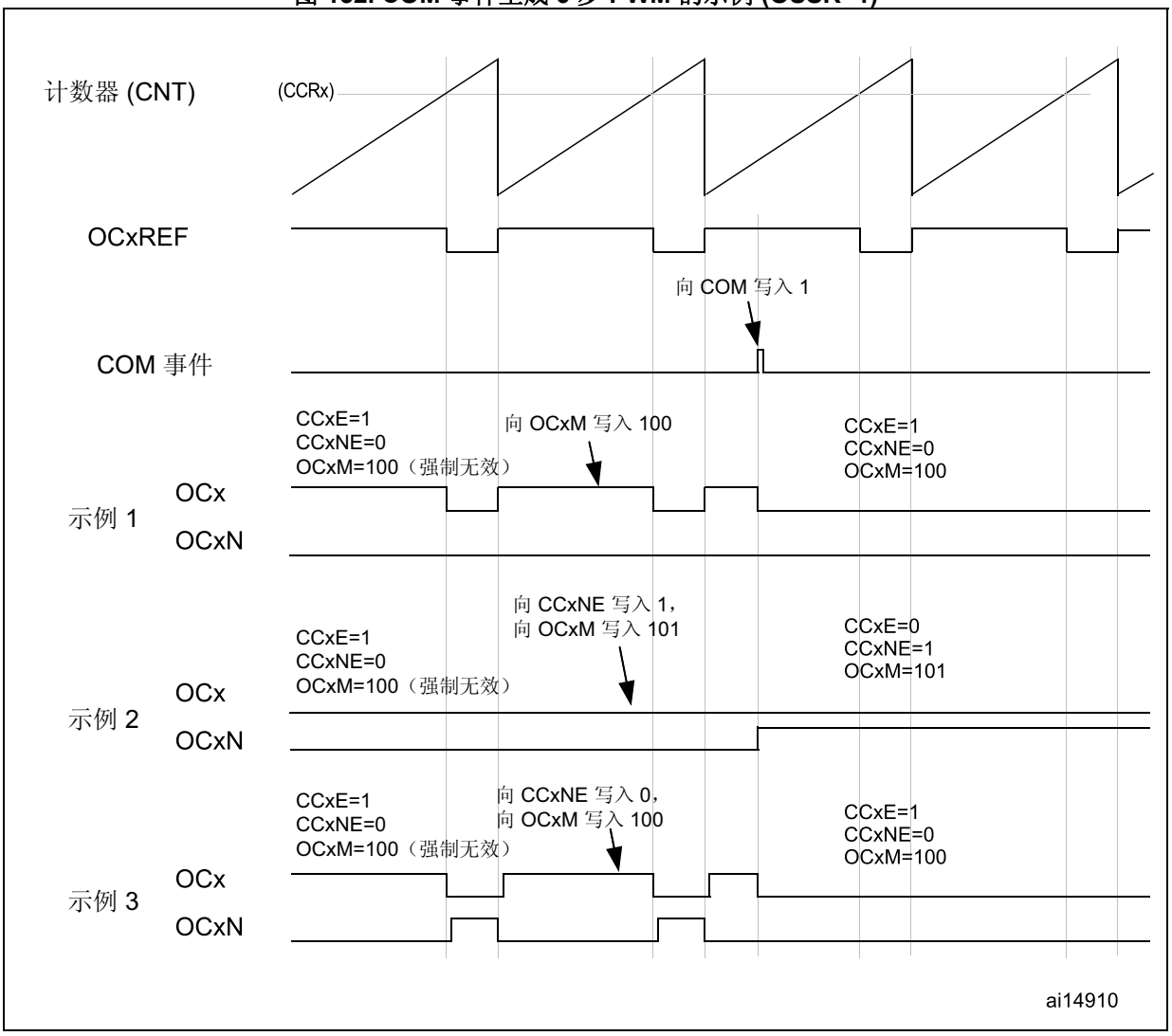
20.3.19 生成 6 步 PWM

当通道使用互补输出时，OCxM、CCxE 和 CCxNE 位上提供预装载位。发生 COM 换向事件时，这些预装载位将传输到影子位。因此，用户可以预先编程下一步骤的配置，并同时更改所有通道的配置。COM 可由软件通过将 TIMx_EGR 寄存器中的 COM 位置 1 而生成，也可以由硬件在 TRGI 上升沿生成。

发生 COM 事件时，某个标志位（TIMx_SR 寄存器中的 COMIF 位）将会置 1。这时，如果 TIMx_DIER 寄存器中的 COMIE 位置 1，将产生中断；如果 TIMx_DIER 寄存器中的 COMDE 位置 1，则将产生 DMA 请求。

图 152 以 3 种不同的编程配置为例，显示了发生 COM 事件时 OCx 和 OCxN 输出的行为。

图 152. COM 事件生成 6 步 PWM 的示例 (OSSR=1)



20.3.20 单脉冲模式

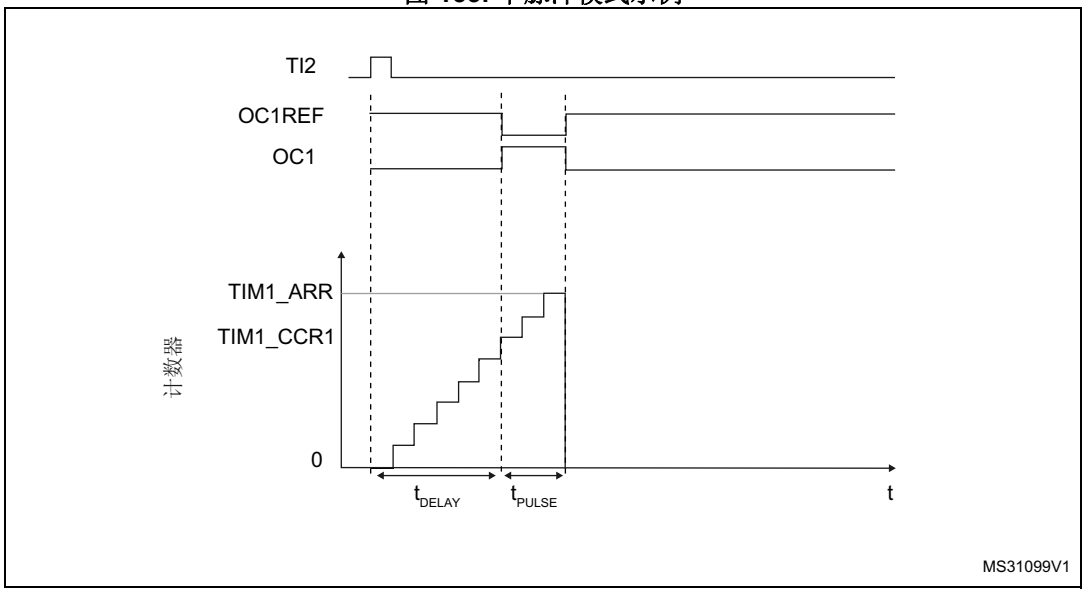
单脉冲模式 (OPM) 是上述模式的一个特例。在这种模式下，计数器可以在一个激励信号的触发下启动，并可在一段可编程的延时后产生一个脉宽可编程的脉冲。

可以通过从模式控制器启动计数器。可以在输出比较模式或 PWM 模式下生成波形。通过将 TIMx_CR1 寄存器中的 OPM 位置 1 选择单脉冲模式。这样，发生下一更新事件 UEV 时，计数器将自动停止。

只有当比较值与计数器初始值不同时，才能正确产生一个脉冲。启动前（定时器等待触发时），必须进行如下配置：

- 递增计数时：CNT < CCRx ≤ ARR（特别注意，0 < CCRx）
- 递减计数时：CNT > CCRx

图 153. 单脉冲模式示例



例如，用户希望达到这样的效果：在 TI2 输入引脚检测到正沿时，经过 t_{DELAY} 的延迟，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

使用 TI2FP2 作为触发 1：

1. 使用 TIMx_TISEL 寄存器中的 TI2SEL[3:0] 位选择正确的 TI2x 源（内部或外部）。
2. 在 TIMx_CCMR1 寄存器中写入 CC2S=“01”，以将 TI2FP2 映射到 TI2。
3. 在 TIMx_CCER 寄存器中写入 CC2P=“0”和 CC2NP=“0”，使 TI2FP2 能够检测上升沿。
4. 在 TIMx_SMCR 寄存器中写入 TS=00110，将 TI2FP2 配置为从模式控制器的触发 (TRGI)。
5. 在 TIMx_SMCR 寄存器中写入 SMS=“110”（触发模式），以使用 TI2FP2 启动计数器。

OPM 波形通过对比较寄存器执行写操作来定义（考虑时钟频率和计数器预分频器）。

- t_{DELAY} 由写入 TIMx_CCR1 寄存器的值定义。
- t_{PULSE} 由自动重载值与比较值之差 (TIMx_ARR - TIMx_CCR1) 来定义。
- 假设希望产生这样的波形：信号在发生比较匹配时从“0”变为“1”，在计数器达到自动重载值时由“1”变为“0”。为此，必须在 TIMx_CCMR1 寄存器中写入 OC1M=111，以使能 PWM 模式 2。如果需要，可选择在 TIMx_CCMR1 寄存器的 OC1PE 和 TIMx_CR1 寄存器的 ARPE 中写入“1”，以使能预装载寄存器。这种情况下，必须在 TIMx_CCR1 寄存器中写入比较值并在 TIMx_ARR 寄存器中写入自动重载值，通过将 UG 位置 1 来产生更新，然后等待 TI2 上的外部触发事件。本例中，CC1P 的值为“0”。

在本例中，TIMx_CR1 寄存器中的 DIR 和 CMS 位应为低。

由于仅需要 1 个脉冲（单脉冲模式），因此应向 TIMx_CR1 寄存器的 OPM 位写入 1，以便在发生下一更新事件（计数器从自动重载值返回到 0）时使计数器停止计数。TIMx_CR1 寄存器中的 OPM 位置“0”时，即选择重复模式。

特殊情况：OCx 快速使能：

在单脉冲模式下，TIx 输入的边沿检测会将 CEN 位置 1，表示使能计数器。然后，在计数器值与比较值之间发生比较时使输出翻转。但是，完成这些操作需要多个时钟周期，这会限制可能的最小延迟（t_{DELAY} 最小值）。

如果需要以最小延时输出波形，可以将 TIMx_CCMRx 寄存器中的 OCxFE 位置 1。这样会强制 OCxRef（和 OCx）对激励信号做出响应，而不再考虑比较的结果。其新电平与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，OCxFE 才会起作用。

20.3.21 可再触发单脉冲模式 (OPM)

该模式允许计数器可以在一个激励信号的触发下启动，并且能产生长度可编程的脉冲，但与不可再触发单脉冲模式间存在以下差别，如*第 20.3.20 节*所述：

- 发生触发时，脉冲立即产生（无可编程延时）
- 如果在上一个触发完成前发生新的触发，脉冲将延长

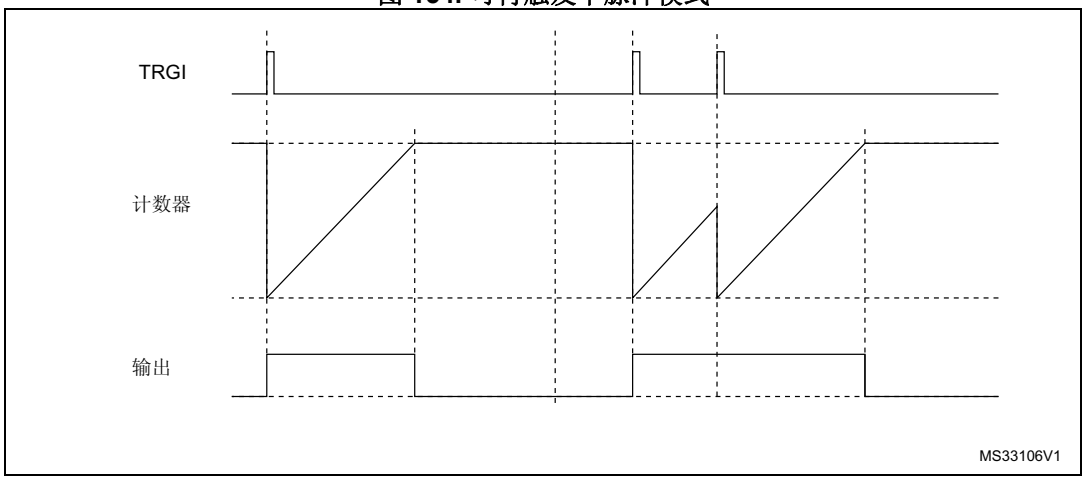
定时器必须处于从模式，TIMx_SMCR 寄存器中的位 SMS[3:0] =“1000”（组合复位 + 触发模式），针对可再触发 OPM 模式 1 或模式 2 将 OCxM[3:0] 位设置为“1000”或“1001”。

定时器配置为递增计数模式时，相应的 CCRx 必须置 0（ARR 寄存器设置脉冲长度）。如果定时器配置为递减计数模式，CCRx 必须高于或等于 ARR。

注： *出于兼容性原因，OCxM[3:0] 和 SMS[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

此模式不能与中心对齐 PWM 模式一起使用。在 TIMx_CR1 中必须设置 CMS[1:0] = 00。

图 154. 可再触发单脉冲模式



20.3.22 编码器接口模式

选择编码器接口模式时，如果计数器仅在 TI2 边沿处计数，在 TIMx_SMCR 寄存器中写入 SMS=“001”；如果计数器仅在 TI1 边沿处计数，写入 SMS=“010”；如果计数器在 TI1 和 TI2 边沿处均计数，则写入 SMS=“011”。

通过编程 TIMx_CCER 寄存器的 CC1P 和 CC2P 位，选择 TI1 和 TI2 极性。必要时，也可以对输入滤波器进行编程。CC1NP 和 CC2NP 必须保持低电平。

TI1 和 TI2 两个输入用于连接正交编码器。请参见 *表 104*。如果使能计数器（在 TIMx_CR1 寄存器的 CEN 位中写入“1”），则计数器的时钟由 TI1FP1 或 TI2FP2 上的每次有效信号转换提供。TI1FP1 和 TI2FP2 是进行输入滤波器和极性选择后 TI1 和 TI2 的信号，如果不进行滤波和反相，则 TI1FP1=TI1，TI2FP2=TI2。将根据两个输入的信号转换序列，产生计数脉冲和方向信号。根据该信号转换序列，计数器相应递增或递减计数，同时硬件对 TIMx_CR1 寄存器的 DIR 位进行相应修改。任何输入（TI1 或 TI2）发生信号转换时，都会计算 DIR 位，无论计数器是仅在 TI1 或 TI2 边沿处计数，还是同时在 TI1 和 TI2 处计数。

编码器接口模式就相当于带有方向选择的外部时钟。这意味着，计数器仅在 0 到 TIMx_ARR 寄存器中的自动重载值之间进行连续计数（根据具体方向，从 0 递增计数到 ARR，或从 ARR 递减计数到 0）。因此必须在启动之前配置 TIMx_ARR。同样，捕获、比较、重复计数器和触发输出功能继续正常工作。编码器模式和外部时钟模式 2 不兼容，因此不能同时选择。

注： *使能编码器模式时，预分频器必须设置为零*

在此模式下，计数器会根据正交编码器的速度和方向自动进行修改，因此，其内容始终表示编码器的位置。计数方向对应于所连传感器的旋转方向。下表汇总了可能的组合（假设 TI1 和 TI2 不同时切换）。

表 104. 计数方向与编码器信号的关系

有效边沿	相反信号的电平（TI1FP1 对应 TI2， TI2FP2 对应 TI1）	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
仅在 TI1 处计数	高	递减	递增	不计数	不计数
	低	递增	递减	不计数	不计数
仅在 TI2 处计数	高	不计数	不计数	递增	递减
	低	不计数	不计数	递减	递增
在 TI1 和 TI2 处均计数	高	递减	递增	递增	递减
	低	递增	递减	递减	递增

正交编码器可直接与 MCU 相连，无需外部接口逻辑。不过，通常使用比较器将编码器的差分输出转换为数字信号。这样大幅提高了抗噪声性能。用于指示机械零位的第三个编码器输出可与外部中断输入相连，用以触发计数器复位。

图 155 以计数器工作为例，说明了计数信号的产生和方向控制。同时也说明了选择双边沿时如何对输入抖动进行补偿。将传感器靠近其中一个切换点位置时可能出现这种情况。本例中假设配置如下：

- CC1S=“01”（TIMx_CCMR1 寄存器，TI1FP1 映射到 TI1 上）。
- CC2S=“01”（TIMx_CCMR2 寄存器，TI1FP2 映射到 TI2 上）。
- CC1P=“0”，CC1NP=“0”（TIMx_CCER 寄存器，TI1FP1 未反相，TI1FP1=TI1）。
- CC2P=“0”，CC2NP=“0”（TIMx_CCER 寄存器，TI1FP2 未反相，TI1FP2= TI2）。
- SMS=“011”（TIMx_SMCR 寄存器，两个输入在上升沿和下降沿均有效）。
- CEN=“1”（TIMx_CR1 寄存器，使能计数器）。

图 155. 编码器接口模式下的计数器工作示例。

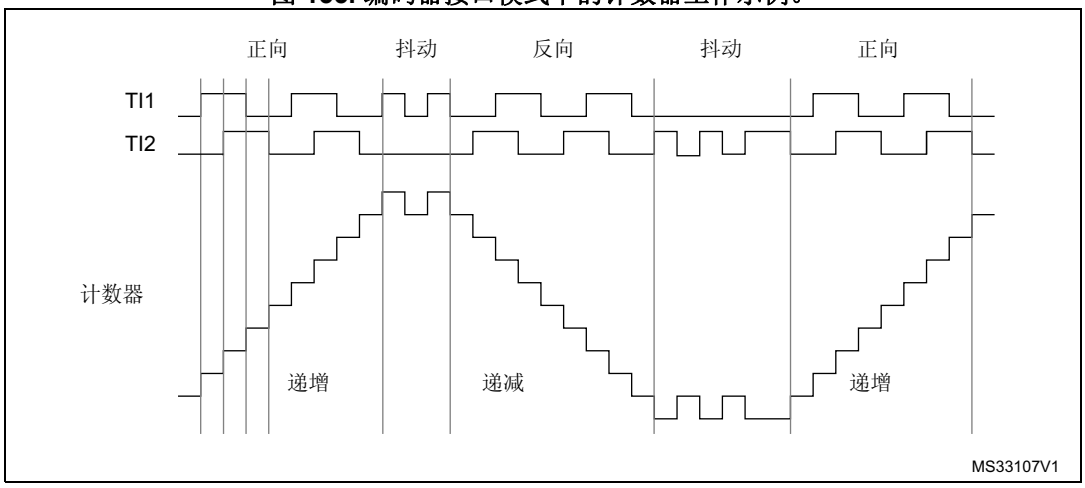
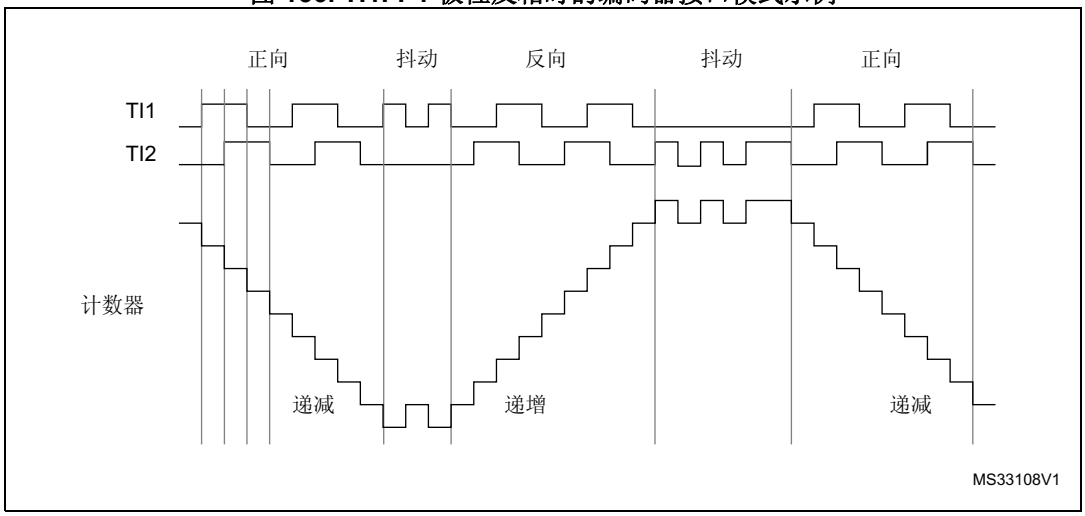


图 156 举例说明 TI1FP1 极性反相时计数器的行为（除 CC1P=“1”外，其它配置与上例相同）。

图 156. TI1FP1 极性反相时的编码器接口模式示例



定时器配置为编码器接口模式时，会提供传感器当前位置的相关信息。使用另一个配置为捕获模式的定时器测量两个编码器事件之间的间隔时间，可获得动态信息（速度、加速度和减速度）。指示机械零位的编码器输出即可用于此目的。根据两个事件之间的时间间隔，还可定期读取计数器。如果可能，可以将计数器值锁存到第三个输入捕获寄存器来实现此目的（捕获信号必须为周期性信号，可以由另一个定时器产生）。还可以通过 DMA 请求读取计数器值。

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 (UIF) 连续复制到定时计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化角速度的计算。

UIF 和 UIFCPY 标志使能之间没有延迟。

在 32 位定时器实现中，当 IUFREMAP 位置 1 时，计数器的位 31 在读访问时由 UIFCPY 标志覆盖（计数器的最高有效位只能在写模式下访问）。

20.3.23 UIF 位重映射

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 UIF 连续复制到定时器计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。在特定情况下，这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化计算。

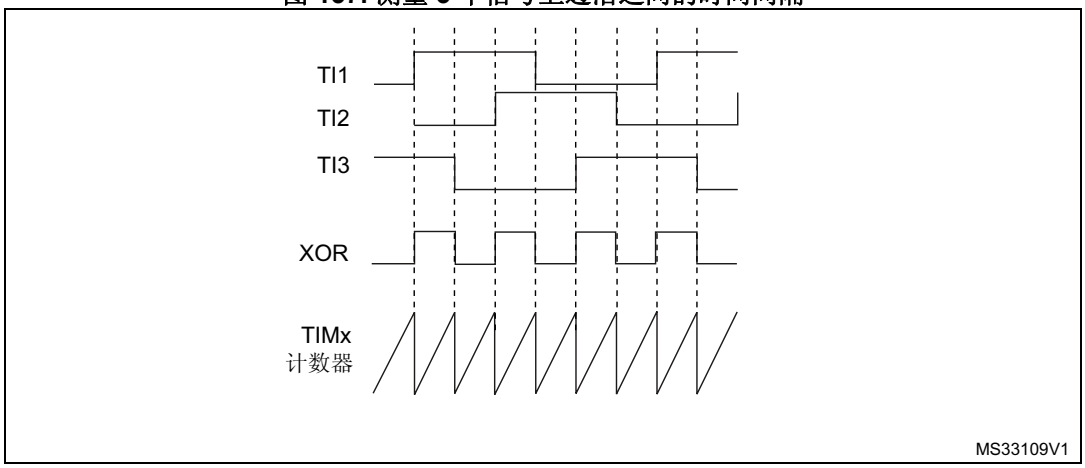
UIF 和 UIFCPY 标志使能之间没有延迟。

20.3.24 定时器输入异或功能

通过 TIMx_CR2 寄存器中的 TI1S 位，可将通道 1 的输入滤波器连接到异或门的输出，从而将 TIMx_CH1 到 TIMx_CH3 这三个输入引脚组合在一起。

异或输出可与触发或输入捕获等所有定时器输入功能配合使用。这样便于测量两个输入信号上边沿之间的间隔（如下面的*图 157* 所示）。

图 157. 测量 3 个信号上边沿之间的时间间隔



20.3.25 连接霍尔传感器

可通过用于产生电机驱动 PWM 信号的高级控制定时器 (TIM1) 以及*图 158* 中称为“接口定时器”的另一个定时器 TIMx（TIM2 和 TIM3），实现与霍尔传感器的连接。3 个定时器输入引脚（CC1、CC2 和 CC3）通过异或门连接到 TI1 输入通道（通过将 TIMx_CR2 寄存器中的 TI1S 位置 1 来选择），并由“接口定时器”进行捕获。

从模式控制器配置为复位模式；从输入为 TI1F_ED。这样，每当 3 个输入中有一个输入发生切换时，计数器会从 0 开始重新计数。这样将产生由霍尔输入的任何变化而触发的时基。

在“接口定时器”上，捕获/比较通道 1 配置为捕获模式，捕获信号为 TRC（请参见*第 475 页的图 131：捕获/比较通道（示例：通道 1 输入阶段）*）。捕获值对应于输入上两次变化的间隔时间，可提供与电机转速相关的信息。

“接口定时器”可用于在输出模式下产生脉冲，以通过触发 COM 事件更改高级控制定时器 (TIM1) 各个通道的配置。TIM1 定时器用于生成电机驱动 PWM 信号。为此，必须对接口定时器通道进行编程，以便在编程的延迟过后产生正脉冲（在输出比较或 PWM 模式中）。该脉冲通过 TRGO 输出发送到高级控制定时器 (TIM1)。

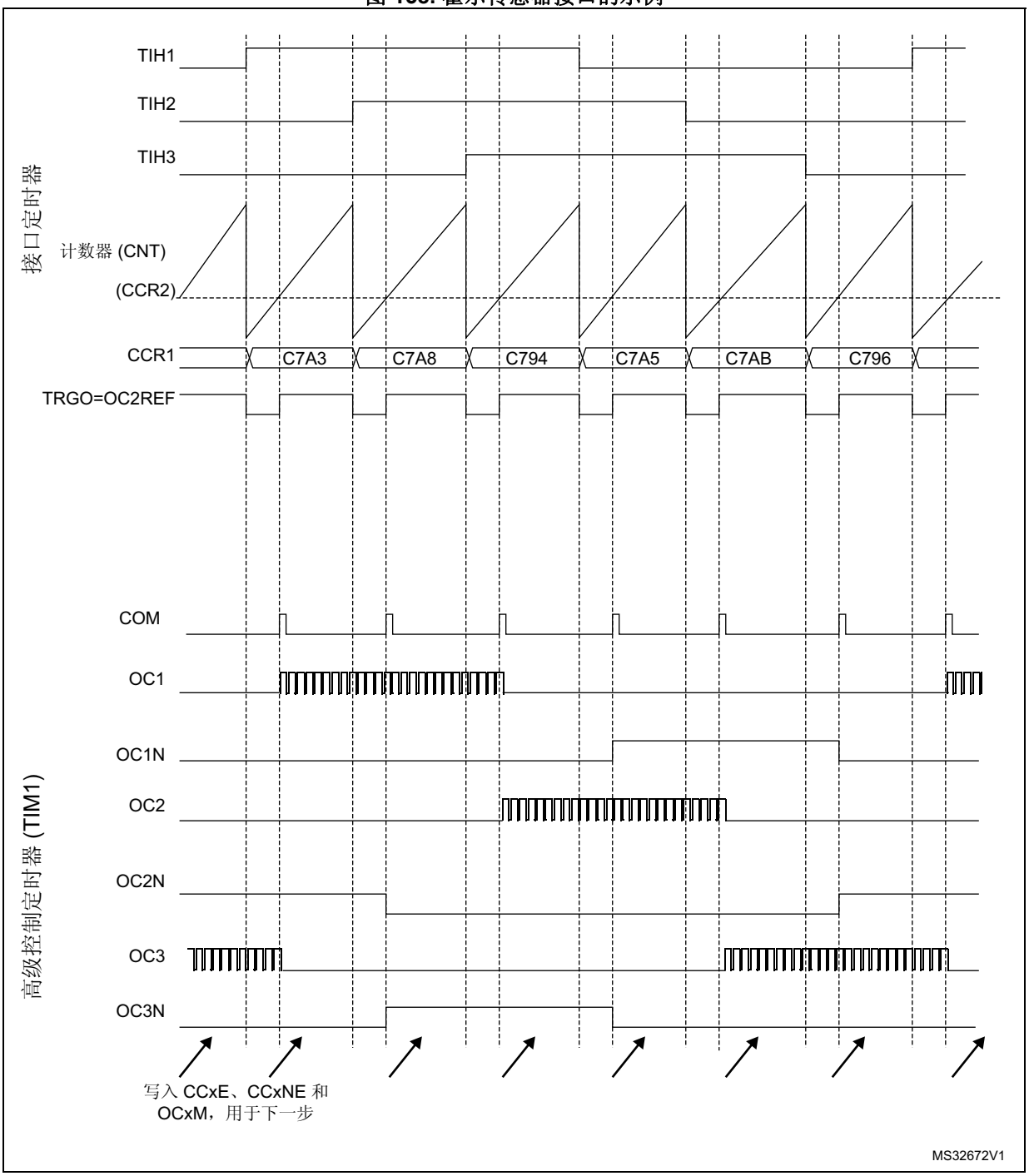
示例：霍尔输入与一个 TIMx 定时器相连接，每当霍尔输入发生更改，需要在所编程的延迟过后更改高级控制定时器 TIM1 的 PWM 配置。

- 向 TIMx_CR2 寄存器的 TI1S 位写入“1”，使 3 个定时器输入经过异或运算后进入 TI1 输入通道。
- 时基编程：向 TIMx_ARR 写入其最大值（计数器必须通过 TI1 的变化清零）。设置预分频器，以得到最大计数器周期，该周期长于传感器上两次变化的间隔时间。
- 将通道 1 配置为捕获模式（选择 TRC）：向 TIMx_CCMR1 寄存器的 CC1S 位写入“01”。如有需要，也可配置数字滤波器。
- 将通道 2 编程为 PWM 2 模式，并具有所需延迟：向 TIMx_CCMR1 寄存器的 OC2M 位写入“111”，CC2S 位写入“00”。
- 选择 OC2REF 作为 TRGO 上的触发输出：向 TIMx_CR2 寄存器的 MMS 位写入“101”。

在高级控制定时器 TIM1 中，必须选择正确的 ITR 输入作为触发输入，定时器编程为可产生 PWM 信号，捕获/比较控制信号进行预装载（TIMx_CR2 寄存器的 CCPC=1），并且 COM 事件由触发输入控制（TIMx_CR2 寄存器的 CCUS=1）。发生 COM 事件后，在 PWM 控制位（CCxE、OCxM）中写入下一步的配置，此操作可在由 OC2REF 上升沿产生的中断子程序中完成。

图 158 为本示例的示意图。

图 158. 霍尔传感器接口的示例



20.3.26 定时器同步

TIMx 定时器从内部连接在一起，以实现定时器同步或链接。它们可在以下几种模式下实现同步：复位模式、门控模式和触发模式。

从模式：复位模式

当触发输入信号发生变化时，计数器及其预分频器可重新初始化。此外，如果 TIMx_CR1 寄存器中的 URS 位处于低电平，则会生成更新事件 UEV。然后，所有预装载寄存器（TIMx_ARR 和 TIMx_CCRx）都将更新。

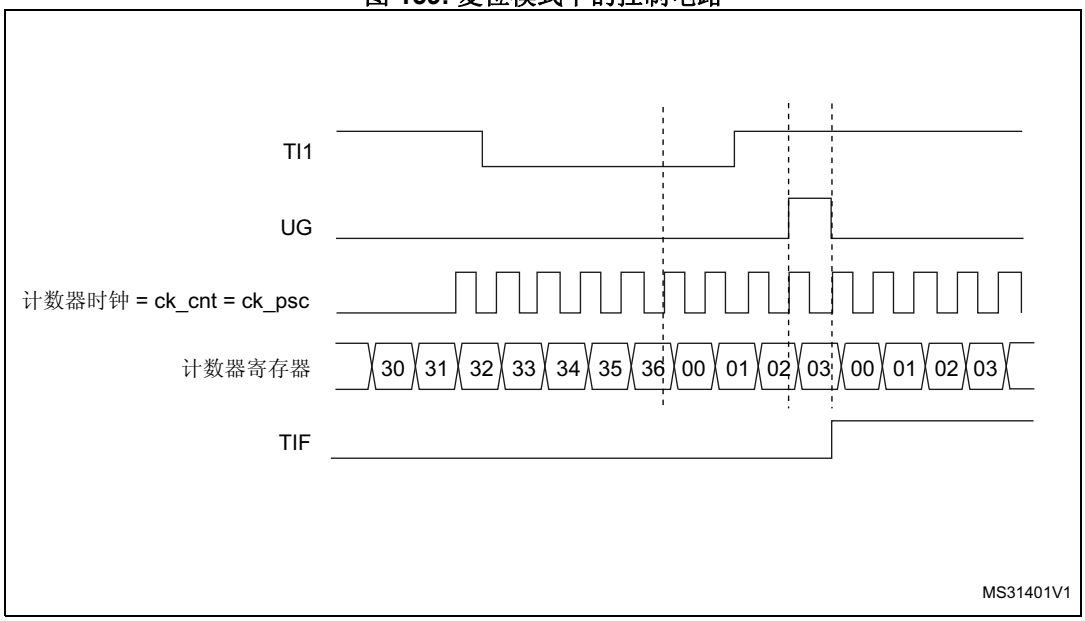
在以下示例中，TI1 输入上出现上升沿时，递增计数器清零：

- 将通道 1 配置为检测 TI1 的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S = 01。在 TIMx_CCER 寄存器中写入 CC1P=0 和 CC1NP='0'，验证极性（仅检测上升沿）。
- 在 TIMx_SMCR 寄存器中写入 SMS=100，将定时器配置为复位模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
- 在 TIMx_CR1 寄存器中写入 CEN=1，启动计数器。

计数器开始根据内部时钟计数，然后正常运转，直到出现 TI1 上升沿。当 TI1 出现上升沿时，计数器清零，然后重新从 0 开始计数。同时，触发标志（TIMx_SR 寄存器中的 TIF 位）置 1，使能中断或 DMA 后，还可发送中断或 DMA 请求（取决于 TIMx_DIER 寄存器中的 TIE 和 TDE 位）。

下图显示了自动重载寄存器 TIMx_ARR=0x36 时的相关行为。TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 159. 复位模式下的控制电路



从模式：门控模式

输入信号的电平可用来使能计数器。

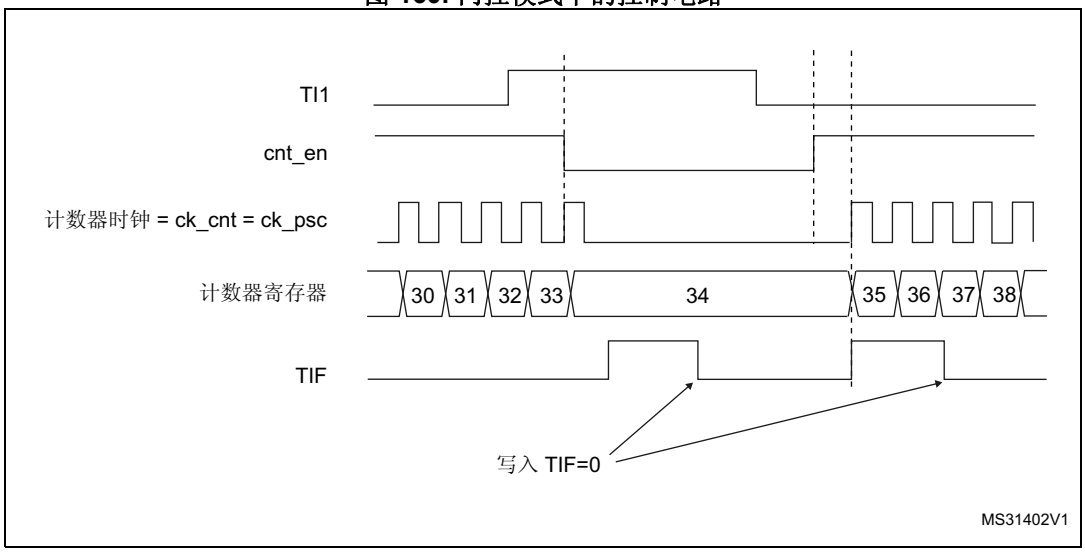
在以下示例中，递增计数器仅在 TI1 输入为低电平时计数：

- 将通道 1 配置为检测 TI1 上的低电平。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S=01。在 TIMx_CCER 寄存器中写入 CC1P=1 和 CC1NP=“0”，以确定极性（仅检测低电平）。
- 在 TIMx_SMCR 寄存器中写入 SMS=101，将定时器配置为门控模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
- 在 TIMx_CR1 寄存器中写入 CEN=1，使能计数器（在门控模式下，如果 CEN=0，则无论触发输入电平如何，计数器都不启动）。

只要 TI1 为低电平，计数器就开始根据内部时钟计数，直到 TI1 变为高电平时停止计数。计数器启动或停止时，TIMx_SR 寄存器中的 TIF 标志都会置 1。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 160. 门控模式下的控制电路



从模式：触发模式

所选输入上发生某一事件时可以启动计数器。

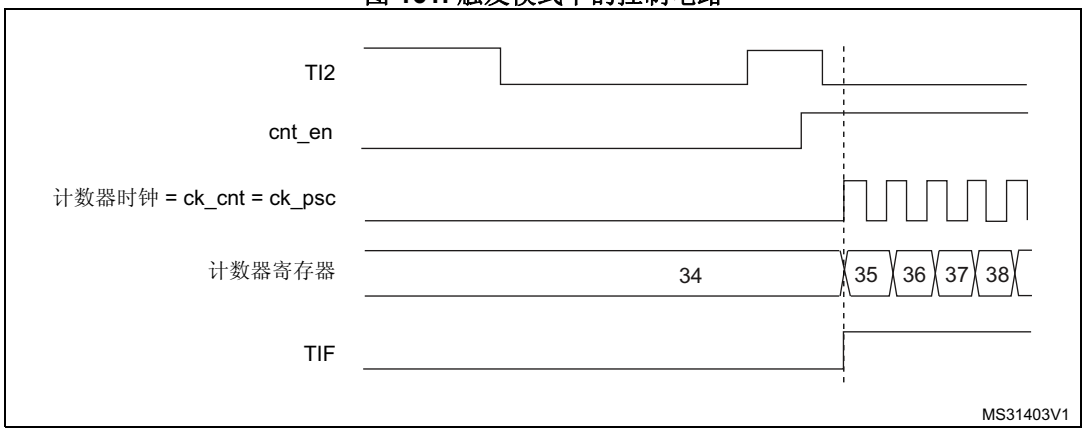
在以下示例中，TI2 输入上出现上升沿时，递增计数器启动：

- 将通道 2 配置为检测 TI2 上的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC2F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC2S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC2S=01。在 TIMx_CCER 寄存器中写入 CC2P=1 和 CC2NP=0，以确定极性（仅检测低电平）。
- 在 TIMx_SMCR 寄存器中写入 SMS=110，将定时器配置为触发模式。在 TIMx_SMCR 寄存器中写入 TS=00110，选择 TI2 作为输入源。

当 TI2 出现上升沿时，计数器开始根据内部时钟计数，并且 TIF 标志置 1。

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 161. 触发模式下的控制电路



从模式：组合复位 + 触发模式

在这种情况下，在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器，生成一个寄存器更新事件，并启动计数器。

该模式用于单脉冲模式。

从模式：外部时钟模式 2 + 触发模式

外部时钟模式 2 可与另一种从模式（外部时钟模式 1 和编码器模式除外）结合使用。这种情况下，ETR 信号用作外部时钟输入，在复位模式、门控模式或触发模式下工作时，可选择另一个输入作为触发输入。不建议通过 TIMx_SMCR 寄存器中的 TS 位来选择 ETR 作为 TRGI。

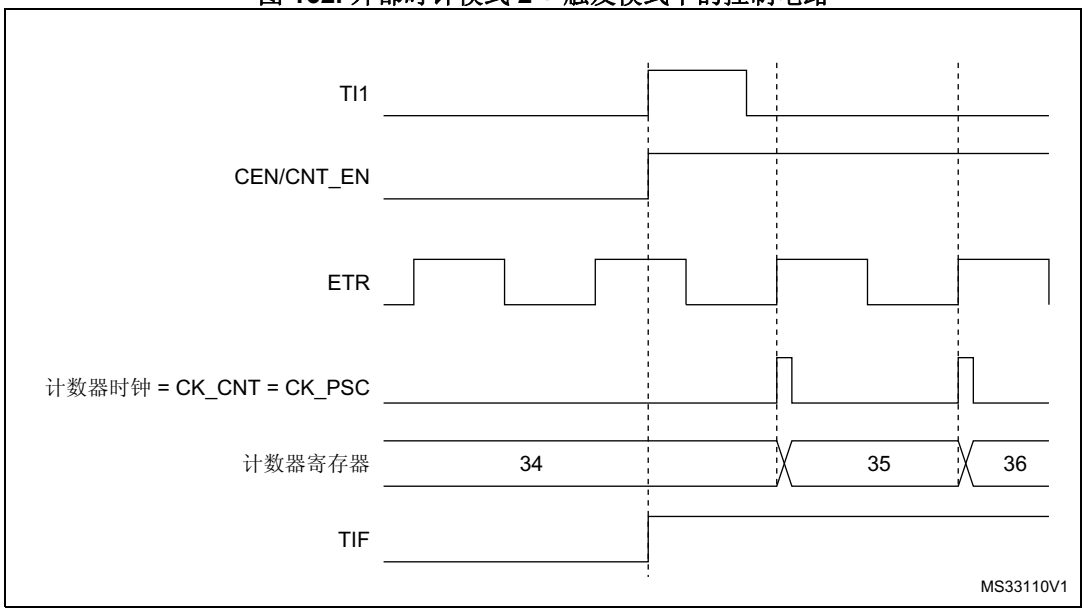
在以下示例中，只要 TI1 出现上升沿，递增计数器即会在 ETR 信号的每个上升沿处递增：

1. 通过对 TIMx_SMCR 寄存器进行如下编程，配置外部触发输入电路：
   - ETF = 0000：无滤波器。
   - ETPS = 00：禁止预分频器。
   - ETP = 0：检测 ETR 的上升沿，并写入 ECE=1，以使能外部时钟模式 2。
2. 如下配置通道 1，以检测 TI 的上升沿：
   - IC1F=0000：无滤波器。
   - 由于捕获预分频器不用于触发操作，因此无需对其进行配置。
   - TIMx_CCMR1 寄存器中 CC1S=01，只选择输入捕获源。
   - TIMx_CCER 寄存器中 CC1P=0 且 CC1NP=“0”，以确定极性（仅检测上升沿）。
3. 在 TIMx_SMCR 寄存器中写入 SMS=110，将定时器配置为触发模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。

TI1 出现上升沿时将使能计数器并且 TIF 标志置 1。然后计数器在 ETR 出现上升沿时计数。

ETR 信号的上升沿与实际计数器复位之间的延迟是由于 ETRP 输入的重新同步电路引起的。

图 162. 外部时钟模式 2 + 触发模式下的控制电路



注：必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

20.3.27 ADC 同步

定时器可通过多种内部信号产生 ADC 触发事件，例如复位、使能或比较事件。也可生成由内部边沿检测器发出的脉冲，例如：

- OC4ref 的上升沿和下降沿
- OC5ref 上的上升沿或 OC6ref 上的下降沿

在重定向到 ADC 的 TRGO2 内部线路上发出触发信号。共有 16 个可能的事件，它们可通过 TIMx_CR2 寄存器中的 MMS2[3:0] 位选择。

第 487 页的图 142 给出了三相电机驱动的应用示例。

注：必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

注：必须先使能 ADC 时钟，才能从主定时器接收事件；从定时器接收触发信号时，不得实时更改 ADC 时钟。

20.3.28 DMA 连续传送模式

TIMx 定时器能够根据一个事件生成多个 DMA 请求。主要目的是能够对定时器的一部分多次重新编程而无需软件开销，但也可用于定期读取一行中的多个寄存器。

DMA 控制器目标唯一，必须指向虚拟寄存器 TIMx_DMAR。发生给定的定时器事件时，定时器会启动 DMA 请求序列（突发）。每次写入 TIMx_DMAR 寄存器都会重定向到其中一个定时器寄存器。

TIMx_DCR 寄存器中的 DBL[4:0] 位设置 DMA 连续传送长度。当对 TIMx_DMAR 地址进行读或写访问时，定时器进行一次连续传送，即传送次数（按半字或字节）。

TIMx_DCR 寄存器中的 DBA[4:0] 位定义 DMA 传送的 DMA 基址（通过 TIMx_DMAR 地址执行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量：

示例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

例如，定时器 DMA 连续传送功能用于在发生更新事件后将 CCRx 寄存器（x = 2、3、4）的内容更新为通过 DMA 传输到 CCRx 寄存器中的多个半字。

具体操作步骤如下：

1. 将相应的 DMA 通道配置如下：
   - DMA 通道外设地址为 DMAR 寄存器地址。
   - DMA 通道存储器地址为包含要通过 DMA 传输到 CCRx 寄存器的数据的 RAM 缓冲区地址。
   - 要传输的数据量 = 3（参见下文注释）。
   - 禁止循环模式。
2. 通过将 DBA 和 DBL 位域配置如下来配置 DCR 寄存器：
   DBL = 3 次传输，DBA = 0xE。
3. 使能 TIMx 更新 DMA 请求（DIER 寄存器中的 UDE 位置 1）。
4. 使能 TIMx
5. 使能 DMA 通道

本例适用于每个 CCRx 寄存器只更新一次的情况。如果每个 CCRx 寄存器要更新两次，则要传输的数据量应为 6。下面以包含 data1、data2、data3、data4、data5 和 data6 的 RAM 缓冲区为例。数据将按照如下方式传输到 CCRx 寄存器：在第一个更新 DMA 请求期间，data1 传输到 CCR2，data2 传输到 CCR3，data3 传输到 CCR4；在第二个更新 DMA 请求期间，data4 传输到 CCR2，data5 传输到 CCR3，data6 传输到 CCR4。

注： *可以将空值写入保留的寄存器中。*

20.3.29 调试模式

当微控制器进入调试模式（Cortex®-M0+ 内核停止）时，TIMx 计数器会根据 DBG 模块中的 DBG_TIMx_STOP 配置位选择继续正常工作或者停止工作。

为了安全起见，当计数器停止 (DBG_TIMx_STOP = 1) 时，输出被禁止（就像 MOE 位被复位一样）。可以将输出强制变为无效状态（OSSI 位 = 1），或者通过 GPIO 控制器（OSSI 位 = 0）来控制输出，通常将其强制为高阻态。

有关详细信息，请参见*第 37.10.4 节：DBG APB 冻结寄存器 2 (DBG_APB_FZ2)*。

为了安全起见，当计数器停止 (DBG_TIMx_STOP = 1) 时，输出被禁止（就像 MOE 位被复位一样）。可以将输出强制变为无效状态（OSSI 位 = 1），或者通过 GPIO 控制器（OSSI 位 = 0）来控制输出，以将其强制为高阻态。

20.4 TIM1 寄存器

有关寄存器说明中使用的缩写，请参见相应列表。

20.4.1 TIM1 控制寄存器 1 (TIM1_CR1)

TIM1 control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)
0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。
1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10 保留，必须保持复位值。

位 9:8 **CKD[1:0]**：时钟分频 (Clock division)
此位域指示定时器时钟 (CK_INT) 频率与死区发生器以及数字滤波器（ETR、TIx）所使用的死区及采样时钟 (t_{DTS}) 之间的分频比
00：$t_{DTS}=t_{CK\_INT}$
01：$t_{DTS}=2*t_{CK\_INT}$
10：$t_{DTS}=4*t_{CK\_INT}$
11：保留，不要设置这个值

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)
0：TIMx_ARR 寄存器不进行缓冲
1：TIMx_ARR 寄存器进行缓冲

位 6:5 **CMS[1:0]**：中心对齐模式选择 (Center-aligned mode selection)
00：边沿对齐模式。计数器根据方向位 (DIR) 递增计数或递减计数。
01：中心对齐模式 1。计数器交替进行递增计数和递减计数。仅当计数器递减计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志才置 1。
10：中心对齐模式 2。计数器交替进行递增计数和递减计数。仅当计数器递增计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志才置 1。
11：中心对齐模式 3。计数器交替进行递增计数和递减计数。当计数器递增计数或递减计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志都会置 1。
注：　只要计数器处于使能状态 (CEN=1)，就不得从边沿对齐模式切换为中心对齐模式。

位 4 **DIR**：方向 (Direction)
0：计数器递增计数
1：计数器递减计数
注：　当定时器配置为中心对齐模式或编码器模式时，该位为只读状态。

位 3 **OPM**：单脉冲模式 (One pulse mode)

0：计数器在发生更新事件时不会停止计数

1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）

位 2 **URS**：更新请求源 (Update request source)

此位由软件置 1 和清零，用以选择 UEV 事件源。

0：使能时，所有以下事件都会产生更新中断或 DMA 请求。此类事件包括：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

1：使能时，只有计数器上溢/下溢会生成更新中断或 DMA 请求。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止 UEV 事件生成。

0：使能 UEV。更新 (UEV) 事件可通过以下事件之一生成：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

然后更新影子寄存器的值。

1：禁止 UEV。不会生成更新事件，各影子寄存器的值（ARR、PSC 和 CCRx）保持不变。但如果将 UG 位置 1，或者从从模式控制器接收到硬件复位，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： *只有事先通过软件将 CEN 位置 1，才可以使用外部时钟、门控模式和编码器模式。而触发模式可通过硬件自动将 CEN 位置 1。*

20.4.2 TIM1 控制寄存器 2 (TIM1_CR2)

TIM1 control register 2

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2[3:0]				Res.	OIS6	Res.	OIS5
								rw	rw	rw	rw		rw		rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

位 31:24 保留，必须保持复位值。

位 23:20 **MMS2[3:0]**：主模式选择 2 (Master mode selection 2)

这些位可选择将发送到 ADC 以实现同步的信息 (TRGO2)。这些位的组合如下：

0000：**复位**——TIMx_EGR 寄存器中的 UG 位用作触发输出 (TRGO2)。如果复位由触发输入生成（从模式控制器配置为复位模式），则 TRGO2 上的信号相比实际复位会有延迟。

0001：**使能**——计数器使能信号 CNT_EN 用作触发输出 (TRGO2)。该触发输出可用于同时启动多个定时器，或者控制在一段时间内使能从定时器。在门控模式下，计数器使能信号是 CEN 控制位和的触发输入信号的逻辑与产生。当计数器使能信号由触发输入控制时，TRGO2 上会存在延迟，选择主/从模式时除外（请参见 TIMx_SMCR 寄存器中 MSM 位的说明）。

0010：**更新**——选择更新事件作为触发输出 (TRGO2)。例如，主定时器可用作从定时器的预分频器。

0011：**比较脉冲**——CC1IF 标志置 1 时（即使已为高），只要发生捕获或比较匹配，触发输出 (TRGO2) 都会发送一个正脉冲。

0100：**比较**——OC1REF 信号用作触发输出 (TRGO2)
0101：**比较**——OC2REF 信号用作触发输出 (TRGO2)
0110：**比较**——OC3REF 信号用作触发输出 (TRGO2)
0111：**比较**——OC4REF 信号用作触发输出 (TRGO2)
1000：**比较**——OC5REF 信号用作触发输出 (TRGO2)
1001：**比较**——OC6REF 信号用作触发输出 (TRGO2)
1010：**比较脉冲**——OC4REF 上升沿或下降沿时，TRGO2 上生成脉冲
1011：**比较脉冲**——OC6REF 上升沿或下降沿时，TRGO2 上生成脉冲
1100：**比较脉冲**——OC4REF 或 OC6REF 上升沿时，TRGO2 上生成脉冲
1101：**比较脉冲**——OC4REF 上升沿或 OC6REF 下降沿时，TRGO2 上生成脉冲
1110：**比较脉冲**——OC5REF 或 OC6REF 上升沿时，TRGO2 上生成脉冲
1111：**比较脉冲**——OC5REF 上升沿或 OC6REF 下降沿时，TRGO2 上生成脉冲

注： 必须先使能从定时器或 ADC 的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改从定时器或 ADC 的时钟。

位 19 保留，必须保持复位值。

位 18 **OIS6**：输出空闲状态 6（OC6 输出）(Output Idle state 6 (OC6 output))
请参见 OIS1 位

位 17 保留，必须保持复位值。

位 16 **OIS5**：输出空闲状态 5（OC5 输出）(Output Idle state 5 (OC5 output))
请参见 OIS1 位

位 15 保留，必须保持复位值。

位 14 **OIS4**：输出空闲状态 4（OC4 输出）(Output Idle state 4 (OC4 output))
请参见 OIS1 位

位 13 **OIS3N**：输出空闲状态 3（OC3N 输出）(Output Idle state 3 (OC3N output))
请参见 OIS1N 位

位 12 **OIS3**：输出空闲状态 3（OC3 输出）(Output Idle state 3 (OC3 output))
请参见 OIS1 位

位 11 **OIS2N**：输出空闲状态 2（OC2N 输出）(Output Idle state 2 (OC2N output))
请参见 OIS1N 位

位 10 **OIS2**：输出空闲状态 2（OC2 输出）(Output Idle state 2 (OC2 output))
请参见 OIS1 位

位 9 **OIS1N**：输出空闲状态 1（OC1N 输出）(Output Idle state 1 (OC1N output))
0：当 MOE=0 时，经过死区时间后 OC1N=0
1：当 MOE=0 时，经过死区时间后 OC1N=1
注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 8 **OIS1**：输出空闲状态 1（OC1 输出）(Output Idle state 1 (OC1 output))
0：当 MOE=0 时，（如果 OC1N 有效，则经过死区时间之后）OC1=0
1：当 MOE=0 时，（如果 OC1N 有效，则经过死区时间之后）OC1=1
注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 7 **TI1S**：TI1 选择 (TI1 selection)
0：TIMx_CH1 引脚连接到 TI1 输入
1：TIMx_CH1、CH2 和 CH3 引脚连接到 TI1 输入（异或组合）

位 6:4 **MMS[2:0]**：主模式选择 (Master mode selection)
这些位可选择主模式下将要发送到从定时器以实现同步的信息 (TRGO)。这些位的组合如下：
000：**复位**——TIMx_EGR 寄存器中的 UG 位用作触发输出 (TRGO)。如果复位由触发输入生成（从模式控制器配置为复位模式），则 TRGO 上的信号相比实际复位会有延迟。
001：**使能**——计数器使能信号 CNT_EN 用作触发输出 (TRGO)。该触发输出可用于同时启动多个定时器，或者控制在一段时间内使能从定时器。在门控模式下，计数器使能信号是 CEN 控制位和的触发输入信号的逻辑与产生。当计数器使能信号由触发输入控制时，TRGO 上会存在延迟，选择主/从模式时除外（请参见 TIMx_SMCR 寄存器中 MSM 位的说明）。
010：**更新**——选择更新事件作为触发输出 (TRGO)。例如，主定时器可用作从定时器的预分频器。
011：**比较脉冲**——一旦发生输入捕获或比较匹配事件，当 CC1IF 标志被置 1 时（即使已为高电平），触发输出都会发送一个正脉冲。(TRGO)。
100：**比较**——OC1REF 信号用作触发输出 (TRGO)
101：**比较**——OC2REF 信号用作触发输出 (TRGO)
110：**比较**——OC3REF 信号用作触发输出 (TRGO)
111：**比较**——OC4REF 信号用作触发输出 (TRGO)
注：　必须先使能从定时器或 ADC 的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改从定时器或 ADC 的时钟。

位 3 **CCDS**：捕获/比较 DMA 选择 (Capture/compare DMA selection)
0：发生 CCx 事件时发送 CCx DMA 请求
1：发生更新事件时发送 CCx DMA 请求

位 2 **CCUS**：捕获/比较控制更新选择 (Capture/compare control update selection)
0：如果捕获/比较控制位进行预装载 (CCPC=1)，仅通过将 COMG 位置 1 来对这些位进行更新
1：如果捕获/比较控制位进行预装载 (CCPC=1)，可通过将 COMG 位置 1 或 TRGI 的上升沿对这些位进行更新。
注：　此位仅对具有互补输出的通道有效。

位 1 保留，必须保持复位值。

位 0 **CCPC**：捕获/比较预装载控制 (Capture/compare preloaded control)
0：CCxE、CCxNE 和 OCxM 位未进行预装载
1：CCxE、CCxNE 和 OCxM 位进行了预装载，写入这些位后，仅当发生换向事件 (COM)（COMG 位置 1 或在 TRGI 上检测到上升沿，取决于 CCUS 位）时才会对这些位进行更新。
注：　此位仅对具有互补输出的通道有效。

20.4.3 TIM1 从模式控制寄存器 (TIM1_SMCR)

TIM1 slave mode control register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:22 保留，必须保持复位值。

位 19:17 保留，必须保持复位值。

位 15 **ETP**：外部触发极性 (External trigger polarity)
此位可选择将 ETR 还是 $\overline{\text{ETR}}$ 用于触发操作
0：ETR 未反相，高电平或上升沿有效。
1：ETR 反相，低电平或下降沿有效。

位 14 **ECE**：外部时钟使能 (External clock enable)
此位可使能外部时钟模式 2。
0：禁止外部时钟模式 2。
1：使能外部时钟模式 2。计数器时钟由 ETRF 信号的任意有效边沿提供。

注： ***1：****将 ECE 位置 1 与选择外部时钟模式 1 并将 TRGI 连接到 ETRF（SMS=111 且 TS=00111）具有相同效果。*

2：*外部时钟模式 2 可以和以下从模式同时使用：复位模式、门控模式和触发模式。不过此类情况下 TRGI 不得连接 ETRF（TS 位不得为 00111）。*

3：*如果同时使能外部时钟模式 1 和外部时钟模式 2，则外部时钟输入为 ETRF。*

位 13:12 **ETPS[1:0]**：外部触发预分频器 (External trigger prescaler)
外部触发信号 ETRP 频率不得超过 TIMxCLK 频率的 1/4。可通过使能预分频器来降低 ETRP 频率。这种方法在输入快速外部时钟时非常有用。
00：预分频器关闭
01：2 分频 ETRP 频率
10：4 分频 ETRP 频率
11：8 分频 ETRP 频率

位 11:8 **ETF[3:0]**：外部触发滤波器 (External trigger filter)

此位域可定义 ETRP 信号的采样频率和适用于 ETRP 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 7 **MSM**：主/从模式 (Master/slave mode)

0：不执行任何操作。
1：当前定时器的触发输入事件 (TRGI) 的动作被推迟，以使当前定时器与其从定时器实现完美同步（通过 TRGO）。此设置适用于由单个外部事件对多个定时器进行同步的情况。

位 21、20、6、5、4 **TS[4:0]**：触发选择 (Trigger selection)

此位域可选择将要用于同步计数器的触发输入。

00000：内部触发 0 (ITR0)
00001：内部触发 1 (ITR1)
00010：内部触发 2 (ITR2)
00011：内部触发 3 (ITR3)
00100：TI1 边沿检测器 (TI1F_ED)
00101：滤波后的定时器输入 1 (TI1FP1)
00110：滤波后的定时器输入 2 (TI2FP2)
00111：外部触发输入 (ETRF)
其他值：保留

有关各定时器 ITRx 含义的详细信息，请参见*第 517 页的表 105：TIM1 内部触发连接*。

注：　这些位只能在未使用的情况下（例如，SMS=000 时）进行更改，以避免转换时出现错误的边沿检测。

注：　其他位位于同一寄存器的位置 16

位 3 **OCCS**：OCREF 清零选择 (OCREF clear selection)

该位用于选择 OCREF 清零源。

0：OCREF_CLR_INT 连接到 COMP1 或 COMP2 输出，具体取决于 TIM1_OR1.OCREF_CLR
1：OCREF_CLR_INT 连接到 ETRF

位 16、2、1、0 **SMS[3:0]**：从模式选择 (Slave mode selection)

选择外部信号时，触发信号 (TRGI) 的有效边沿与外部输入上所选的极性相关（请参见输入控制寄存器和控制寄存器说明）。

0000：禁止从模式——如果 CEN =“1”，预分频器时钟直接由内部时钟提供。
0001：编码器模式 1——计数器根据 TI2FP2 电平在 TI1FP1 边沿递增/递减计数。
0010：编码器模式 2——计数器根据 TI1FP1 电平在 TI2FP2 边沿递增/递减计数。
0011：编码器模式 3——计数器在 TI1FP1 和 TI2FP2 的边沿计数，计数的方向取决于另外一个输入的电平。
0100：复位模式——在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器并生成一个寄存器更新事件。
0101：门控模式——触发输入 (TRGI) 为高电平时使能计数器时钟。只要触发输入变为低电平，计数器立即停止计数（但不复位）。计数器的启动和停止都被控制。
0110：触发模式——触发信号 TRGI 出现上升沿时启动计数器（但不复位）。只控制计数器的启动。
0111：外部时钟模式 1——由所选触发信号 (TRGI) 的上升沿提供计数器时钟。
1000：组合复位 + 触发模式——在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器，生成一个寄存器更新事件并启动计数器。
1000 以上的代码：保留。

注：　如果将 TI1F_ED 选作触发输入 (TS=00100)，则不得使用门控模式。实际上，TI1F 每次转换时，TI1F_ED 都输出 1 个脉冲，而门控模式检查的则是触发信号的电平。

注：　必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

表 105. TIM1 内部触发连接

从 TIM	ITR0 (TS = 00000)	ITR1 (TS = 00001)	ITR2 (TS = 00010)	ITR3 (TS = 00011)
TIM1	TIM15	TIM2	TIM3	TIM17 OC1

20.4.4 TIM1 DMA/中断使能寄存器 (TIM1_DIER)

TIM1 DMA/interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15 保留，必须保持复位值。

位 14 **TDE**：触发 DMA 请求使能 (Trigger DMA request enable)
0：禁止触发 DMA 请求
1：使能触发 DMA 请求

位 13 **COMDE**：COM DMA 请求使能 (COM DMA request enable)
0：禁止 COM DMA 请求
1：使能 COM DMA 请求

位 12 **CC4DE**：捕获/比较 4 DMA 请求使能 (Capture/Compare 4 DMA request enable)
0：禁止 CC4 DMA 请求
1：使能 CC4 DMA 请求

位 11 **CC3DE**：捕获/比较 3 DMA 请求使能 (Capture/Compare 3 DMA request enable)
0：禁止 CC3 DMA 请求
1：使能 CC3 DMA 请求

位 10 **CC2DE**：捕获/比较 2 DMA 请求使能 (Capture/Compare 2 DMA request enable)
0：禁止 CC2 DMA 请求
1：使能 CC2 DMA 请求

位 9 **CC1DE**：捕获/比较 1 DMA 请求使能 (Capture/Compare 1 DMA request enable)
0：禁止 CC1 DMA 请求
1：使能 CC1 DMA 请求

位 8 **UDE**：更新 DMA 请求使能 (Update DMA request enable)
0：禁止更新 DMA 请求
1：使能更新 DMA 请求

位 7 **BIE**：刹车中断使能 (Break interrupt enable)
0：禁止刹车中断
1：使能刹车中断

位 6 **TIE**：触发中断使能 (Trigger interrupt enable)
0：禁止触发中断
1：使能触发中断

位 5 **COMIE**：COM 中断使能 (COM interrupt enable)
0：禁止 COM 中断
1：使能 COM 中断

位 4 **CC4IE**：捕获/比较 4 中断使能 (Capture/Compare 4 interrupt enable)
0：禁止 CC4 中断
1：使能 CC4 中断

位 3 **CC3IE**：捕获/比较 3 中断使能 (Capture/Compare 3 interrupt enable)
0：禁止 CC3 中断
1：使能 CC3 中断

位 2 **CC2IE**：捕获/比较 2 中断使能 (Capture/Compare 2 interrupt enable)
0：禁止 CC2 中断
1：使能 CC2 中断

位 1 **CC1IE**：捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable)
0：禁止 CC1 中断
1：使能 CC1 中断

位 0 **UIE**：更新中断使能 (Update interrupt enable)
0：禁止更新中断
1：使能更新中断

20.4.5 TIM1 状态寄存器 (TIM1_SR)

TIM1 status register

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF
														rc_w0	rc_w0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	SBIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位 31:18 保留，必须保持复位值。

位 17 **CC6IF**：比较 6 中断标志 (Compare 6 interrupt flag)
请参见 CC1IF 说明（注意：通道 6 只能配置为输出）

位 16 **CC5IF**：比较 5 中断标志 (Compare 5 interrupt flag)
请参见 CC1IF 说明（注意：通道 5 只能配置为输出）

位 15:14 保留，必须保持复位值。

位 13 **SBIF**：系统刹车中断标志 (System Break interrupt flag)
只要系统刹车输入变为有效状态，此标志便由硬件置 1。系统刹车输入无效后可通过软件对其清零。
此标志必须复位以使 PWM 重新开始工作。
0：未发生刹车事件。
1：在系统刹车输入上检测到有效电平。如果 TIMx_DIER 寄存器中 BIE=1，则会生成中断。

位 12 **CC4OF**：捕获/比较 4 重复捕获标志 (Capture/Compare 4 overcapture flag)
请参见 CC1OF 说明

位 11 **CC3OF**：捕获/比较 3 重复捕获标志 (Capture/Compare 3 overcapture flag)
请参见 CC1OF 说明

位 10 **CC2OF**：捕获/比较 2 重复捕获标志 (Capture/compare 2 overcapture flag)
请参见 CC1OF 说明

位 9 **CC1OF**：捕获/比较 1 重复捕获标志 (Capture/Compare 1 overcapture flag)
仅当将相应通道配置为输入捕获模式时，此标志位才会由硬件置 1。通过软件写入“0”可将该位清零。
0：未检测到重复捕获。
1：TIMx_CCR1 寄存器中已捕获到计数器值且 CC1IF 标志已置 1。

位 8 **B2IF**：刹车 2 中断标志 (Break 2 interrupt flag)
只要刹车 2 输入变为有效状态，此标志便由硬件置 1。刹车 2 输入无效后可通过软件对其清零。
0：未发生刹车事件。
1：在刹车 2 输入上检测到有效电平。如果 TIMx_DIER 寄存器中 BIE=1，则会生成中断。

位 7 **BIF**：刹车中断标志 (Break interrupt flag)
只要刹车输入变为有效状态，此标志便由硬件置 1。刹车输入无效后可通过软件对其清零。
0：未发生刹车事件。
1：在刹车输入上检测到有效电平。如果 TIMx_DIER 寄存器中 BIE=1，则会生成中断。

位 6 **TIF**：触发中断标志 (Trigger interrupt flag)

在除门控模式以外的所有模式下，当使能从模式控制器后在 TRGI 输入上检测到有效边沿时，该标志将由硬件置 1。选择门控模式时，该标志将在计数器启动或停止时置 1。但需要通过软件清零。

0：未发生触发事件。

1：触发中断挂起。

位 5 **COMIF**：COM 中断标志 (COM interrupt flag)

此标志在发生 COM 事件时（捕获/比较控制位 CCxE、CCxNE 和 OCxM 已更新时）由硬件置 1。但需要通过软件清零。

0：未发生 COM 事件。

1：COM 中断挂起。

位 4 **CC4IF**：捕获/比较 4 中断标志 (Capture/Compare 4 interrupt flag)

请参见 CC1IF 说明

位 3 **CC3IF**：捕获/比较 3 中断标志 (Capture/Compare 3 interrupt flag)

请参见 CC1IF 说明

位 2 **CC2IF**：捕获/比较 2 中断标志 (Capture/Compare 2 interrupt flag)

请参见 CC1IF 说明

位 1 **CC1IF**：捕获/比较 1 中断标志 (Capture/Compare 1 interrupt flag)

如果通道 CC1 配置为输出：当计数器与比较值匹配时，此标志由硬件置 1，中心对齐模式下除外（请参见 TIMx_CR1 寄存器中的 CMS 位说明）。但需要通过软件清零。

0：不匹配。

1：TIMx_CNT 计数器的值与 TIMx_CCR1 寄存器的值匹配。当 TIMx_CCR1 的值大于 TIMx_ARR 的值时，CC1IF 位将在计数器发生上溢（递增计数模式和增减计数模式下）或下溢（递减计数模式下）时变为高。

如果通道 CC1 配置为输入：此位将在发生捕获事件时由硬件置 1。通过软件或读取 TIMx_CCR1 寄存器将该位清零。

0：未发生输入捕获事件

1：TIMx_CCR1 寄存器中已捕获到计数器值（IC1 上已检测到与所选极性匹配的边沿）

位 0 **UIF**：更新中断标志 (Update interrupt flag)

该位在发生更新事件时通过硬件置 1。但需要通过软件清零。

0：未发生更新。

1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：

– TIMx_CR1 寄存器中的 UDIS=0，并且重复计数器值上溢或下溢时（重复计数器 = 0 时更新）。

– TIMx_CR1 寄存器中的 URS = 0 且 UDIS = 0，并且由软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。

– TIMx_CR1 寄存器中的 URS=0 且 UDIS=0，并且 CNT 由触发事件重新初始化时（请参见 *第 20.4.3 节：TIM1 从模式控制寄存器 (TIM1_SMCR)*）。

20.4.6 TIM1 事件生成寄存器 (TIM1_EGR)

TIM1 event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COMG	CC4G	CC3G	CC2G	CC1G	UG
							w	w	w	w	w	w	w	w	w

位 15:9 保留，必须保持复位值。

位 8 **B2G**：刹车 2 生成 (Break 2 generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：生成刹车 2 事件。MOE 位清零且 B2IF 标志置 1。使能后可发生相关中断。

位 7 **BG**：刹车生成 (Break generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：生成刹车事件。MOE 位清零且 BIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 6 **TG**：触发生成 (Trigger generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：TIMx_SR 寄存器中的 TIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 5 **COMG**：捕获/比较控制更新生成 (Capture/Compare control update generation)
该位可通过软件置 1，并由硬件自动清零
0：不执行任何操作。
1：CCPC 位置 1 时，可更新 CCxE、CCxNE 和 OCxM 位。
注： 此位仅对具有互补输出的通道有效。

位 4 **CC4G**：捕获/比较 4 生成 (Capture/Compare 4 generation)
请参见 CC1G 说明

位 3 **CC3G**：捕获/比较 3 生成 (Capture/Compare 3 generation)
请参见 CC1G 说明

位 2 **CC2G**：捕获/比较 2 生成 (Capture/compare 2 generation)
请参见 CC1G 说明

位 1 **CC1G**：捕获/比较 1 生成 (Capture/Compare 1 generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作
1：通道 1 上生成捕获/比较事件：
如果通道 CC1 配置为输出：
使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。
如果通道 CC1 配置为输入：
TIMx_CCR1 寄存器中将捕获到计数器当前值。使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。如果 CC1IF 标志已为高电平，CC1OF 标志将置 1。

位 0 **UG**：更新生成 (Update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作。
1：重新初始化计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。如果选择中心对齐模式或 DIR=0（递增计数），计数器将清零；如果 DIR=1（递减计数），计数器将使用自动重载值 (TIMx_ARR)。

20.4.7 TIM1 捕获/比较模式寄存器 1 [复用] (TIM1_CCMR1)

TIM1 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入捕获和输出比较模式下的功能均不同。可同时将两条通道分别用于不同模式（例如，通道 1 用于输入捕获模式，通道 2 用于输出比较模式）。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:12 **IC2F[3:0]**：输入捕获 2 滤波器 (Input capture 2 filter)
请参见 IC1F[3:0] 说明。

位 11:10 **IC2PSC[1:0]**：输入捕获 2 预分频器 (Input capture 2 prescaler)
请参见 OC1PSC[1:0] 说明。

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/Compare 2 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC2 通道配置为输出
01：CC2 通道配置为输入，IC2 映射到 TI2 上
10：CC2 通道配置为输入，IC2 映射到 TI1 上
11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = “0”），才可向 CC2S 位写入数据。

位 7:4 **IC1F[3:0]**：输入捕获 1 滤波器 (Input capture 1 filter)

此位域可定义 TI1 输入的采样频率和适用于 TI1 的数字滤波器的采样长度。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 3:2 **IC1PSC[1:0]**：输入捕获 1 预分频器 (Input capture 1 prescaler)

此位域定义 CC1 输入 (IC1) 的预分频比。只要 CC1E=“0”（TIMx_CCER 寄存器），预分频器便立即复位。

00：无预分频器，捕获输入上每检测到一个边沿便执行捕获
01：每发生 2 个事件便执行一次捕获
10：每发生 4 个事件便执行一次捕获
11：每发生 8 个事件便执行一次捕获

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 Selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出
01：CC1 通道配置为输入，IC1 映射到 TI1 上
10：CC1 通道配置为输入，IC1 映射到 TI2 上
11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

20.4.8 TIM1 捕获/比较模式寄存器 1 [复用] (TIM1_CCMR1)

TIM1 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入捕获和输出比较模式下的功能均不同。可同时将两条通道分别用于不同模式（例如，通道 1 用于输入捕获模式，通道 2 用于输出比较模式）。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2 CE	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		OC1 CE	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 保留，必须保持复位值。

位 24 **OC2M[3]**：输出比较 2 模式——位 3 (Output Compare 2 mode - bit 3)
请参见 OC2M 说明——位 14:12

位 23:17 保留，必须保持复位值。

位 16 **OC1M[3]**：输出比较 1 模式——位 3 (Output Compare 1 mode - bit 3)
请参见 OC1M 说明——位 6:4

位 15 **OC2CE**：输出比较 2 清零使能 (Output Compare 2 clear enable)
请参见 OC1CE 说明。

位 14:12 **OC2M[2:0]**：输出比较 2 模式 (Output Compare 2 mode)
请参见 OC1M[2:0] 说明。

位 11 **OC2PE**：输出比较 2 预装载使能 (Output Compare 2 preload enable)
请参见 OC1PE 说明。

位 10 **OC2FE**：输出比较 2 快速使能 (Output Compare 2 fast enable)
请参见 OC1FE 说明。

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/Compare 2 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC2 通道配置为输出
01：CC2 通道配置为输入，IC2 映射到 TI2 上
10：CC2 通道配置为输入，IC2 映射到 TI1 上
11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = “0”），才可向 CC2S 位写入数据。

位 7 **OC1CE**：输出比较 1 清零使能 (Output Compare 1 clear enable)
0：OC1Ref 不受 ocref_clr_int 信号影响
1：ocref_clr_int 信号（OCREF_CLR 输入或 ETRF 输入）上检测到高电平时，OC1Ref 立即清零

位 6:4 **OC1M[2:0]**：输出比较 1 模式 (Output Compare 1 mode)

这些位定义提供 OC1 和 OC1N 的输出参考信号 OC1REF 的行为。OC1REF 为高电平有效，而 OC1 和 OC1N 的有效电平则取决于 CC1P 位和 CC1NP 位。

0000：冻结——输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 进行比较不会对输出造成任何影响。（该模式用于生成时基）。

0001：将通道 1 设置为匹配时输出有效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为高电平。

0010：将通道 1 设置为匹配时输出无效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为低电平。

0011：翻转——TIMx_CNT=TIMx_CCR1 时，OC1REF 发生翻转。

0100：强制变为无效电平——OC1REF 强制变为低电平。

0101：强制变为有效电平——OC1REF 强制变为高电平。

0110：PWM 模式 1——在递增计数模式下，只要 TIMx_CNT<TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。在递减计数模式下，只要 TIMx_CNT>TIMx_CCR1，通道 1 便为无效状态（OC1REF=“0”），否则为有效状态（OC1REF=“1”）。

0111：PWM 模式 2——在递增计数模式下，只要 TIMx_CNT<TIMx_CCR1，通道 1 便为无效状态，否则为有效状态。在递减计数模式下，只要 TIMx_CNT>TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。

1000：可再触发 OPM 模式 1——在递增计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为有效状态。在递减计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为无效状态。

1001：可再触发 OPM 模式 2——在递增计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 2 下进行比较，通道会在下一次更新时再次变为无效状态。在递减计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为有效状态。

1010：保留。

1011：保留。

1100：组合 PWM 模式 1——OC1REF 与在 PWM 模式 1 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑或运算结果。

1101：组合 PWM 模式 2——OC1REF 与在 PWM 模式 2 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑与运算结果。

1110：不对称 PWM 模式 1——OC1REF 与在 PWM 模式 1 下的行为相同。计数器递增计数时，OC1REFC 输出 OC1REF；计数器递减计数时，OC1REFC 输出 OC2REF。

1111：不对称 PWM 模式 2——OC1REF 与在 PWM 模式 2 下的行为相同。计数器递增计数时，OC1REFC 输出 OC1REF；计数器递减计数时，OC1REFC 输出 OC2REF。

注： *只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S=“00”（通道配置为输出），这些位即无法修改。*

注： *在 PWM 模式下，仅当比较结果发生改变或输出比较模式由“冻结”模式切换到“PWM”模式时，OCREF 电平才会发生更改。*

注： *此位域将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成 COM 事件时，OC1M 有效位才会从预装载位获取新值。*

位 3 **OC1PE**：输出比较 1 预装载使能 (Output Compare 1 preload enable)

0：禁止与 TIMx_CCR1 相关的预装载寄存器。可随时向 TIMx_CCR1 写入数据，写入后将立即使用新值。

1：使能与 TIMx_CCR1 相关的预装载寄存器。可读/写访问预装载寄存器。TIMx_CCR1 预装载值在每次生成更新事件时都会装载到当前寄存器中。

注： ***1：****只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S=“00”（通道配置为输出），这些位即无法修改。*

2：*只有单脉冲模式下才可在未验证预装载寄存器的情况下使用 PWM 模式（TIMx_CR1 寄存器中的 OPM 位置 1）。其他情况下则无法保证该行为。*

位 2 **OC1FE**：输出比较 1 快速使能 (Output Compare 1 fast enable)

此位用于加快触发输入事件对 CC 输出的影响。

0：即使触发开启，CC1 也将根据计数器和 CCR1 值正常工作。触发输入出现边沿时，激活 CC1 输出的最短延迟时间为 5 个时钟周期。

1：触发输入上出现有效边沿相当于 CC1 输出上的比较匹配。随后，无论比较结果如何，OC 都设置为比较电平。采样触发输入和激活 CC1 输出的延迟时间缩短为 3 个时钟周期。仅当通道配置为 PWM1 或 PWM2 模式时，OCFE 才会起作用。

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出

01：CC1 通道配置为输入，IC1 映射到 TI1 上

10：CC1 通道配置为输入，IC1 映射到 TI2 上

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

20.4.9 TIM1 捕获/比较模式寄存器 2 [复用] (TIM1_CCMR2)

TIM1 capture/compare mode register 2

偏移地址：0x1C

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入捕获和输出比较模式下的功能均不同。可同时将两条通道分别用于不同模式（例如，通道 1 用于输入捕获模式，通道 2 用于输出比较模式）。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:12 **IC4F[3:0]**：输入捕获 4 滤波器 (Input capture 4 filter)

请参见 IC1F[3:0] 说明。

位 11:10 **IC4PSC[1:0]**：输入捕获 4 预分频器 (Input capture 4 prescaler)

请参见 IC1PSC[1:0] 说明。

位 9:8 **CC4S[1:0]**：捕获/比较 4 选择 (Capture/Compare 4 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC4 通道配置为输出

01：CC4 通道配置为输入，IC4 映射到 TI4 上

10：CC4 通道配置为输入，IC4 映射到 TI3 上

11：CC4 通道配置为输入，IC4 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC4E = “0”），才可向 CC4S 位写入数据。

位 7:4 **IC3F[3:0]**：输入捕获 3 滤波器 (Input capture 3 filter)
请参见 IC1F[3:0] 说明。

位 3:2 **IC3PSC[1:0]**：输入捕获 3 预分频器 (Input capture 3 prescaler)
请参见 IC1PSC[1:0] 说明。

位 1:0 **CC3S[1:0]**：捕获/比较 3 选择 (Capture/compare 3 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC3 通道配置为输出
01：CC3 通道配置为输入，IC3 映射到 TI3 上
10：CC3 通道配置为输入，IC3 映射到 TI4 上
11：CC3 通道配置为输入，IC3 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC3E = “0”），才可向 CC3S 位写入数据。

20.4.10 TIM1 捕获/比较模式寄存器 2 [复用] (TIM1_CCMR2)

TIM1 capture/compare mode register 2

偏移地址：0x1C

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入捕获和输出比较模式下的功能均不同。可同时将两条通道分别用于不同模式（例如，通道 1 用于输入捕获模式，通道 2 用于输出比较模式）。

输出比较模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4 CE	OC4M[2:0]			OC4 PE	OC4 FE	CC4S[1:0]		OC3 CE	OC3M[2:0]			OC3 PE	OC3 FE	CC3S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 保留，必须保持复位值。

位 24 **OC4M[3]**：输出比较 4 模式——位 3 (Output Compare 4 mode - bit 3)
请参见 OC1M 说明。

位 23:17 保留，必须保持复位值。

位 16 **OC3M[3]**：输出比较 3 模式——位 3 (Output Compare 3 mode - bit 3)
请参见 OC1M 说明。

位 15 **OC4CE**：输出比较 4 清零使能 (Output compare 4 clear enable)
请参见 OC1CE 说明。

位 14:12 **OC4M[2:0]**：输出比较 4 模式 (Output compare 4 mode)
请参见 OC4M 说明。

位 11 **OC4PE**：输出比较 4 预装载使能 (Output compare 4 preload enable)
请参见 OC1PE 说明。

位 10 **OC4FE**：输出比较 4 快速使能 (Output compare 4 fast enable)
请参见 OC1FE 说明。

位 9:8 **CC4S[1:0]**：捕获/比较 4 选择 (Capture/Compare 4 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC4 通道配置为输出
01：CC4 通道配置为输入，IC4 映射到 TI4 上
10：CC4 通道配置为输入，IC4 映射到 TI3 上
11：CC4 通道配置为输入，IC4 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC4E = “0”），才可向 CC4S 位写入数据。

位 7 **OC3CE**：输出比较 3 清零使能 (Output compare 3 clear enable)
请参见 OC1CE 说明。

位 6:4 **OC3M[2:0]**：输出比较 3 模式 (Output compare 3 mode)
请参见 OC1M 说明。

位 3 **OC3PE**：输出比较 3 预装载使能 (Output compare 3 preload enable)
请参见 OC1PE 说明。

位 2 **OC3FE**：输出比较 3 快速使能 (Output compare 3 fast enable)
请参见 OC1FE 说明。

位 1:0 **CC3S[1:0]**：捕获/比较 3 选择 (Capture/Compare 3 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC3 通道配置为输出
01：CC3 通道配置为输入，IC3 映射到 TI3 上
10：CC3 通道配置为输入，IC3 映射到 TI4 上
11：CC3 通道配置为输入，IC3 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC3E = “0”），才可向 CC3S 位写入数据。

20.4.11 TIM1 捕获/比较使能寄存器 (TIM1_CCER)

TIM1 capture/compare enable register

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6P	CC6E	Res.	Res.	CC5P	CC5E
										rw	rw			rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:22 保留，必须保持复位值。

位 21 **CC6P**：捕获/比较 6 输出极性 (Capture/Compare 6 output polarity)
请参见 CC1P 说明

位 20 **CC6E**：捕获/比较 6 输出使能 (Capture/Compare 6 output enable)
请参见 CC1E 说明

位 19:18 保留，必须保持复位值。

位 17 **CC5P**：捕获/比较 5 输出极性 (Capture/Compare 5 output polarity)
请参见 CC1P 说明

位 16 **CC5E**：捕获/比较 5 输出使能 (Capture/Compare 5 output enable)
请参见 CC1E 说明

位 15 **CC4NP**：捕获/比较 4 互补输出极性 (Capture/Compare 4 complementary output polarity)
请参见 CC1NP 说明

位 14 保留，必须保持复位值。

位 13 **CC4P**：捕获/比较 4 输出极性 (Capture/Compare 4 output Polarity)
请参见 CC1P 说明

位 12 **CC4E**：捕获/比较 4 输出使能 (Capture/Compare 4 output enable)
请参见 CC1E 说明

位 11 **CC3NP**：捕获/比较 3 互补输出极性 (Capture/Compare 3 complementary output polarity)
请参见 CC1NP 说明

位 10 **CC3NE**：捕获/比较 3 互补输出使能 (Capture/Compare 3 complementary output enable)
请参见 CC1NE 说明

位 9 **CC3P**：捕获/比较 3 输出极性 (Capture/Compare 3 output polarity)
请参见 CC1P 说明

位 8 **CC3E**：捕获/比较 3 输出使能 (Capture/Compare 3 output enable)
请参见 CC1E 说明

位 7 **CC2NP**：捕获/比较 2 互补输出极性 (Capture/Compare 2 complementary output polarity)
请参见 CC1NP 说明

位 6 **CC2NE**：捕获/比较 2 互补输出使能 (Capture/Compare 2 complementary output enable)
请参见 CC1NE 说明

位 5 **CC2P**：捕获/比较 2 输出极性 (Capture/Compare 2 output polarity)
请参见 CC1P 说明

位 4 **CC2E**：捕获/比较 2 输出使能 (Capture/Compare 2 output enable)
请参见 CC1E 说明

位 3 **CC1NP**：捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output polarity)
CC1 通道配置为输出：
0：OC1N 高电平有效。
1：OC1N 低电平有效。
CC1 通道配置为输入：
此位与 CC1P 配合使用，用以定义 TI1FP1 和 TI2FP1 的极性。请参见 CC1P 说明。
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3 且 CC1S="00"（通道配置为输出），此位立即变为不可写状态。
此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1NP 有效位才会从预装载位获取新值。

位 2 **CC1NE**：捕获/比较 1 互补输出使能 (Capture/Compare 1 complementary output enable)
0：关闭——OC1N 未激活。OC1N 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的函数。
1：开启——在相应输出引脚上输出 OC1N 信号，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位。
此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1NE 有效位才会从预装载位获取新值。

位 1 **CC1P**：捕获/比较 1 输出极性 (Capture/Compare 1 output polarity)

CC1 通道配置为输出：

0：OC1 高电平有效

1：OC1 低电平有效

CC1 通道配置为输入：CC1NP/CC1P 位可针对触发或捕获操作选择 TI1FP1 和 TI2FP1 的有效极性。

00：非反相/上升沿触发。电路作用于 TIxFP1 的上升沿（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式或编码器模式下执行触发操作）。

01：反相/下降沿触发。电路作用于 TIxFP1 的下降沿（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 反相（在门控模式或编码器模式下执行触发操作）。

10：保留，不使用此配置。

11：非反相/上升沿和下降沿均触发。电路作用于 TIxFP1 的上升沿和下降沿（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。编码器模式下不得使用此配置。

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3，此位立即变为不可写状态。

此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1P 有效位才会从预装载位获取新值。

位 0 **CC1E**：捕获/比较 1 输出使能 (Capture/Compare 1 output enable)

CC1 通道配置为输出：

0：关闭——OC1 未激活。OC1 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的函数。

1：开启——OC1 信号输出到相应的输出引脚上，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位。

CC1 通道配置为输入：此位决定了是否可以实际将计数器值捕获到输入捕获/比较寄存器 1 (TIMx_CCR1) 中。

0：禁止捕获。

1：使能捕获。

此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1E 有效位才会从预装载位获取新值。

表 106. 具有刹车功能的互补通道 OCx 和 OCxN 的输出控制位

控制位					输出状态(1)	
MOE 位	OSSI 位	OSSR 位	CCxE 位	CCxNE 位	OCx 输出状态	OCxN 输出状态
1	X	X	0	0	禁止输出（不由定时器驱动：高阻态） OCx=0、OCxN=0	
		0	0	1	禁止输出（不由定时器驱动：高阻态） OCx=0	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		0	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP	禁止输出（不由定时器驱动：高阻态） OCxN=0
		X	1	1	OCREF + 极性 + 死区	OCREF 互补项（对 OCREF 进行“非”运算）+ 极性 + 死区
		1	0	1	关闭状态（输出使能为无效状态） OCx=CCxP	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		1	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP	关闭状态（输出使能为无效状态） OCxN=CCxNP
0	0	X	X	X	禁止输出（不再由定时器驱动）。输出状态由 GPIO 控制器定义，可以是高电平、低电平或高阻态。	
	1		0	0		
			0	1	关闭状态（输出使能为无效状态） 异步：OCx=CCxP、OCxN=CCxNP（如果触发 BRK 或 BRK2）。 随后（仅当触发 BRK 时才有效），如果存在时钟：在死区后 OCx=OISx 且 OCxN=OISxN，假定 OISx 和 OISxN 并没有都设置成 OCx 及 OCxN 的有效电平（否则在半桥配置下驱动开关时可能导致短路）。 **注意**：BRK2 只能在 OSSI = OSSR = 1 时使用。	
			1	0		
			1	1		

1. 如果一个通道的两个输出均未使用 （由 GPIO 接管控制），则 OISx、 OISxN、 CCxP 和 CCxNP 位必须保持清零状态。

注： 与互补通道 OCx 和 OCxN 相连的外部 I/O 引脚的状态取决于通道 OCx 和 OCxN 的状态以及 GPIO 寄存器。

20.4.12 TIM1 计数器 (TIM1_CNT)

TIM1 counter

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF copy)

该位是 TIMx_ISR 寄存器中 UIF 位的只读副本。如果 TIMxCR1 中的 UIFREMAP 位复位，则位 31 保留，读为 0。

位 30:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

20.4.13 TIM1 预分频器 (TIM1_PSC)

TIM1 prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频值 (Prescaler value)

计数器时钟频率 (CK_CNT) 等于 f_{CK_PSC} / (PSC[15:0] + 1)。

PSC 包含每次发生更新事件时（包括计数器通过 TIMx_EGR 寄存器中的 UG 位清零时，或在配置为“复位模式”时通过触发控制器清零时）要装载到活动预分频器寄存器的值。

20.4.14 TIM1 自动重载寄存器 (TIM1_ARR)

TIM1 auto-reload register

偏移地址：0x2C

复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **ARR[15:0]**：自动重载值 (Auto-reload value)

ARR 为要装载到实际自动重载寄存器的值。

有关 ARR 更新和行为的更多详细信息，请参见*第 457 页的第 20.3.1 节：时基单元*。

当自动重载值为空时，计数器不工作。

20.4.15 TIM1 重复计数器寄存器 (TIM1_RCR)

TIM1 repetition counter register

偏移地址：0x30

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **REP[15:0]**：重复计数器值 (Repetition Counter value)

使能预装载寄存器时，用户可通过这些位设置比较寄存器的更新频率（即，从预装载寄存器向活动寄存器周期性传输数据）；使能更新中断时，也可设置更新中断的生成速率。

与 REP_CNT 相关的减计数器每次计数到 0 时，都将生成一个更新事件并且计数器从 REP 值重新开始计数。由于只有生成重复更新事件 U_RC 时，REP_CNT 才会重载 REP 值，因此在生成下一重复更新事件之前，无论向 TIMx_RCR 寄存器写入何值都无影响。

这意味着 PWM 模式下 (REP+1) 相当于：

边沿对齐模式下的 PWM 周期数。

中心对齐模式下的 PWM 半周期数。

20.4.16 TIM1 捕获/比较寄存器 1 (TIM1_CCR1)

TIM1 capture/compare register 1

偏移地址：0x34

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR1[15:0]**：捕获/比较 1 值 (Capture/Compare 1 value)

如果通道 CC1 配置为输出：CCR1 为要装载到有效捕获/比较 1 寄存器的值（预装载值）。

如果没有通过 TIMx_CCMR1 寄存器中的 OC1PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到实际起作用的捕获/比较寄存器 1）。

实际捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC1 输出上发出信号的值。

如果通道 CC1 配置为输入：CR1 为上一个输入捕获 1 事件 (IC1) 发生时的计数器值。只能读取 TIMx_CCR1 寄存器，无法对其进行编程。

20.4.17 TIM1 捕获/比较寄存器 2 (TIM1_CCR2)

TIM1 capture/compare register 2

偏移地址：0x38

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR2[15:0]**：捕获/比较 2 值 (Capture/Compare 2 value)

如果通道 CC2 配置为输出：CCR2 为要装载到有效捕获/比较 2 寄存器的值（预装载值）。
如果没有通过 TIMx_CCMR1 寄存器中的 OC2PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到实际起作用的捕获/比较寄存器 2）。
有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC2 输出上发出信号的值。

如果通道 CC2 配置为输入：CCR2 为上一个输入捕获 2 事件 (IC2) 发生时的计数器值。只能读取 TIMx_CCR2 寄存器，无法对其进行编程。

20.4.18 TIM1 捕获/比较寄存器 3 (TIM1_CCR3)

TIM1 capture/compare register 3

偏移地址：0x3C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR3[15:0]**：捕获/比较值 (Capture/Compare value)

如果通道 CC3 配置为输出：CCR3 为要装载到有效捕获/比较 3 寄存器的值（预装载值）。
如果没有通过 TIMx_CCMR2 寄存器中的 OC3PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 3）。
有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC3 输出上发出信号的值。

如果通道 CC3 配置为输入：CCR3 为上一个输入捕获 3 事件 (IC3) 发生时的计数器值。只能读取 TIMx_CCR3 寄存器，无法对其进行编程。

20.4.19 TIM1 捕获/比较寄存器 4 (TIM1_CCR4)

TIM1 capture/compare register 4

偏移地址：0x40

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR4[15:0]**：捕获/比较值 (Capture/Compare value)

如果通道 CC4 配置为输出：CCR4 为要装载到有效捕获/比较 4 寄存器的值（预装载值）。如果没有通过 TIMx_CCMR2 寄存器中的 OC4PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 4）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC4 输出上发出信号的值。

如果通道 CC4 配置为输入：CCR4 为上一个输入捕获 4 事件 (IC4) 发生时的计数器值。只能读取 TIMx_CCR4 寄存器，无法对其进行编程。

20.4.20 TIM1 刹车和死区寄存器 (TIM1_BDTR)

TIM1 break and dead-time register

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	BK2BID	BKBID	BK2 DSRM	BK DSRM	BK2P	BK2E	BK2F[3:0]				BKF[3:0]			
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： *由于可以根据 LOCK 配置锁定位 BK2BID、BKBID、BK2DSRM、BKDSRM、BK2P、BK2E、BK2F[3:0]、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR 和 DTG[7:0] 的写操作，因此必须在第一次对 TIMx_BDTR 寄存器执行写访问时对这些位进行配置。*

位 31:30 保留，必须保持复位值。

位 29 **BK2BID**：刹车 2 双向 (Break2 bidirectional)

请参见 BKBID 说明

位 28 **BKBID**：刹车双向 (Break Bidirectional)

0：刹车输入 BRK 为输入模式

1：刹车输入 BRK 为双向模式

在双向模式下（BKBID 位置 1），刹车输入配置为输入模式和开漏输出模式。任何激活的刹车事件都将使刹车输入上呈逻辑低电平，以向外部器件指示发生了内部刹车事件。

注： *只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。*

注： *对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。*

位 27 **BK2DSRM**：刹车 2 解除 (Break2 Disarm)
请参见 BKDSRM 说明

位 26 **BKDSRM**：刹车解除 (Break Disarm)
0：启动刹车输入 BRK
1：解除刹车输入 BRK
当刹车源激活后，此位由硬件清零。
必须通过软件将 BKDSRM 位置 1 以释放双向输出控制（开漏输出处于高阻态），然后不断轮询该位，直到其由硬件复位，指示故障条件已消失。
注： 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 25 **BK2P**：刹车 2 极性 (Break 2 polarity)
0：刹车输入 BRK2 为低电平有效
1：刹车输入 BRK2 为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。
注： 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 24 **BK2E**：刹车 2 使能 (Break 2 enable)
0：禁止刹车输入 BRK2
1：使能刹车输入 BRK2
注： BRK2 必须只在 OSSR = OSSI = 1 时使用。
注： 编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。
注： 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 23:20 **BK2F[3:0]**：刹车 2 滤波器 (Break 2 filter)
此位域可定义 BRK2 输入的采样频率和适用于 BRK2 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：
0000：无滤波器，BRK2 异步工作
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8
注： 编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。

位 19:16 **BKF[3:0]**：刹车滤波器 (Break filter)

此位域可定义 BRK 输入的采样频率和适用于 BRK 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，BRK 异步工作
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。

位 15 **MOE**：主输出使能 (Main output enable)

只要刹车输入（BRK 或 BRK2）为有效状态，此位便由硬件异步清零。此位由软件置 1，也可根据 AOE 位状态自动置 1。此位仅对配置为输出的通道有效。

0：响应刹车事件（2 个）。禁止 OC 和 OCN 输出
响应刹车事件或向 MOE 写入 0 时：OC 和 OCN 输出被禁止或被强制为空闲状态，具体取决于 OSSI 位。
1：如果 OC 和 OCN 输出的相应使能位（TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位）均置 1，则使能 OC 和 OCN 输出。
有关详细信息，请参见 OC/OCN 使能说明（*第 20.4.11 节：TIM1 捕获/比较使能寄存器 (TIM1_CCER)*）。

位 14 **AOE**：自动输出使能 (Automatic output enable)

0：MOE 只能由软件置 1
1：MOE 可由软件置 1，也可在发生下一更新事件时自动置 1（如果刹车输入 BRK 和 BRK2 有效时，此位无效）

注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 13 **BKP**：刹车极性 (Break polarity)

0：刹车输入 BRK 为低电平有效
1：刹车输入 BRK 为高电平有效

注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。
注：　对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 12 **BKE**：刹车使能 (Break enable)

该位可使能完整的刹车保护（包括连接到 bk_acth 的所有源和相应的 BKIN 源，如*图 146：刹车和刹车 2 电路概述*所示）。

0：禁止刹车功能
1：使能刹车功能

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。
注：　对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 11 **OSSR**：运行模式下的关闭状态选择 (Off-state selection for Run mode)

此位在 MOE=1 时作用于配置为输出模式且具有互补输出的通道。如果定时器中没有互补输出，则不存在 OSSR。

有关详细信息，请参见 OC/OCN 使能说明（*第 20.4.11 节：TIM1 捕获/比较使能寄存器 (TIM1_CCER)*）。

0：处于无效状态时，禁止 OC/OCN 输出（定时器释放输出控制，由强制高阻态的 GPIO 逻辑接管）。

1：处于无效状态时，一旦 CCxE=1 或 CCxNE=1，便使能 OC/OCN 输出并将其设为无效电平（输出仍由定时器控制）。

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 10 **OSSI**：空闲模式下的关闭状态选择 (Off-state selection for Idle mode)

当由于刹车事件或软件写操作而使 MOE=0 时，此位作用于配置为输出的通道。

有关详细信息，请参见 OC/OCN 使能说明（*第 20.4.11 节：TIM1 捕获/比较使能寄存器 (TIM1_CCER)*）。

0：处于无效状态时，禁止 OC/OCN 输出（定时器释放输出控制，由强制高阻态的 GPIO 逻辑接管）。

1：处于无效状态时，首先将 OC/OCN 输出强制为其无效电平，然后在死区后将其强制为无效电平。定时器始终控制输出。

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 9:8 **LOCK[1:0]**：锁定配置 (Lock configuration)

这些位用于针对软件错误提供写保护。

00：关闭锁定——不对任何位提供写保护。

01：锁定级别 1，此时无法对 TIMx_BDTR 寄存器中的 DTG 位、TIMx_CR2 寄存器中的 OISx 和 OISxN 位以及 TIMx_BDTR 寄存器中的 *BK2BID*、*BKBID*、*BK2DSRM*、*BKDSRM*、*BK2P*、*BK2E*、*BK2F[3:0]*、*BKF[3:0]*、*AOE*、*BKP*、*BKE*、*OSSI*、*OSSR* 和 *DTG[7:0]* 位执行写操作。

10：锁定级别 2，此时无法对锁定级别 1 中适用的各位、CC 极性位（TIMx_CCER 寄存器中的 CCxP/CCxNP 位，只要通过 CCxS 位将相关通道配置为输出）以及 OSSR 和 OSSI 位执行写操作。

11：锁定级别 3，此时无法对锁定级别 2 中适用的各位、CC 控制位（TIMx_CCMRx 寄存器中的 OCxM 和 OCxPE 位，只要通过 CCxS 位将相关通道配置为输出）执行写操作。

注：　复位后只能对 LOCK 位执行一次写操作。对 TIMx_BDTR 寄存器执行写操作后其中的内容将冻结，直到下一次复位。

位 7:0 **DTG[7:0]**：配置死区发生器 (Dead-time generator setup)

此位域定义插入到互补输出之间的死区持续时间。DT 与该持续时间相对应。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg}，其中 $t_{dtg}=t_{DTS}$。

DTG[7:5]=10x => DT=(64+DTG[5:0])xt_{dtg}，其中 $T_{dtg}=2xt_{DTS}$。

DTG[7:5]=110 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=8xt_{DTS}$。

DTG[7:5]=111 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=16xt_{DTS}$。

示例：如果 T_{DTS}=125ns (8MHz)，则可能的死区值为：

0 到 15875 ns（步长为 125 ns）

16 µs 到 31750 ns（步长为 250 ns）

32 µs 到 63us（步长为 1 µs）

64 µs 到 126 µs（步长为 2 µs）

注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1、2 或 3，此位域即无法修改。

20.4.21 TIM1 DMA 控制寄存器 (TIM1_DCR)

TIM1 DMA control register

偏移地址：0x48

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

位 15:13 保留，必须保持复位值。

位 12:8 **DBL[4:0]**：DMA 连续传送长度 (DMA burst length)

该 5 位向量定义了 DMA 的传送长度（当对 TIMx_DMAR 地址进行读或写访问时，定时器进行一次连续传送），即传送次数。可按半字或字节进行传送（请参见下面的示例）。

00000：1 次传送
00001：2 次传送
00010：3 次传送
...
10001：18 次传送

示例：以下面的传送为例：DBL = 7 字节且 DBA = TIMx_CR1。

– 如果 DBL = 7 字节且 DBA = TIMx_CR1 表示待传送字节的地址，应通过以下公式给出传送的地址：

(TIMx_CR1 地址) + DBA + (DMA 索引)，其中 DMA 索引 = DBL

在本例中，将为 (TIMx_CR1 地址) + DBA 加上 7 个字节，得到将要复制数据的源/目标地址。在这种情况下，将向自以下地址开始的 7 个寄存器传送数据：(TIMx_CR1 地址) + DBA

根据 DMA 数据大小的配置，可能发生下面几种情况：

– 如果按半字配置 DMA 数据大小，则将向 7 个寄存器中的每一个传送 16 位数据。

– 如果按字节配置 DMA 数据大小，也将向 7 个寄存器传送数据：第一个寄存器包含第一个 MSB 字节，第二个寄存器包含第一个 LSB 字节，依此类推。因此，使用传送定时器时，还必须指定 DMA 传送的数据大小。

位 7:5 保留，必须保持复位值。

位 4:0 **DBA[4:0]**：DMA 基址 (DMA base address)

该 5 位向量定义 DMA 传输的基址（通过 TIMx_DMAR 地址进行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量。

示例：

00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
...

20.4.22 TIM1 全传输 DMA 地址 (TIM1_DMAR)

TIM1 DMA address for full transfer

偏移地址：0x4C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DMAB[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:0 **DMAB[31:0]**：DMA 连续传送寄存器 (DMA register for burst accesses)

对 DMAR 寄存器执行读或写操作将访问位于如下地址的寄存器：(TIMx_CR1 地址) + (DBA + DMA 索引) x 4

其中 TIMx_CR1 地址为控制寄存器 1 的地址，DBA 为 TIMx_DCR 寄存器中配置的 DMA 基址，DMA 索引由 DMA 传输自动控制，其范围介于 0 到 DBL（TIMx_DCR 寄存器中配置的 DBL）之间。

20.4.23 TIM1 选项寄存器 1 (TIM1_OR1)

TIM1 option register 1

偏移地址：0x50

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
															rw

位 31:1 保留，必须保持复位值。

位 0 **OCREF_CLR**：Ocref_clr 源选择 (Ocref_clr source selection)

此位选择 ocref_clr 输入源。

0：COMP1 输出连接到 OCREF_CLR 输入

1：COMP2 输出连接到 OCREF_CLR 输入

20.4.24 TIM1 捕获/比较模式寄存器 3 (TIM1_CCMR3)

TIM1 capture/compare mode register 3

偏移地址：0x54

复位值：0x0000 0000

通道 5 和通道 6 只能配置为输出。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC6M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC5M[3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC6 CE	OC6M[2:0]			OC6 PE	OC6FE	Res.	Res.	OC5 CE	OC5M[2:0]			OC5PE	OC5FE	Res.	Res.
rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw		

位 31:25 保留，必须保持复位值。

位 23:17 保留，必须保持复位值。

位 15 **OC6CE**：输出比较 6 清零使能 (Output compare 6 clear enable)
请参见 OC1CE 说明。

位 24、14、13、12 **OC6M[3:0]**：输出比较 6 模式 (Output Compare 6 mode)
请参见 OC1M 说明。

位 11 **OC6PE**：输出比较 6 预装载使能 (Output compare 6 preload enable)
请参见 OC1PE 说明。

位 10 **OC6FE**：输出比较 6 快速使能 (Output compare 6 fast enable)
请参见 OC1FE 说明。

位 9:8 保留，必须保持复位值。

位 7 **OC5CE**：输出比较 5 清零使能 (Output compare 5 clear enable)
请参见 OC1CE 说明。

位 16、6、5、4 **OC5M[3:0]**：输出比较 5 模式 (Output Compare 5 mode)
请参见 OC1M 说明。

位 3 **OC5PE**：输出比较 5 预装载使能 (Output Compare 5 preload enable)
请参见 OC1PE 说明。

位 2 **OC5FE**：输出比较 5 快速使能 (Output compare 5 fast enable)
请参见 OC1FE 说明。

位 1:0 保留，必须保持复位值。

20.4.25 TIM1 捕获/比较寄存器 5 (TIM1_CCR5)

TIM1 capture/compare register 5

偏移地址：0x58

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw	rw													
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR5[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **GC5C3**：通道 5 和通道 3 组 (Group Channel 5 and Channel 3)

通道 3 输出上失真：

0：OC5REF 对 OC3REFC 无影响

1：OC3REFC 是 OC3REFC 和 OC5REF 的逻辑与运算结果

该位可以立即生效，也可预装载并在更新事件后执行（如果在 TIMxCCMR2 中选择了预装载功能）。

注： 也可在组合 PWM 信号上应用此失真。

位 30 **GC5C2**：通道 5 和通道 2 组 (Group Channel 5 and Channel 2)

通道 2 输出上失真：

0：OC5REF 对 OC2REFC 无影响

1：OC2REFC 是 OC2REFC 和 OC5REF 的逻辑与运算结果

该位可以立即生效，也可预装载并在更新事件后执行（如果在 TIMxCCMR1 中选择了预装载功能）。

注： 也可在组合 PWM 信号上应用此失真。

位 29 **GC5C1**：通道 5 和通道 1 组 (Group Channel 5 and Channel 1)

通道 1 输出上失真：

0：OC5REF 对 OC1REFC5 无影响

1：OC1REFC 是 OC1REFC 和 OC5REF 的逻辑与运算结果

该位可以立即生效，也可预装载并在更新事件后执行（如果在 TIMxCCMR1 中选择了预装载功能）。

注： 也可在组合 PWM 信号上应用此失真。

位 28:16 保留，必须保持复位值。

位 15:0 **CCR5[15:0]**：捕获/比较 5 值 (Capture/Compare 5 value)

CCR5 是捕获/比较寄存器 5 的预装载值。

如果没有通过 TIMx_CCMR3 寄存器中的 OC5PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 5）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC5 输出上发出信号的值。

20.4.26 TIM1 捕获/比较寄存器 6 (TIM1_CCR6)

TIM1 capture/compare register 6

偏移地址：0x5C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR6[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR6[15:0]**：捕获/比较 6 值 (Capture/Compare 6 value)

CCR6 是捕获/比较寄存器 6 的预装载值。

如果没有通过 TIMx_CCMR3 寄存器中的 OC6PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 6）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC6 输出上发出信号的值。

20.4.27 TIM1 复用功能选项寄存器 1 (TIM1_AF1)

TIM1 alternate function option register 1

偏移地址：0x60

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	BK CMP2P	BK CMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BK CMP2E	BK CMP1E	BKINE
rw	rw			rw	rw	rw							rw	rw	rw

位 31:18 保留，必须保持复位值。

位 17:14 **ETRSEL[3:0]**：ETR 源选择 (ETR source selection)

这些位选择 ETR 输入源。

0000：ETR 传统模式

0001：COMP1 输出

0010：COMP2 输出

0011：ADC1 AWD1

0100：ADC1 AWD2

0101：ADC1 AWD3

其他值：保留

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，这些位即无法修改。

位 13:12 保留，必须保持复位值。

位 11 **BKCMP2P**：BRK COMP2 输入极性 (BRK COMP2 input polarity)

此位选择 COMP2 输入电平灵敏度，必须与 BKP 极性位一起编程。

0：COMP2 输入为高电平有效

1：COMP2 输入为低电平有效

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BKCMP1P**：BRK COMP1 输入极性 (BRK COMP1 input polarity)
此位选择 COMP1 输入电平灵敏度，必须与 BKP 极性位一起编程。
0：COMP1 输入为高电平有效
1：COMP1 输入为低电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BKINP**：BRK BKIN 输入极性 (BRK BKIN input polarity)
此位选择 BKIN 复用功能输入电平灵敏度，必须与 BKP 极性位一起编程。
0：BKIN 输入为高电平有效
1：BKIN 输入为低电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BKCMP2E**：BRK COMP2 使能 (BRK COMP2 enable)
此位使能定时器 BRK 输入的 COMP2。COMP2 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BKCMP1E**：BRK COMP1 使能 (BRK COMP1 enable)
此位使能定时器 BRK 输入的 COMP1。COMP1 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BKINE**：BRK BKIN 输入使能 (BRK BKIN input enable)
此位使能定时器 BRK 输入的 BKIN 复用功能。BKIN 输入与其他 BRK 源进行“或”运算。
0：禁止 BKIN 输入
1：使能 BKIN 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

注： 请参见图 125：TIM1 ETR 输入电路和图 146：刹车和刹车 2 电路概述。

20.4.28 TIM1 复用功能寄存器 2 (TIM1_AF2)

TIM1 Alternate function register 2

偏移地址：0x64

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BK2 CMP2 P	BK2 CMP1 P	BK2 INP	Res.	Res.	Res.	Res.	Res.	Res.	BK2 CMP2E	BK2 CMP1E	BK2INE
				rw	rw	rw							rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11 **BK2CMP2P**：BRK2 COMP2 输入极性 (BRK2 COMP2 input polarity)
此位选择 COMP2 输入电平灵敏度，必须与 BK2P 极性位一起编程。
0：COMP2 输入为低电平有效
1：COMP2 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BK2CMP1P**：BRK2 COMP1 输入极性 (BRK2 COMP1 input polarity)
此位选择 COMP1 输入电平灵敏度，必须与 BK2P 极性位一起编程。
0：COMP1 输入为低电平有效
1：COMP1 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BK2INP**：BRK2 BKIN2 输入极性 (BRK2 BKIN2 input polarity)
此位选择 BKIN2 复用功能输入电平灵敏度，必须与 BK2P 极性位一起编程。
0：BKIN2 输入为低电平有效
1：BKIN2 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BK2CMP2E**：BRK2 COMP2 使能 (BRK2 COMP2 enable)
此位使能定时器 BRK2 输入的 COMP2。COMP2 输出与其他 BRK2 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BK2CMP1E**：BRK2 COMP1 使能 (BRK2 COMP1 enable)
此位使能定时器 BRK2 输入的 COMP1。COMP1 输出与其他 BRK2 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BK2INE**：BRK2 BKIN 输入使能 (BRK2 BKIN input enable)
此位使能定时器 BRK2 输入的 BKIN2 复用功能。BKIN2 输入与其他 BRK2 源进行“或”运算。
0：禁止 BKIN2 输入
1：使能 BKIN2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

注： 请参见图 146：刹车和刹车 2 电路概述。

20.4.29 TIM1 定时器输入选择寄存器 (TIM1_TISEL)

TIM1 timer input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TI4SEL[3:0]				Res.	Res.	Res.	Res.	TI3SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:24 **TI4SEL[3:0]**：选择 TI4[0] 到 TI4[15] 输入 (selects TI4[0] to TI4[15] input)
0000：TIM1_CH4 输入
其他值：保留

位 23:20 保留，必须保持复位值。

位 19:16 **TI3SEL[3:0]**：选择 TI3[0] 到 TI3[15] 输入 (selects TI3[0] to TI3[15] input)
0000：TIM1_CH3 输入
其他值：保留

位 15:12 保留，必须保持复位值。

位 11:8 **TI2SEL[3:0]**：选择 TI2[0] 到 TI2[15] 输入 (selects TI2[0] to TI2[15] input)
0000：TIM1_CH2 输入
0001：COMP2 输出
其他值：保留

位 7:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：选择 TI1[0] 到 TI1[15] 输入 (selects TI1[0] to TI1[15] input)
0000：TIM1_CH1 输入
0001：COMP1 输出
其他值：保留

20.4.30 TIM1 寄存器映射

TIM1 寄存器可映射为 16 位可寻址寄存器，如下表所述：

表 107. TIM1 寄存器映射和复位值

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIM1_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD [1:0]		ARPE	CMS [1:0]		DIR	OPM	URS	UDIS	CEN
	Reset value																					0		0	0	0	0	0	0	0	0	0	0
0x04	**TIM1_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS2[3:0]				Res.	OIS6	Res.	OIS5	Res.	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1	TI1S	MMS [2:0]			CCDS	CCUS	Res.	CCPC
	Reset value									0	0	0	0		0		0		0	0	0	0	0	0	0	0	0	0	0	0	0		0
0x08	**TIM1_SMCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS [4:3]		Res.	Res.	Res.	SMS[3]	ETP	ECE	ETPS [1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
	Reset value											0	0				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**TIM1_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDE	COMDE	CC4DE	CC3DE	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**TIM1_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC6IF	CC5IF	Res.	Res.	SBIF	CC4OF	CC3OF	CC2OF	CC1OF	B2IF	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	Reset value															0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**TIM1_EGR**	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	B2G	BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
	Reset value																								0	0	0	0	0	0	0	0	0
0x18	**TIM1_CCMR1** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	Reset value								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIM1_CCMR1 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F[3:0]				IC2PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1PSC [1:0]		CC1S [1:0]	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**TIM1_CCMR2** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	OC4CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
	Reset value								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIM1_CCMR2 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F[3:0]				IC4PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3PSC [1:0]		CC3S [1:0]	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIM1_CCER**	Res.	Res.	Res	Res.	Res.	Res.	Res.	Res	Res.	Res.	CC6P	CC6E	Res.	Res.	CC5P	CC5E	CC4NP	Res.	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	Reset value											0	0			0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 107. TIM1 寄存器映射和复位值 （续）

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24	**TIM1_CNT**	UIFCP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIM1_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIM1_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	**TIM1_RCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x34	**TIM1_CCR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	**TIM1_CCR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR2[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	**TIM1_CCR3**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR3[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	**TIM1_CCR4**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR4[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	**TIM1_BDTR**	Res.	Res.	BK2BID	BKBID	BK2DSRM	BKDSRM	BK2P	BK2E	BK2F[3:0]				BKF[3:0]				MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]		DT[7:0]							
	Reset value			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	**TIM1_DCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	Reset value																				0	0	0	0	0				0	0	0	0	0
0x4C	**TIM1_DMAR**	DMAB[31:0]																															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	**TIM1_OR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
	Reset value																																0
0x54	**TIM1_CCMR3** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC6M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC5M[3]	OC6CE	OC6M [2:0]			OC6PE	OC6FE	Res.	Res.	OC5CE	OC5M [2:0]			OC5PE	OC5FE	Res.	Res.
	Reset value								0								0	0	0	0	0	0	0			0	0	0	0	0	0		

表 107. TIM1 寄存器映射和复位值 （续）

偏移	寄存器名称	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x58	**TIM1_CCR5**	GC5C3	GC5C2	GC5C1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR5[15:0]															
	Reset value	0	0	0														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x5C	**TIM1_CCR6**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR6[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x60	**TIM1_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res ETRSEL [3:0]				Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	Reset value															0	0	0	0			0	0	0							0	0	1
0x64	**TIM1_AF2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BK2CMP2P	BK2CMP1P	BK2INP	Res.	Res.	Res.	Res.	Res.	Res.	BK2CMP2E	BK2CMP1E	BK2INE
	Reset value																					0	0	0							0	0	1
0x68	**TIM1_TISEL**	Res.	Res.	Res.	Res.	TI4SEL[3:0]				Res.	Res.	Res.	Res.	TI3SEL[3:0]				Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value					0	0	0	0					0	0	0	0					0	0	0	0					0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

21 通用定时器 (TIM2/TIM3)

21.1 TIM2/TIM3 简介

通用定时器包含一个 16 位/32 位自动重载计数器，该计数器由可编程预分频器驱动。

它们可用于多种用途，包括测量输入信号的脉冲宽度（*输入捕获*）或生成输出波形（*输出比较和 PWM*）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

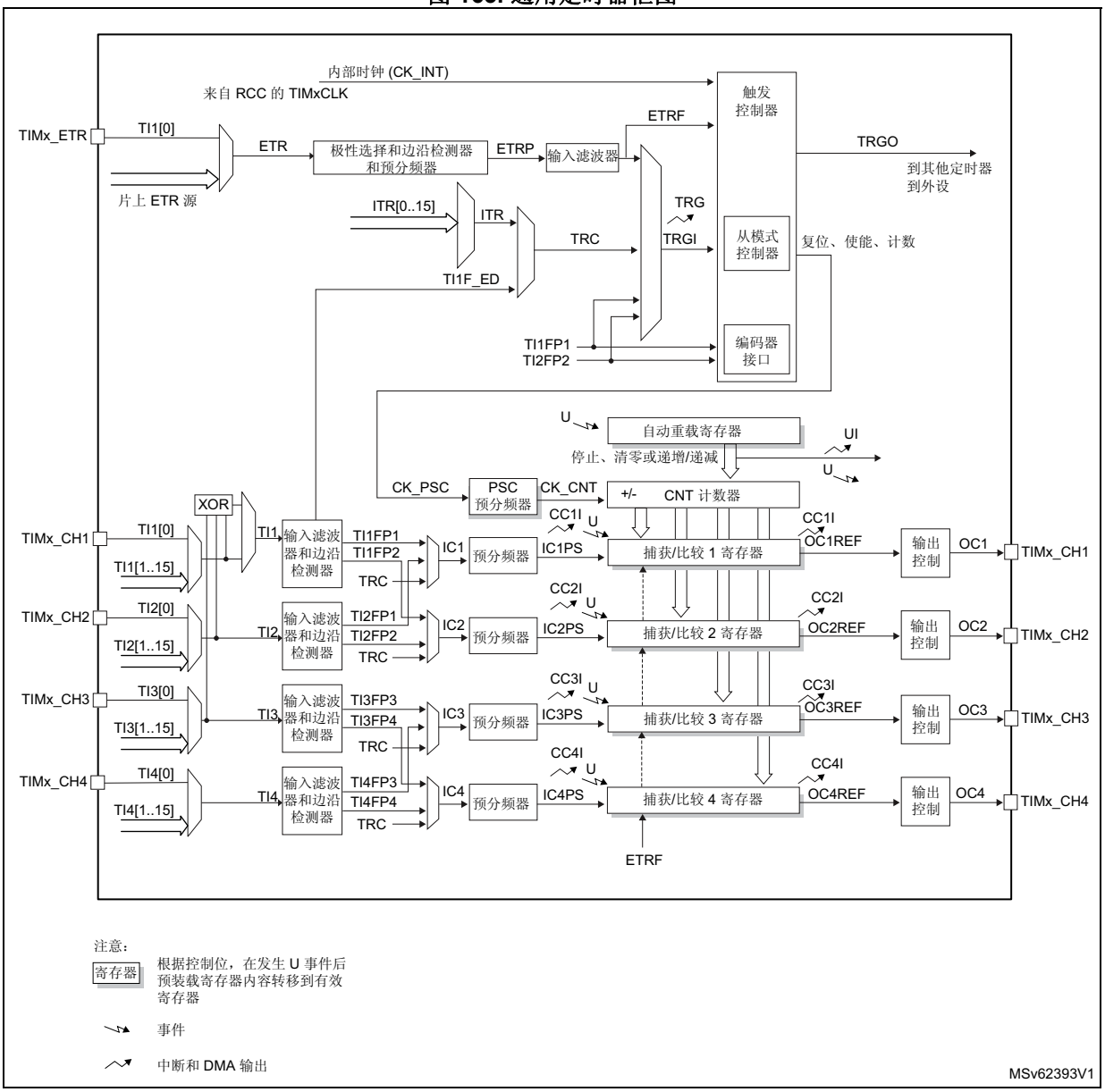
这些定时器彼此完全独立，不共享任何资源。如*第 21.3.19 节：定时器同步*中所述，它们可以一起同步操作。

21.2 TIM2/TIM3 主要特性

通用 TIMx 定时器具有以下特性：

- 16 位 (TIM3) 或 32 位 (TIM2) 递增、递减和递增/递减自动重载计数器。
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 到 65535 之间。
- 多达 4 个独立通道，可用于：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿和中心对齐模式）
  - 单脉冲模式输出
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路。
- 发生如下事件时生成中断/DMA 请求：
  - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）
  - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
  - 输入捕获
  - 输出比较
- 支持定位用增量（正交）编码器和霍尔传感器电路
- 触发输入用作外部时钟或逐周期电流管理

图 163. 通用定时器框图



21.3 TIM2/TIM3 功能描述

21.3.1 时基单元

可编程定时器的主要模块由一个 16 位/32 位计数器及其相关的自动重载寄存器组成。计数器可递增计数、递减计数或交替进行递增和递减计数。计数器的时钟可通过预分频器进行分频。

计数器、自动重载寄存器和预分频器寄存器可通过软件进行读写。即使在计数器运行时也可执行读写操作。

时基单元包括：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动重载寄存器 (TIMx_ARR)

自动重载寄存器是预装载的。对自动重载寄存器执行写入或读取操作时会访问预装载寄存器。预装载寄存器的内容既可以直接传送到影子寄存器，也可以在每次发生更新事件 (UEV) 时传送到影子寄存器，这取决于 TIMx_CR1 寄存器中的自动重载预装载使能位 (ARPE)。当计数器达到上溢值（或者在递减计数时达到下溢值）并且 TIMx_CR1 寄存器中的 UDIS 位为 0 时，将发送更新事件。该更新事件也可由软件产生。下文将针对各配置的更新事件的产生进行详细介绍。

计数器由预分频器输出 CK_CNT 提供时钟，仅当 TIMx_CR1 寄存器中的计数器启动位 (CEN) 置 1 时，才会启动计数器（有关计数器使能的更多详细信息，另请参见从模式控制器的相关说明）。

请注意，实际的计数器使能信号 CNT_EN 在 CEN 置 1 的一个时钟周期后被置 1。

预分频器说明

预分频器可对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间。该预分频器基于 16 位/32 位寄存器（TIMx_PSC 寄存器）所控制的 16 位计数器。由于该控制寄存器具有缓冲功能，因此预分频器可实现实时更改。而新的预分频比将在下一更新事件发生时被采用。

图 164 和 *图 165* 以一些示例说明在预分频比实时变化时计数器的行为：

图 164. 预分频器分频由 1 变为 2 时的计数器时序图

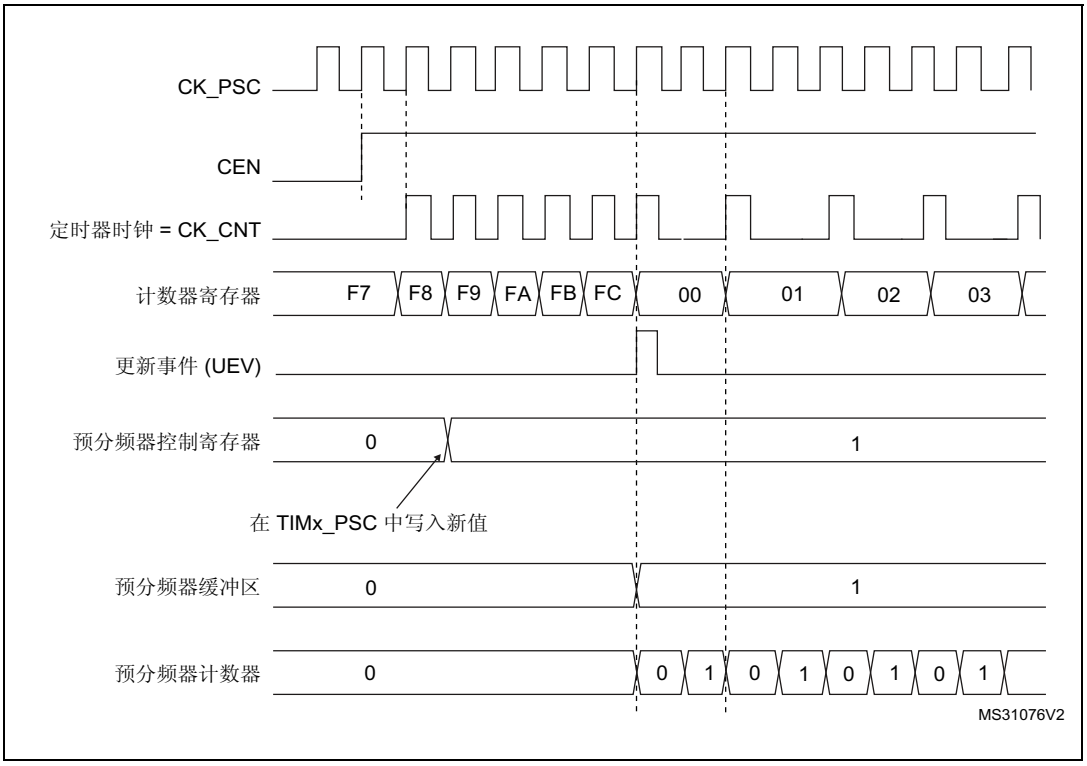
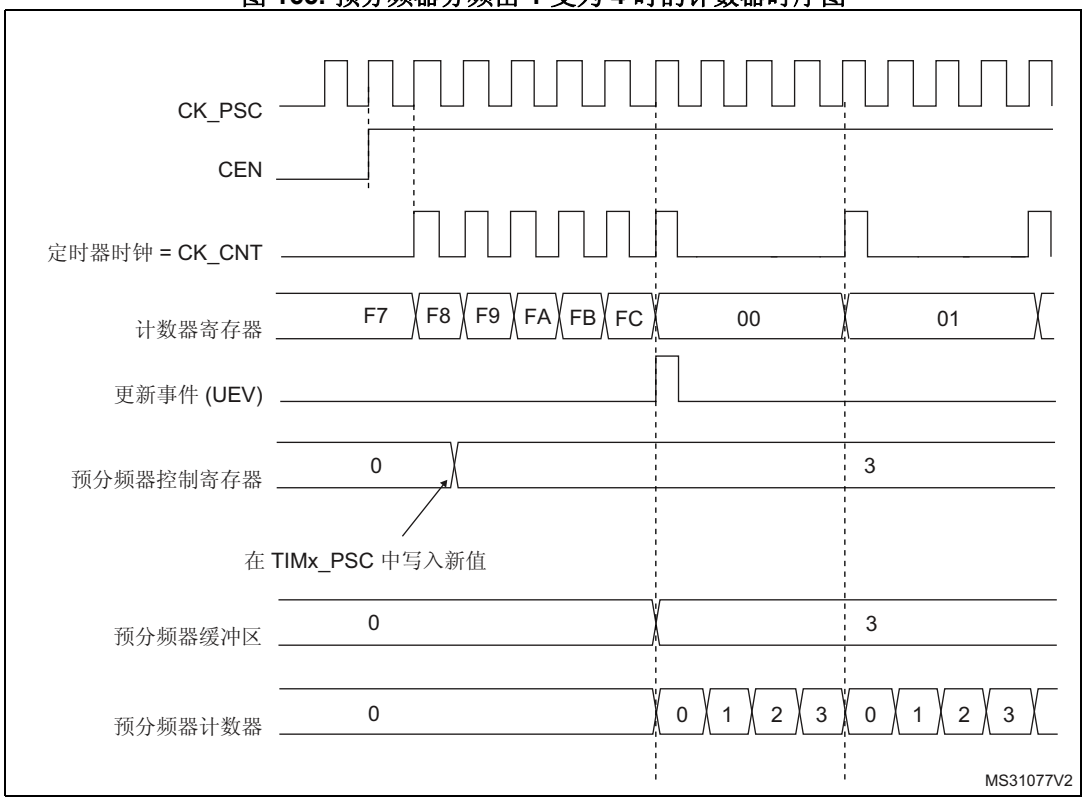


图 165. 预分频器分频由 1 变为 4 时的计数器时序图



21.3.2 计数器模式

递增计数模式

在递增计数模式下，计数器从 0 计数到自动重载值（TIMx_ARR 寄存器的内容），然后重新从 0 开始计数并生成计数器上溢事件。

每次发生计数器上溢时会生成更新事件，或将 TIMx_EGR 寄存器中的 UG 位置 1（通过软件或使用从模式控制器）也可以生成更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器和预分频器计数器都会重新从 0 开始计数（而预分频比保持不变）。此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这样一来，如果在发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）
- 使用预装载值 (TIMx_ARR) 更新自动重载影子寄存器

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 166. 计数器时序图，1 分频内部时钟

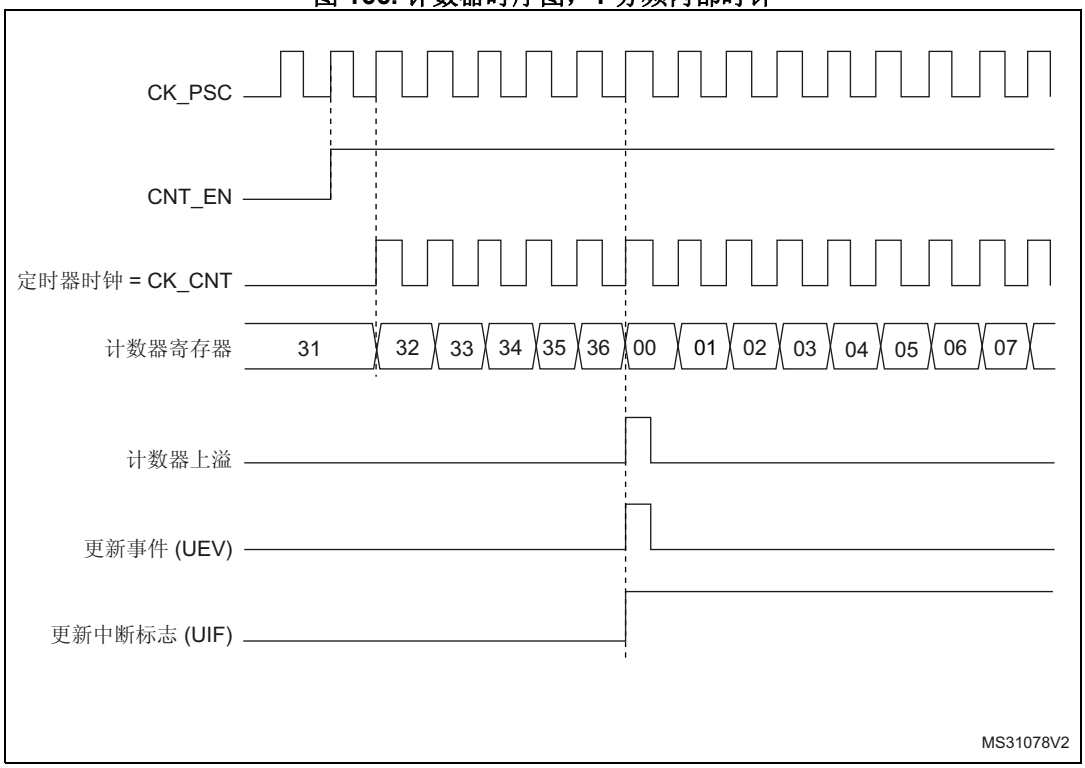


图 167. 计数器时序图，2 分频内部时钟

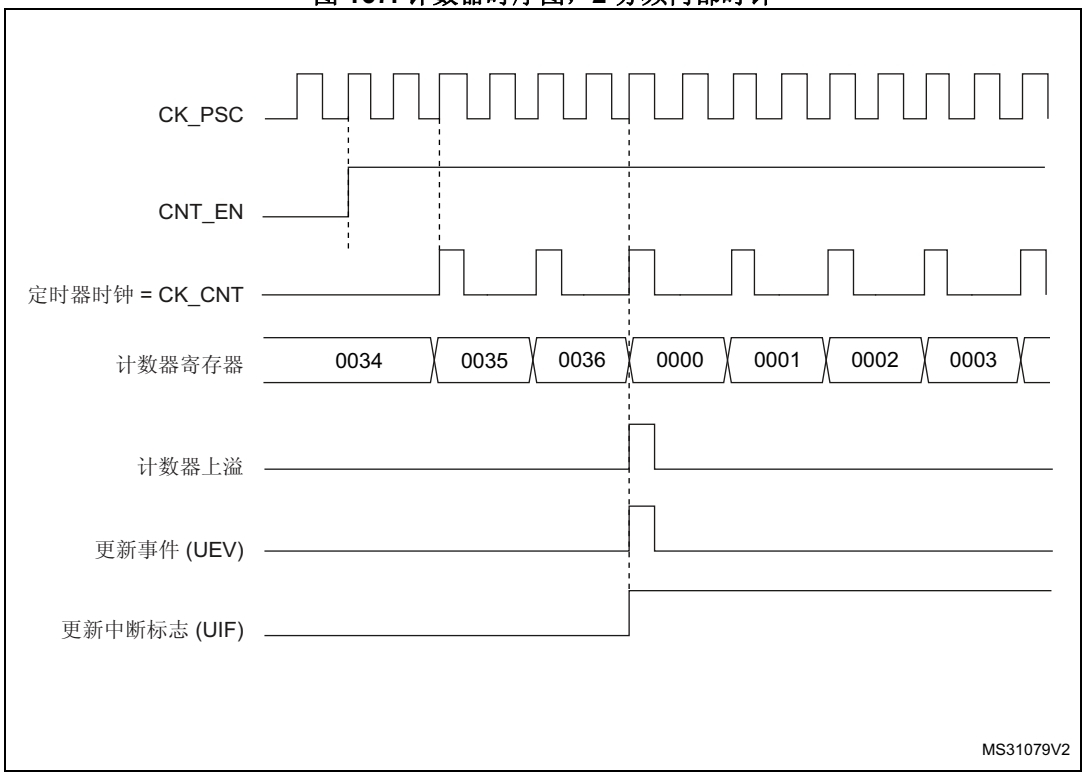


图 168. 计数器时序图，4 分频内部时钟

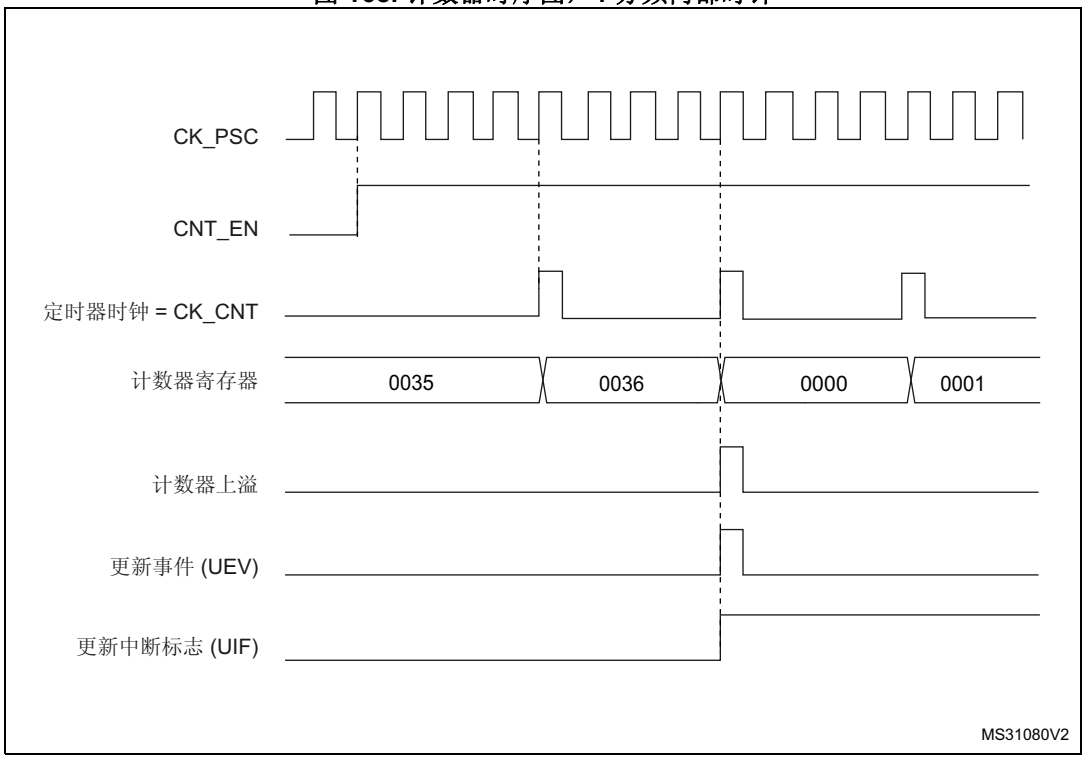


图 169. 计数器时序图，N 分频内部时钟

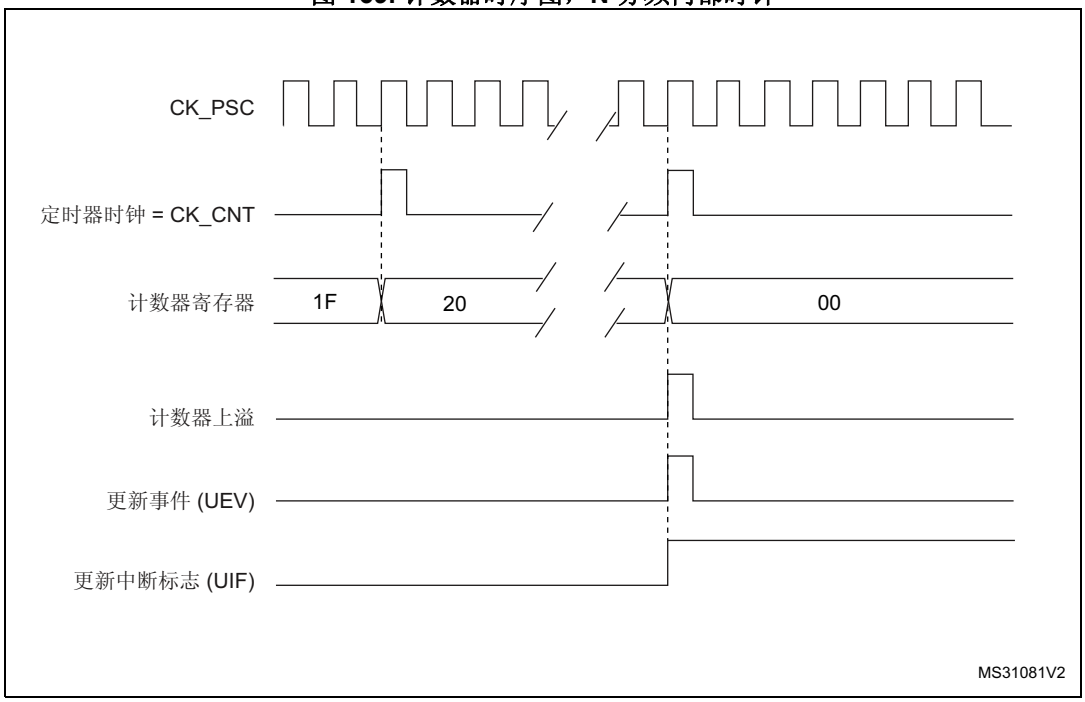


图 170. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载）

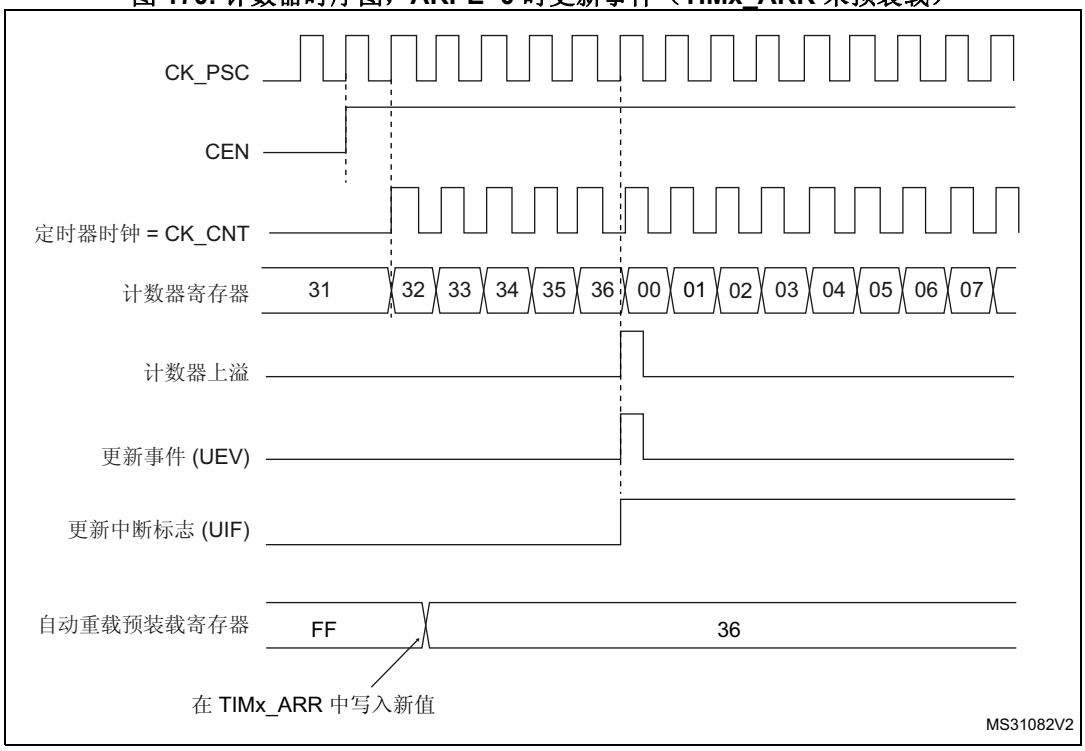
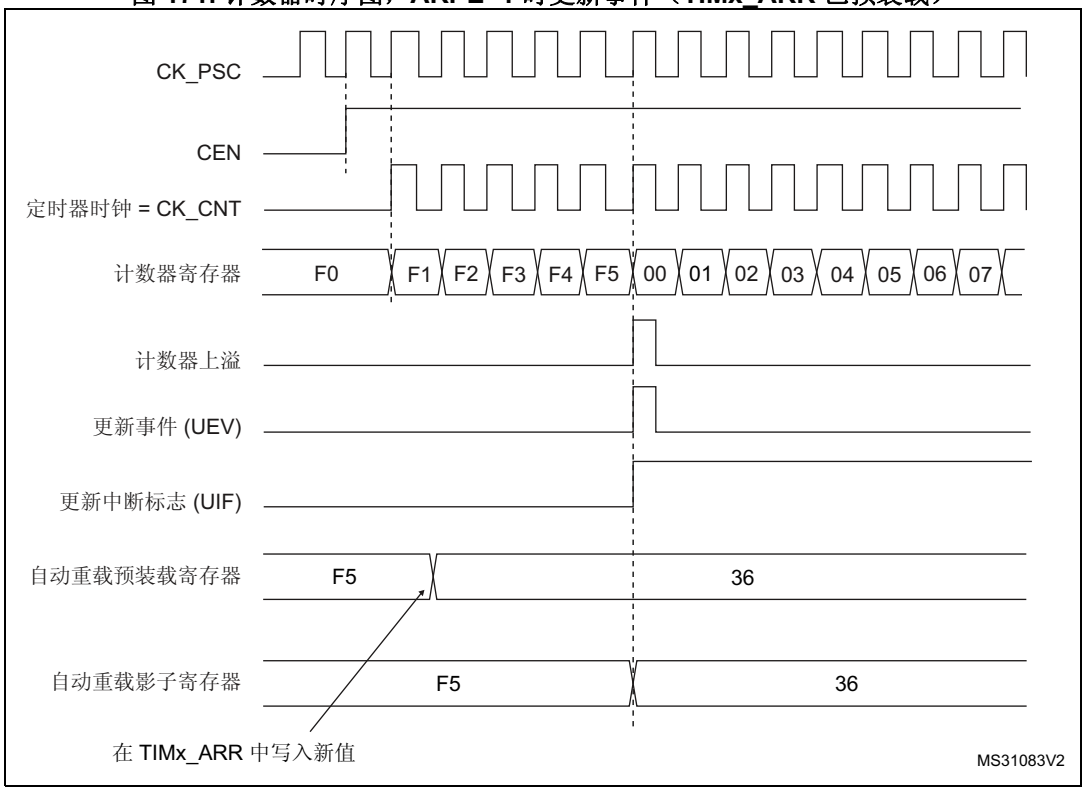


图 171. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载）



递减计数模式

在递减计数模式下，计数器从自动重载值（TIMx_ARR 寄存器的内容）开始递减计数到 0，然后重新从自动重载值开始计数并生成计数器下溢事件。

每次发生计数器下溢时会生成更新事件，或将 TIMx_EGR 寄存器中的 UG 位置 1（通过软件或使用从模式控制器）也可以生成更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 更新事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器会重新从当前自动重载值开始计数，而预分频器计数器则重新从 0 开始计数（但预分频比保持不变）。

此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这样一来，如果在发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。
- 自动重载有效寄存器将以预装载值（TIMx_ARR 寄存器的内容）进行更新。注意，ARR 寄存器更新在计数器重载之前被更新，因此下一个周期就是预期的值。

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 172. 计数器时序图，1 分频内部时钟

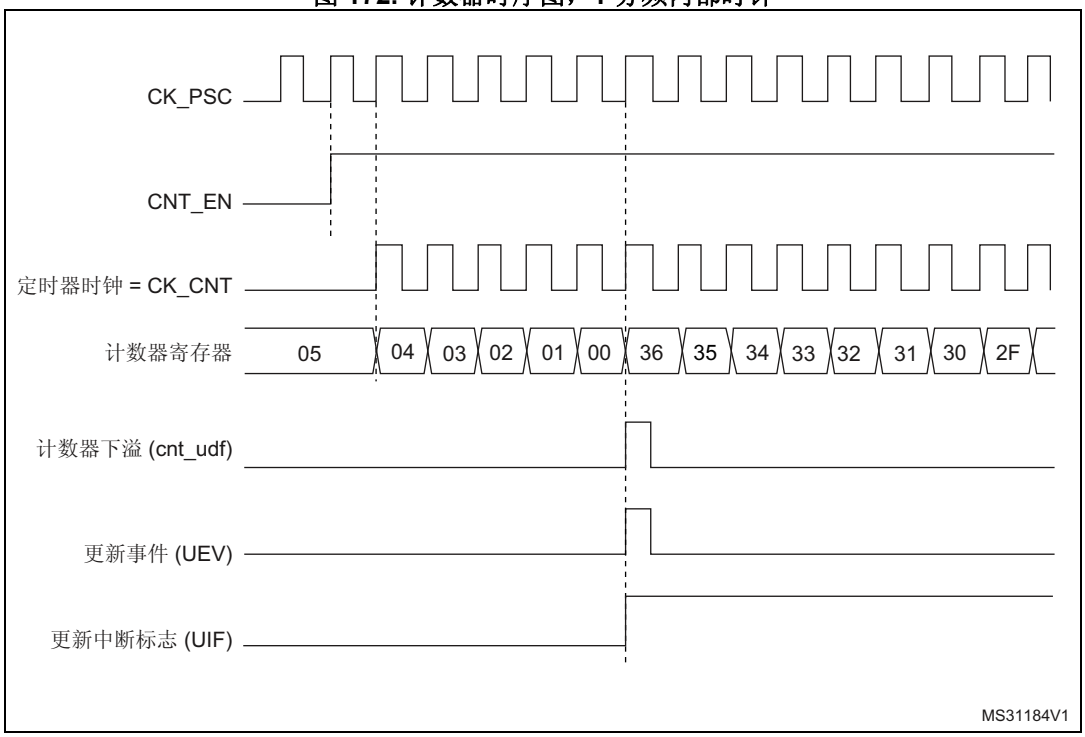


图 173. 计数器时序图，2 分频内部时钟

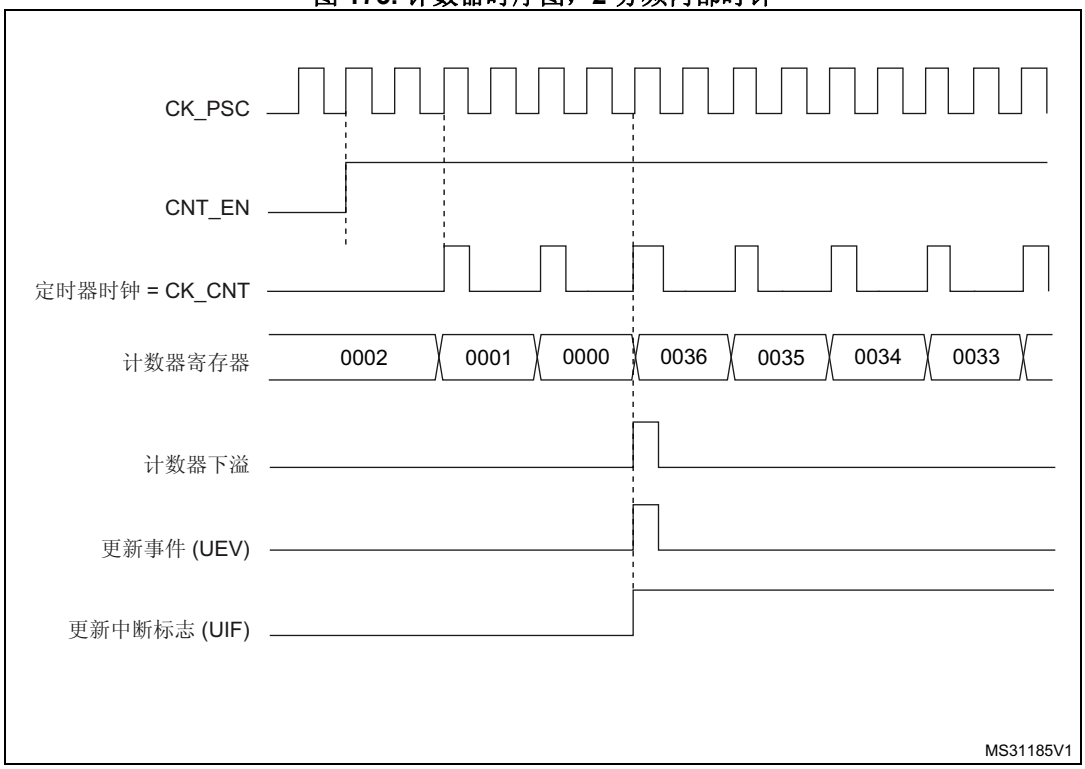


图 174. 计数器时序图，4 分频内部时钟

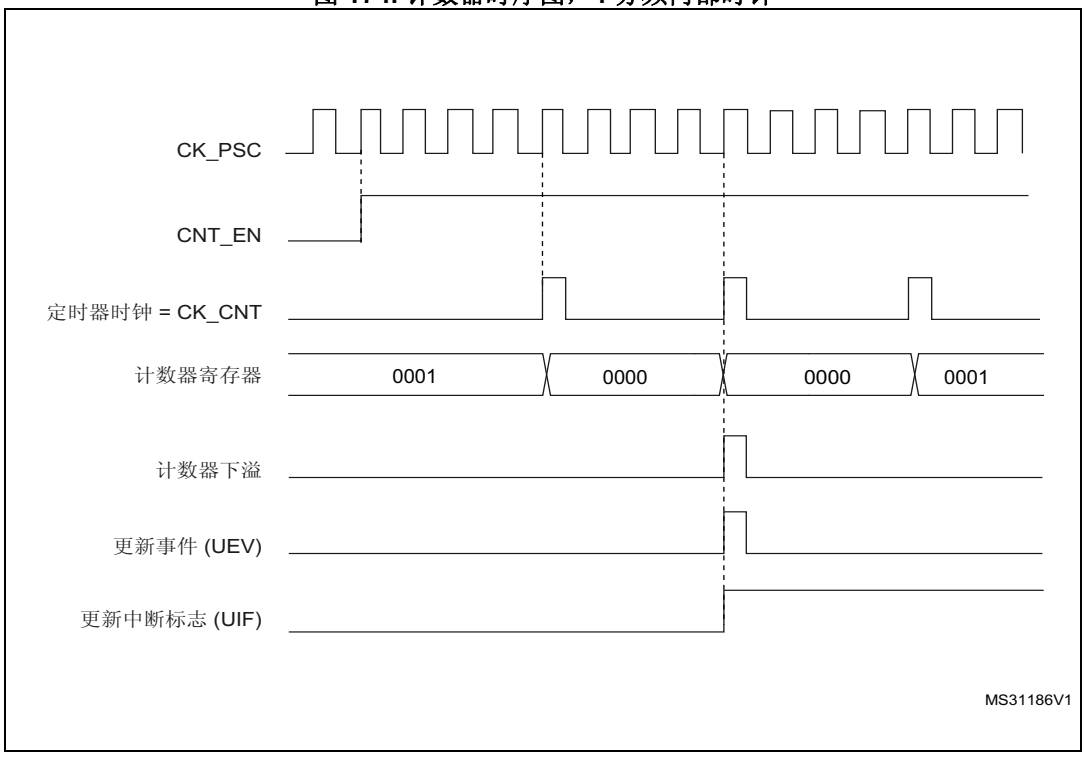


图 175. 计数器时序图，N 分频内部时钟

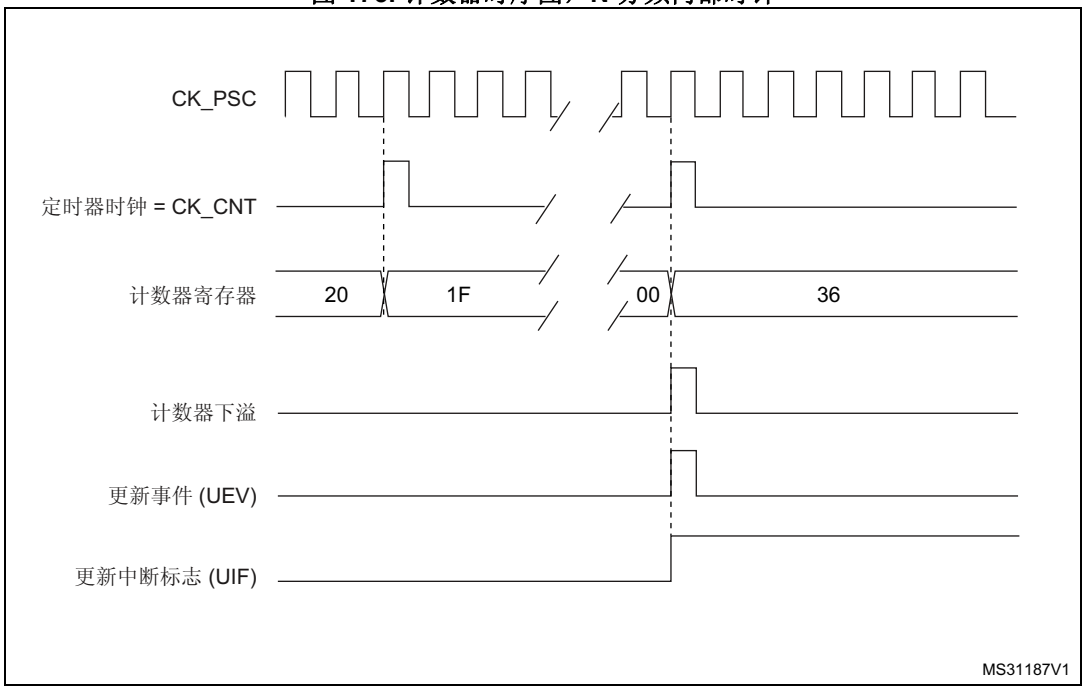
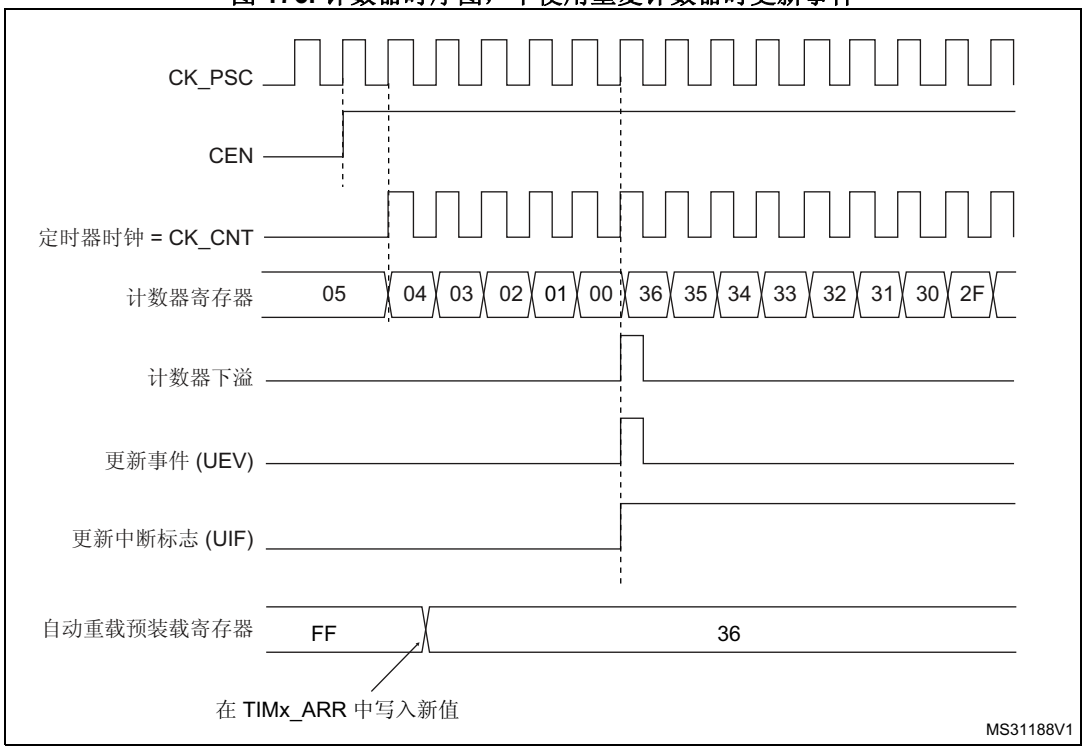


图 176. 计数器时序图，不使用重复计数器时更新事件



中心对齐模式（递增/递减计数）

在中心对齐模式下，计数器从 0 开始计数到自动重载值（TIMx_ARR 寄存器的内容）– 1，生成计数器上溢事件；然后从自动重载值开始向下计数到 1 并生成计数器下溢事件。之后从 0 开始重新计数。

当 TIMx_CR1 寄存器中的 CMS 位不为“00”时，中心对齐模式有效。将通道配置为输出模式时，其输出比较中断标志将在以下模式下置 1，即：计数器递减计数（中心对齐模式 1，CMS = “01”）、计数器递增计数（中心对齐模式 2，CMS = “10”）以及计数器递增/递减计数（中心对齐模式 3，CMS = “11”）。

此模式下无法写入方向位（TIMx_CR1 寄存器中的 DIR 位）。而是由硬件更新并指示当前计数器方向。

每次发生计数器上溢和下溢时都会生成更新事件，或将 TIMx_EGR 寄存器中的 UG 位置 1（通过软件或使用从模式控制器）也可以生成更新事件。这种情况下，计数器以及预分频器计数器将重新从 0 开始计数。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 更新事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器仍会根据当前自动重载值进行递增和递减计数。

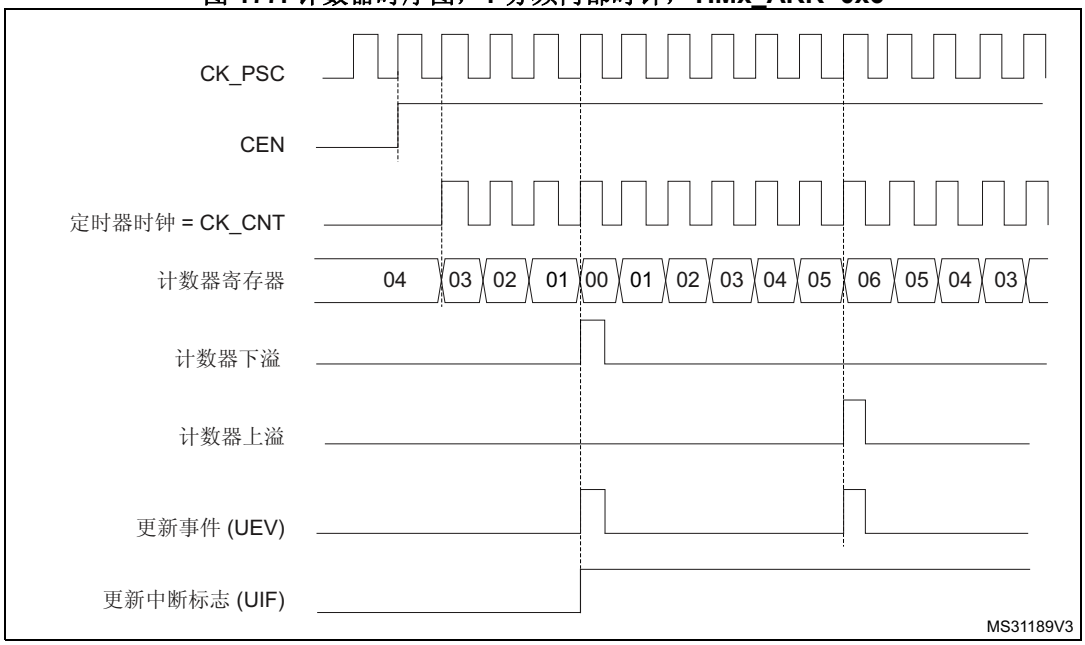
此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这样一来，如果在发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。
- 自动重载有效寄存器将以预装载值（TIMx_ARR 寄存器的内容）进行更新。注意，如果更新操作是由计数器上溢触发的，则 ARR 寄存器在计数器重载之前更新，因此，下一个计数周期就是我们所希望的新的周期长度（计数器被重载新的值）。

以下各图以一些示例说明不同时钟频率下计数器的行为。

图 177. 计数器时序图，1 分频内部时钟，TIMx_ARR=0x6



1. 此处使用中心对齐模式 1（有关详细信息，请参见*第 594 页的第 21.4.1 节：TIMx 控制寄存器 1 (TIMx_CR1)（x = 2 到 3）*）。

图 178. 计数器时序图，2 分频内部时钟

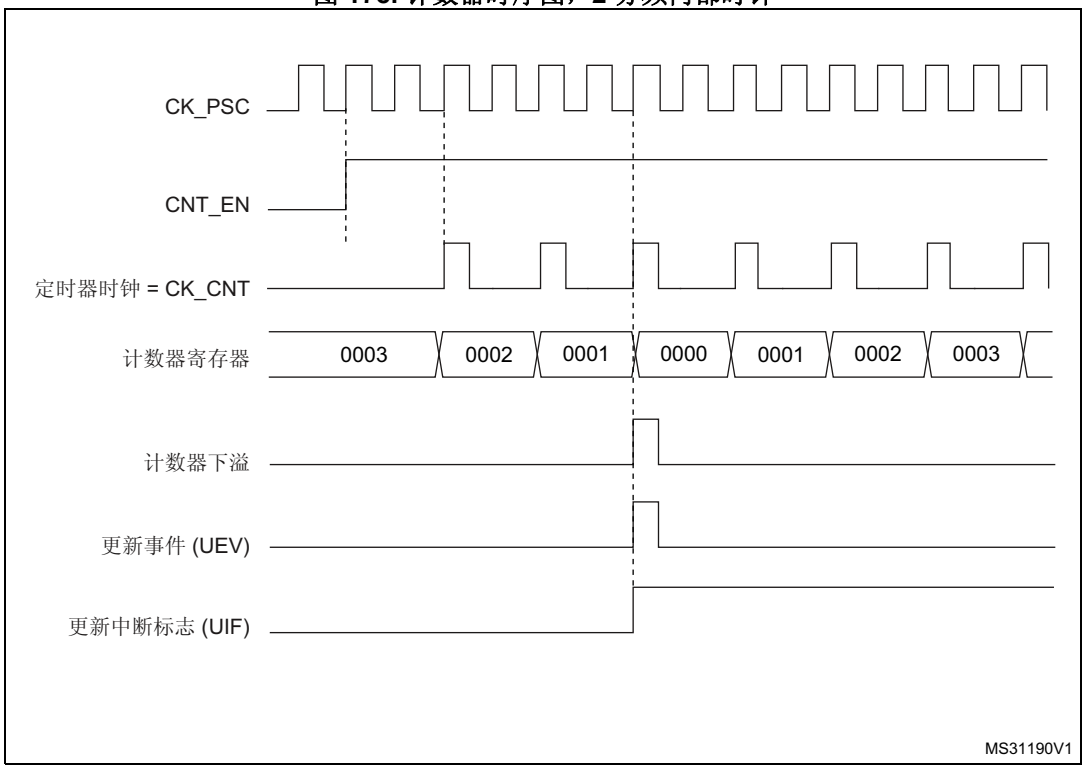
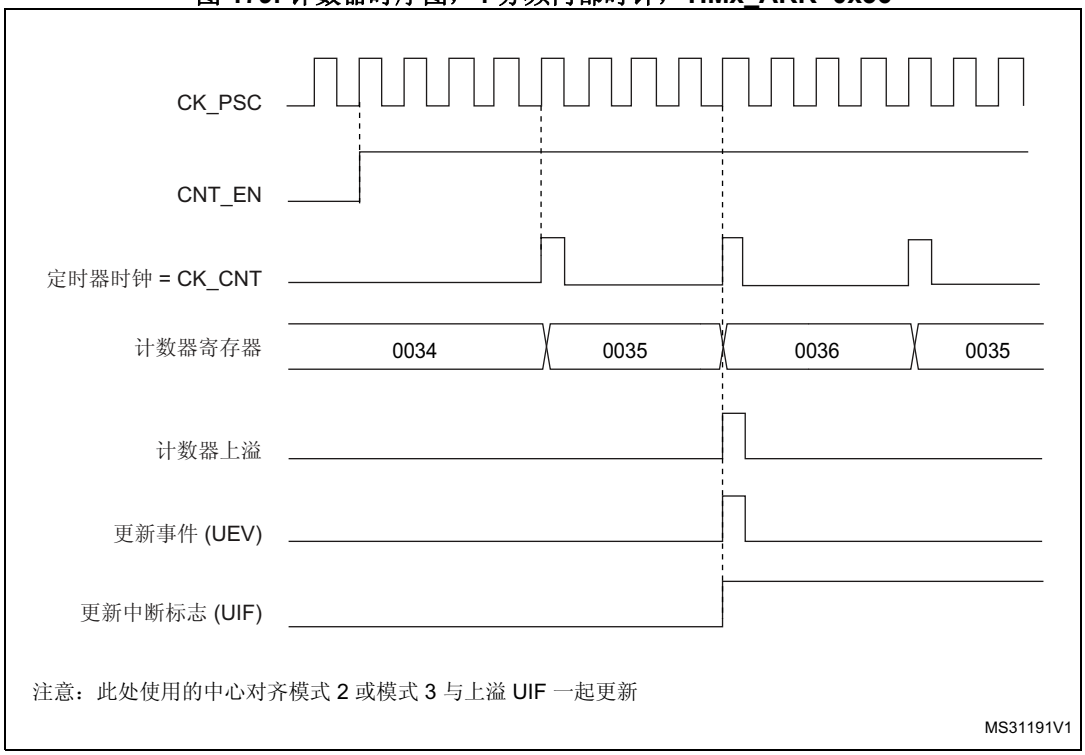


图 179. 计数器时序图，4 分频内部时钟，TIMx_ARR=0x36



1. 中心对齐模式 2 或模式 3 与上溢 UIF 结合使用。

图 180. 计数器时序图，N 分频内部时钟

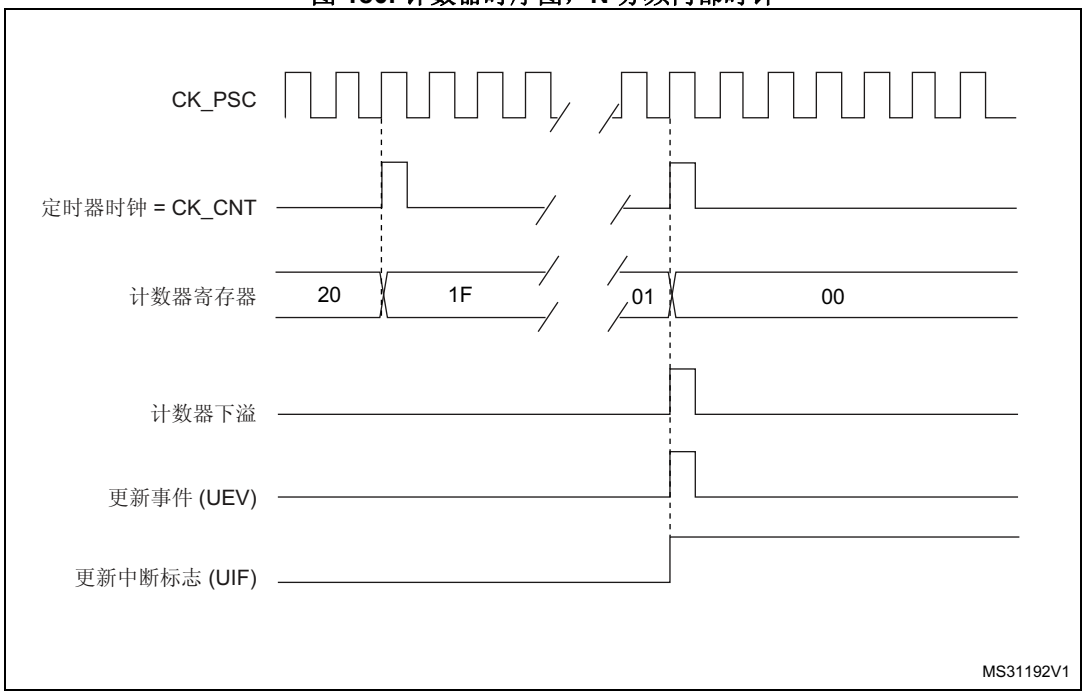


图 181. 计数器时序图，ARPE=1 时的更新事件（计数器下溢）

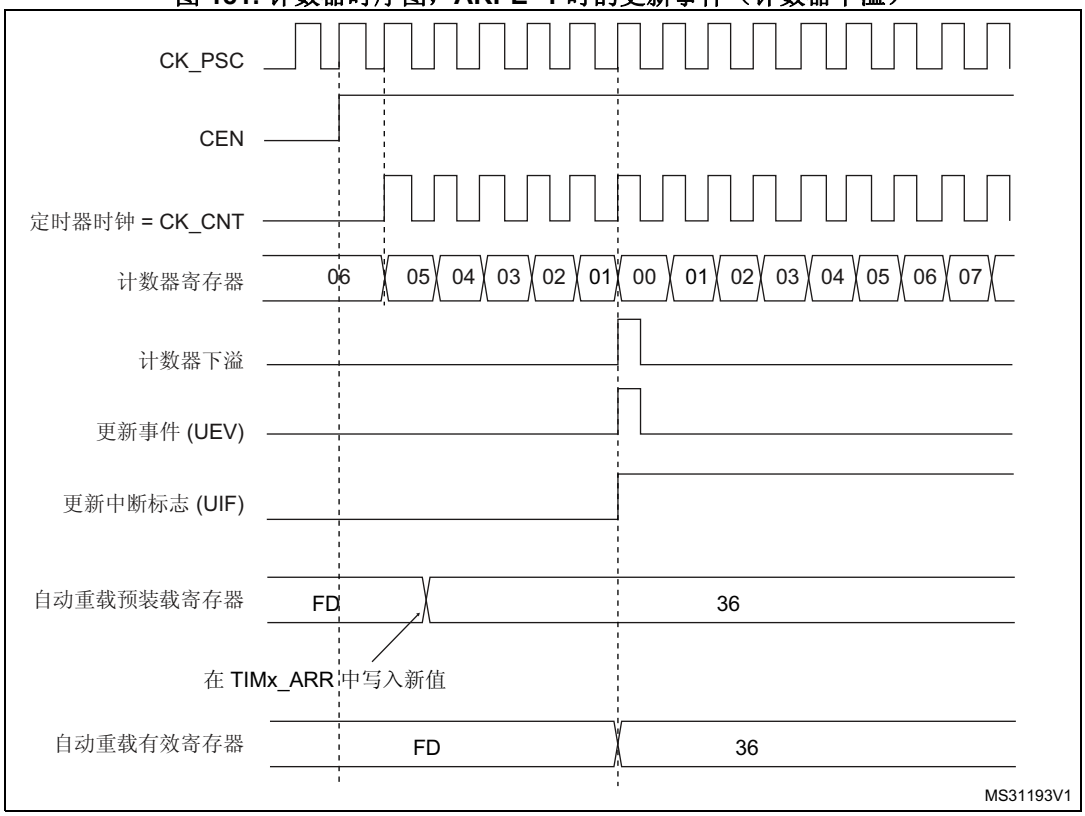
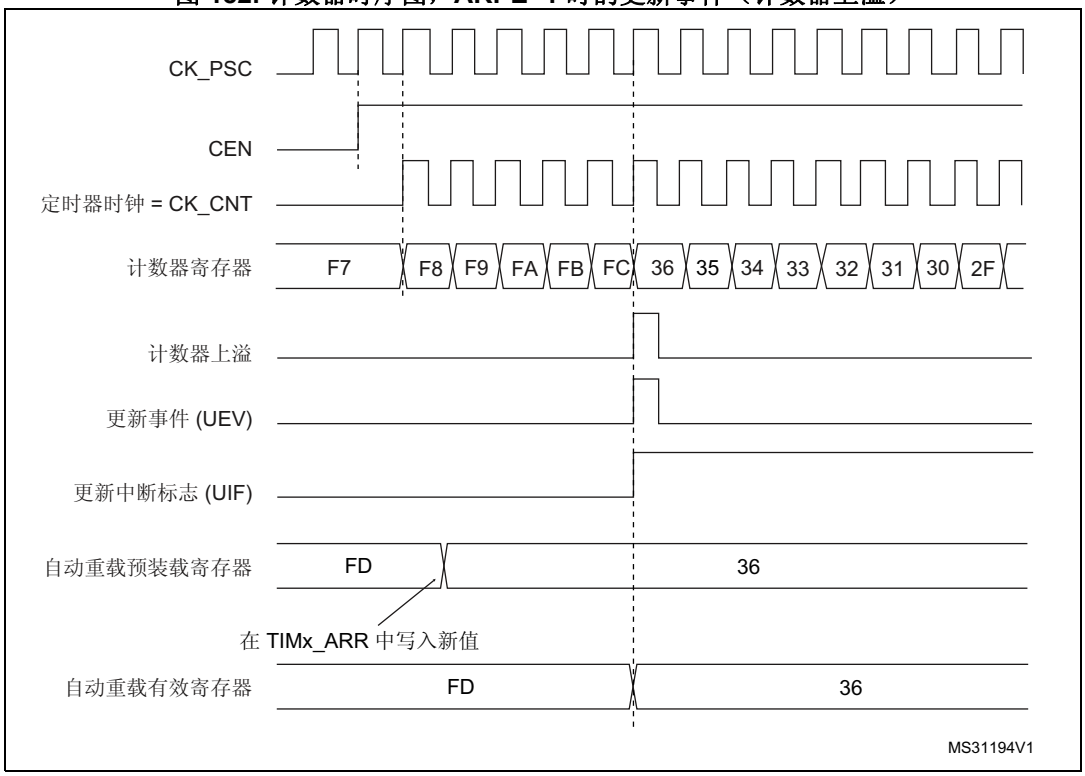


图 182. 计数器时序图，ARPE=1 时的更新事件（计数器上溢）



21.3.3 时钟选择

计数器时钟可由下列时钟源提供：

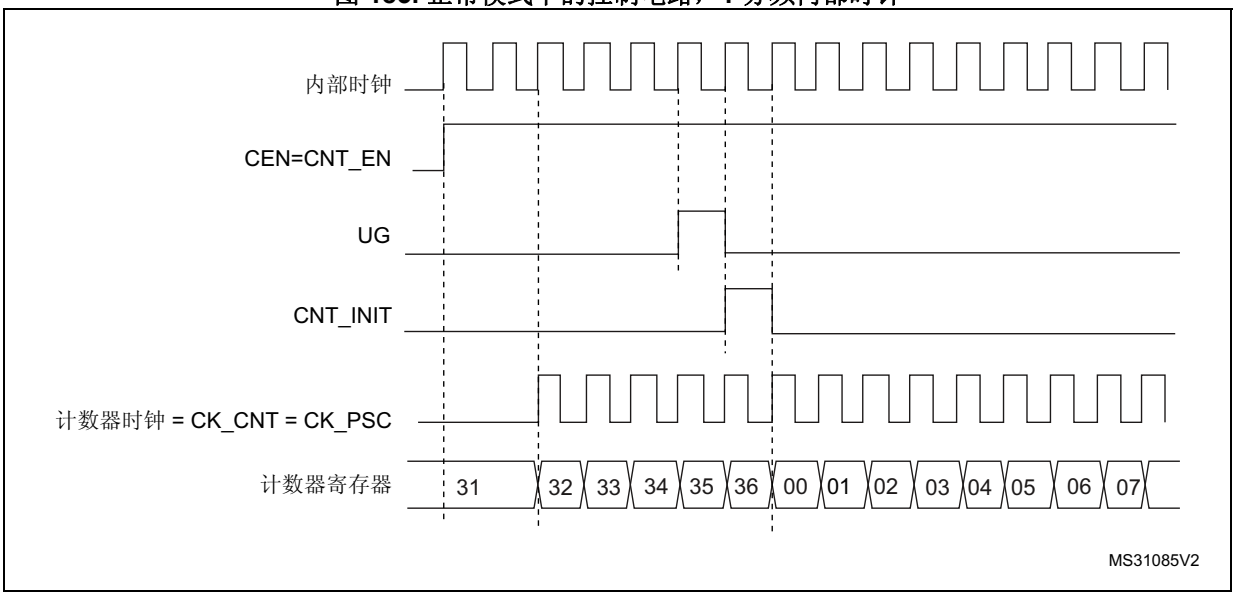
- 内部时钟 (CK_INT)
- 外部时钟模式 1：外部输入引脚 (TIx)
- 外部时钟模式 2：外部触发输入 (ETR)
- 内部触发输入 (ITRx)：使用一个定时器作为另一个定时器的预分频器，例如可以将定时器 X 配置为定时器 Y 的预分频器。有关更多详细信息，请参见*第 589 页的将一个定时器用作另一个定时器的预分频器*。

内部时钟源 (CK_INT)

如果禁止从模式控制器（TIMx_SMCR 寄存器中 SMS=000），则 CEN 位、DIR 位（TIMx_CR1 寄存器中）和 UG 位（TIMx_EGR 寄存器中）为实际控制位，并且只能通过软件进行更改（UG 除外，仍自动清零）。当对 CEN 位写入 1 时，预分频器的时钟就由内部时钟 CK_INT 提供。

图 183 显示了正常模式下控制电路与递增计数器的行为（没有预分频的情况下）。

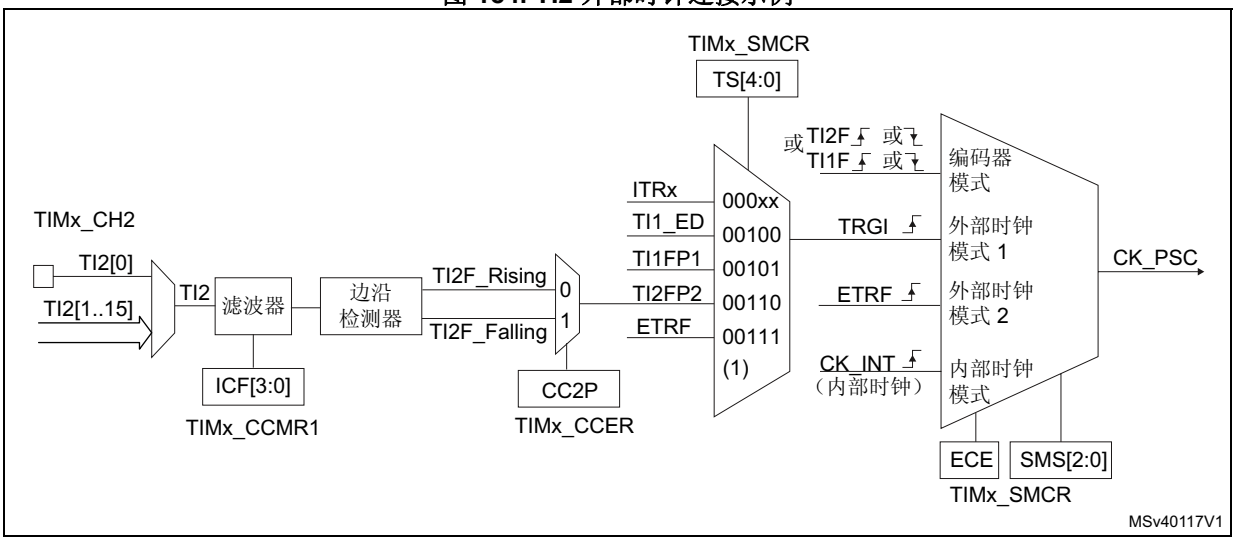
图 183. 正常模式下的控制电路，1 分频内部时钟



外部时钟源模式 1

当 TIMx_SMCR 寄存器中的 SMS=111 时，可选择此模式。计数器可在选定的输入信号上出现上升沿或下降沿时计数。

图 184. TI2 外部时钟连接示例



1. 保留从 01000 到 11111 的代码：ITRy。

例如，要使递增计数器在 TI2 输入出现上升沿时计数，请执行以下步骤：

1. 使用 TIMx_TISEL 寄存器中的 TI2SEL[3:0] 位选择正确的 TI2x 源（内部或外部）。
2. 通过在 TIMx_CCMR1 寄存器中写入 CC2S=“01”来配置通道 2，使其能够检测 TI2 输入的上升沿。
3. 通过在 TIMx_CCMR1 寄存器中写入 IC2F[3:0] 位来配置输入滤波带宽（如果不需要任何滤波器，请保持 IC2F=0000）。

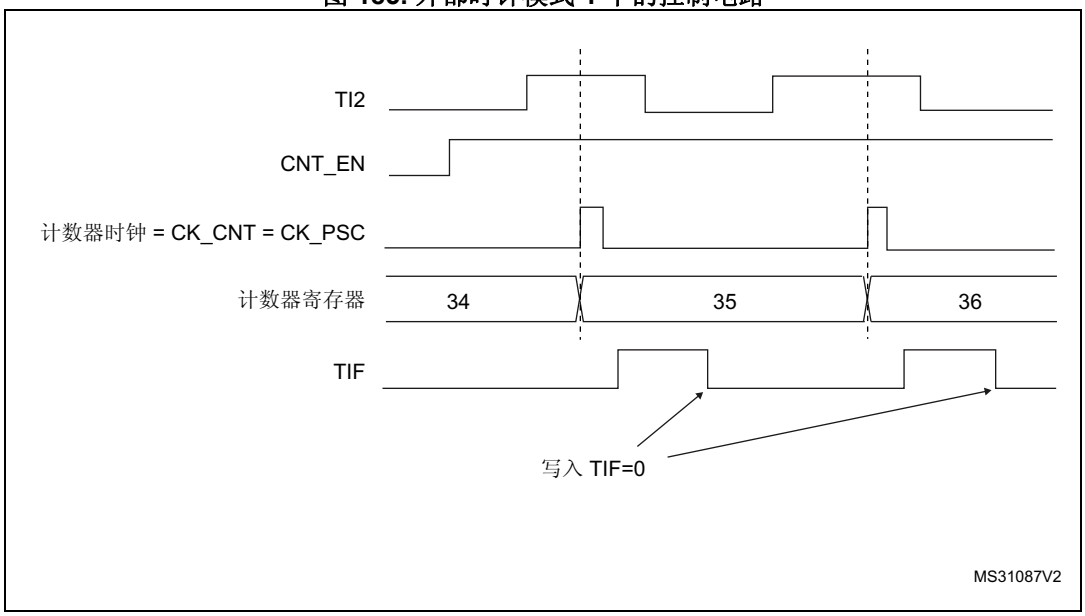
注： *由于捕获预分频器不用于触发操作，因此无需对其进行配置。*

4. 通过在 TIMx_CCER 寄存器中写入 CC2P=0 和 CC2NP=0 来选择上升沿极性。
5. 通过在 TIMx_SMCR 寄存器中写入 SMS=111，使定时器在外部时钟模式 1 下工作。
6. 通过在 TIMx_SMCR 寄存器中写入 TS=00110 来选择 TI2 作为输入源。
7. 通过在 TIMx_CR1 寄存器中写入 CEN=1 来使能计数器。

当 TI2 出现上升沿时，计数器便会计数一次并且 TIF 标志置 1。

TI2 的上升沿与实际计数器时钟之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 185. 外部时钟模式 1 下的控制电路



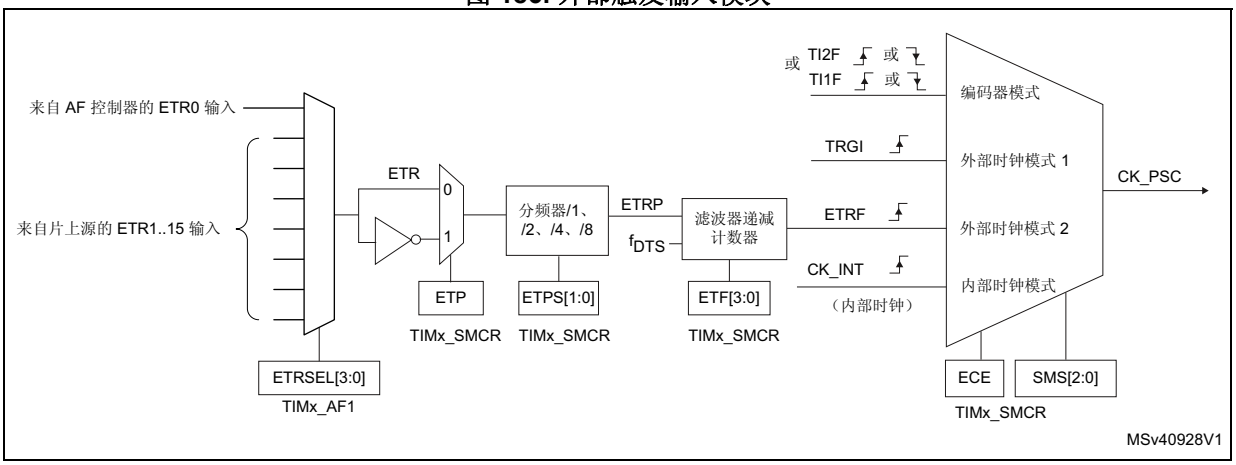
外部时钟源模式 2

通过在 TIMx_SMCR 寄存器中写入 ECE=1 可选择此模式。

计数器可在外部触发输入 ETR 出现上升沿或下降沿时计数。

图 186 简要介绍了外部触发输入模块。

图 186. 外部触发输入模块



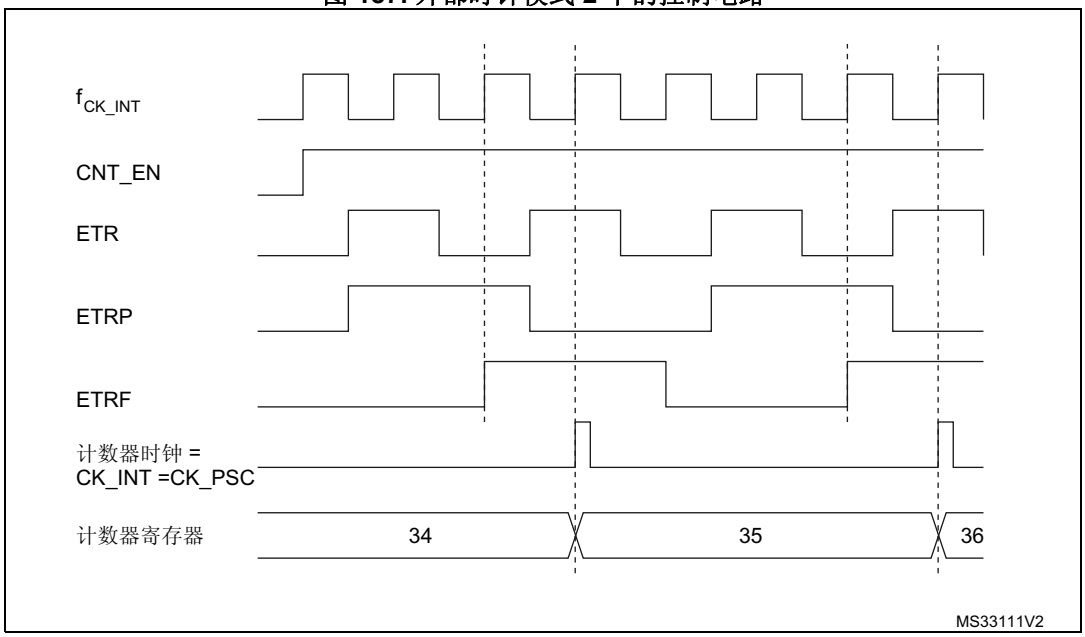
例如，要使递增计数器在 ETR 每出现 2 个上升沿时计数，请执行以下步骤：

1. 使用 TIMx_AF1 寄存器中的 ETRSEL[3:0] 位选择正确的 ETR 源（内部或外部）。
2. 由于此例中不需滤波器，因此在 TIMx_SMCR 寄存器中写入 ETF[3:0]=0000。
3. 通过在 TIMx_SMCR 寄存器中写入 ETPS[1:0]=01 来设置预分频器。
4. 通过在 TIMx_SMCR 寄存器中写入 ETP=0 来选择 ETR 引脚的上升沿检测。
5. 通过在 TIMx_SMCR 寄存器中写入 ECE=1 来使能外部时钟模式 2。
6. 通过在 TIMx_CR1 寄存器中写入 CEN=1 来使能计数器。

ETR 每出现 2 个上升沿，计数器计数一次。

ETR 的上升沿与实际计数器时钟之间的延迟是由于 ETRP 信号的重新同步电路引起的。因此，计数器可以正确捕获的最大频率最高为 TIMxCLK 频率的 ¼。当 ETRP 信号变快时，用户应通过适当的 ETPS 预分频器设置对外部信号进行分频。

图 187. 外部时钟模式 2 下的控制电路



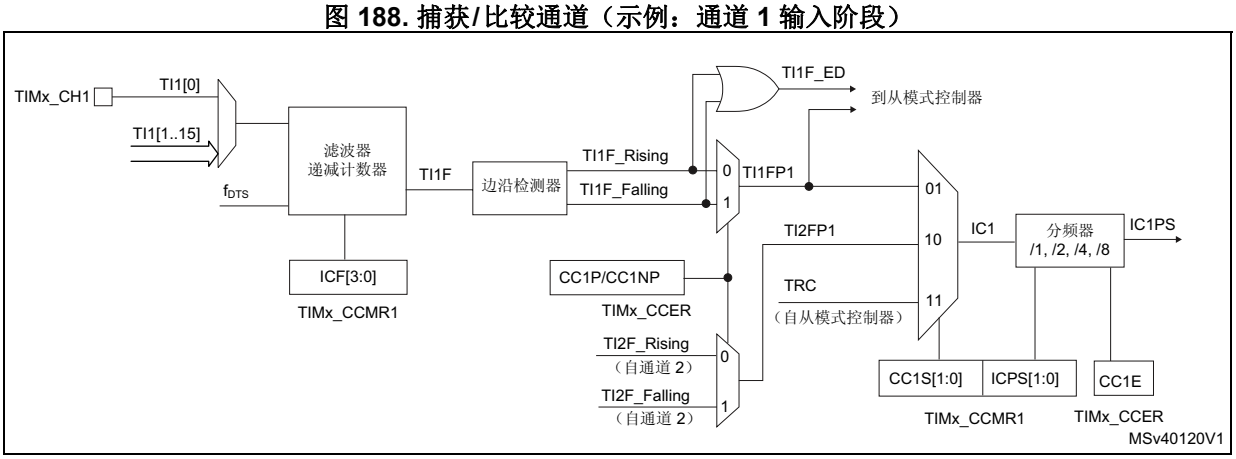
21.3.4 捕获/比较通道

每个捕获/比较通道均围绕一个捕获/比较寄存器（包括一个影子寄存器）、一个捕获输入阶段（数字滤波、多路复用和预分频器）和一个输出阶段（比较器和输出控制）构建而成。

下图简要介绍了一路捕获/比较通道。

输入阶段对相应的 TIx 输入进行采样，生成一个滤波后的信号 TIxF。然后，带有极性选择功能的边沿检测器生成一个信号 (TIxFPx)，该信号可用作从模式控制器的触发输入，也可用作捕获命令。该信号先进行预分频 (ICxPS)，而后再进入捕获寄存器。

图 188. 捕获/比较通道（示例：通道 1 输入阶段）



输出阶段生成一个中间波形作为基准：OCxRef（高电平有效）。链的末端决定最终输出信号的极性。

图 189. 捕获/比较通道 1 主电路

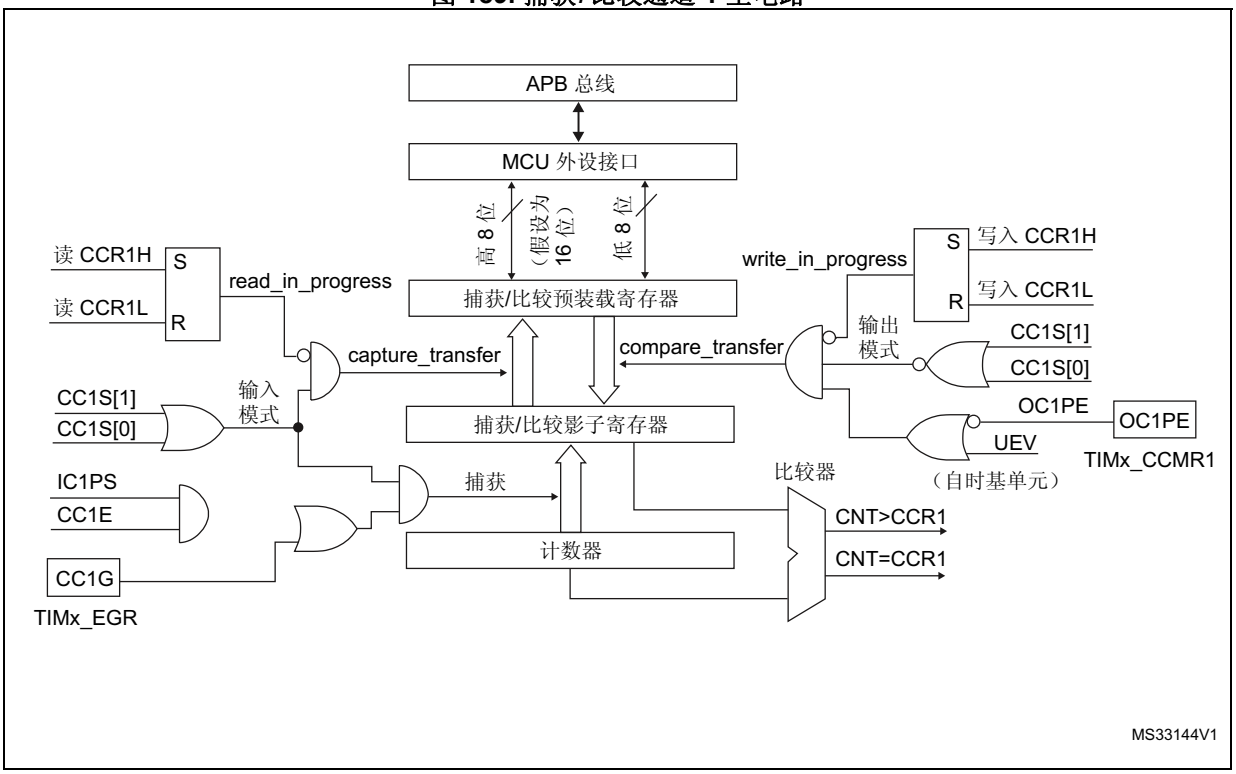
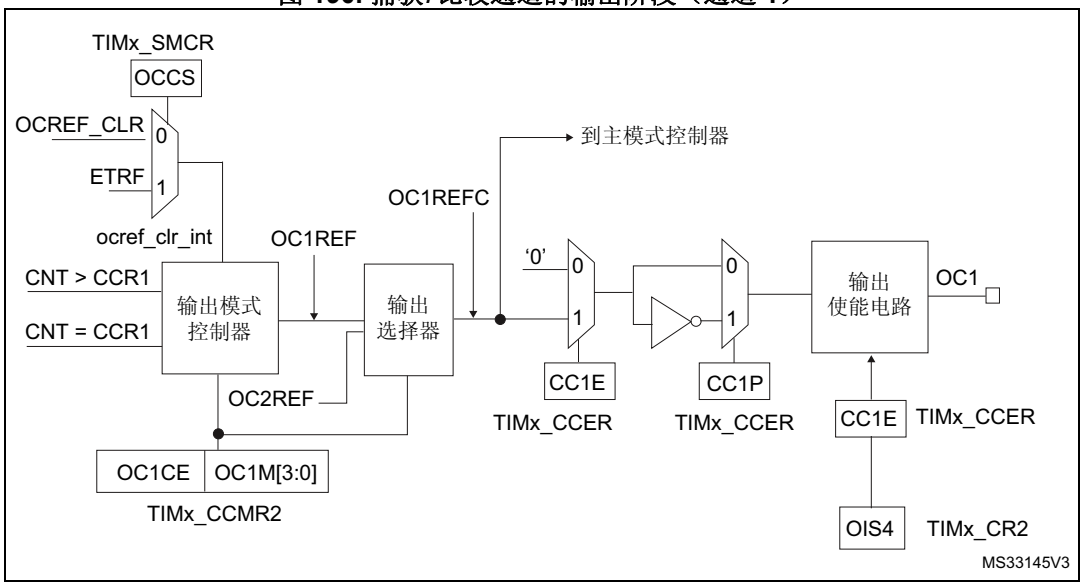


图 190. 捕获/比较通道的输出阶段（通道 1）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。始终可通过读写操作访问预装载寄存器。

在捕获模式下，捕获实际发生在影子寄存器中，然后将影子寄存器的内容复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容将复制到影子寄存器中，然后将影子寄存器的内容与计数器进行比较。

21.3.5 输入捕获模式

在输入捕获模式下，当相应的 ICx 信号检测到跳变沿后，将使用捕获/比较寄存器 (TIMx_CCRx) 来锁存计数器的值。发生捕获事件时，会将相应的 CCXIF 标志（TIMx_SR 寄存器）置 1，并可发送中断或 DMA 请求（如果已使能）。如果发生捕获事件时 CCxIF 标志已处于高位，则会将重复捕获标志 CCxOF（TIMx_SR 寄存器）置 1。可通过软件方法向 CCxIF 写入 0 来给 CCxIF 清零，或读取存储在 TIMx_CCRx 寄存器中的已捕获数据。CCxOF 在写入 0 时清零。

以下示例说明了如何在 TI1 输入出现上升沿时将计数器的值捕获到 TIMx_CCR1 中。具体操作步骤如下：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1x 源（内部或外部）。
2. 选择有效输入：TIMx_CCR1 必须连接到 TI1 输入，因此向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01。只要 CC1S 不等于 00，就会将通道配置为输入模式，并且 TIMx_CCR1 寄存器将处于只读状态。
3. 根据连接到定时器的信号，对相应的输入滤波带宽进行编程（如果输入为 TIx 之一，则对 TIMx_CCMRx 寄存器中的 ICxF 位进行编程）。假设信号边沿变化时，输入信号最多在 5 个内部时钟周期内发生抖动。因此，我们必须将滤波带宽设置为大于 5 个内部时钟周期。在检测到 8 个具有新电平的连续采样（以 f_{DTS} 频率采样）后，可以确认 TI1 上的跳变沿。然后向 TIMx_CCMR1 寄存器中的 IC1F 位写入 0011。
4. 通过向 TIMx_CCER 寄存器中的 CC1P 位和 CC1NP 位写入 000，选择 TI1 通道的有效跳变沿（本例中为上升沿）。
5. 对输入预分频器进行编程。在本例中，我们希望每次有效转换时都执行捕获操作，因此需要禁止预分频器（向 TIMx_CCMR1 寄存器中的 IC1PS 位写入 00）。

6. 通过将 TIMx_CCER 寄存器中的 CC1E 位置 1，允许将计数器的值捕获到捕获寄存器中。
7. 如果需要，可通过将 TIMx_DIER 寄存器中的 CC1IE 位置 1 来使能相关中断请求，并且/或者通过将该寄存器中的 CC1DE 位置 1 来使能 DMA 请求。

发生输入捕获时：

- 发生有效跳变沿时，TIMx_CCR1 寄存器会获取计数器的值。
- 将 CC1IF 标志置 1（中断标志）。如果至少发生了两次连续捕获，但 CC1IF 标志未被清零，这样 CC1OF 重复捕获溢出标志会被置 1。
- 根据 CC1IE 位生成中断。
- 根据 CC1DE 位生成 DMA 请求。

要处理重复捕获，建议在读出重复捕获溢出标志之前读取数据。这样可避免丢失在读取捕获溢出标志之后与读取数据之前可能出现的重复捕获信息。

注： *通过软件将 TIMx_EGR 寄存器中的相应 CCxG 位置 1 可生成 IC 中断和/或 DMA 请求。*

21.3.6 PWM 输入模式

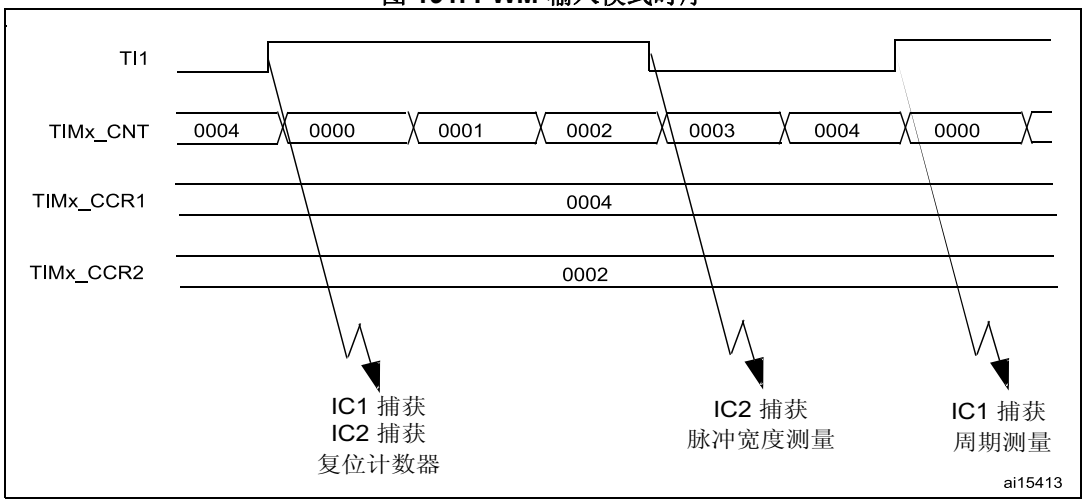
此模式是输入捕获模式的一个特例。其实现步骤与输入捕获模式基本相同，仅存在以下不同之处：

- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这两个 ICx 信号在边沿处有效，但极性相反。
- 选择两个 TIxFP 信号之一作为触发输入，并将从模式控制器配置为复位模式。

例如，可通过以下步骤对应用于 TI1 的 PWM 的周期（位于 TIMx_CCR1 寄存器中）和占空比（位于 TIMx_CCR2 寄存器中）进行测量（取决于 CK_INT 频率和预分频器的值）：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1x 源（内部或外部）。
2. 选择 TIMx_CCR1 的有效输入：向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01（选择 TI1）。
3. 选择 TI1FP1 的有效极性（同时用于 TIMx_CCR1 中的捕获和计数器清零）：向 CC1P 位和 CC1NP 位写入“0”（上升沿有效）。
4. 选择 TIMx_CCR2 的有效输入：向 TIMx_CCMR1 寄存器中的 CC2S 写入 10（选择 TI1）。
5. 选择 TI1FP2 的有效极性（用于 TIMx_CCR2 中的捕获）：向 CC2P 位写入“1”，向 CC2NP 位写入“0”（下降沿有效）。
6. 选择有效触发输入：向 TIMx_SMCR 寄存器中的 TS 位写入 00101（选择 TI1FP1）。
7. 将从模式控制器配置为复位模式：向 TIMx_SMCR 寄存器中的 SMS 位写入 100。
8. 使能捕获：向 TIMx_CCER 寄存器中的 CC1E 位和 CC2E 位写入“1”。

图 191. PWM 输入模式时序



1. PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号配合使用，因为只有 TI1FP1 和 TI2FP2 与从模式控制器相连。

21.3.7 强制输出模式

在输出模式（TIMx_CCMRx 寄存器中的 CCxS 位 = 00）下，可直接由软件将每个输出比较信号（OCxREF 和 OCx）强制设置为有效电平或无效电平，而无需考虑输出比较寄存器和计数器之间的任何比较结果。

要将输出比较信号 (ocxref/OCx) 强制设置为有效电平，用户只需向相应 TIMx_CCMRx 寄存器中的 OCxM 位写入 101。ocxref 进而强制设置为高电平（OCxREF 始终为高电平有效），同时 OCx 获取 CCxP 极性位的相反值。

例如：CCxP=0（OCx 高电平有效）=> OCx 强制设置为高电平。

通过向 TIMx_CCMRx 寄存器中的 OCxM 位写入 100，可将 ocxref 信号强制设置为低电平。

无论如何，TIMx_CCRx 影子寄存器与计数器之间的比较仍会执行，而且允许将标志置 1。因此可发送相应的中断和 DMA 请求。输出比较模式一节对此进行了介绍。

21.3.8 输出比较模式

此功能用于控制输出波形，或指示已经过某一时间段。

当捕获/比较寄存器与计数器之间相匹配时，输出比较功能：

- 将为相应的输出引脚分配一个可编程值，该值由输出比较模式（TIMx_CCMRx 寄存器中的 OCxM 位）和输出极性（TIMx_CCER 寄存器中的 CCxP 位）定义。匹配时，输出引脚既可保持其电平 (OCxM=000)，也可设置为有效电平 (OCxM=001)、无效电平 (OCxM=010) 或进行翻转 (OCxM=011)。
- 将中断状态寄存器中的标志置 1（TIMx_SR 寄存器中的 CCxIF 位）。
- 如果相应中断使能位（TIMx_DIER 寄存器中的 CCXIE 位）置 1，将生成中断。
- 如果相应使能位（TIMx_DIER 寄存器的 CCxDE 位，TIMx_CR2 寄存器的 CCDS 位，用来选择 DMA 请求）置 1，将发送 DMA 请求。

使用 TIMx_CCMRx 寄存器中的 OCxPE 位，可将 TIMx_CCRx 寄存器配置为带或不带预装载寄存器。

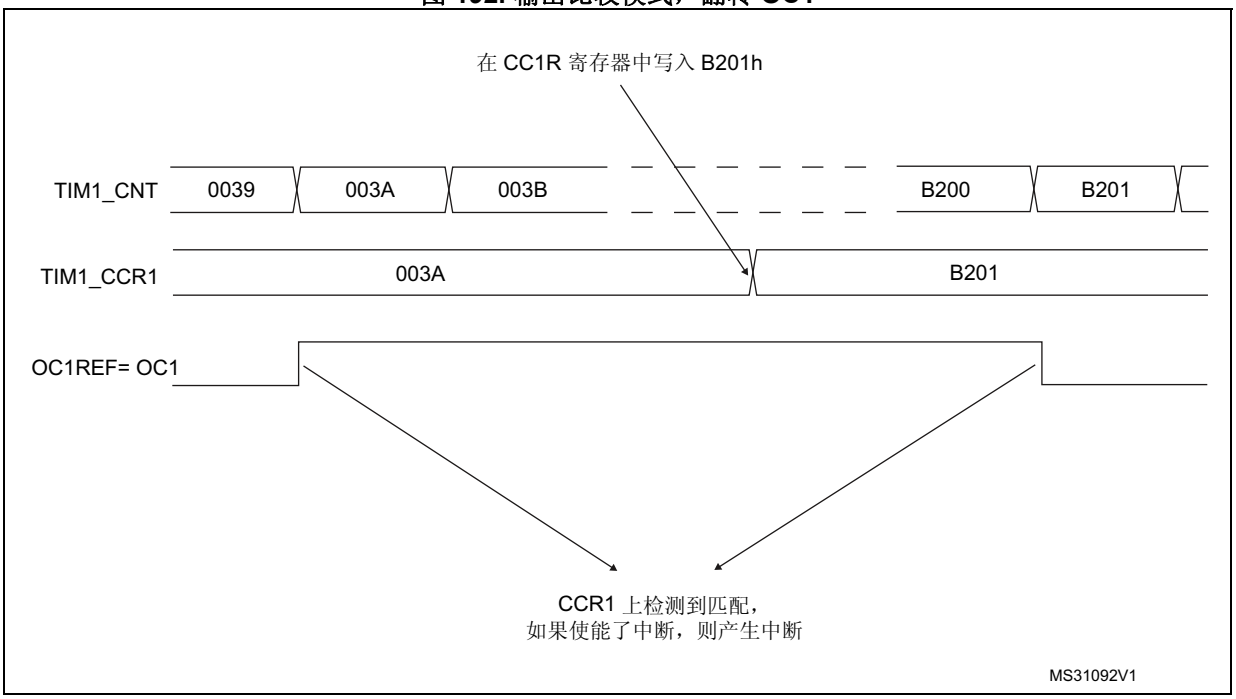
在输出比较模式下，更新事件 UEV 对 ocxref 和 OCx 输出毫无影响。同步的精度可以达到计数器的一个计数周期。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

步骤

1. 选择计数器时钟（内部、外部、预分频器）。
2. 在 TIMx_ARR 和 TIMx_CCRx 寄存器中写入所需数据。
3. 如果要生成中断和/或 DMA 请求，将 CCxIE 位和/或 CCxDE 位置 1。
4. 选择输出模式。例如，当 CNT 与 CCRx 匹配、未使用预装载 CCRx 并且 OCx 使能且为高电平有效时，必须写入 OCxM=011、OCxPE=0、CCxP=0 和 CCxE=1 来翻转 OCx 输出引脚。
5. 通过将 TIMx_CR1 寄存器中的 CEN 位置 1 来使能计数器。

可随时通过软件更新 TIMx_CCRx 寄存器以控制输出波形，前提是未使能预装载寄存器（OCxPE=0，否则仅当发生下一个更新事件 UEV 时，才会更新 TIMx_CCRx 影子寄存器）。*图 192* 给出了一个示例。

图 192. 输出比较模式，翻转 OC1



21.3.9 PWM 模式

脉冲宽度调制模式可以生成一个信号，该信号频率由 TIMx_ARR 寄存器值决定，其占空比则由 TIMx_CCRx 寄存器值决定。

通过向 TIMx_CCMRx 寄存器中的 OCxM 位写入 110（PWM 模式 1）或 111（PWM 模式 2），可以独立选择各通道（每个 OCx 输出对应一个 PWM）的 PWM 模式。必须通过将 TIMx_CCMRx 寄存器中的 OCxPE 位置 1 使能相应预装载寄存器，最后通过将 TIMx_CR1 寄存器中的 ARPE 位置 1 使能自动重载预装载寄存器（在递增计数或中心对齐模式下）。

由于只有在发生更新事件时预装载寄存器才会传送到影子寄存器，因此启动计数器之前，必须通过将 TIMx_EGR 寄存器中的 UG 位置 1 来初始化所有寄存器。

OCx 极性可通过软件来编程（使用 TIMx_CCER 寄存器的 CCxP 位）。可将其编程为高电平有效或低电平有效。OCx 输出通过将 TIMx_CCER 寄存器中的 CCxE 位置 1 来使能。有关详细信息，请参见 TIMx_CCERx 寄存器说明。

在 PWM 模式（1 或 2）下，TIMx_CNT 总是与 TIMx_CCRx 进行比较，以确定是 TIMx_CCRx ≤ TIMx_CNT 还是 TIMx_CNT ≤ TIMx_CCRx（取决于计数器计数方向）。不过，为符合 OCREF_CLR 功能（在下一个 PWM 周期之前，ETR 信号上的一个外部事件能够清除 OCREF），OCREF 信号仅在以下情况下变为有效状态：

- 比较结果发生改变，或
- 输出比较模式（TIMx_CCMRx 寄存器中的 OCxM 位）从“冻结”配置（不进行比较，OCxM=“000”）切换为任一 PWM 模式（OCxM=“110”或“111”）。

定时器运行期间，可以通过软件强制 PWM 输出。

根据 TIMx_CR1 寄存器中的 CMS 位状态，定时器能够产生边沿对齐模式或中心对齐模式的 PWM 信号。

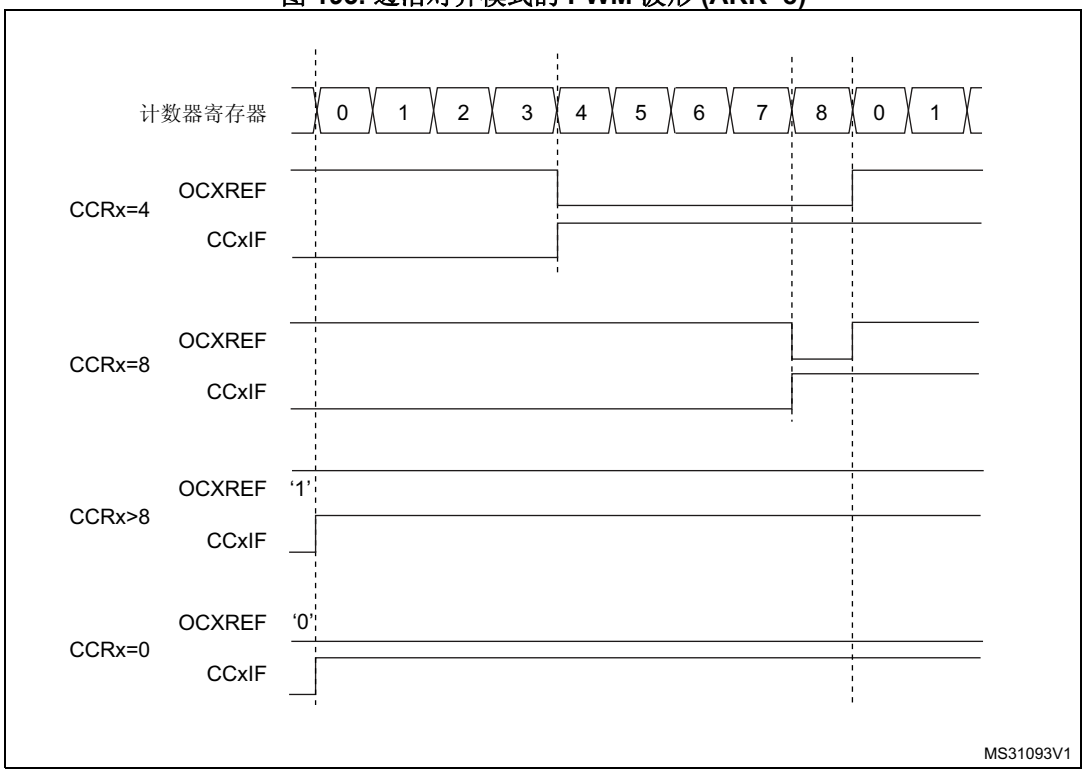
PWM 边沿对齐模式

递增计数配置

当 TIMx_CR1 寄存器中的 DIR 位为低时执行递增计数。请参见*第 554 页的递增计数模式*。

以下以 PWM 模式 1 为例。只要 TIMx_CNT < TIMx_CCRx，PWM 参考信号 OCxREF 便为高电平，否则为低电平。如果 TIMx_CCRx 中的比较值大于自动重载值（TIMx_ARR 中），则 OCxREF 保持为“1”。如果比较值为 0，则 OCxREF 保持为“0”。*图 193* 举例介绍边沿对齐模式的一些 PWM 波形 (TIMx_ARR=8)。

图 193. 边沿对齐模式的 PWM 波形 (ARR=8)



递减计数配置

当 TIMx_CR1 寄存器中的 DIR 位为高时执行递减计数。请参见*第 557 页的递减计数模式*。

在 PWM 模式 1 下，只要 TIMx_CNT>TIMx_CCRx，参考信号 ocxref 便为低电平，否则为高电平。如果 TIMx_CCRx 中的比较值大于 TIMx_ARR 中的自动重载值，则 ocxref 保持为 100%。此模式下不可能产生 PWM。

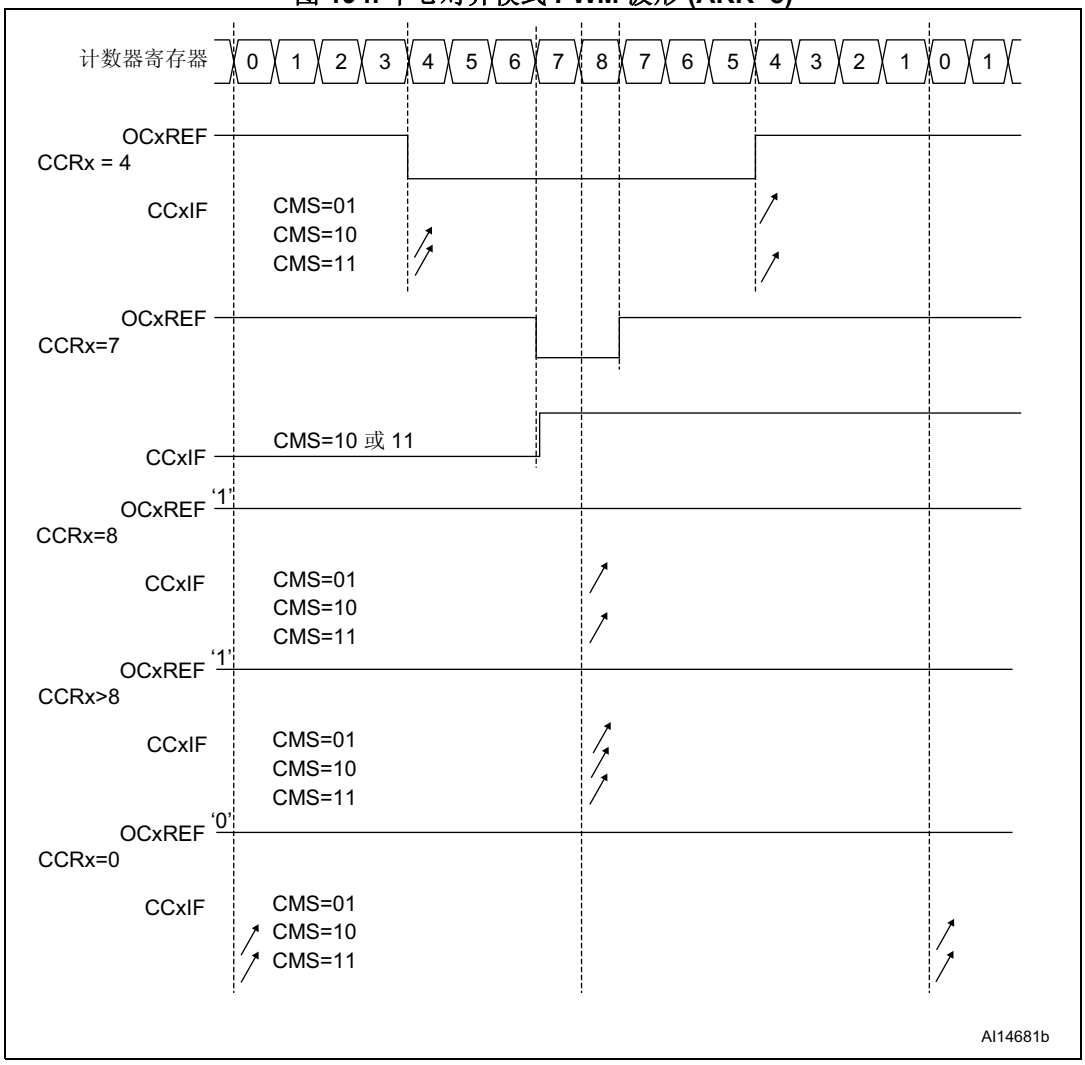
PWM 中心对齐模式

当 TIMx_CR1 寄存器中的 CMS 位不为“00”时（其余所有配置对 ocxref/OCx 信号具有相同的作用），中心对齐模式生效。根据 CMS 位的配置，可以在计数器递增计数、递减计数或同时递增和递减计数时将比较标志置 1。TIMx_CR1 寄存器中的方向位 (DIR) 由硬件更新，不得通过软件更改。请参见*第 560 页的中心对齐模式（递增/递减计数）*。

图 194 显示了中心对齐模式的 PWM 波形，在此例中：

- TIMx_ARR=8，
- PWM 模式为 PWM 模式 1，
- 在根据 TIMx_CR1 寄存器中 CMS=01 而选择的中心对齐模式 1 下，当计数器递减计数时，比较标志置 1。

图 194. 中心对齐模式 PWM 波形 (ARR=8)



中心对齐模式使用建议：

- 启动中心对齐模式时将使用当前的递增/递减计数配置。这意味着计数器将根据写入 TIMx_CR1 寄存器中 DIR 位的值进行递增或递减计数。此外，不得同时通过软件修改 DIR 和 CMS 位。
- 不建议在运行中心对齐模式时对计数器执行写操作，否则将发生意想不到的结果。尤其是：
  - 如果在计数器中写入大于自动重载值的值 (TIMx_CNT>TIMx_ARR)，则不会更新方向。例如，如果计数器之前递增计数，则继续递增计数。
  - 如果向计数器写入 0 或 TIMx_ARR 的值，计数方向会更新，但不生成更新事件 UEV。
- 使用中心对齐模式最为保险的方法是：在启动计数器前通过软件生成更新（将 TIMx_EGR 寄存器中的 UG 位置 1），并且不要在计数器运行过程中对其执行写操作。

21.3.10 不对称 PWM 模式

在不对称模式下，生成的两个中心对齐 PWM 信号间允许存在可编程相移。频率由 TIMx_ARR 寄存器的值确定，而占空比和相移则由一对 TIMx_CCRx 寄存器确定。两个寄存器分别控制递增计数和递减计数期间的 PWM，这样每半个 PWM 周期便会调节一次 PWM：

- OC1REFC（或 OC2REFC）由 TIMx_CCR1 和 TIMx_CCR2 控制
- OC3REFC（或 OC4REFC）由 TIMx_CCR3 和 TIMx_CCR4 控制

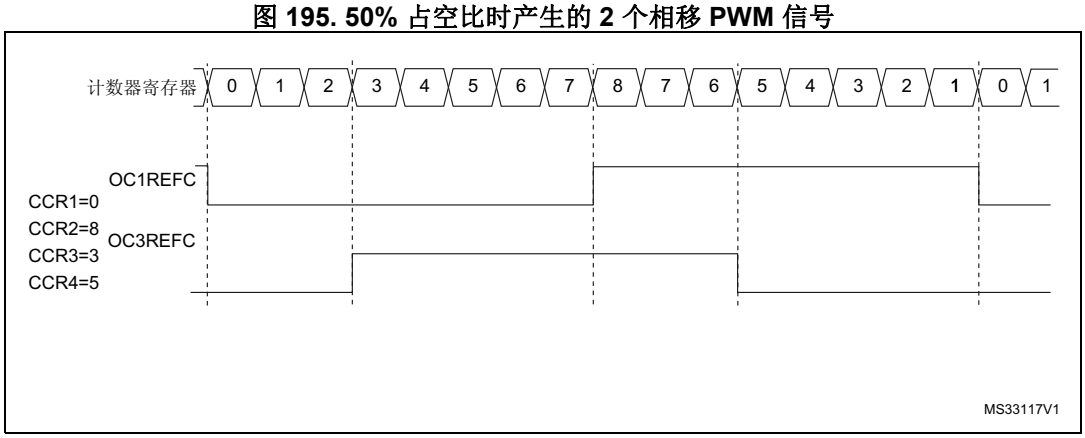
两个通道可以独立选择不对称 PWM 模式（每对 CCR 寄存器一个 OCx 输出），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“1110”（不对称 PWM 模式 1）或“1111”（不对称 PWM 模式 2）。

注： *出于兼容性原因，OCxM[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

给定通道用作不对称 PWM 通道时，也可使用其辅助通道。例如，如果通道 1 上产生 OC1REFC 信号（不对称 PWM 模式 1），则由于不对称 PWM 模式 2 的原因，通道 2 上可输出 OC2REF 信号或 OC2REFC 信号。

图 195 显示了不对称 PWM 模式下可以产生的信号示例（通道 1 到通道 4 在不对称 PWM 模式 1 下配置）。

图 195. 50% 占空比时产生的 2 个相移 PWM 信号



21.3.11 组合 PWM 模式

在组合 PWM 模式下，生成的两个边沿或中心对齐 PWM 信号的各个脉冲间允许存在可编程延时和相移。频率由 TIMx_ARR 寄存器的值确定，而占空比和延时则由两个 TIMx_CCRx 寄存器确定。产生的信号 OCxREFC 由两个参考 PWM 的逻辑或运算或者逻辑与运算组合组成。

- OC1REFC（或 OC2REFC）由 TIMx_CCR1 和 TIMx_CCR2 控制

- OC3REFC（或 OC4REFC）由 TIMx_CCR3 和 TIMx_CCR4 控制

两个通道可以独立选择组合 PWM 模式（每对 CCR 寄存器一个 OCx 输出），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“1100”（组合 PWM 模式 1）或“1101”（组合 PWM 模式 2）。

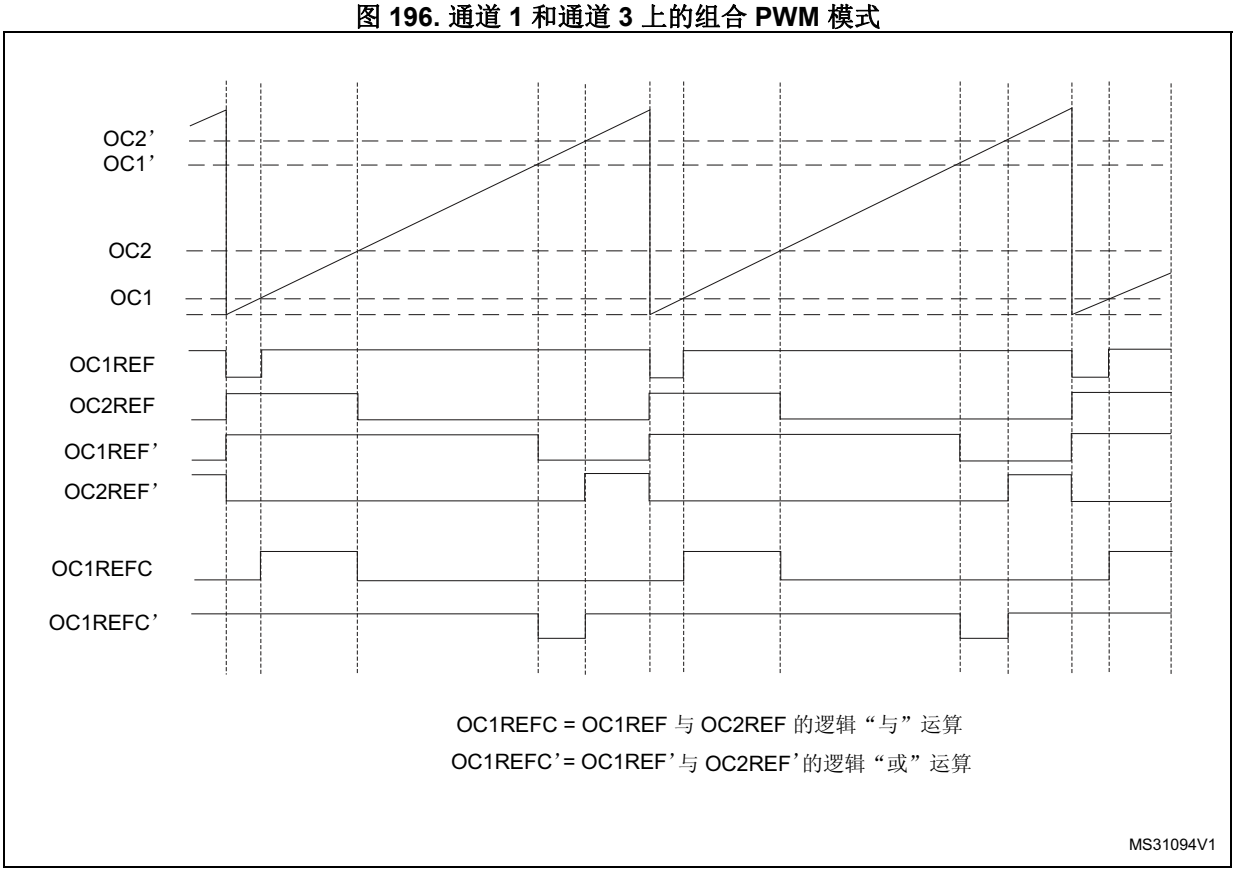
当给定通道用作组合 PWM 通道时，其辅助通道必须在相反的 PWM 模式下配置（例如，一个通道在组合 PWM 模式 1 下配置，另一个通道在组合 PWM 模式 2 下配置）。

注： *出于兼容性原因，OCxM[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

图 196 显示了不对称 PWM 模式下可以产生的信号示例，通过以下配置可获得这些信号：

- 通道 1 在组合 PWM 模式 2 下配置，
- 通道 2 在 PWM 模式 1 下配置，
- 通道 3 在组合 PWM 模式 2 下配置，
- 通道 4 在 PWM 模式 1 下配置

图 196. 通道 1 和通道 3 上的组合 PWM 模式



21.3.12 发生外部事件时清除 OCxREF 信号

对于给定通道，在 ocref_clr_int 输入上施加高电平（相应 TIMx_CCMRx 寄存器中的 OCxCE 使能位置 1），可将 OCxREF 信号清零。OCxREF 信号将保持低电平，直到发生下一更新事件 (UEV)。该功能只能在输出比较模式和 PWM 模式下使用。在强制模式下不起作用。

通过配置 TIMx_SMCR 寄存器中的 OCCS 位，可在 OCREF_CLR 输入和 ETRF（滤波器后的 ETR）之间选择 OCREF_CLR_INPUT。

对于给定通道，在 ETRF 输入施加高电平（相应 TIMx_CCMRx 寄存器中的 OCxCE 使能位置 1），可将 OCxREF 信号复位。OCxREF 信号将保持低电平，直到发生下一更新事件 (UEV)。

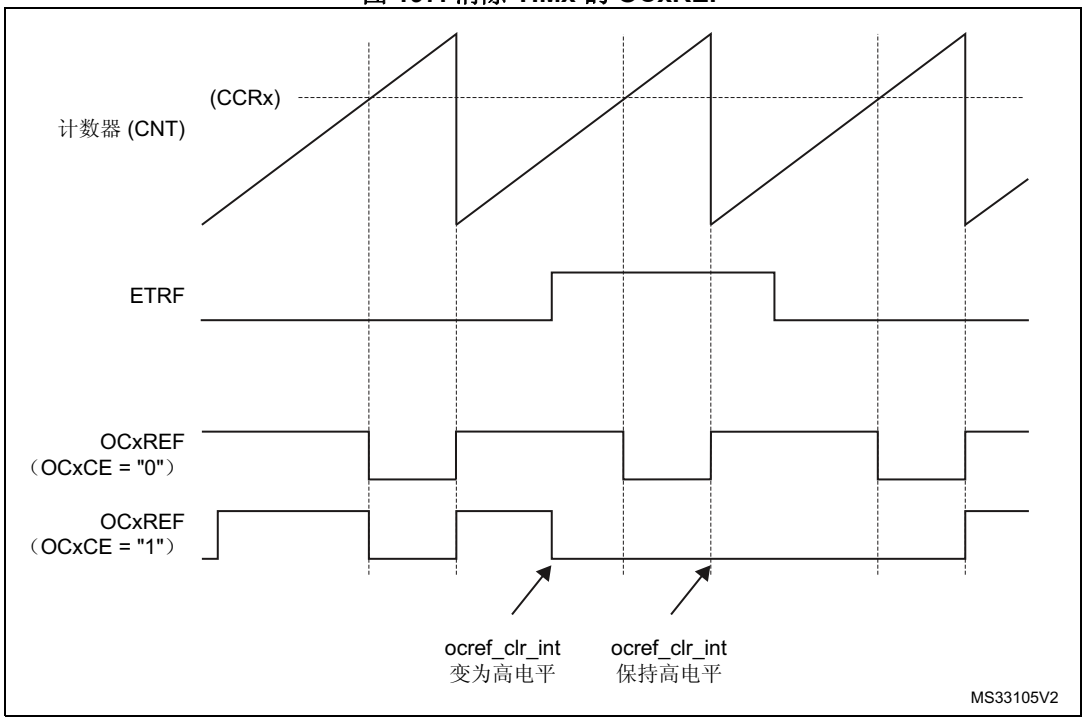
该功能只能在输出比较模式和 PWM 模式下使用。在强制模式下不起作用。

例如，OCxREF 信号可以连接到比较器的输出，用于控制电流。此时，ETR 必须配置如下：

1. 必须关闭外部触发预分频器：TIMx_SMCR 寄存器中的 ETPS[1:0] 位清为 00。
2. 必须禁止外部时钟模式 2：TIM1_SMCR 寄存器中的 ECE 位清为 0。
3. 外部触发极性 (ETP) 和外部触发滤波器 (ETF) 可根据应用需要进行配置。

图 197 对比了不同使能位 OCxCE 值的情况，显示了当 ETRF 输入变为高电平时 OCxREF 信号的行为。在本例中，定时器 TIMx 编程为 PWM 模式。

图 197. 清除 TIMx 的 OCxREF



注： *如果 PWM 的占空比为 100% (CCRx>ARR)，则下次计数器上溢时会再次使能 OCxREF。*

21.3.13 单脉冲模式

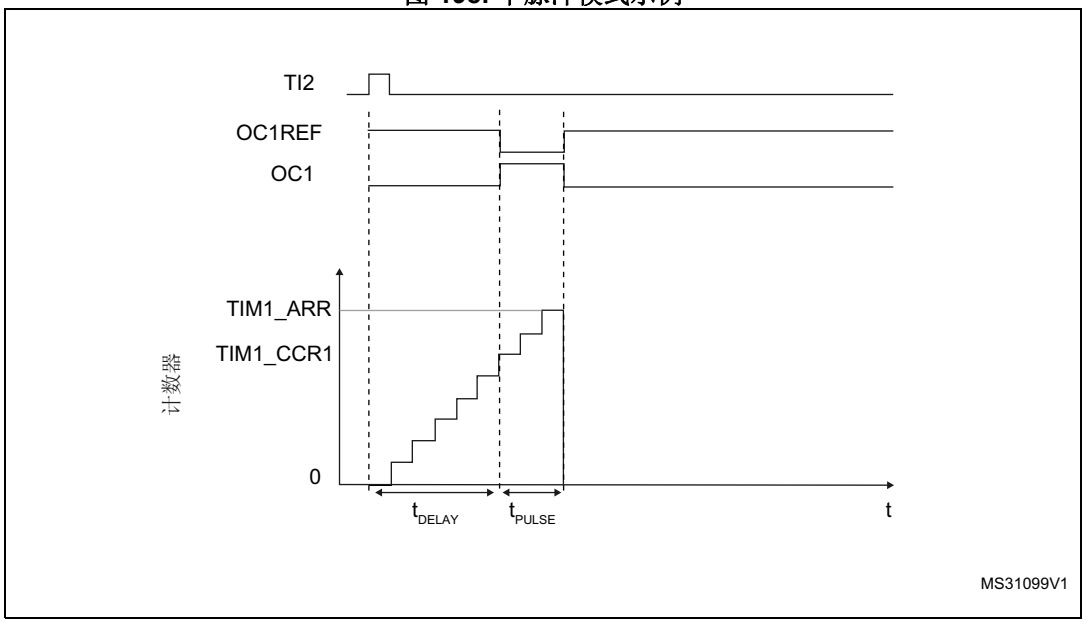
单脉冲模式 (OPM) 是上述模式的一个特例。在这种模式下，计数器可以在一个激励信号的触发下启动，并可在一段可编程的延时后产生一个脉宽可编程的脉冲。

可以通过从模式控制器启动计数器。可以在输出比较模式或 PWM 模式下生成波形。通过将 TIMx_CR1 寄存器中的 OPM 位置 1 选择单脉冲模式。这样，发生下一更新事件 UEV 时，计数器将自动停止。

只有当比较值与计数器初始值不同时，才能正确产生一个脉冲。启动前（定时器等待触发时），必须进行如下配置：

- CNT<CCRx ≤ ARR（特别注意，0 < CCRx），

图 198. 单脉冲模式示例



例如，用户希望达到这样的效果：在 TI2 输入引脚检测到正沿时，经过 t_{DELAY} 的延迟，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

使用 TI2FP2 作为触发 1：

1. 使用 TIMx_TISEL 寄存器中的 TI2SEL[3:0] 位选择正确的 TI2x 源（内部或外部）。
2. 在 TIMx_CCMR1 寄存器中写入 CC2S = 01，将 TI2FP2 映射到 TI2。
3. 在 TIMx_CCER 寄存器中写入 CC2P=0 和 CC2NP=“0”，使 TI2FP2 能够检测上升沿。
4. 在 TIMx_SMCR 寄存器中写入 TS=00110，将 TI2FP2 配置为从模式控制器的触发 (TRGI)。
5. 在 TIMx_SMCR 寄存器中写入 SMS=“110”（触发模式），使用 TI2FP2 启动计数器。

OPM 波形通过对比较寄存器执行写操作来定义（考虑时钟频率和计数器预分频器）。

- t_{DELAY} 由写入 TIMx_CCR1 寄存器的值定义。
- t_{PULSE} 由自动重载值与比较值之差 (TIMx_ARR - TIMx_CCR1) 来定义。

- 假设希望产生这样的波形：信号在发生比较匹配时从“0”变为“1”，在计数器达到自动重载值时由“1”变为“0”。为此，必须在 TIMx_CCMR1 寄存器中写入 OC1M=111，以使能 PWM 模式 2。还可选择在 TIMx_CCMR1 寄存器的 OC1PE 和 TIMx_CR1 寄存器的 ARPE 中写入 1，以使能预装载寄存器。这种情况下，必须在 TIMx_CCR1 寄存器中写入比较值并在 TIMx_ARR 寄存器中写入自动重载值，通过将 UG 位置 1 来产生更新，然后等待 TI2 上的外部触发事件。本例中，CC1P 的值为“0”。

在本例中，TIMx_CR1 寄存器中的 DIR 和 CMS 位应为低。

由于仅需要 1 个脉冲（单脉冲模式），因此应向 TIMx_CR1 寄存器的 OPM 位写入 1，以便在发生下一更新事件（计数器从自动重载值返回到 0）时使计数器停止计数。TIMx_CR1 寄存器中的 OPM 位置“0”时，即选择重复模式。

特殊情况：OCx 快速使能：

在单脉冲模式下，TIx 输入的边沿检测会将 CEN 位置 1，表示使能计数器。然后，在计数器值与比较值之间发生比较时，将切换输出。但是，完成这些操作需要多个时钟周期，这会限制可能的最小延迟（t_{DELAY} 最小值）。

如果要输出延迟时间最短的波形，可以将 TIMx_CCMRx 寄存器中的 OCxFE 位置 1。这样会强制 OCxRef（和 OCx）对激励信号做出响应，而不再考虑比较的结果。其新电平与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，OCxFE 才会起作用。

21.3.14 可再触发单脉冲模式 (OPM)

该模式允许计数器可以在一个激励信号的触发下启动，并且能产生长度可编程的脉冲，但与不可再触发单脉冲模式间存在以下差别，如*第 21.3.13 节*所述：

- 发生触发时，脉冲立即产生（无可编程延时）
- 如果在上一个触发完成前发生新的触发，脉冲将延长

定时器必须处于从模式，TIMx_SMCR 寄存器中的位 SMS[3:0] = “1000”（组合复位 + 触发模式），针对可再触发 OPM 模式 1 或模式 2 将 OCxM[3:0] 位设置为“1000”或“1001”。

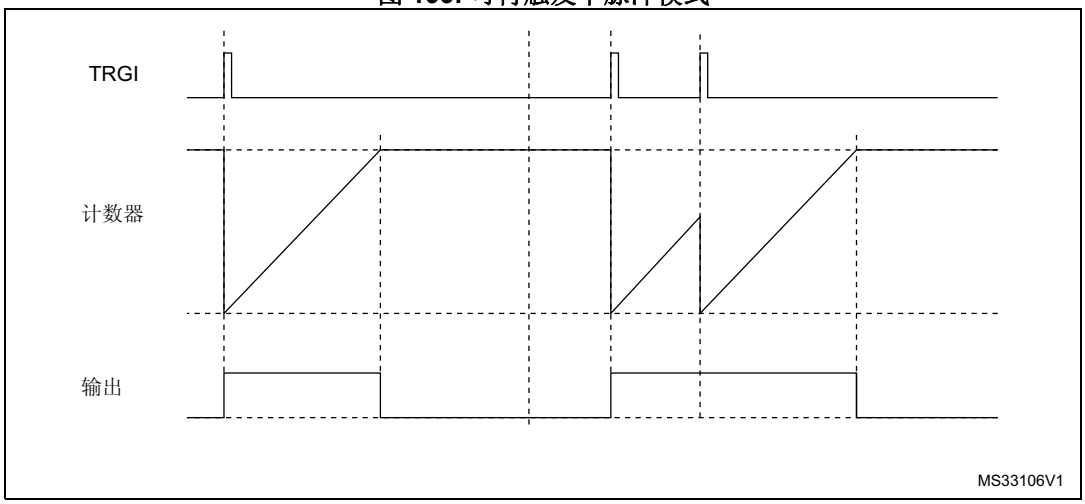
定时器配置为递增计数模式时，相应的 CCRx 必须置 0（ARR 寄存器设置脉冲长度）。如果定时器配置为递减计数模式，CCRx 必须高于或等于 ARR。

注： *在可再触发单脉冲模式下，CCxIF 标志没有意义。*

出于兼容性原因，OCxM[3:0] 和 SMS[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。

此模式不能与中心对齐 PWM 模式一起使用。在 TIMx_CR1 中必须设置 CMS[1:0] = 00。

图 199. 可再触发单脉冲模式



21.3.15 编码器接口模式

选择编码器接口模式时，如果计数器仅在 TI2 边沿处计数，在 TIMx_SMCR 寄存器中写入 SMS=001；如果计数器仅在 TI1 边沿处计数，写入 SMS=010；如果计数器在 TI1 和 TI2 边沿处均计数，则写入 SMS=011。

通过编程 TIMx_CCER 寄存器的 CC1P 和 CC2P 位，选择 TI1 和 TI2 极性。CC1NP 和 CC2NP 必须保持清零。必要时，也可以对输入滤波器进行编程。CC1NP 和 CC2NP 必须保持低电平。

TI1 和 TI2 两个输入用于连接增量编码器。请参见 *表 108*。如果使能计数器（在 TIMx_CR1 寄存器的 CEN 位中写入“1”），则计数器的时钟由 TI1FP1 或 TI2FP2 上的每次有效信号转换提供。TI1FP1 和 TI2FP2 是进行输入滤波器和极性选择后 TI1 和 TI2 的信号，如果不进行滤波和反相，则 TI1FP1=TI1，TI2FP2=TI2。将根据两个输入的信号转换序列，产生计数脉冲和方向信号。根据该信号转换序列，计数器相应递增或递减计数，同时硬件对 TIMx_CR1 寄存器的 DIR 位进行相应修改。任何输入（TI1 或 TI2）发生信号转换时，都会计算 DIR 位，无论计数器是仅在 TI1 或 TI2 边沿处计数，还是同时在 TI1 和 TI2 处计数。

编码器接口模式就相当于带有方向选择的外部时钟。这意味着，计数器仅在 0 到 TIMx_ARR 寄存器中的自动重载值之间进行连续计数（根据具体方向，从 0 递增计数到 ARR，或从 ARR 递减计数到 0）。因此必须在启动之前配置 TIMx_ARR。同样，捕获、比较、预分频器、触发输出功能继续正常工作。

在此模式下，计数器会根据正交编码器的速度和方向自动进行修改，因此，其内容始终表示编码器的位置。计数方向对应于所连传感器的旋转方向。下表汇总了可能的组合（假设 TI1 和 TI2 不同时切换）。

表 108. 计数方向与编码器信号的关系

有效边沿	相反信号的电平（TI1FP1 对应 TI2，TI2FP2 对应 TI1）	TI1FP1 信号		TI2FP2 信号	
		上升	下降	上升	下降
仅在 TI1 处计数	高	递减	递增	不计数	不计数
	低	递增	递减	不计数	不计数
仅在 TI2 处计数	高	不计数	不计数	递增	递减
	低	不计数	不计数	递减	递增
在 TI1 和 TI2 处均计数	高	递减	递增	递增	递减
	低	递增	递减	递减	递增

外部增量编码器可直接与 MCU 相连，无需外部接口逻辑。不过，通常使用比较器将编码器的差分输出转换为数字信号。这样大幅提高了抗噪声性能。用于指示机械零位的第三个编码器输出可与外部中断输入相连，用以触发计数器复位。

图 200 以计数器工作为例，说明了计数信号的生成和方向控制。同时也说明了选择双边沿时如何对输入抖动进行补偿。将传感器靠近其中一个切换点放置时可能出现这种情况。本例中假设配置如下：

- CC1S=01（TIMx_CCMR1 寄存器，TI1FP1 映射到 TI1 上）
- CC2S=01（TIMx_CCMR2 寄存器，TI2FP2 映射到 TI2 上）
- CC1P 和 CC1NP = “0”（TIMx_CCER 寄存器，TI1FP1 未反相，TI1FP1=TI1）
- CC2P 和 CC2NP = “0”（TIMx_CCER 寄存器，TI2FP2 未反相，TI2FP2= TI2）
- SMS=011（TIMx_SMCR 寄存器，两个输入在上升沿和下降沿均有效）
- CEN = 1（TIMx_CR1 寄存器，使能计数器）

图 200. 编码器接口模式下的计数器工作示例

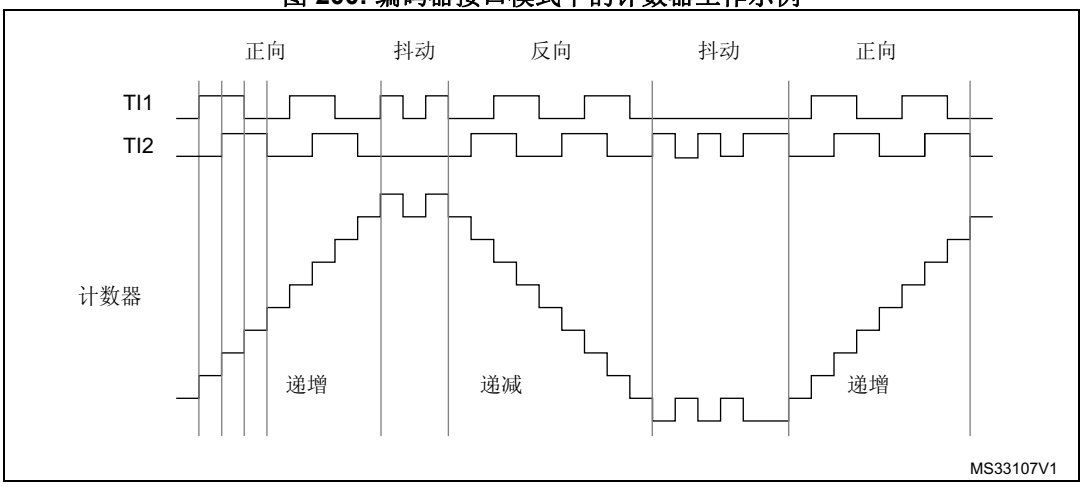
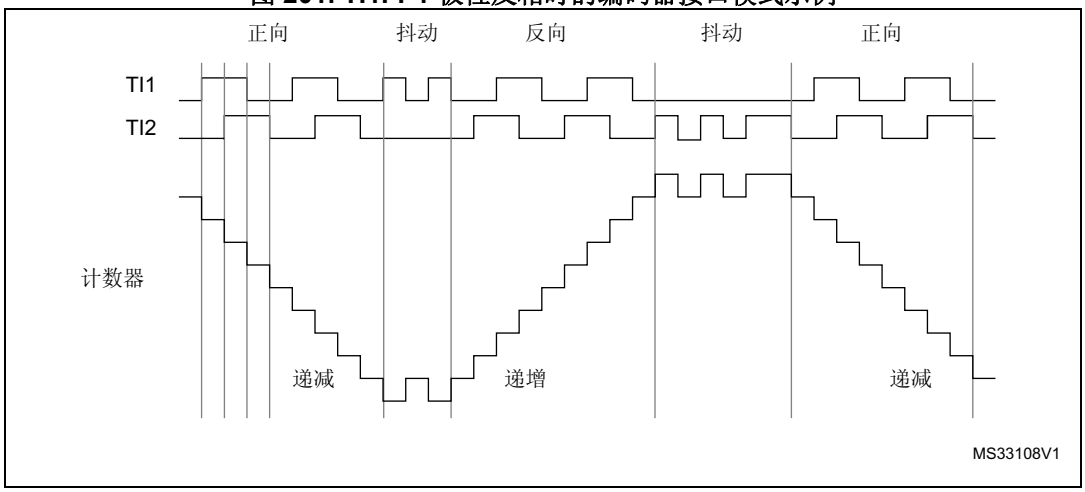


图 201 说明了 TI1FP1 极性反相时的计数器行为示例（除 CC1P=1 外，其他配置与上例相同）。

图 201. TI1FP1 极性反相时的编码器接口模式示例



定时器配置为编码器接口模式时，会提供传感器当前位置的相关信息。使用另一个配置为捕获模式的定时器测量两个编码器事件之间的周期，可获得动态信息（速度、加速度和减速度）。指示机械零位的编码器输出即可用于此目的。根据两个事件之间的时间间隔，还可定期读取计数器。如果可能，可以将计数器值锁存到第三个输入捕获寄存器来实现此目的（捕获信号必须为周期性信号，可以由另一个定时器产生）。此外，还可以通过实时时钟产生的 DMA 请求读取计数器值。

21.3.16 UIF 位重映射

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 (UIF) 连续复制到定时计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化角速度的计算。

UIF 和 UIFCPY 标志使能之间没有延迟。

在 32 位定时器实现中，当 IUFREMAP 位置 1 时，计数器的位 31 在读访问时由 UIFCPY 标志覆盖（计数器的最高有效位只能在写模式下访问）。

21.3.17 定时器输入异或功能

借助 TIM1xx_CR2 寄存器中的 TI1S 位，可将通道 1 的输入滤波器连接到异或门的输出，从而将 TIMx_CH1 到 TIMx_CH3 这三个输入引脚组合在一起。

异或输出可与触发或输入捕获等所有定时器输入功能配合使用。

*第 504 页的第 20.3.25 节：连接霍尔传感器*以连接霍尔传感器为例介绍了此功能。

21.3.18 定时器与外部触发同步

TIMx 定时器可与外部触发以下列模式实现同步：复位模式、门控模式和触发模式。

从模式：复位模式

当触发输入信号发生变化时，计数器及其预分频器可重新初始化。此外，如果 TIMx_CR1 寄存器中的 URS 位为0，则会生成更新事件 UEV。然后，所有预装载寄存器（TIMx_ARR 和 TIMx_CCRx）都将更新。

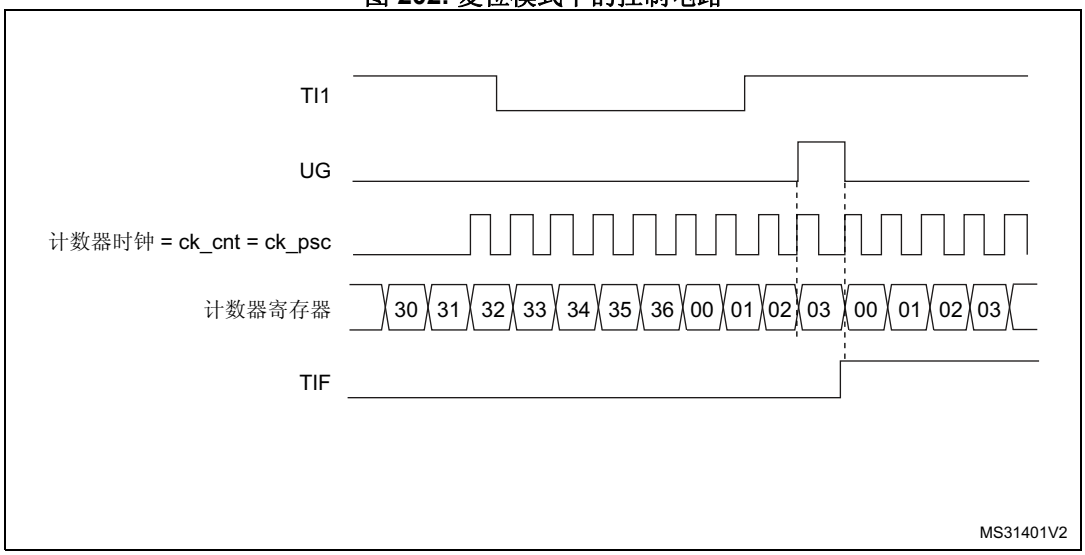
在以下示例中，TI1 输入上出现上升沿时，递增计数器清零：

1. 将通道 1 配置为检测 TI1 的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S = 01。在 TIMx_CCER 寄存器中写入 CC1P=0 和 CC1NP=0，验证极性（仅检测上升沿）。
2. 在 TIMx_SMCR 寄存器中写入 SMS=100，将定时器配置为复位模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
3. 在 TIMx_CR1 寄存器中写入 CEN=1，启动计数器。

计数器开始根据内部时钟计数，然后正常运转，直到出现 TI1 上升沿。当 TI1 出现上升沿时，计数器清零，然后重新从 0 开始计数。同时，触发标志（TIMx_SR 寄存器中的 TIF 位）置 1，使能中断或 DMA 后，还可发送中断或 DMA 请求（取决于 TIMx_DIER 寄存器中的 TIE 和 TDE 位）。

下图显示了自动重载寄存器 TIMx_ARR=0x36 时的相关行为。TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 202. 复位模式下的控制电路



从模式：门控模式

输入信号的电平可用来使能计数器。

在以下示例中，递增计数器仅在 TI1 输入为低电平时计数：

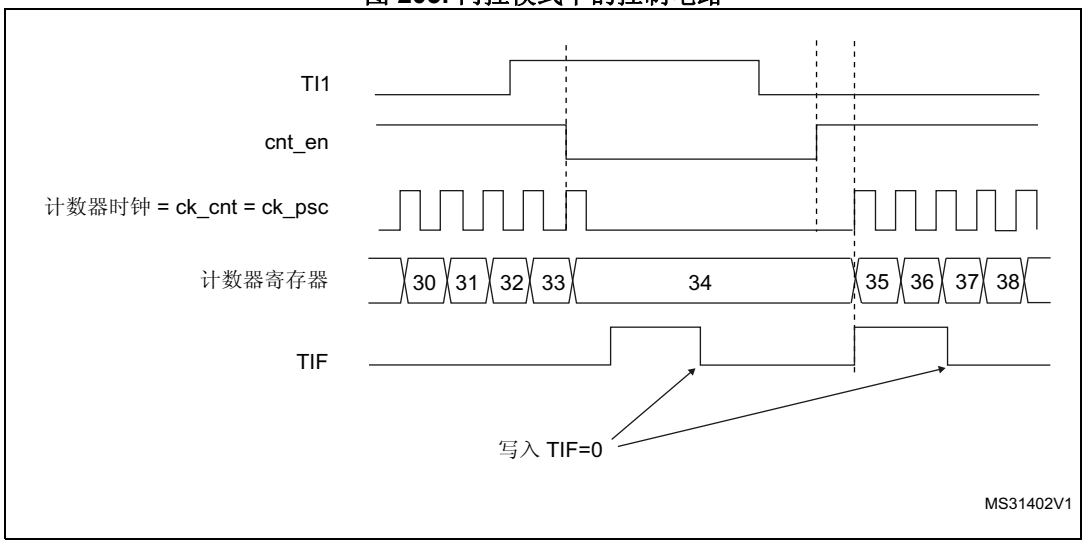
1. 将通道 1 配置为检测 TI1 上的低电平。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S=01。在 TIMx_CCER 寄存器中写入 CC1P=1 和 CC1NP=0，以确定极性（仅检测低电平）。

2. 在 TIMx_SMCR 寄存器中写入 SMS=101，将定时器配置为门控模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
3. 在 TIMx_CR1 寄存器中写入 CEN=1，使能计数器（在门控模式下，如果 CEN=0，则无论触发输入电平如何，计数器都不启动）。

只要 TI1 为低电平，计数器就开始根据内部时钟计数，直到 TI1 变为高电平时停止计数。计数器启动或停止时，TIMx_SR 寄存器中的 TIF 标志都会置 1。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 203. 门控模式下的控制电路



1. 由于门控模式作用于电平而非边沿，因此在门控模式下，“CCxP=CCxNP=1”（同时检测上升沿和下降沿）不发挥任何作用。

注： *由于门控模式作用于电平而非边沿，因此在门控模式下，“CCxP=CCxNP=1”（同时检测上升沿和下降沿）不发挥任何作用。*

从模式：触发模式

所选输入上发生某一事件时可以启动计数器。

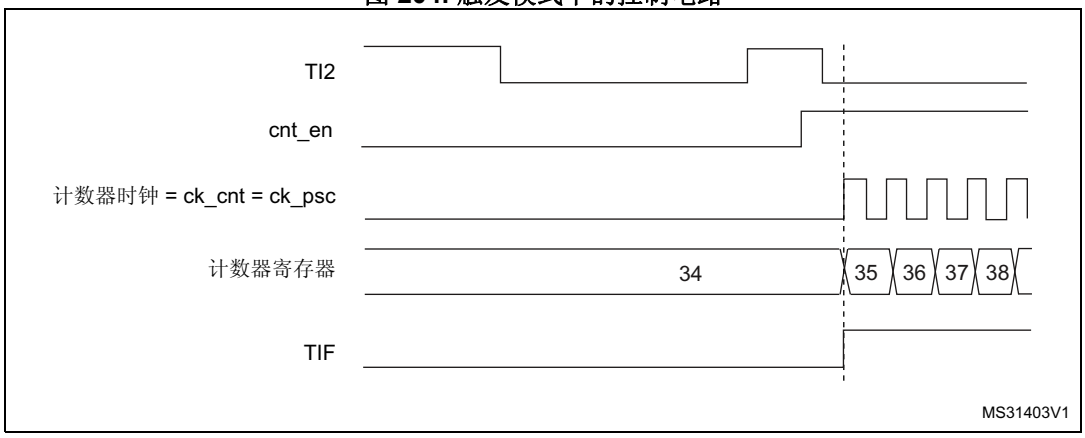
在以下示例中，TI2 输入上出现上升沿时，递增计数器启动：

1. 将通道 2 配置为检测 TI2 上的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC2F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC2S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC2S=01。在 TIMx_CCER 寄存器中写入 CC2P=1 和 CC2NP=0，以确定极性（仅检测低电平）。
2. 在 TIMx_SMCR 寄存器中写入 SMS=110，将定时器配置为触发模式。在 TIMx_SMCR 寄存器中写入 TS=00110，选择 TI2 作为输入源。

当 TI2 出现上升沿时，计数器开始根据内部时钟计数，并且 TIF 标志置 1。

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 204. 触发模式下的控制电路



从模式：外部时钟模式 2 + 触发模式

外部时钟模式 2 可与另一种从模式（外部时钟模式 1 和编码器模式除外）结合使用。这种情况下，ETR 信号用作外部时钟输入，在复位模式、门控模式或触发模式下工作时，可选择另一个输入作为触发输入。不建议通过 TIMx_SMCR 寄存器中的 TS 位来选择 ETR 作为 TRGI。

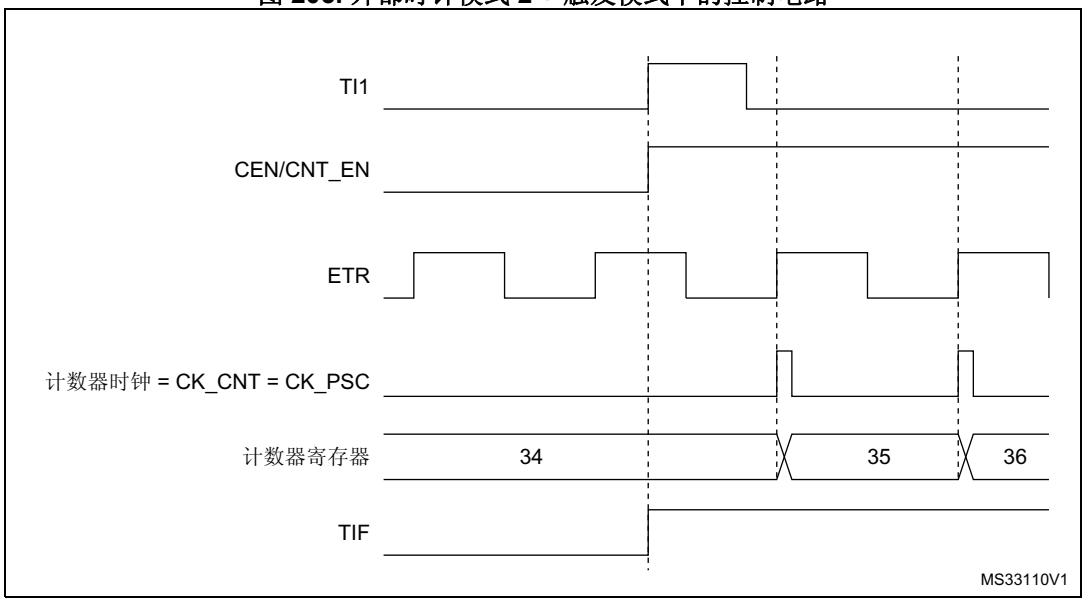
在以下示例中，只要 TI1 出现上升沿，递增计数器即会在 ETR 信号的每个上升沿处递增：

1. 通过对 TIMx_SMCR 寄存器进行如下编程，配置外部触发输入电路：
   - ETF = 0000：无滤波器
   - ETPS = 00：禁止预分频器
   - ETP = 0：检测 ETR 的上升沿，并写入 ECE=1，以使能外部时钟模式 2。
2. 如下配置通道 1，以检测 TI 的上升沿：
   - IC1F=0000：无滤波器。
   - 由于捕获预分频器不用于触发操作，因此无需对其进行配置。
   - TIMx_CCMR1 寄存器中 CC1S=01，只选择输入捕获源。
   - TIMx_CCER 寄存器中 CC1P=0 且 CC1NP= 0，以确定极性（仅检测上升沿）。
3. 在 TIMx_SMCR 寄存器中写入 SMS=110，将定时器配置为触发模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。

TI1 出现上升沿时将使能计数器并且 TIF 标志置 1。然后计数器在 ETR 出现上升沿时计数。

ETR 信号的上升沿与实际计数器复位之间的延迟是由于 ETRP 输入的重新同步电路引起的。

图 205. 外部时钟模式 2 + 触发模式下的控制电路

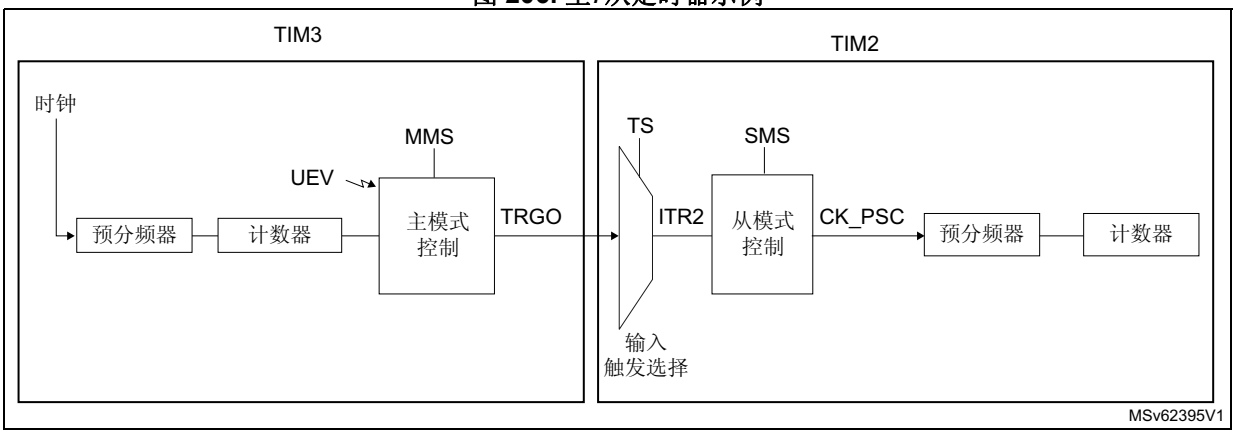


21.3.19 定时器同步

TIMx 定时器从内部连接在一起，以实现定时器同步或链接。当某个定时器配置为主模式时，可对另一个配置为从模式的定时器的计数器执行复位、启动、停止操作或为其提供时钟。

*图 206：主/从定时器示例*简要介绍了触发选择和主模式选择框图。

图 206. 主/从定时器示例



将一个定时器用作另一个定时器的预分频器

例如，可以将 TIM3 配置为 TIM2 的预分频器。请参见*图 206*。为此：

1. 将 TIM3 配置为主模式，以便每次发生更新事件 UEV 时都输出一个周期性触发信号。如果在 TIM3_CR2 寄存器中写入 MMS=010，则每次生成更新事件时，TRGO 都会输出一个上升沿。
2. 要将 TIM3 的 TRGO 输出连接到 TIM2，必须将 TIM2 配置为从模式，使用 ITR2 作为内部触发。通过 TIM2_SMCR 寄存器中的 TS 位（写入 TS=00010）可对此进行选择。
3. 然后必须将从模式控制器设为外部时钟模式 1（在 TIM2_SMCR 寄存器中写入 SMS=111）。这样一来，TIM2 的时钟将由 TIM3 周期性触发信号的上升沿（与 TIM3 的计数器上溢对应）提供。
4. 最后必须通过将这两个定时器的相应 CEN 位（TIMx_CR1 寄存器）置 1 同时使能二者。

注： *如果选择 TIM3 的 OCx 信号作为触发输出 (MMS=1xx)，该信号的上升沿将用于驱动 TIM2 的计数器。*

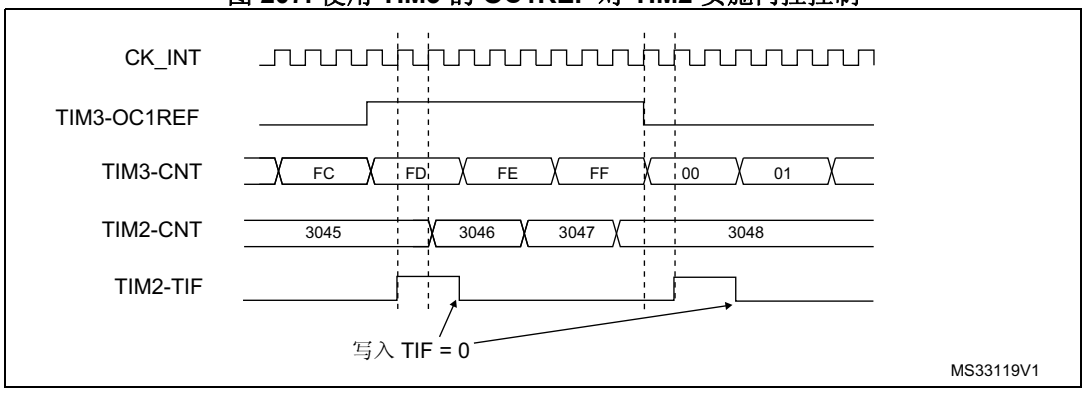
使用一个定时器使能另一个定时器

本例中通过定时器 3 的输出比较 1 来使能 TIM2。相关连接图，请参见*图 206*。仅当 TIM3 的 OC1REF 为高电平时，TIM2 才根据分频后的内部时钟进行计数。两个计数器的时钟频率都基于 CK_INT 通过预分频器执行 3 分频 ($f_{CK\_CNT} = f_{CK\_INT}/3$)。

1. 将 TIM3 配置为主模式，发送其输出比较 1 参考信号 (OC1REF) 作为触发输出（TIM3_CR2 寄存器中的 MMS=100）。
2. 配置 TIM3 的 OC1REF 波形（TIM3_CCMR1 寄存器）。
3. 配置 TIM2 以接收来自 TIM3 的输入触发（TIM2_SMCR 寄存器中的 TS=00010）。
4. 将 TIM2 配置为门控模式（TIM2_SMCR 寄存器中的 SMS=101）。
5. 通过向 CEN 位（TIM2_CR1 寄存器）写入“1”使能 TIM2。
6. 通过向 CEN 位（TIM3_CR1 寄存器）写入“1”启动 TIM3。

注： *计数器 2 的时钟与计数器 1 不同步，此模式仅影响 TIM2 的计数器使能信号。*

图 207. 使用 TIM3 的 OC1REF 对 TIM2 实施门控控制

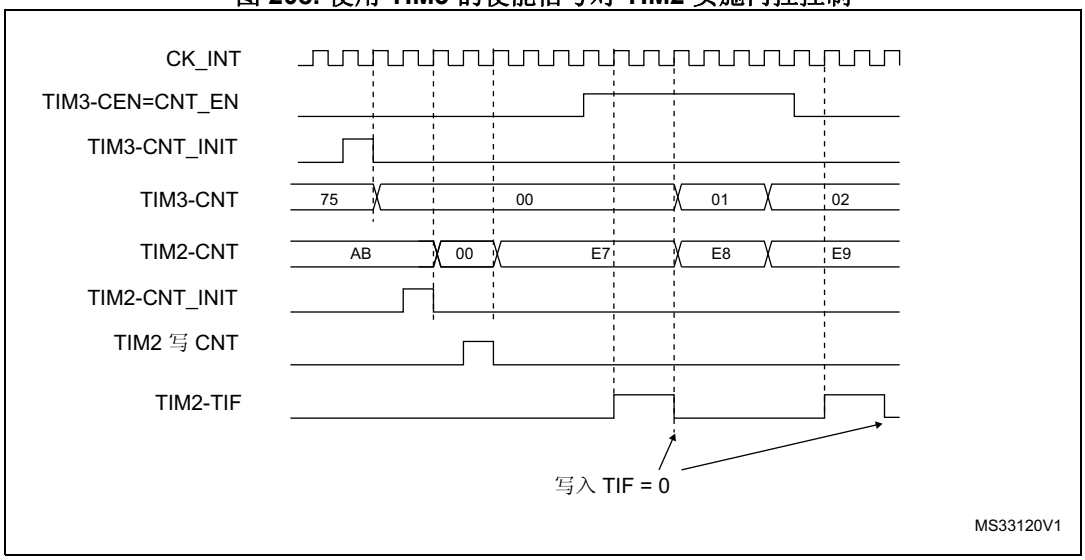


在*图 207* 的示例中，TIM2 的计数器和预分频器在启动前未进行初始化。因此从各自的当前值开始计数。启动定时器 TIM3 之前，通过复位这两个定时器可以从指定值开始计数。然后可以在定时器计数器中写入任意值。两个定时器都可通过软件使用 TIMx_EGR 寄存器中的 UG 位轻松复位。

在下一示例中（请参见*图 208*），TIM3 与 TIM2 同步。TIM3 为主模式，从 0 开始计数。TIM2 为从模式，从 0xE7 开始计数。两个定时器的预分频比相同。通过向 TIM3_CR1 寄存器中的 CEN 位写入“0”来禁止 TIM3 时，TIM2 将停止：

1. 将 TIM3 配置为主模式，发送其输出比较 1 参考信号 (OC1REF) 作为触发输出（TIM3_CR2 寄存器中的 MMS=100）。
2. 配置 TIM3 的 OC1REF 波形（TIM3_CCMR1 寄存器）。
3. 配置 TIM2 以接收来自 TIM3 的输入触发（TIM2_SMCR 寄存器中的 TS=00010）。
4. 将 TIM2 配置为门控模式（TIM2_SMCR 寄存器中的 SMS=101）。
5. 通过向 UG 位（TIM3_EGR 寄存器）写入“1”复位 TIM3。
6. 通过向 UG 位（TIM2_EGR 寄存器）写入“1”复位 TIM2。
7. 通过在 TIM2 的计数器 (TIM2_CNTL) 中写入“0xE7”使 TIM2 初始化为 0xE7。
8. 通过向 CEN 位（TIM2_CR1 寄存器）写入“1”使能 TIM2。
9. 通过向 CEN 位（TIM3_CR1 寄存器）写入“1”启动 TIM3。
10. 通过向 CEN 位（TIM3_CR1 寄存器）写入“0”停止 TIM3。

图 208. 使用 TIM3 的使能信号对 TIM2 实施门控控制

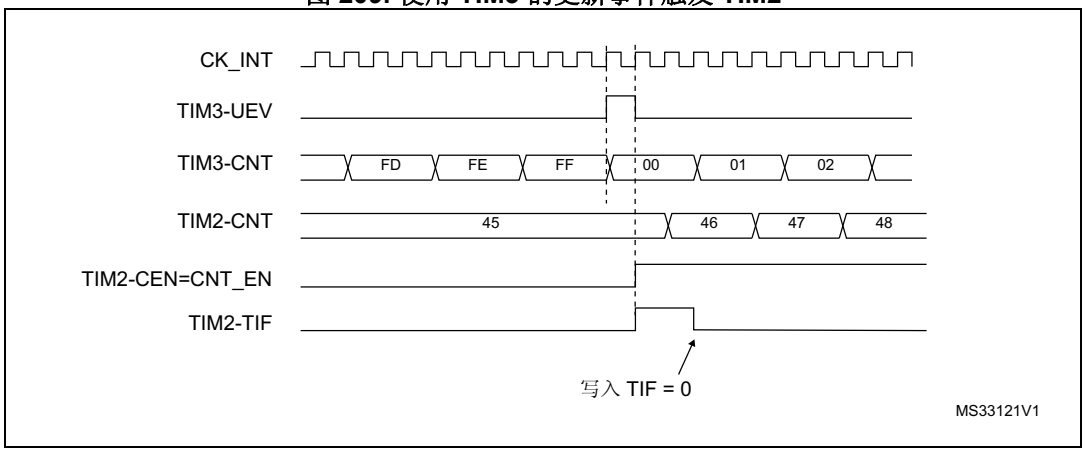


使用一个定时器启动另一个定时器

本例中，使用定时器 3 的更新事件使能定时器 2。相关连接图，请参见*图 206*。只要定时器 3 生成更新事件，定时器 2 便根据分频后的内部时钟从当前值（可以不为 0）开始计数。定时器 2 收到触发信号时，其 CEN 位自动置 1，并且计数器开始计数，直到向 TIM2_CR1 寄存器的 CEN 位写入“0”后停止计数。两个计数器的时钟频率都基于 CK_INT 通过预分频器执行 3 分频 ($f_{CK\_CNT} = f_{CK\_INT}/3$)。

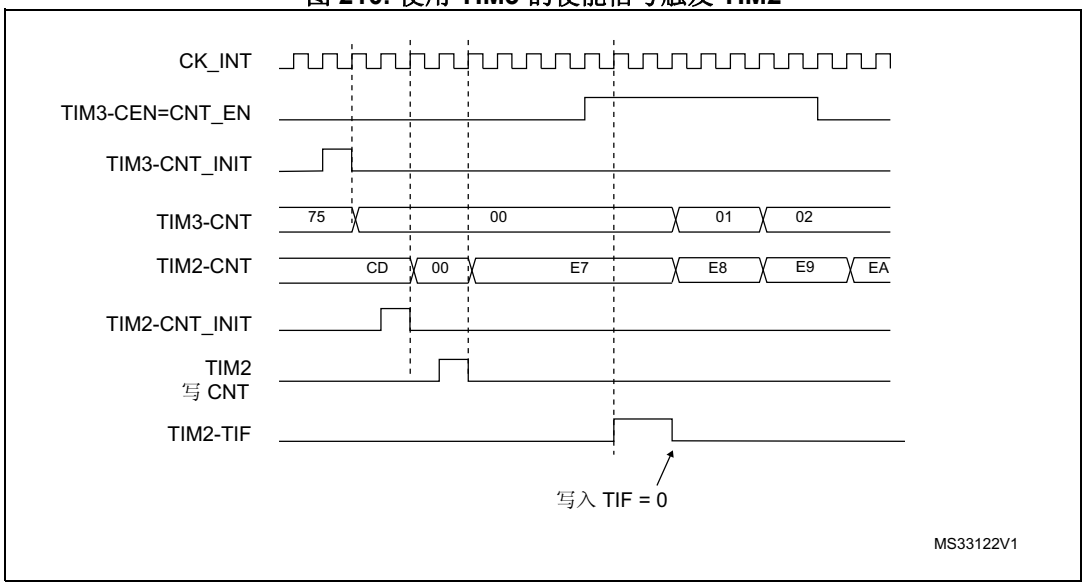
1. 将 TIM3 配置为主模式，发送其更新事件 (UEV) 作为触发输出（TIM3_CR2 寄存器中的 MMS=010）。
2. 配置 TIM3 的周期（TIM3_ARR 寄存器）。
3. 配置 TIM2 以接收来自 TIM3 的输入触发（TIM2_SMCR 寄存器中的 TS=00010）。
4. 将 TIM2 配置为触发模式（TIM2_SMCR 寄存器中的 SMS=110）。
5. 通过向 CEN 位（TIM3_CR1 寄存器）写入“1”启动 TIM3。

图 209. 使用 TIM3 的更新事件触发 TIM2



如上述示例所示，用户可以在开始计数之前初始化两个计数器。*图 210* 显示了与*图 209* 具有相同配置，只不过处于触发模式（TIM2_SMCR 寄存器中的 SMS=110）而非门控模式的计数行为。

图 210. 使用 TIM3 的使能信号触发 TIM2



使用一个外部触发同步启动 2 个定时器

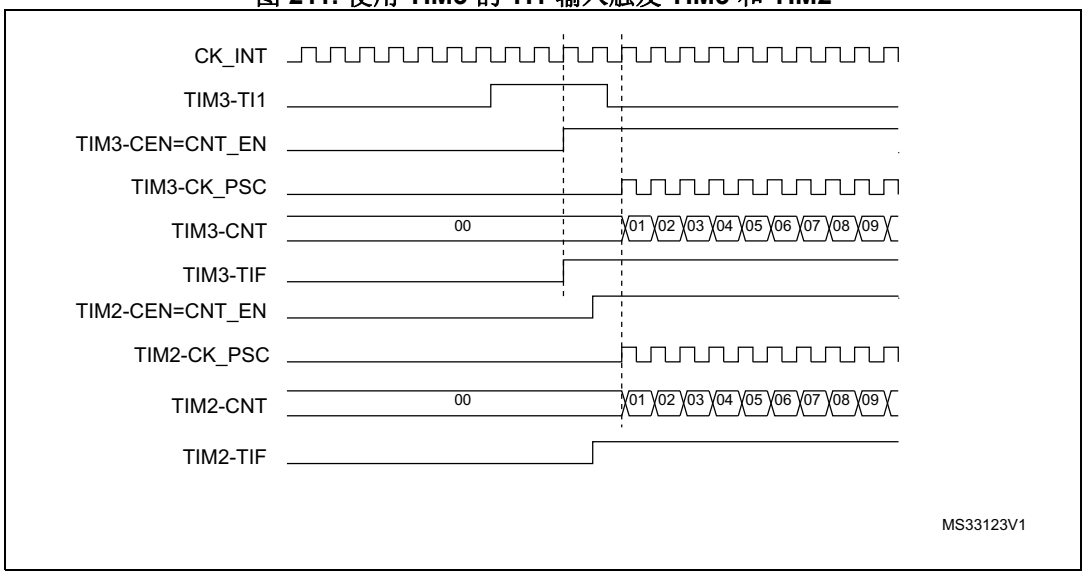
本例中，TIM3 的 TI1 输入出现上升沿时使能 TIM2，使能 TIM3 的同时使能 TIM3。相关连接图，请参见*图 206*。要确保计数器对齐，TIM3 必须配置为主/从模式（对于TI1而言，TIM3为从；对于TIM2 而言，TIM3 为主）：

1. 将 TIM3 配置为主模式，发送其使能信号作为触发输出（TIM3_CR2 寄存器中的 MMS=001）。
2. 将 TIM3 配置为从模式以接收来自 TI1 的输入触发（TIM3_SMCR 寄存器中的 TS=00100）。
3. 将 TIM3 配置为触发模式（TIM3_SMCR 寄存器中的 SMS=110）。
4. 通过写入 MSM=1（TIM3_SMCR 寄存器）将 TIM3 配置为主/从模式。
5. 配置 TIM2 以接收来自 TIM3 的输入触发（TIM2_SMCR 寄存器中的 TS=00000）。
6. 将 TIM2 配置为触发模式（TIM2_SMCR 寄存器中的 SMS=110）。

当 TI1 (TIM3) 出现上升沿时，两个计数器开始根据内部时钟同步计数，并且两个 TIF 标志都置 1。

注：本例中，两个定时器都在启动之前进行了初始化（通过将各自的 UG 位置 1）。两个计数器都从 0 开始计数，但可以通过对任意一个计数器寄存器 (TIMx_CNT) 进行写操作，在二者之间轻松插入一个偏移量。可注意到主/从模式在 TIM3 的 CNT_EN 与 CK_PSC 之间产生了延迟。

图 211. 使用 TIM3 的 TI1 输入触发 TIM3 和 TIM2



注：必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

21.3.20 DMA 连续传送模式

TIMx 定时器能够根据一个事件生成多个 DMA 请求。主要目的是能够对定时器的一部分多次重新编程而无需软件开销，但也可用于定期读取一行中的多个寄存器。

DMA 控制器目标唯一，必须指向虚拟寄存器 TIMx_DMAR。发生给定的定时器事件时，定时器会启动 DMA 请求序列（突发）。每次写入 TIMx_DMAR 寄存器都会重定向到其中一个定时器寄存器。

TIMx_DCR 寄存器中的 DBL[4:0] 位设置 DMA 连续传送长度。当对 TIMx_DMAR 地址进行读或写访问时，定时器进行一次连续传送，即传送次数（按半字或字节）。

TIMx_DCR 寄存器中的 DBA[4:0] 位定义 DMA 传送的 DMA 基址（通过 TIMx_DMAR 地址执行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量：

示例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

例如，定时器 DMA 连续传送功能用于在发生更新事件后将 CCRx 寄存器（x = 2、3、4）的内容更新为通过 DMA 传输到 CCRx 寄存器中的多个半字。

具体操作步骤如下：

1. 将相应的 DMA 通道配置如下：
   - DMA 通道外设地址为 DMAR 寄存器地址
   - DMA 通道存储器地址为包含要通过 DMA 传输到 CCRx 寄存器的数据的 RAM 缓冲区地址。
   - 要传输的数据量 = 3（参见下文注释）。
   - 禁止循环模式。
2. 通过将 DBA 和 DBL 位域配置如下来配置 DCR 寄存器：
   DBL = 3 次传输，DBA = 0xE。
3. 使能 TIMx 更新 DMA 请求（DIER 寄存器中的 UDE 位置 1）。
4. 使能 TIMx
5. 使能 DMA 通道

本例适用于每个 CCRx 寄存器必须更新一次的情况。如果每个 CCRx 寄存器要更新两次，则要传输的数据量应为 6。下面以包含 data1、data2、data3、data4、data5 和 data6 的 RAM 缓冲区为例。数据将按照如下方式传输到 CCRx 寄存器：在第一个更新 DMA 请求期间，data1 传输到 CCR2，data2 传输到 CCR3，data3 传输到 CCR4；在第二个更新 DMA 请求期间，data4 传输到 CCR2，data5 传输到 CCR3，data6 传输到 CCR4。

注： *可以将空值写入保留的寄存器中。*

21.3.21 调试模式

当微控制器进入调试模式时（Cortex®-M0+ 内核停止），TIMx 计数器会根据 DBGMCU 模块中的 DBG_TIMx_STOP 配置位选择继续正常工作或者停止工作。有关详细信息，请参见 *第 37.9.2 节：对定时器、看门狗和 I²C 的调试支持*。

21.4 TIM2/TIM3 寄存器

有关寄存器说明中使用的缩写，请参见*第 1.2 节*。

外设寄存器可支持半字（16 位）或字（32 位）访问。

21.4.1 TIMx 控制寄存器 1 (TIMx_CR1)（x = 2 到 3）

TIMx control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
				rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)
0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。
1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10 保留，必须保持复位值。

位 9:8 **CKD[1:0]**：时钟分频 (Clock division)
此位域指示定时器时钟 (CK_INT) 频率与数字滤波器（ETR、TIx）所使用的采样时钟之间的分频比，
00：$t_{DTS} = t_{CK\_INT}$
01：$t_{DTS} = 2 \times t_{CK\_INT}$
10：$t_{DTS} = 4 \times t_{CK\_INT}$
11：保留

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)
0：TIMx_ARR 寄存器不进行缓冲
1：TIMx_ARR 寄存器进行缓冲

位 6:5 **CMS[1:0]**：中心对齐模式选择 (Center-aligned mode selection)
00：边沿对齐模式。计数器根据方向位 (DIR) 递增计数或递减计数。
01：中心对齐模式 1。计数器交替进行递增计数和递减计数。仅当计数器递减计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志才置 1。
10：中心对齐模式 2。计数器交替进行递增计数和递减计数。仅当计数器递增计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志才置 1。
11：中心对齐模式 3。计数器交替进行递增计数和递减计数。当计数器递增计数或递减计数时，配置为输出的通道（TIMx_CCMRx 寄存器中的 CCxS=00）的输出比较中断标志都会置 1。
注： 只要计数器处于使能状态 (CEN=1)，就不得从边沿对齐模式切换为中心对齐模式。

位 4 **DIR**：方向 (Direction)
0：计数器递增计数
1：计数器递减计数
注： 当定时器配置为中心对齐模式或编码器模式时，该位为只读状态。

位 3 **OPM**：单脉冲模式 (One-pulse mode)
0：计数器在发生更新事件时不会停止计数
1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）

位 2 **URS**：更新请求源 (Update request source)

此位由软件置 1 和清零，用以选择 UEV 事件源。

0：使能时，所有以下事件都会产生更新中断或 DMA 请求。此类事件包括：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

1：使能时，只有计数器上溢/下溢会生成更新中断或 DMA 请求。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止 UEV 事件生成。

0：使能 UEV。更新 (UEV) 事件可通过以下事件之一生成：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

然后更新影子寄存器的值。

1：禁止 UEV。不会生成更新事件，各影子寄存器的值（ARR、PSC 和 CCRx）保持不变。但如果将 UG 位置 1，或者从从模式控制器接收到硬件复位，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： 只有事先通过软件将 CEN 位置 1，才可以使用外部时钟、门控模式和编码器模式。而触发模式可通过硬件自动将 CEN 位置 1。

在单脉冲模式下，当发生更新事件时会自动将 CEN 位清零。

21.4.2 TIMx 控制寄存器 2 (TIMx_CR2)（x = 2 到 3）

TIMx control register 2

偏移地址：0x04

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1S	MMS[2:0]			CCDS	Res.	Res.	Res.
								rw	rw	rw	rw	rw			

位 15:8 保留，必须保持复位值。

位 7 **TI1S**：TI1 选择 (TI1 selection)

0：TIMx_CH1 引脚连接到 TI1 输入

1：TIMx_CH1、CH2 和 CH3 引脚连接到 TI1 输入（异或组合）。另请参见*第 504 页的第 20.3.25 节：连接霍尔传感器*

位 6:4 **MMS[2:0]**：主模式选择 (Master mode selection)

这些位可选择主模式下将要发送到从定时器以实现同步的信息 (TRGO)。这些位的组合如下：

000：**复位**——TIMx_EGR 寄存器中的 UG 位用作触发输出 (TRGO)。如果复位由触发输入生成（从模式控制器配置为复位模式），则 TRGO 上的信号相比实际复位会有延迟。

001：**使能**——计数器使能信号 CNT_EN 用作触发输出 (TRGO)。该触发输出可用于同时启动多个定时器，或者控制在一段时间内使能从定时器。计数器使能信号由 CEN 控制位与门控模式下的触发输入的逻辑与运算组合而成。

当计数器使能信号由触发输入控制时，TRGO 上会存在延迟，选择主/从模式时除外（请参见 TIMx_SMCR 寄存器中 MSM 位的说明）。

010：**更新**——选择更新事件作为触发输出 (TRGO)。例如，主定时器可用作从定时器的预分频器。

011：**比较脉冲**——一旦发生输入捕获或比较匹配事件，当 CC1IF 标志被置 1 时（即使已为高电平），触发输出都会发送一个正脉冲。(TRGO)

100：**比较**——OC1REF 信号用作触发输出 (TRGO)

101：**比较**——OC2REF 信号用作触发输出 (TRGO)

110：**比较**——OC3REF 信号用作触发输出 (TRGO)

111：**比较**——OC4REF 信号用作触发输出 (TRGO)

注： 必须先使能从定时器或 ADC 的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改从定时器或 ADC 的时钟。

位 3 **CCDS**：捕获/比较 DMA 选择 (Capture/compare DMA selection)

0：发生 CCx 事件时发送 CCx DMA 请求

1：发生更新事件时发送 CCx DMA 请求

位 2:0 保留，必须保持复位值。

21.4.3 TIMx 从模式控制寄存器 (TIMx_SMCR)（x = 2 到 3）

TIMx slave mode control register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETP	ECE	ETPS[1:0]		ETF[3:0]				MSM	TS[2:0]			OCCS	SMS[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:22 保留，必须保持复位值。

位 19:17 保留，必须保持复位值。

位 16 **SMS[3]**：从模式选择——位 3 (Slave mode selection - bit 3)
请参见 SMS 说明——位 2:0

位 15 **ETP**：外部触发极性 (External trigger polarity)
此位可选择将 ETR 还是 $\overline{ETR}$ 用于触发操作
0：ETR 未反相，高电平或上升沿有效
1：ETR 反相，低电平或下降沿有效

位 14 **ECE**：外部时钟使能 (External clock enable)
此位可使能外部时钟模式 2。
0：禁止外部时钟模式 2
1：使能外部时钟模式 2。计数器时钟由 ETRF 信号的任意有效边沿提供。
1：将 ECE 位置 1 与选择外部时钟模式 1 并将 TRGI 连接到 ETRF（SMS=111 且 TS=00111）具有相同效果。
2：外部时钟模式 2 可以和以下从模式同时使用：复位模式、门控模式和触发模式。不过此类情况下 TRGI 不得连接 ETRF（TS 位不得为 00111）。
3：如果同时使能外部时钟模式 1 和外部时钟模式 2，则外部时钟输入为 ETRF。

位 13:12 **ETPS[1:0]**：外部触发预分频器 (External trigger prescaler)
外部触发信号 ETRP 频率不得超过 CK_INT 频率的 1/4。可通过使能预分频器来降低 ETRP 频率。这种方法在输入快速外部时钟时非常有用。
00：预分频器关闭
01：2 分频 ETRP 频率
10：4 分频 ETRP 频率
11：8 分频 ETRP 频率

位 11:8 **ETF[3:0]**：外部触发滤波器 (External trigger filter)

此位域可定义 ETRP 信号的采样频率和适用于 ETRP 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 7 **MSM**：主/从模式 (Master/Slave mode)

0：不执行任何操作
1：当前定时器的触发输入事件 (TRGI) 的动作被推迟，以使当前定时器与其从定时器实现完美同步（通过 TRGO）。此设置适用于由单个外部事件对多个定时器进行同步的情况。

位 21、20、6、5、4 **TS[4:0]**：触发选择 (Trigger selection)（请参见 TS[4:3] 的位 21:20）

此位域可选择将要用于同步计数器的触发输入。

00000：内部触发 0 (ITR0)
00001：内部触发 1 (ITR1)
00010：内部触发 2 (ITR2)
00011：内部触发 3 (ITR3)
00100：TI1 边沿检测器 (TI1F_ED)
00101：滤波后的定时器输入 1 (TI1FP1)
00110：滤波后的定时器输入 2 (TI2FP2)
00111：外部触发输入 (ETRF)
01000：内部触发 4 (ITR4)
01001：内部触发 5 (ITR5)
01010：内部触发 6 (ITR6)
01011：内部触发 7 (ITR7)
01100：内部触发 8 (ITR8)
其他值：保留

有关各定时器 ITRx 含义的详细信息，请参见*第 599 页的表 109：TIMx 内部触发连接*。

注：　这些位只能在未使用的情况下（例如，SMS=000 时）进行更改，以避免转换时出现错误的边沿检测。

位 3 **OCCS**：OCREF 清零选择 (OCREF clear selection)

该位用于选择 OCREF 清零源

0：OCREF_CLR_INT 连接到 COMP1 或 COMP2 输出，具体取决于 TIMx_OR1.OCREF_CLR
1：OCREF_CLR_INT 连接到 ETRF

位 16、2、1、0 **SMS[3:0]**：从模式选择 (Slave mode selection)

选择外部信号时，触发信号 (TRGI) 的有效边沿与外部输入上所选的极性相关（请参见输入控制寄存器和控制寄存器说明）。

0000：禁止从模式——如果 CEN = “1”，预分频器时钟直接由内部时钟提供。
0001：编码器模式 1——计数器根据 TI2FP2 电平在 TI1FP1 边沿递增/递减计数。
0010：编码器模式 2——计数器根据 TI1FP1 电平在 TI2FP2 边沿递增/递减计数。
0011：编码器模式 3——计数器在 TI1FP1 和 TI2FP2 的边沿计数，计数的方向取决于另外一个输入的电平。
0100：复位模式——在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器并生成一个寄存器更新事件。
0101：门控模式——触发输入 (TRGI) 为高电平时使能计数器时钟。只要触发输入变为低电平，计数器立即停止计数（但不复位）。计数器的启动和停止都被控制。
0110：触发模式——触发信号 TRGI 出现上升沿时启动计数器（但不复位）。只控制计数器的启动。
0111：外部时钟模式 1——由所选触发信号 (TRGI) 的上升沿提供计数器时钟。
1000：组合复位 + 触发模式——在出现所选触发输入 (TRGI) 上升沿时，
重新初始化计数器，生成一个寄存器更新事件并启动计数器。

注：　如果将 TI1F_ED 选作触发输入 (TS=00100)，则不得使用门控模式。实际上，TI1F 每次转换时，TI1F_ED 都输出 1 个脉冲，而门控模式检查的则是触发信号的电平。

注：　必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

表 109. TIMx 内部触发连接

从 TIM	ITR0	ITR1	ITR2	ITR3
TIM2	TIM1	TIM15	TIM3	TIM14_OC1
TIM3	TIM1	TIM2	TIM15	TIM14_OC1

21.4.4 TIMx DMA/中断使能寄存器 (TIMx_DIER)（x = 2 到 3）

TIMx DMA/Interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	rw		rw	rw	rw	rw	rw		rw		rw	rw	rw	rw	rw

位 15 保留，必须保持复位值。

位 14 **TDE**：触发 DMA 请求使能 (Trigger DMA request enable)
0：禁止触发 DMA 请求。
1：使能触发 DMA 请求。

位 13 保留，必须保持复位值。

位 12 **CC4DE**：捕获/比较 4 DMA 请求使能 (Capture/Compare 4 DMA request enable)
0：禁止 CC4 DMA 请求。
1：使能 CC4 DMA 请求。

位 11 **CC3DE**：捕获/比较 3 DMA 请求使能 (Capture/Compare 3 DMA request enable)
0：禁止 CC3 DMA 请求。
1：使能 CC3 DMA 请求。

位 10 **CC2DE**：捕获/比较 2 DMA 请求使能 (Capture/Compare 2 DMA request enable)
0：禁止 CC2 DMA 请求。
1：使能 CC2 DMA 请求。

位 9 **CC1DE**：捕获/比较 1 DMA 请求使能 (Capture/Compare 1 DMA request enable)
0：禁止 CC1 DMA 请求。
1：使能 CC1 DMA 请求。

位 8 **UDE**：更新 DMA 请求使能 (Update DMA request enable)
0：禁止更新 DMA 请求。
1：使能更新 DMA 请求。

位 7 保留，必须保持复位值。

位 6 **TIE**：触发中断使能 (Trigger interrupt enable)
0：禁止触发中断。
1：使能触发中断。

位 5 保留，必须保持复位值。

位 4 **CC4IE**：捕获/比较 4 中断使能 (Capture/Compare 4 interrupt enable)
0：禁止 CC4 中断。
1：使能 CC4 中断。

位 3 **CC3IE**：捕获/比较 3 中断使能 (Capture/Compare 3 interrupt enable)
0：禁止 CC3 中断。
1：使能 CC3 中断。

位 2 **CC2IE**：捕获/比较 2 中断使能 (Capture/Compare 2 interrupt enable)
0：禁止 CC2 中断。
1：使能 CC2 中断。

位 1 **CC1IE**：捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable)
0：禁止 CC1 中断。
1：使能 CC1 中断。

位 0 **UIE**：更新中断使能 (Update interrupt enable)
0：禁止更新中断。
1：使能更新中断。

21.4.5 TIMx 状态寄存器 (TIMx_SR)（x = 2 到 3）

TIMx status register

偏移地址：0x10

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
			rc_w0	rc_w0	rc_w0	rc_w0			rc_w0		rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

位 15:13 保留，必须保持复位值。

位 12 **CC4OF**：捕获/比较 4 重复捕获标志 (Capture/Compare 4 overcapture flag)
请参见 CC1OF 说明

位 11 **CC3OF**：捕获/比较 3 重复捕获标志 (Capture/Compare 3 overcapture flag)
请参见 CC1OF 说明

位 10 **CC2OF**：捕获/比较 2 重复捕获标志 (Capture/compare 2 overcapture flag)
请参见 CC1OF 说明

位 9 **CC1OF**：捕获/比较 1 重复捕获标志 (Capture/Compare 1 overcapture flag)
仅当将相应通道配置为输入捕获模式时，此标志位才会由硬件置 1。通过软件写入“0”可将该位清零。
0：未检测到重复捕获。
1：TIMx_CCR1 寄存器中已捕获到计数器值且 CC1IF 标志已置 1。

位 8:7 保留，必须保持复位值。

位 6 **TIF**：触发中断标志 (Trigger interrupt flag)
在除门控模式以外的所有模式下，当使能从模式控制器后出现 TRG 触发事件（在 TRGI 输入上检测到有效边沿）时，该标志将由硬件置 1。选择门控模式时，该标志将在计数器启动或停止时置 1。但需要通过软件清零。
0：未发生触发事件。
1：触发中断挂起。

位 5 保留，必须保持复位值。

位 4 **CC4IF**：捕获/比较 4 中断标志 (Capture/Compare 4 interrupt flag)
请参见 CC1IF 说明

位 3 **CC3IF**：捕获/比较 3 中断标志 (Capture/Compare 3 interrupt flag)
请参见 CC1IF 说明

位 2 **CC2IF**：捕获/比较 2 中断标志 (Capture/Compare 2 interrupt flag)
请参见 CC1IF 说明

位 1 **CC1IF**：捕获/比较 1 中断标志 (Capture/compare 1 interrupt flag)
该标志由硬件置 1。它由软件清零（输入捕获或输出比较模式），或通过读取 TIMx_CCR1 寄存器清零（仅限输入捕获模式）。
0：未发生比较匹配/输入捕获事件
1：发生比较匹配或输入捕获事件
如果通道 CC1 配置为输出：当计数器 TIMx_CNT 的值与 TIMx_CCR1 寄存器的值匹配时，此标志置 1。当 TIMx_CCR1 的值大于 TIMx_ARR 的值时，CC1IF 位将在计数器发生上溢（递增计数模式和增减计数模式下）或下溢（递减计数模式下）时变为高电平。在中心对齐模式下有 3 种可能的标志设置选项，有关完整说明，请参见 TIMx_CR1 寄存器中的 CMS 位。
如果通道 CC1 配置为输入：该位在以下情况下置 1：在 TIMx_CCR1 寄存器中捕获了计数器值（根据 TIMx_CCER 中的 CC1P 和 CC1NP 位设置定义的边沿灵敏度，在IC1上检测到一个边沿）。

位 0 **UIF**：更新中断标志 (Update interrupt flag)
该位在发生更新事件时通过硬件置 1。但需要通过软件清零。
0：未发生更新
1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：
上溢或下溢并且当 TIMx_CR1 寄存器中 UDIS = 0 时。
TIMx_CR1 寄存器中的 URS = 0 且 UDIS = 0，并且由软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。
TIMx_CR1 寄存器中的 URS=0 且 UDIS=0，并且 CNT 由触发事件重新初始化时（参见同步控制寄存器说明）。

21.4.6 TIMx 事件生成寄存器 (TIMx_EGR)（x = 2 到 3）

TIMx event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
									w		w	w	w	w	w

位 15:7 保留，必须保持复位值。

位 6 **TG**：触发生成 (Trigger generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作
1：TIMx_SR 寄存器中的 TIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 5 保留，必须保持复位值。

位 4 **CC4G**：捕获/比较 4 生成 (Capture/Compare 4 generation)
请参见 CC1G 说明

位 3 **CC3G**：捕获/比较 3 生成 (Capture/Compare 3 generation)
请参见 CC1G 说明

位 2 **CC2G**：捕获/比较 2 生成 (Capture/compare 2 generation)
请参见 CC1G 说明

位 1 **CC1G**：捕获/比较 1 生成 (Capture/Compare 1 generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作
1：通道 1 上生成捕获/比较事件：
如果通道 CC1 配置为输出：
使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。
如果通道 CC1 配置为输入：
TIMx_CCR1 寄存器中将捕获到计数器当前值。使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。如果 CC1IF 标志已为高，CC1OF 标志将置 1。

位 0 **UG**：更新生成 (Update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作
1：重新初始化计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。如果选择中心对齐模式或 DIR=0（递增计数），计数器将清零；如果 DIR=1（递减计数），计数器将使用自动重载值 (TIMx_ARR)。

21.4.7 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 2 到 3）

TIMx capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:12 **IC2F[3:0]**：输入捕获 2 滤波器 (Input capture 2 filter)

位 11:10 **IC2PSC[1:0]**：输入捕获 2 预分频器 (Input capture 2 prescaler)

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/compare 2 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC2 通道配置为输出。

01：CC2 通道配置为输入，IC2 映射到 TI2 上。

10：CC2 通道配置为输入，IC2 映射到 TI1 上。

11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = 0），才可向 CC2S 位写入数据。

位 7:4 **IC1F[3:0]**：输入捕获 1 滤波器 (Input capture 1 filter)

此位域可定义 TI1 输入的采样频率和适用于 TI1 的数字滤波器的采样长度。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样

0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2

0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4

0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8

0100：$f_{SAMPLING}=f_{DTS}/2$，N=6

0101：$f_{SAMPLING}=f_{DTS}/2$，N=8

0110：$f_{SAMPLING}=f_{DTS}/4$，N=6

0111：$f_{SAMPLING}=f_{DTS}/4$，N=8

1000：$f_{SAMPLING}=f_{DTS}/8$，N=6

1001：$f_{SAMPLING}=f_{DTS}/8$，N=8

1010：$f_{SAMPLING}=f_{DTS}/16$，N=5

1011：$f_{SAMPLING}=f_{DTS}/16$，N=6

1100：$f_{SAMPLING}=f_{DTS}/16$，N=8

1101：$f_{SAMPLING}=f_{DTS}/32$，N=5

1110：$f_{SAMPLING}=f_{DTS}/32$，N=6

1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 3:2 **IC1PSC[1:0]**：输入捕获 1 预分频器 (Input capture 1 prescaler)

此位域定义 CC1 输入 (IC1) 的预分频比。只要 CC1E=0（TIMx_CCER 寄存器），预分频器便立即复位。

00：无预分频器，捕获输入上每检测到一个边沿便执行捕获
01：每发生 2 个事件便执行一次捕获
10：每发生 4 个事件便执行一次捕获
11：每发生 8 个事件便执行一次捕获

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出
01：CC1 通道配置为输入，IC1 映射到 TI1 上
10：CC1 通道配置为输入，IC1 映射到 TI2 上
11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = 0），才可向 CC1S 位写入数据。

21.4.8 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 2 到 3）

TIMx capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]		OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 保留，必须保持复位值。

位 23:17 保留，必须保持复位值。

位 15 **OC2CE**：输出比较 2 清零使能 (Output Compare 2 clear enable)

位 24、14:12 **OC2M[3:0]**：输出比较 2 模式 (Output compare 2 mode)
请参见 OC1M 说明——位 6:4

位 11 **OC2PE**：输出比较 2 预装载使能 (Output Compare 2 preload enable)

位 10 **OC2FE**：输出比较 2 快速使能 (Output Compare 2 fast enable)

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/Compare 2 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC2 通道配置为输出
01：CC2 通道配置为输入，IC2 映射到 TI2 上
10：CC2 通道配置为输入，IC2 映射到 TI1 上
11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = 0），才可向 CC2S 位写入数据。

位 7 **OC1CE**：输出比较 1 清零使能 (Output Compare 1 clear enable)
0：OC1Ref 不受 ETRF 输入影响
1：ETRF 输入上检测到高电平时，OC1Ref 立即清零

位 16、6:4 **OC1M[3:0]**：输出比较 1 模式 (Output compare 1 mode)

这些位定义提供 OC1 和 OC1N 的输出参考信号 OC1REF 的行为。OC1REF 为高电平有效，而 OC1 和 OC1N 的有效电平则取决于 CC1P 位和 CC1NP 位。

0000：冻结——输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 进行比较不会对输出造成任何影响。（该模式用于生成时基）。

0001：将通道 1 设置为匹配时输出有效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为高电平。

0010：将通道 1 设置为匹配时输出无效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为低电平。

0011：翻转——TIMx_CNT=TIMx_CCR1 时，OC1REF 发生翻转。

0100：强制变为无效电平——OC1REF 强制变为低电平。

0101：强制变为有效电平——OC1REF 强制变为高电平。

0110：PWM 模式 1——在递增计数模式下，只要 TIMx_CNT<TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。在递减计数模式下，只要 TIMx_CNT>TIMx_CCR1，通道 1 便为无效状态 (OC1REF=0)，否则为有效状态 (OC1REF=1)。

0111：PWM 模式 2——在递增计数模式下，只要 TIMx_CNT<TIMx_CCR1，通道 1 便为无效状态，否则为有效状态。在递减计数模式下，只要 TIMx_CNT>TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。

1000：可再触发 OPM 模式 1——在递增计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为无效状态。在递减计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为无效状态。

1001：可再触发 OPM 模式 2——在递增计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 2 下进行比较，通道会在下一次更新时再次变为无效状态。在递减计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 2 下进行比较，通道会在下一次更新时再次变为有效状态。

1010：保留，

1011：保留，

1100：组合 PWM 模式 1——OC1REF 与在 PWM 模式 1 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑或运算结果。

1101：组合 PWM 模式 2——OC1REF 与在 PWM 模式 2 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑与运算结果。

1110：不对称 PWM 模式 1——OC1REF 与在 PWM 模式 1 下的行为相同。计数器递增计数时，OC1REFC 输出 OC1REF；计数器递减计数时，OC1REFC 输出 OC2REF。

1111：不对称 PWM 模式 2——OC1REF 与在 PWM 模式 2 下的行为相同。计数器递增计数时，OC1REFC 输出 OC1REF；计数器递减计数时，OC1REFC 输出 OC2REF。

注： 在 PWM 模式下，仅当比较结果发生改变或输出比较模式由“冻结”模式切换到“PWM”模式时，OCREF 电平才会发生更改。

位 3 **OC1PE**：输出比较 1 预装载使能 (Output Compare 1 preload enable)

0：禁止与 TIMx_CCR1 相关的预装载寄存器。可随时向 TIMx_CCR1 写入数据，写入后将立即使用新值。

1：使能与 TIMx_CCR1 相关的预装载寄存器。可读/写访问预装载寄存器。TIMx_CCR1 预装载值在每次生成更新事件时都会装载到有效寄存器中。

注： 只有单脉冲模式下才可在未验证预装载寄存器的情况下使用 PWM 模式（TIMx_CR1 寄存器中的 OPM 位置 1）。其他情况下则无法保证该行为。

位 2 **OC1FE**：输出比较 1 快速使能 (Output Compare 1 fast enable)

此位用于加快触发输入事件对 CC 输出的影响。

0：即使触发开启，CC1 也将根据计数器和 CCR1 值正常工作。触发输入出现边沿时，激活 CC1 输出的最短延迟时间为 5 个时钟周期。

1：触发输入上出现有效边沿相当于 CC1 输出上的比较匹配。随后，无论比较结果如何，OC 都设置为比较电平。采样触发输入和激活 CC1 输出的延迟时间缩短为 3 个时钟周期。仅当通道配置为 PWM1 或 PWM2 模式时，OCFE 才会起作用。

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出。

01：CC1 通道配置为输入，IC1 映射到 TI1 上。

10：CC1 通道配置为输入，IC1 映射到 TI2 上。

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = 0），才可向 CC1S 位写入数据。

21.4.9 TIMx 捕获/比较模式寄存器 2 [复用] (TIMx_CCMR2)（x = 2 到 3）

TIMx capture/compare mode register 2

偏移地址：0x1C

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC4F[3:0]				IC4PSC[1:0]		CC4S[1:0]		IC3F[3:0]				IC3PSC[1:0]		CC3S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:12 **IC4F[3:0]**：输入捕获 4 滤波器 (Input capture 4 filter)

位 11:10 **IC4PSC[1:0]**：输入捕获 4 预分频器 (Input capture 4 prescaler)

位 9:8 **CC4S[1:0]**：捕获/比较 4 选择 (Capture/Compare 4 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC4 通道配置为输出

01：CC4 通道配置为输入，IC4 映射到 TI4 上

10：CC4 通道配置为输入，IC4 映射到 TI3 上

11：CC4 通道配置为输入，IC4 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC4E = 0），才可向 CC4S 位写入数据。

位 7:4 **IC3F[3:0]**：输入捕获 3 滤波器 (Input capture 3 filter)

位 3:2 **IC3PSC[1:0]**：输入捕获 3 预分频器 (Input capture 3 prescaler)

位 1:0 **CC3S[1:0]**：捕获/比较 3 选择 (Capture/Compare 3 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC3 通道配置为输出

01：CC3 通道配置为输入，IC3 映射到 TI3 上

10：CC3 通道配置为输入，IC3 映射到 TI4 上

11：CC3 通道配置为输入，IC3 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC3E = 0），才可向 CC3S 位写入数据。

21.4.10 TIMx 捕获/比较模式寄存器 2 [复用] (TIMx_CCMR2)（x = 2 到 3）

TIMx capture/compare mode register 2

偏移地址：0x1C

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M [3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]		OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:25 保留，必须保持复位值。

位 23:17 保留，必须保持复位值。

位 15 **OC4CE**：输出比较 4 清零使能 (Output compare 4 clear enable)

位 24、14:12 **OC4M[3:0]**：输出比较 4 模式 (Output compare 4 mode)

请参见 OC1M 说明（TIMx_CCMR1 寄存器中的位 6:4）

位 11 **OC4PE**：输出比较 4 预装载使能 (Output compare 4 preload enable)

位 10 **OC4FE**：输出比较 4 快速使能 (Output compare 4 fast enable)

位 9:8 **CC4S[1:0]**：捕获/比较 4 选择 (Capture/Compare 4 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC4 通道配置为输出

01：CC4 通道配置为输入，IC4 映射到 TI4 上

10：CC4 通道配置为输入，IC4 映射到 TI3 上

11：CC4 通道配置为输入，IC4 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC4E = 0），才可向 CC4S 位写入数据。

位 7 **OC3CE**：输出比较 3 清零使能 (Output compare 3 clear enable)

位 16、6:4 **OC3M[3:0]**：输出比较 3 模式 (Output compare 3 mode)
请参见 OC1M 说明（TIMx_CCMR1 寄存器中的位 6:4）

位 3 **OC3PE**：输出比较 3 预装载使能 (Output compare 3 preload enable)

位 2 **OC3FE**：输出比较 3 快速使能 (Output compare 3 fast enable)

位 1:0 **CC3S[1:0]**：捕获/比较 3 选择 (Capture/Compare 3 selection)
此位域定义通道方向（输入/输出）以及所使用的输入。
00：CC3 通道配置为输出
01：CC3 通道配置为输入，IC3 映射到 TI3 上
10：CC3 通道配置为输入，IC3 映射到 TI4 上
11：CC3 通道配置为输入，IC3 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效
注： 仅当通道关闭时（TIMx_CCER 中的 CC3E = 0），才可向 CC3S 位写入数据。

21.4.11 TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 2 到 3）

TIMx capture/compare enable register

偏移地址：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
rw		rw	rw	rw		rw	rw	rw		rw	rw	rw		rw	rw

位 15 **CC4NP**：*捕获/比较 4 互补输出极性 (Capture/Compare 4 complementary output Polarity)*
请参见 CC1NP 说明

位 14 保留，必须保持复位值。

位 13 **CC4P**：*捕获/比较 4 输出极性 (Capture/Compare 4 output Polarity)*
请参见 CC1P 说明

位 12 **CC4E**：*捕获/比较 4 输出使能 (Capture/Compare 4 output enable)*
请参见 CC1E 说明

位 11 **CC3NP**：*捕获/比较 3 互补输出极性 (Capture/Compare 3 complementary output Polarity)*
请参见 CC1NP 说明

位 10 保留，必须保持复位值。

位 9 **CC3P**：*捕获/比较 3 输出极性 (Capture/Compare 3 output polarity)*
请参见 CC1P 说明

位 8 **CC3E**：*捕获/比较 3 输出使能 (Capture/Compare 3 output enable)*
请参见 CC1E 说明

位 7 **CC2NP**：*捕获/比较 2 互补输出极性 (Capture/Compare 2 complementary output Polarity)*
请参见 CC1NP 说明

位 6 保留，必须保持复位值。

位 5 **CC2P**：*捕获/比较 2 输出极性 (Capture/Compare 2 output polarity)*
请参见 CC1P 说明

位 4 **CC2E**：*捕获/比较 2 输出使能 (Capture/Compare 2 output enable)*
请参见 CC1E 说明

位 3 **CC1NP**：*捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output Polarity)*

CC1 通道配置为输出：在这种情况下，CC1NP 必须保持清零。

CC1 通道配置为输入：该位与 CC1P 配合使用可定义 TI1FP1/TI2FP1 极性。请参见 CC1P 说明。

位 2 保留，必须保持复位值。

位 1 **CC1P**：*捕获/比较 1 输出极性 (Capture/Compare 1 output polarity)*。

0：OC1 高电平有效（输出模式）/边沿灵敏度选择（输入模式，见下文）

1：OC1 低电平有效（输出模式）/边沿灵敏度选择（输入模式，见下文）

CC1 通道配置为输入时，CC1NP/CC1P 位可针对触发或捕获操作选择 TI1FP1 和 TI2FP1 的有效极性。

CC1NP=0，CC1P=0： 非反相/上升沿触发。电路对 TIxFP1 上升沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式或编码器模式下执行触发操作）。

CC1NP=0，CC1P=1： 反相/下降沿触发。电路对 TIxFP1 下升沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 反相（在门控模式或编码器模式下执行触发操作）。

CC1NP=1，CC1P=1： 非反相/双边沿触发。电路对 TIxFP1 上升沿和下降沿都敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。编码器模式下不得使用此配置。

CC1NP=1，CC1P=0： 该配置被保留，不得使用。

位 0 **CC1E**：*捕获/比较 1 输出使能 (Capture/Compare 1 output enable)*。

0：禁止捕获模式/OC1 未激活

1：使能捕获模式/在相应输出引脚上输出 OC1 信号

表 110. 标准 OCx 通道的输出控制位

CCxE 位	OCx 输出状态
0	禁止输出（OCx=0、OCx_EN=0）
1	OCx=OCxREF + 极性、OCx_EN=1

注： *与标准 OCx 通道相连的外部 IO 引脚的状态取决于 OCx 通道的状态以及 GPIO 和 AFIO 寄存器。*

21.4.12 TIMx 计数器 [复用] (TIMx_CNT)（x = 2 到 3）

TIMx counter

根据 TIMx_CR1 寄存器中 UIFREMAP 的值，该寄存器的位 31 有两种可能的定义：

- 对于本节，UIFREMAP = 0
- 对于下一节，UIFREMAP = 1

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CNT[31]	CNT[30:16]														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **CNT[31]**：计数器值的最高有效位 (Most significant bit of counter value)（对于 TIM2）
其他定时器上保留。

位 30:16 **CNT[30:16]**：计数器值的最高有效部分 (Most significant part counter value)（对于 TIM2）

位 15:0 **CNT[15:0]**：计数器值的最低有效部分 (Least significant part of counter value)

21.4.13 TIMx 计数器 [复用] (TIMx_CNT)（x = 2 到 3）

TIMx counter

根据 TIMx_CR1 寄存器中 UIFREMAP 的值，该寄存器的位 31 有两种可能的定义：

- 对于上一节，UIFREMAP = 0
- 对于本节，UIFREMAP = 1

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIFCPY	CNT[30:16]														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF Copy)
该位是 TIMx_ISR 寄存器中 UIF 位的只读副本

位 30:16 **CNT[30:16]**：计数器值的最高有效部分 (Most significant part counter value)（对于 TIM2）

位 15:0 **CNT[15:0]**：计数器值的最低有效部分 (Least significant part of counter value)

21.4.14 TIMx 预分频器 (TIMx_PSC)（x = 2 到 3）

TIMx prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频器值 (Prescaler value)
计数器时钟频率 CK_CNT 等于 f_{CK_PSC} / (PSC[15:0] + 1)。
PSC 包含每次发生更新事件（包括计数器通过 TIMx_EGR 寄存器中的 UG 位清零时，或在配置为“复位模式”时通过触发控制器清零时）时要装载到有效预分频器寄存器的值。

21.4.15 TIMx 自动重载寄存器 (TIMx_ARR)（x = 2 到 3）

TIMx auto-reload register

偏移地址：0x2C

复位值：0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ARR[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 **ARR[31:16]**：自动重载值的高 16 位 (High auto-reload value)（对于 TIM2）

位 15:0 **ARR[15:0]**：自动重载值的低 16 位 (Low Auto-reload value)

ARR 为要装载到实际自动重载寄存器的值。

有关 ARR 更新和行为的更多详细信息，请参见*第 552 页的第 21.3.1 节：时基单元*。

当自动重载值为空时，计数器不工作。

21.4.16 TIMx 捕获/比较寄存器 1 (TIMx_CCR1)（x = 2 到 3）

TIMx capture/compare register 1

偏移地址：0x34

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR1[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 **CCR1[31:16]**：捕获/比较 1 值的高 16 位 (High Capture/Compare 1 value)（对于 TIM2）

位 15:0 **CCR1[15:0]**：捕获/比较 1 值的低 16 位 (Low Capture/Compare 1 value)

如果通道 CC1 配置为输出：

CCR1 是捕获/比较寄存器 1 的预装载值。

如果没有通过 TIMx_CCMR1 寄存器中的 OC1PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 1）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC1 输出上发出信号的值。

如果通道 CC1 配置为输入：

CCR1 为上一个输入捕获 1 事件 (IC1) 发生时的计数器值。只能读取 TIMx_CCR1 寄存器，无法对其进行编程。

21.4.17 TIMx 捕获/比较寄存器 2 (TIMx_CCR2)（x = 2 到 3）

TIMx capture/compare register 2

偏移地址：0x38

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR2[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 **CCR2[31:16]**：捕获/比较 2 值的高 16 位 (High Capture/Compare 2 value)（对于 TIM2）

位 15:0 **CCR2[15:0]**：捕获/比较 2 值的低 16 位 (Low Capture/Compare 2 value)

如果通道 CC2 配置为输出：

CCR2 是捕获/比较寄存器 2 的预装载值。

如果没有通过 TIMx_CCMR1 寄存器中的 OC2PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 2）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC2 输出上发出信号的值。

如果通道 CC2 配置为输入：

CCR2 为上一个输入捕获 2 事件 (IC2) 发生时的计数器值。只能读取 TIMx_CCR2 寄存器，无法对其进行编程。

21.4.18 TIMx 捕获/比较寄存器 3 (TIMx_CCR3)（x = 2 到 3）

TIMx capture/compare register 3

偏移地址：0x3C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR3[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR3[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 **CCR3[31:16]**：捕获/比较 3 值的高 16 位 (High Capture/Compare 3 value)（对于 TIM2）

位 15:0 **CCR3[15:0]**：捕获/比较 3 值的低 16 位 (Low Capture/Compare 3 value)

如果通道 CC3 配置为输出：

CCR3 是捕获/比较寄存器 3 的预装载值。

如果没有通过 TIMx_CCMR2 寄存器中的 OC3PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 3）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC3 输出上发出信号的值。

如果通道 CC3 配置为输入：

CCR3 为上一个输入捕获 3 事件 (IC3) 发生时的计数器值。只能读取 TIMx_CCR3 寄存器，无法对其进行编程。

21.4.19 TIMx 捕获/比较寄存器 4 (TIMx_CCR4)（x = 2 到 3）

TIMx capture/compare register 4

偏移地址：0x40

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CCR4[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR4[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 **CCR4[31:16]**：捕获/比较 4 值的高 16 位 (High Capture/Compare 4 value)（对于 TIM2）

位 15:0 **CCR4[15:0]**：捕获/比较 4 值的低 16 位 (Low Capture/Compare 4 value)

1. 如果 CC4 通道配置为输出（CC4S 位）：
   CCR4 是捕获/比较寄存器 4 的预装载值。
   如果没有通过 TIMx_CCMR2 寄存器中的 OC4PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 4）。
   有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC4 输出上发出信号的值。
2. 如果 CC4 通道配置为输入（TIMx_CCMR4 寄存器中的 CC4S 位）：
   CCR4 为上一个输入捕获 4 事件 (IC4) 发生时的计数器值。只能读取 TIMx_CCR4 寄存器，无法对其进行编程。

21.4.20 TIMx DMA 控制寄存器 (TIMx_DCR)（x = 2 到 3）

TIMx DMA control register

偏移地址：0x48

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

位 15:13 保留，必须保持复位值。

位 12:8 **DBL[4:0]**：DMA 连续传送长度 (DMA burst length)

该 5 位向量定义了 DMA 的传送次数（当对 TIMx_DMAR 寄存器进行读或写时，定时器进行一次连续传送）。

00000：1 次传送，
00001：2 次传送，
00010：3 次传送，
...
10001：18 次传送。

位 7:5 保留，必须保持复位值。

位 4:0 **DBA[4:0]**：DMA 基址 (DMA base address)

该 5 位向量定义 DMA 传输的基址（通过 TIMx_DMAR 地址进行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量。

示例：
00000：TIMx_CR1
00001：TIMx_CR2
00010：TIMx_SMCR
...

示例：以下面的传送为例：DBL = 7 次传送且 DBA = TIMx_CR1。这种情况下将向/从自 TIMx_CR1 地址开始的 7 个寄存器传输数据。

21.4.21 TIMx 全传输 DMA 地址 (TIMx_DMAR)（x = 2 到 3）

TIMx DMA address for full transfer

偏移地址：0x4C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **DMAB[15:0]**：DMA 连续传送寄存器 (DMA register for burst accesses)

对 DMAR 寄存器执行读或写操作将访问位于如下地址的寄存器

(TIMx_CR1 地址) + (DBA + DMA 索引) x 4

其中 TIMx_CR1 地址为控制寄存器 1 的地址，DBA 为 TIMx_DCR 寄存器中配置的 DMA 基址，DMA 索引由 DMA 传输自动控制，其范围介于 0 到 DBL（TIMx_DCR 寄存器中配置的 DBL）之间。

21.4.22 TIM2 选项寄存器 1 (TIM2_OR1)

TIM2 option register 1

偏移地址：0x50

复位值：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
															rw

位 31:1 保留，必须保持复位值。

位 0 **IOCREF_CLR**：Ocref_clr 源选择 (Ocref_clr source selection)

此位选择 ocref_clr 输入源。

0：COMP1 输出连接到 OCREF_CLR 输入

1：COMP2 输出连接到 OCREF_CLR 输入

21.4.23 TIM3 选项寄存器 1 (TIM3_OR1)

TIM3 option register 1

偏移地址：0x50

复位值：0x0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
															rw

位 31:1 保留，必须保持复位值。

位 0 **IOCREF_CLR**：Ocref_clr 源选择 (Ocref_clr source selection)

此位选择 ocref_clr 输入源。

0：COMP1 输出连接到 OCREF_CLR 输入

1：COMP2 输出连接到 OCREF_CLR 输入

21.4.24 TIM2 复用功能选项寄存器 1 (TIM2_AF1)

TIM2 alternate function option register 1

偏移地址：0x60

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw														

位 31:18 保留，必须保持复位值。

位 17:14 **ETRSEL[3:0]**：ETR 源选择 (ETR source selection)

这些位选择 ETR 输入源。

0000：ETR 传统模式

0001：COMP1

0010：COMP2

0011：LSE

其他值：保留

位 13:0 保留，必须保持复位值。

21.4.25 TIM3 复用功能选项寄存器 1 (TIM3_AF1)

TIM3 alternate function option register 1

偏移地址：0x60

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL[3:2]	
														rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ETRSEL[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw	rw														

位 31:18 保留，必须保持复位值。

位 17:14 **ETRSEL[3:0]**：ETR 源选择 (ETR source selection)

这些位选择 ETR 输入源。

0000：ETR 传统模式

0001：COMP1 输出

0010：COMP2 输出

其他值：保留

位 13:0 保留，必须保持复位值。

21.4.26 TIM2 定时器输入选择寄存器 (TIM2_TISEL)

TIM2 timer input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:8 **TI2SEL[3:0]**：TI2[0] 到 TI2[15] 输入选择 (TI2[0] to TI2[15] input selection)
这些位选择 TI2[0] 到 TI2[15] 输入源。
0000：TIM2_CH2 输入
0001：COMP2 输出
其他值：保留

位 7:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：TI1[0] 到 TI1[15] 输入选择 (TI1[0] to TI1[15] input selection)
这些位选择 TI1[0] 到 TI1[15] 输入源。
0000：TIM2_CH1 输入
0001：COMP1 输出
其他值：保留

21.4.27 TIM3 定时器输入选择寄存器 (TIM3_TISEL)

TIM3 timer input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TI4SEL[3:0]				Res.	Res.	Res.	Res.	TI3SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

位 31:28 保留，必须保持复位值。

位 27:24 **TI4SEL[3:0]**：TI4[0] 到 TI4[15] 输入选择 (TI4[0] to TI4[15] input selection)
这些位选择 TI4[0] 到 TI4[15] 输入源。
0000：TIM3_CH4 输入
0001：COMP2 输出
其他值：保留

位 23:20 保留，必须保持复位值。

位 19:16 **TI3SEL[3:0]**：TI3[0] 到 TI3[15] 输入选择 (TI3[0] to TI3[15] input selection)
这些位选择 TI3[0] 到 TI3[15] 输入源。
0000：TIM3_CH3 输入
0001：COMP1 输出
其他值：保留

位 15:12 保留，必须保持复位值。

位 11:8 **TI2SEL[3:0]**：TI2[0] 到 TI2[15] 输入选择 (TI2[0] to TI2[15] input selection)
这些位选择 TI2[0] 到 TI2[15] 输入源。
0000：TIM3_CH2 输入
0001：COMP2 输出
其他值：保留

位 7:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：TI1[0] 到 TI1[15] 输入选择 (TI1[0] to TI1[15] input selection)
这些位选择 TI1[0] 到 TI1[15] 输入源。
0000：TIM3_CH1 输入
0001：COMP1 输出
其他值：保留

21.4.28 TIMx 寄存器映射

TIMx 寄存器按照下表所述方式映射：

表 111. TIM2/TIM3 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD [1:0]		ARPE	CMS [1:0]		DIR	OPM	URS	UDIS	CEN
	Reset value																					0		0	0	0	0	0	0	0	0	0	0
0x04	**TIMx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1S	MMS[2:0]			CCDS	Res.	Res.	Res.
	Reset value																									0	0	0	0	0			
0x08	**TIMx_SMCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS [4:3]		Res.	Res.	Res.	SMS[3]	ETP	ECE	ETPS [1:0]		ETF[3:0]				MSM	TS[2:0]			Res.	SMS[2:0]		
	Reset value											0	0				0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDE	Res.	CC4DE	CC3DE	CC2DE	CC1DE	UDE	Res.	TIE	Res.	CC4IE	CC3IE	CC2IE	CC1IE	UIE
	Reset value																		0		0	0	0	0	0		0		0	0	0	0	0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4OF	CC3OF	CC2OF	CC1OF	Res.	Res.	TIF	Res.	CC4IF	CC3IF	CC2IF	CC1IF	UIF
	Reset value																				0	0	0	0			0		0	0	0	0	0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TG	Res.	CC4G	CC3G	CC2G	CC1G	UG
	Reset value																										0		0	0	0	0	0
0x18	**TIMx_CCMR1** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	OC2CE	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		OC1CE	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	Reset value								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR1 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**TIMx_CCMR2** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC4M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC3M[3]	O24CE	OC4M [2:0]			OC4PE	OC4FE	CC4S [1:0]		OC3CE	OC3M [2:0]			OC3PE	OC3FE	CC3S [1:0]	
	Reset value								0								0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	TIMx_CCMR2 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC4F[3:0]				IC4 PSC [1:0]		CC4S [1:0]		IC3F[3:0]				IC3 PSC [1:0]		CC3S [1:0]	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIMx_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC4NP	Res.	CC4P	CC4E	CC3NP	Res.	CC3P	CC3E	CC2NP	Res.	CC2P	CC2E	CC1NP	Res.	CC1P	CC1E
	Reset value																	0		0	0	0		0	0	0		0	0	0		0	0

表 111. TIM2/TIM3 寄存器映射和复位值（续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x24	**TIMx_CNT**	CNT[31] or UIFCPY	CNT[30:16] (TIM2 only, reserved on the other timers)															CNT[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	ARR[31:16] (TIM2 only, reserved on the other timers)																ARR[15:0]															
	Reset value	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	Reserved																																
0x34	**TIMx_CCR1**	CCR1[31:16] (TIM2 only, reserved on the other timers)																CCR1[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	**TIMx_CCR2**	CCR2[31:16] (TIM2 only, reserved on the other timers)																CCR2[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x3C	**TIMx_CCR3**	CCR3[31:16] (TIM2 only, reserved on the other timers)																CCR3[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	**TIMx_CCR4**	CCR4[31:16] (TIM2 only, reserved on the other timers)																CCR4[15:0]															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	Reserved																																
0x48	**TIMx_DCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	Reset value																				0	0	0	0	0				0	0	0	0	0
0x4C	**TIMx_DMAR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	**TIM2_OR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
	Reset value																																0

表 111. TIM2/TIM3 寄存器映射和复位值（续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x50	**TIM3_OR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OCREF_CLR
	Reset value																																0
0x60	**TIM2_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value															0	0	0	0														
0x60	**TIM3_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ETRSEL [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value															0	0	0	0														
0x68	**TIM2_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value																					0	0	0	0					0	0	0	0
0x68	**TIM3_TISEL**	Res.	Res.	Res.	Res.	TI4SEL[3:0]				Res.	Res.	Res.	Res.	TI3SEL[3:0]				Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value					0	0	0	0					0	0	0	0					0	0	0	0					0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

22 基本定时器 (TIM6/TIM7)

22.1 TIM6/TIM7 简介

基本定时器 TIM6 和 TIM7 包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器不仅可用作通用定时器以生成时基，还可以专门用于驱动数模转换器 (DAC)。实际上，此类定时器内部连接到 DAC 并能够通过其触发输出驱动 DAC。

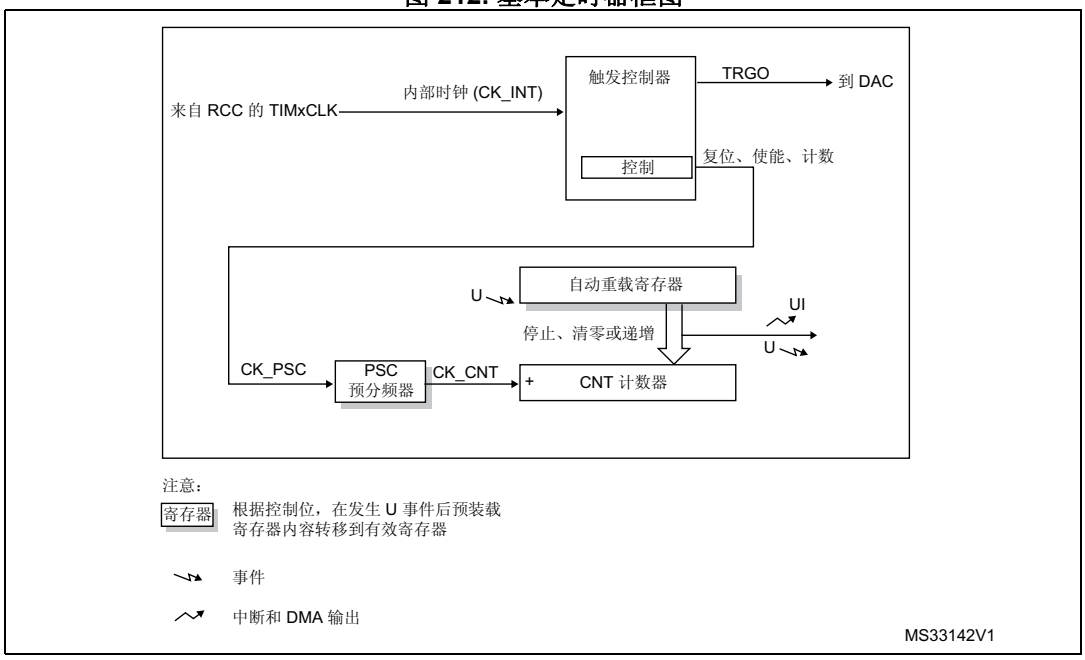
这些定时器彼此完全独立，不共享任何资源。

22.2 TIM6/TIM7 主要特性

基本定时器 (TIM6/TIM7) 的特性包括：

- 16 位自动重载递增计数器
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 和 65535 之间
- 用于触发 DAC 的同步电路
- 发生如下更新事件时会生成中断/DMA 请求：计数器上溢

图 212. 基本定时器框图



22.3 TIM6/TIM7 功能说明

22.3.1 时基单元

可编程定时器的主要模块由一个 16 位递增计数器及其相关的自动重载寄存器组成。计数器的时钟可通过预分频器进行分频。

计数器、自动重载寄存器和预分频器寄存器可通过软件进行读写。即使在计数器运行时也可执行读写操作。

时基单元包括：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动重载寄存器 (TIMx_ARR)

自动重载寄存器是预装载的。每次尝试对自动重载寄存器执行读写操作时，都会访问预装载寄存器。预装载寄存器的内容既可以立即传送到影子寄存器，也可以在每次发生更新事件 UEV 时传送到影子寄存器，这取决于 TIMx_CR1 寄存器中的自动重载预装载使能位 (ARPE)。当计数器达到上溢值并且 TIMx_CR1 寄存器中的 UDIS 位为 0 时，将发送更新事件。该更新事件也可由软件产生。下文将针对各配置的更新事件的产生进行详细介绍。

计数器由预分频器输出 CK_CNT 提供时钟，仅当 TIMx_CR1 寄存器中的计数器启动位 (CEN) 置 1 时，才会启动计数器。

请注意，实际的计数器使能信号 CNT_EN 在 CEN 置 1 的一个时钟周期后被置 1。

预分频器说明

预分频器可对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间。该预分频器基于 16 位寄存器 TIMx_PSC 所控制的 16 位计数器。由于 TIMx_PSC 控制寄存器有缓冲，因此可对预分频器进行实时更改。而新的预分频比将在下一更新事件发生时被采用。

图 213 和 *图 214* 以一些示例说明在预分频比实时变化时计数器的行为。

图 213. 预分频器分频由 1 变为 2 时的计数器时序图

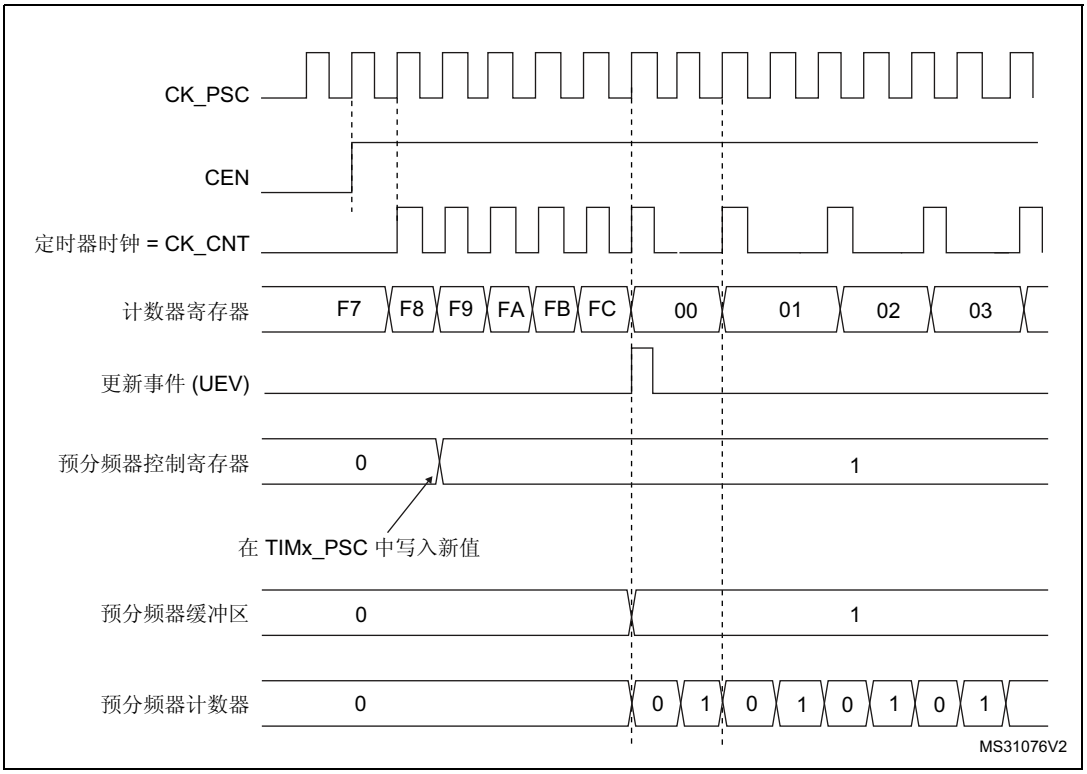
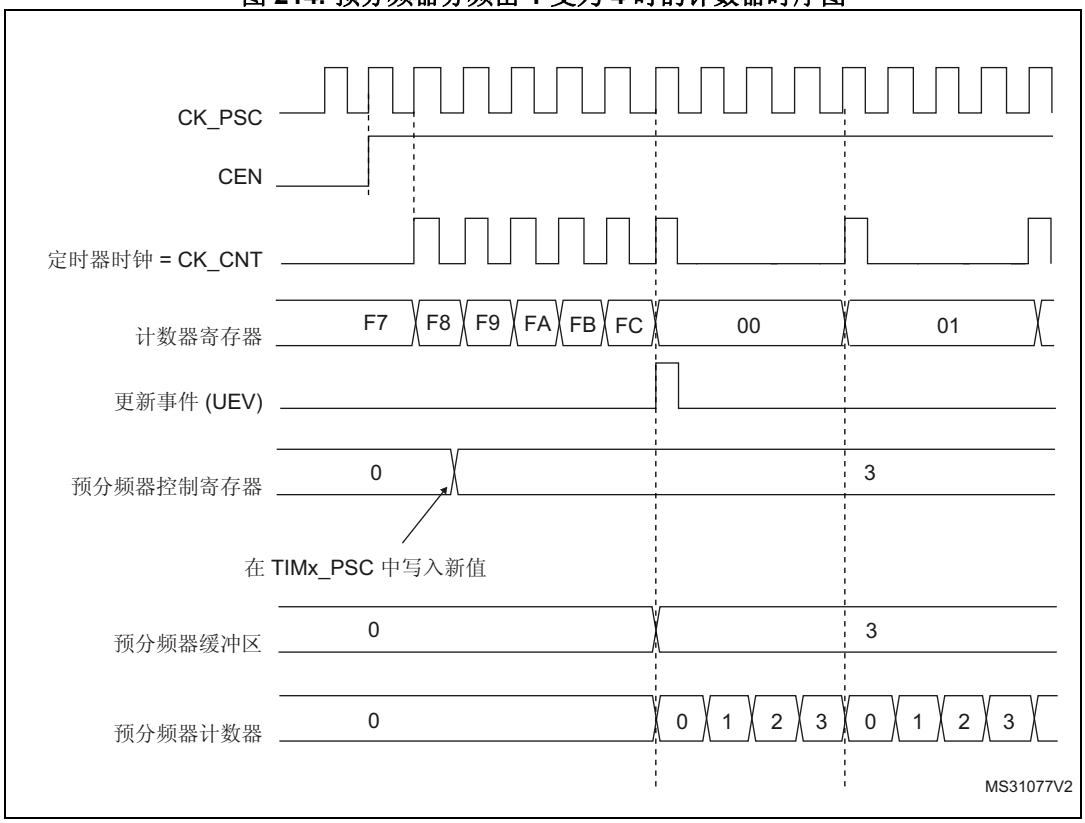


图 214. 预分频器分频由 1 变为 4 时的计数器时序图



22.3.2 计数模式

计数器从 0 计数到自动重载值（TIMx_ARR 寄存器的内容），然后重新从 0 开始计数并生成计数器上溢事件。

每次发生计数器上溢时会生成更新事件，或将 TIMx_EGR 寄存器中的 UG 位置 1（通过软件或使用从模式控制器）也可以产生更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 事件。这可避免向预装载寄存器写入新值时更新影子寄存器。这样，直到 UDIS 位中写入 0 前便不会生成任何更新事件，但计数器和预分频器计数器都会重新从 0 开始计数（而预分频比保持不变）。此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）
- 使用预装载值 (TIMx_ARR) 更新自动重载影子寄存器

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 215. 计数器时序图，1 分频内部时钟

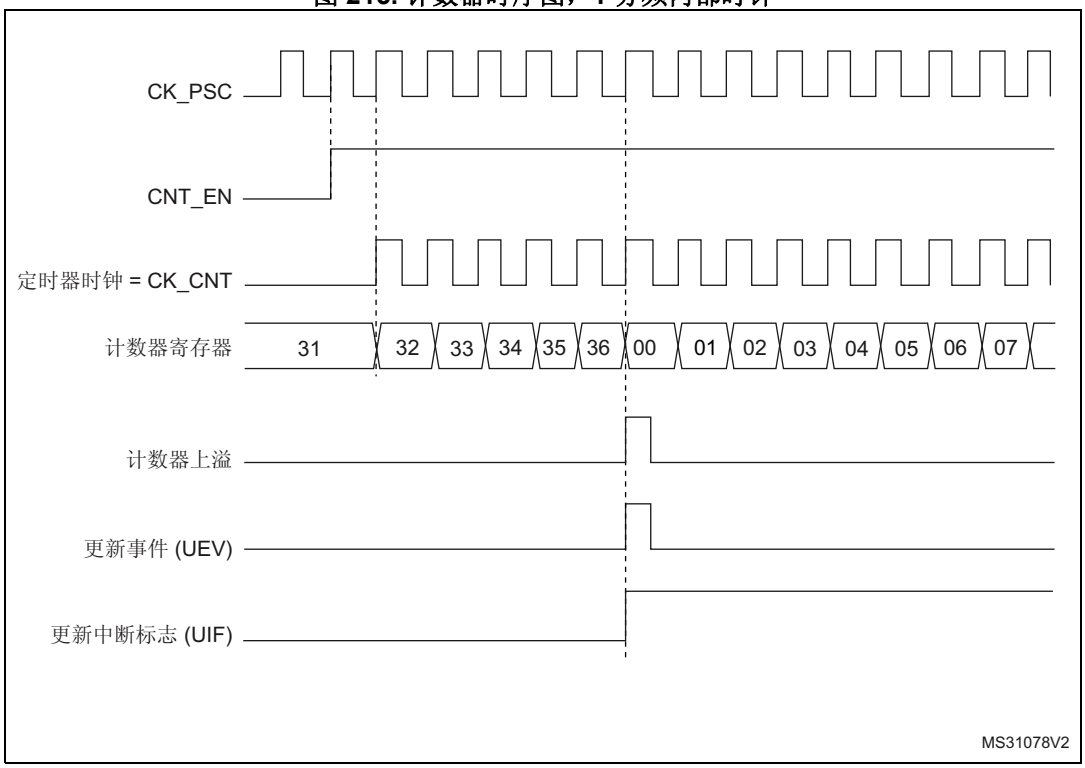


图 216. 计数器时序图，2 分频内部时钟

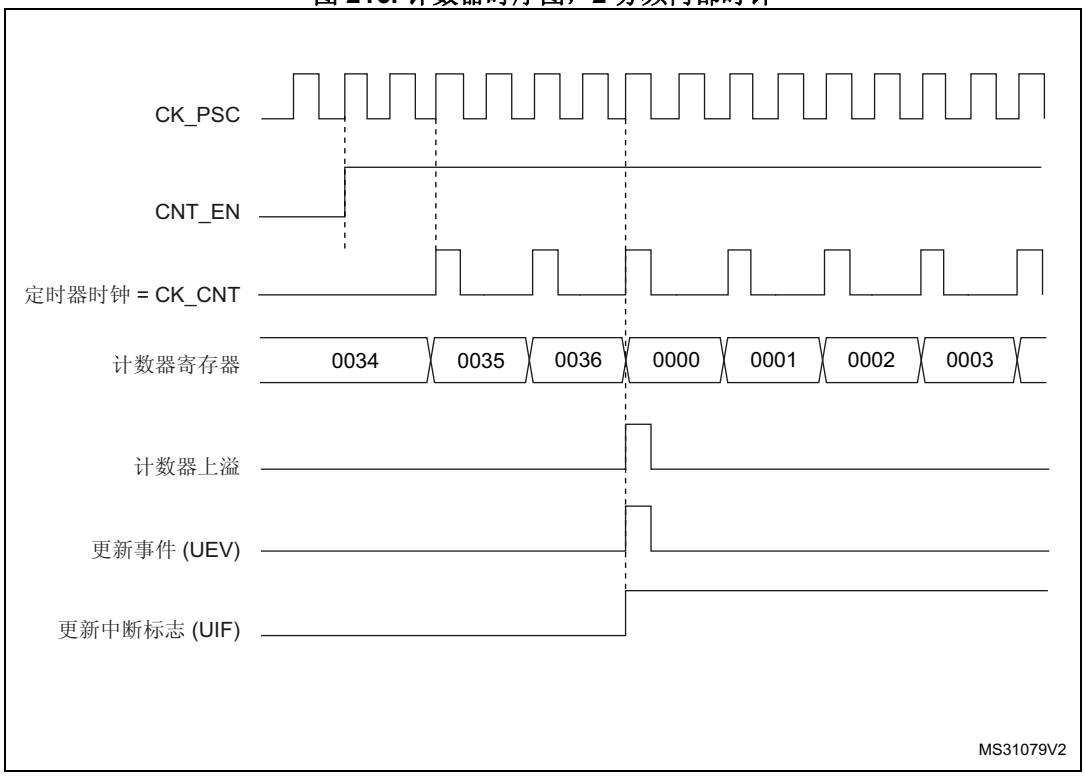


图 217. 计数器时序图，4 分频内部时钟

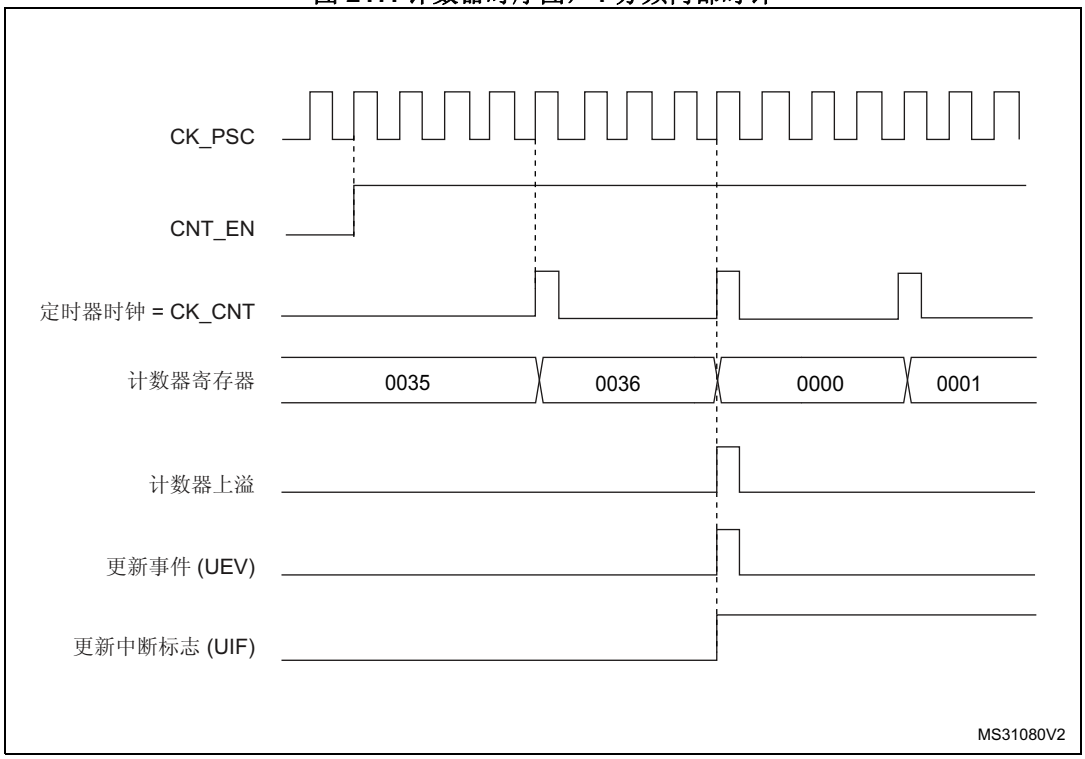


图 218. 计数器时序图，N 分频内部时钟

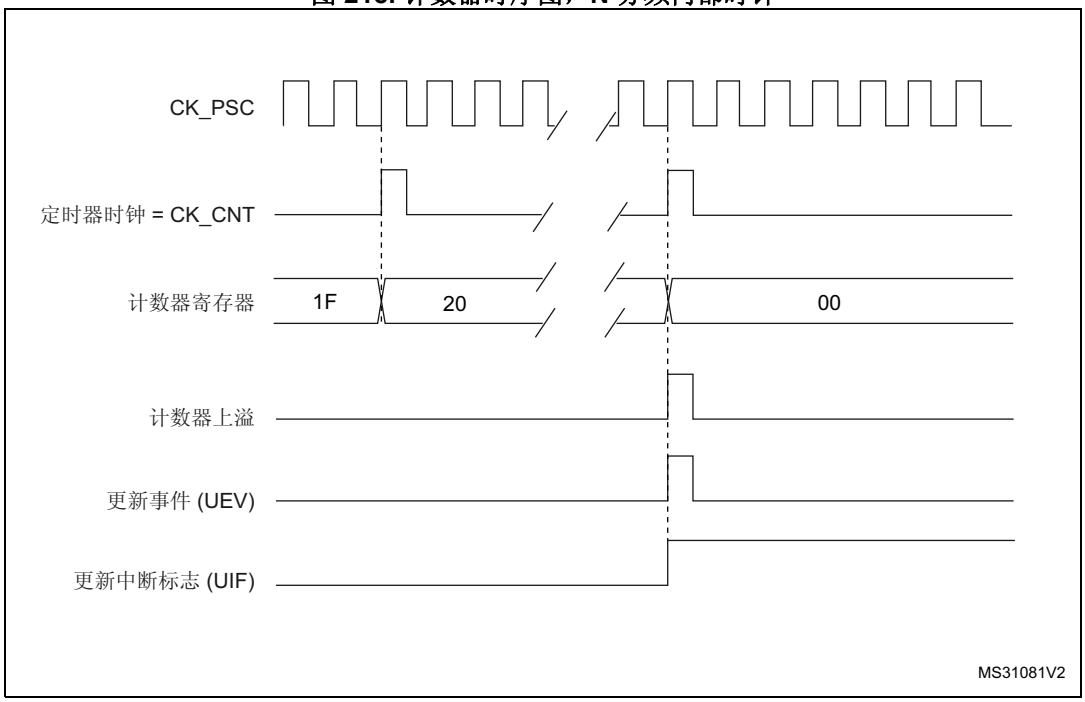


图 219. 计数器时序图，ARPE = 0 时更新事件（TIMx_ARR 未预装载）

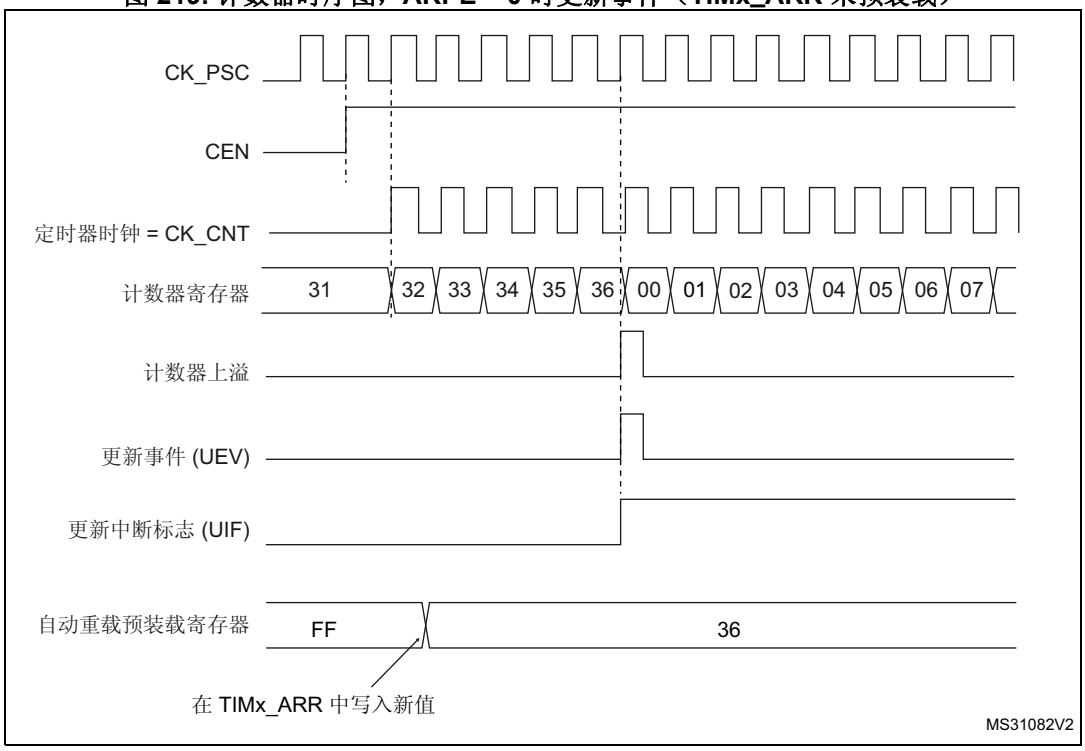
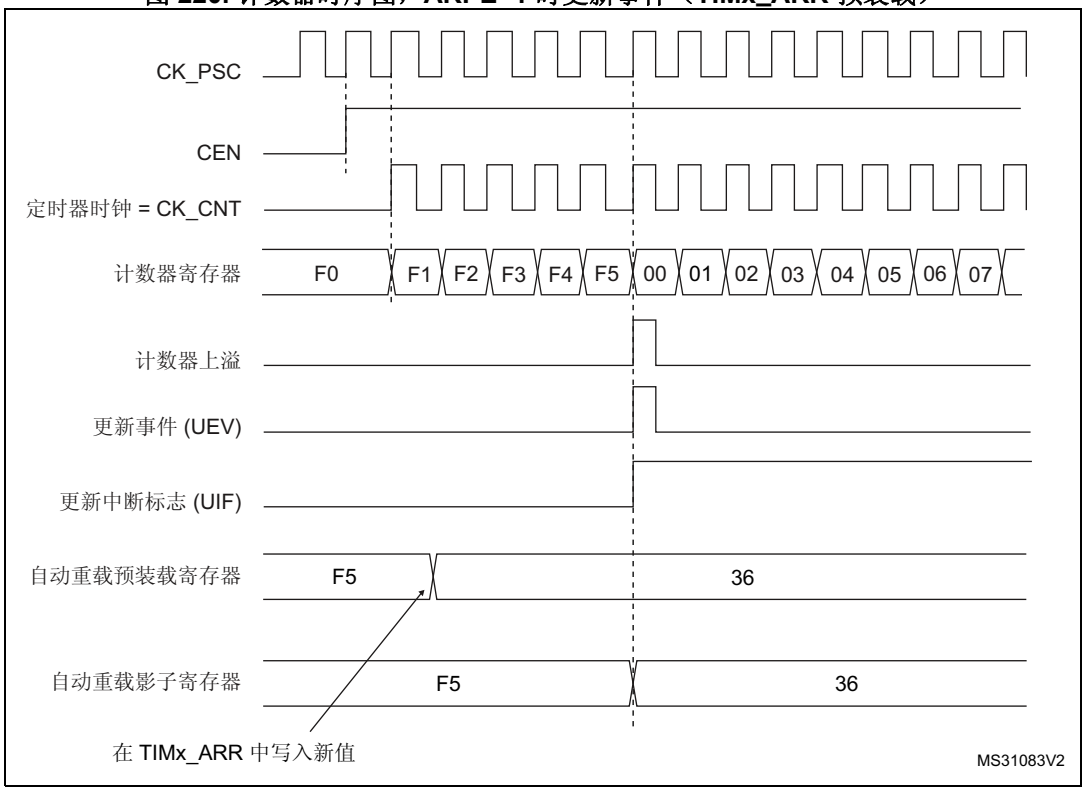


图 220. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 预装载）



22.3.3 UIF 位重映射

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 UIF 连续复制到定时器计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。在特定情况下，这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化计算。

UIF 和 UIFCPY 标志使能之间没有延迟。

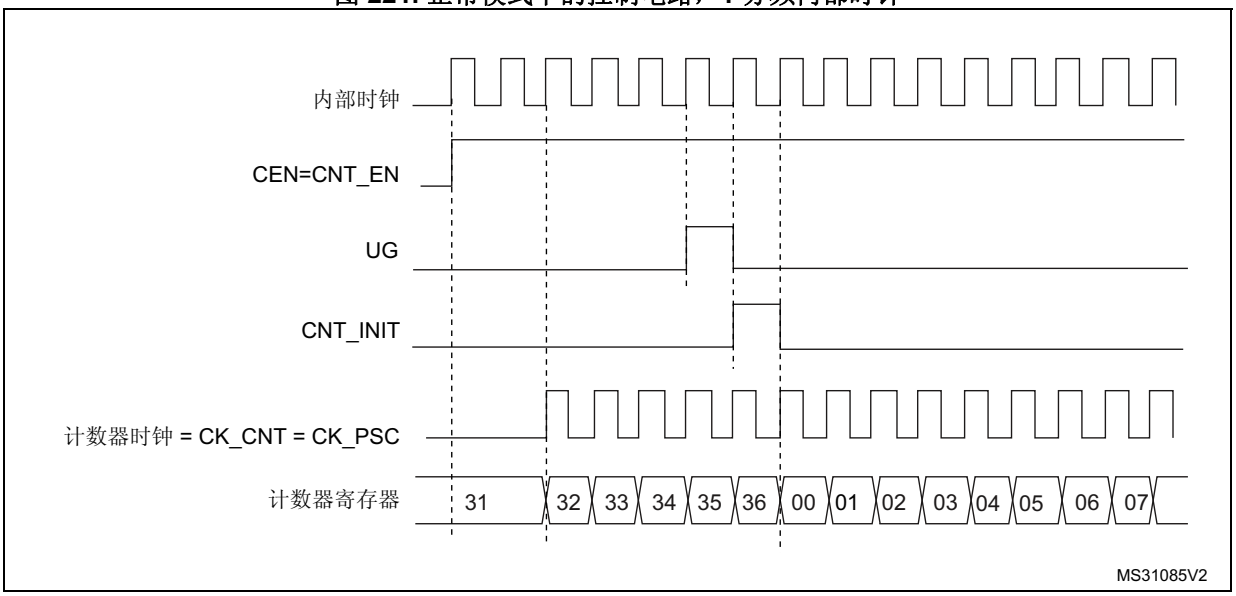
22.3.4 时钟源

计数器时钟由内部时钟 (CK_INT) 源提供。

CEN（TIMx_CR1 寄存器中）和 UG 位（TIMx_EGR 寄存器中）为实际控制位，并且只能通过软件进行更改（除了 UG 位被自动清零外）。当对 CEN 位写入 1 时，预分频器的时钟就由内部时钟 CK_INT 提供。

图 221 显示了正常模式下控制电路与递增计数器的行为（没有预分频的情况下）。

图 221. 正常模式下的控制电路，1 分频内部时钟



22.3.5 调试模式

当微控制器进入调试模式时（Cortex®-M0+ 内核停止），TIMx 计数器会根据 DBG 模块中的 DBG_TIMx_STOP 配置位选择继续正常工作或者停止工作。有关详细信息，请参见*第 37.9.2 节：对定时器、看门狗和 I^2C 的调试支持*。

22.4 TIM6/TIM7 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

外设寄存器可支持半字（16 位）或字（32 位）访问。

22.4.1 TIMx 控制寄存器 1 (TIMx_CR1)（x = 6 到 7）

TIMx control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	Res.	Res.	ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw				rw				rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)

0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。

1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10:8 保留，必须保持复位值。

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)

0：TIMx_ARR 寄存器不进行缓冲。

1：TIMx_ARR 寄存器进行缓冲。

位 6:4 保留，必须保持复位值。

位 3 **OPM**：单脉冲模式 (One-pulse mode)

0：计数器在发生更新事件时不会停止计数。

1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）。

位 2 **URS**：更新请求源 (Update request source)

此位由软件置 1 和清零，用以选择 UEV 事件源。

0：使能时，所有以下事件都会产生更新中断或 DMA 请求。此类事件包括：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

1：使能时，只有计数器上溢/下溢会生成更新中断或 DMA 请求。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止 UEV 事件生成。

0：使能 UEV。更新 (UEV) 事件可通过以下事件之一生成：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

然后带缓冲的寄存器被加载为预加载数值。

1：禁止 UEV。不会生成更新事件，各影子寄存器的值（ARR 和 PSC）保持不变。但如果将 UG 位置 1，或者从从模式控制器接收到硬件复位，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： 只有事先通过软件将 CEN 位置 1，才可以使用门控模式。而触发模式可通过硬件自动将 CEN 位置 1。

在单脉冲模式下，当发生更新事件时会自动将 CEN 位清零。

22.4.2 TIMx 控制寄存器 2 (TIMx_CR2)（x = 6 到 7）

TIMx control register 2

偏移地址：0x04

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS[2:0]			Res.	Res.	Res.	Res.
									rw	rw	rw				

位 15:7 保留，必须保持复位值。

位 6:4 **MMS[2:0]**：主模式选择 (Master mode selection)

这些位用于选择主模式下将要发送到从定时器以实现同步的信息 (TRGO)。这些位的组合如下：

000：**复位**——TIMx_EGR 寄存器中的 UG 位用作触发输出 (TRGO)。如果复位由触发输入产生（从模式控制器配置为复位模式），则 TRGO 上的信号相比实际复位会有延迟。

001：**使能**——计数器使能信号 CNT_EN 用作触发输出 (TRGO)。该触发输出可用于同时启动多个定时器，或者控制在一段时间内使能从定时器。计数器使能信号由 CEN 控制位与门控模式下的触发输入的逻辑或运算组合而成。

当计数器使能信号由触发输入控制时，TRGO 上会存在延迟，选择主/从模式时除外（请参见 TIMx_SMCR 寄存器中对 MSM 位的说明）。

010：**更新**——选择更新事件作为触发输出 (TRGO)。例如，主定时器可用作从定时器的预分频器。

注： 必须先使能从定时器或 ADC 的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改从定时器或 ADC 的时钟。

位 3:0 保留，必须保持复位值。

22.4.3 TIMx DMA/中断使能寄存器 (TIMx_DIER)（x = 6 到 7）

TIMx DMA/Interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	UDE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIE
							rw								rw

位 15:9 保留，必须保持复位值。

位 8 **UDE**：更新 DMA 请求使能 (Update DMA request enable)

0：禁止更新 DMA 请求。
1：使能更新 DMA 请求。

位 7:1 保留，必须保持复位值。

位 0 **UIE**：更新中断使能 (Update interrupt enable)

0：禁止更新中断。
1：使能更新中断。

22.4.4 TIMx 状态寄存器 (TIMx_SR)（x = 6 到 7）

TIMx status register

偏移地址：0x10

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIF
															rc_w0

位 15:1 保留，必须保持复位值。

位 0 **UIF**：更新中断标志 (Update interrupt flag)
该位在发生更新事件时通过硬件置 1。但需要通过软件清零。
0：未发生更新。
1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：
– 重复计数器值上溢或下溢并且 TIMx_CR1 寄存器中的 UDIS=0 时。
– 如果 TIMx_CR1 寄存器中 URS = 0 且 UDIS = 0，通过软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。

22.4.5 TIMx 事件生成寄存器 (TIMx_EGR)（x = 6 到 7）

TIMx event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UG
															w

位 15:1 保留，必须保持复位值。

位 0 **UG**：更新生成 (Update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作。
1：重新初始化定时器计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。

22.4.6 TIMx 计数器 (TIMx_CNT)（x = 6 到 7）

TIMx counter

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF Copy)
该位是 TIMx_ISR 寄存器中 UIF 位的只读副本。如果 TIMx_CR1 中的 UIFREMAP 位复位，则位 31 保留，读为 0。

位 30:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

22.4.7 TIMx 预分频器 (TIMx_PSC)（x = 6 到 7）

TIMx prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频器值 (Prescaler value)
计数器时钟频率 CK_CNT 等于 f_{CK_PSC} / (PSC[15:0] + 1)。
PSC 包含在每次发生更新事件时要装载到有效预分频器寄存器的值。
（包括当计数器通过 TIMx_EGR 寄存器的 UG 位或在“复位模式”下通过触发控制器清零时）。

22.4.8 TIMx 自动重载寄存器 (TIMx_ARR)（x = 6 到 7）

TIMx auto-reload register

偏移地址：0x2C

复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **ARR[15:0]**：预分频器值 (Prescaler value)
ARR 为要装载到实际自动重载寄存器的值。
有关 ARR 更新和行为的详细信息，请参见*第 624 页的第 22.3.1 节：时基单元*。
当自动重载值为空时，计数器不工作。

22.4.9 TIMx 寄存器映射

TIMx 寄存器可映射为 16 位可寻址寄存器，如下表所述：

表 112. TIMx 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMA	Res.	Res.	Res.	ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
	Reset value																					0				0				0	0	0	0
0x04	**TIMx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MMS [2:0]			Res.	Res.	Res.	Res.
	Reset value																										0	0	0				
0x08	Reserved																																
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UDE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIE
	Reset value																								0								0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIF
	Reset value																																0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UG
	Reset value																																0
0x18-0x20	Reserved																																
0x24	**TIMx_CNT**	UIFCPY or Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

23 通用定时器 (TIM14)

23.1 TIM14 简介

TIM14 通用定时器包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器可用于多种用途，包括测量输入信号的脉冲宽度（输入捕获），或者生成输出波形（输出比较、PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

TIM14 定时器完全独立，不与其他定时器共享任何资源。

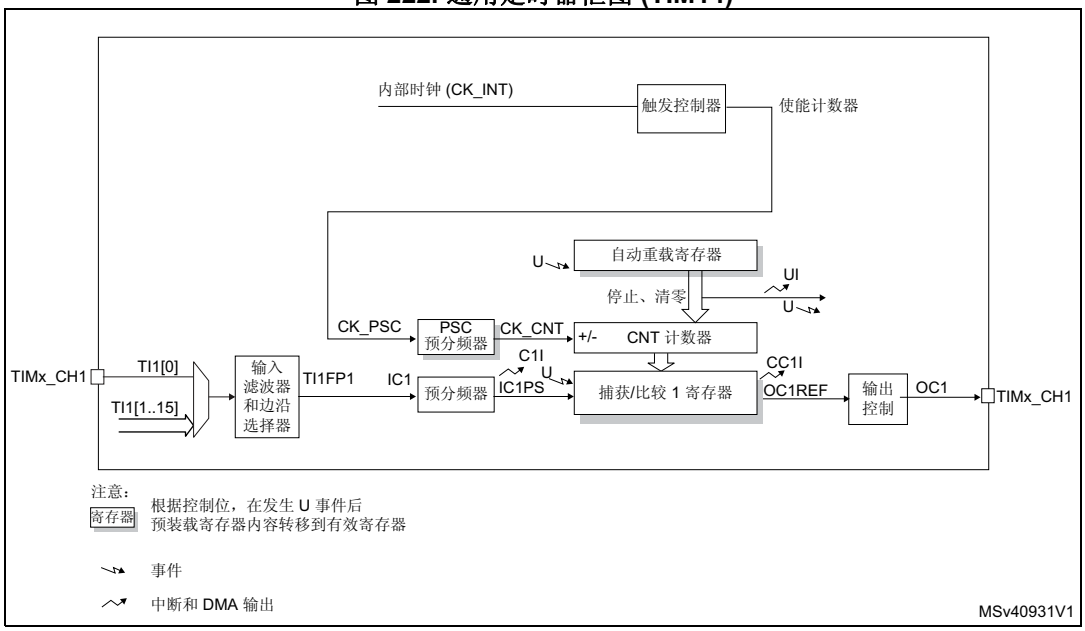
23.2 TIM14 主要特性

23.2.1 TIM14 主要特性

通用定时器 TIM14 具有以下特性：

- 16 位自动重载递增计数器
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 和 65536 之间
- 独立通道，可用于：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿对齐模式）
  - 单脉冲模式输出
- 发生如下事件时生成中断：
  - 更新：计数器上溢、计数器初始化（通过软件）
  - 输入捕获
  - 输出比较

图 222. 通用定时器框图 (TIM14)



23.3 TIM14 功能描述

23.3.1 时基单元

定时器的主要模块由一个 16 位递增计数器及其相关的自动重载寄存器组成。计数器的时钟可通过预分频器进行分频。

计数器、自动重载寄存器和预分频器寄存器可通过软件进行读写。即使在计数器运行时也可执行读写操作。

时基单元包括：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动重载寄存器 (TIMx_ARR)

自动重载寄存器是预装载的。对自动重载寄存器执行写入或读取操作时会访问预装载寄存器。预装载寄存器的内容既可以立即传送到影子寄存器，也可以在每次发生更新事件 (UEV) 时传送到影子寄存器，这取决于 TIMx_CR1 寄存器中的自动重载预装载使能位 (ARPE)。当计数器达到上溢值并且 TIMx_CR1 寄存器中的 UDIS 位为 0 时，将发送更新事件。该更新事件也可由软件产生。下文将针对各配置的更新事件的产生进行详细介绍。

计数器由预分频器输出 CK_CNT 提供时钟，仅当 TIMx_CR1 寄存器中的计数器启动位 (CEN) 置 1 时，才会启动计数器。

注意，计数器将在 TIMx_CR1 寄存器的 CEN 位置 1 时刻的一个时钟周期后开始计数。

预分频器说明

预分频器可对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间。该预分频器基于 16 位寄存器 TIMx_PSC 所控制的 16 位计数器。由于该控制寄存器具有缓冲功能，因此预分频器可实现实时更改。而新的预分频比将在下一更新事件发生时被采用。

图 223 和*图 224* 以一些示例说明在预分频比实时变化时计数器的行为。

图 223. 预分频器分频由 1 变为 2 时的计数器时序图

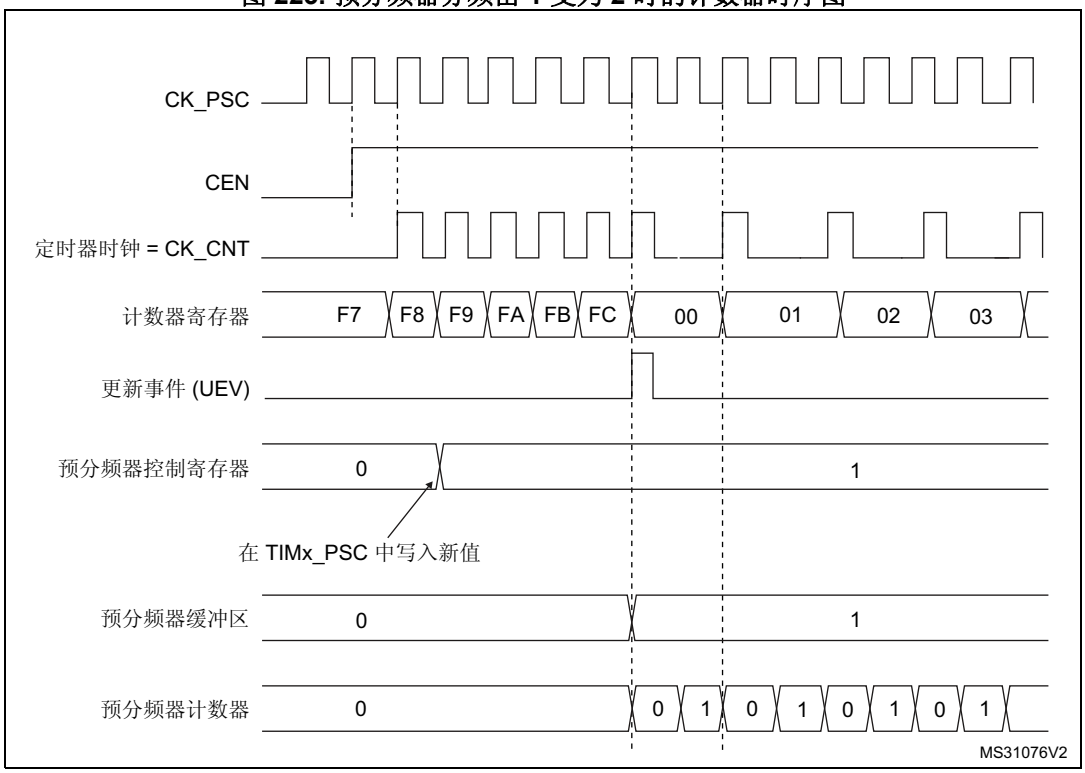
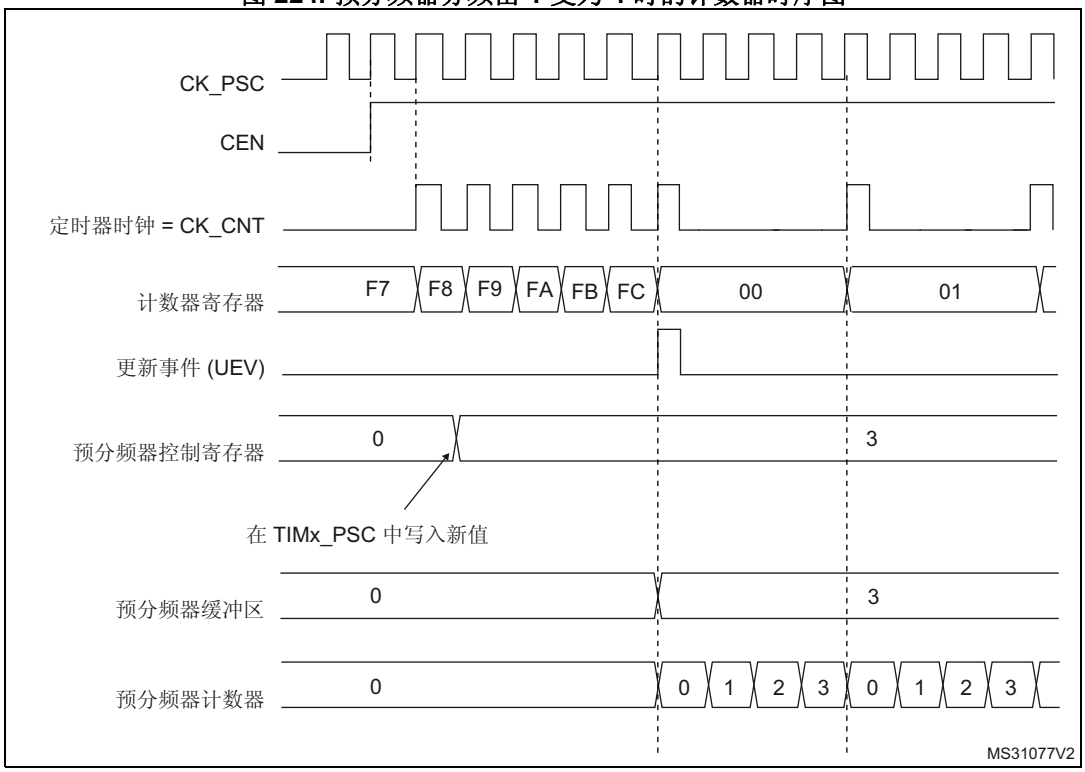


图 224. 预分频器分频由 1 变为 4 时的计数器时序图



23.3.2 计数器模式

递增计数模式

在递增计数模式下，计数器从 0 计数到自动重载值（TIMx_ARR 寄存器的内容），然后重新从 0 开始计数并生成计数器上溢事件。

将 TIMx_EGR 寄存器的 UG 位置 1（通过软件）时，也将产生更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器和预分频器计数器都会重新从 0 开始计数（而预分频比保持不变）。此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断）。这样一来，如果在发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 使用预装载值 (TIMx_ARR) 更新自动重载影子寄存器。
- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 225. 计数器时序图，1 分频内部时钟

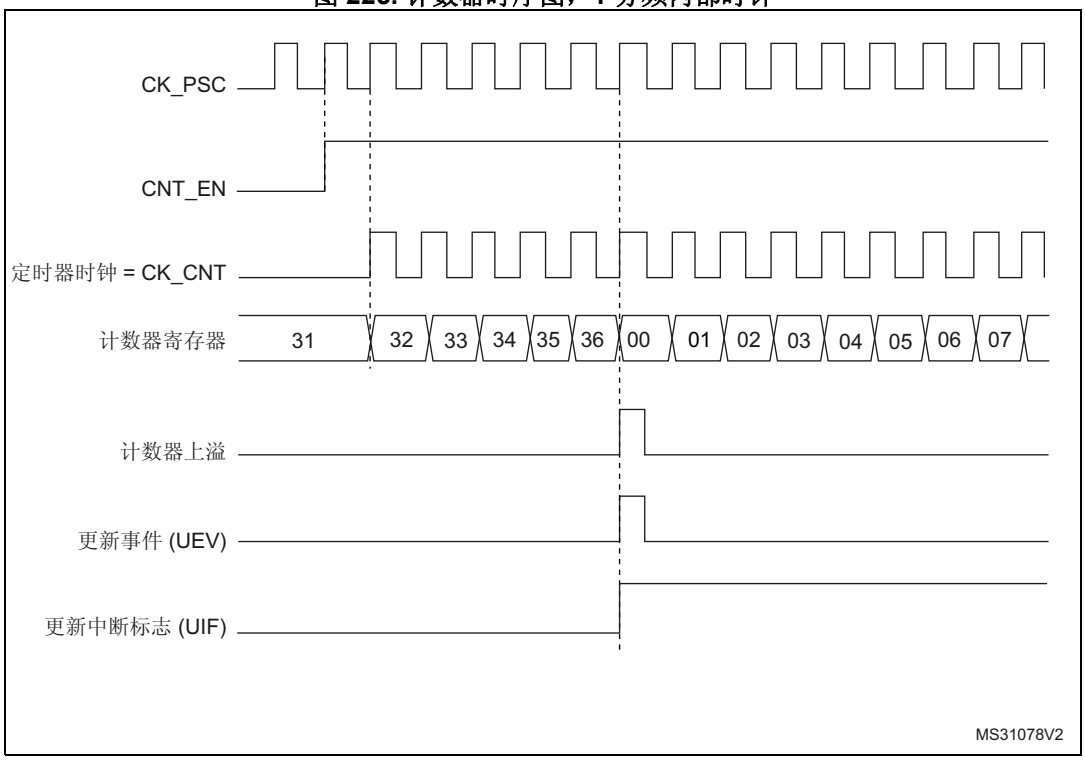


图 226. 计数器时序图，2 分频内部时钟

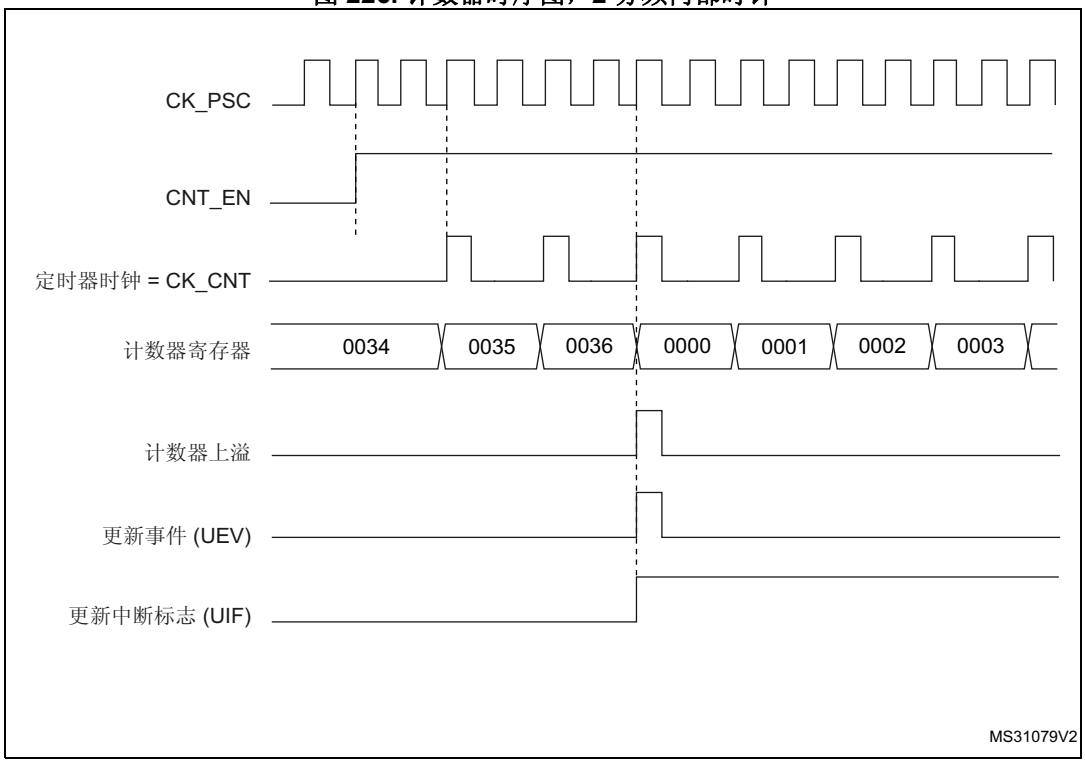


图 227. 计数器时序图，4 分频内部时钟

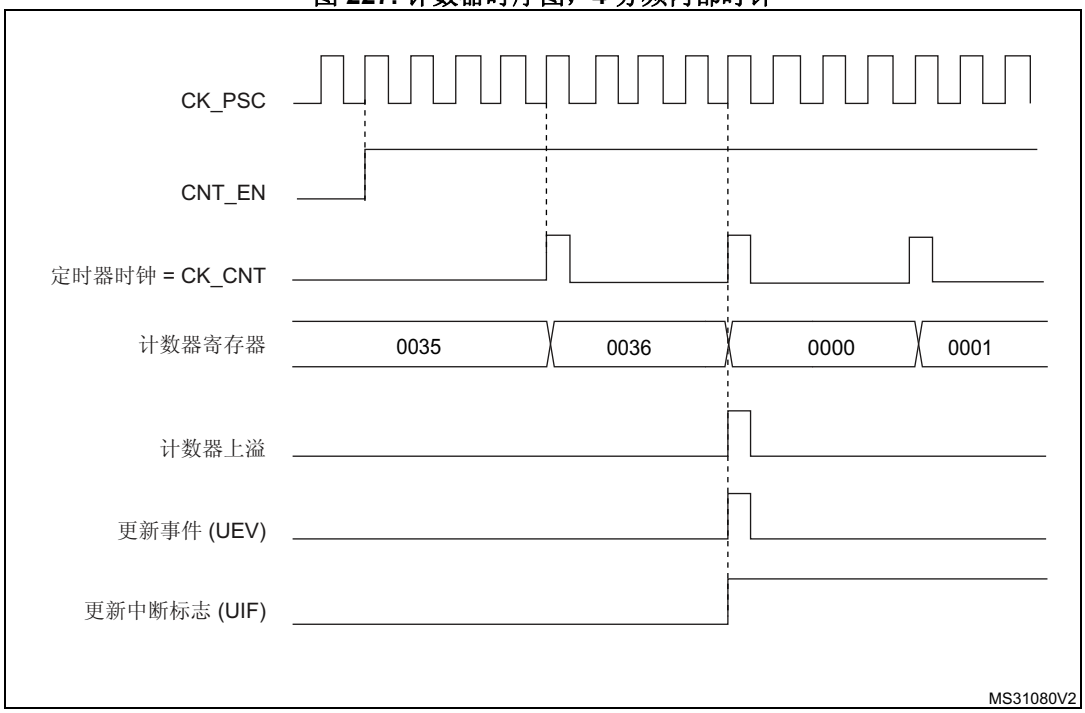


图 228. 计数器时序图，N 分频内部时钟

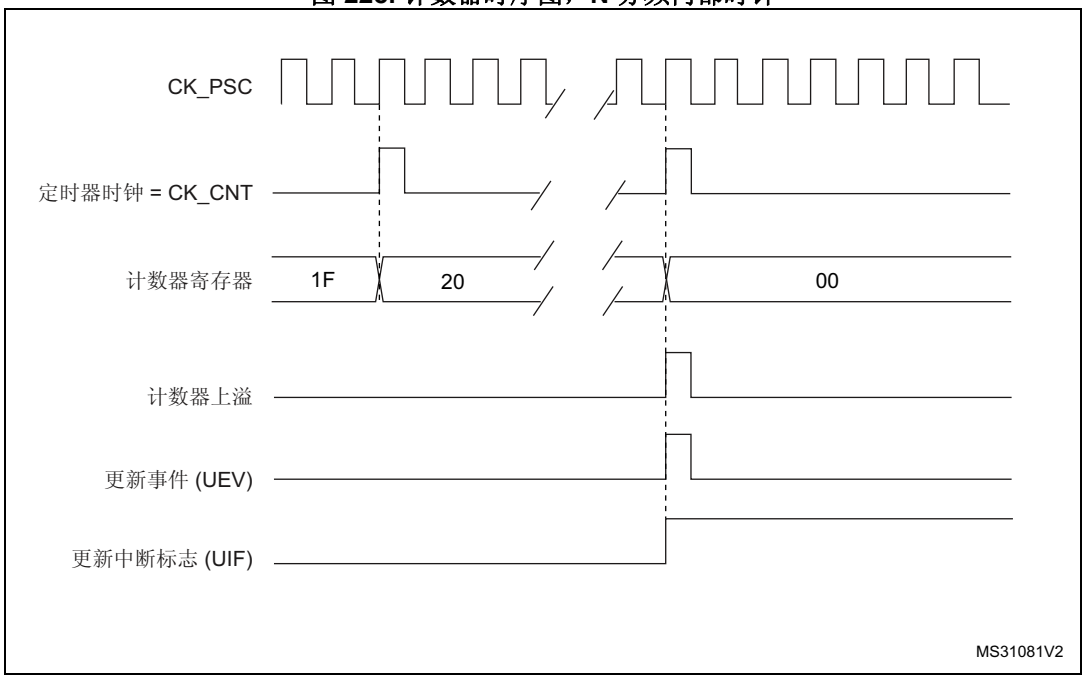


图 229. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载）

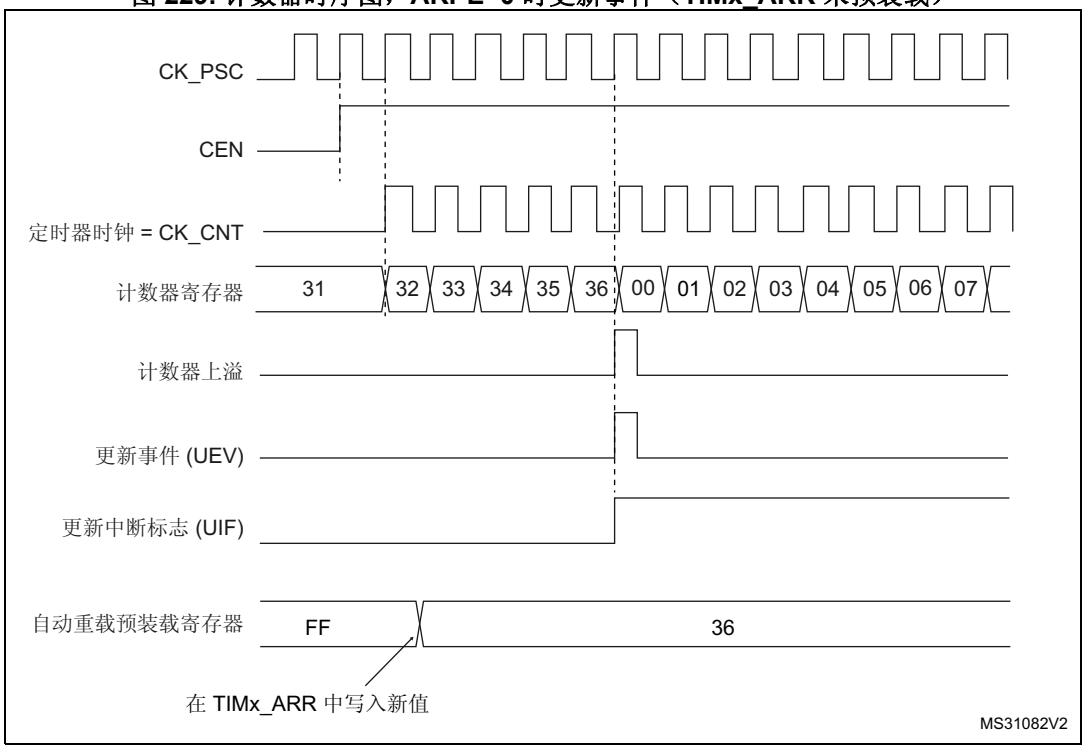
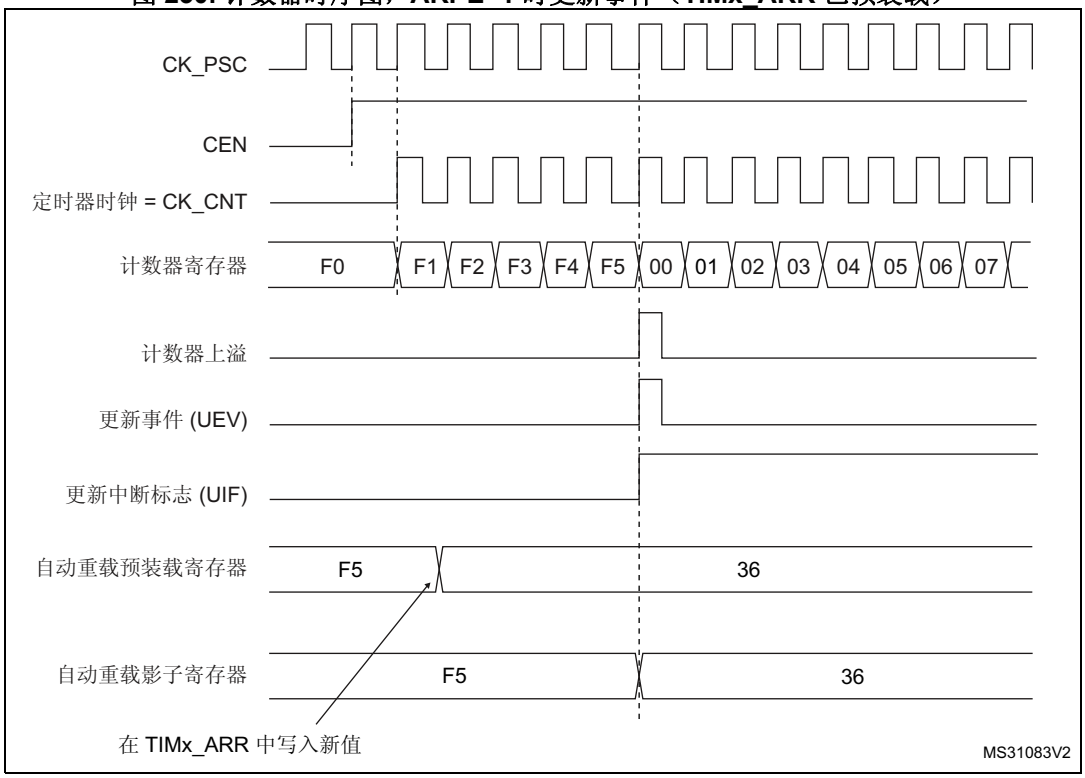


图 230. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 已预装载）



23.3.3 时钟选择

计数器时钟可由下列时钟源提供：

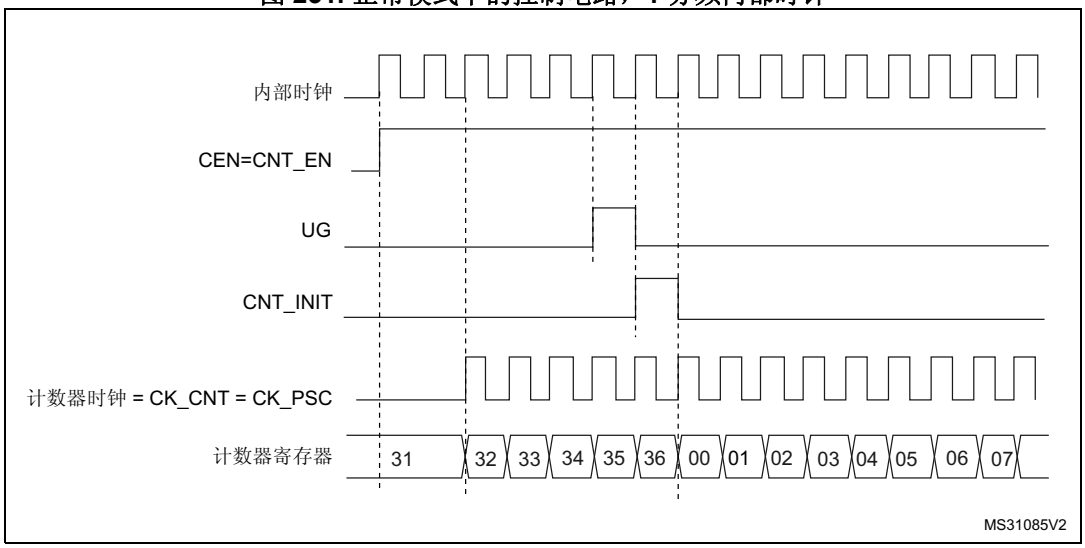
- 内部时钟 (CK_INT)

内部时钟源 (CK_INT)

内部时钟源是 TIM14 的默认时钟源。

图 231 显示了正常模式下控制电路与递增计数器的行为（没有预分频的情况下）。

图 231. 正常模式下的控制电路，1 分频内部时钟



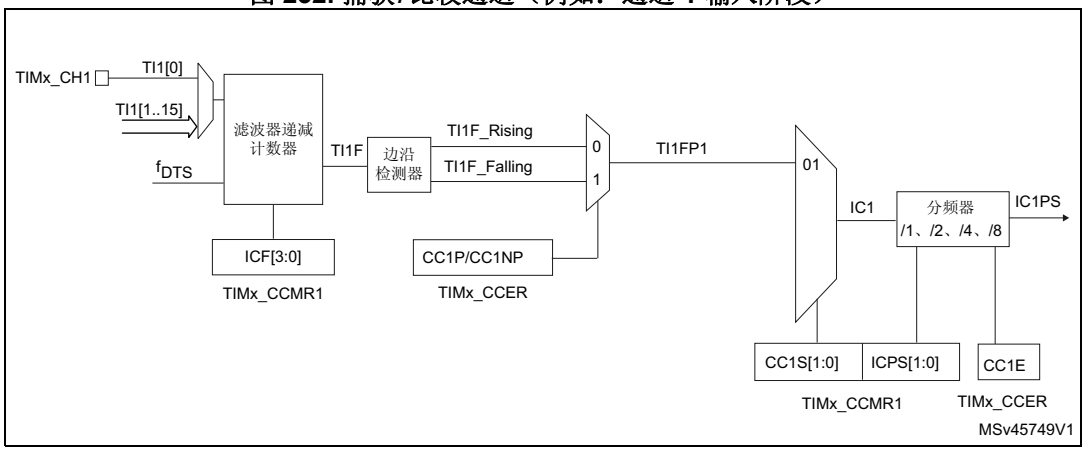
23.3.4 捕获/比较通道

每个捕获/比较通道均围绕一个捕获/比较寄存器（包括一个影子寄存器）、一个捕获输入阶段（数字滤波、多路复用和预分频器）和一个输出阶段（比较器和输出控制）构建而成。

图 232 到*图 234* 概括介绍了一个捕获/比较通道。

输入阶段对相应的 TIx 输入进行采样，生成一个滤波后的信号 TIxF。然后，带有极性选择功能的边沿检测器生成一个信号 (TIxFPx)，该信号可用作捕获命令。该信号先进行预分频 (ICxPS)，而后再进入捕获寄存器。

图 232. 捕获/比较通道（例如：通道 1 输入阶段）



输出阶段生成一个中间波形作为基准：OCxRef（高电平有效）。链的末端决定最终输出信号的极性。

图 233. 捕获/比较通道 1 主电路

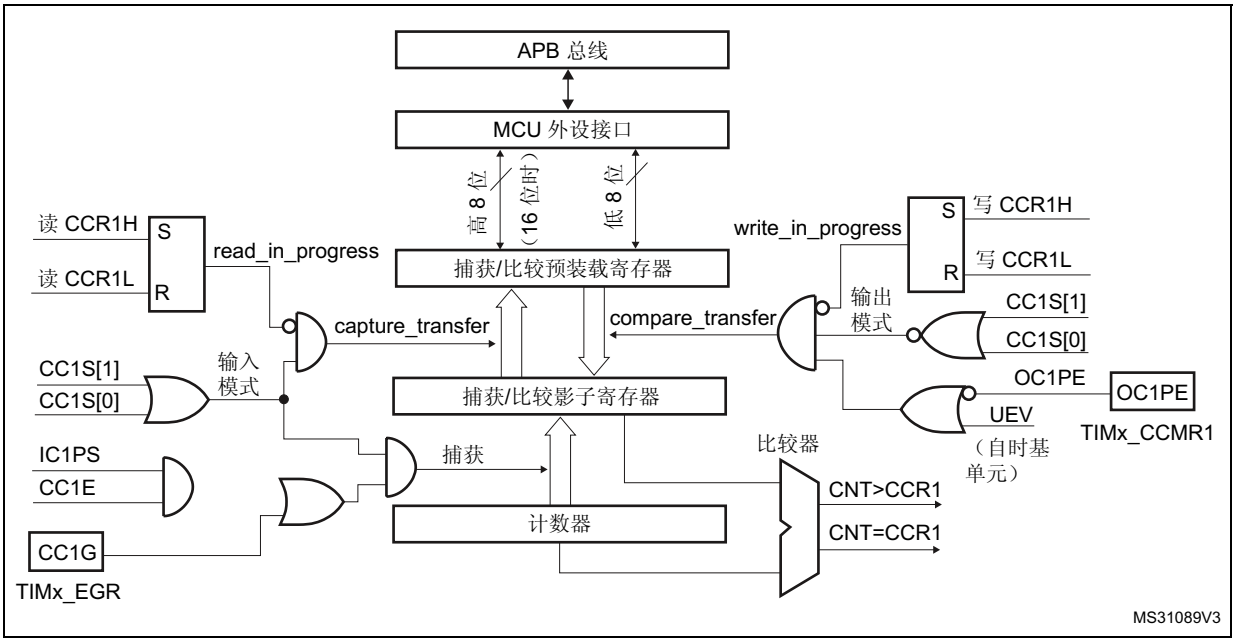
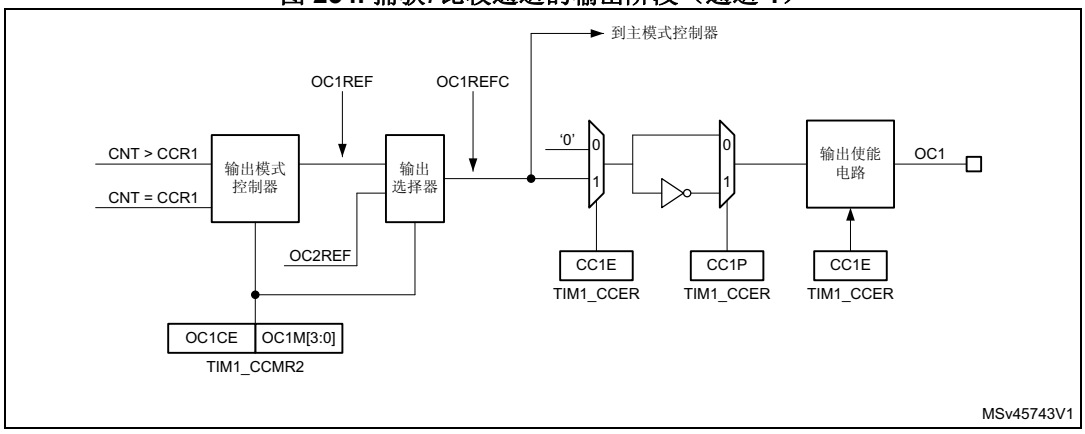


图 234. 捕获/比较通道的输出阶段（通道 1）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。始终可通过读写操作访问预装载寄存器。

在捕获模式下，捕获实际发生在影子寄存器中，然后将影子寄存器的内容复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容将复制到影子寄存器中，然后将影子寄存器的内容与计数器进行比较。

23.3.5 输入捕获模式

在输入捕获模式下，当相应的 ICx 信号检测到跳变沿后，将使用捕获/比较寄存器 (TIMx_CCRx) 来锁存计数器的值。发生捕获事件时，会将相应的 CCxIF 标志（TIMx_SR 寄存器）置 1，并可发送中断或 DMA 请求（如果已使能）。如果发生捕获事件时 CCxIF 标志已处于高位，则会将重复捕获标志 CCxOF（TIMx_SR 寄存器）置 1。可通过软件将 CCxIF 清零，方法是：向 CCxIF 写入“0”，或读取存储在 TIMx_CCRx 寄存器中的已捕获数据。CCxOF 在写入 0 时清零。

以下示例说明了如何在 TI1 输入出现上升沿时将计数器的值捕获到 TIMx_CCR1 中。具体操作步骤如下：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1[x] 源（内部或外部）。
2. 选择有效输入：TIMx_CCR1 必须连接到 TI1 输入，因此向 TIMx_CCMR1 寄存器中的 CC1S 位写入“01”。只要 CC1S 不等于“00”，就会将通道配置为输入模式，并且 TIMx_CCR1 寄存器将处于只读状态。
3. 根据连接到定时器的信号，对相应的输入滤波带宽进行编程（如果输入为 TIx 输入之一，则对 TIMx_CCMRx 寄存器中的 ICxF 位进行编程）。假设信号边沿变化时，输入信号最多在 5 个内部时钟周期内发生抖动。因此，我们必须将滤波带宽设置为大于 5 个内部时钟周期。在检测到 8 个具有新电平的连续采样（以 f_{DTS} 频率采样）后，可以确认 TI1 上的跳变沿。然后向 TIMx_CCMR1 寄存器中的 IC1F 位写入“0011”。
4. 通过在 TIMx_CCER 寄存器中将 CC1P 位和 CC1NP 位编程为“00”，选择 TI1 上的有效转换边沿（本例中为上升沿）。
5. 对输入预分频器进行编程。在本例中，我们希望每次有效转换时都执行捕获操作，因此需要禁止预分频器（向 TIMx_CCMR1 寄存器中的 IC1PS 位写入“00”）。
6. 通过将 TIMx_CCER 寄存器中的 CC1E 位置 1，允许将计数器的值捕获到捕获寄存器中。
7. 如果需要，可通过将 TIMx_DIER 寄存器中的 CC1IE 位置 1 来使能相关中断请求。

发生输入捕获时：

- 发生有效跳变沿时，TIMx_CCR1 寄存器会获取计数器的值。
- 将 CC1IF 标志置 1（中断标志）。如果至少发生了两次连续捕获，但 CC1IF 标志未被清零，这样 CC1OF 捕获溢出标志会被置 1。
- 根据 CC1IE 位生成中断。

要处理重复捕获，建议在读出捕获溢出标志之前读取数据。这样可避免丢失在读取捕获溢出标志之后与读取数据之前可能出现的重复捕获信息。

注： *通过软件将 TIMx_EGR 寄存器中的相应 CCxG 位置 1 可生成 IC 中断请求。*

23.3.6 强制输出模式

在输出模式（TIMx_CCMRx 寄存器中的 CCxS 位 = ‘00’）下，可直接由软件将每个输出比较信号（OCxREF 和 OCx）强制设置为有效电平或无效电平，而无需考虑输出比较寄存器和计数器之间的任何比较结果。

要将输出比较信号 (OCxREF/OCx) 强制设置为有效电平，用户只需向相应 TIMx_CCMRx 寄存器中的 OCxM 位写入“0101”。OCxREF 进而强制设置为高电平（OCxREF 始终为高电平有效），同时 OCx 获取 CCxP 极性位的相反值。

例如：CCxP=“0”（OCx 高电平有效）=> 将 OCx 强制设置为高电平。

通过向 TIMx_CCMRx 寄存器中的 OCxM 位写入“0100”，可将 OCxREF 信号强制设置为低电平。

无论如何，TIMx_CCRx 影子寄存器与计数器之间的比较仍会执行，而且允许将标志置 1。因此可相应发送中断请求。下面的输出比较模式一节对此进行了介绍。

23.3.7 输出比较模式

此功能用于控制输出波形，或指示已经过某一时间段。

当捕获/比较寄存器与计数器之间相匹配时，输出比较功能：

1. 将为相应的输出引脚分配一个可编程值，该值由输出比较模式（TIMx_CCMRx 寄存器中的 OCxM 位）和输出极性（TIMx_CCER 寄存器中的 CCxP 位）定义。匹配时，输出引脚既可保持其电平（OCxM=“0000”），也可设置为有效电平（OCxM=“0001”）、无效电平（OCxM=“0010”）或进行翻转（OCxM=“0011”）。
2. 将中断状态寄存器中的标志置 1（TIMx_SR 寄存器中的 CCxIF 位）。
3. 如果相应中断使能位（TIMx_DIER 寄存器中的 CCxIE 位）置 1，将生成中断。

使用 TIMx_CCMRx 寄存器中的 OCxPE 位，可将 TIMx_CCRx 寄存器配置为带或不带预装载寄存器。

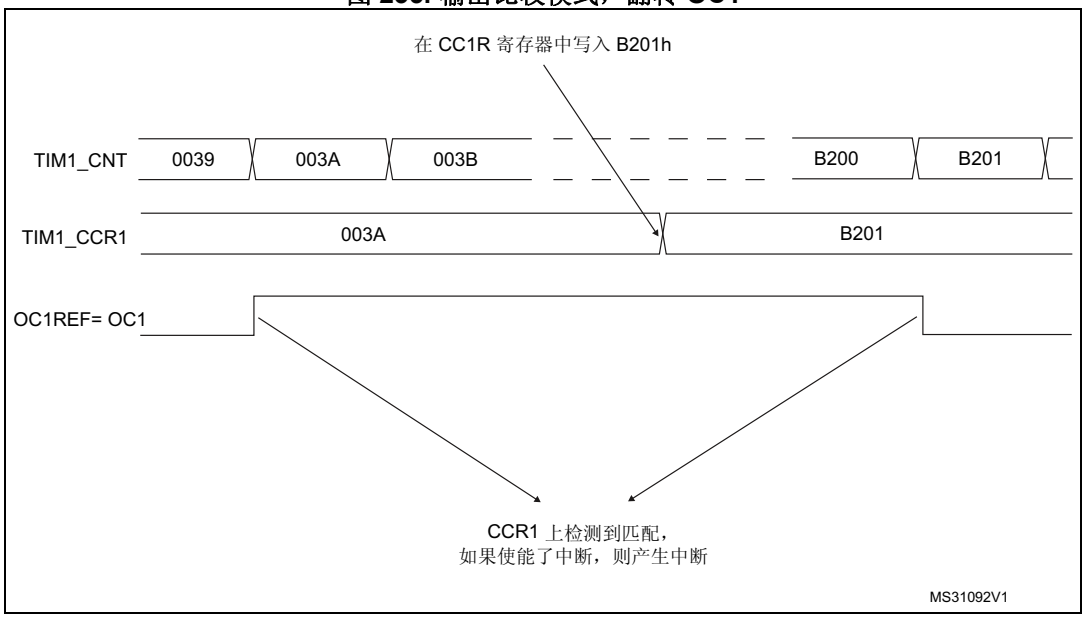
在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出毫无影响。同步的精度可以达到计数器的一个计数周期。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

步骤：

1. 选择计数器时钟（内部、外部、预分频器）。
2. 在 TIMx_ARR 和 TIMx_CCRx 寄存器中写入所需数据。
3. 如果要生成中断请求，则需将 CCxIE 位置 1。
4. 选择输出模式。例如：
   - 当 CNT 与 CCRx 匹配时，写入 OCxM =“0011”以翻转 OCx 输出引脚
   - 写入 OCxPE =“0”以禁止预装载寄存器
   - 写入 CCxP =“0”以选择高电平有效极性
   - 写入 CCxE =“1”以使能输出
5. 通过将 TIMx_CR1 寄存器中的 CEN 位置 1 来使能计数器。

可通过软件随时更新 TIMx_CCRx 寄存器以控制输出波形，前提是未使能预装载寄存器（OCxPE=“0”，否则 TIMx_CCRx 影子寄存器仅在下一更新事件 UEV 发生时进行更新）。*图 235* 给出了一个示例。

图 235. 输出比较模式，翻转 OC1



23.3.8 PWM 模式

脉冲宽度调制模式可以生成一个信号，该信号频率由 TIMx_ARR 寄存器值决定，其占空比则由 TIMx_CCRx 寄存器值决定。

各通道可以独立选择 PWM 模式（每个 OCx 输出对应一个 PWM），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“0110”（PWM 模式 1）或“0111”（PWM 模式 2）。必须通过将 TIMx_CCMRx 寄存器中的 OCxPE 位置 1 使能相应预装载寄存器，最后通过将 TIMx_CR1 寄存器中的 ARPE 位置 1 使能自动重载预装载寄存器（在递增计数或中心对齐模式下）。

由于只有在发生更新事件时预装载寄存器才会传送到影子寄存器，因此启动计数器之前，必须通过将 TIMx_EGR 寄存器中的 UG 位置 1 来初始化所有寄存器。

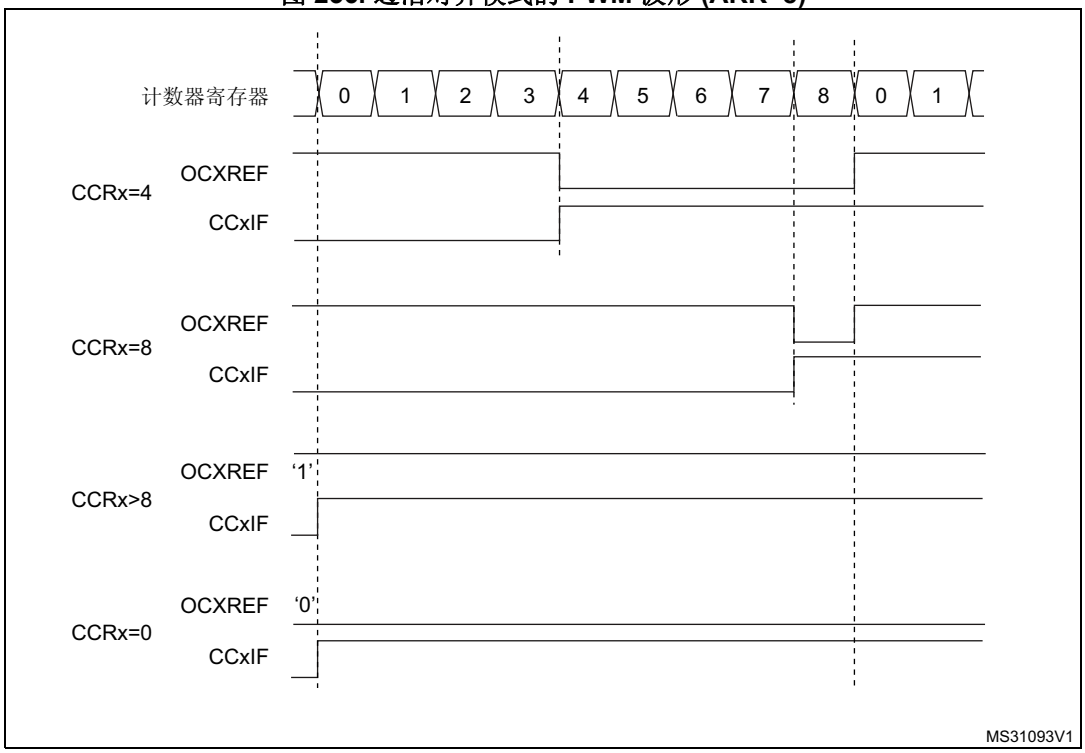
OCx 极性可通过软件来编程（使用 TIMx_CCER 寄存器的 CCxP 位）。可将其编程为高电平有效或低电平有效。OCx 输出通过将 TIMx_CCER 寄存器中的 CCxE 位置 1 来使能。有关详细信息，请参见 TIMx_CCERx 寄存器说明。

在 PWM 模式（1 或 2）下，TIMx_CNT 始终与 TIMx_CCRx 进行比较，以确定 TIMx_CNT ≤ TIMx_CCRx 是否成立。

因为计数器采用递增方式计数，所以定时器能够在边沿对齐模式下生成 PWM。

以下以 PWM 模式 1 为例。只要 TIMx_CNT < TIMx_CCRx，PWM 参考信号 OCxREF 便为高电平，否则为低电平。如果 TIMx_CCRx 中的比较值大于自动重载值（TIMx_ARR 中），则 OCxREF 保持为“1”。如果比较值为 0，则 OCxRef 保持为“0”。*图 236* 举例介绍边沿对齐模式的一些 PWM 波形 (TIMx_ARR=8)。

图 236. 边沿对齐模式的 PWM 波形 (ARR=8)



23.3.9 单脉冲模式

单脉冲模式 (OPM) 是上述模式的一个特例。在这种模式下，计数器可以在一个激励信号的触发下启动，并可在一段可编程的延时后产生一个脉宽可编程的脉冲。

可以通过 CEN 位控制计数器启动。可以在输出比较模式或 PWM 模式下生成波形。通过将 TIMx_CR1 寄存器中的 OPM 位置 1 选择单脉冲模式。这样，发生下一更新事件 UEV 时，计数器将自动停止。

只有当比较值与计数器初始值不同时，才能正确产生一个脉冲。启动前（定时器等待触发时），必须进行如下配置：

CNT < CCRx = ARR（特别注意，0 < CCRx）

23.3.10 UIF 位重映射

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 UIF 连续复制到定时计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。在特定情况下，这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化计算。

UIF 和 UIFCPY 标志使能之间没有延迟。

23.3.11 调试模式

当微控制器进入调试模式（Cortex®-M0+ 内核停止）时，TIMx 计数器会根据 DBG 模块中的 DBG_TIMx_STOP 配置位选择继续正常工作或者停止工作。有关详细信息，请参见*第 37.9.2 节：对定时器、看门狗和 I^2C 的调试支持*。

23.4 TIM14 寄存器

外设寄存器的写访问仅支持半字（16 位）或字（32 位）。而读访问可支持字节（8 位）、半字（16 位）或字（32 位）。

23.4.1 TIM14 控制寄存器 1 (TIM14_CR1)

TIM14 control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw		rw	rw	rw				rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)
0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。
1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10 保留，必须保持复位值。

位 9:8 **CKD[1:0]**：时钟分频 (Clock division)
此位字段指示定时器时钟 (CK_INT) 频率与数字滤波器 (TIx) 所使用的采样时钟之间的分频比
00：$t_{DTS} = t_{CK\_INT}$
01：$t_{DTS} = 2 \times t_{CK\_INT}$
10：$t_{DTS} = 4 \times t_{CK\_INT}$
11：保留

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)
0：TIMx_ARR 寄存器不进行缓冲
1：TIMx_ARR 寄存器进行缓冲

位 6:4 保留，必须保持复位值。

位 3 **OPM**：单脉冲模式 (One-pulse mode)
0：计数器在发生更新事件时不会停止计数
1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）

位 2 **URS**：更新请求源 (Update request source)
此位由软件置 1 和清零，用以选择更新中断 (UEV) 源。
0：使能后，所有以下事件都会生成 UEV：
– 计数器上溢
– 将 UG 位置 1
1：使能后，只有计数器上溢会生成 UEV。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止更新中断 (UEV) 事件生成。

0：使能 UEV。UEV 可通过以下事件之一生成：

– 计数器上溢

– 将 UG 位置 1

然后更新影子寄存器的值。

1：禁止 UEV。不会生成 UEV，各影子寄存器的值（ARR、PSC 和 CCRx）保持不变。如果 UG 位置 1，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： 只有事先通过软件将 CEN 位置 1，才可以使用外部时钟和门控模式，而触发模式可通过硬件自动将 CEN 位置 1。

23.4.2 TIM14 中断使能寄存器 (TIM14_DIER)

TIM14 Interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1IE	UIE
														rw	rw

位 15:2 保留，必须保持复位值。

位 1 **CC1IE**：捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable)

0：禁止 CC1 中断

1：使能 CC1 中断

位 0 **UIE**：更新中断使能 (Update interrupt enable)

0：禁止更新中断

1：使能更新中断

23.4.3 TIM14 状态寄存器 (TIM14_SR)

TIM14 status register

偏移地址：0x10

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1IF	UIF
						rc_w0								rc_w0	rc_w0

位 15:10 保留，必须保持复位值。

位 9 **CC1OF**：捕获/比较 1 重复捕获标志 (Capture/Compare 1 overcapture flag)

仅当将相应通道配置为输入捕获模式时，此标志位才会由硬件置 1。通过软件写入“0”可将该位清零。

0：未检测到重复捕获。

1：TIMx_CCR1 寄存器中已捕获到计数器值且 CC1IF 标志已置 1。

位 8:2 保留，必须保持复位值。

位 1 **CC1IF**：捕获/比较 1 中断标志 (Capture/compare 1 interrupt flag)

如果通道 CC1 配置为输出：

当计数器与比较值匹配时，此标志由硬件置 1。但需要通过软件清零。

0：不匹配。

1：TIMx_CNT 计数器的值与 TIMx_CCR1 寄存器的值匹配。当 TIMx_CCR1 的值大于 TIMx_ARR 的值时，CC1IF 位将在计数器发生上溢时变为高电平。

如果通道 CC1 配置为输入：

此位将在发生捕获事件时由硬件置 1。通过软件或读取 TIMx_CCR1 寄存器将该位清零。

0：未发生输入捕获事件。

1：TIMx_CCR1 寄存器中已捕获到计数器值（IC1 上已检测到与所选极性匹配的边沿）。

位 0 **UIF**：更新中断标志 (Update interrupt flag)

该位在发生更新事件时通过硬件置 1。但需要通过软件清零。

0：未发生更新。

1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：

– 上溢且当 TIMx_CR1 寄存器中 UDIS =“0”时。

– 当由于 TIMx_CR1 寄存器中 URS =“0”且 UDIS =“0”而通过软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。

23.4.4 TIM14 事件生成寄存器 (TIM14_EGR)

TIM14 event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1G	UG
														w	w

位 15:2 保留，必须保持复位值。

位 1 **CC1G**：捕获/比较 1 生成 (Capture/Compare 1 generation)

此位由软件置 1 以生成事件，并由硬件自动清零。

0：不执行任何操作。

1：通道 1 上生成捕获/比较事件：

如果通道 CC1 配置为输出：

使能后，CC1IF 标志置 1 并发送相应的中断。

如果通道 CC1 配置为输入：

TIMx_CCR1 寄存器中将捕获到计数器当前值。使能后，CC1IF 标志置 1 并发送相应中断。如果 CC1IF 标志已为高电平，CC1OF 标志将置 1。

位 0 **UG**：更新生成 (Update generation)

该位可通过软件置 1，并由硬件自动清零。

0：不执行任何操作。

1：重新初始化计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。计数器清零。

23.4.5 TIM14 捕获/比较模式寄存器 1 [备用] (TIM14_CCMR1)

TIM14 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7:4 **IC1F[3:0]**：输入捕获 1 滤波器 (Input capture 1 filter)

此位域可定义 TI1 输入的采样频率和适用于 TI1 的数字滤波器的采样长度。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样

0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2

0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4

0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8

0100：$f_{SAMPLING}=f_{DTS}/2$，N=6

0101：$f_{SAMPLING}=f_{DTS}/2$，N=8

0110：$f_{SAMPLING}=f_{DTS}/4$，N=6

0111：$f_{SAMPLING}=f_{DTS}/4$，N=8

1000：$f_{SAMPLING}=f_{DTS}/8$，N=6

1001：$f_{SAMPLING}=f_{DTS}/8$，N=8

1010：$f_{SAMPLING}=f_{DTS}/16$，N=5

1011：$f_{SAMPLING}=f_{DTS}/16$，N=6

1100：$f_{SAMPLING}=f_{DTS}/16$，N=8

1101：$f_{SAMPLING}=f_{DTS}/32$，N=5

1110：$f_{SAMPLING}=f_{DTS}/32$，N=6

1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 3:2 **IC1PSC[1:0]**：输入捕获 1 预分频器 (Input capture 1 prescaler)

此位域定义 CC1 输入 (IC1) 的预分频比。

只要 CC1E=“0”（TIMx_CCER 寄存器），预分频器便立即复位。

00：无预分频器，捕获输入上每检测到一个边沿便执行捕获

01：每发生 2 个事件便执行一次捕获

10：每发生 4 个事件便执行一次捕获

11：每发生 8 个事件便执行一次捕获

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出

01：CC1 通道配置为输入，IC1 映射到 TI1 上

10：保留

11：保留

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = 0），才可向 CC1S 位写入数据。

23.4.6 TIM14 捕获/比较模式寄存器 1 [备用] (TIM14_CCMR1)

TIM14 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
									rw	rw	rw	rw	rw	rw	rw

位 31:17 保留，必须保持复位值。

位 15:7 保留，必须保持复位值。

位 16、 6:4 **OC1M[3:0]**：输出比较 1 模式 (Output Compare 1 mode)（请参见 OC1M[3] 的位 16）

这些位定义提供 OC1 的输出参考信号 OC1REF 的行为。OC1REF 为高电平有效，而 OC1 的有效电平则取决于 CC1P 位。

0000：冻结。输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 进行比较不会对输出造成任何影响。

0001：将通道 1 设置为匹配时输出有效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为高电平。

0010：将通道 1 设置为匹配时输出无效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为低电平。

0011：翻转——TIMx_CNT = TIMx_CCR1 时，OC1REF 发生翻转。

0100：强制变为无效电平——OC1REF 强制变为低电平。

0101：强制变为有效电平——OC1REF 强制变为高电平。

0110：PWM 模式 1——只要 TIMx_CNT < TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。

0111：PWM 模式 2——只要 TIMx_CNT < TIMx_CCR1，通道 1 便为无效状态，否则为有效状态。

其他值：保留

注： 在 PWM 模式 1 或 PWM 模式 2 下，仅当比较结果发生改变或输出比较模式由 “冻结” 模式切换到 “PWM” 模式时， OCREF 电平才会发生更改。

位 3 **OC1PE**：输出比较 1 预装载使能 (Output Compare 1 preload enable)

0：禁止与 TIMx_CCR1 相关的预装载寄存器。可随时向 TIMx_CCR1 写入数据，写入后将立即使用新值。

1：使能与 TIMx_CCR1 相关的预装载寄存器。可读/写访问预装载寄存器。TIMx_CCR1 预装载值在每次生成更新事件时都会装载到有效寄存器中。

注： 只有单脉冲模式下才可在未验证预装载寄存器的情况下使用 PWM 模式 （TIMx_CR1 寄存器中的 OPM 位置 1）。其他情况下则无法保证该行为。

位 2 **OC1FE**：输出比较 1 快速使能 (Output Compare 1 fast enable)

此位用于加快触发输入事件对 CC 输出的影响。

0：即使触发开启，CC1 也将根据计数器和 CCR1 值正常工作。触发输入出现边沿时，激活 CC1 输出的最短延迟时间为 5 个时钟周期。

1：触发输入上出现有效边沿相当于 CC1 输出上的比较匹配。随后，无论比较结果如何，OC 都设置为比较电平。采样触发输入和激活 CC1 输出的延迟时间缩短为 3 个时钟周期。仅当通道配置为 PWM1 或 PWM2 模式时，OC1FE 才会起作用。

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出。

01：CC1 通道配置为输入，IC1 映射到 TI1 上。

其他值：保留

注： 仅当通道关闭时 （TIMx_CCER 中的 CC1E = 0），才可向 CC1S 位写入数据。

23.4.7 TIM14 捕获/比较使能寄存器 (TIM14_CCER)

TIM14 capture/compare enable register

偏移地址：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	Res.	CC1P	CC1E
												rw		rw	rw

位 15:4 保留，必须保持复位值。

位 3 **CC1NP**：捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output Polarity)
CC1 通道配置为输出：CC1NP 必须保持清零。
CC1 通道配置为输入：CC1NP 与 CC1P 配合使用可定义 TI1FP1 的极性（请参见 CC1P 说明）。

位 2 保留，必须保持复位值。

位 1 **CC1P**：捕获/比较 1 输出极性 (Capture/Compare 1 output polarity)。
CC1 通道配置为输出：
0：OC1 高电平有效
1：OC1 低电平有效
CC1 通道配置为输入：
CC1P 和 CC1NP 位针对捕获操作选择 TI1FP1 极性。
00：未反相/上升沿触发
电路对 TI1FP1 上升沿敏感（捕获模式），TI1FP1 未反相。
01：反相/下降沿触发
电路对 TI1FP1 下降沿敏感（捕获模式），TI1FP1 反相。
10：保留，不使用此配置
11：未反相/上升沿和下降沿均触发
电路对 TI1FP1 上升沿和下降沿均敏感（捕获模式），TI1FP1 未反相。

位 0 **CC1E**：捕获/比较 1 输出使能 (Capture/Compare 1 output enable)。
CC1 通道配置为输出：
0：关闭——OC1 无效
1：开启——在相应输出引脚上输出 OC1 信号
CC1 通道配置为输入：
此位决定了是否可以实际将计数器值捕获到输入捕获/比较寄存器 1 (TIMx_CCR1) 中。
0：禁止捕获
1：使能捕获

表 113. 标准 OCx 通道的输出控制位

CCxE 位	OCx 输出状态
0	禁止输出（OCx=“0”，OCx_EN=“0”）
1	OCx=OCxREF + 极性，OCx_EN=“1”

注： *与标准 OCx 通道相连的外部 I/O 引脚的状态取决于通道 OCx 的状态以及 GPIO 寄存器。*

23.4.8 TIM14 计数器 (TIM14_CNT)

TIM14 counter

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF Copy)
该位是 TIMx_ISR 寄存器中 UIF 位的只读副本。

位 30:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

23.4.9 TIM14 预分频器 (TIM14_PSC)

TIM14 prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频器值 (Prescaler value)
计数器时钟频率 CK_CNT 等于 f_{CK_PSC} / (PSC[15:0] + 1)。
PSC 包含在每次发生更新事件时要装载到有效预分频器寄存器的值。
（包括当计数器通过 TIMx_EGR 寄存器的 UG 位或在“复位模式”下通过触发控制器清零时）。

23.4.10 TIM14 自动重载寄存器 (TIM14_ARR)

TIM14 auto-reload register

偏移地址：0x2C

复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **ARR[15:0]**：自动重载值 (Auto-reload value)

ARR 为要装载到实际自动重载寄存器的值。

有关 ARR 更新和行为的详细信息，请参见*第 637 页的第 23.3.1 节：时基单元*。

当自动重载值为空时，计数器不工作。

23.4.11 TIM14 捕获/比较寄存器 1 (TIM14_CCR1)

TIM14 capture/compare register 1

偏移地址：0x34

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR1[15:0]**：捕获/比较 1 值 (Capture/Compare 1 value)

如果通道 CC1 配置为输出：

CCR1 是捕获/比较寄存器 1 的预装载值。

如果没有通过 TIMx_CCMR1 寄存器中的 OC1PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到有效的捕获/比较寄存器 1）。

有效捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC1 输出上发出信号的值。

如果通道 CC1 配置为输入：

CCR1 为上一个输入捕获 1 事件 (IC1) 发生时的计数器值。

23.4.12 TIM14 定时器输入选择寄存器 (TIM14_TISEL)

TIM14 timer input selection register

偏移地址：0x68

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
												rw			

位 15:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：选择 TI1[0] 到 TI1[15] 输入 (selects TI1[0] to TI1[15] input)

0000：TIM14_CH1 输入

0001：RTC CLK

0010：HSE/32

0011：MCO

其他值：保留

23.4.13 TIM14 寄存器映射

TIMx 寄存器可映射为 16 位可寻址寄存器，如下表所述：

表 114. TIM14 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMA	Res.	CKD [1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
	Reset value																					0		0	0	0				0	0	0	0
0x04 to 0x08	Reserved	Res.																															
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1IE	UIE
	Reset value																															0	0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1IF	UIF
	Reset value																							0								0	0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1G	UG
	Reset value																															0	0
0x18	**TIMx_CCMR1** Output compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	Reset value																0										0	0	0	0	0	0	0
	TIMx_CCMR1 Input capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	Reset value																									0	0	0	0	0	0	0	0
0x1C	Reserved	Res.																															
0x20	**TIMx_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	Res.	CC1P	CC1E
	Reset value																													0		0	0
0x24	**TIMx_CNT**	UIFCPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	Reserved	Res.																															

表 114. TIM14 寄存器映射和复位值（续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x34	**TIMx_CCR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38 to 0x64	Reserved	Res.																															
0x68	**TIM14_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value																													0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

24 通用定时器 (TIM15/TIM16/TIM17)

24.1 TIM15/TIM16/TIM17 简介

TIM15/TIM16/TIM17 定时器包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器可用于各种用途，包括测量输入信号的脉冲宽度（输入捕获），或者生成输出波形（输出比较、PWM 和带死区插入的互补 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

TIM15/TIM16/TIM17 定时器彼此完全独立，不共享任何资源。如*第 24.4.22 节：定时器同步 (TIM15)* 中所述，TIM15 可以进行同步。

24.2 TIM15 主要特性

TIM15 包括下列特性：

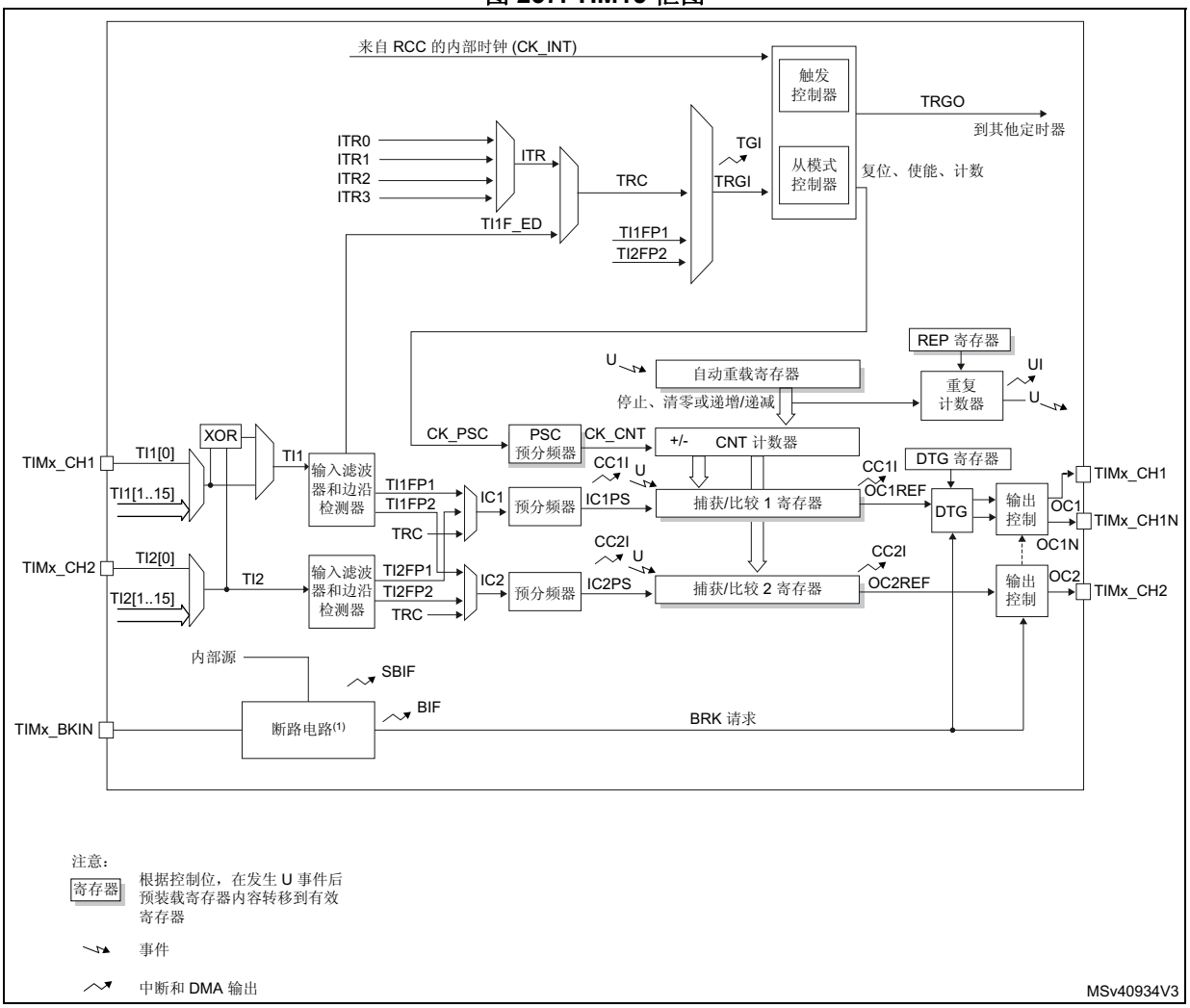
- 16 位自动重载递增计数器
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 和 65535 之间
- 多达 2 个独立通道，可用于：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿模式）
  - 单脉冲模式输出
- 带可编程死区时间的互补输出（仅适用于通道 1）
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路
- 重复计数器，用于仅在给定数目的计数器周期后更新定时器寄存器
- 用于将定时器的输出信号置于复位状态或已知状态的断路输入
- 发生如下事件时生成中断/DMA 请求：
  - 更新：计数器上溢、计数器初始化（通过软件或内部/外部触发）
  - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
  - 输入捕获
  - 输出比较
  - 断路输入（中断请求）

24.3 TIM16/TIM17 主要特性

TIM16/TIM17 定时器包括下列特性：

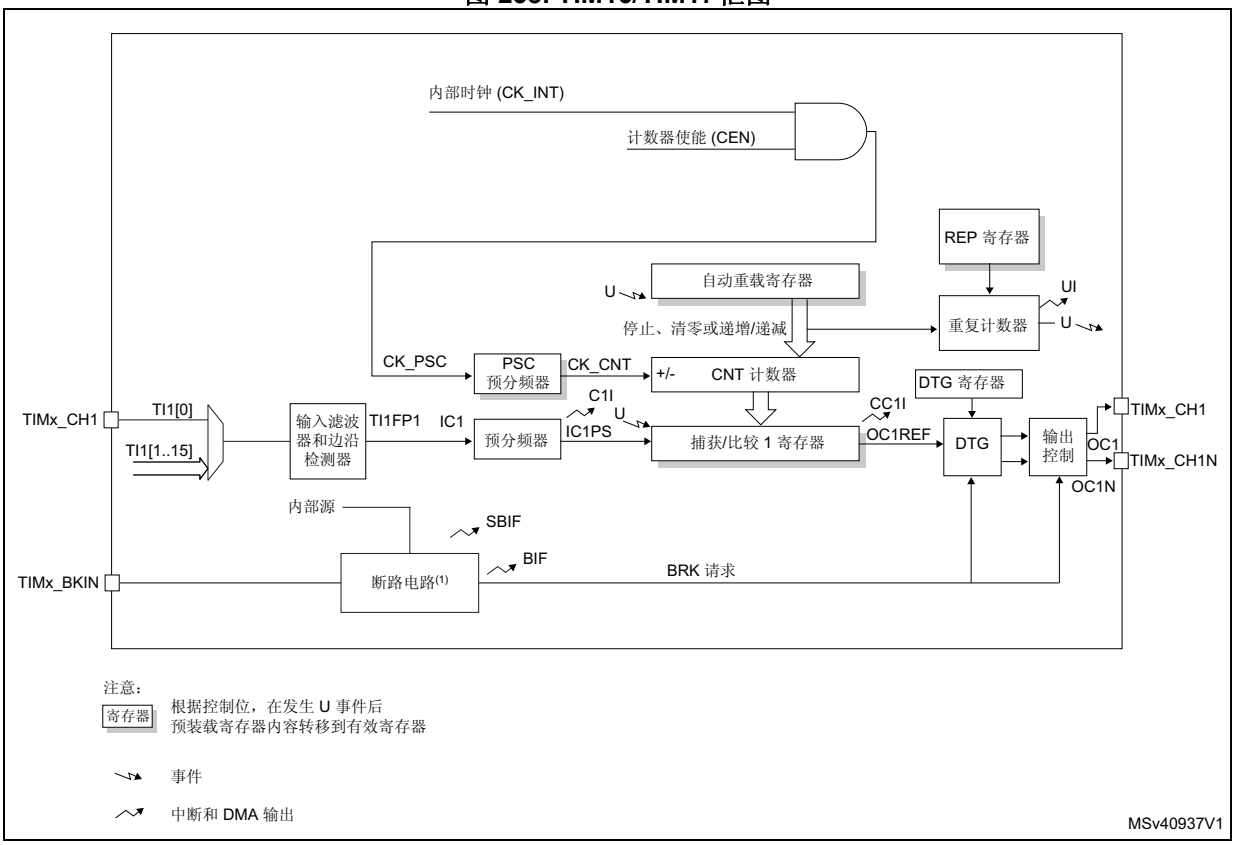
- 16 位自动重载递增计数器
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 和 65535 之间
- 一个具有以下用途的通道：
  - 输入捕获
  - 输出比较
  - PWM 生成（边沿对齐模式）
  - 单脉冲模式输出
- 带可编程死区的互补输出
- 重复计数器，用于仅在给定数目的计数器周期后更新定时器寄存器
- 用于将定时器的输出信号置于复位状态或已知状态的断路输入
- 发生如下事件时生成中断/DMA 请求：
  - 更新：计数器上溢
  - 输入捕获
  - 输出比较
  - 断路输入

图 237. TIM15 框图



1. 内部断路事件源可以是：
   - 由 CSS 生成的时钟故障事件。有关 CSS 的更多信息，请参见*第 5.2.8 节：时钟安全系统 (CSS)*
   - PVD 输出
   - SRAM 奇偶校验错误信号
   - Cortex®-M0+LOCKUP (Hardfault) 输出
   - COMP 输出

图 238. TIM16/TIM17框图



1. 内部断路事件源可以是：
   - 由 CSS 生成的时钟故障事件。有关 CSS 的更多信息，请参见*第 5.2.8 节：时钟安全系统 (CSS)*
   - PVD 输出
   - SRAM 奇偶校验错误信号
   - Cortex®-M0+LOCKUP (Hardfault) 输出
   - COMP 输出

24.4 TIM15/TIM16/TIM17 功能描述

24.4.1 时基单元

可编程高级控制定时器的主要模块是一个 16 位递增计数器及其相关的自动重载寄存器。计数器的时钟可通过预分频器进行分频。

计数器、自动重载寄存器和预分频器寄存器可通过软件进行读写。即使在计数器运行时也可执行读写操作。

时基单元包括：

- 计数器寄存器 (TIMx_CNT)
- 预分频器寄存器 (TIMx_PSC)
- 自动重载寄存器 (TIMx_ARR)
- 重复计数器寄存器 (TIMx_RCR)

自动重载寄存器是预装载的。对自动重载寄存器执行写入或读取操作时会访问预装载寄存器。预装载寄存器的内容既可以直接传送到影子寄存器，也可以在每次发生更新事件 (UEV) 时传送到影子寄存器，这取决于 TIMx_CR1 寄存器中的自动重载预装载使能位 (ARPE)。当计数器达到上溢值并且 TIMx_CR1 寄存器中的 UDIS 位为 0 时，将发送更新事件。该更新事件也可由软件产生。下文将针对各配置的更新事件的产生进行详细介绍。

计数器由预分频器输出 CK_CNT 提供时钟，仅当 TIMx_CR1 寄存器中的计数器启动位 (CEN) 置 1 时，才会启动计数器（有关计数器使能的更多详细信息，另请参见从模式控制器的相关说明）。

注意，计数器将在 TIMx_CR1 寄存器的 CEN 位置 1 时刻的一个时钟周期后开始计数。

预分频器说明

预分频器可对计数器时钟频率进行分频，分频系数介于 1 和 65536 之间。该预分频器基于 TIMx_PSC 寄存器中的 16 位寄存器所控制的 16 位计数器。由于该控制寄存器具有缓冲功能，因此预分频器可实现实时更改。而新的预分频比将在下一更新事件发生时被采用。

图 239 和*图 240* 以一些示例说明在预分频比实时变化时计数器的行为：

图 239. 预分频器分频由 1 变为 2 时的计数器时序图

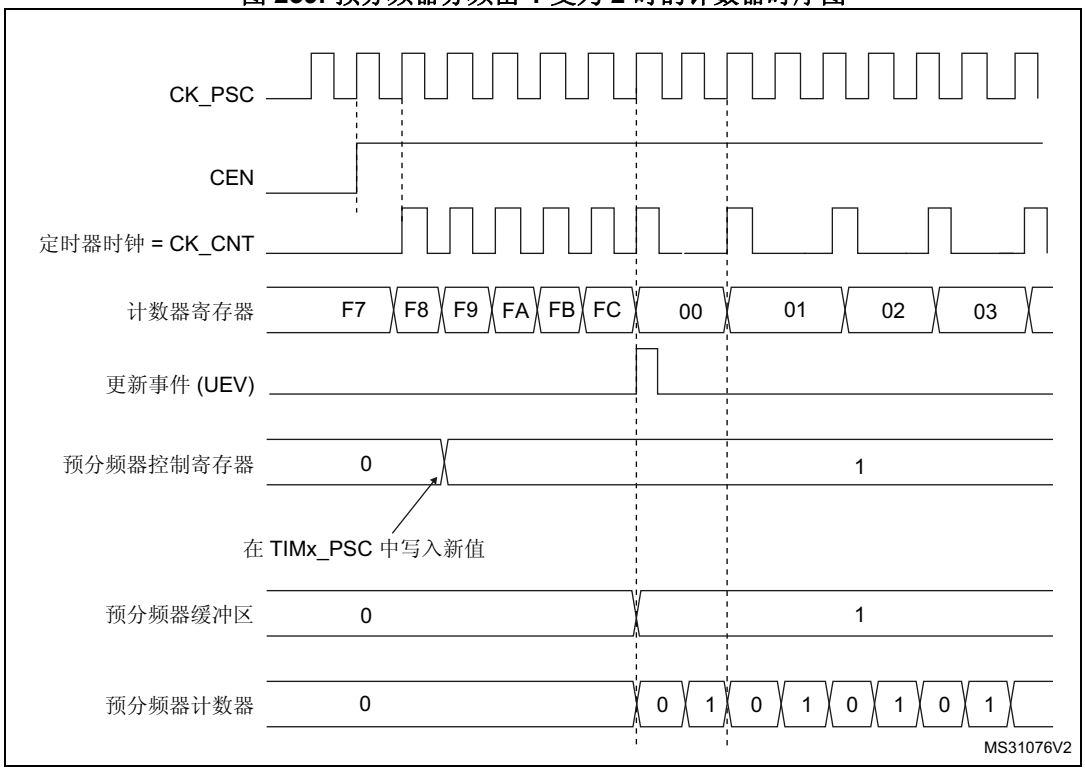
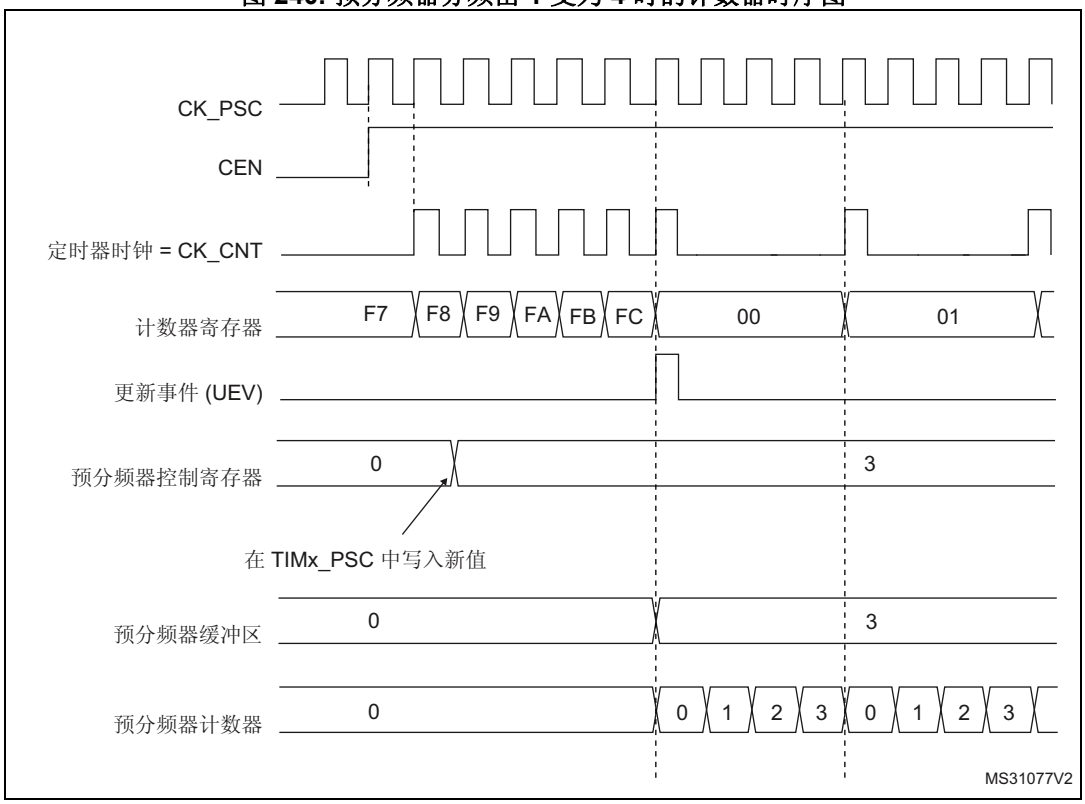


图 240. 预分频器分频由 1 变为 4 时的计数器时序图



24.4.2 计数器模式

递增计数模式

在递增计数模式下，计数器从 0 计数到自动重载值（TIMx_ARR 寄存器的内容），然后重新从 0 开始计数并生成计数器上溢事件。

如果使用重复计数器，则当递增计数的重复次数达到重复计数器寄存器中编程的次数 (TIMx_RCR) 后，将生成更新事件 (UEV)。否则，将在每次计数器上溢时产生更新事件。

将 TIMx_EGR 寄存器的 UG 位置 1（通过软件或使用从模式控制器）时，也将产生更新事件。

通过软件将 TIMx_CR1 寄存器中的 UDIS 位置 1 可禁止 UEV 事件。这可避免向预装载寄存器写入新值时更新影子寄存器。在 UDIS 位写入 0 之前不会产生任何更新事件。不过，计数器和预分频器计数器都会重新从 0 开始计数（而预分频比保持不变）。此外，如果 TIMx_CR1 寄存器中的 URS 位（更新请求选择）已置 1，则将 UG 位置 1 会生成更新事件 UEV，但不会将 UIF 标志置 1（因此，不会发送任何中断或 DMA 请求）。这样一来，如果在发生捕获事件时将计数器清零，将不会同时产生更新中断和捕获中断。

发生更新事件时，将更新所有寄存器且将更新标志（TIMx_SR 寄存器中的 UIF 位）置 1（取决于 URS 位）：

- 重复计数器中将重新装载 TIMx_RCR 寄存器的内容。
- 自动重载影子寄存器将以预装载值 (TIMx_ARR) 进行更新。
- 预分频器的缓冲区中将重新装载预装载值（TIMx_PSC 寄存器的内容）。

以下各图以一些示例说明当 TIMx_ARR=0x36 时不同时钟频率下计数器的行为。

图 241. 计数器时序图，1 分频内部时钟

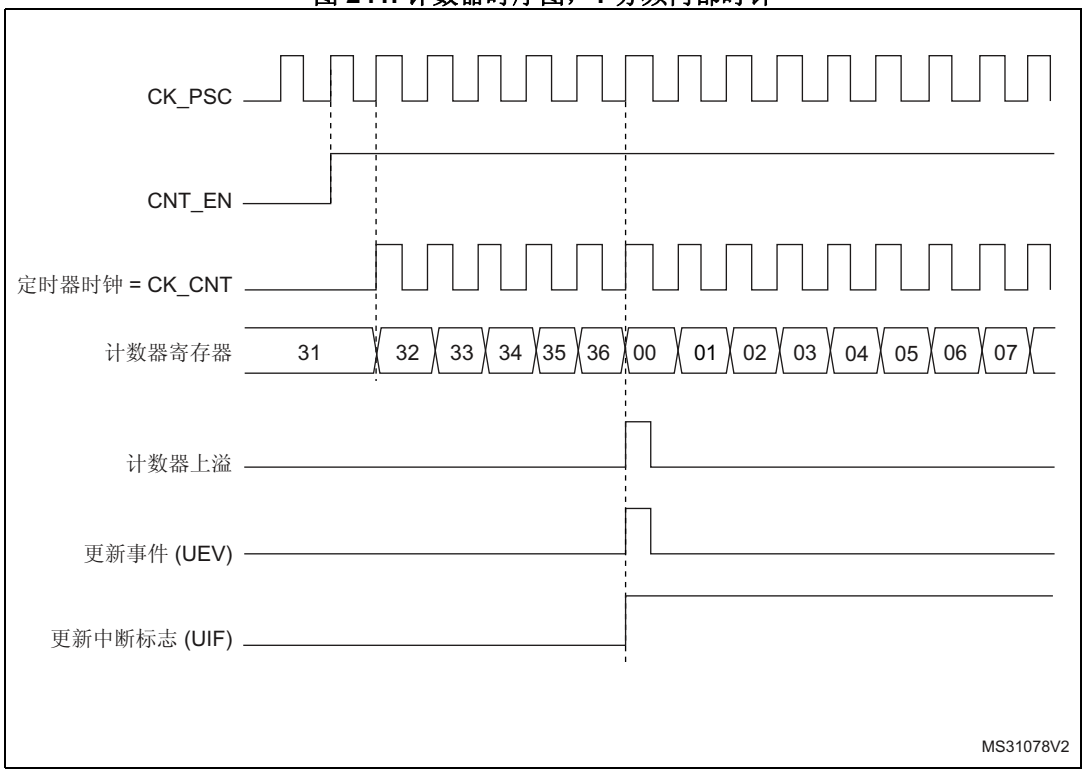


图 242. 计数器时序图，2 分频内部时钟

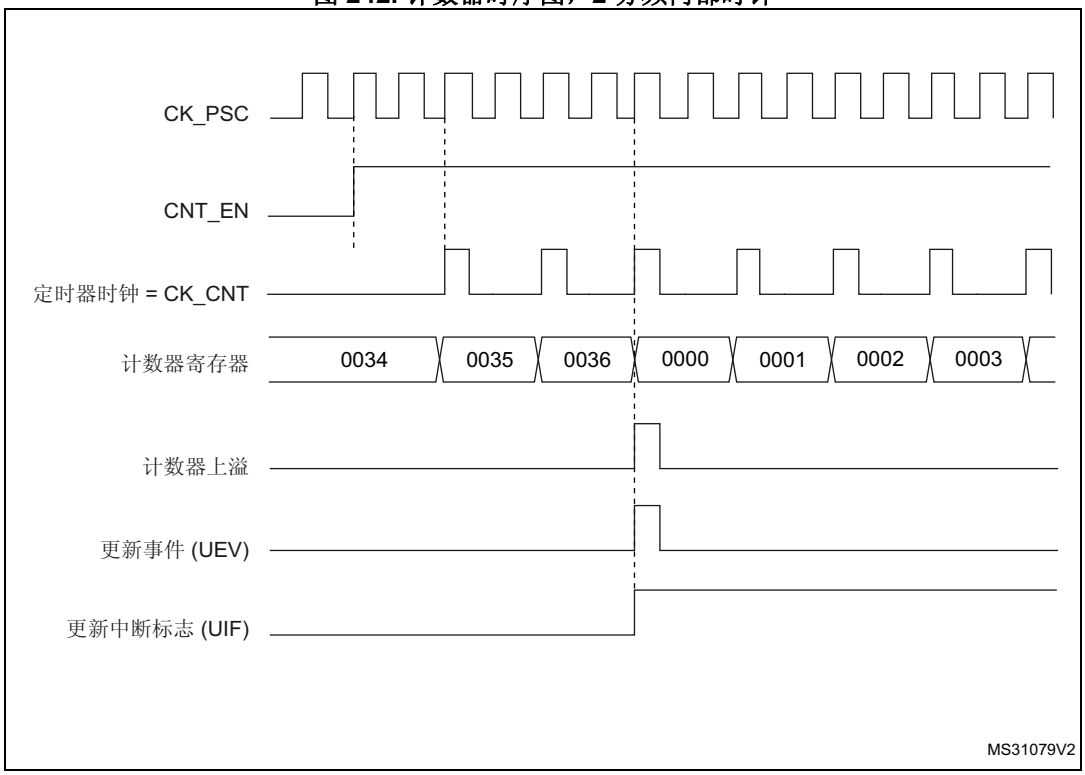


图 243. 计数器时序图，4 分频内部时钟

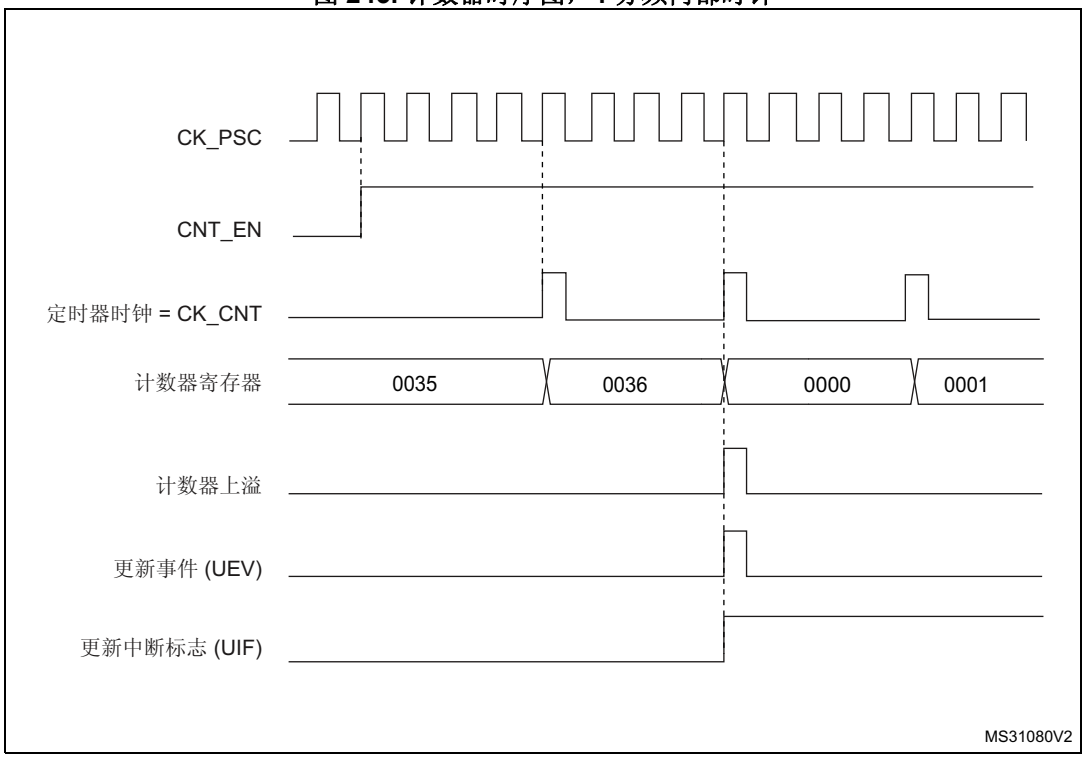


图 244. 计数器时序图，N 分频内部时钟

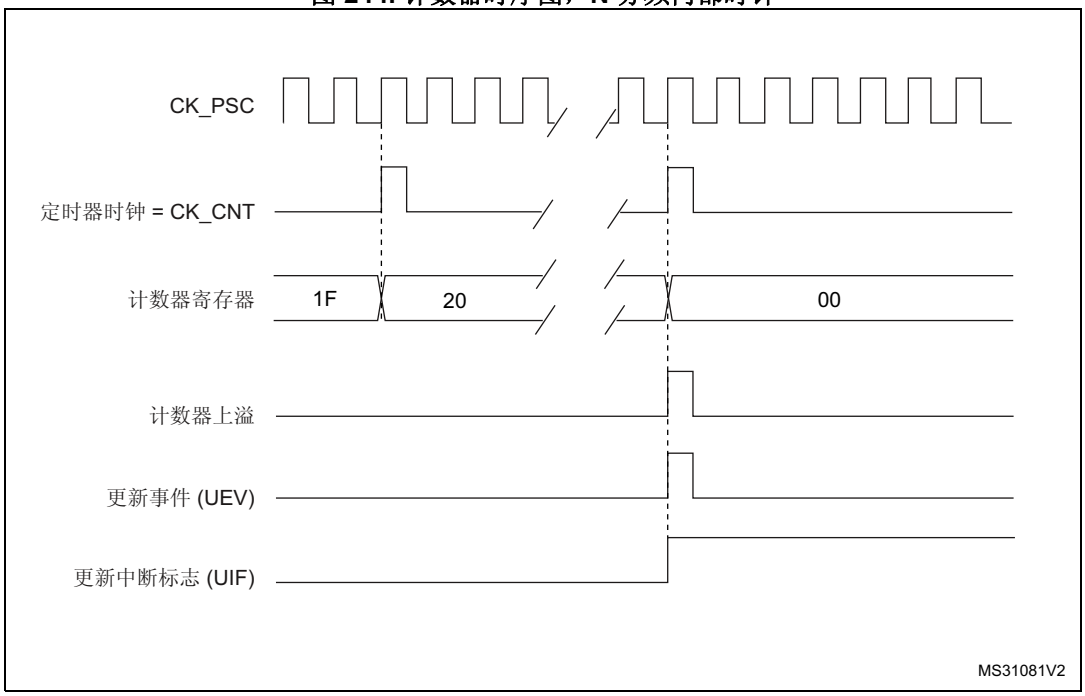


图 245. 计数器时序图，ARPE=0 时更新事件（TIMx_ARR 未预装载）

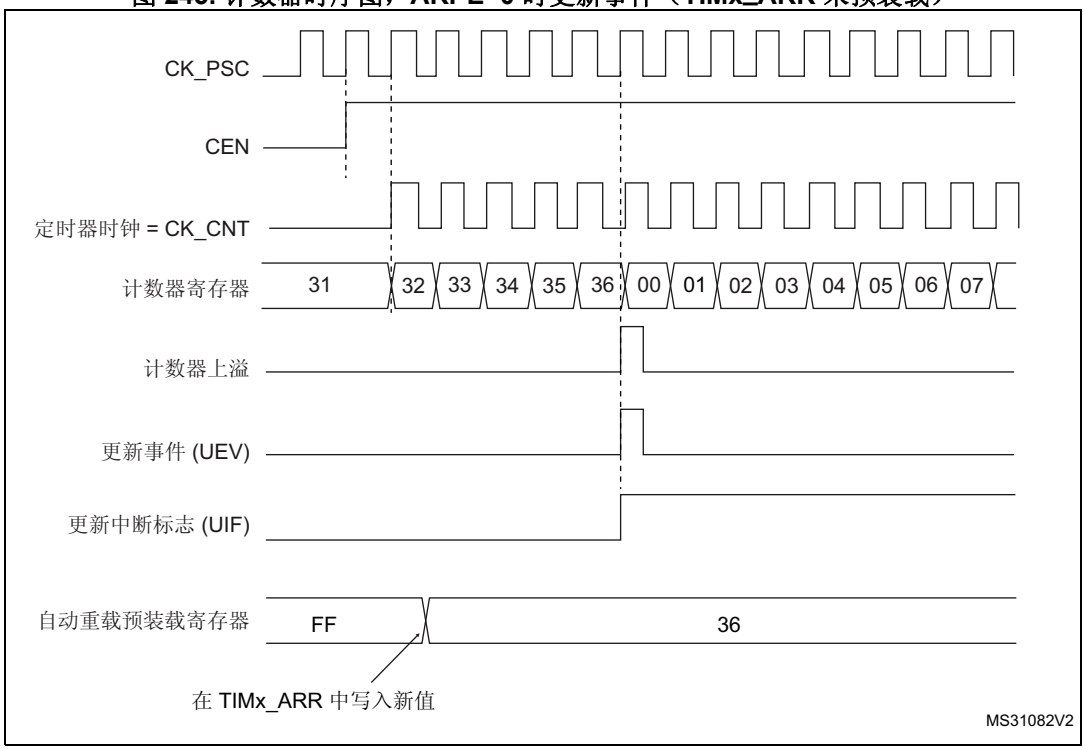
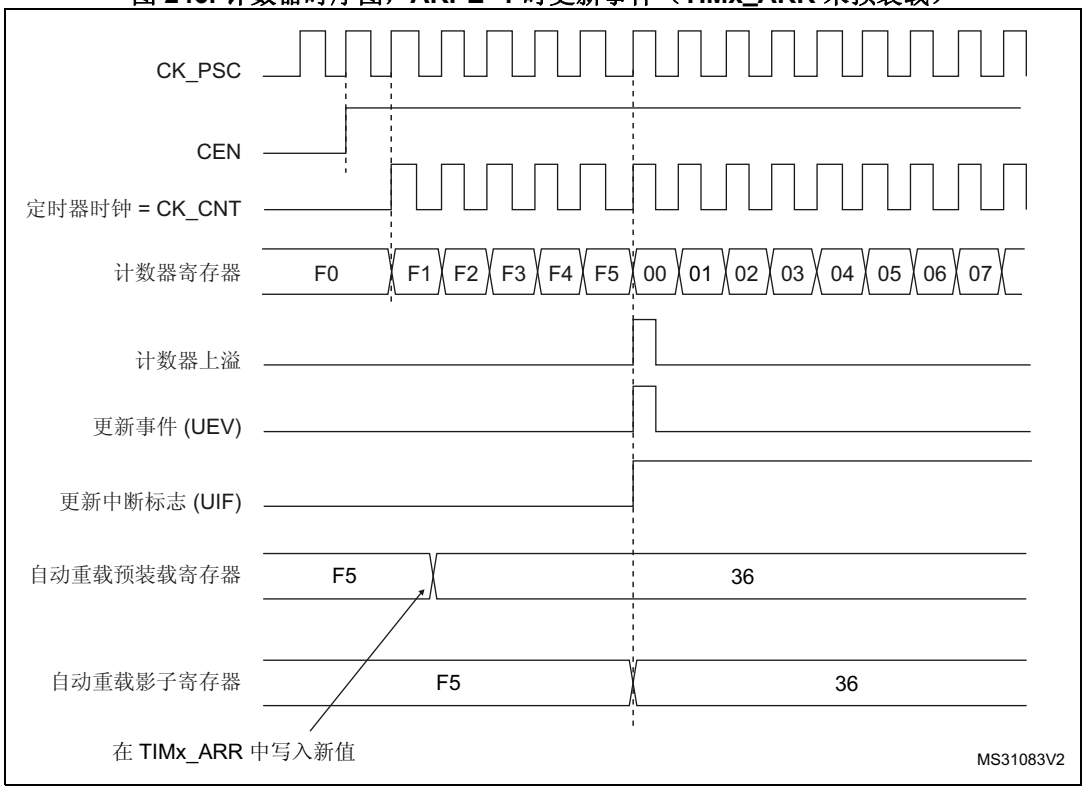


图 246. 计数器时序图，ARPE=1 时更新事件（TIMx_ARR 未预装载）



24.4.3 重复计数器

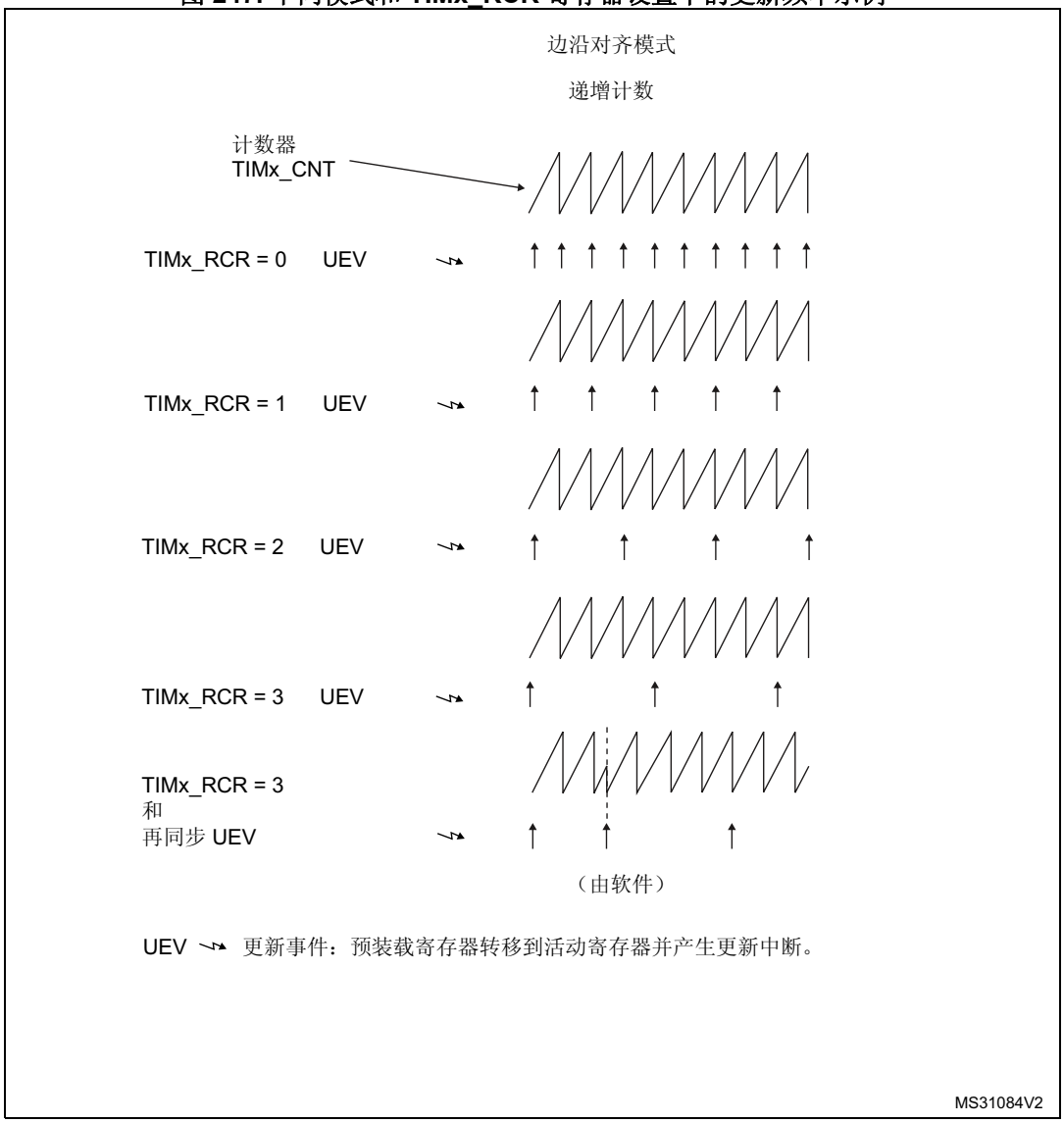
*第 24.4.1 节：时基单元*介绍如何因计数器上溢而生成更新事件 (UEV)。实际上，只有当重复计数器达到零时，才会生成更新事件。这在生成 PWM 信号时很有用。

这意味着，每当发生 N 个计数器上溢（其中，N 是 TIMx_RCR 重复计数器寄存器中的值），数据就将从预装载寄存器转移到影子寄存器（TIMx_ARR 自动重载寄存器、TIMx_PSC 预分频器寄存器以及比较模式下的 TIMx_CCRx 捕获/比较寄存器）。

重复计数器在每个计数器上溢时递减。

重复计数器是自动重载类型；其重复率为 TIMx_RCR 寄存器所定义的值（请参见*图 247*）。当更新事件由软件（通过将 TIMx_EGR 寄存器的 UG 位置 1）或硬件（通过从模式控制器）生成时，无论重复计数器的值为多少，更新事件都将立即发生，并且在重复计数器中重新装载 TIMx_RCR 寄存器的内容。

图 247. 不同模式和 TIMx_RCR 寄存器设置下的更新频率示例



24.4.4 时钟选择

计数器时钟可由下列时钟源提供：

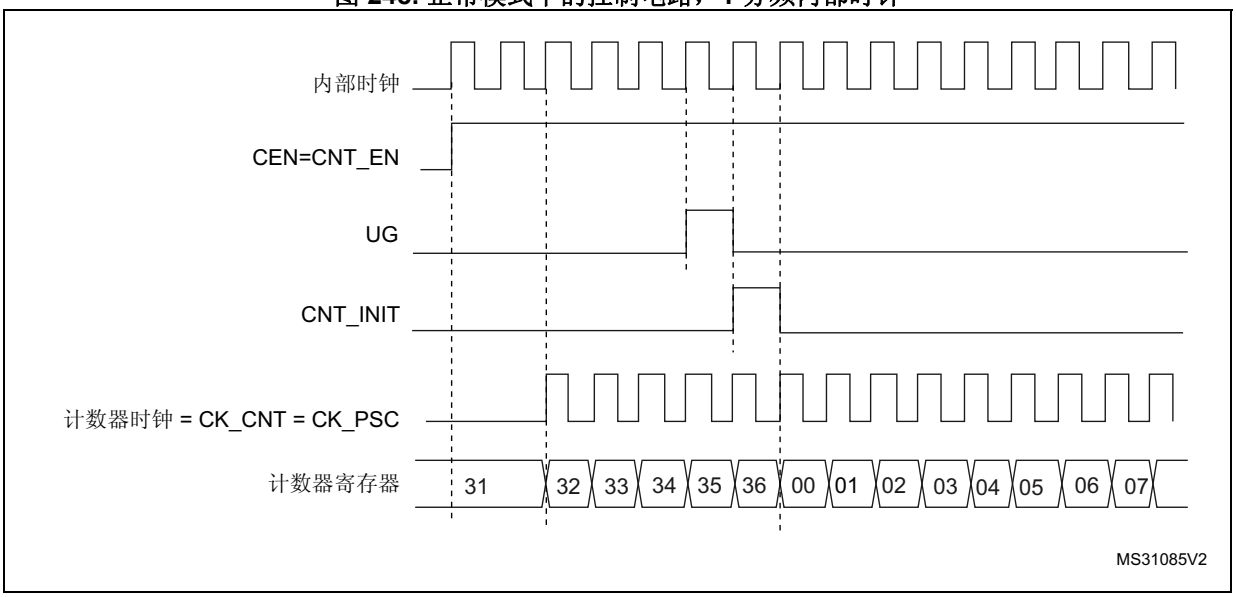
- 内部时钟 (CK_INT)
- 外部时钟模式 1：外部输入引脚
- 内部触发输入 (ITRx)（仅适用于 TIM15）：使用一个定时器作为另一个定时器的预分频器，例如可以将 TIM1 配置为 TIM15 的预分频器。更多详细信息，请参见*第 589 页的将一个定时器用作另一个定时器的预分频器*。

内部时钟源 (CK_INT)

如果禁止从模式控制器 (SMS=000)，则 CEN 位（TIMx_CR1 寄存器中）和 UG 位（TIMx_EGR 寄存器中）为实际控制位，并且只能通过软件进行更改（UG 除外，仍保持自动清零）。当对 CEN 位写入 1 时，预分频器的时钟就由内部时钟 CK_INT 提供。

图 248 显示了正常模式下控制电路与递增计数器的行为（没有预分频的情况下）。

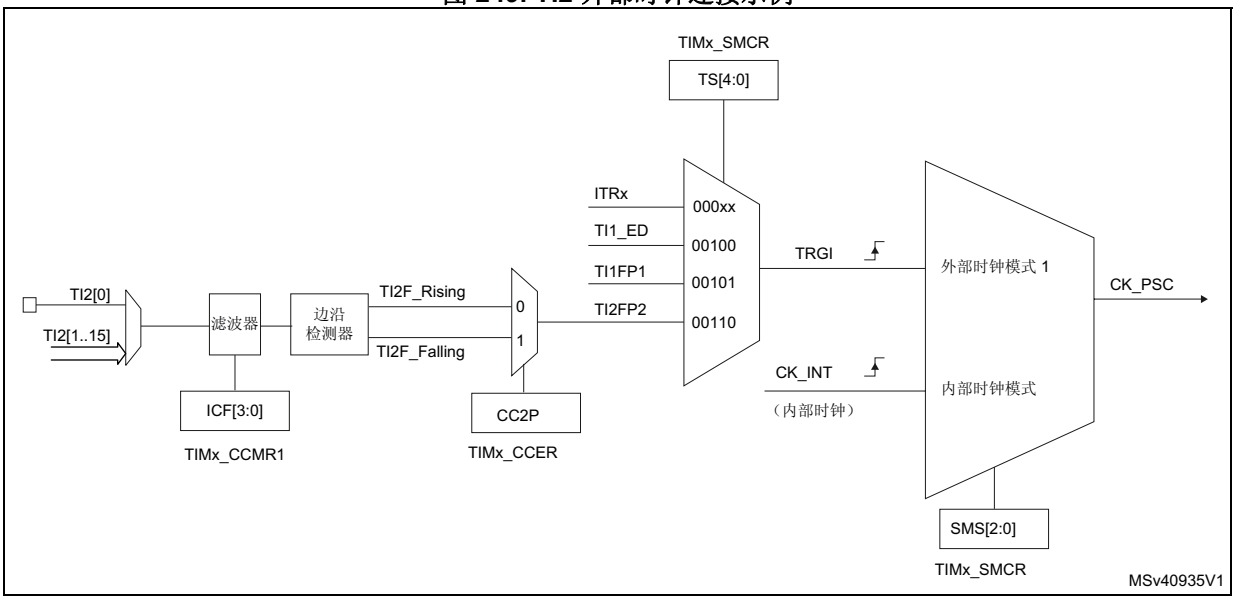
图 248. 正常模式下的控制电路，1 分频内部时钟



外部时钟源模式 1

当 TIMx_SMCR 寄存器中的 SMS=111 时，可选择此模式。计数器可在选定的输入信号上出现上升沿或下降沿时计数。

图 249. TI2 外部时钟连接示例



例如，要使递增计数器在 TI2 输入出现上升沿时计数，请执行以下步骤：

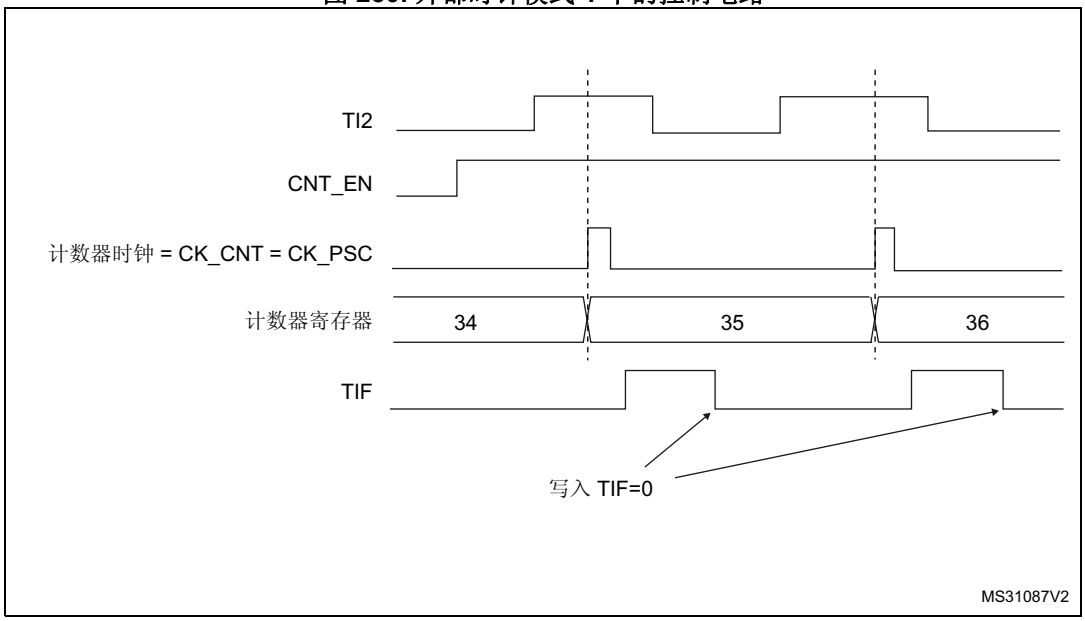
1. 使用 TIMx_TISEL 寄存器中的 TI2SEL[3:0] 位选择正确的 TI2[x] 源（内部或外部）。
2. 通过在 TIMx_CCMR1 寄存器中写入 CC2S = “01” 来配置通道 2，使其能够检测 TI2 输入的上升沿。
3. 通过在 TIMx_CCMR1 寄存器中写入 IC2F[3:0] 位来配置输入滤波带宽（如果不需要任何滤波器，请保持 IC2F=0000）。
4. 通过在 TIMx_CCER 寄存器中写入 CC2P = 0 来选择上升沿极性。
5. 通过在 TIMx_SMCR 寄存器中写入 SMS=111，使定时器在外部时钟模式 1 下工作。
6. 通过在 TIMx_SMCR 寄存器中写入 TS=00110 来选择 TI2 作为触发输入源。
7. 通过在 TIMx_CR1 寄存器中写入 CEN=1 来使能计数器。

注： *由于捕获预分频器不用于触发操作，因此无需对其进行配置。*

当 TI2 出现上升沿时，计数器便会计数一次并且 TIF 标志置 1。

TI2 的上升沿与实际计数器时钟之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 250. 外部时钟模式 1 下的控制电路



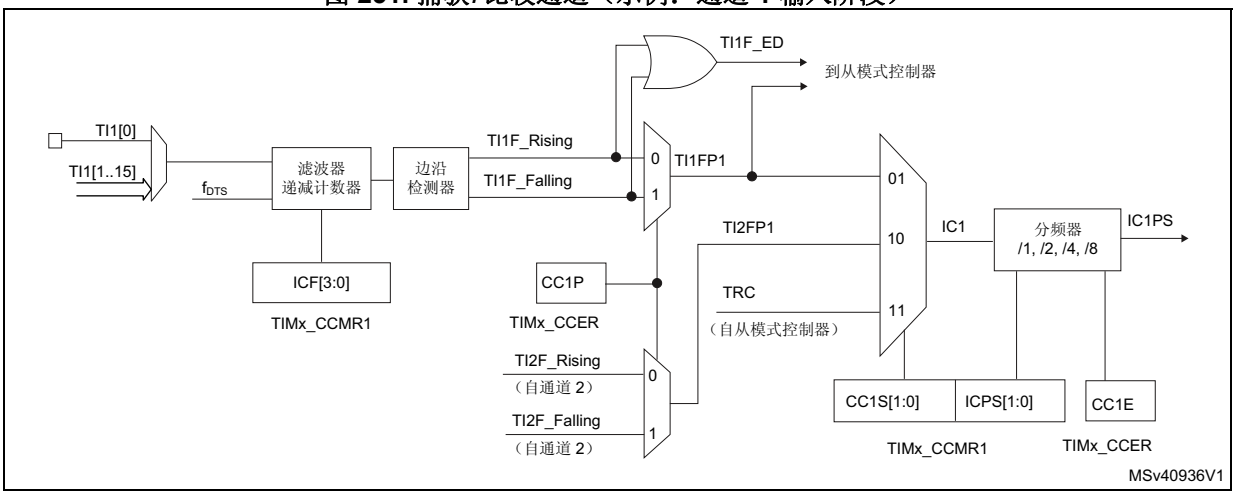
24.4.5 捕获/比较通道

每个捕获/比较通道均围绕一个捕获/比较寄存器（包括一个影子寄存器）、一个捕获输入阶段（数字滤波、多路复用和预分频器）和一个输出阶段（比较器和输出控制）构建而成。

图 251 到*图 254* 概括介绍了一个捕获/比较通道。

输入阶段对相应的 TIx 输入进行采样，生成一个滤波后的信号 TIxF。然后，带有极性选择功能的边沿检测器生成一个信号 (TIxFPx)，该信号可用作从模式控制器的触发输入，也可用作捕获命令。该信号先进行预分频 (ICxPS)，而后再进入捕获寄存器。

图 251. 捕获/比较通道（示例：通道 1 输入阶段）



输出阶段生成一个中间波形作为基准：OCxRef（高电平有效）。链的末端决定最终输出信号的极性。

图 252. 捕获/比较通道 1 主电路

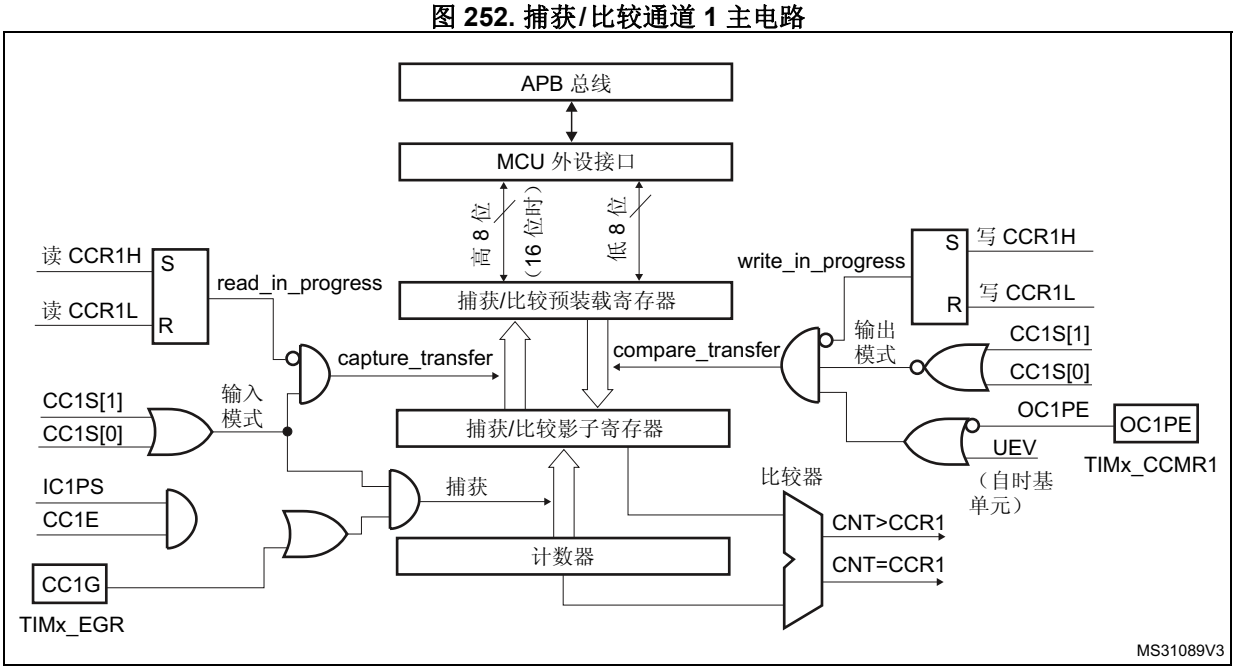


图 253. 捕获/比较通道的输出阶段（通道 1）

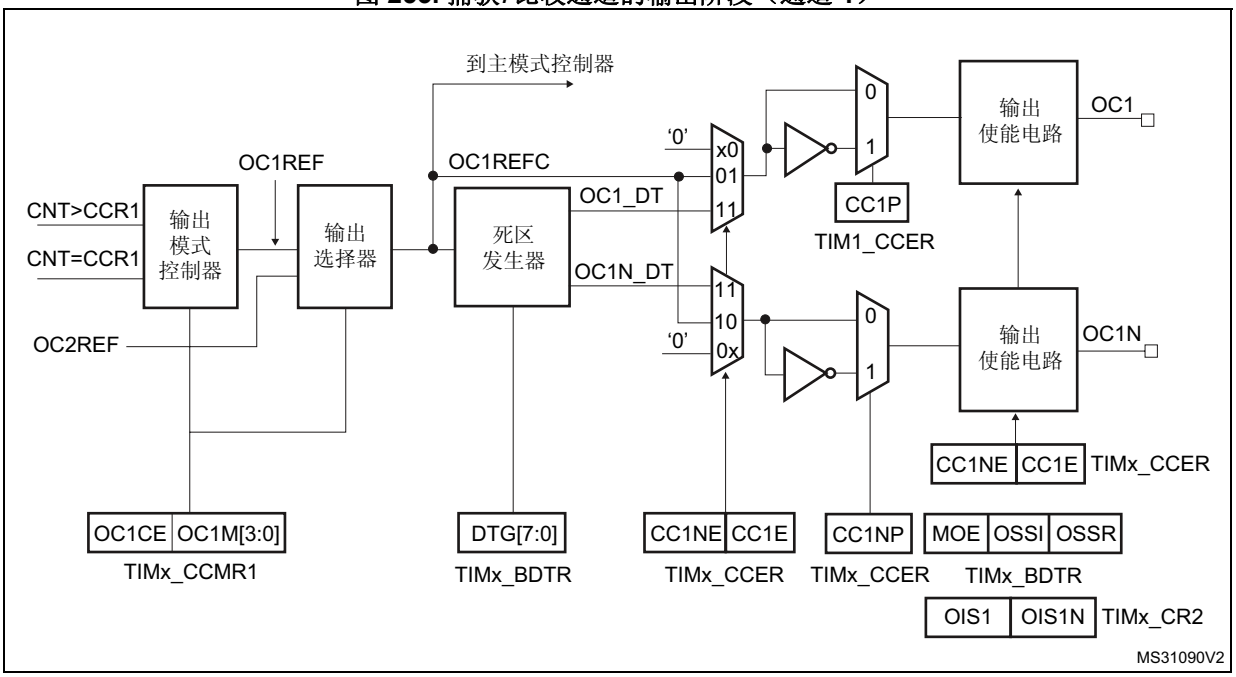
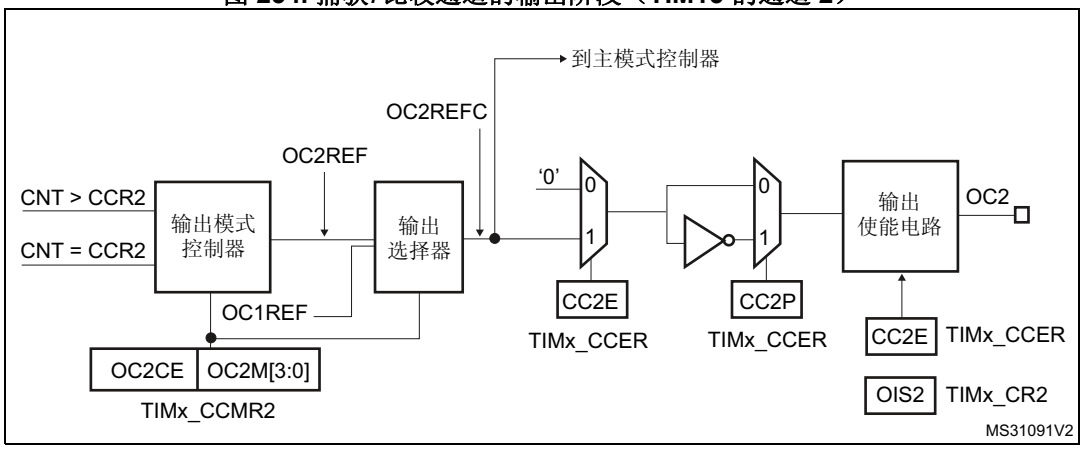


图 254. 捕获/比较通道的输出阶段（TIM15 的通道 2）



捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。始终可通过读写操作访问预装载寄存器。

在捕获模式下，捕获实际发生在影子寄存器中，然后将影子寄存器的内容复制到预装载寄存器中。

在比较模式下，预装载寄存器的内容将复制到影子寄存器中，然后将影子寄存器的内容与计数器进行比较。

24.4.6 输入捕获模式

在输入捕获模式下，当相应的 ICx 信号检测到跳变沿后，将使用捕获/比较寄存器 (TIMx_CCRx) 来锁存计数器的值。发生捕获事件时，会将相应的 CCXIF 标志（TIMx_SR 寄存器）置 1，并可发送中断或 DMA 请求（如果已使能）。如果发生捕获事件时 CCxIF 标志已处于高位，则会将重复捕获标志 CCxOF（TIMx_SR 寄存器）置 1。可通过软件将 CCxIF 清零，方法是：向 CCxIF 写入“0”，或读取存储在 TIMx_CCRx 寄存器中的已捕获数据。CCxOF 在写入 0 时清零。

以下示例说明了如何在 TI1 输入出现上升沿时将计数器的值捕获到 TIMx_CCR1 中。具体操作步骤如下：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1x 源（内部或外部）。
2. 选择有效输入：TIMx_CCR1 必须连接到 TI1 输入，因此向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01。只要 CC1S 不等于 00，就会将通道配置为输入模式，并且 TIMx_CCR1 寄存器将处于只读状态。
3. 根据连接到定时器的信号，对相应的输入滤波带宽进行编程（如果输入为 TIx 之一，则对 TIMx_CCMRx 寄存器中的 ICxF 位进行编程）。假设信号边沿变化时，输入信号最多在 5 个内部时钟周期内发生抖动。因此，我们必须将滤波带宽设置为大于 5 个内部时钟周期。在检测到 8 个具有新电平的连续采样（以 f_{DTS} 频率采样）后，可以确认 TI1 上的跳变沿。然后向 TIMx_CCMR1 寄存器中的 IC1F 位写入 0011。
4. 通过在 TIMx_CCER 寄存器中将 CC1P 位写入 0，选择 TI1 上的有效转换边沿（本例中为上升沿）。
5. 对输入预分频器进行编程。在本例中，我们希望每次有效转换时都执行捕获操作，因此需要禁止预分频器（向 TIMx_CCMR1 寄存器中的 IC1PS 位写入“00”）。
6. 通过将 TIMx_CCER 寄存器中的 CC1E 位置 1，允许将计数器的值捕获到捕获寄存器中。
7. 如果需要，可通过将 TIMx_DIER 寄存器中的 CC1IE 位置 1 来使能相关中断请求，并且/或者通过将该寄存器中的 CC1DE 位置 1 来使能 DMA 请求。

发生输入捕获时：

- 发生有效跳变沿时，TIMx_CCR1 寄存器会获取计数器的值。
- 将 CC1IF 标志置 1（中断标志）。如果至少发生了两次连续捕获，但 CC1IF 标志未被清零，这样 CC1OF 捕获溢出标志会被置 1。
- 根据 CC1IE 位生成中断。
- 根据 CC1DE 位生成 DMA 请求。

要处理重复捕获，建议在读出捕获溢出标志之前读取数据。这样可避免丢失在读取捕获溢出标志之后与读取数据之前可能出现的重复捕获信息。

注： *通过软件将 TIMx_EGR 寄存器中的相应 CCxG 位置 1 可生成 IC 中断和/或 DMA 请求。*

24.4.7 PWM 输入模式（仅适用于 TIM15）

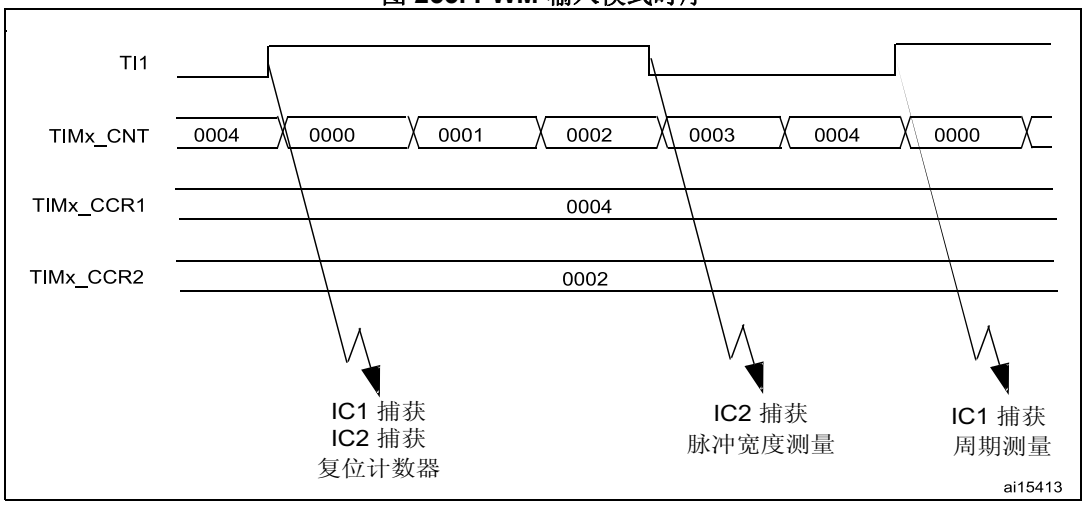
此模式是输入捕获模式的一个特例。其实现步骤与输入捕获模式基本相同，仅存在以下不同之处：

- 两个 ICx 信号被映射至同一个 TIx 输入。
- 这两个 ICx 信号在边沿处有效，但极性相反。
- 选择两个 TIxFP 信号之一作为触发输入，并将从模式控制器配置为复位模式。

例如，可通过以下步骤对应用于 TI1 的 PWM 的周期（位于 TIMx_CCR1 寄存器中）和占空比（位于 TIMx_CCR2 寄存器中）进行测量（取决于 CK_INT 频率和预分频器的值）：

1. 使用 TIMx_TISEL 寄存器中的 TI1SEL[3:0] 位选择正确的 TI1[x] 源（内部或外部）。
2. 选择 TIMx_CCR1 的有效输入：向 TIMx_CCMR1 寄存器中的 CC1S 位写入 01（选择 TI1）。
3. 选择 TI1FP1 的有效极性（用于在 TIMx_CCR1 中捕获和计数器清零）：向 CC1P 位和 CC1NP 位写入“0”（上升沿有效）。
4. 选择 TIMx_CCR2 的有效输入：向 TIMx_CCMR1 寄存器中的 CC2S 写入 10 （选择 TI1）。
5. 选择 TI1FP2 的有效极性（用于在 TIMx_CCR2 中捕获）：向 CC2P 位和 CC2NP 位写入“1”（下降沿有效）。
6. 选择有效触发输入：向 TIMx_SMCR 寄存器中的 TS 位写入 00101（选择 TI1FP1）。
7. 将从模式控制器配置为复位模式：向 TIMx_SMCR 寄存器中的 SMS 位写入 100。
8. 使能捕获：向 TIMx_CCER 寄存器中的 CC1E 位和 CC2E 位写入“1”。

图 255. PWM 输入模式时序



1. PWM 输入模式只能与 TIMx_CH1/TIMx_CH2 信号配合使用，因为只有 TI1FP1 和 TI2FP2 与从模式控制器相连。

24.4.8 强制输出模式

在输出模式（TIMx_CCMRx 寄存器中的 CCxS 位 = 00）下，可直接由软件将每个输出比较信号（OCxREF 和 OCx/OCxN）强制设置为有效电平或无效电平，而无需考虑输出比较寄存器和计数器之间的任何比较结果。

要将输出比较信号 (OCXREF/OCx) 强制设置为有效电平，用户只需向相应 TIMx_CCMRx 寄存器中的 OCxM 位写入 101。OCxREF 进而强制设置为高电平（OCxREF 始终为高电平有效），同时 OCx 获取 CCxP 极性位的相反值。

例如：CCxP=0（OCx 高电平有效）=> 将 OCx 强制设置为高电平。

通过向 TIMx_CCMRx 寄存器中的 OCxM 位写入 100，可将 OCxREF 信号强制设置为低电平。

无论如何，TIMx_CCRx 影子寄存器与计数器之间的比较仍会执行，而且允许将标志置 1。因此可发送相应的中断和 DMA 请求。下面的输出比较模式一节对此进行了介绍。

24.4.9 输出比较模式

此功能用于控制输出波形，或指示已经过某一时间段。

当捕获/比较寄存器与计数器之间相匹配时，输出比较功能：

- 将为相应的输出引脚分配一个可编程值，该值由输出比较模式（TIMx_CCMRx 寄存器中的 OCxM 位）和输出极性（TIMx_CCER 寄存器中的 CCxP 位）定义。匹配时，输出引脚既可保持其电平 (OCXM=000)，也可设置为有效电平 (OCXM=001)、无效电平 (OCXM=010) 或进行翻转 (OCxM=011)。
- 将中断状态寄存器中的标志置 1（TIMx_SR 寄存器中的 CCxIF 位）。
- 如果相应中断使能位（TIMx_DIER 寄存器中的 CCXIE 位）置 1，将生成中断。
- 如果相应使能位（TIMx_DIER 寄存器的 CCxDE 位，TIMx_CR2 寄存器的 CCDS 位，用来选择 DMA 请求）置 1，将发送 DMA 请求。

使用 TIMx_CCMRx 寄存器中的 OCxPE 位，可将 TIMx_CCRx 寄存器配置为带或不带预装载寄存器。

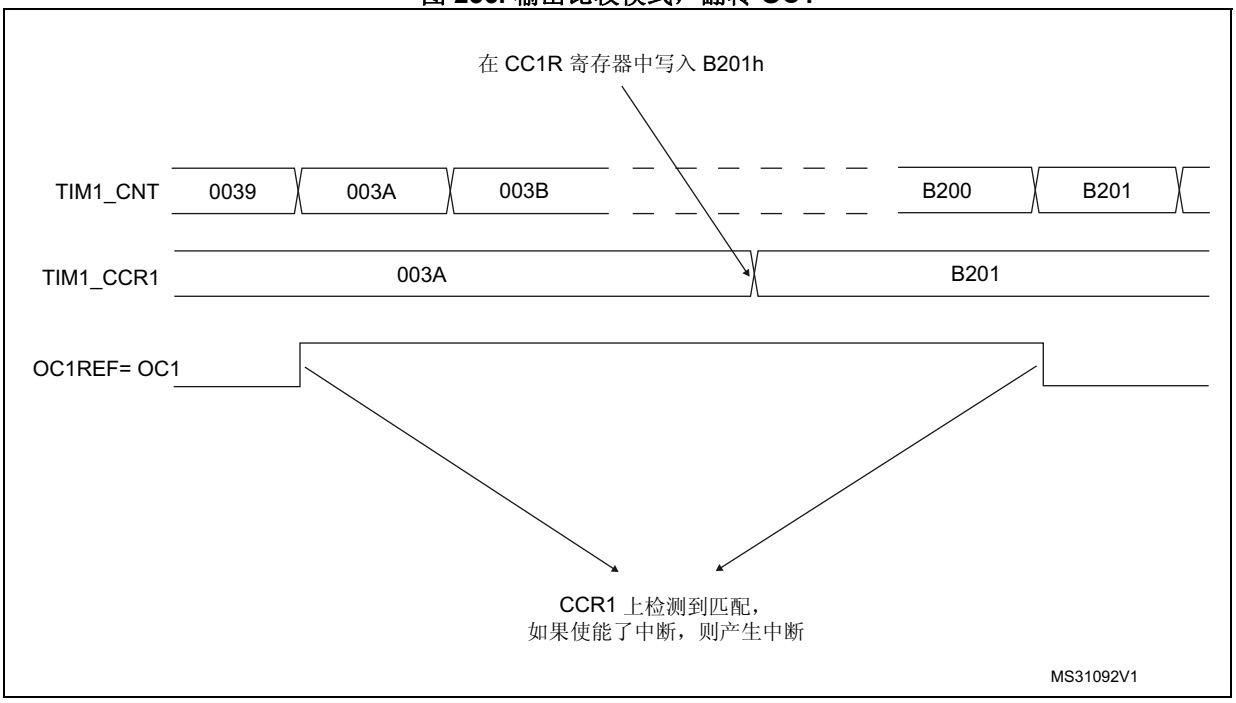
在输出比较模式下，更新事件 UEV 对 OCxREF 和 OCx 输出毫无影响。同步的精度可以达到计数器的一个计数周期。输出比较模式也可用于输出单脉冲（在单脉冲模式下）。

步骤

1. 选择计数器时钟（内部、外部、预分频器）。
2. 在 TIMx_ARR 和 TIMx_CCRx 寄存器中写入所需数据。
3. 如果要生成中断请求，则需将 CCxIE 位置 1。
4. 选择输出模式。例如：
   - 当 CNT 与 CCRx 匹配时，写入 OCxM = 011 以翻转 OCx 输出引脚
   - 写入 OCxPE = 0 以禁止预装载寄存器
   - 写入 CCxP = 0 以选择高电平有效极性
   - 写入 CCxE = 1 以使能输出
5. 通过将 TIMx_CR1 寄存器中的 CEN 位置 1 来使能计数器。

可通过软件随时更新 TIMx_CCRx 寄存器以控制输出波形，前提是未使能预装载寄存器（OCxPE=“0”，否则 TIMx_CCRx 影子寄存器仅在下一更新事件 UEV 发生时进行更新）。*图 256* 给出了一个示例。

图 256. 输出比较模式，翻转 OC1



24.4.10 PWM 模式

脉冲宽度调制模式可以生成一个信号，该信号频率由 TIMx_ARR 寄存器值决定，其占空比则由 TIMx_CCRx 寄存器值决定。

各通道可以独立选择 PWM 模式（每个 OCx 输出对应一个 PWM），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“110”（PWM 模式 1）或“111”（PWM 模式 2）。必须通过将 TIMx_CCMRx 寄存器中的 OCxPE 位置 1 使能相应预装载寄存器，最后通过将 TIMx_CR1 寄存器中的 ARPE 位置 1 使能自动重载预装载寄存器（在递增计数或中心对齐模式下）。

由于只有在发生更新事件时预装载寄存器才会传送到影子寄存器，因此启动计数器之前，必须通过将 TIMx_EGR 寄存器中的 UG 位置 1 来初始化所有寄存器。

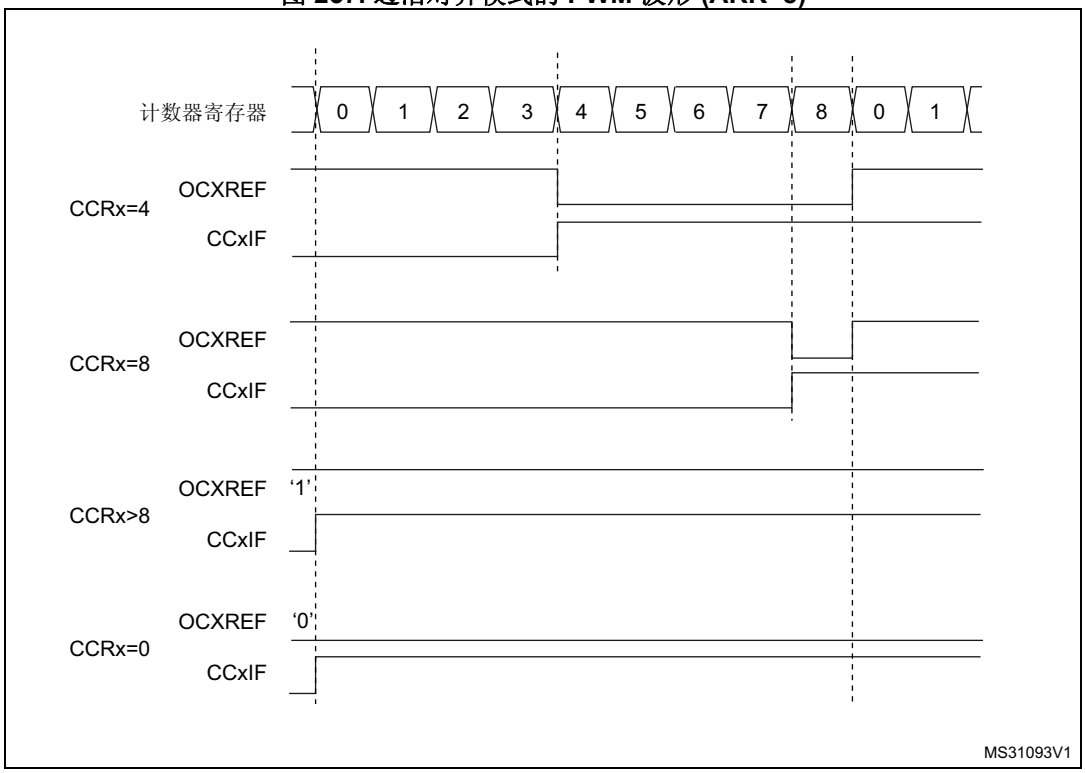
OCx 极性可通过软件来编程（使用 TIMx_CCER 寄存器的 CCxP 位）。可将其编程为高电平有效或低电平有效。通过 CCxE、CCxNE、MOE、OSSI 和 OSSR 位（TIMx_CCER 和 TIMx_BDTR 寄存器）的组合使能 OCx 输出。有关详细信息，请参见 TIMx_CCER 寄存器说明。

在 PWM 模式（1 或 2）下，TIMx_CNT 总是与 TIMx_CCRx 进行比较，以确定是 TIMx_CCRx ≤ TIMx_CNT 还是 TIMx_CNT ≤ TIMx_CCRx（取决于计数器计数方向）。

TIM15/TIM16/TIM17 只能递增计数。请参见*第 666 页的递增计数模式*。

以下以 PWM 模式 1 为例。只要 TIMx_CNT < TIMx_CCRx，PWM 参考信号 OCxREF 便为高电平，否则为低电平。如果 TIMx_CCRx 中的比较值大于 TIMx_ARR 中的自动重载值，则 OCxREF 保持为“1”。如果比较值为 0，则 OCxRef 保持为“0”。*图 257* 举例介绍边沿对齐模式的一些 PWM 波形 (TIMx_ARR=8)。

图 257. 边沿对齐模式的 PWM 波形 (ARR=8)



24.4.11 组合 PWM 模式（仅适用于 TIM15）

在组合 PWM 模式下，生成的两个边沿或中心对齐 PWM 信号的各个脉冲间允许存在可编程延时和相移。频率由 TIMx_ARR 寄存器的值确定，而占空比和延时则由两个 TIMx_CCRx 寄存器确定。产生的信号 OCxREFC 由两个参考 PWM 的逻辑或运算或者逻辑与运算组合组成。

- OC1REFC（或 OC2REFC）由 TIMx_CCR1 和 TIMx_CCR2 寄存器控制

两个通道可以独立选择组合 PWM 模式（每对 CCR 寄存器一个 OCx 输出），只需向 TIMx_CCMRx 寄存器的 OCxM 位写入“1100”（组合 PWM 模式 1）或“1101”（组合 PWM 模式 2）。

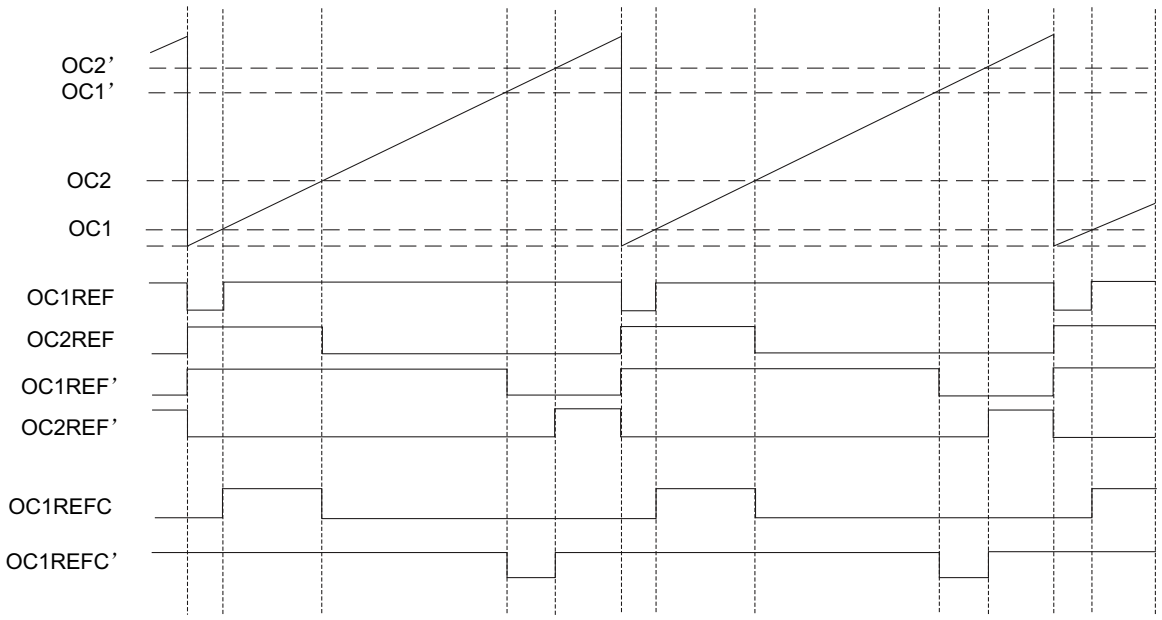
当给定通道用作组合 PWM 通道时，其互补通道必须在相反的 PWM 模式下配置（例如，一个通道在组合 PWM 模式 1 下配置，另一个通道在组合 PWM 模式 2 下配置）。

注： *出于兼容性原因，OCxM[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

图 258 显示了不对称 PWM 模式下可以产生的信号示例，通过以下配置可获得这些信号：

- 通道 1 在组合 PWM 模式 2 下配置
- 通道 2 在 PWM 模式 1 下配置

图 258. 通道 1 和通道 2 上的组合 PWM 模式



24.4.12 互补输出和死区插入

TIM15/TIM16/TIM17 通用定时器可以输出一对互补信号，并管理输出的关断和接通。

这段时间通常称为死区，用户必须根据与输出相连接的器件及其特性（电平转换器的固有延迟、开关器件产生的延迟...）来调整死区时间

每路输出可以独立选择输出极性（主输出 OCx 或互补输出 OCxN）。可通过对 TIMx_CCER 寄存器中的 CCxP 和 CCxNP 位执行写操作来完成极性选择。

互补信号 OCx 和 OCxN 通过以下多个控制位的组合进行激活：TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位以及 TIMx_BDTR 和 TIMx_CR2 寄存器中的 MOE、OISx、OISxN、OSSI 和 OSSR 位。更多详细信息，请参见*第 728 页的表 119：具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM16/17*。应当注意，切换至空闲状态（MOE 下降到 0）的时刻，死区仍然有效。

CCxE 和 CCxNE 位同时置 1 并且 MOE 位置 1（如果存在断路）时，将使能死区插入。每个通道有一个 10 位死区发生器。将基于参考波形 OCxREF 生成 2 个输出 OCx 和 OCxN。如果 OCx 和 OCxN 为高电平有效：

- 输出信号 OCx 与参考信号相同，只是其上升沿相对参考上升沿存在延迟。
- 输出信号 OCxN 与参考信号相反，并且其上升沿相对参考下降沿存在延迟。

如果延迟时间大于有效输出（OCx 或 OCxN）的宽度，则不会产生相应的脉冲。

下图所示为死区发生器的输出信号与参考信号 OCxREF 之间的关系。（在这些示例中，假定 CCxP=0、CCxNP=0、MOE=1、CCxE=1 并且 CCxNE=1）

图 259. 带死区插入的互补输出

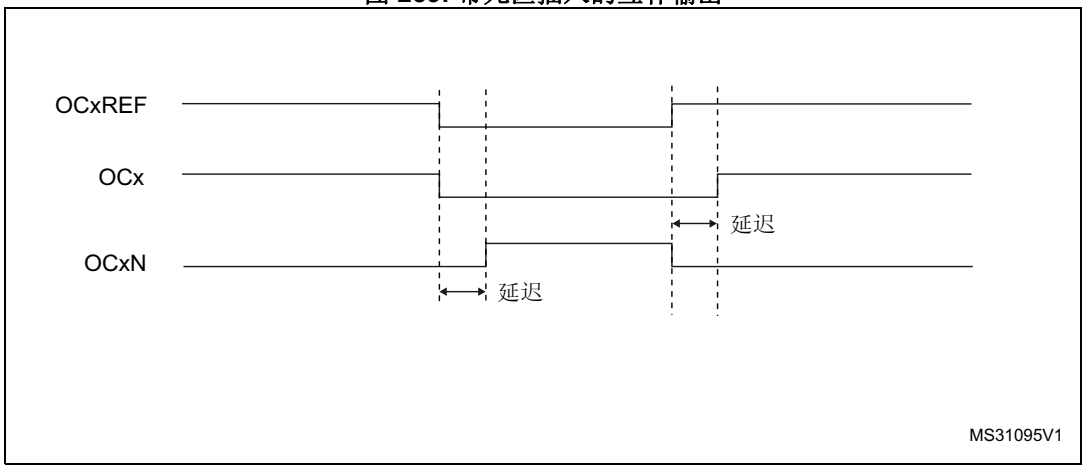


图 260. 延迟时间大于负脉冲宽度的死区波形

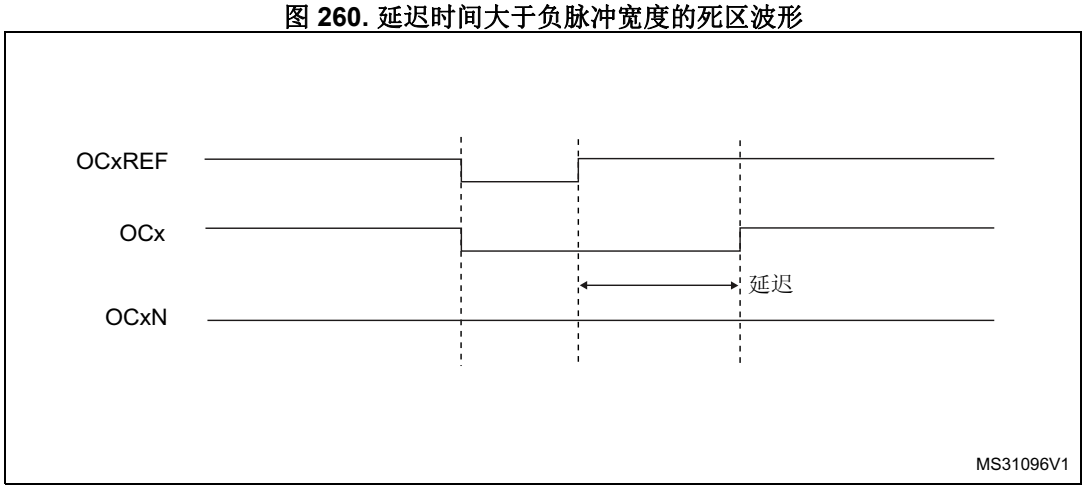
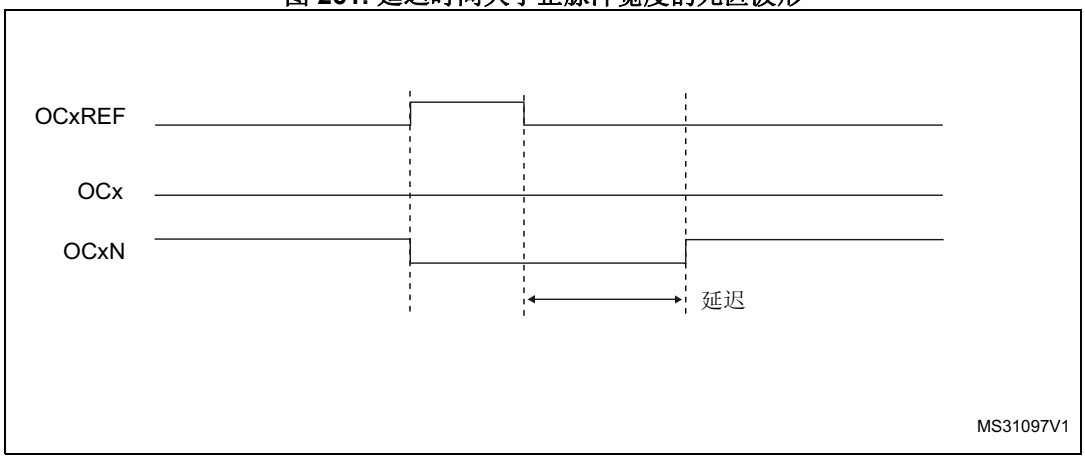


图 261. 延迟时间大于正脉冲宽度的死区波形



死区延迟对于所有通道均相同，可通过 TIMx_BDTR 寄存器中的 DTG 位进行编程。有关延迟时间计算的信息，请参见*第 731 页的第 24.6.14 节：TIMx 断路和死区寄存器 (TIMx_BDTR)（x = 16 到 17）*。

将 OCxREF 重定向到 OCx 或 OCxN

在输出模式（强制输出模式、输出比较模式或 PWM 模式）下，通过配置 TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位，可将 OCxREF 重定向到 OCx 输出或 OCxN 输出。

通过此功能，可以在一个输出上发送特定波形（如 PWM 或静态有效电平），而同时使互补输出保持其无效电平。或者，使两个输出同时保持无效电平，或者两个输出同时处于有效电平，两者互补并且带死区。

注： *如果仅使能 OCxN (CCxE=0, CCxNE=1)，两者不互补，一旦 OCxREF 为高电平，OCxN 即变为有效。例如，如果 CCxNP=0，则 OCxN=OCxRef。另一方面，如果同时使能 OCx 和 OCxN (CCxE=CCxNE=1)，OCx 在 OCxREF 为高电平时变为有效，而 OCxN 则与之互补，在 OCxREF 为低电平时变为有效。*

24.4.13 使用断路功能

断路功能的目的是保护由 TIM15/TIM16/TIM17 定时器生成的 PWM 信号所驱动的电源开关。断路输入通常被连接到功率级和三相逆变器的故障输出。激活时，断路电路会关闭 PWM 输出，并将其强制为预定义的安全状态。

断路通道收集系统级故障（时钟失效和奇偶校验错误等）和应用故障（来自输入引脚和内置比较器），可以在死区持续时间后将输出强制为预定义的电平（有效或无效）。

断路期间的输出使能信号和输出电平取决于多个控制位：

- TIMx_BDTR 寄存器中的 MOE 位，允许通过软件使能/禁止输出，在发生断路和断路 2 事件时复位。
- TIMx_BDTR 寄存器中的 OSSI 位，定义定时器将输出控制在无效状态下，还是释放对 GPIO 控制器的控制（通常使其处于高阻态模式）
- TIMx_CR2 寄存器中的 OISx 和 OISxN 位，将输出设置为关断电平（有效或无效）。无论 OISx 和 OISxN 的值为何，均无法在给定时间将 OCx 和 OCxN 输出同时设置为有效电平。更多详细信息，请参见*第 708 页的表 117：具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM15*。

退出复位状态后，断路功能处于禁止状态，MOE 位处于低电平。通过设置 TIMx_BDTR 寄存器中的 BKE 位来使能断路功能。断路输入的极性可通过该寄存器中的 BKP 位来选择。BKE 和 BKP 位可同时修改。对 BKE 和 BKP 位执行写操作时，写操作会在 1 个 APB 时钟周期的延迟后生效。因此，执行写操作后，需要等待 1 个 APB 时钟周期，才能准确回读该位。

由于 MOE 下降沿可能是异步信号，因此在实际信号（作用于输出）与同步控制位（位于 TIMx_BDTR 寄存器中）之间插入了再同步电路，从而在异步信号与同步信号之间产生延迟。具体而言，如果在 MOE 处于低电平时将其置为 1，则必须首先插入延迟（空指令），才能准确进行读取。写入时为异步信号写入，读取时为同步信号读取。

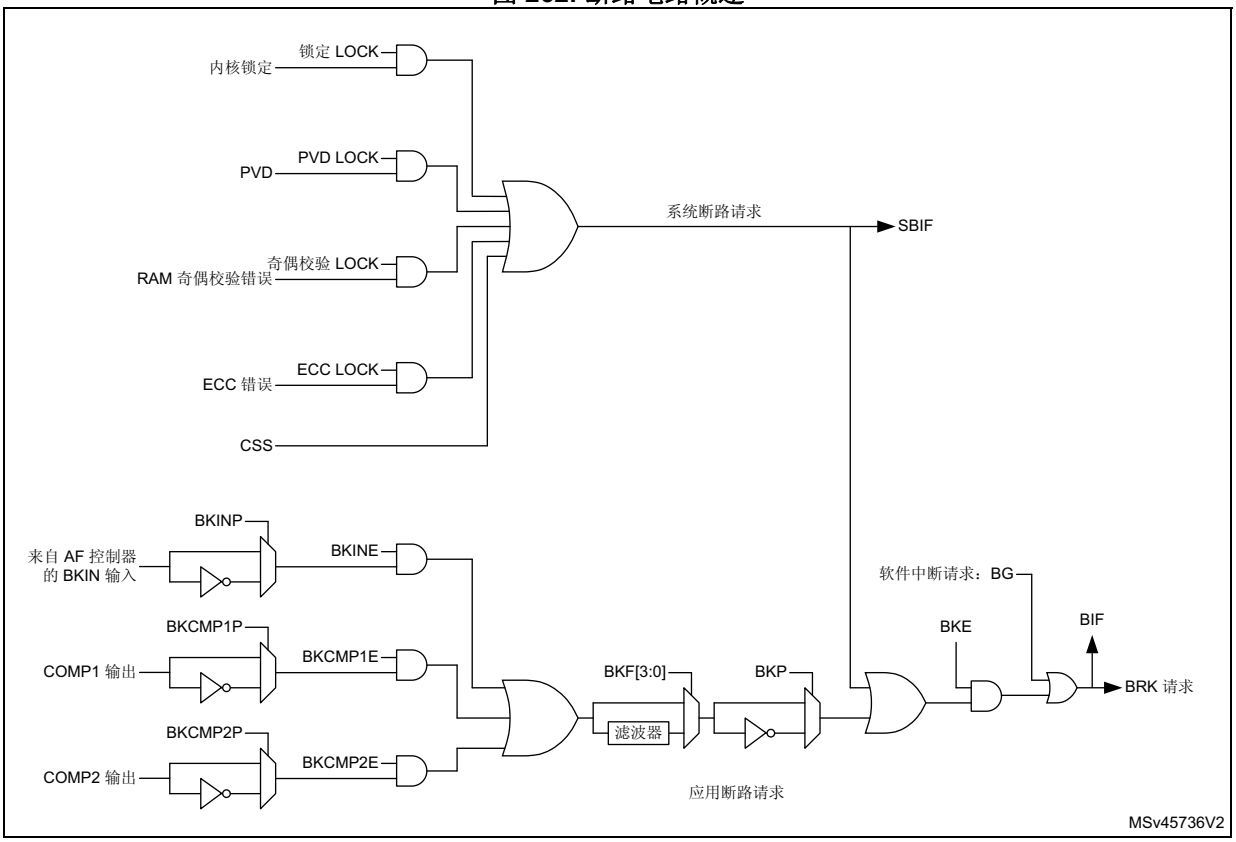
凭借可编程滤波器（TIMx_BDTR 寄存器中的 BKF[3:0] 位），可滤除伪事件。

可以使用 TIMx_AF1 寄存器从多个源产生断路，这些源可以单独使能并使用可编程边沿有效。

断路 (BRK) 通道的源为：

- 连接到 BKIN 引脚的外部源（由 AFIO 控制器设定），具有极性选择和可选的数字滤波
- 内部源：
  - 比较器的输出，具有极性选择和可选的数字滤波
  - 系统中断：
    - Cortex®-M0+ LOCKUP 输出
    - PVD 输出
    - SRAM 奇偶校验错误信号
    - Flash ECC 错误
    - CSS 检测器产生时钟故障事件

图 262. 断路电路概述



注意： 只有禁止可编程滤波器时才能保证异步（无时钟）操作。如果使能可编程滤波器，必须使用故障安全时钟模式（例如，使用内部 PLL 和/或 CSS）来保证能够处理断路事件。

发生断路（断路输入上出现所选电平）时：

- MOE 位异步清零，使输出处于无效状态、空闲状态甚至释放对 AFIO 控制器的控制（通过 OSSI 位进行选择）。即使 MCU 振荡器关闭，该功能仍然有效。
- MOE=0 时，将以 TIMx_CR2 寄存器 OISx 位中编程的电平驱动每个输出通道。如果 OSSI = 0，定时器将释放输出控制（由 AFIO 控制器接管），否则使能输出保持高电平。
- 使用互补输出时：
  - 输出首先置于复位状态或无效状态（取决于极性）。这是异步操作，因此即使没有为定时器提供时钟，该操作仍有效。
  - 如果定时器时钟仍存在，则将重新激活死区发生器，进而在死区后以 OISx 和 OISxN 位中编程的电平驱动输出。即使在这种情况下，也不能同时将 OCx 和 OCxN 驱动至其有效电平。请注意，MOE 进行再同步，因此死区的持续时间会比通常情况长一些（约 2 个 ck_tim 时钟周期）。
  - 如果 OSSI = 0，定时器将释放使能输出（由强制高阻态的 AFIO 控制器接管），否则使能输出将保持高电平或在 CCxE 或 CCxNE 位之一为高电平时立即变为高电平。
- 将断路状态标志（TIMx_SR 寄存器中的 BIF 位）置 1。如果 TIMx_DIER 寄存器中的 BIE 位置 1，可产生中断。
- 如果 TIMx_BDTR 寄存器中的 AOE 位置 1，则 MOE 位会在发生下一更新事件 (UEV) 时自动再次置 1。这一特性有许多用处，比如，可用于实现调节器的功能。否则，MOE 将始终保持低电平，直到再次向该位写入 1。这种情况下，这一特性可用于确保安全，可以将断路输入连接到功率驱动器的警报、温度传感器或任何安全元件。

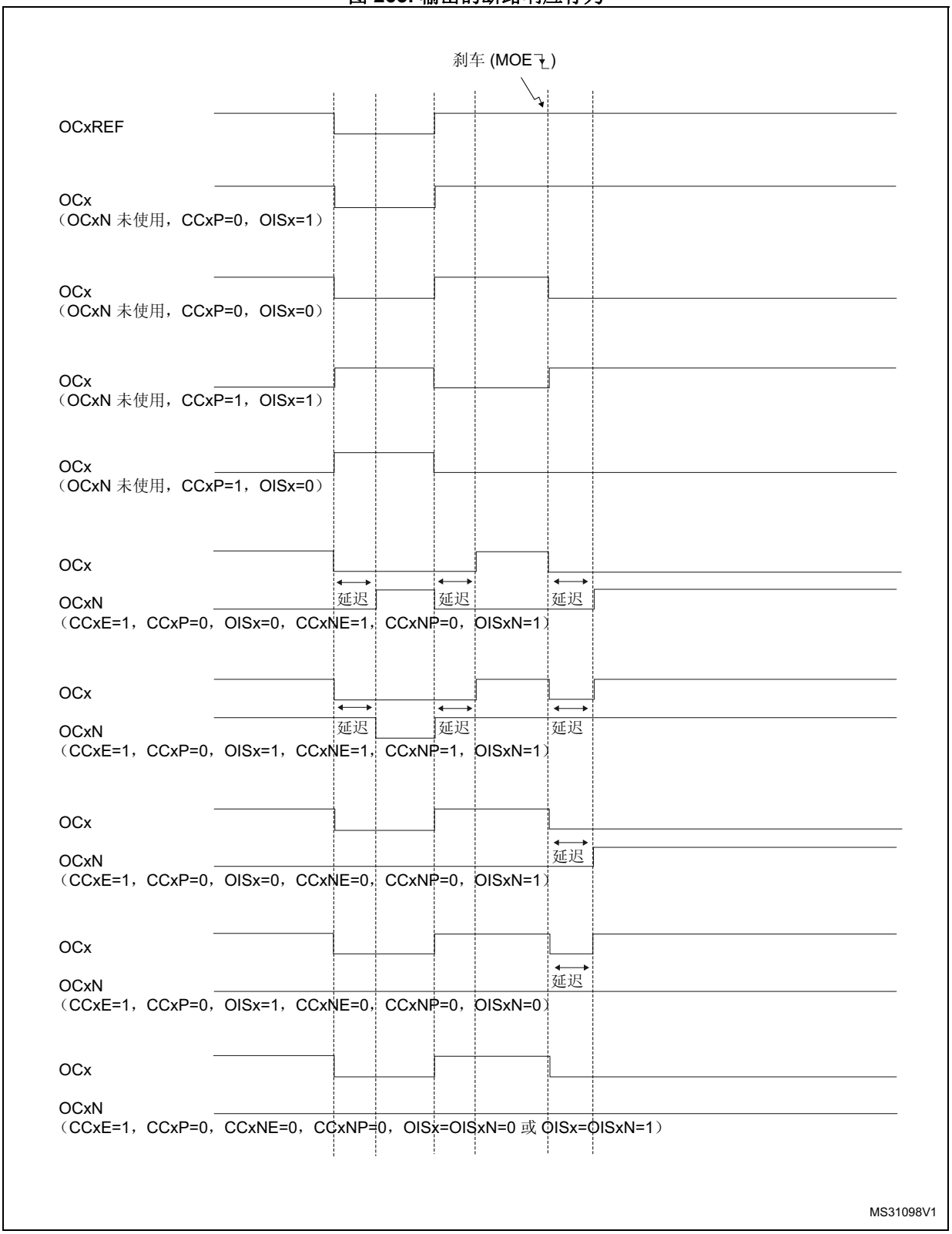
注： *断路输入为电平有效。因此，当断路输入有效电平时，不能将 MOE 位置 1（自动或通过软件）。同时，不能将状态标志 BIF 清零。*

断路可由 BRK 输入生成，该输入具有可编程极性，其使能位 BKE 位于 TIMx_BDTR 寄存器中。

除断路输入和输出管理外，断路电路内部还实施了写保护，用以保护应用的安全。通过该功能，用户可冻结多个参数配置（死区持续时间、OCx/OCxN 极性和禁止时的状态、OCxM 配置、断路使能和极性）。可以通过 TIMx_BDTR 寄存器中的 LOCK 位从 3 种保护级别中进行选择。请参见*第 731 页的第 24.6.14 节：TIMx 断路和死区寄存器 (TIMx_BDTR)（x = 16 到 17）*。MCU 复位后只能对 LOCK 位执行一次写操作。

图 263 所示为输出对断路响应行为的示例。

图 263. 输出的断路响应行为



24.4.14 双向断路输入

TIM15/TIM16/TIM17 具有双向断路 I/O，如*图 264* 所示。

它们可以：

- 将板级全局断路信号用于向外部 MCU 或栅极驱动器发送故障信号，唯一的引脚作为输入和输出状态引脚。
- 在必须将多个内部和外部断路输入合并时，将内部断路源和多个外部开漏比较器输出“或”连接在一起，触发唯一断路事件。

使用 TIMxBDTR 寄存器的 BKBID 位将断路输入配置为双向模式。可以使用 TIMxBDTR 寄存器中的 LOCK 位，将 BKBID 编程位锁定在只读模式（处于锁定级别 1 或更高级别）。

双向模式需要将 I/O 配置为开漏模式且使极性低电平有效（使用 BKINP 和 BKP 位）。任何来自系统（例如 CSS）、片上外设或断路输入的断路请求都会强制将断路输入置为低电平，以通知发生了故障事件。如果未正确设置极性位（高电平有效极性），则出于安全目的禁止双向模式。

软件断路事件 (BG) 也会导致断路 I/O 被强制为“0”，从而向外部组件指示定时器已进入断路状态。但是仅在断路使能时 (BKE = 1) 有效。当生成软件断路事件且 BKE = 0 时，输出将被置于安全状态，并且断路标志置 1，但对断路 I/O 无影响。

安全解除机制可防止系统最终锁定（断路输入上的低电平会触发断路，进而将相同输入强制置为低电平）。

当 BKDSRM 位置 1 时，会释放断路输出以清除故障信号，从而使系统能够重新启动。

在任何情况下都不能禁止断路保护电路：

- 断路输入路径始终有效：即使 BKDSRM 位置 1 且释放开漏控制，断路事件也仍然有效。这样可以在发生断路期间防止 PWM 输出重新启动。
- 使能输出（MOE 位置 1）后，BKDSRM 位不能解除断路保护（请参见*表 115*）

表 115. 断路保护解除条件

MOE	BKDIR	BKDSRM	断路保护状态
0	0	X	启动
0	1	0	启动
0	1	1	解除
1	X	X	启动

启动和重新启动断路电路

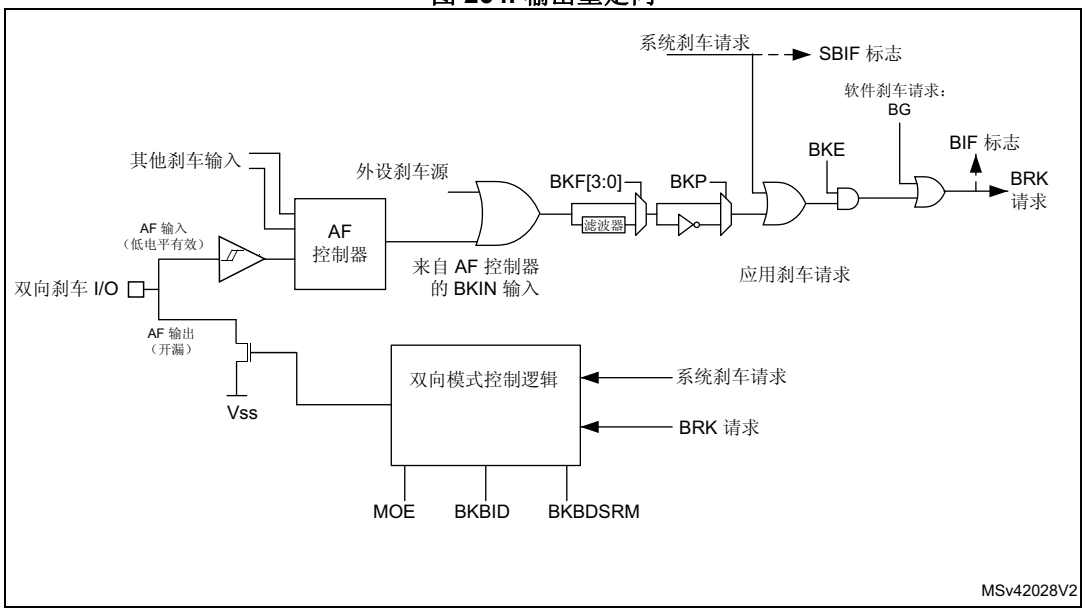
默认情况下（外设复位配置）会启动断路电路（在输入或双向模式下）。

发生断路事件后，必须按照以下步骤重新启动保护：

- 必须将 BKDSRM 位置 1，以释放输出控制
- 软件必须等待系统断路条件消失（如果有），并清零 SBIF 状态标志（或在重新启动前由系统清零）
- 软件必须轮询 BKDSRM 位，直到该位由硬件清零（当应用断路条件消失时）

此后，断路电路即启动并激活，可以通过将 MOE 位置 1 来重新使能 PWM 输出。

图 264. 输出重定向



24.4.15 单脉冲模式

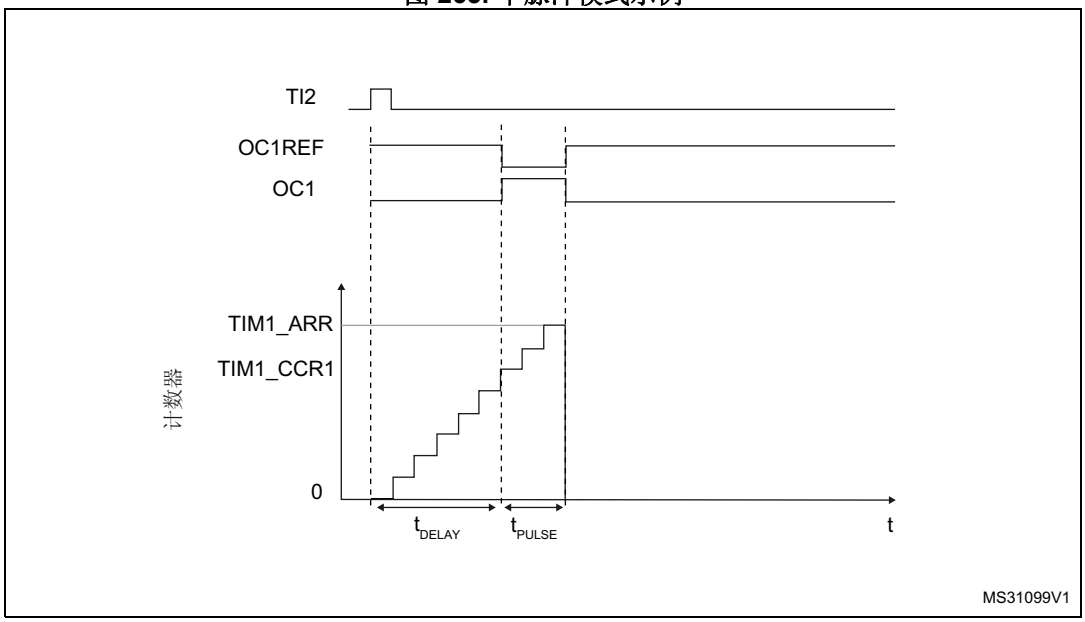
单脉冲模式 (OPM) 是上述模式的一个特例。在这种模式下，计数器可以在一个激励信号的触发下启动，并可在一段可编程的延时后产生一个脉宽可编程的脉冲。

可以通过从模式控制器启动计数器。可以在输出比较模式或 PWM 模式下生成波形。通过将 TIMx_CR1 寄存器中的 OPM 位置 1 选择单脉冲模式。这样，发生下一更新事件 UEV 时，计数器将自动停止。

只有当比较值与计数器初始值不同时，才能正确产生一个脉冲。启动前（定时器等待触发时），必须进行如下配置：

- CNT < CCRx ≤ ARR（特别注意，0 < CCRx）

图 265. 单脉冲模式示例



例如，用户希望达到这样的效果：在 TI2 输入引脚检测到正沿时，经过 t_{DELAY} 的延迟，在 OC1 上产生一个长度为 t_{PULSE} 的正脉冲。

使用 TI2FP2 作为触发 1：

1. 使用 TIMx_TISEL 寄存器中的 TI2SEL[3:0] 位选择正确的 TI2[x] 源（内部或外部）。
2. 在 TIMx_CCMR1 寄存器中写入 CC2S=“01”，以将 TI2FP2 映射到 TI2。
3. 在 TIMx_CCER 寄存器中写入 CC2P=“0”和 CC2NP=“0”，使 TI2FP2 能够检测上升沿。
4. 在 TIMx_SMCR 寄存器中写入 TS=“00110”，以将 TI2FP2 配置为从模式控制器的触发 (TRGI)。
5. 在 TIMx_SMCR 寄存器中写入 SMS=“110”（触发模式），以使用 TI2FP2 启动计数器。

OPM 波形通过对比较寄存器执行写操作来定义（考虑时钟频率和计数器预分频器）。

- t_{DELAY} 由写入 TIMx_CCR1 寄存器的值定义。
- t_{PULSE} 由自动重载值与比较值之差 (TIMx_ARR - TIMx_CCR1) 来定义。
- 假设希望产生这样的波形：信号在发生比较匹配时从“0”变为“1”，在计数器达到自动重载值时由“1”变为“0”。为此，必须在 TIMx_CCMR1 寄存器中写入 OC1M=111，以使能 PWM 模式 2。如果需要，可选择在 TIMx_CCMR1 寄存器的 OC1PE 和 TIMx_CR1 寄存器的 ARPE 中写入“1”，以使能预装载寄存器。这种情况下，必须在 TIMx_CCR1 寄存器中写入比较值并在 TIMx_ARR 寄存器中写入自动重载值，通过将 UG 位置 1 来产生更新，然后等待 TI2 上的外部触发事件。本例中， CC1P 的值为 “0”。

由于仅需要 1 个脉冲，因此应向 TIMx_CR1 寄存器的 OPM 位写入 1，以便在发生下一更新事件（计数器从自动重载值返回到 0）时使计数器停止计数。

特殊情况：OCx 快速使能

在单脉冲模式下，TIx 输入的边沿检测会将 CEN 位置 1，表示使能计数器。然后，在计数器值与比较值之间发生比较时，将切换输出。但是，完成这些操作需要多个时钟周期，这会限制可能的最小延迟（t_{DELAY} 最小值）。

如果要输出延迟时间最短的波形，可以将 TIMx_CCMRx 寄存器中的 OCxFE 位置 1。这样会强制 OCxRef（和 OCx）对激励信号做出响应，而不再考虑比较的结果。其新电平与发生比较匹配时相同。仅当通道配置为 PWM1 或 PWM2 模式时，OCxFE 才会起作用。

24.4.16 可再触发单脉冲模式 (OPM)（仅限 TIM15）

该模式允许计数器可以在一个激励信号的触发下启动，并且能产生长度可编程的脉冲，但与不可再触发单脉冲模式间存在以下差别，如*第 24.4.15 节*所述：

- 发生触发时，脉冲立即产生（无可编程延时）
- 如果在上一个触发完成前发生新的触发，脉冲将延长

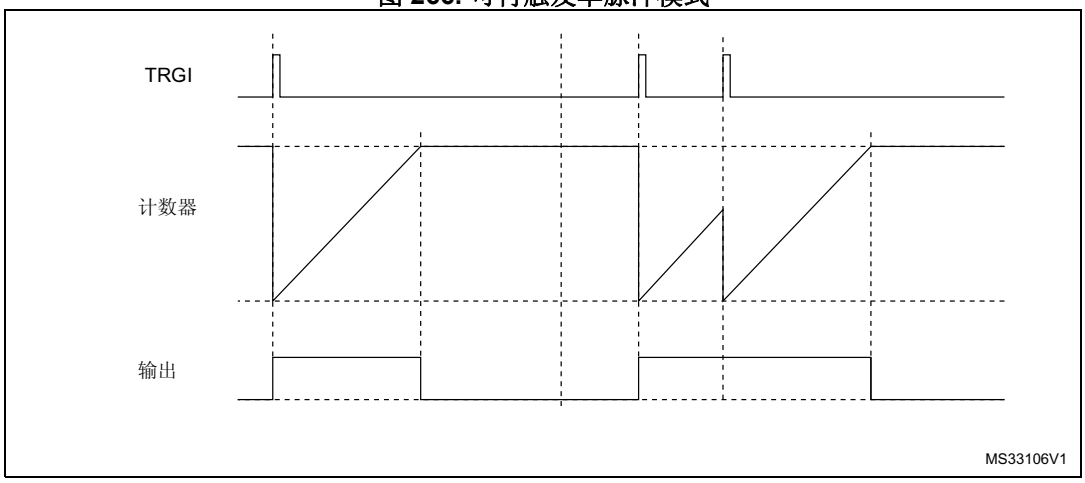
定时器必须处于从模式，TIMx_SMCR 寄存器中的位 SMS[3:0] =“1000”（组合复位 + 触发模式），针对可再触发 OPM 模式 1 或模式 2 将 OCxM[3:0] 位设置为“1000”或“1001”。

定时器配置为递增计数模式时，相应的 CCRx 必须置 0（ARR 寄存器设置脉冲长度）。如果定时器配置为递减计数模式，CCRx 必须高于或等于 ARR。

注： *出于兼容性原因，OCxM[3:0] 和 SMS[3:0] 位域分为两部分，最高有效位与最低有效的 3 位不相邻。*

此模式不能与中心对齐 PWM 模式一起使用。在 TIMx_CR1 中必须设置 CMS[1:0] = 00。

图 266. 可再触发单脉冲模式



24.4.17 UIF 位重映射

TIMx_CR1 寄存器中的 IUFREMAP 位强制将更新中断标志 UIF 连续复制到定时计数器寄存器的位 31 (TIMxCNT[31]) 中。这样便可自动读取计数器值以及由 UIFCPY 标志发出的电位翻转条件。在特定情况下，这可避免在后台任务（计数器读）和中断（更新中断）之间共享处理时产生竞争条件，从而简化计算。

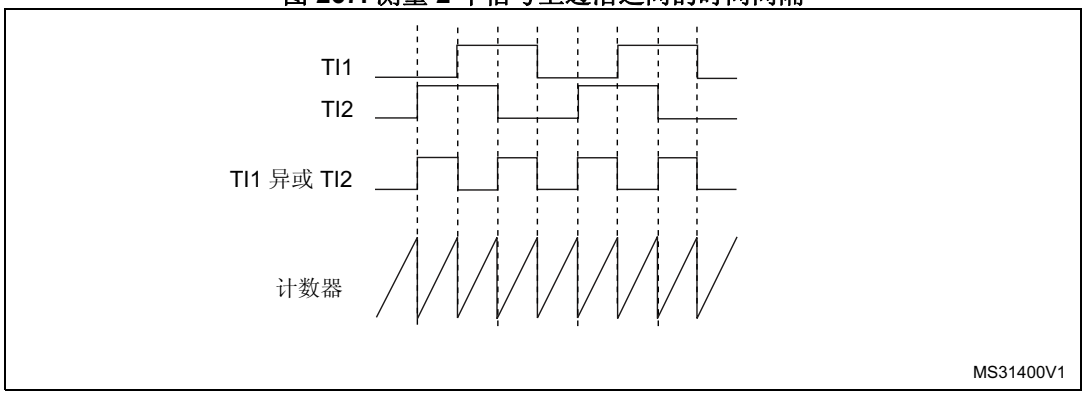
UIF 和 UIFCPY 标志使能之间没有延迟。

24.4.18 定时器输入异或功能（仅适用于 TIM15）

通过 TIMx_CR2 寄存器中的 TI1S 位，可将通道 1 的输入滤波器连接到异或门的输出，从而将 TIMx_CH1 和 TIMx_CH2 这两个输入引脚组合在一起。

异或输出可与触发或输入捕获等所有定时器输入功能配合使用。这样可用于测量两个输入信号上边沿之间的间隔，如下面的*图 267* 所示。

图 267. 测量 2 个信号上边沿之间的时间间隔



24.4.19 外部触发同步（仅适用于 TIM15）

TIM 定时器从内部链接在一起，以实现定时器同步或级联。

TIM15 定时器可与外部触发以下列模式实现同步：复位模式、门控模式和触发模式。

从模式：复位模式

当触发输入信号发生变化时，计数器及其预分频器可重新初始化。此外，如果 TIMx_CR1 寄存器中的 URS 位处于低电平，则会生成更新事件 UEV。然后，所有预装载寄存器（TIMx_ARR 和 TIMx_CCRx）都将更新。

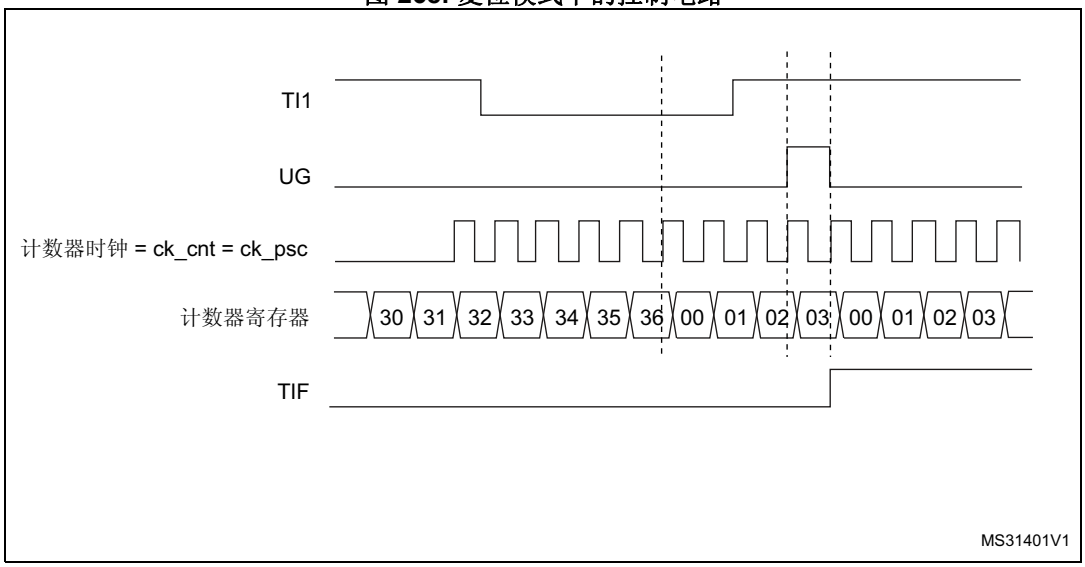
在以下示例中，TI1 输入上出现上升沿时，递增计数器清零：

1. 将通道 1 配置为检测 TI1 的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S = 01。在 TIMx_CCER 寄存器中写入 CC1P =“0”和 CC1NP =“0”，使极性有效（仅检测上升沿）。
2. 在 TIMx_SMCR 寄存器中写入 SMS=100，将定时器配置为复位模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
3. 在 TIMx_CR1 寄存器中写入 CEN=1，启动计数器。

计数器开始根据内部时钟计数，然后正常运转，直到出现 TI1 上升沿。当 TI1 出现上升沿时，计数器清零，然后重新从 0 开始计数。同时，触发标志（TIMx_SR 寄存器中的 TIF 位）置 1，使能中断或 DMA 后，还可发送中断或 DMA 请求（取决于 TIMx_DIER 寄存器中的 TIE 和 TDE 位）。

下图显示了自动重载寄存器 TIMx_ARR=0x36 时的相关行为。TI1 的上升沿与实际计数器复位之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 268. 复位模式下的控制电路



从模式：门控模式

输入信号的电平可用来使能计数器。

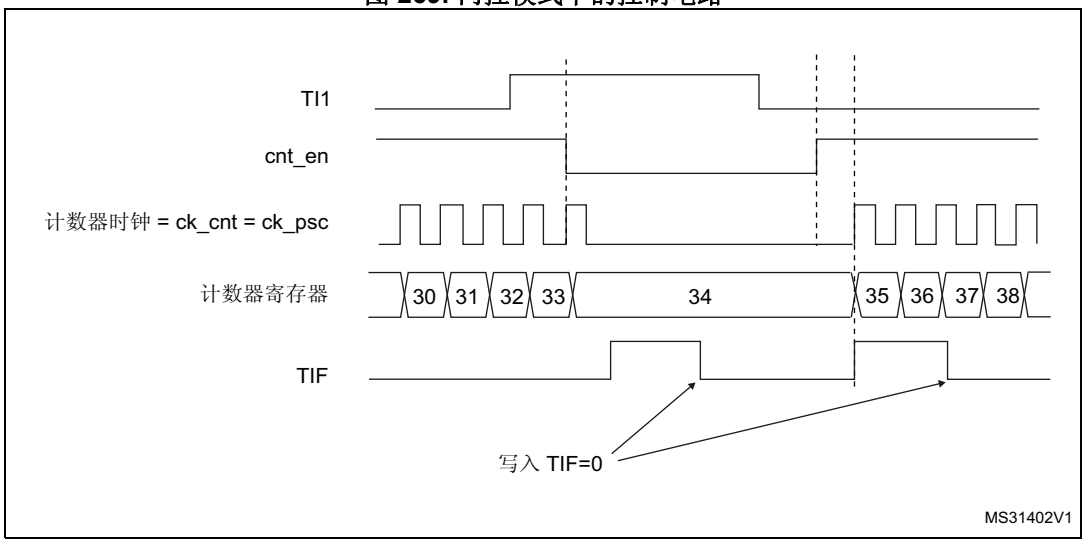
在以下示例中，递增计数器仅在 TI1 输入为低电平时计数：

1. 将通道 1 配置为检测 TI1 上的低电平。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC1F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC1S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC1S=01。在 TIMx_CCER 寄存器中写入 CC1P = 1 和 CC1NP =“0”，以确定极性（仅检测低电平）。
2. 在 TIMx_SMCR 寄存器中写入 SMS=101，将定时器配置为门控模式。在 TIMx_SMCR 寄存器中写入 TS=00101，选择 TI1 作为输入源。
3. 在 TIMx_CR1 寄存器中写入 CEN=1，使能计数器（在门控模式下，如果 CEN=0，则无论触发输入电平如何，计数器都不启动）。

只要 TI1 为低电平，计数器就开始根据内部时钟计数，直到 TI1 变为高电平时停止计数。计数器启动或停止时，TIMx_SR 寄存器中的 TIF 标志都会置 1。

TI1 的上升沿与实际计数器停止之间的延迟是由于 TI1 输入的重新同步电路引起的。

图 269. 门控模式下的控制电路



从模式：触发模式

所选输入上发生某一事件时可以启动计数器。

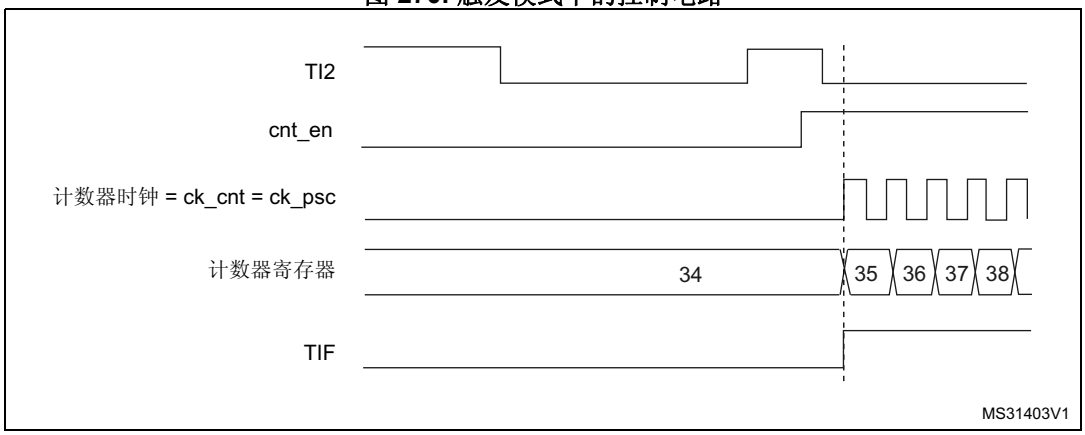
在以下示例中，TI2 输入上出现上升沿时，递增计数器启动：

1. 将通道 2 配置为检测 TI2 上的上升沿。配置输入滤波带宽（本例中不需要任何滤波器，因此保持 IC2F=0000）。由于捕获预分频器不用于触发操作，因此无需对其进行配置。CC2S 位只选择输入捕获源，即 TIMx_CCMR1 寄存器中的 CC2S=01。在 TIMx_CCER 寄存器中写入 CC2P =“1”和 CC2NP =“0”，以确定极性（仅检测低电平）。
2. 在 TIMx_SMCR 寄存器中写入 SMS = 110，将定时器配置为触发模式。通过在 TIMx_SMCR 寄存器中写入 TS=00110 来选择 TI2 作为输入源。

当 TI2 出现上升沿时，计数器开始根据内部时钟计数，并且 TIF 标志置 1。

TI2 的上升沿与实际计数器启动之间的延迟是由于 TI2 输入的重新同步电路引起的。

图 270. 触发模式下的控制电路



24.4.20 从模式——组合复位 + 触发模式

在这种情况下，在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器，生成一个寄存器更新事件，并启动计数器。

该模式用于单脉冲模式。

24.4.21 DMA 连续传送模式

TIMx 定时器能够根据一个事件生成多个 DMA 请求。主要目的是能够对几个定时器寄存器多次重新编程而无需软件开销，但也可用于定期读取一行中的多个寄存器。

DMA 控制器目标唯一，必须指向虚拟寄存器 TIMx_DMAR。发生给定的定时器事件时，定时器会启动 DMA 请求序列（突发）。每次写入 TIMx_DMAR 寄存器都会重定向到其中一个定时器寄存器。

TIMx_DCR 寄存器中的 DBL[4:0] 位设置 DMA 连续传送长度。当对 TIMx_DMAR 地址进行读或写访问时，定时器进行一次连续传送，即传送次数（按半字或字节）。

TIMx_DCR 寄存器中的 DBA[4:0] 位定义 DMA 传送的 DMA 基址（通过 TIMx_DMAR 地址执行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量。

示例：

00000：TIMx_CR1

00001：TIMx_CR2

00010：TIMx_SMCR

例如，定时器 DMA 连续传送功能用于在发生更新事件后将 CCRx 寄存器（x = 2、3、4）的内容更新为通过 DMA 传输到 CCRx 寄存器中的多个半字。

具体操作步骤如下：

1. 将相应的 DMA 通道配置如下：
   - DMA 通道外设地址为 DMAR 寄存器地址。
   - DMA 通道存储器地址为包含要通过 DMA 传输到 CCRx 寄存器的数据的 RAM 缓冲区地址。
   - 要传输的数据量 = 3（参见下文注释）。
   - 禁止循环模式。
2. 通过将 DBA 和 DBL 位域配置如下来配置 DCR 寄存器：
   DBL = 3 次传输，DBA = 0xE。
3. 使能 TIMx 更新 DMA 请求（DIER 寄存器中的 UDE 位置 1）。
4. 使能 TIMx
5. 使能 DMA 通道

本例适用于每个 CCRx 寄存器只更新一次的情况。如果每个 CCRx 寄存器要更新两次，则要传输的数据量应为 6。下面以包含 data1、data2、data3、data4、data5 和 data6 的 RAM 缓冲区为例。数据将按照如下方式传输到 CCRx 寄存器：在第一个更新 DMA 请求期间，data1 传输到 CCR2，data2 传输到 CCR3，data3 传输到 CCR4；在第二个更新 DMA 请求期间，data4 传输到 CCR2，data5 传输到 CCR3，data6 传输到 CCR4。

注： *可以将空值写入保留的寄存器中。*

24.4.22 定时器同步 (TIM15)

TIMx 定时器从内部连接在一起，以实现定时器同步或链接。有关详细信息，请参见*第 21.3.19 节：定时器同步*。

注： *必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。*

24.4.23 调试模式

当微控制器进入调试模式（Cortex®-M0+ 内核停止）时，TIMx 计数器会根据 DBG 模块中的 DBG_TIMx_STOP 配置位选择继续正常工作或者停止工作。有关详细信息，请参见*第 37.9.2 节：对定时器、看门狗和 I^2C 的调试支持*。

为了安全起见，当计数器停止 (DBG_TIMx_STOP = 1) 时，输出被禁止（就像 MOE 位被复位一样）。可以将输出强制变为未激活状态（OSSI 位 = 1），或者通过 GPIO 控制器（OSSI 位 = 0）来控制输出，以将其强制为高阻态。

24.5 TIM15寄存器

有关寄存器说明中使用的缩写，请参见*第 1.2 节*。

24.5.1 TIM15 控制寄存器 1 (TIM15_CR1)

TIM15 control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw		rw	rw	rw				rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)

0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。
1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10 保留，必须保持复位值。

位 9:8 **CKD[1:0]**：时钟分频 (Clock division)

此位域指示定时器时钟 (CK_INT) 频率与死区发生器以及数字滤波器 (TIx) 所使用的死区及采样时钟 (t_{DTS}) 之间的分频比，

00：$t_{DTS} = t_{CK\_INT}$
01：$t_{DTS} = 2*t_{CK\_INT}$
10：$t_{DTS} = 4*t_{CK\_INT}$
11：保留，不要设置成此值

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)

0：TIMx_ARR 寄存器不进行缓冲
1：TIMx_ARR 寄存器进行缓冲

位 6:4 保留，必须保持复位值。

位 3 **OPM**：单脉冲模式 (One-pulse mode)

0：计数器在发生更新事件时不会停止计数
1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）

位 2 **URS**：更新请求源 (Update request source)

此位由软件置 1 和清零，用以选择 UEV 事件源。

0：使能后，所有以下事件都会生成更新中断：此类事件包括：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

1：使能后，只有计数器上溢/下溢会生成更新中断。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止 UEV 事件生成。

0：使能 UEV。更新 (UEV) 事件可通过以下事件之一生成：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

然后更新影子寄存器的值。

1：禁止 UEV。不会生成更新事件，各影子寄存器的值（ARR、PSC 和 CCRx）保持不变。但如果将 UG 位置 1，或者从从模式控制器接收到硬件复位，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： 只有事先通过软件将 CEN 位置 1，才可以使用外部时钟和门控模式。而触发模式可通过硬件自动将 CEN 位置 1。

24.5.2 TIM15 控制寄存器 2 (TIM15_CR2)

TIM15 control register 2

偏移地址：0x04

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
					rw	rw	rw	rw	rw	rw	rw	rw	rw		rw

位 15:11 保留，必须保持复位值。

位 10 **OIS2**：输出空闲状态 2（OC2 输出）(Output Idle state 2 (OC2 output))

0：当 MOE = 0 时，OC2 = 0

1：当 MOE = 0 时，OC2 = 1

注： 只要编程了 LOCK（TIMx_BKR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 9 **OIS1N**：输出空闲状态 1（OC1N 输出）(Output Idle state 1 (OC1N output))

0：当 MOE=0 时，经过死区时间后 OC1N=0

1：当 MOE=0 时，经过死区时间后 OC1N=1

注： 只要编程了 LOCK（TIMx_BKR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 8 **OIS1**：输出空闲状态 1（OC1 输出）(Output Idle state 1 (OC1 output))
0：当 MOE=0 时，（如果 OC1N 有效，则经过死区时间之后）OC1=0
1：当 MOE=1 时，（如果 OC1N 有效，则经过死区时间之后）OC1=0
注：　只要编程了 LOCK（TIMx_BKR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 7 **TI1S**：TI1 选择 (TI1 selection)
0：TIMx_CH1 引脚连接到 TI1 输入
1：TIMx_CH1、CH2 引脚连接到 TI1 输入（异或组合）

位 6:4 **MMS[2:0]**：主模式选择 (Master mode selection)
这些位可选择主模式下将要发送到从定时器以实现同步的信息 (TRGO)。这些位的组合如下：
000：**复位**——TIMx_EGR 寄存器中的 UG 位用作触发输出 (TRGO)。如果复位由触发输入生成（从模式控制器配置为复位模式），则 TRGO 上的信号相比实际复位会有延迟。
001：**使能**——计数器使能信号 CNT_EN 用作触发输出 (TRGO)。该触发输出可用于同时启动多个定时器，或者控制在一段时间内使能从定时器。计数器使能信号由 CEN 控制位与门控模式下的触发输入的逻辑或运算组合而成。当计数器使能信号由触发输入控制时，TRGO 上会存在延迟，选择主/从模式时除外（请参见 TIMx_SMCR 寄存器中 MSM 位的说明）。
010：**更新**——选择更新事件作为触发输出 (TRGO)。例如，主定时器可用作从定时器的预分频器。
011：**比较脉冲**——一旦发生输入捕获或比较匹配事件，当 CC1IF 标志被置 1 时（即使已为高电平），触发输出都会发送一个正脉冲。(TRGO)。
100：**比较**——OC1REF 信号用作触发输出 (TRGO)
101：**比较**——OC2REF 信号用作触发输出 (TRGO)

位 3 **CCDS**：捕获/比较 DMA 选择 (Capture/compare DMA selection)
0：发生 CCx 事件时发送 CCx DMA 请求
1：发生更新事件时发送 CCx DMA 请求

位 2 **CCUS**：捕获/比较控制更新选择 (Capture/compare control update selection)
0：如果捕获/比较控制位进行预装载 (CCPC=1)，仅通过将 COMG 位置 1 来对这些位进行更新。
1：如果捕获/比较控制位进行预装载 (CCPC=1)，可通过将 COMG 位置 1 或 TRGI 的上升沿对这些位进行更新。
注：　此位仅对具有互补输出的通道有效。

位 1 保留，必须保持复位值。

位 0 **CCPC**：捕获/比较预装载控制 (Capture/compare preloaded control)
0：CCxE、CCxNE 和 OCxM 位未进行预装载。
1：CCxE、CCxNE 和 OCxM 位进行了预装载，写入这些位后，仅当发生换向事件 (COM)（COMG 位置 1 或在 TRGI 上检测到上升沿，取决于 CCUS 位）时才会对这些位进行更新。
注：　此位仅对具有互补输出的通道有效。

24.5.3 TIM15 从模式控制寄存器 (TIM15_SMCR)

TIM15 slave mode control register

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS[4:3]		Res.	Res.	Res.	SMS[3]
										rw	rw				rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MSM	TS[2:0]			Res.	SMS[2:0]		
								rw	rw	rw	rw		rw	rw	rw

位 31:22 保留，必须保持复位值。

位 19:17 保留，必须保持复位值。

位 15:8 保留，必须保持复位值。

位 7 **MSM**：主/从模式 (Master/slave mode)

0：不执行任何操作。

1：当前定时器的触发输入事件 (TRGI) 的动作被推迟，以使当前定时器与其从定时器实现完美同步（通过 TRGO）。此设置适用于由单个外部事件对多个定时器进行同步的情况。

位 21、20、6、5、4 **TS[4:0]**：触发选择 (Trigger selection)

此位域可选择将要用于同步计数器的触发输入。

00000：内部触发 0 (ITR0)

00001：内部触发 1 (ITR1)

00010：内部触发 2 (ITR2)

00011：内部触发 3 (ITR3)

00100：TI1 边沿检测器 (TI1F_ED)

00101：滤波后的定时器输入 1 (TI1FP1)

00110：滤波后的定时器输入 2 (TI2FP2)

其他：保留

有关各定时器 ITRx 含义的详细信息，请参见*第 699 页的表 116：TIMx 内部触发连接*。

注：这些位只能在未使用的情况下（例如，SMS=000 时）进行更改，以避免转换时出现错误的边沿检测。

位 3 保留，必须保持复位值。

位 16、 2、 1、 0 **SMS[3:0]**：从模式选择 (Slave mode selection)

选择外部信号时，触发信号 (TRGI) 的有效边沿与外部输入上所选的极性相关（请参见输入控制寄存器和控制寄存器说明）。

0000：禁止从模式——如果 CEN = “1”，预分频器时钟直接由内部时钟提供。
0001：保留
0010：保留
0011：保留
0100：复位模式——在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器并生成一个寄存器更新事件。
0101：门控模式——触发输入 (TRGI) 为高电平时使能计数器时钟。只要触发输入变为低电平，计数器立即停止计数（但不复位）。计数器的启动和停止都被控制。
0110：触发模式——触发信号 TRGI 出现上升沿时启动计数器（但不复位）。只控制计数器的启动。
0111：外部时钟模式 1——由所选触发信号 (TRGI) 的上升沿提供计数器时钟。
1000：组合复位 + 触发模式——在出现所选触发输入 (TRGI) 上升沿时，重新初始化计数器，生成一个寄存器更新事件并启动计数器。
其他代码：保留。

注： 如果将 TI1F_ED 选作触发输入（TS= “00100”），则不得使用门控模式。实际上，TI1F 每次转换时，TI1F_ED 都输出 1 个脉冲，而门控模式检查的则是触发信号的电平。

注： 必须先使能接收 TRGO 或 TRGO2 信号的从外设（定时器、ADC 等）的时钟，才能从主定时器接收事件；并且从主定时器接收触发信号时，不得实时更改时钟频率（预分频器）。

表 116. TIMx 内部触发连接

从 TIM	ITR0 (TS = 00000)	ITR1 (TS = 00001)	ITR2 (TS = 00010)	ITR3 (TS = 00011)
TIM15	TIM2	TIM3	TIM16_OC1	TIM17_OC1

24.5.4 TIM15 DMA/中断使能寄存器 (TIM15_DIER)

TIM15 DMA/interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	TDE	COMDE	Res.	Res.	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	Res.	Res.	CC2IE	CC1IE	UIE
	rw	rw			rw	rw	rw	rw	rw	rw			rw	rw	rw

位 15 保留，必须保持复位值。

位 14 **TDE**：触发 DMA 请求使能 (Trigger DMA request enable)
0：禁止触发 DMA 请求
1：使能触发 DMA 请求

位 13 **COMDE**：COM DMA 请求使能 (COM DMA request enable)
0：禁止 COM DMA 请求
1：使能 COM DMA 请求

位 12:11 保留，必须保持复位值。

位 10 **CC2DE**：捕获/比较 2 DMA 请求使能 (Capture/Compare 2 DMA request enable)
0：禁止 CC2 DMA 请求
1：使能 CC2 DMA 请求

位 9 **CC1DE**：捕获/比较 1 DMA 请求使能 (Capture/Compare 1 DMA request enable)
0：禁止 CC1 DMA 请求
1：使能 CC1 DMA 请求

位 8 **UDE**：更新 DMA 请求使能 (Update DMA request enable)
0：禁止更新 DMA 请求
1：使能更新 DMA 请求

位 7 **BIE**：断路中断使能 (Break interrupt enable)
0：禁止断路中断
1：使能断路中断

位 6 **TIE**：触发中断使能 (Trigger interrupt enable)
0：禁止触发中断
1：使能触发中断

位 5 **COMIE**：COM 中断使能 (COM interrupt enable)
0：禁止 COM 中断
1：使能 COM 中断

位 4:3 保留，必须保持复位值。

位 2 **CC2IE**：捕获/比较 2 中断使能 (Capture/Compare 2 interrupt enable)
0：禁止 CC2 中断
1：使能 CC2 中断

位 1 **CC1IE**：捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable)
0：禁止 CC1 中断
1：使能 CC1 中断

位 0 **UIE**：更新中断使能 (Update interrupt enable)
0：禁止更新中断
1：使能更新中断

24.5.5 TIM15 状态寄存器 (TIM15_SR)

TIM15 status register

偏移地址：0x10

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CC2OF	CC1OF	Res.	BIF	TIF	COMIF	Res.	Res.	CC2IF	CC1IF	UIF
					rc_w0	rc_w0		rc_w0	rc_w0	rc_w0			rc_w0	rc_w0	rc_w0

位 15:11 保留，必须保持复位值。

位 10 **CC2OF**：捕获/比较 2 重复捕获标志 (Capture/compare 2 overcapture flag)
请参见 CC1OF 说明

位 9 **CC1OF**：捕获/比较 1 重复捕获标志 (Capture/Compare 1 overcapture flag)

仅当将相应通道配置为输入捕获模式时，此标志位才会由硬件置 1。通过软件写入“0”可将该位清零。

0：未检测到重复捕获。

1：TIMx_CCR1 寄存器中已捕获到计数器值且 CC1IF 标志已置 1。

位 8 保留，必须保持复位值。

位 7 **BIF**：断路中断标志 (Break interrupt flag)

只要断路输入变为有效状态，此标志便由硬件置 1。断路输入无效后可通过软件对其清零。

0：未发生断路事件。

1：在断路输入上检测到有效电平。

位 6 **TIF**：触发中断标志 (Trigger interrupt flag)

该标志在发生触发事件时由硬件置 1（在除门控模式以外的所有模式下，当使能从模式控制器后在 TRGI 输入上检测到有效边沿时，在门控模式情况下选择两个边沿）。选择门控模式时，该标志将在计数器启动或停止时置 1。但需要通过软件清零。

0：未发生触发事件。

1：触发中断挂起。

位 5 **COMIF**：COM 中断标志 (COM interrupt flag)

发生一个 COM 事件时，会由硬件将该标志置 1（一旦捕获/比较控制位——CCxE、CCxNE、OCxM——已更新）。但需要通过软件清零。

0：未发生 COM 事件。

1：COM 中断挂起。

位 4:3 保留，必须保持复位值。

位 2 **CC2IF**：捕获/比较 2 中断标志 (Capture/Compare 2 interrupt flag)

请参见 CC1IF 说明

位 1 **CC1IF**：捕获/比较 1 中断标志 (Capture/Compare 1 interrupt flag)

如果通道 CC1 配置为输出：当计数器与比较值匹配时，此标志由硬件置 1。但需要通过软件清零。

0：不匹配。

1：TIMx_CNT 计数器的值与 TIMx_CCR1 寄存器的值匹配。当 TIMx_CCR1 的值大于 TIMx_ARR 的值时，CC1IF 位将在计数器发生上溢时变为高电平。

如果通道 CC1 配置为输入：此位将在发生捕获事件时由硬件置 1。通过软件或读取 TIMx_CCR1 寄存器将该位清零。

0：未发生输入捕获事件

1：TIMx_CCR1 寄存器中已捕获到计数器值（IC1 上已检测到与所选极性匹配的边沿）

位 0 **UIF**：更新中断标志 (Update interrupt flag)

该位在发生更新事件时通过硬件置 1。但需要通过软件清零。

0：未发生更新。

1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：

– TIMx_CR1 寄存器中的 UDIS = 0，并且重复计数器值上溢时（重复计数器 = 0 时更新）。

– TIMx_CR1 寄存器中的 URS = 0 且 UDIS = 0，并且由软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。

– TIMx_CR1 寄存器中的 URS=0 且 UDIS=0，并且 CNT 由触发事件重新初始化时（请参见 *第 24.5.3 节：TIM15 从模式控制寄存器 (TIM15_SMCR)*）。

24.5.6 TIM15 事件产生寄存器 (TIM15_EGR)

TIM15 event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	TG	COMG	Res.	Res.	CC2G	CC1G	UG
								w	w	rw			w	w	w

位 15:8 保留，必须保持复位值。

位 7 **BG**：断路生成 (Break generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：生成断路事件。MOE 位清零且 BIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 6 **TG**：触发生成 (Trigger generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：TIMx_SR 寄存器中的 TIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 5 **COMG**：捕获/比较控制更新生成 (Capture/Compare control update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作。
1：CCPC 位置 1 时，可更新 CCxE、CCxNE 和 OCxM 位。
注： 此位仅对具有互补输出的通道有效。

位 4:3 保留，必须保持复位值。

位 2 **CC2G**：捕获/比较 2 生成 (Capture/compare 2 generation)
请参见 CC1G 说明

位 1 **CC1G**：捕获/比较 1 生成 (Capture/Compare 1 generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作
1：通道 1 上生成捕获/比较事件：
如果通道 CC1 配置为输出：
使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。
如果通道 CC1 配置为输入：
TIMx_CCR1 寄存器中将捕获到计数器当前值。使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。如果 CC1IF 标志已为高电平，CC1OF 标志将置 1。

位 0 **UG**：更新生成 (Update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作。
1：重新初始化计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。

24.5.7 TIM15 捕获/比较模式寄存器 1 [复用] (TIM15_CCMR1)

TIM15 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IC2F[3:0]				IC2PSC[1:0]		CC2S[1:0]		IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:12 **IC2F[3:0]**：输入捕获 2 滤波器 (Input capture 2 filter)

位 11:10 **IC2PSC[1:0]**：输入捕获 2 预分频器 (Input capture 2 prescaler)

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/Compare 2 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC2 通道配置为输出

01：CC2 通道配置为输入，IC2 映射到 TI2 上

10：CC2 通道配置为输入，IC2 映射到 TI1 上

11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = “0”），才可向 CC2S 位写入数据。

位 7:4 **IC1F[3:0]**：输入捕获 1 滤波器 (Input capture 1 filter)

此位域可定义 TI1 输入的采样频率和适用于 TI1 的数字滤波器的采样长度。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样

0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2

0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4

0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8

0100：$f_{SAMPLING}=f_{DTS}/2$，N=6

0101：$f_{SAMPLING}=f_{DTS}/2$，N=8

0110：$f_{SAMPLING}=f_{DTS}/4$，N=6

0111：$f_{SAMPLING}=f_{DTS}/4$，N=8

1000：$f_{SAMPLING}=f_{DTS}/8$，N=6

1001：$f_{SAMPLING}=f_{DTS}/8$，N=8

1010：$f_{SAMPLING}=f_{DTS}/16$，N=5

1011：$f_{SAMPLING}=f_{DTS}/16$，N=6

1100：$f_{SAMPLING}=f_{DTS}/16$，N=8

1101：$f_{SAMPLING}=f_{DTS}/32$，N=5

1110：$f_{SAMPLING}=f_{DTS}/32$，N=6

1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 3:2 **IC1PSC[1:0]**：输入捕获 1 预分频器 (Input capture 1 prescaler)

此位域定义 CC1 输入 (IC1) 的预分频比。只要 CC1E=“0”（TIMx_CCER 寄存器），预分频器便立即复位。

00：无预分频器，捕获输入上每检测到一个边沿便执行捕获

01：每发生 2 个事件便执行一次捕获

10：每发生 4 个事件便执行一次捕获

11：每发生 8 个事件便执行一次捕获

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 Selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出

01：CC1 通道配置为输入，IC1 映射到 TI1 上

10：CC1 通道配置为输入，IC1 映射到 TI2 上

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

24.5.8 TIM15 捕获/比较模式寄存器 1 [复用] (TIM15_CCMR1)

TIM15 capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M [3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [3]
							rw								rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	OC2M[2:0]			OC2 PE	OC2 FE	CC2S[1:0]		Res.	OC1M[2:0]			OC1 PE	OC1 FE	CC1S[1:0]	
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:25 保留，必须保持复位值。

位 23:17 保留，必须保持复位值。

位 15 保留，必须保持复位值。

位 24、14:12 **OC2M[3:0]**：输出比较 2 模式 (Output Compare 2 mode)

位 11 **OC2PE**：输出比较 2 预装载使能 (Output Compare 2 preload enable)

位 10 **OC2FE**：输出比较 2 快速使能 (Output Compare 2 fast enable)

位 9:8 **CC2S[1:0]**：捕获/比较 2 选择 (Capture/Compare 2 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC2 通道配置为输出。

01：CC2 通道配置为输入，IC2 映射到 TI2 上。

10：CC2 通道配置为输入，IC2 映射到 TI1 上。

11：CC2 通道配置为输入，IC2 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC2E = “0”），才可向 CC2S 位写入数据。

位 7 保留，必须保持复位值。

位 16、 6:4 **OC1M[3:0]**：输出比较 1 模式 (Output Compare 1 mode)

这些位定义提供 OC1 和 OC1N 的输出参考信号 OC1REF 的行为。OC1REF 为高电平有效，而 OC1 和 OC1N 的有效电平则取决于 CC1P 位和 CC1NP 位。

0000：冻结——输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 进行比较不会对输出造成任何影响。

0001：将通道 1 设置为匹配时输出有效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为高电平。

0010：将通道 1 设置为匹配时输出无效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为低电平。

0011：翻转——TIMx_CNT=TIMx_CCR1 时，OC1REF 发生翻转。

0100：强制变为无效电平——OC1REF 强制变为低电平。

0101：强制变为有效电平——OC1REF 强制变为高电平。

0110：PWM 模式 1——只要 TIMx_CNT<TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。

0111：PWM 模式 2——只要 TIMx_CNT<TIMx_CCR1，通道 1 便为无效状态，否则为有效状态。

1000：可再触发 OPM 模式 1——在递增计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为有效状态。在递减计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为无效状态。

1001：可再触发 OPM 模式 2——在递增计数模式下，通道为无效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 2 下进行比较，通道会在下一次更新时再次变为无效状态。在递减计数模式下，通道为有效状态，直至（在 TRGI 信号上）检测到触发事件。然后，在 PWM 模式 1 下进行比较，通道会在下一次更新时再次变为有效状态。

1010：保留

1011：保留

1100：组合 PWM 模式 1——OC1REF 与在 PWM 模式 1 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑或运算结果。

1101：组合 PWM 模式 2——OC1REF 与在 PWM 模式 2 下的行为相同。OC1REFC 是 OC1REF 和 OC2REF 的逻辑与运算结果。

1110：保留

1111：保留

*注： **1**：只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S= “00”（通道配置为输出），这些位即无法修改。*

***2**：在 PWM 模式下，仅当比较结果发生改变或输出比较模式由“冻结”模式切换到“PWM”模式时，OCREF 电平才会发生更改。*

***3**：此位域将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成 COM 事件时，OC1M 有效位才会从预装载位获取新值。*

位 3 **OC1PE**：输出比较 1 预装载使能 (Output Compare 1 preload enable)

0：禁止与 TIMx_CCR1 相关的预装载寄存器。可随时向 TIMx_CCR1 写入数据，写入后将立即使用新值。

1：使能与 TIMx_CCR1 相关的预装载寄存器。可读/写访问预装载寄存器。TIMx_CCR1 预装载值在每次生成更新事件时都会装载到活动寄存器中。

*注： **1**：只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S=“00”（通道配置为输出），这些位即无法修改。*

***2**：只有单脉冲模式下才可在未验证预装载寄存器的情况下使用 PWM 模式（TIMx_CR1 寄存器中的 OPM 位置 1）。其他情况下则无法保证该行为。*

位 2 **OC1FE**：输出比较 1 快速使能 (Output Compare 1 fast enable)

此位用于加快触发输入事件对 CC 输出的影响。

0：即使触发开启，CC1 也将根据计数器和 CCR1 值正常工作。触发输入出现边沿时，激活 CC1 输出的最短延迟时间为 5 个时钟周期。

1：触发输入上出现有效边沿相当于 CC1 输出上的比较匹配。随后，无论比较结果如何，OC 都设置为比较电平。采样触发输入和激活 CC1 输出的延迟时间缩短为 3 个时钟周期。仅当通道配置为 PWM1 或 PWM2 模式时，OCFE 才会起作用。

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出。

01：CC1 通道配置为输入，IC1 映射到 TI1 上。

10：CC1 通道配置为输入，IC1 映射到 TI2 上。

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效。

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

24.5.9 TIM15 捕获/比较使能寄存器 (TIM15_CCER)

TIM15 capture/compare enable register

偏移地址：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2NP	Res.	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
								rw		rw	rw	rw	rw	rw	rw

位 15:8 保留，必须保持复位值。

位 7 **CC2NP**：捕获/比较 2 互补输出极性 (Capture/Compare 2 complementary output polarity)
请参见 CC1NP 说明

位 6 保留，必须保持复位值。

位 5 **CC2P**：捕获/比较 2 输出极性 (Capture/Compare 2 output polarity)
请参见 CC1P 说明

位 4 **CC2E**：捕获/比较 2 输出使能 (Capture/Compare 2 output enable)
请参见 CC1E 说明

位 3 **CC1NP**：捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output polarity)

CC1 通道配置为输出：

0：OC1N 高电平有效。

1：OC1N 低电平有效。

CC1 通道配置为输入：

此位与 CC1P 配合使用，用以定义 TI1FP1 和 TI2FP1 的极性。请参见 CC1P 说明。

注： *1. 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3 且 CC1S = “00”（通道配置为输出），此位立即变为不可写状态。*

2. 此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1NP 有效位才会从预装载位获取新值。

位 2 **CC1NE**：捕获/比较 1 互补输出使能 (Capture/Compare 1 complementary output enable)

0：关闭——OC1N 未激活。OC1N 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的函数。

1：开启——在相应输出引脚上输出 OC1N 信号，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位。

位 1 **CC1P**：捕获/比较 1 输出极性 (Capture/Compare 1 output polarity)

CC1 通道配置为输出：

0：OC1 高电平有效

1：OC1 低电平有效

CC1 通道配置为输入：CC1NP/CC1P 位可针对触发或捕获操作选择 TI1FP1 和 TI2FP1 的极性。

00：非反相/上升沿触发。电路对 TIxFP1 上升沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。

01：反相/下降沿触发。电路对 TIxFP1 下降沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 反相（在门控模式下执行触发操作）。

10：保留，不使用此配置。

11：未反相/边沿触发。电路对 TIxFP1 上升沿和下降沿都敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。

注： *1. 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3，此位立即变为不可写状态。*

2. 此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1P 有效位才会从预装载位获取新值。

位 0 **CC1E**：捕获/比较 1 输出使能 (Capture/Compare 1 output enable)

CC1 通道配置为输出：

0：关闭——OC1 未激活。OC1 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的函数。

1：开启——OC1 信号输出到相应的输出引脚上，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位。

CC1 通道配置为输入：此位决定了是否可以实际将计数器值捕获到输入捕获/比较寄存器 1 (TIMx_CCR1) 中。

0：禁止捕获

1：使能捕获

表 117. 具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM15

控制位					输出状态(1)	
MOE 位	OSSI 位	OSSR 位	CCxE 位	CCxNE 位	OCx 输出状态	OCxN 输出状态
1	X	X	0	0	禁止输出（不由定时器驱动：高阻态） OCx=0 OCxN=0、OCxN_EN=0	
		0	0	1	禁止输出（不由定时器驱动：高阻态） OCx=0	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		0	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP	禁止输出（不由定时器驱动：高阻态） OCxN=0
		X	1	1	OCREF + 极性 + 死区	OCREF 互补项（对 OCREF 进行“非”运算）+ 极性 + 死区
		1	0	1	关闭状态（输出使能为无效状态） OCx=CCxP	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		1	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP、 OCx_EN=1	关闭状态（输出使能为无效状态） OCxN=CCxNP、OCxN_EN=1
0	0	X	X	X	禁止输出（不再由定时器驱动）。输出状态由 GPIO 控制器定义，可以是高电平、低电平或高阻态。	
	1		0	0		
			0	1	关闭状态（输出使能为无效状态） 异步：OCx = CCxP、OCxN = CCxNP 那么如果时钟存在：在死区后 Ocx = OISx 且 OCxN = OISxN，从而假定 OISx 和 OISxN 在有效状态下与 OCX 和 OCxN 不对应	
			1	0		
			1	1		

1. 如果一个通道的两个输出均未使用 （由 GPIO 控制器接管控制），则 OISx、OISxN、CCxP 和 CCxNP 位必须保持清零状态。

注： *与互补通道 OCx 和 OCxN 相连的外部 I/O 引脚的状态取决于通道 OCx 和 OCxN 的状态以及 AFIO 寄存器。*

24.5.10 TIM15 计数器 (TIM15_CNT)

TIM15 counter

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF Copy)
该位是 TIMx_ISR 寄存器中 UIF 位的只读副本。

位 30:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

24.5.11 TIM15 预分频器 (TIM15_PSC)

TIM15 prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频器值 (Prescaler value)
计数器时钟频率 (CK_CNT) 等于 f_{CK_PSC} / (PSC[15:0] + 1)。
PSC 包含每次发生更新事件（包括计数器通过 TIMx_EGR 寄存器中的 UG 位清零时，或在配置为“复位模式”时通过触发控制器清零时）时要装载到活动预分频器寄存器的值。

24.5.12 TIM15 自动重载寄存器 (TIM15_ARR)

TIM15 auto-reload register

偏移地址：0x2C

复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **ARR[15:0]**：自动重载值 (Auto-reload value)
ARR 为要装载到实际自动重载寄存器的值。
有关 ARR 更新和行为的更多详细信息，请参见*第 664 页的第 24.4.1 节：时基单元*。
当自动重载值为空时，计数器不工作。

24.5.13 TIM15 重复计数器寄存器 (TIM15_RCR)

TIM15 repetition counter register

偏移地址：0x30

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 15:8 保留，必须保持复位值。

位 7:0 **REP[7:0]**：重复计数器值 (Repetition Counter value)

使能预装载寄存器时，用户可通过这些位设置比较寄存器的更新频率（即，从预装载寄存器向活动寄存器周期性传输数据）；使能更新中断时，也可设置更新中断的生成速率。

与 REP_CNT 相关的减计数器每次计数到 0 时，都将生成一个更新事件并且计数器从 REP 值重新开始计数。由于只有生成重复更新事件 U_RC 时，REP_CNT 才会重载 REP 值，因此在生成下一重复更新事件之前，无论向 TIMx_RCR 寄存器写入何值都无影响。

这意味着在 PWM 模式 (REP+1)下 对应于边沿对齐模式的 PWM 周期数。

24.5.14 TIM15 捕获/比较寄存器 1 (TIM15_CCR1)

TIM15 capture/compare register 1

偏移地址：0x34

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR1[15:0]**：捕获/比较 1 值 (Capture/Compare 1 value)

如果通道 CC1 配置为输出：

CCR1 是捕获/比较寄存器 1 的预装载值。

如果没有通过 TIMx_CCMR1 寄存器中的 OC1PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到实际起作用的捕获/比较寄存器 1）。

实际捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC1 输出上发出信号的值。

如果通道 CC1 配置为输入：

CCR1 为上一个输入捕获 1 事件 (IC1) 发生时的计数器值。

24.5.15 TIM15 捕获/比较寄存器 2 (TIM15_CCR2)

TIM15 capture/compare register 2

偏移地址：0x38

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR2[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR2[15:0]**：捕获/比较 2 值 (Capture/Compare 2 value)

如果通道 CC2 配置为输出：

CCR2 是捕获/比较寄存器 2 的预装载值。

如果没有通过 TIMx_CCMR2 寄存器中的 OC2PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到实际起作用的捕获/比较寄存器 2）。

实际捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC2 输出上发出信号的值。

如果通道 CC2 配置为输入：

CCR2 为上一个输入捕获 2 事件 (IC2) 发生时的计数器值。

24.5.16 TIM15 断路和死区寄存器 (TIM15_BDTR)

TIM15 break and dead-time register

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	BKBID	Res.	BK DSRM	Res.	Res.	Res.	Res.	Res.	Res.	BKF[3:0]			
			rw		rw							rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： *由于可以根据 LOCK 配置锁定 BKBID、BKDSRM、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR 和 DTG[7:0] 位的写操作，因此必须在第一次对 TIMx_BDTR 寄存器执行写访问时对这些位进行配置。*

位 31:29 保留，必须保持复位值。

位 28 **BKBID**：断路双向 (Break Bidirectional)

0：断路输入 BRK 为输入模式

1：断路输入 BRK 为双向模式

在双向模式下（BKBID 位置 1），断路输入配置为输入模式和开漏输出模式。任何激活的断路事件都将使断路输入上呈逻辑低电平，以向外部器件指示发生了内部断路事件。

注： *只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。*

注： *对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。*

位 27 保留，必须保持复位值。

位 26 **BKDSRM**：断路解除 (Break Disarm)

0：启动断路输入 BRK
1：解除断路输入 BRK
当断路源激活后，此位由硬件清零。
必须通过软件将 BKDSRM 位置 1 以释放双向输出控制（开漏输出处于高阻态），然后不断轮询该位，直到其由硬件复位，指示故障条件已消失。

注： 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 25:20 保留，必须保持复位值。

位 19:16 **BKF[3:0]**：断路滤波器 (Break filter)

此位字段可定义 BRK 输入信号的采样频率和适用于 BRK 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个事件才视为一个有效输出边沿：
0000：无滤波器，BRK 异步工作
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

注： 编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。

位 15 **MOE**：主输出使能 (Main output enable)

只要断路输入变为有效状态，此位便由硬件异步清零。此位由软件置 1，也可根据 AOE 位状态自动置 1。此位仅对配置为输出的通道有效。
0：OC 和 OCN 输出被禁止或被强制为空闲状态，具体取决于 OSSI 位。
1：如果 OC 和 OCN 输出的相应使能位（TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位）均置 1，则使能 OC 和 OCN 输出。
有关详细信息，请参见 OC/OCN 使能说明（*第 706 页的第 24.5.9 节：TIM15 捕获/比较使能寄存器 (TIM15_CCER)*）。

位 14 **AOE**：自动输出使能 (Automatic output enable)

0：MOE 只能由软件置 1
1：MOE 可由软件置 1，也可在发生下一更新事件时自动置 1（如果断路输入无效）

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 13 **BKP**：断路极性 (Break polarity)

0：断路输入 BRK 为低电平有效
1：断路输入 BRK 为高电平有效

*注： **1**：只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。*
***2**：对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。*

位 12 **BKE**：断路使能 (Break enable)

0：禁止断路输入（BRK 和 CCS 时钟故障事件）

1：使能断路输入（BRK 和 CCS 时钟故障事件）

编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。

注：　对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 11 **OSSR**：运行模式下的关闭状态选择 (Off-state selection for Run mode)

此位在 MOE = 1 时作用于配置为输出模式且具有互补输出的通道。如果定时器中没有互补输出，则不存在 OSSR。

有关详细信息，请参见 OC/OCN 使能说明（*第 706 页的第 24.5.9 节：TIM15 捕获/比较使能寄存器 (TIM15_CCER)*）。

0：处于无效状态时，禁止 OC/OCN 输出（定时器释放输出控制，由强制高阻态的 AFIO 逻辑接管）。

1：处于无效状态时，一旦 CCxE=1 或 CCxNE=1，便使能 OC/OCN 输出并将其设为无效电平（输出仍由定时器控制）。

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 10 **OSSI**：空闲模式下的关闭状态选择 (Off-state selection for Idle mode)

此位在 MOE=0 时作用于配置为输出的通道。

有关详细信息，请参见 OC/OCN 使能说明（*第 706 页的第 24.5.9 节：TIM15 捕获/比较使能寄存器 (TIM15_CCER)*）。

0：处于无效状态时，禁止 OC/OCN 输出（OC/OCN 使能输出信号 = 0）

1：处于无效状态时，一旦 CCxE = 1 或 CCxNE = 1，便将 OC/OCN 输出首先强制为其空闲电平。然后设置 OC/OCN 使能输出信号=1

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 9:8 **LOCK[1:0]**：锁定配置 (Lock configuration)

这些位用于针对软件错误提供写保护。

00：关闭锁定——不对任何位提供写保护。

01：锁定级别 1，此时无法对 TIMx_BDTR 寄存器中的 DTG 位、TIMx_CR2 寄存器中的 OISx 和 OISxN 位以及 TIMx_BDTR 寄存器中的 BKE/BKP/AOE 位执行写操作。

10：锁定级别 2，此时无法对锁定级别 1 中适用的各位、CC 极性位（TIMx_CCER 寄存器中的 CCxP/CCxNP 位，只要通过 CCxS 位将相关通道配置为输出）以及 OSSR 和 OSSI 位执行写操作。

11：锁定级别 3，此时无法对锁定级别 2 中适用的各位、CC 控制位（TIMx_CCMRx 寄存器中的 OCxM 和 OCxPE 位，只要通过 CCxS 位将相关通道配置为输出）执行写操作。

注：　复位后只能对 LOCK 位执行一次写操作。对 TIMx_BDTR 寄存器执行写操作后其中的内容将冻结，直到下一次复位。

位 7:0 **DTG[7:0]**：配置死区发生器 (Dead-time generator setup)

此位域定义插入到互补输出之间的死区持续时间。DT 与该持续时间相对应。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg}，其中 $t_{dtg}=t_{DTS}$。

DTG[7:5]=10x => DT=(64+DTG[5:0])xt_{dtg}，其中 $T_{dtg}=2xt_{DTS}$。

DTG[7:5]=110 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=8xt_{DTS}$。

DTG[7:5]=111 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=16xt_{DTS}$。

示例：如果 T_{DTS}=125ns (8MHz)，则可能的死区值为：

0 到 15875 ns（步长为 125 ns）

16 µs 到 31750 ns（步长为 250 ns）

32 µs 到 63 µs（步长为 1 µs）

64 µs 到 126 µs（步长为 2 µs）

注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1、2 或 3，此位域即无法修改。

24.5.17 TIM15 DMA 控制寄存器 (TIM15_DCR)

TIM15 DMA control register

偏移地址：0x48

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

位 15:13 保留，必须保持复位值。

位 12:8 **DBL[4:0]**：DMA 连续传送长度 (DMA burst length)

该 5 位域定义了 DMA 的传送长度（当对 TIMx_DMAR 寄存器进行读或写时，定时器进行一次连续传送）。

00000：1 次传送，
00001：2 次传送，
00010：3 次传送，
...
10001：18 次传送。

位 7:5 保留，必须保持复位值。

位 4:0 **DBA[4:0]**：DMA 基址 (DMA base address)

该 5 位域定义 DMA 传输的基址（通过 TIMx_DMAR 地址进行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量。

示例：
00000：TIMx_CR1，
00001：TIMx_CR2，
00010：TIMx_SMCR，
...

24.5.18 TIM15 全传输 DMA 地址 (TIM15_DMAR)

TIM15 DMA address for full transfer

偏移地址：0x4C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **DMAB[15:0]**：DMA 连续传送寄存器 (DMA register for burst accesses)

对 DMAR 寄存器执行读或写操作将访问位于如下地址的寄存器

(TIMx_CR1 地址) + (DBA + DMA 索引) x 4

其中 TIMx_CR1 地址为控制寄存器 1 的地址，DBA 为 TIMx_DCR 寄存器中配置的 DMA 基址，DMA 索引由 DMA 传输自动控制，其范围介于 0 到 DBL（TIMx_DCR 寄存器中配置的 DBL）之间。

24.5.19 TIM15 复用寄存器 1 (TIM15_AF1)

TIM15 alternate register 1

偏移地址：0x60

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11 **BKCMP2P**：BRK COMP2 输入极性 (BRK COMP2 input polarity)
此位选择 COMP2 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP2 输入为低电平有效
1：COMP2 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BKCMP1P**：BRK COMP1 输入极性 (BRK COMP1 input polarity)
此位选择 COMP1 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP1 输入为低电平有效
1：COMP1 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BKINP**：BRK BKIN 输入极性 (BRK BKIN input polarity)
此位选择 BKIN 复用功能输入灵敏度，必须与 BKP 极性位一起编程。
0：BKIN 输入为低电平有效
1：BKIN 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BKCMP2E**：BRK COMP2 使能 (BRK COMP2 enable)
此位使能定时器 BRK 输入的 COMP2。COMP2 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BKCMP1E**：BRK COMP1 使能 (BRK COMP1 enable)
此位使能定时器 BRK 输入的 COMP1。COMP1 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BKINE**：BRK BKIN 输入使能 (BRK BKIN input enable)
此位使能定时器 BRK 输入的 BKIN 复用功能。BKIN 输入与其他 BRK 源进行“或”运算。
0：禁止 BKIN 输入
1：使能 BKIN 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

24.5.20 TIM15 输入选择寄存器 (TIM15_TISEL)

TIM15 input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
				rw	rw	rw	rw					rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:8 **TI2SEL[3:0]**：选择 TI2[0] 到 TI2[15] 输入 (selects TI2[0] to TI2[15] input)

0000：TIM15_CH2 输入
0001：TIM2_IC2
0010：TIM3_IC2
其他值：保留

位 7:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：选择 TI1[0] 到 TI1[15] 输入 (selects TI1[0] to TI1[15] input)

0000：TIM15_CH1 输入
0001：TIM2_IC1
0010：TIM3_IC1
其他值：保留

24.5.21 TIM15寄存器映射

TIM15 寄存器可映射为 16 位可寻址寄存器，如下表所述：

表 118. TIM15 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIM15_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMA	Res.	CKD [1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
	Reset value																					0		0	0	0				0	0	0	0
0x04	**TIM15_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIS2	OIS1N	OIS1	TI1S	MMS[2:0]			CCDS	CCUS	Res.	CCPC
	Reset value																						0	0	0	0	0	0	0	0	0		0
0x08	**TIM15_SMCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TS [4:3]		Res.	Res.	Res.	SMS[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MSM	TS[2:0]			Res.	SMS[2:0]		
	Reset value											0	0				0									0	0	0	0		0	0	0
0x0C	**TIM15_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDE	COMDE	Res.	Res.	CC2DE	CC1DE	UDE	BIE	TIE	COMIE	Res.	Res.	CC2IE	CC1IE	UIE
	Reset value																		0	0			0	0	0	0	0	0			0	0	0
0x10	**TIM15_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2OF	CC1OF	Res.	BIF	TIF	COMIF	Res.	Res.	CC2IF	CC1IF	UIF
	Reset value																						0	0		0	0	0			0	0	0
0x14	**TIM15_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	TG	COMG	Res.	Res.	CC2G	CC1G	UG
	Reset value																									0	0	0			0	0	0
0x18	**TIM15_CCMR1** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC2M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	Res.	OC2M [2:0]			OC2PE	OC2FE	CC2S [1:0]		Res.	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	Reset value								0								0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
	TIM15_CCMR1 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC2F[3:0]				IC2 PSC [1:0]		CC2S [1:0]		IC1F[3:0]				IC1 PSC [1:0]		CC1S [1:0]	
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x20	**TIM15_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2NP	Res.	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
	Reset value																									0		0	0	0	0	0	0
0x24	**TIM15_CNT**	UIFCPY or Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 118. TIM15 寄存器映射和复位值 （续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	**TIM15_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIM15_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x30	**TIM15_RCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x34	**TIM15_CCR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x38	**TIM15_CCR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR2[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	**TIM15_BDTR**	Res.	Res.	Res.	BKBID	Res.	BKDSRM	Res.	Res.	Res.	Res.	Res.	Res.	BKF[3:0]				MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]		DT[7:0]							
	Reset value				0		0							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	**TIM15_DCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	Reset value																				0	0	0	0	0				0	0	0	0	0
0x4C	**TIM15_DMAR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x60	**TIM15_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	Reset value																					0	0	0							0	0	1
0x68	**TIM15_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI2SEL[3:0]				Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value																					0	0	0	0					0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

24.6 TIM16/TIM17 寄存器

有关寄存器说明中使用的缩写，请参见*第 1.2 节*。

24.6.1 TIMx 控制寄存器 1 (TIMx_CR1)（x = 16 到 17）

TIMx control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	UIFREMAP	Res.	CKD[1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
				rw		rw	rw	rw				rw	rw	rw	rw

位 15:12 保留，必须保持复位值。

位 11 **UIFREMAP**：UIF 状态位重映射 (UIF status bit remapping)
0：无重映射。UIF 状态位不复制到 TIMx_CNT 寄存器的位 31。
1：使能重映射。UIF 状态位复制到 TIMx_CNT 寄存器的位 31。

位 10 保留，必须保持复位值。

位 9:8 **CKD[1:0]**：时钟分频 (Clock division)
此位域指示定时器时钟 (CK_INT) 频率与死区发生器以及数字滤波器 (TIx) 所使用的死区及采样时钟 (t_{DTS}) 之间的分频比
00：$t_{DTS}=t_{CK\_INT}$
01：$t_{DTS}=2*t_{CK\_INT}$
10：$t_{DTS}=4*t_{CK\_INT}$
11：保留，不要设置成此值

位 7 **ARPE**：自动重载预装载使能 (Auto-reload preload enable)
0：TIMx_ARR 寄存器不进行缓冲
1：TIMx_ARR 寄存器进行缓冲

位 6:4 保留，必须保持复位值。

位 3 **OPM**：单脉冲模式 (One pulse mode)
0：计数器在发生更新事件时不会停止计数
1：计数器在发生下一更新事件时停止计数（将 CEN 位清零）

位 2 **URS**：更新请求源 (Update request source)
此位由软件置 1 和清零，用以选择 UEV 事件源。
0：使能时，所有以下事件都会产生更新中断或 DMA 请求。此类事件包括：
– 计数器上溢/下溢
– 将 UG 位置 1
– 通过从模式控制器生成的更新事件
1：使能时，只有计数器上溢/下溢会生成更新中断或 DMA 请求。

位 1 **UDIS**：更新禁止 (Update disable)

此位由软件置 1 和清零，用以使能/禁止 UEV 事件生成。

0：使能 UEV。更新 (UEV) 事件可通过以下事件之一生成：

– 计数器上溢/下溢

– 将 UG 位置 1

– 通过从模式控制器生成的更新事件

然后更新影子寄存器的值。

1：禁止 UEV。不会生成更新事件，各影子寄存器的值（ARR、PSC 和 CCRx）保持不变。但如果将 UG 位置 1，或者从从模式控制器接收到硬件复位，则会重新初始化计数器和预分频器。

位 0 **CEN**：计数器使能 (Counter enable)

0：禁止计数器

1：使能计数器

注： 只有事先通过软件将 CEN 位置 1，才可以使用外部时钟和门控模式。而触发模式可通过硬件自动将 CEN 位置 1。

24.6.2 TIMx 控制寄存器 2 (TIMx_CR2)（x = 16 到 17）

TIMx control register 2

偏移地址：0x04

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	OIS1N	OIS1	Res.	Res.	Res.	Res.	CCDS	CCUS	Res.	CCPC
						rw	rw					rw	rw		rw

位 15:10 保留，必须保持复位值。

位 9 **OIS1N**：输出空闲状态 1（OC1N 输出）(Output Idle state 1 (OC1N output))

0：当 MOE=0 时，经过死区时间后 OC1N=0

1：当 MOE=0 时，经过死区时间后 OC1N=1

注： 只要编程了 LOCK（TIMx_BKR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 8 **OIS1**：输出空闲状态 1（OC1 输出）(Output Idle state 1 (OC1 output))

0：当 MOE=0 时，（如果 OC1N 有效，则经过死区时间之后）OC1=0

1：当 MOE=1 时，（如果 OC1N 有效，则经过死区时间之后）OC1=0

注： 只要编程了 LOCK（TIMx_BKR 寄存器中的 LOCK 位）级别 1、2 或 3，此位即无法修改。

位 7:4 保留，必须保持复位值。

位 3 **CCDS**：捕获/比较 DMA 选择 (Capture/compare DMA selection)

0：发生 CCx 事件时发送 CCx DMA 请求

1：发生更新事件时发送 CCx DMA 请求

位 2 **CCUS**：捕获/比较控制更新选择 (Capture/compare control update selection)

0：如果捕获/比较控制位进行预装载 (CCPC=1)，仅通过将 COMG 位置 1 来对这些位进行更新

1：如果捕获/比较控制位进行预装载 (CCPC=1)，可通过将 COMG 位置 1 或 TRGI 的上升沿对这些位进行更新

注： 此位仅对具有互补输出的通道有效。

位 1 保留，必须保持复位值。

位 0 **CCPC**：捕获/比较预装载控制 (Capture/compare preloaded control)
0：CCxE、CCxNE 和 OCxM 位未进行预装载
1：CCxE、CCxNE 和 OCxM 位在写入后被预装载，只有当 COM 位置 1 时才进行更新
注： 此位仅对具有互补输出的通道有效。

24.6.3 TIMx DMA/中断使能寄存器 (TIMx_DIER)（x = 16 到 17）

TIMx DMA/interrupt enable register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1DE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	CC1IE	UIE
						rw	rw	rw		rw				rw	rw

位 15:10 保留，必须保持复位值。

位 9 **CC1DE**：捕获/比较 1 DMA 请求使能 (Capture/Compare 1 DMA request enable)
0：禁止 CC1 DMA 请求
1：使能 CC1 DMA 请求

位 8 **UDE**：更新 DMA 请求使能 (Update DMA request enable)
0：禁止更新 DMA 请求
1：使能更新 DMA 请求

位 7 **BIE**：断路中断使能 (Break interrupt enable)
0：禁止断路中断
1：使能断路中断

位 6 保留，必须保持复位值。

位 5 **COMIE**：COM 中断使能 (COM interrupt enable)
0：禁止 COM 中断
1：使能 COM 中断

位 4:2 保留，必须保持复位值。

位 1 **CC1IE**：捕获/比较 1 中断使能 (Capture/Compare 1 interrupt enable)
0：禁止 CC1 中断
1：使能 CC1 中断

位 0 **UIE**：更新中断使能 (Update interrupt enable)
0：禁止更新中断
1：使能更新中断

24.6.4 TIMx 状态寄存器 (TIMx_SR)（x = 16 到 17）

TIMx status register

偏移地址：0x10

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	CC1IF	UIF
						rc_w0		rc_w0		rc_w0				rc_w0	rc_w0

位 15:10 保留，必须保持复位值。

位 9 **CC1OF**：捕获/比较 1 重复捕获标志 (Capture/Compare 1 overcapture flag)

仅当将相应通道配置为输入捕获模式时，此标志位才会由硬件置 1。通过软件写入“0”可将该位清零。

0：未检测到重复捕获。

1：TIMx_CCR1 寄存器中已捕获到计数器值且 CC1IF 标志已置 1。

位 8 保留，必须保持复位值。

位 7 **BIF**：断路中断标志 (Break interrupt flag)

只要断路输入变为有效状态，此标志便由硬件置 1。断路输入无效后可通过软件对其清零。

0：未发生断路事件。

1：在断路输入上检测到有效电平。

位 6 保留，必须保持复位值。

位 5 **COMIF**：COM 中断标志 (COM interrupt flag)

发生一个 COM 事件时，会由硬件将该标志置 1（一旦捕获/比较控制位——CCxE、CCxNE、OCxM——已更新）。但需要通过软件清零。

0：未发生 COM 事件。

1：COM 中断挂起。

位 4:2 保留，必须保持复位值。

位 1 **CC1IF**：捕获/比较 1 中断标志 (Capture/Compare 1 interrupt flag)

如果通道 CC1 配置为输出：

当计数器与比较值匹配时，此标志由硬件置 1。但需要通过软件清零。

0：不匹配。

1：TIMx_CNT 计数器的值与 TIMx_CCR1 寄存器的值匹配。当 TIMx_CCR1 的值大于 TIMx_ARR 的值时，CC1IF 位将在计数器发生上溢时变为高电平。

如果通道 CC1 配置为输入：

此位将在发生捕获事件时由硬件置 1。通过软件或读取 TIMx_CCR1 寄存器将该位清零。

0：未发生输入捕获事件

1：TIMx_CCR1 寄存器中已捕获到计数器值（IC1 上已检测到与所选极性匹配的边沿）

位 0 **UIF**：更新中断标志 (Update interrupt flag)

该位在发生更新事件时通过硬件置 1。但需要通过软件清零。

0：未发生更新。

1：更新中断挂起。该位在以下情况下更新寄存器时由硬件置 1：

– TIMx_CR1 寄存器中的 UDIS = 0，并且重复计数器值上溢时（重复计数器 = 0 时更新）。

– TIMx_CR1 寄存器中的 URS = 0 且 UDIS = 0，并且由软件使用 TIMx_EGR 寄存器中的 UG 位重新初始化 CNT 时。

24.6.5 TIMx 事件生成寄存器 (TIMx_EGR)（x = 16 到 17）

TIMx event generation register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	Res.	COMG	Res.	Res.	Res.	CC1G	UG
								w		w				w	w

位 15:8 保留，必须保持复位值。

位 7 **BG**：断路生成 (Break generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：生成断路事件。MOE 位清零且 BIF 标志置 1。使能后可发生相关中断或 DMA 传输事件。

位 6 保留，必须保持复位值。

位 5 **COMG**：捕获/比较控制更新生成 (Capture/Compare control update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作
1：CCPC 位置 1 时，可更新 CCxE、CCxNE 和 OCxM 位
注： 此位仅对具有互补输出的通道有效。

位 4:2 保留，必须保持复位值。

位 1 **CC1G**：捕获/比较 1 生成 (Capture/Compare 1 generation)
此位由软件置 1 以生成事件，并由硬件自动清零。
0：不执行任何操作。
1：通道 1 上生成捕获/比较事件：
如果通道 CC1 配置为输出：
使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。
如果通道 CC1 配置为输入：
TIMx_CCR1 寄存器中将捕获到计数器当前值。使能时，CC1IF 标志置 1 并发送相应的中断或 DMA 请求。如果 CC1IF 标志已为高电平，CC1OF 标志将置 1。

位 0 **UG**：更新生成 (Update generation)
该位可通过软件置 1，并由硬件自动清零。
0：不执行任何操作。
1：重新初始化计数器并生成寄存器更新事件。请注意，预分频器计数器也将清零（但预分频比不受影响）。

24.6.6 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 16 到 17）

TIMx capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输入捕获模式（本节）或输出比较模式（下一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输入捕获模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F[3:0]				IC1PSC[1:0]		CC1S[1:0]	
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7:4 **IC1F[3:0]**：输入捕获 1 滤波器 (Input capture 1 filter)

此位域可定义 TI1 输入的采样频率和适用于 TI1 的数字滤波器的采样长度。数字滤波器由事件计数器组成，每 N 个连续事件才视为一个有效输出边沿：

0000：无滤波器，按 f_{DTS} 频率进行采样
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

位 3:2 **IC1PSC[1:0]**：输入捕获 1 预分频器 (Input capture 1 prescaler)

此位域定义 CC1 输入 (IC1) 的预分频比。
只要 CC1E=“0”（TIMx_CCER 寄存器），预分频器便立即复位。
00：无预分频器，捕获输入上每检测到一个边沿便执行捕获
01：每发生 2 个事件便执行一次捕获
10：每发生 4 个事件便执行一次捕获
11：每发生 8 个事件便执行一次捕获

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 Selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出

01：CC1 通道配置为输入，IC1 映射到 TI1 上

10：CC1 通道配置为输入，IC1 映射到 TI2 上

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

24.6.7 TIMx 捕获/比较模式寄存器 1 [复用] (TIMx_CCMR1)（x = 16 到 17）

TIMx capture/compare mode register 1

偏移地址：0x18

复位值：0x0000 0000

同一寄存器可用于输出比较模式（本节）或输入捕获模式（上一节）。通道方向通过配置相应的 CCxS 位进行定义。此寄存器的所有其他位在输入模式和输出模式下的功能均不同。

输出比较模式：

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]
															rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
									rw	rw	rw	rw	rw	rw	rw

位 31:17 保留，必须保持复位值。

位 15:7 保留，必须保持复位值。

位 16、 6:4 **OC1M[3:0]**：输出比较 1 模式 (Output Compare 1 mode)

这些位定义提供 OC1 和 OC1N 的输出参考信号 OC1REF 的行为。OC1REF 为高电平有效，而 OC1 和 OC1N 的有效电平则取决于 CC1P 位和 CC1NP 位。

0000：冻结——输出比较寄存器 TIMx_CCR1 与计数器 TIMx_CNT 进行比较不会对输出造成任何影响。

0001：将通道 1 设置为匹配时输出有效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为高电平。

0010：将通道 1 设置为匹配时输出无效电平。当计数器 TIMx_CNT 与捕获/比较寄存器 1 (TIMx_CCR1) 匹配时，OC1REF 信号强制变为低电平。

0011：翻转——TIMx_CNT=TIMx_CCR1 时，OC1REF 发生翻转。

0100：强制变为无效电平——OC1REF 强制变为低电平。

0101：强制变为有效电平——OC1REF 强制变为高电平。

0110：PWM 模式 1——只要 TIMx_CNT<TIMx_CCR1，通道 1 便为有效状态，否则为无效状态。

0111：PWM 模式 2——只要 TIMx_CNT<TIMx_CCR1，通道 1 便为无效状态，否则为有效状态。

所有其他值：保留

*注： **1**：只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S= “00” （通道配置为输出），这些位即无法修改。*

***2**：在 PWM 模式 1 或 PWM 模式 2 下，仅当比较结果发生改变或输出比较模式由 “冻结” 模式切换到 “PWM” 模式时，OCREF 电平才会发生更改。*

位 3 **OC1PE**：输出比较 1 预装载使能 (Output Compare 1 preload enable)

0：禁止与 TIMx_CCR1 相关的预装载寄存器。可随时向 TIMx_CCR1 写入数据，写入后将立即使用新值。

1：使能与 TIMx_CCR1 相关的预装载寄存器。可读/写访问预装载寄存器。TIMx_CCR1 预装载值在每次生成更新事件时都会装载到活动寄存器中。

*注： **1**：只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 3 且 CC1S=“00”（通道配置为输出），这些位即无法修改。*

__2__：只有单脉冲模式下才可在未验证预装载寄存器的情况下使用 PWM 模式（TIMx_CR1 寄存器中的 OPM 位置 1）。其他情况下则无法保证该行为。

位 2 **OC1FE**：输出比较 1 快速使能 (Output Compare 1 fast enable)

此位用于加快触发输入事件对 CC 输出的影响。

0：即使触发开启，CC1 也将根据计数器和 CCR1 值正常工作。触发输入出现边沿时，激活 CC1 输出的最短延迟时间为 5 个时钟周期。

1：触发输入上出现有效边沿相当于 CC1 输出上的比较匹配。随后，无论比较结果如何，OC 都设置为比较电平。采样触发输入和激活 CC1 输出的延迟时间缩短为 3 个时钟周期。仅当通道配置为 PWM1 或 PWM2 模式时，OC1FE 才会起作用。

位 1:0 **CC1S[1:0]**：捕获/比较 1 选择 (Capture/Compare 1 selection)

此位域定义通道方向（输入/输出）以及所使用的输入。

00：CC1 通道配置为输出

01：CC1 通道配置为输入，IC1 映射到 TI1 上

10：CC1 通道配置为输入，IC1 映射到 TI2 上

11：CC1 通道配置为输入，IC1 映射到 TRC 上。此模式仅在通过 TS 位（TIMx_SMCR 寄存器）选择内部触发输入时有效

注： 仅当通道关闭时（TIMx_CCER 中的 CC1E = “0”），才可向 CC1S 位写入数据。

24.6.8 TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 16 到 17）

TIMx capture/compare enable register

偏移地址：0x20

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	CC1NE	CC1P	CC1E
												rw	rw	rw	rw

位 15:4 保留，必须保持复位值。

位 3 **CC1NP**：捕获/比较 1 互补输出极性 (Capture/Compare 1 complementary output polarity)

CC1 通道配置为输出：

0：OC1N 高电平有效。

1：OC1N 低电平有效。

CC1 通道配置为输入：

此位与 CC1P 配合使用，用以定义 TI1FP1 和 TI2FP1 的极性。请参见 CC1P 说明。

*注： **1.** 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3 且 CC1S=“00”（通道配置为输出），此位立即变为不可写状态。*

__2.__ 此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1NP 有效位才会从预装载位获取新值。

位 2 **CC1NE**：捕获/比较 1 互补输出使能 (Capture/Compare 1 complementary output enable)

0：关闭——OC1N 未激活。OC1N 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的函数。

1：开启——在相应输出引脚上输出 OC1N 信号，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位。

位 1 **CC1P**：捕获/比较 1 输出极性 (Capture/Compare 1 output polarity)

CC1 通道配置为输出：

0：OC1 高电平有效

1：OC1 低电平有效

CC1 通道配置为输入：

CC1NP/CC1P 位可针对触发或捕获操作选择 TI1FP1 和 TI2FP1 的极性。

00：非反相/上升沿触发。电路对 TIxFP1 上升沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。

01：反相/下降沿触发。电路对 TIxFP1 下降沿敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 反相（在门控模式下执行触发操作）。

10：保留，不使用此配置。

11：未反相/边沿触发。电路对 TIxFP1 上升沿和下降沿都敏感（在复位模式、外部时钟模式或触发模式下执行捕获或触发操作），TIxFP1 未反相（在门控模式下执行触发操作）。

注： ***1.*** *只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 或 3，此位立即变为不可写状态。*

2. *此位将在具有互补输出的通道上进行预装载。如果 TIMx_CR2 寄存器中的 CCPC 位置 1，则仅当生成换向事件时，CC1P 有效位才会从预装载位获取新值。*

位 0 **CC1E**：捕获/比较 1 输出使能 (Capture/Compare 1 output enable)

CC1 通道配置为输出：

0：关闭——OC1 未激活。OC1 电平是 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的函数。

1：开启——OC1 信号输出到相应的输出引脚上，具体取决于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位。

CC1 通道配置为输入：

此位决定了是否可以实际将计数器值捕获到输入捕获/比较寄存器 1 (TIMx_CCR1) 中。

0：禁止捕获

1：使能捕获

表 119. 具有断路功能的互补通道 OCx 和 OCxN 的输出控制位 TIM16/17

控制位					输出状态(1)	
MOE 位	OSSI 位	OSSR 位	CCxE 位	CCxNE 位	OCx 输出状态	OCxN 输出状态
1	X	X	0	0	禁止输出（不由定时器驱动：高阻态） OCx=0 OCxN=0、OCxN_EN=0	
		0	0	1	禁止输出（不由定时器驱动：高阻态） OCx=0	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		0	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP	禁止输出（不由定时器驱动：高阻态） OCxN=0
		X	1	1	OCREF + 极性 + 死区	OCREF 互补项（对 OCREF 进行“非”运算）+ 极性 + 死区
		1	0	1	关闭状态（输出使能为无效状态） OCx=CCxP	OCxREF + 极性 OCxN = OCxREF 异或 CCxNP
		1	1	0	OCxREF + 极性 OCx=OCxREF 异或 CCxP、OCx_EN=1	关闭状态（输出使能为无效状态） OCxN=CCxNP、OCxN_EN=1
0	0	X	X	X	禁止输出（不再由定时器驱动）。输出状态由 GPIO 控制器定义，可以是高电平、低电平或高阻态。	
	1		0	0		
			0	1	关闭状态（输出使能为无效状态） 异步：OCx = CCxP、OCxN = CCxNP 那么如果时钟存在：在死区后 Ocx = OISx 且 OCxN = OISxN，从而假定 OISx 和 OISxN 在有效状态下与 OCX 和 OCxN 不对应	
			1	0		
			1	1		

1. 如果一个通道的两个输出均未使用 （由 GPIO 控制器接管控制），则 OISx、 OISxN、 CCxP 和 CCxNP 位必须保持清零状态。

注： 与互补通道 OCx 和 OCxN 相连的外部 I/O 引脚的状态取决于通道 OCx 和 OCxN 的状态以及 AFIO 寄存器。

24.6.9 TIMx 计数器 (TIMx_CNT)（x = 16 到 17）

TIMx counter

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UIF CPY	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
r															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **UIFCPY**：UIF 副本 (UIF Copy)

该位是 TIMx_ISR 寄存器中 UIF 位的只读副本。如果 TIMx_CR1 中的 UIFREMAP 位复位，则位 31 保留，读为 0。

位 30:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

24.6.10 TIMx 预分频器 (TIMx_PSC)（x = 16 到 17）

TIMx prescaler

偏移地址：0x28

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PSC[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **PSC[15:0]**：预分频器值 (Prescaler value)

计数器时钟频率 (CK_CNT) 等于 f_{CK_PSC} / (PSC[15:0] + 1)。

PSC 包含每次发生更新事件（包括计数器通过 TIMx_EGR 寄存器中的 UG 位清零时，或在配置为“复位模式”时通过触发控制器清零时）时要装载到活动预分频器寄存器的值。

24.6.11 TIMx 自动重载寄存器 (TIMx_ARR)（x = 16 到 17）

TIMx auto-reload register

偏移地址：0x2C

复位值：0xFFFF

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **ARR[15:0]**：自动重载值 (Auto-reload value)

ARR 为要装载到实际自动重载寄存器的值。

有关 ARR 更新和行为的更多详细信息，请参见*第 664 页的第 24.4.1 节：时基单元*。

当自动重载值为空时，计数器不工作。

24.6.12 TIMx 重复计数器寄存器 (TIMx_RCR)（x = 16 到 17）

TIMx repetition counter register

偏移地址：0x30

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 15:8 保留，必须保持复位值。

位 7:0 **REP[7:0]**：重复计数器值 (Repetition Counter value)

使能预装载寄存器时，用户可通过这些位设置比较寄存器的更新频率（即，从预装载寄存器向活动寄存器周期性传输数据）；使能更新中断时，也可设置更新中断的生成速率。

与 REP_CNT 相关的减计数器每次计数到 0 时，都将生成一个更新事件并且计数器从 REP 值重新开始计数。由于只有生成重复更新事件 U_RC 时，REP_CNT 才会重载 REP 值，因此在生成下一重复更新事件之前，无论向 TIMx_RCR 寄存器写入何值都无影响。

这意味着在 PWM 模式 (REP+1)下 对应于边沿对齐模式的 PWM 周期数。

24.6.13 TIMx 捕获/比较寄存器 1 (TIMx_CCR1)（x = 16 到 17）

TIMx capture/compare register 1

偏移地址：0x34

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCR1[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CCR1[15:0]**：捕获/比较 1 值 (Capture/Compare 1 value)

如果通道 CC1 配置为输出：

CCR1 是捕获/比较寄存器 1 的预装载值。

如果没有通过 TIMx_CCMR1 寄存器中的 OC1PE 位来使能预装载功能，则该值立刻生效；否则只在发生更新事件时生效（拷贝到实际起作用的捕获/比较寄存器 1）。

实际捕获/比较寄存器中包含要与计数器 TIMx_CNT 进行比较并在 OC1 输出上发出信号的值。

如果通道 CC1 配置为输入：

CCR1 为上一个输入捕获 1 事件 (IC1) 发生时的计数器值。

24.6.14 TIMx 断路和死区寄存器 (TIMx_BDTR)（x = 16 到 17）

TIMx break and dead-time register

偏移地址：0x44

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	BKBID	Res.	BK DSRM	Res.	Res.	Res.	Res.	Res.	Res.	BKF[3:0]			
			rw		rw							rw	rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]		DTG[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

注： *由于可以根据 LOCK 配置锁定 BKBID、BKDSRM、BKF[3:0]、AOE、BKP、BKE、OSSI、OSSR 和 DTG[7:0] 位的写操作，因此必须在第一次对 TIMx_BDTR 寄存器执行写访问时对这些位进行配置。*

位 31:29 保留，必须保持复位值。

位 28 **BKBID**：断路双向 (Break Bidirectional)

0：断路输入 BRK 为输入模式

1：断路输入 BRK 为双向模式

在双向模式下（BKBID 位置 1），断路输入配置为输入模式和开漏输出模式。任何激活的断路事件都将使断路输入上呈逻辑低电平，以向外部器件指示发生了内部断路事件。

注： *只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。*

注： *对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。*

位 27 保留，必须保持复位值。

位 26 **BKDSRM**：断路解除 (Break Disarm)

0：启动断路输入 BRK

1：解除断路输入 BRK

当断路源激活后，此位由硬件清零。

必须通过软件将 BKDSRM 位置 1 以释放双向输出控制（开漏输出处于高阻态），然后不断轮询该位，直到其由硬件复位，指示故障条件已消失。

注： *对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。*

位 25:20 保留，必须保持复位值。

位 19:16 **BKF[3:0]**：断路滤波器 (Break filter)

此位字段可定义 BRK 输入的采样频率和适用于 BRK 的数字滤波器带宽。数字滤波器由事件计数器组成，每 N 个事件才视为一个有效输出边沿：

0000：无滤波器，BRK 异步工作
0001：$f_{SAMPLING}=f_{CK\_INT}$，N=2
0010：$f_{SAMPLING}=f_{CK\_INT}$，N=4
0011：$f_{SAMPLING}=f_{CK\_INT}$，N=8
0100：$f_{SAMPLING}=f_{DTS}/2$，N=6
0101：$f_{SAMPLING}=f_{DTS}/2$，N=8
0110：$f_{SAMPLING}=f_{DTS}/4$，N=6
0111：$f_{SAMPLING}=f_{DTS}/4$，N=8
1000：$f_{SAMPLING}=f_{DTS}/8$，N=6
1001：$f_{SAMPLING}=f_{DTS}/8$，N=8
1010：$f_{SAMPLING}=f_{DTS}/16$，N=5
1011：$f_{SAMPLING}=f_{DTS}/16$，N=6
1100：$f_{SAMPLING}=f_{DTS}/16$，N=8
1101：$f_{SAMPLING}=f_{DTS}/32$，N=5
1110：$f_{SAMPLING}=f_{DTS}/32$，N=6
1111：$f_{SAMPLING}=f_{DTS}/32$，N=8

编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。

位 15 **MOE**：主输出使能 (Main output enable)

只要断路输入变为有效状态，此位便由硬件异步清零。此位由软件置 1，也可根据 AOE 位状态自动置 1。此位仅对配置为输出的通道有效。

0：OC 和 OCN 输出被禁止或被强制为空闲状态，具体取决于 OSSI 位。
1：如果 OC 和 OCN 输出的相应使能位（TIMx_CCER 寄存器中的 CCxE 和 CCxNE 位）均置 1，则使能 OC 和 OCN 输出。

有关详细信息，请参见 OC/OCN 使能说明（*第 726 页的第 24.6.8 节：TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 16 到 17）*）。

位 14 **AOE**：自动输出使能 (Automatic output enable)

0：MOE 只能由软件置 1
1：MOE 可由软件置 1，也可在发生下一更新事件时自动置 1（如果断路输入无效）

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 13 **BKP**：断路极性 (Break polarity)

0：断路输入 BRK 为低电平有效
1：断路输入 BRK 为高电平有效

*注： **1.** 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。*
__2.__ 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 12 **BKE**：断路使能 (Break enable)

0：禁止断路输入（BRK 和 CCS 时钟故障事件）
1：使能断路输入（BRK 和 CCS 时钟故障事件）

*注： **1.** 编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1 后，此位即无法修改。*
__2.__ 对该位执行任何写操作后，都需要经过 1 个 APB 时钟周期的延迟才生效。

位 11 **OSSR**：运行模式下的关闭状态选择 (Off-state selection for Run mode)

此位在 MOE = 1 时作用于配置为输出模式且具有互补输出的通道。如果定时器中没有互补输出，则不存在 OSSR。

有关详细信息，请参见 OC/OCN 使能说明（*第 726 页的第 24.6.8 节：TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 16 到 17）*）。

0：处于无效状态时，禁止 OC/OCN 输出（定时器释放输出控制，由强制高阻态的 AFIO 逻辑接管）。

1：处于无效状态时，一旦 CCxE=1 或 CCxNE=1，便使能 OC/OCN 输出并将其设为无效电平（输出仍由定时器控制）。

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 10 **OSSI**：空闲模式下的关闭状态选择 (Off-state selection for Idle mode)

此位在 MOE=0 时作用于配置为输出的通道。

有关详细信息，请参见 OC/OCN 使能说明（*第 726 页的第 24.6.8 节：TIMx 捕获/比较使能寄存器 (TIMx_CCER)（x = 16 到 17）*）。

0：处于无效状态时，禁止 OC/OCN 输出（OC/OCN 使能输出信号 = 0）

1：处于无效状态时，一旦 CCxE = 1 或 CCxNE = 1，便将 OC/OCN 输出首先强制为其空闲电平。然后设置 OC/OCN 使能输出信号=1

注：　编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 2 后，此位即无法修改。

位 9:8 **LOCK[1:0]**：锁定配置 (Lock configuration)

这些位用于针对软件错误提供写保护。

00：关闭锁定——不对任何位提供写保护。

01：锁定级别 1，此时无法对 TIMx_BDTR 寄存器中的 DTG 位、TIMx_CR2 寄存器中的 OISx 和 OISxN 位以及 TIMx_BDTR 寄存器中的 BKE/BKP/AOE 位执行写操作。

10：锁定级别 2，此时无法对锁定级别 1 中适用的各位、CC 极性位（TIMx_CCER 寄存器中的 CCxP/CCxNP 位，只要通过 CCxS 位将相关通道配置为输出）以及 OSSR 和 OSSI 位执行写操作。

11：锁定级别 3，此时无法对锁定级别 2 中适用的各位、CC 控制位（TIMx_CCMRx 寄存器中的 OCxM 和 OCxPE 位，只要通过 CCxS 位将相关通道配置为输出）执行写操作。

注：　复位后只能对 LOCK 位执行一次写操作。对 TIMx_BDTR 寄存器执行写操作后其中的内容将冻结，直到下一次复位。

位 7:0 **DTG[7:0]**：配置死区发生器 (Dead-time generator setup)

此位域定义插入到互补输出之间的死区持续时间。DT 与该持续时间相对应。

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg}，其中 $t_{dtg}=t_{DTS}$。

DTG[7:5]=10x => DT=(64+DTG[5:0])xt_{dtg}，其中 $T_{dtg}=2xt_{DTS}$。

DTG[7:5]=110 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=8xt_{DTS}$。

DTG[7:5]=111 => DT=(32+DTG[4:0])xt_{dtg}，其中 $T_{dtg}=16xt_{DTS}$。

示例：如果 T_{DTS}=125ns (8MHz)，则可能的死区值为：

0 到 15875 ns（步长为 125 ns）

16 µs 到 31750 ns（步长为 250 ns）

32 µs 到 63 µs（步长为 1 µs）

64 µs 到 126 µs（步长为 2 µs）

注：　只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1、2 或 3，此位域即无法修改。

24.6.15 TIMx DMA 控制寄存器 (TIMx_DCR)（x = 16 到 17）

TIMx DMA control register

偏移地址：0x48

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
			rw	rw	rw	rw	rw				rw	rw	rw	rw	rw

位 15:13 保留，必须保持复位值。

位 12:8 **DBL[4:0]**：DMA 连续传送长度 (DMA burst length)

该 5 位向量定义了 DMA 的传送长度（当对 TIMx_DMAR 地址进行读或写访问时，定时器进行一次连续传送），即一个 DMA 要连续传送的次数。可按半字或字节进行传送（请参见下面的示例）。

00000：1 次传送，
00001：2 次传送，
00010：3 次传送，
...
10001：18 次传送。

位 7:5 保留，必须保持复位值。

位 4:0 **DBA[4:0]**：DMA 基址 (DMA base address)

该 5 位域定义 DMA 传输的基址（通过 TIMx_DMAR 地址进行读/写访问时）。DBA 定义为从 TIMx_CR1 寄存器地址开始计算的偏移量。

示例：
00000：TIMx_CR1，
00001：TIMx_CR2，
00010：TIMx_SMCR，
...

示例：以下面的传送为例：DBL = 7 次传送且 DBA = TIMx_CR1。这种情况下将向/从自 TIMx_CR1 地址开始的 7 个寄存器传输数据。

24.6.16 TIMx 全传输 DMA 地址 (TIMx_DMAR)（x = 16 到 17）

TIMx DMA address for full transfer

偏移地址：0x4C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAB[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **DMAB[15:0]**：DMA 连续传送寄存器 (DMA register for burst accesses)

对 DMAR 寄存器执行读或写操作将访问位于如下地址的寄存器

(TIMx_CR1 地址) + (DBA + DMA 索引) x 4

其中 TIMx_CR1 地址为控制寄存器 1 的地址，DBA 为 TIMx_DCR 寄存器中配置的 DMA 基址，DMA 索引由 DMA 传输自动控制，其范围介于 0 到 DBL（TIMx_DCR 寄存器中配置的 DBL）之间。

24.6.17 TIM16 复用功能寄存器 1 (TIM16_AF1)

TIM16 alternate function register 1

偏移地址：0x60

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11 **BKCMP2P**：BRK COMP2 输入极性 (BRK COMP2 input polarity)
此位选择 COMP2 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP2 输入为低电平有效
1：COMP2 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BKCMP1P**：BRK COMP1 输入极性 (BRK COMP1 input polarity)
此位选择 COMP1 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP1 输入为低电平有效
1：COMP1 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BKINP**：BRK BKIN 输入极性 (BRK BKIN input polarity)
此位选择 BKIN 复用功能输入灵敏度，必须与 BKP 极性位一起编程。
0：BKIN 输入为低电平有效
1：BKIN 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BKCMP2E**：BRK COMP2 使能 (BRK COMP2 enable)
此位使能定时器 BRK 输入的 COMP2。COMP2 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BKCMP1E**：BRK COMP1 使能 (BRK COMP1 enable)
此位使能定时器 BRK 输入的 COMP1。COMP1 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BKINE**：BRK BKIN 输入使能 (BRK BKIN input enable)
此位使能定时器 BRK 输入的 BKIN 复用功能。BKIN 输入与其他 BRK 源进行“或”运算。
0：禁止 BKIN 输入
1：使能 BKIN 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

24.6.18 TIM16 复用功能寄存器 1 (TIM16_AF1)

TIM16 alternate function register 1

偏移地址：0x60

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11 **BKCMP2P**：BRK COMP2 输入极性 (BRK COMP2 input polarity)
此位选择 COMP2 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP2 输入为低电平有效
1：COMP2 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BKCMP1P**：BRK COMP1 输入极性 (BRK COMP1 input polarity)
此位选择 COMP1 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP1 输入为低电平有效
1：COMP1 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BKINP**：BRK BKIN 输入极性 (BRK BKIN input polarity)
此位选择 BKIN 复用功能输入灵敏度，必须与 BKP 极性位一起编程。
0：BKIN 输入为低电平有效
1：BKIN 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BKCMP2E**：BRK COMP2 使能 (BRK COMP2 enable)
此位使能定时器 BRK 输入的 COMP2。COMP2 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BKCMP1E**：BRK COMP1 使能 (BRK COMP1 enable)
此位使能定时器 BRK 输入的 COMP1。COMP1 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BKINE**：BRK BKIN 输入使能 (BRK BKIN input enable)
此位使能定时器 BRK 输入的 BKIN 复用功能。BKIN 输入与其他 BRK 源进行“或”运算。
0：禁止 BKIN 输入
1：使能 BKIN 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

24.6.19 TIM16 输入选择寄存器 (TIM16_TISEL)

TIM16 input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
												rw	rw	rw	rw

位 31:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：选择 TI1[0] 到 TI1[15] 输入 (selects TI1[0] to TI1[15] input)

0000：TIM16_CH1 输入
0001：LSI
0010：LSE
0011：RTC 唤醒
其他值：保留

24.6.20 TIM17 复用功能寄存器 1 (TIM17_AF1)

TIM17 alternate function register 1

偏移地址：0x60

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
				rw	rw	rw							rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11 **BKCMP2P**：BRK COMP2 输入极性 (BRK COMP2 input polarity)

此位选择 COMP2 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP2 输入为低电平有效
1：COMP2 输入为高电平有效

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 10 **BKCMP1P**：BRK COMP1 输入极性 (BRK COMP1 input polarity)

此位选择 COMP1 输入灵敏度，必须与 BKP 极性位一起编程。
0：COMP1 输入为低电平有效
1：COMP1 输入为高电平有效

注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 9 **BKINP**：BRK BKIN 输入极性 (BRK BKIN input polarity)
此位选择 BKIN 复用功能输入灵敏度，必须与 BKP 极性位一起编程。
0：BKIN 输入为低电平有效
1：BKIN 输入为高电平有效
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 8:3 保留，必须保持复位值。

位 2 **BKCMP2E**：BRK COMP2 使能 (BRK COMP2 enable)
此位使能定时器 BRK 输入的 COMP2。COMP2 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP2 输入
1：使能 COMP2 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 1 **BKCMP1E**：BRK COMP1 使能 (BRK COMP1 enable)
此位使能定时器 BRK 输入的 COMP1。COMP1 输出与其他 BRK 源进行“或”运算。
0：禁止 COMP1 输入
1：使能 COMP1 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

位 0 **BKINE**：BRK BKIN 输入使能 (BRK BKIN input enable)
此位使能定时器 BRK 输入的 BKIN 复用功能。BKIN 输入与其他 BRK 源进行“或”运算。
0：禁止 BKIN 输入
1：使能 BKIN 输入
注： 只要编程了 LOCK（TIMx_BDTR 寄存器中的 LOCK 位）级别 1，此位即无法修改。

24.6.21 TIM17 输入选择寄存器 (TIM17_TISEL)

TIM17 input selection register

偏移地址：0x68

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
												rw	rw	rw	rw

位 31:4 保留，必须保持复位值。

位 3:0 **TI1SEL[3:0]**：选择 TI1[0] 到 TI1[15] 输入 (selects TI1[0] to TI1[15] input)
0000：TIM17_CH1 输入
0001：保留
0010：HSE/32
0011：MCO
其他值：保留

24.6.22 TIM16/TIM17 寄存器映射

寄存器TIM16/TIM17寄存器可映射为 16 位可寻址寄存器，如下表所述：

表 120. TIM16/TIM17 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TIMx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	UIFREMA	Res.	CKD [1:0]		ARPE	Res.	Res.	Res.	OPM	URS	UDIS	CEN
	Reset value																					0		0	0	0				0	0	0	0
0x04	**TIMx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OIS1N	OIS1		Res.	Res.	Res.	CCDS	CCUS	Res.	CCPC
	Reset value																							0	0					0	0		0
0x0C	**TIMx_DIER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1DE	UDE	BIE	Res.	COMIE	Res.	Res.	Res.	CC1IE	UIE
	Reset value																							0	0	0		0				0	0
0x10	**TIMx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1OF	Res.	BIF	Res.	COMIF	Res.	Res.	Res.	CC1IF	UIF
	Reset value																							0		0		0				0	0
0x14	**TIMx_EGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BG	Res.	COMG	Res.	Res.	Res.	CC1G	UG
	Reset value																									0		0				0	0
0x18	**TIMx_CCMR1** Output Compare mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M[3]	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OC1M [2:0]			OC1PE	OC1FE	CC1S [1:0]	
	Reset value																0										0	0	0	0	0	0	0
	TIMx_CCMR1 Input Capture mode	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IC1F[3:0]				IC1PSC [1:0]		CC1S [1:0]	
	Reset value																									0	0	0	0	0	0	0	0
0x20	**TIMx_CCER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC1NP	CC1NE	CC1P	CC1E
	Reset value																													0	0	0	0
0x24	**TIMx_CNT**	UIFCPY or Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value	0																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x28	**TIMx_PSC**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PSC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x2C	**TIMx_ARR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 120. TIM16/TIM17 寄存器映射和复位值 （续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x30	**TIMx_RCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REP[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x34	**TIMx_CCR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CCR1[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	**TIMx_BDTR**	Res.	Res.	Res.	BKBID	Res.	BKDSRM	Res.	Res.	Res.	Res.	Res.	Res.	BKF[3:0]				MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK [1:0]		DT[7:0]							
	Reset value				0		0							0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	**TIMx_DCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBL[4:0]					Res.	Res.	Res.	DBA[4:0]				
	Reset value																				0	0	0	0	0				0	0	0	0	0
0x4C	**TIMx_DMAR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DMAB[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x60	**TIM16_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	Reset value																					0	0	0							0	0	1
0x60	**TIM17_AF1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2P	BKCMP1P	BKINP	Res.	Res.	Res.	Res.	Res.	Res.	BKCMP2E	BKCMP1E	BKINE
	Reset value																					0	0	0							0	0	1
0x68	**TIM16_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value																													0	0	0	0
0x68	**TIM17_TISEL**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TI1SEL[3:0]			
	Reset value																													0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

25 低功耗定时器 (LPTIM)

25.1 简介

LPTIM 是一个 16 位定时器，可从降低功耗的最终发展中受益。由于 LPTIM 的时钟源具有多样性，因此 LPTIM 能够在所有电源模式（待机模式和关断模式除外）下保持运行状态。即使没有内部时钟源，LPTIM 也能运行，鉴于这一点，可将其用作“脉冲计数器”，这种脉冲计数器在某些应用中十分有用。此外，LPTIM 还能将系统从低功耗模式唤醒，因此非常适合实现“超时功能”，在这种功能模式下系统功耗极低。

LPTIM 引入了一个灵活的时钟方案，该方案能够提供所需的功能和性能，同时还能最大程度地降低功耗。

25.2 LPTIM 主要特性

- 16 位递增计数器
- 3 位预分频器，可采用 8 种分频系数（1、2、4、8、16、32、64 和 128）
- 可选时钟
  - 内部时钟源：LSE、LSI、HSI16 或 APB 时钟
  - LPTIM 输入的外部时钟源（在没有 LP 振荡器运行的情况下工作，可在使用脉冲计数器应用场景中使用）
- 16 位 ARR 自动重载寄存器
- 16 位比较寄存器
- 连续/单触发模式
- 可选软件/硬件输入触发
- 可编程数字防抖动去抖动滤波器
- 可配置输出：脉冲和 PWM
- 可配置 I/O 极性
- 编码器模式

25.3 LPTIM 实现

表 121 介绍了 STM32G0x1 器件上的 LPTIM 实现：LPTIM1 支持所有特性。LPTIM2 支持的特性略少，但在其余方面与 LPTIM1 完全相同。

表 121. STM32G0x1 LPTIM 特性

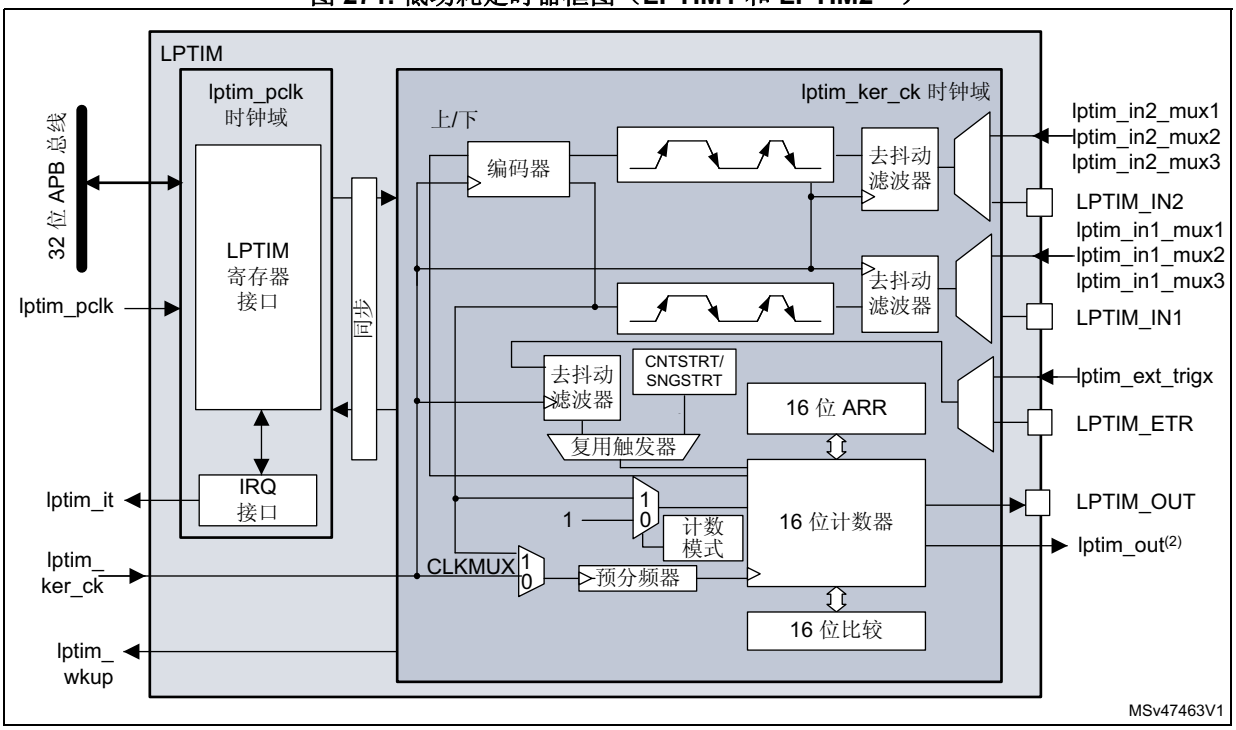
LPTIM 模式/特性(1)	LPTIM1	LPTIM2
编码器模式	X	-

1. X = 支持。

25.4 LPTIM 功能说明

25.4.1 LPTIM 框图

图 271. 低功耗定时器框图（LPTIM1 和 LPTIM2[(1)]）



1. LPTIM2 仅具有输入通道 1，没有输入通道 2
2. lptim_out 是内部 LPTIM 输出信号，可以连接到内部外设。

25.4.2 LPTIM 引脚和内部信号

下面的两个表格分别列出了 LPTIM 引脚和内部信号。

表 122. LPTIM 输入/输出引脚

名称	信号类型	说明
LPTIM_IN1	数字输入	复用器输入 0 上 GPIO 引脚的 LPTIM 输入 1
LPTIM_IN2	数字输入	复用器输入 0 上 GPIO 引脚的 LPTIM 输入 2
LPTIM_ETR	数字输入	LPTIM 外部触发 GPIO 引脚
LPTIM_OUT	数字输出	LPTIM 输出 GPIO 引脚

表 123. LPTIM 内部信号

名称	信号类型	说明
lptim_pclk	数字输入	LPTIM APB 时钟域
lptim_ker_ck	数字输入	LPTIM 内核时钟
lptim_in1_mux1	数字输入	连接至复用器输入 1 的内部 LPTIM 输入 1

表 123. LPTIM 内部信号（续）

名称	信号类型	说明
lptim_in1_mux2	数字输入	连接至复用器输入 2 的内部 LPTIM 输入 1
lptim_in1_mux3	数字输入	连接至复用器输入 3 的内部 LPTIM 输入 1
lptim_in2_mux1	数字输入	连接至复用器输入 1 的内部 LPTIM 输入 2(1)
lptim_in2_mux2	数字输入	连接至复用器输入 2 的内部 LPTIM 输入 2(1)
lptim_in2_mux3	数字输入	连接至复用器输入 3 的内部 LPTIM 输入 2(1)
lptim_ext_trigx	数字输入	LPTIM 外部触发输入 x
lptim_out	数字输出	LPTIM 计数器输出
lptim_it	数字输出	LPTIM 全局中断
lptim_wakeup	数字输出	LPTIM 唤醒事件

1. 仅适用于 LPTIM1

25.4.3 LPTIM 输入和触发映射

下面详细介绍了 LPTIM 外部触发和输入连接：

表 124. LPTIM1 外部触发连接

TRIGSEL	外部触发信号
lptim_ext_trig0	用作 LPTIM1_ETR 复用功能的 GPIO 引脚
lptim_ext_trig1	RTC 闹钟 A
lptim_ext_trig2	RTC 闹钟 B
lptim_ext_trig3	TAMP1 输入检测
lptim_ext_trig4	TAMP2 输入检测
lptim_ext_trig5	保留
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

表 125. LPTIM2 外部触发连接

TRIGSEL	外部触发信号
lptim_ext_trig0	用作 LPTIM2_ETR 复用功能的 GPIO 引脚
lptim_ext_trig1	RTC 闹钟 A
lptim_ext_trig2	RTC 闹钟 B
lptim_ext_trig3	TAMP1 输入检测
lptim_ext_trig4	TAMP2 输入检测
lptim_ext_trig5	保留
lptim_ext_trig6	COMP1_OUT
lptim_ext_trig7	COMP2_OUT

表 126. LPTIM1 输入 1 连接

lptim_in1_mux	LPTIM1 输入 1 连接位置
lptim_in1_mux0	用作 LPTIM1_IN1 复用功能的 GPIO 引脚
lptim_in1_mux1	COMP1_OUT
lptim_in1_mux2	未连接
lptim_in1_mux3	未连接

表 127. LPTIM1 输入 2 连接

lptim_in2_mux	LPTIM1 输入 2 连接位置
lptim_int2_mux0	用作 LPTIM1_IN2 复用功能的 GPIO 引脚
lptim_in2_mux1	COMP2_OUT
lptim_in2_mux2	未连接
lptim_in2_mux3	未连接

表 128. LPTIM2 输入 1 连接

lptim_in1_mux	LPTIM2 输入 1 连接位置
lptim_in1_mux0	用作 LPTIM2_IN1 复用功能的 GPIO 引脚
lptim_in1_mux1	COMP1_OUT
lptim_in1_mux2	COMP2_OUT
lptim_in1_mux3	COMP1_OUT 或 COMP2_OUT

25.4.4 LPTIM 复位和时钟

LPTIM 可通过多个时钟源提供时钟。它可以由内部时钟信号提供时钟，内部时钟信号可通过复位和时钟控制器 (RCC) 在 APB、LSI、LSE 或 HSI16 时钟源中进行选择。此外，LPTIM 还可通过注入到其外部 Input1 上的外部时钟信号提供时钟。当通过外部时钟源提供时钟时，LPTIM 可以在下述两种可能配置中的其中一种配置下运行：

- 第一种配置是，LPTIM 通过外部信号提供时钟，但同时通过 APB 或 LSE、LSI 和 HSI16 等任何其他内置振荡器为 LPTIM 提供内部时钟信号。
- 第二种配置是，LPTIM 仅由外部时钟源通过外部 Input1 提供时钟。此配置可在进入低功耗模式后所有内置振荡器关闭时，用于实现超时功能或脉冲计数器功能。

对 CKSEL 和 COUNTMODE 位进行编程，可控制 LPTIM 使用外部时钟源还是内部时钟源。

当使用外部时钟源时，可使用 CKPOL 位选择外部时钟信号的有效边沿。如果上升沿和下降沿均为有效边沿，则还应提供内部时钟信号（第一种配置）。在这种情况下，内部时钟信号频率应至少为外部时钟信号频率的五倍。

25.4.5 去抖动滤波器

外部（映射到 GPIO）或内部（映射到芯片级或其他嵌入式外设，例如嵌入式比较器）LPTIM 输入由数字滤波器保护，避免任何毛刺和噪声干扰在 LPTIM 内部传播，从而防止产生意外计数或触发。

在激活数字滤波器之前，首先应向 LPTIM 提供内部时钟源，这是保证滤波器正常工作的必要条件。

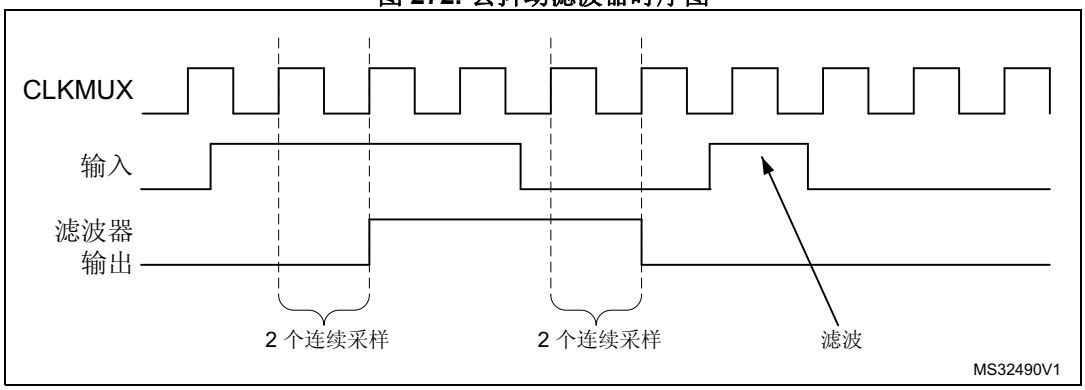
数字滤波器分为两组：

- 第一组数字滤波器保护 LPTIM 外部输入。数字滤波器的敏感性由 CKFLT 位控制。
- 第二组数字滤波器保护 LPTIM 内部触发输入。数字滤波器的敏感性由 TRGFLT 位控制。

注： *数字滤波器的敏感性以组为单位进行控制。无法单独配置同一组内各个数字滤波器的敏感性。*

滤波器的敏感性会影响相同的连续采样的数量，在其中一个 LPTIM 输入上检测到此类连续采样时，才能将某信号电平变化视为有效跳变。*图 272* 给出了编程 2 个连续采样时，去抖动滤波器行为的示例。

图 272. 去抖动滤波器时序图



注： *不提供内部时钟信号时，必须通过将 CKFLT 和 TRGFLT 位设为 0 来停用数字滤波器。在这种情况下，可使用外部模拟滤波器来防止 LPTIM 外部输入产生干扰。*

25.4.6 预分频器

LPTIM 16 位计数器前面要有一个可配置的 2 次幂预分频器。预分频器的分频比由 PRESC[2:0] 3 位域进行控制。下表列出了所有可能的分频比：

表 129. 预分频器的分频比

编程	分频系数
000	/1
001	/2
010	/4
011	/8
100	/16

表 129. 预分频器的分频比（续）

编程	分频系数
101	/32
110	/64
111	/128

25.4.7 触发多路复用器

LPTIM 计数器可通过软件启动，也可以在 8 个触发输入之一上检测到有效边沿后启动。

TRIGEN[1:0] 用于确定 LPTIM 触发源：

- TRIGEN[1:0] 等于“00”时，LPTIM 计数器会在通过软件将 CNTSTRT 位或 SNGSTRT 位其中之一置 1 后立即启动。TRIGEN[1:0] 的其余三个可能的值用于配置触发输入使用的有效边沿。LPTIM 计数器会在检测到有效边沿后立即启动。
- TRIGEN[1:0] 不等于“00”时，TRIGSEL[2:0] 用于选择使用 8 个触发输入中的哪一个来启动计数器。

外部触发信号视为 LPTIM 的异步信号。因此，检测到触发信号后，由于同步问题，需要延迟两个计数器时钟周期，定时器才能开始运行。

如果在定时器已启动时发生新的触发事件，则此事件将被忽略（除非已使能超时功能）。

注： *必须使能定时器，才能将 SNGSTRT/CNTSTRT 位置 1。当定时器禁止时，对这些位执行的任何写操作都将被硬件丢弃。*

25.4.8 工作模式

LPTIM 支持以下两种工作模式：

- 连续模式：定时器自由运行，由触发事件启动并且直到被禁止才会停止
- 单触发模式：定时器由触发事件启动，当达到 ARR 值时停止。

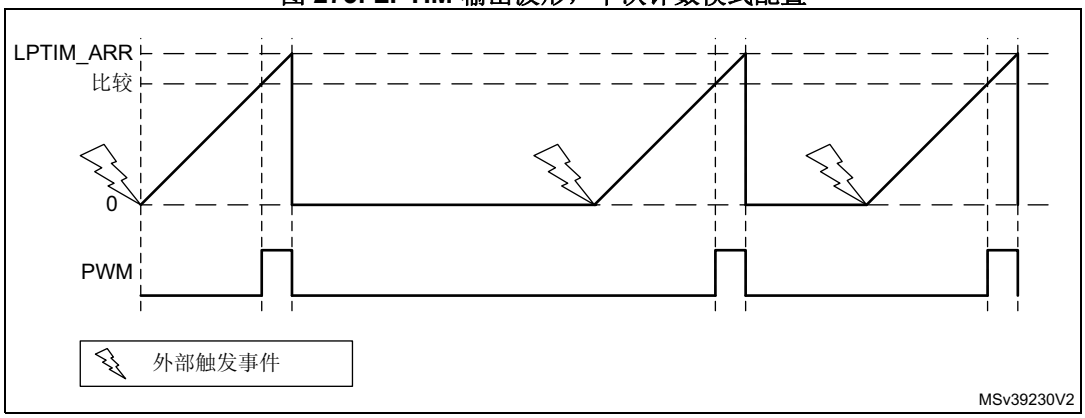
单触发模式

要使能单触发计数，必须将 SNGSTRT 位置 1。

新的触发事件将重新启动定时器。从计数器启动到计数器达到 ARR，这段时间内发生的任何触发事件均将被丢弃。

选择外部触发时，在 SNGSTRT 位置 1 后以及计数器寄存器停止后（包含零值）到达的每个外部触发事件都将为计数器启动新的单触发计数周期，如*图 273* 所示。

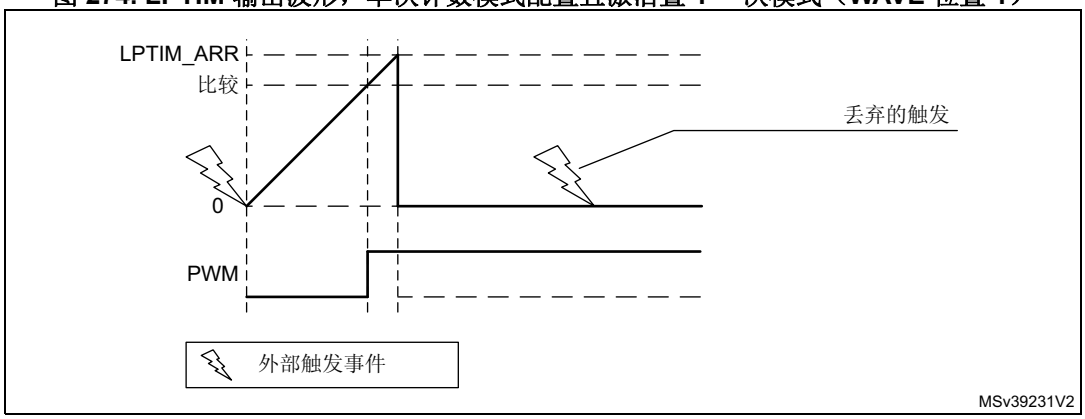
图 273. LPTIM 输出波形，单次计数模式配置



- 置 1 一次模式激活：

应注意，当 LPTIM_CFGR 寄存器中的 WAVE 位域置 1 时，将激活置 1 一次模式。在这种情况下，计数器仅会在第一个触发事件后启动一次，任何后续触发事件都将被丢弃，如*图 274* 所示。

图 274. LPTIM 输出波形，单次计数模式配置且激活置 1 一次模式（WAVE 位置 1）



若通过软件启动（TRIGEN[1:0] = “00”），将 SNGSTRT 置 1 会使计数器进行单触发计数。

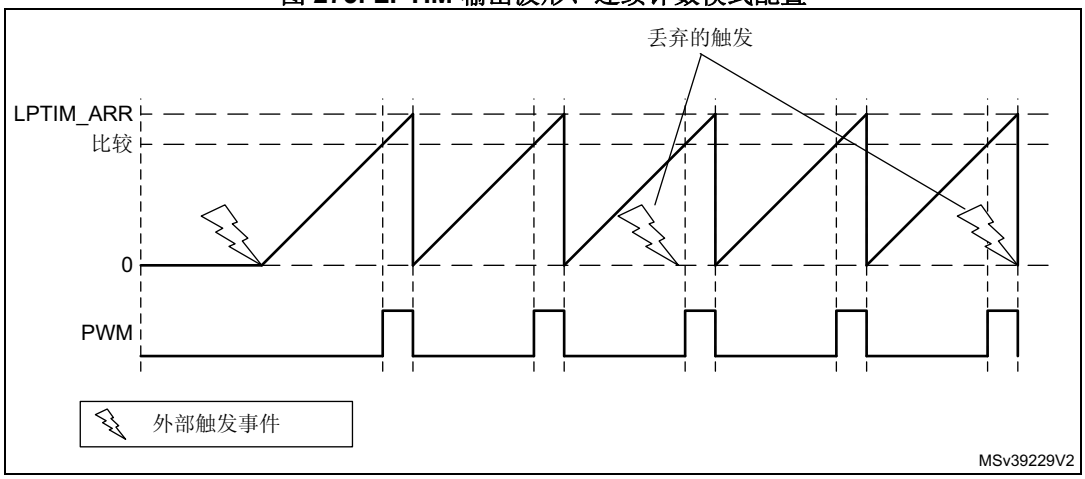
连续模式

要使能连续计数，必须将 CNTSTRT 位置 1。

若选择外部触发，则在 CNTSTRT 置 1 后到达的外部触发事件将启动计数器进行连续计数。任何后续的外部触发事件都将被丢弃，如*图 275* 所示。

若通过软件启动（TRIGEN[1:0] = “00”），将 CNTSTRT 置 1 会使计数器开始连续计数。

图 275. LPTIM 输出波形、连续计数模式配置



SNGSTRT 和 CNTSTRT 位只能在定时器使能时（ENABLE 位置 1）置 1。可以“实时”从单触发模式切换为连续模式。

如果之前选择的是连续模式，则将 SNGSTRT 置 1 会使 LPTIM 切换为单触发模式。计数器（激活时）将在达到 ARR 后立即停止。

如果之前选择的是单触发模式，则将 CNTSTRT 置 1 会使 LPTIM 切换为连续模式。计数器（激活时）将在达到 ARR 后立即重新启动。

25.4.9 超时功能

若在一个选定的触发输入上检测到有效边沿，则可用于复位 LPTIM 计数器。该功能通过 TIMOUT 位进行控制。

第一个触发事件将启动定时器，任何后续的触发事件将复位计数器，且定时器将重新启动。

可实现低功耗超时功能。超时值对应于比较值；如果在预期的时间帧内未发生触发事件，MCU 将由比较匹配事件唤醒。

25.4.10 生成波形

两个 16 位寄存器，LPTIM_ARR（自动重载寄存器）和 LPTIM_CMP（比较寄存器）用于在 LPTIM 输出上生成多个不同的波形。

定时器可生成以下波形：

- PWM 模式：LPTIM_CNT 中的计数器值超过 LPTIM_CMP 中的比较值后，LPTIM 输出立即置 1。LPTIM_ARR 和 LPTIM_CNT 寄存器之间发生匹配后，LPTIM 输出立即复位。
- 单脉冲模式：对于第一个脉冲，输出波形与 PWM 模式输出波形类似，随后输出将永久复位。
- 置 1 一次模式：除输出保持最后一个信号电平外（取决于配置的输出极性），输出波形与单脉冲模式输出波形类似。

上述模式要求 LPTIM_ARR 寄存器的值严格大于 LPTIM_CMP 寄存器的值。

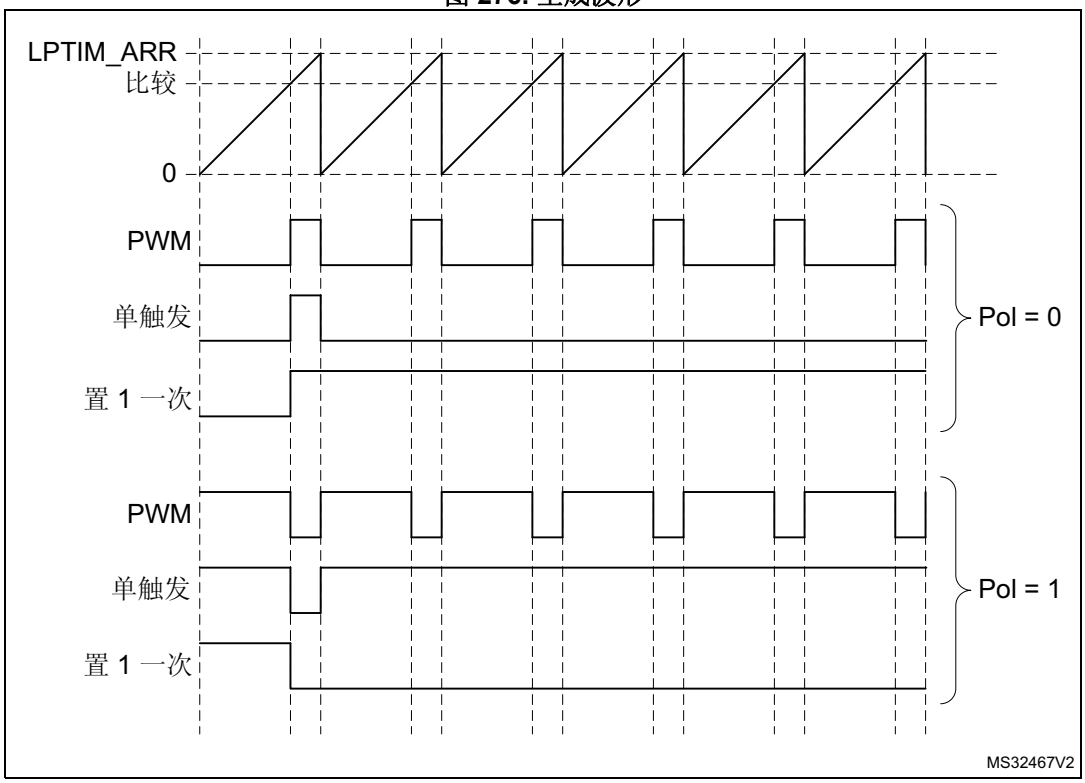
LPTIM 输出波形可通过 WAVE 位配置，具体如下：

- 若将 WAVE 位复位为 0，则会强制 LPTIM 生成 PWM 波形或单脉冲波形，具体取决于将哪个位（CNTSTRT 或 SNGSTRT）置 1。
- 若将 WAVE 位置 1，则会强制 LPTIM 生成置 1 一次模式波形。

WAVPOL 位控制 LPTIM 输出极性。更改立即生效，因此输出默认值将在极性重新配置后立即更改，甚至会在定时器使能前进行更改。

生成的信号的频率高达 LPTIM 时钟频率 2 分频。*图 276* 给出了可能在 LPTIM 输出上生成的三种波形。此外，此图还显示了通过 WAVPOL 位更改极性所产生的效果。

图 276. 生成波形



25.4.11 寄存器更新

LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器在 APB 总线写操作后会立即更新，若定时器已启动，也可在当前周期结束时更新。

PRELOAD 位控制 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器的更新方式：

- 当 PRELOAD 位复位为 0 时，LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器会在写访问后立即更新。
- 当 PRELOAD 位置 1 时，若定时器已启动，LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器会在当前周期结束时更新。

LPTIM APB 接口和 LPTIM 内核逻辑使用的时钟不同，因此在 APB 写操作后，需要经过一定的延迟，写入值才能用于计数器比较器。在此延迟期间，必须避免向这些寄存器执行其他写操作。

LPTIM_ISR 寄存器中的 ARROK 标志和 CMPOK 标志分别指示 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器的写操作已完成。

向 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器执行写操作后，只有在前一次写操作完成后，才能对同一寄存器执行新的写操作。在 ARROK 标志或 CMPOK 标志置 1 前执行连续的写操作将造成无法预知的结果。

25.4.12 计数器模式

LPTIM 计数器可用于对 LPTIM Input1 上的外部事件进行计数，也可用于对内部时钟周期进行计数。CKSEL 位和 COUNTMODE 位用于控制将使用哪些源更新计数器。

若使用 LPTIM 对 Input1 上的外部事件进行计数，计数器可在上升沿、下降沿或两种边沿进行更新，具体取决于写入 CKPOL[1:0] 位的值。

根据 CKSEL 和 COUNTMODE 值，可选择以下计数模式：

- CKSEL = 0：LPTIM 由内部时钟源提供时钟
  - COUNTMODE = 0

    LPTIM 配置为由内部时钟源提供时钟，LPTIM 计数器配置为在每个内部时钟脉冲后进行更新。
  - COUNTMODE = 1

    LPTIM 外部 Input1 通过提供给 LPTIM 的内部时钟进行采样。

    因此，为了不丢失任何事件，外部 Input1 信号变化的频率决不应超过提供给 LPTIM 的内部时钟的频率。此外，不得对提供给 LPTIM 的内部时钟进行预分频 (PRESC[2:0] = 000)。
- CKSEL = 1：LPTIM 由外部时钟源提供时钟

  COUNTMODE 值不相关。

  在这种配置下，LPTIM 无需内部时钟源（已使能去抖动滤波器时除外）。注入到 LPTIM 外部 Input1 的信号用作 LPTIM 的系统时钟。此配置适合未使能任何内置振荡器的工作模式。

  对于这种配置，LPTIM 计数器可以在 input1 时钟信号的上升沿或下降沿进行更新，但不可在上升沿和下降沿均更新。

  由于注入到 LPTIM 外部 Input1 的信号也可用于为 LPTIM 内核逻辑提供时钟，计数器递增计数前存在一些初始延时（使能 LPTIM 后）。更确切地说，LPTIM 外部 Input1 的前五个有效边沿将丢失（使能 PTIM 后）。

25.4.13 定时器使能

LPTIM_CR 寄存器中的 ENABLE 位用于使能/禁止 LPTIM 内核逻辑。将 ENABLE 位置 1 后，需要延迟两个计数器时钟周期，才能真正使能 LPTIM。

LPTIM_CFGR 和 LPTIM_IER 寄存器必须在禁止 LPTIM 后才能修改。

25.4.14 定时器计数器复位

为了将 LPTIM_CNT 寄存器的内容复位为零，实现了两种复位机制：

- 同步复位机制：同步复位由 LPTIM_CR 寄存器中的 COUNTRST 位控制。在将 COUNTRST 位域置 1 后，复位信号在 LPTIM 内核时钟域中传播。因此，重要的是要注意，要在经历几个 LPTIM 内核逻辑时钟脉冲之后再考虑复位。这将使 LPTIM 计数器在复位触发和生效之间额外计数几个脉冲。由于 COUNTRST 位位于 APB 时钟域中，并且 LPTIM 计数器位于 LPTIM 内核时钟域中，因此当将 1 写入到 COUNTRST 位时，内核时钟需要 3 个时钟周期的延迟用以同步由 APB 时钟域发出的复位信号。
- 异步复位机制：异步复位由位于 LPTIM_CR 寄存器中的 RSTARE 位控制。当该位置 1 时，对 LPTIM_CNT 寄存器的任何读访问都会将其内容复位为零。应在不提供 LPTIM 内核时钟的时间范围内触发异步复位。例如，当 LPTIM Input1 管脚为外部时钟输入管脚时，只有当足够保证 LPTIM Input1 不会发生反转时，才应用异步复位。
  应注意的是，为了实现可靠的 LPTIM_CNT 寄存器内容读取，必须执行两次连续的读访问并进行比较。当两次读访问的值相等时，可认为读访问可靠。然而，当使能了异步复位时，不可能两次读取 LPTIM_CNT 寄存器。

警告： **LPTIM 内没有防止两个复位机制同时使用的机制。所以开发人员应该确保这两个机制是排斥地使用。**

25.4.15 编码器模式

此模式用于处理来自正交编码器的信号，此正交编码器用于检测旋转元件的角度位置。编码器接口模式就相当于带有方向选择的外部时钟。这意味着，计数器仅在 0 到 LPTIM_ARR 寄存器中编程的自动重载值之间进行连续计数（根据具体方向，从 0 递增计数到 ARR，或从 ARR 递减计数到 0）。因此必须在启动之前配置 LPTIM_ARR。通过两个外部输入信号 Input1 和 Input2 生成时钟信号作为 LPTIM 计数器时钟。这两个信号间的相位确定计数方向。

仅当 LPTIM 由内部时钟源提供时钟时才可使用编码器模式。Input1 和 Input2 输入上的信号频率不得超过 LPTIM 内部时钟频率 4 分频。必须满足此条件才能确保 LPTIM 正常工作。

方向变化由 LPTIM_ISR 寄存器中的两个递减和递增标志指示。此外，如果通过 DOWNIE 位使能，还可为两种方向变化事件产生中断。

要激活编码器模式，必须将 ENC 位置 1。LPTIM 必须首先配置为连续模式。

当编码器模式激活时，LPTIM 计数器按照增量编码器的速度和方向自动修改。因此，其内容始终代表编码器的位置。计数方向由递增和递减标志指示，对应于编码器转子的旋转方向。

根据使用 CKPOL[1:0] 位配置的边沿敏感性，可得几种不同的计数方案。下表汇总了可能的组合（假设 Input1 和 Input2 不同时切换）。

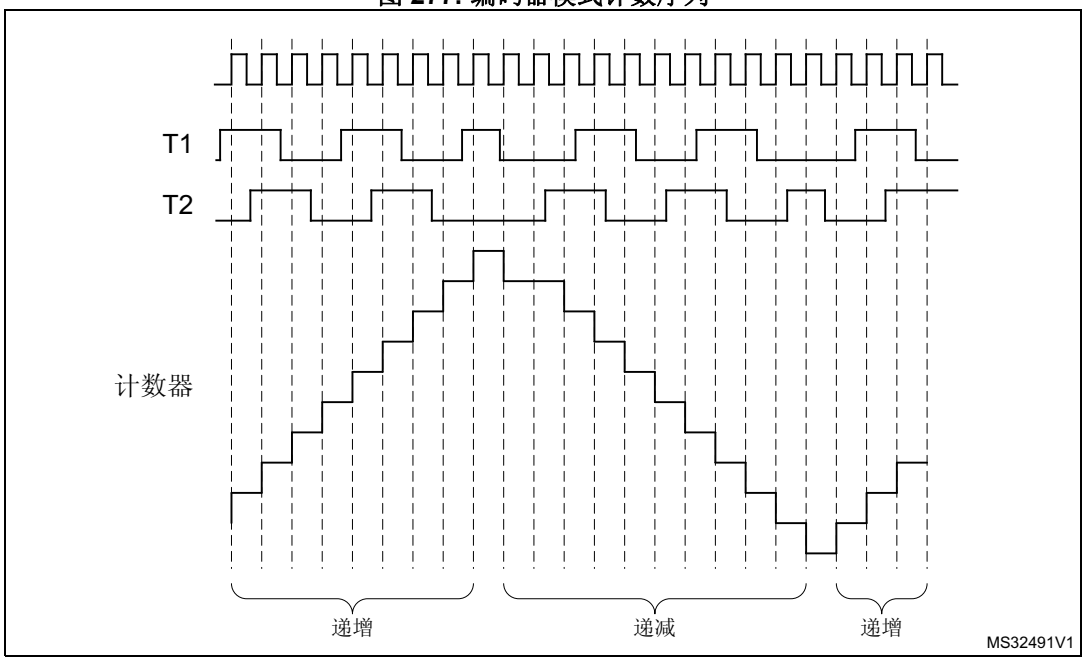
表 130. 编码器计数方案

有效边沿	相反信号的电平（Input1 对应 Input2，Input2 对应 Input1）	Input1 信号		Input2 信号	
		上升	下降	上升	下降
上升沿	高	递减	不计数	递增	不计数
	低	递增	不计数	递减	不计数
下降沿	高	不计数	递增	不计数	递减
	低	不计数	递减	不计数	递增
两种边沿	高	递减	递增	递增	递减
	低	递增	递减	递减	递增

下图所示为编码器模式下配置了两种边沿敏感性的计数序列。

注意： 在此模式下，LPTIM 必须由内部时钟源提供时钟，因此 CKSEL 位必须保持其复位值 0。另外，预分频器分频比必须等于其复位值 1（PRESC[2:0] 位必须为“000”）。

图 277. 编码器模式计数序列



25.4.16 调试模式

当微控制器进入调试模式时（内核停止），LPTIM 计数器会根据 DBG 模块中的 DBG_LPTIM_STOP 配置位选择继续正常工作或者停止工作。

25.5 LPTIM 低功耗模式

表 131. 低功耗模式对 LPTIM 的影响

模式	说明
睡眠	无影响。LPTIM 中断可使器件退出睡眠模式。
低功耗运行	无影响。
低功耗睡眠	无影响。LPTIM 中断可使器件退出低功耗睡眠模式。
停止 0/停止 1	当 LSE 或 LSI 锁定 LPTIM 时无影响。LPTIM 中断会导致器件退出停止 0 和停止 1。
待机	LPTIM 外设掉电，退出待机模式或关断模式后必须重新初始化。
关断	

25.6 LPTIM 中断

若以下事件通过 LPTIM_IER 寄存器使能，则这些事件会生成中断/唤醒事件：

- 比较匹配
- 自动重载匹配（编码器模式下无论哪种方向）
- 外部触发事件
- 自动重载寄存器写操作完成
- 比较寄存器写操作完成
- 方向变化（编码器模式），可编程（递增/递减/同时递增和递减）。

注： *只要 LPTIM_IER 寄存器（中断使能寄存器）中的位在 LPTIM_ISR 寄存器（状态寄存器）中相应标志置 1 后置 1，就不会触发中断。*

表 132. 中断事件

中断事件	说明
比较匹配	当计数器寄存器 (LPTIM_CNT) 的内容与比较寄存器 (LPTIM_CMP) 的内容匹配时，中断标志置 1。
自动重载匹配	当计数器寄存器 (LPTIM_CNT) 的内容与自动重载寄存器 (LPTIM_ARR) 的内容匹配时，生成中断标志。
外部触发事件	当检测到外部触发事件时，会生成中断标志
自动重载寄存器更新成功	当对 LPTIM_ARR 寄存器的写操作完成时，生成中断标志。
比较寄存器更新成功	当对 LPTIM_CMP 寄存器的写操作完成时，生成中断标志。
方向更改	用于编码器模式。嵌入两个中断标志以发出方向更改的信号： – UP 标志发出递增计数方向更改的信号 – DOWN 标志发出递减计数方向更改的信号

25.7 LPTIM 寄存器

25.7.1 LPTIM 中断和状态寄存器 (LPTIM_ISR)

偏移地址：0x000

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWN	UP	ARR OK	CMP OK	EXT TRIG	ARRM	CMPM
									r	r	r	r	r	r	r

位 31:7 保留，必须保持复位值。

位 6 **DOWN**：计数方向从递增变为递减 (Counter direction change up to down)

在编码器模式下，由硬件将 DOWN 位置 1 时，会通知应用计数方向由递增变为递减。可以通过向 LPTIM_ICR 寄存器中的 DOWNCF 位写入 1 将 DOWN 标志清零。

注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 5 **UP**：计数方向从递减变为递增 (Counter direction change down to up)

在编码器模式下，由硬件将 UP 位置 1 时，会通知应用计数方向由递减变为递增。可以通过向 LPTIM_ICR 寄存器中的 UPCF 位写入 1 将 UP 标志清零。

注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 4 **ARROK**：自动重载寄存器更新成功 (Autoreload register update OK)

由硬件将 ARROK 置 1 时，会通知应用 LPTIM_ARR 寄存器的 APB 总线写操作已成功完成。可以通过向 LPTIM_ICR 寄存器中的 ARROKCF 位写入 1 将 ARROK 标志清零。

位 3 **CMPOK**：比较寄存器更新成功 (Compare register update OK)

由硬件将 CMPOK 置 1 时，会通知应用 LPTIM_CMP 寄存器的 APB 总线写操作已成功完成。

位 2 **EXTTRIG**：外部触发边沿事件 (External trigger edge event)

由硬件将 EXTTRIG 置 1 时，会通知应用所选的外部触发输入上产生有效边沿。如果由于定时器已启动而忽略触发事件，则不会将此标志置 1。可以通过向 LPTIM_ICR 寄存器中的 EXTTRIGCF 位写入 1 将 EXTTRIG 标志清零。

位 1 **ARRM**：自动重载匹配 (Autoreload match)

由硬件将 ARRM 置 1 时，会通知应用 LPTIM_CNT 寄存器的值已达到 LPTIM_ARR 寄存器的值。可以通过向 LPTIM_ICR 寄存器中的 ARRMCF 位写入 1 将 ARRM 标志清零。

位 0 **CMPM**：比较匹配 (Compare match)

由硬件将 CMPM 位置 1 时，会通知应用 LPTIM_CNT 寄存器的值已达到 LPTIM_CMP 寄存器的值。

25.7.2 LPTIM 中断清零寄存器 (LPTIM_ICR)

LPTIM interrupt clear register

偏移地址：0x004

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNCF	UPCF	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF
									w	w	w	w	w	w	w

位 31:9 保留，必须保持复位值。

位 8:7 保留，必须保持复位值。

位 6 **DOWNCF**：方向变为递减清零标志 (Direction change to down clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 DOWN 标志将清零。
注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 5 **UPCF**：方向变为递增清零标志 (Direction change to UP clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 UP 标志将清零。
注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 4 **ARROKCF**：自动重载寄存器更新成功清零标志 (Autoreload register update OK clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 ARROK 标志将清零

位 3 **CMPOKCF**：比较寄存器更新成功清零标志 (Compare register update OK clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 CMPOK 标志将清零

位 2 **EXTTRIGCF**：外部触发有效边沿清零标志 (External trigger valid edge clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 EXTTRIG 标志将清零

位 1 **ARRMCF**：自动重载匹配清零标志 (Autoreload match clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 ARRM 标志将清零

位 0 **CMPMCF**：比较匹配清零标志 (Compare match clear flag)
将 1 写入此位时，LPTIM_ISR 寄存器中的 CMP 标志将清零

25.7.3 LPTIM 中断使能寄存器 (LPTIM_IER)

LPTIM interrupt enable register

偏移地址：0x008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNIE	UPIE	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE
									rw	rw	rw	rw	rw	rw	rw

位 31:9 保留，必须保持复位值。

位 8:7 保留，必须保持复位值。

位 6 **DOWNIE**：方向变为递减中断使能 (Direction change to down Interrupt Enable)
0：禁止 DOWN 中断
1：使能 DOWN 中断
注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 5 **UPIE**：方向变为递增中断使能 (Direction change to UP Interrupt Enable)
0：禁止 UP 中断
1：使能 UP 中断
注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 4 **ARROKIE**：自动重载寄存器更新成功中断使能 (Autoreload register update OK Interrupt Enable)
0：禁止 ARROK 中断
1：使能 ARROK 中断

位 3 **CMPOKIE**：比较寄存器更新成功中断使能 (Compare register update OK Interrupt Enable)
0：禁止 CMPOK 中断
1：使能 CMPOK 中断

位 2 **EXTTRIGIE**：外部触发有效边沿中断使能 (External trigger valid edge Interrupt Enable)
0：禁止 EXTTRIG 中断
1：使能 EXTTRIG 中断

位 1 **ARRMIE**：自动重载匹配中断使能 (Autoreload match Interrupt Enable)
0：禁止 ARRM 中断
1：使能 ARRM 中断

位 0 **CMPMIE**：比较匹配中断使能 (Compare match Interrupt Enable)
0：禁止 CMPM 中断
1：使能 CMPM 中断

注意： 必须在 LPTIM 已禁止时（ENABLE 位复位为 0）才能修改 LPTIM_IER 寄存器

25.7.4 LPTIM 配置寄存器 (LPTIM_CFGR)

LPTIM configuration register

偏移地址：0x00C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC	COUNT MODE	PRELOAD	WAVPOL	WAVE	TIMOUT	TRIGEN[1:0]		Res.
							rw	rw	rw	rw	rw	rw	rw	rw	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGSEL[2:0]			Res.	PRESC[2:0]			Res.	TRGFLT[1:0]		Res.	CKFLT[1:0]		CKPOL[1:0]		CKSEL
rw	rw	rw		rw	rw	rw		rw	rw		rw	rw	rw	rw	rw

位 31:30 保留，必须保持复位值。

位 29 保留，必须保持复位值。

位 28:25 保留，必须保持复位值。

位 24 **ENC**：编码器模式使能 (Encoder mode enable)

ENC 位控制编码器模式

0：禁止编码器模式

1：使能编码器模式

注： 如果 LPTIM 不支持编码器模式功能，则保留该位。请参见第 25.3 节：LPTIM 实现。

位 23 **COUNTMODE**：计数器模式使能 (counter mode enabled)

COUNTMODE 位用于选择 LPTIM 使用哪个时钟源来为计数器提供时钟：

0：计数器在每个内部时钟脉冲后递增

1：计数器在 LPTIM 外部 Input1 上的每个有效时钟脉冲后递增

位 22 **PRELOAD**：寄存器更新模式 (Registers update mode)

PRELOAD 位控制 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器的更新方式

0：寄存器在每次 APB 总线写访问后更新

1：寄存器在当前 LPTIM 周期结束时更新

位 21 **WAVPOL**：波形极性 (Waveform shape polarity)

WAVEPOL 位控制输出极性

0：LPTIM 输出反映 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器之间的比较结果。

1：LPTIM 输出反映与 LPTIM_ARR 寄存器和 LPTIM_CMP 寄存器之间的比较结果相反的值

位 20 **WAVE**：波形 (Waveform shape)

WAVE 位控制输出波形

0： 停用置 1 一次模式、PWM 或单脉冲波形，具体取决于定时器的启动方式（PWM 为 CNTSTRT，单脉冲波形为 SNGSTRT）。

1： 激活置 1 一次模式

位 19 **TIMOUT**：超时使能 (Timeout enable)

TIMOUT 位控制超时功能

0： 定时器已启动时到达的触发事件将被忽略

1： 定时器已启动时到达的触发事件将复位并重新启动计数器

位 18:17 **TRIGEN[1:0]**：触发使能和极性 (Trigger enable and polarity)

TRIGEN 位控制 LPTIM 计数器是否由外部触发信号启动。如果已选择由外部触发信号启动，触发有效边沿的配置有以下三种：

00：软件触发（由软件启动计数）

01：上升沿为有效边沿

10：下降沿为有效边沿

11：上升沿和下降沿均为有效边沿

位 16 保留，必须保持复位值。

位 15:13 **TRIGSEL[2:0]**：触发源选择器 (Trigger selection)

TRIGSEL 位用于选择作为 LPTIM 触发事件的触发源，可用触发源包括以下 8 种：

000：lptim_ext_trig0

001：lptim_ext_trig1

010：lptim_ext_trig2

011：lptim_ext_trig3

100：lptim_ext_trig4

101：lptim_ext_trig5

110：lptim_ext_trig6

111：lptim_ext_trig7

详细信息，请参见*第 25.4.3 节：LPTIM 输入和触发映射*。

位 12 保留，必须保持复位值。

位 11:9 **PRESC[2:0]**：时钟预分频器 (Clock prescaler)

PRESC 位配置预分频器的分频系数。分频系数可从以下分频系数中选择：

000:/1

001:/2

010:/4

011:/8

100:/16

101:/32

110:/64

111:/128

位 8 保留，必须保持复位值。

位 7:6 **TRGFLT[1:0]**：触发信号的可配置数字滤波器 (Configurable digital filter for trigger)

TRGFLT 值用于设置连续相同采样的数量，若在内部触发信号电平发生变化时检测到此类连续采样，才会将此电平变化视为有效电平切换。必须存在内部时钟源才能使用此功能

00：任何触发信号有效电平变化均视为有效触发

01：触发信号有效电平变化必须至少稳定 2 个时钟周期，才能将其视为有效触发。

10：触发信号有效电平变化必须至少稳定 4 个时钟周期，才能将其视为有效触发。

11：触发信号有效电平变化必须至少稳定 8 个时钟周期，才能将其视为有效触发。

位 5 保留，必须保持复位值。

位 4:3 **CKFLT[1:0]**：外部时钟的可配置数字滤波器 (Configurable digital filter for external clock)

CKFLT 值用于设置连续相同采样的数量，若在外部时钟信号电平发生变化时检测到此类连续采样，才会将此电平变化视为有效电平切换。必须存在内部时钟源才能使用此功能

00：任何外部时钟信号电平变化均视为有效切换

01：外部时钟信号电平变化必须至少稳定 2 个时钟周期，才能将其视为有效切换。

10：外部时钟信号电平变化必须至少稳定 4 个时钟周期，才能将其视为有效切换。

11：外部时钟信号电平变化必须至少稳定 8 个时钟周期，才能将其视为有效切换。

位 2:1 **CKPOL[1:0]**：时钟极性 (Clock Polarity)

如果 LPTIM 由外部时钟源提供时钟：

当 LPTIM 由外部时钟源提供时钟时，CKPOL 位用于配置计数所使用的有效边沿：

00：上升沿为用于计数的有效边沿。

如果将 LPTIM 配置为编码器模式（ENC 位置 1），则编码器子模式 1 激活。

01：下降沿为用于计数的有效边沿

如果将 LPTIM 配置为编码器模式（ENC 位置 2），则编码器子模式 1 激活。

10：上升沿和下降沿均为有效边沿。当外部时钟信号的上升沿和下降沿均视为有效边沿时，LPTIM 还必须由内部时钟源提供时钟，且内部时钟源频率至少等于外部时钟频率的四倍。

如果将 LPTIM 配置为编码器模式（ENC 位置 3），则编码器子模式 1 激活。

11：不允许

有关编码器模式子模式的更多详细信息，请参见*第 25.4.15 节：编码器模式*。

位 0 **CKSEL**：时钟选择器 (Clock selector)

CKSEL 位选择 LPTIM 将使用的时钟源：

0：LPTIM 由内部时钟源（APB 时钟或任意内置振荡器）提供时钟

1：LPTIM 由外部时钟源通过 LPTIM 外部 Input1 提供时钟

注意： 必须在 LPTIM 已禁止时（ENABLE 位复位为 0）才能修改 LPTIM_CFGR 寄存器。

25.7.5 LPTIM 控制寄存器 (LPTIM_CR)

LPTIM control register

偏移地址：0x010

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSTARE	COUNTRST	CNTSTRT	SNGSTRT	ENABLE
											rw	rs	rw	rw	rw

位 31:5 保留，必须保持复位值。

位 4 **RSTARE**：读操作后复位使能 (Reset after read enable)

此位由软件置 1 和清零。当 RSTARE 置 1 时，对 LPTIM_CNT 寄存器的任何读取访问都将异步复位 LPTIM_CNT 寄存器的内容。

位 3 **COUNTRST**：计数器复位 (Counter reset)

此位通过软件置 1，通过硬件清零。当设置为 1 时，该位将触发 LPTIM_CNT 计数器寄存器的同步复位。由于该复位的同步性质，它仅在 3 个 LPTimer 内核时钟周期（LPTimer 内核时钟可能不同于 APB 时钟）的同步延迟之后发生。

注意： COUNTRST 在已由硬件清零之前，不得由软件置“1”。因此，软件应在尝试将 COUNTRST 位置“1”之前检查其是否已清零。

位 2 **CNTSTRT**：定时器以连续模式启动 (Timer start in Continuous mode)

此位通过软件置 1，通过硬件清零。

若通过软件启动（TRIGEN[1:0] =“00”），将此位置 1 会使 LPTIM 以连续模式启动。

如果禁止软件启动（TRIGEN[1:0] 不等于“00”），将此位置 1 会使定时器在检测到外部触发信号后立即以连续模式启动。

如果在进行单脉冲模式计数时将此位置 1，则在 LPTIM_ARR 寄存器和 LPTIM_CNT 寄存器下一次匹配时定时器不会停止，LPTIM 计数器将继续以连续模式计数。

只有在使能 LPTIM 时才能将此位置 1。此位由硬件自动复位。

位 1 **SNGSTRT**：LPTIM 以单脉冲模式启动 (LPTIM start in Single mode)

此位通过软件置 1，通过硬件清零。

若通过软件启动（TRIGEN[1:0] =“00”），将此位置 1 会使 LPTIM 以单脉冲模式启动。

如果禁止软件启动（TRIGEN[1:0] 不等于“00”），将此位置 1 会使 LPTIM 在检测到外部触发信号后立即以单脉冲模式启动。

如果在 LPTIM 处于连续计数模式时将此位置 1，LPTIM 将在 LPTIM_ARR 寄存器和 LPTIM_CNT 寄存器下一次匹配时停止。

只有在使能 LPTIM 时才能将此位置 1。此位由硬件自动复位。

位 0 **ENABLE**：LPTIM 使能 (LPTIM enable)

ENABLE 位由软件置 1 和清零。

0：禁止 LPTIM

1：使能 LPTIM

25.7.6 LPTIM 比较寄存器 (LPTIM_CMP)

LPTIM compare register

偏移地址：0x014

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **CMP[15:0]**：比较值 (Compare value)

CMP 为 LPTIM 所使用的比较值。

注意： 必须在 LPTIM 已使能时（ENABLE 位置 1）才能修改 LPTIM_CMP 寄存器。

25.7.7 LPTIM 自动重载寄存器 (LPTIM_ARR)

LPTIM autoreload register

偏移地址：0x018

复位值：0x0000 0001

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **ARR[15:0]**：自动重载值 (Auto reload value)

ARR 为 LPTIM 的自动重载值。

此值必须严格大于 CMP[15:0] 的值。

注意： 必须在 LPTIM 已使能时（ENABLE 位置 1）才能修改 LPTIM_ARR 寄存器。

25.7.8 LPTIM 计数器寄存器 (LPTIM_CNT)

LPTIM counter register

偏移地址：0x01C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:0 **CNT[15:0]**：计数器值 (Counter value)

当 LPTIM 通过异步时钟运行时，读取 LPTIM_CNT 寄存器会返回不可靠的值。因此在这种情况下，必须连续执行读访问两次，并验证两次返回的值是否相同。

应注意的是，为了实现可靠的 LPTIM_CNT 寄存器读访问，必须执行两次连续的读访问并进行比较。当两次连续读访问的值相等时，可认为读访问可靠。

25.7.9 LPTIM 配置寄存器 2 (LPTIM_CFGR2)

LPTIM configuration register 2

偏移地址：0x024

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IN2SEL[1:0]		Res.	Res.	IN1SEL[1:0]	
										rw	rw			rw	rw

位 31:6 保留，必须保持复位值。

位 5:4 **IN2SEL[1:0]**：LPTIM 输入 2 选择 (LPTIM input 2 selection)

IN2SEL 位控制 LPTIM 输入 2 多路复用器，它将 LPTIM 输入 2 连接至其中一个可用输入。

00：lptim_in2_mux0

01：lptim_in2_mux1

10：lptim_in2_mux2

11：lptim_in2_mux3

有关连接详细信息，请参见*第 25.4.3 节：LPTIM 输入和触发映射*。

注： 如果 LPTIM 不支持编码器模式功能，则保留这些位。请参见第 25.3 节：LPTIM 实现。

位 3:2 保留，必须保持复位值。

位 1:0 **IN1SEL[1:0]**：LPTIM 输入 1 选择 (LPTIM input 1 selection)

IN1SEL 位控制 LPTIM 输入 1 多路复用器，它将 LPTIM 输入 1 连接至其中一个可用输入。

00：lptim_in1_mux0

01：lptim_in1_mux1

10：lptim_in1_mux2

11：lptim_in1_mux3

有关连接详细信息，请参见*第 25.4.3 节：LPTIM 输入和触发映射*。

注意： 必须在 LPTIM 已禁止时（ENABLE 位复位为 0）才能修改 LPTIM_CFGR2 寄存器。

25.7.10 LPTIM 寄存器映射

下表对 LPTIM 寄存器进行了汇总。

表 133. LPTIM 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	LPTIM_ISR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWN(1)	UP(1)	ARROK	CMPOK	EXTTRIG	ARRM	CMPM
	Reset value																										0	0	0	0	0	0	0
0x004	LPTIM_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNCF(1)	UPCF(1)	ARROKCF	CMPOKCF	EXTTRIGCF	ARRMCF	CMPMCF
	Reset value																										0	0	0	0	0	0	0
0x008	LPTIM_IER	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DOWNIE(1)	UPIE(1)	ARROKIE	CMPOKIE	EXTTRIGIE	ARRMIE	CMPMIE
	Reset value																										0	0	0	0	0	0	0
0x00C	LPTIM_CFGR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ENC(1)	COUNTMODE	PRELOAD	WAVEPOL	WAVE	TIMOUT	TRIGEN		Res.	TRIGSEL[2:0]			Res.	PRESC			Res.	TRGFLT		Res.	CKFLT		CKPOL		CKSEL
	Reset value								0	0	0	0	0	0	0	0		0	0	0		0	0	0		0	0		0	0	0	0	0
0x010	LPTIM_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RSTARE	COUNTRST	CNTSTRT	SNGSTRT	ENABLE
	Reset value																												0	0	0	0	0
0x014	LPTIM_CMP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CMP[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	LPTIM_ARR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ARR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x01C	LPTIM_CNT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CNT[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
0x024	LPTIM_CFGR2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	IN2SEL[1:0](1)		Res.	Res.	IN1SEL[1:0]	
	Reset value																											0	0			0	0

1. 如果 LPTIM 不支持编码器模式功能，则保留此位。请参见*第 25.3 节：LPTIM 实现*。

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

26 红外接口 (IRTIM)

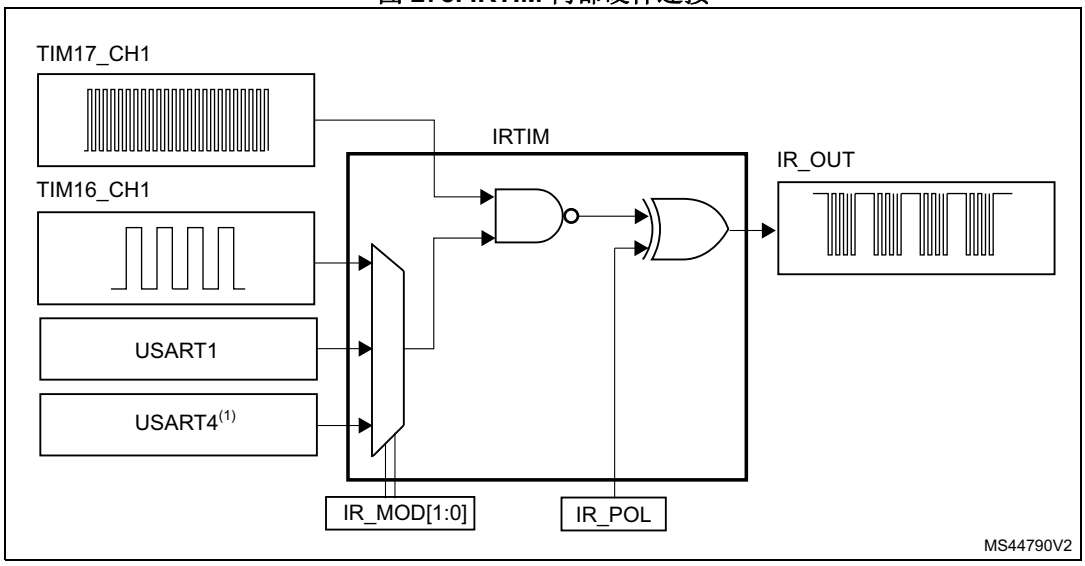
器件具有用于遥控的红外接口 (IRTIM)。此接口与红外 LED 一起用于实现遥控功能。

此接口内部连接到 USART1、USART4（位于 STM32G071xx 和 STM32G081xx 上）或 USART2（STM32G031xx 和 STM32G041xx）、TIM16 和 TIM17，如*图 278* 所示。

要生成红外遥控信号，必须使能 IR 接口并正确配置 TIM16 通道 1 (TIM16_OC1) 和 TIM17 通道 1 (TIM17_OC1)，以生成正确波形。

通过基本输入捕获模式可以轻松实现红外接收器。

图 278. IRTIM 内部硬件连接



3. STM32G071xx 和 STM32G081xx 上提供 USART4，STM32G031xx 和 STM32G041xx 上提供 USART2。

所有标准 IR 脉冲调制模式都可通过编程两个定时器输出比较通道获得。

TIM17 用于生成高频载波信号，而 TIM16（或者 USART1 或 USART4）生成调制包络，具体需遵循 SYSCFG_CFGR1 寄存器中 IR_MOD[1:0] 位的设置。

IRTIM 输出信号的极性由 SYSCFG_CFGR1 寄存器中的 IR_POL 位控制，可以通过将此位置 1 来反相。

在 IR_OUT 引脚上输出红外功能。通过 GPIOx_AFRx 寄存器使能相关复用功能位来激活此功能。

高灌电流 LED 驱动能力（仅在 PB9 引脚上可用）可以通过 SYSCFG_CFGR1 寄存器中的 I2C_PB9_FMP 位激活，并用于吸收直接控制红外 LED 所需的高电流。

27 独立看门狗 (IWDG)

27.1 简介

此器件具有一个嵌入式看门狗外设，具有安全性高、定时准确及使用灵活的优点。此独立看门狗外设可检测并解决由软件错误导致的故障，并在计数器达到给定的超时值时触发系统复位。

独立看门狗 (IWDG) 由其专用低速时钟 (LSI) 驱动，因此即便在主时钟发生故障时仍然保持工作状态。

IWDG 最适合应用于需要看门狗作为一个在主程序之外，能够完全独立工作，并且对时间精度要求较低的应用。有关窗口看门狗的详细信息，请参见*第 773 页的第 28 节*。

27.2 IWDG 主要特性

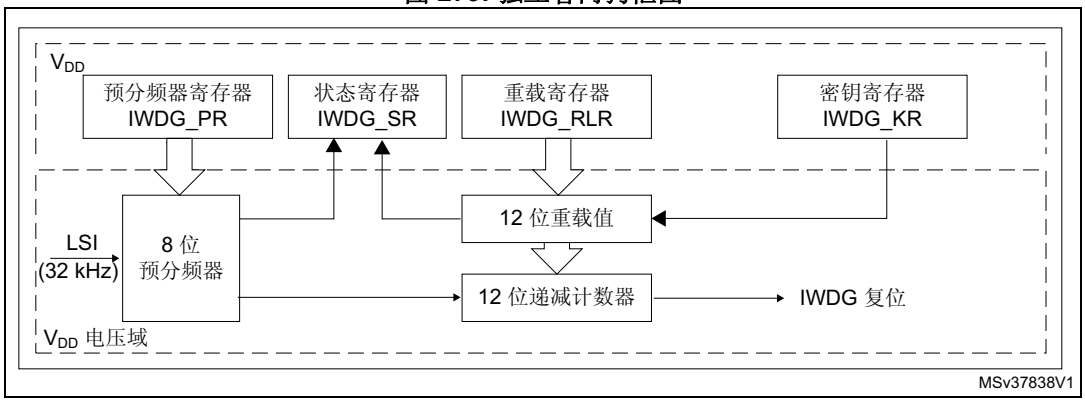
- 自由运行递减计数器
- 时钟由独立 RC 振荡器提供（可在待机和停止模式下运行）
- 复位条件
  - 当递减计数器值小于 0x000 时复位（如果看门狗已激活）
  - 在窗口之外重载递减计数器时复位（如果看门狗已激活）

27.3 IWDG 功能说明

27.3.1 IWDG 框图

图 279 给出了独立看门狗模块的功能框图。

图 279. 独立看门狗框图



1. 寄存器接口位于 V_{DD} 电压域中。看门狗功能位于 V_{DD} 电压域，在停止模式和待机模式下仍能工作。

通过向 *IWDG 键值寄存器 (IWDG_KR)* 中写入值 0x0000 CCCC 来启动独立看门狗时，计数器开始从复位值 0xFFF 递减计数。当计数器计数到终值 (0x000) 时会产生一个复位信号（IWDG 复位）。

任何时候将键值 0x0000 AAAA 写到 *IWDG 键值寄存器 (IWDG_KR)* 中，IWDG_RLR 的值就会被重载到计数器，从而避免产生看门狗复位。

一旦运行，IWDG 便无法停止。

27.3.2 窗口选项

通过在 *IWDG 窗口寄存器 (IWDG_WINR)* 中设置合适的窗口，IWDG 也可以用作窗口看门狗。

当计数器值大于 *IWDG 窗口寄存器 (IWDG_WINR)* 中存储的值时，如果执行重载操作，则会产生复位。

IWDG 窗口寄存器 (IWDG_WINR) 的默认值为 0x0000 0FFF，因此，如果不更新此默认值，将禁止窗口选项。

窗口值一经更改，便执行重载操作，以便将递减计数器复位为 *IWDG 重载寄存器 (IWDG_RLR)* 值，并方便计算周期数以生成下一次重载。

使能窗口选项时配置 IWDG

1. 通过在 *IWDG 键值寄存器 (IWDG_KR)* 中写入 0x0000 CCCC 来使能 IWDG。
2. 通过在 *IWDG 键值寄存器 (IWDG_KR)* 中写入 0x0000 5555 来使能寄存器访问。
3. 通过将 *IWDG 预分频器寄存器 (IWDG_PR)* 编程为 0~7 中的数值来配置 IWDG 预分频器。
4. 对 *IWDG 重载寄存器 (IWDG_RLR)* 进行写操作。
5. 等待寄存器更新 (IWDG_SR = 0x0000 0000)。
6. 对 *IWDG 窗口寄存器 (IWDG_WINR)* 进行写操作。这会自动刷新 *IWDG 重载寄存器 (IWDG_RLR)* 中的计数器值。

注： *当 IWDG 状态寄存器 (IWDG_SR) 设置为 0x0000 0000 时，写入窗口值允许刷新计数器值为 RLR 的值。*

禁止窗口选项时配置 IWDG

不使用窗口选项时，可按以下步骤配置 IWDG：

1. 通过在 *IWDG 键值寄存器 (IWDG_KR)* 中写入 0x0000 CCCC 来使能 IWDG。
2. 通过在 *IWDG 键值寄存器 (IWDG_KR)* 中写入 0x0000 5555 来使能寄存器访问。
3. 通过将 *IWDG 预分频器寄存器 (IWDG_PR)* 编程为 0~7 中的数值来配置预分频器。
4. 对 *IWDG 重载寄存器 (IWDG_RLR)* 进行写操作。
5. 等待寄存器更新 (IWDG_SR = 0x0000 0000)。
6. 刷新计数器值为 IWDG_RLR 的值 (IWDG_KR = 0x0000 AAAA)。

27.3.3 硬件看门狗

如果通过器件选项位使能“硬件看门狗”功能，上电时将自动使能看门狗；如果在计数器计数结束前，若软件没有向 *IWDG 键值寄存器 (IWDG_KR)* 写入相应的值，或者在窗口内部重载了递减计数器，则系统会产生复位。

27.3.4 寄存器访问保护

IWDG 预分频器寄存器 (IWDG_PR)、*IWDG 重载寄存器 (IWDG_RLR)* 和 *IWDG 窗口寄存器 (IWDG_WINR)* 具有写访问保护。若要对其进行修改，用户必须首先对 *IWDG 键值寄存器 (IWDG_KR)* 写入代码 0x0000 5555。而写入其他值则会破坏该序列，从而使寄存器访问保护再次生效。这表示重载操作（即写入 0x0000 AAAA）也会启动写保护功能。

状态寄存器指示预分频值、递减计数器重载值或窗口值是否正在被更新。

27.3.5 调试模式

当器件进入调试模式时（内核停止），IWDG 计数器会根据 DBGMCU 冻结寄存器中相应位的配置选择继续正常工作或者停止工作。

27.4 IWDG 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

外设寄存器可支持半字（16 位）或字（32 位）访问。

27.4.1 IWDG 键值寄存器 (IWDG_KR)

IWDG key register

偏移地址：0x00

复位值：0x0000 0000（待机模式时复位）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY[15:0]															
w	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31:16 保留，必须保持复位值。

位 15:0 **KEY[15:0]**：键值 (Key value)（只能写，读为 0x0000）

必须每隔一段时间便通过软件对这些位写入键值 0xAAAA，否则当计数器计数到 0 时，看门狗会产生复位。

写入键值 0x5555 可使能对 IWDG_PR、IWDG_RLR 和 IWDG_WINR 寄存器的访问（请参见*第 27.3.4 节：寄存器访问保护*）

写入键值 0xCCCC 可启动看门狗（选中硬件看门狗选项的情况除外）

27.4.2 IWDG 预分频器寄存器 (IWDG_PR)

IWDG prescaler register

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
													rw	rw	rw

位 31:3 保留，必须保持复位值。

位 2:0 **PR[2:0]**：预分频系数 (Prescaler divider)

这些位受写访问保护，请参见*第 27.3.4 节：寄存器访问保护*。通过软件设置这些位来选择计数器时钟的预分频因子。若要更改预分频器的分频系数，*IWDG 状态寄存器 (IWDG_SR)* 的 PVU 位必须为 0。

000：4 分频
001：8 分频
010：16 分频
011：32 分频
100：64 分频
101：128 分频
110：256 分频
111：256 分频

注： *读取该寄存器会返回 V_{DD} 电压域的预分频器值。如果正在对该寄存器执行写操作，则读取的值可能不是最新的/有效的。因此，只有在 IWDG 状态寄存器 (IWDG_SR) 中的 PVU 位为 0 时，从寄存器读取的值才有效。*

27.4.3 IWDG 重载寄存器 (IWDG_RLR)

IWDG reload register

偏移地址：0x08

复位值：0x0000 0FFF（待机模式时复位）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	RL[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:0 **RL[11:0]**：看门狗计数器重载值 (Watchdog counter reload value)

这些位受写访问保护，请参见*寄存器访问保护*。这个值由软件设置，每次对 *IWDG 键值寄存器 (IWDG_KR)* 写入值 0xAAAA 时，这个值就会重装载到看门狗计数器中。之后，看门狗计数器便从该装载的值开始递减计数。超时周期由该值和时钟预分频器共同决定。有关超时信息，请参见数据手册。

若要更改重载值，*IWDG 状态寄存器 (IWDG_SR)* 中的 RVU 位必须为 0。

注： *读取该寄存器会返回 V_{DD} 电压域的重载值。如果正在对该寄存器执行写操作，则读取的值可能不是最新的/有效的。因此，只有在 IWDG 状态寄存器 (IWDG_SR) 中的 RVU 位为 0 时，从寄存器读取的值才有效。*

27.4.4 IWDG 状态寄存器 (IWDG_SR)

IWDG status register

偏移地址：0x0C

复位值：0x0000 0000（待机模式时不复位）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WVU	RVU	PVU
													r	r	r

位 31:3 保留，必须保持复位值。

位 2 **WVU**：看门狗计数器窗口值更新 (Watchdog counter window value update)
可通过硬件将该位置 1 以指示窗口值正在更新。当在 V_{DD} 电压域下完成重载值更新操作后（需要多达 5 个 LSI 周期），会通过硬件将此位复位。
窗口值只有在 WVU 位为 0 时才可更新。
此位只有在通用“窗口”= 1 时才生成。

位 1 **RVU**：看门狗计数器重载值更新 (Watchdog counter reload value update)
可通过硬件将该位置 1 以指示重载值正在更新。当在 V_{DD} 电压域下完成重载值更新操作后（需要多达 5 个 LSI 周期），会通过硬件将此位复位。
重载值只有在 RVU 位为 0 时才可更新。

位 0 **PVU**：看门狗预分频器值更新 (Watchdog prescaler value update)
可通过硬件将该位置 1 以指示预分频器值正在更新。当在 V_{DD} 电压域下完成预分频器值更新操作后（需要多达 5 个 LSI 周期），会通过硬件将此位复位。
预分频器值只有在 PVU 位为 0 时才可更新。

注： *如果应用使用多个重载值、预分频器值或窗口值，则必须等到 RVU 位被复位后才能更改重载值，等到 PVU 位被复位后才能更改预分频器值，而且必须等到 WVU 位被复位后才能更改窗口值。但是，在更新预分频器和/或重载/窗口值之后，则无需等到 RVU、PVU 或 WVU 复位后再继续执行代码（进入低功耗模式时除外）。*

27.4.5 IWDG 窗口寄存器 (IWDG_WINR)

IWDG window register

偏移地址：0x10

复位值：0x0000 0FFF（待机模式时复位）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	WIN[11:0]											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:12 保留，必须保持复位值。

位 11:0 **WIN[11:0]**：看门狗计数器窗口值 (Watchdog counter window value)
这些位受写访问保护，请参见*第 27.3.4 节*，它们包含用于与递减计数器进行比较的窗口值上限。
为防止发生复位，当递减计数器的值低于窗口寄存器值且大于 0x0 时必须重载。
若要更改重载值，*IWDG 状态寄存器 (IWDG_SR)* 中的 WVU 位必须为 0。

注： *读取该寄存器会返回 V_{DD} 电压域的重载值。如果正在对该寄存器执行写操作，则读取的值可能无效。因此，只有在 IWDG 状态寄存器 (IWDG_SR) 中的 WVU 位为 0 时，从寄存器读取的值才有效。*

27.4.6 IWDG 寄存器映射

下表提供了 IWDG 寄存器映射和复位值。

表 134. IWDG 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**IWDG_KR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**IWDG_PR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PR[2:0]		
	Reset value																														0	0	0
0x08	**IWDG_RLR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RL[11:0]											
	Reset value																					1	1	1	1	1	1	1	1	1	1	1	1
0x0C	**IWDG_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WVU	RVU	PVU
	Reset value																														0	0	0
0x10	**IWDG_WINR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WIN[11:0]											
	Reset value																					1	1	1	1	1	1	1	1	1	1	1	1

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

28 系统窗口看门狗 (WWDG)

28.1 简介

系统窗口看门狗 (WWDG) 通常被用来监测由外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行序列而产生的软件故障。除非程序在 T6 位变成 0 前刷新递减计数器的值，否则看门狗电路在达到预置的时间周期时，会产生一个 MCU 复位。如果在递减计数器达到窗口寄存器值之前刷新控制寄存器中的 7 位递减计数器值，也会产生 MCU 复位。这意味着必须在限定的时间窗口内刷新计数器。

WWDG 时钟由 APB 时钟经预分频后提供，通过可配置的时间窗口来检测应用程序非正常的过迟或过早的操作。

WWDG 最适合那些要求看门狗在精确计时窗口起作用的应用程序。

28.2 WWDG 主要特性

- 可编程的自由运行递减计数器
- 复位条件
  - 当递减计数器值小于 0x40 时复位（如果看门狗已激活）
  - 在窗口之外重载递减计数器时复位（如果看门狗已激活）（请参见*图 281*）
- 提前唤醒中断 (EWI)：当递减计数器等于 0x40 时触发（如果已使能且看门狗已激活）

28.3 WWDG 功能说明

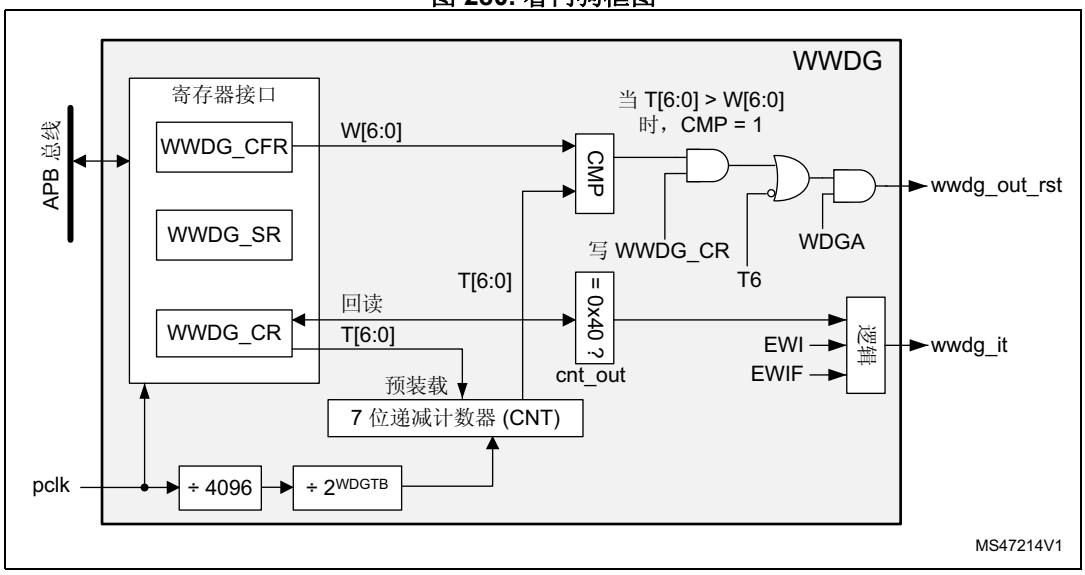
如果激活看门狗（WWDG_CR 寄存器中的 WDGA 位置 1），则当 7 位递减计数器（T[6:0] 位）从 0x40 递减到 0x3F（T6 已清零）时会引发复位。当计数器值大于窗口寄存器中所存储的值时，如果软件重载计数器，则会产生复位。

应用程序在正常运行过程中必须定期地写入 WWDG_CR 寄存器以防止 MCU 发生复位。只有当计数器值低于窗口寄存器值且高于 0x3F 时，才能执行此操作。要存储到 WWDG_CR 寄存器中的值必须介于 0xFF 和 0xC0 之间。

请参见*图 280* 了解 WWDG 框图。

28.3.1 WWDG 框图

图 280. 看门狗框图



28.3.2 使能看门狗

当用户选项 WWDG_SW 选择“软件窗口看门狗”时，看门狗在复位后总处于关闭状态。可通过设置 WWDG_CR 寄存器中的 WDGA 位来使能看门狗，之后除非执行复位操作，否则不能再次关闭。

当用户选项 WWDG_SW 选择“硬件窗口看门狗”时，看门狗在复位后始终使能，无法禁止。

28.3.3 控制递减计数器

递减计数器处于自由运行状态，即使禁止看门狗，递减计数器仍继续递减计数。当使能看门狗时，必须将 T6 位置 1，以防止立即复位。

T[5:0] 位包含了看门狗产生复位之前的计时数目； 复位前的延时时间在一个最小值和一个最大值之间变化，这是因为写入 WWDG_CR 寄存器时，预分频器的状态是未知的（请参见*图 281*）。配置寄存器 (WWDG_CFR) 包含窗口的上限：*图 281* 为防止发生复位，当递减计数器的值低于窗口寄存器值且大于 0x3F 时必须重载。介绍了窗口看门狗的工作过程。

注： *可使用 T6 位产生软件复位（将 WDGA 位置 1 并将 T6 位清零）。*

28.3.4 看门狗中断高级特性

如果在产生实际复位之前必须执行特定的安全操作或数据记录，则可使用提前唤醒中断 (EWI)。通过设置 WWDG_CFR 寄存器中的 EWI 位使能 EWI 中断。当递减计数器的值为 0x40 时，将生成 EWI 中断。在复位器件之前，可以使用相应的中断服务程序 (ISR) 来触发特定操作（例如通信或数据记录）。

在某些应用中，可以使用 EWI 中断来管理软件系统检查和/或系统恢复/功能退化，而不会生成 WWDG 复位。在这种情况下，相应的中断服务程序 (ISR) 可用来重载 WWDG 计数器以避免 WWDG 复位，然后再触发所需操作。

通过将 0 写入 WWDG_SR 寄存器中的 EWIF 位来清除 EWI 中断。

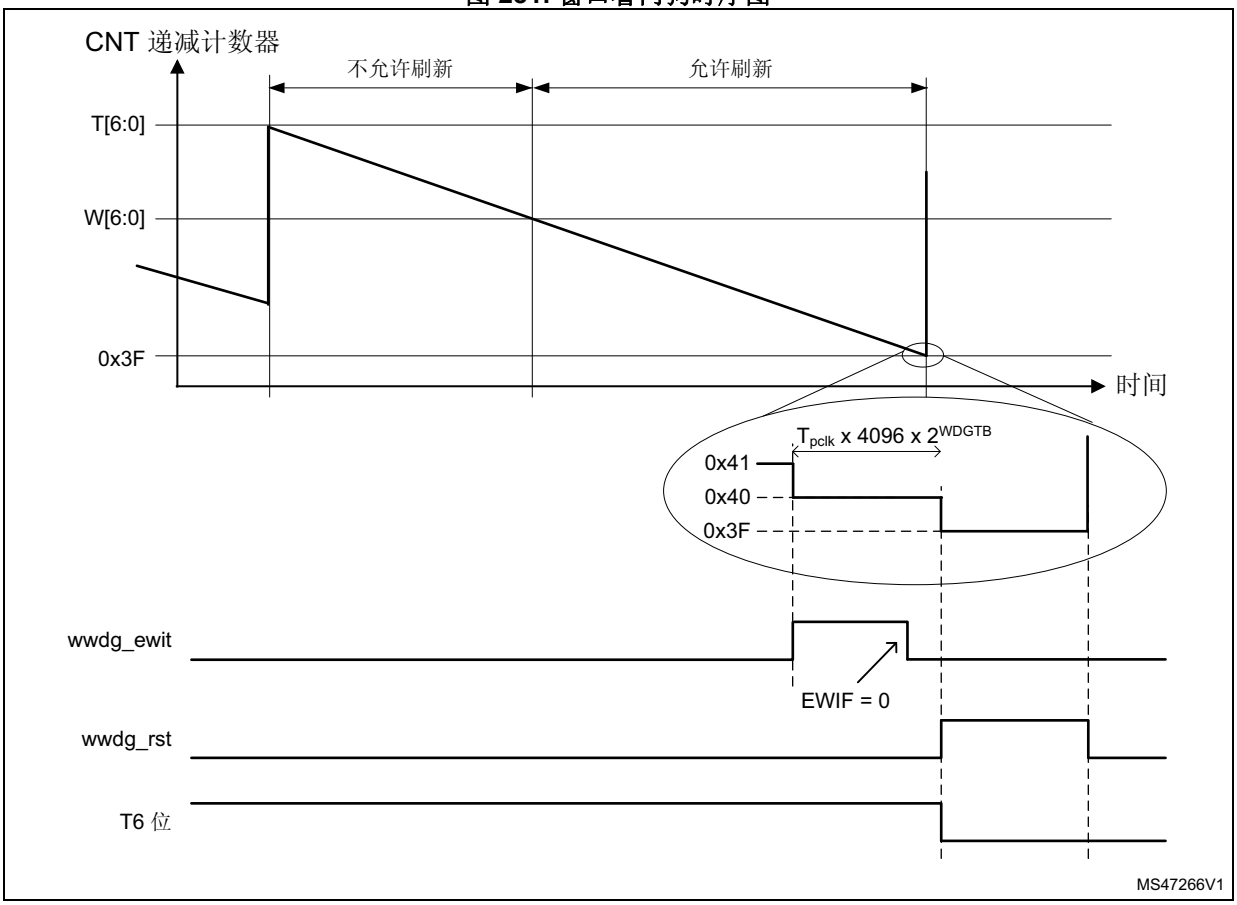
注： *当由于在更高优先级任务中有系统锁定而无法使用 EWI 中断时，最终会产生 WWDG 复位。*

28.3.5 如何设置看门狗超时

使用*图 281* 中的公式来计算 WWDG 超时。

警告： **写入 WWDG_CR 寄存器时，始终将 1 写入 T6 位，以避免生成立即复位。**

图 281. 窗口看门狗时序图



超时值的计算公式如下：

$$t_{WWDG} = t_{PCLK} \times 4096 \times 2^{WDGTB[1:0]} \times (T[5:0] + 1) \quad (ms)$$

其中：

t_{WWDG}：WWDG 超时

t_{PCLK}：APB 时钟周期，以 ms 为测量单位

4096：对应于内部分频器的值

例如，假设 APB 频率等于 48 MHz，将 WDGTB[1:0] 设置为 3 并将 T[5:0] 设置为 63：

$$t_{WWDG} = (1/48000) \times 4096 \times 2^{3} \times (63 + 1) = 43.69ms$$

有关 t_{WWDG} 的最小值和最大值，请参见数据手册。

28.3.6 调试模式

当器件进入调试模式时（处理器停止），WWDG 计数器会根据 DBG 模块中的配置位选择继续正常工作或者停止工作。有关详细信息，请参见*第 37 节：调试支持 (DBG)*。

28.4 WWDG 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

外设寄存器可支持半字（16 位）或字（32 位）访问。

28.4.1 控制寄存器 (WWDG_CR)

Control register

偏移地址：0x000

复位值：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
								rs	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7 **WDGA**：激活位 (Activation bit)
此位由软件置 1，只有复位后才由硬件清零。当 WDGA = 1 时，看门狗可产生复位。
0：禁止看门狗
1：使能看门狗

位 6:0 **T[6:0]**：7 位计数器（MSB 到 LSB）
这些位用来存储看门狗计数器的值，每隔 (4096 x $2^{WDGTB[1:0]}$) PCLK 个周期递减一次。当它从 0x40 递减到 0x3F（T6 清零）时会产生复位。

28.4.2 配置寄存器 (WWDG_CFR)

Configuration register

偏移地址：0x004

复位值：0x0000 007F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	WDGTB[2:0]			Res.	EWI	Res.	Res.	W[6:0]						
		rw	rw	rw		rs			rw	rw	rw	rw	rw	rw	rw

位 31:14 保留，必须保持复位值。

位 13:11 **WDGTB[2:0]**：定时器时基 (Timer base)
可按如下方式修改预分频器的时基：
000：CK 计数器时钟 (PCLK div 4096) 分频器 1
001：CK 计数器时钟 (PCLK div 4096) 分频器 2
010：CK 计数器时钟 (PCLK div 4096) 分频器 4
011：CK 计数器时钟 (PCLK div 4096) 分频器 8
100：CK 计数器时钟 (PCLK div 4096) 分频器 16
101：CK 计数器时钟 (PCLK div 4096) 分频器 32
110：CK 计数器时钟 (PCLK div 4096) 分频器 64
111：CK 计数器时钟 (PCLK div 4096) 分频器 128

位 10 保留，必须保持复位值。

位 9 **EWI**：提前唤醒中断 (Early wakeup interrupt)
置 1 后，只要计数器值达到 0x40 就会产生中断。此中断只有在复位后才由硬件清零。

位 8:7 保留，必须保持复位值。

位 6:0 **W[6:0]**：7 位窗口值 (7-bit window value)
这些位包含用于与递减计数器进行比较的窗口值。

28.4.3 状态寄存器 (WWDG_SR)

Status register

偏移地址：0x008

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
															rc_w0

位 31:1 保留，必须保持复位值。

位 0 **EWIF**：提前唤醒中断标志 (Early wakeup interrupt flag)

当计数器值达到 0x40 时此位由硬件置 1。它必须由软件通过写入 0 来清零。写入 1 不起作用。如果不使能中断，此位也会被置 1。

28.4.4 WWDG 寄存器映射

下表提供了 WWDG 寄存器映射和复位值。

表 135. WWDG 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	**WWDG_CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGA	T[6:0]						
	Reset value																									0	1	1	1	1	1	1	1
0x004	**WWDG_CFR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDGTB [2:0]			Res.	EWI	Res.	Res.	W[6:0]							
	Reset value																		0	0	0		0			1	1	1	1	1	1	1
0x008	**WWDG_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	EWIF
	Reset value																																0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

29 实时时钟 (RTC)

29.1 简介

实时时钟 (RTC) 提供用于管理所有低功耗模式的自动唤醒单元。

实时时钟 (RTC) 是一个独立的 BCD 定时器/计数器。RTC 提供具有可编程闹钟中断功能的日历时钟/日历。

无论器件状态如何（运行模式、低功耗模式或处于复位状态），只要电源电压保持在工作范围内，RTC 便不会停止工作。

RTC 可在 V_{BAT} 模式下工作。

29.2 RTC 主要特性

RTC 支持以下特性（请参见*图 282：RTC 框图*）：

- 日历具有亚秒、秒、分、小时（12 或 24 格式）、星期几、日、月、年，格式为 BCD（二进码十进数）。
- 自动调整每月是 28、29（闰年）、30 还是 31 天。
- 两个可编程闹钟。
- 可运行时纠正 1 到 32767 个 RTC 时钟脉冲。这可用于与主时钟同步。
- 参考时钟检测：可使用更加精确的第二时钟源（50 或 60 Hz）来提高日历的精确度。
- 数字校准电路具有 0.95 ppm 的分辨率，以补偿石英晶振的误差。
- 时间戳特性可用于保存日历内容。此功能可由时间戳引脚上的事件触发，或由入侵事件触发，也可由切换到 V_{BAT} 模式的事件触发。
- 用于周期性事件的 17 位自动重载唤醒定时器 (WUT)，具有可编程分辨率和周期。

RTC 通过开关切换供电，当 V_{DD} 电源存在时，该开关选择 V_{DD} 供电，否则选择由 V_{BAT} 引脚供电。

RTC时钟源可为：

- 32.768 kHz 的外部晶振 (LSE)。
- 外部谐振器或振荡器 (LSE)。
- 内部低功耗 RC 振荡器（LSI，典型频率为 32 kHz）。
- 高速外部时钟 (HSE)，由 RCC 中的预分频比分频。

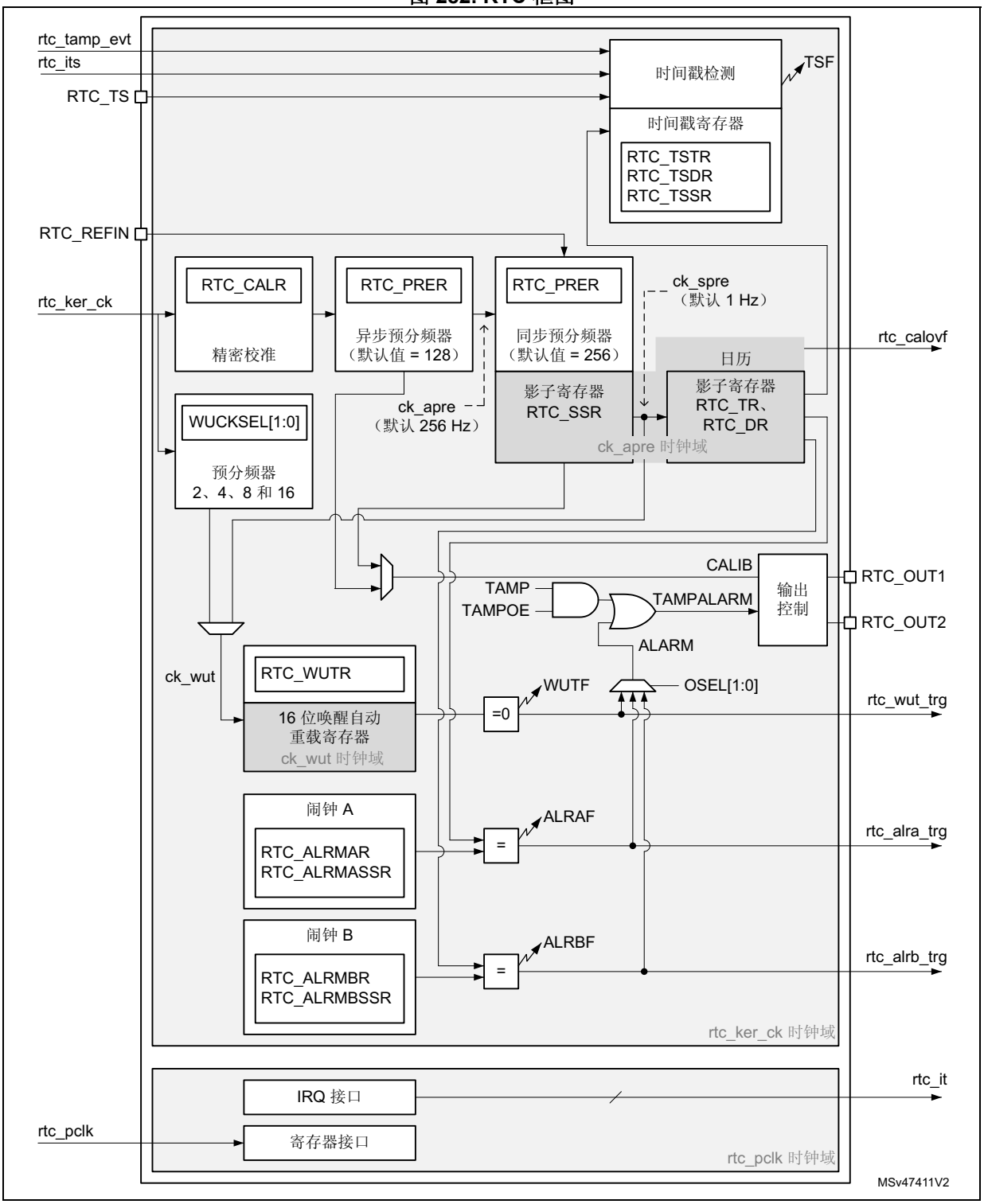
由 LSE 提供时钟时，RTC 可在 V_{BAT} 模式下和所有低功耗模式工作。当由 LSI 提供时钟时，RTC 无法在 V_{BAT} 模式下工作，但可在关断模式以外的所有低功耗模式下工作。

所有 RTC 事件（闹钟、唤醒定时器和时间戳）都可以产生中断以及将器件从低功耗模式唤醒。

29.3 RTC 功能说明

29.3.1 RTC 框图

图 282. RTC 框图



29.3.2 RTC 引脚和内部信号

表 136. RTC 输入/输出引脚

引脚名称	信号类型	说明
RTC_TS	输入	RTC 时间戳输入
RTC_REFIN	输入	RTC 50 或 60 Hz 参考时钟输入
RTC_OUT1	输出	RTC 输出 1
RTC_OUT2	输出	RTC 输出 2

- RTC_OUT1 和 RTC_OUT2，可选择以下两个输出之一：
  - CALIB：512 Hz 或 1 Hz 时钟输出（LSE 频率为 32.768 kHz）。可通过将 RTC_CR 寄存器中的 COE 位置 1 来使能此输出。
  - TAMPALRM：此输出是 TAMP 和 ALARM 输出的逻辑或运算结果。

可通过配置 RTC_CR 寄存器中的 OSEL[1:0] 位使能 ALARM，可选择闹钟 A、闹钟 B 或唤醒输出。可通过将 RTC_CR 寄存器中的 TAMPOE 位置 1 使能 TAMP，以选择入侵事件输出。

表 137. RTC 内部输入/输出信号

内部信号名称	信号类型	说明
rtc_ker_ck	输入	RTC 内核时钟，在本文档中也称为 RTCCLK。
rtc_pclk	输入	RTC APB 时钟
rtc_its	输入	RTC 内部时间戳事件
rtc_tamp_evt	输入	在 TAMP 外设中检测到的入侵事件（内部或外部）
rtc_it	输出	RTC 中断（有关详细信息，请参见*第 29.5 节：RTC 中断*）
rtc_alra_trg	输出	RTC 闹钟 A 事件检测触发
rtc_alrb_trg	输出	RTC 闹钟 B 事件检测触发
rtc_wut_trg	输出	RTC 唤醒定时器事件检测触发
rtc_calovf	输出	RTC 日历溢出

RTC 内核时钟通常是 32.768 kHz 的 LSE，但也可以在 RCC 中选择其他时钟源（更多信息请参见 RCC）。当选定的时钟不是 LSE 时，部分功能不适用于某些低功耗模式或 V_{BAT} 模式。有关更多详细信息，请参见*第 29.4 节：RTC 低功耗模式*。

表 138. RTC 互连

信号名称	源/目标
rtc_its	自电源控制器 (PWR)：主电源损耗/切换到 V_{BAT} 检测输出
rtc_tamp_evt	自 TAMP 外设：tamp_evt
rtc_calovf	到 TAMP 外设：tamp_itamp5

触发输出可用作其他外设的触发信号。

29.3.3 RTC 和 TAMP 控制的 GPIO

电池备份域 (V_{BAT}) 中包含的 GPIO 由在这些 I/O 上提供功能的外设直接控制，而不管 GPIO 配置如何。

RTC 和 TAMP 外设均在这些 I/O 上提供功能（请参见*第 30 节：入侵和备份寄存器 (TAMP)*）。

RTC_OUT1、RTC_TS 和 TAMP_IN1 映射到同一引脚 (PC13)。映射在 PC13 上的 RTC 和 TAMP 功能可用于所有低功耗模式和 V_{BAT} 模式。

输出机制遵循*表 139* 中所示的优先级顺序。

表 139. PC13 配置(1)

PC13 引脚功能	OSEL[1:0]（ALARM 输出使能）	TAMPOE（TAMPER 输出使能）	COE（CALIB 输出使能）	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	TAMP1E（TAMP_IN1 输入使能）	TSE（RTC_TS 输入使能）
TAMPALRM 输出推挽	01 或 10 或 11	0	无关	无关	0	0	无关	无关
	00	1						
	01 或 10 或 11	1						

表 139. PC13 配置(1)（续）

PC13 引脚功能		OSEL[1:0]（ALARM 输出使能）	TAMPOE（TAMPER 输出使能）	COE（CALIB 输出使能）	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	TAMP1E（TAMP_IN1 输入使能）	TSE（RTC_TS 输入使能）
TAMPALRM 输出开漏(2)	没有上拉/下拉	01 或 10 或 11	0	无关	无关	1	0	无关	无关
		00	1						
		01 或 10 或 11	1						
	内部上拉	01 或 10 或 11	0	无关	无关	1	1	无关	无关
		00	1						
		01 或 10 或 11	1						
CALIB 输出 PP		00	0	1	0	无关	无关	无关	无关
TAMP_IN1 输入浮空		00	0	0	无关	无关	无关	1	0
		00	0	1	1				
		无关	无关	0					
RTC_TS 和 TAMP_IN1 输入浮空		00	0	0	无关	无关	无关	1	1
		00	0	1	1				
		无关	无关	0					
RTC_TS 输入浮空		00	0	0	无关	无关	无关	0	1
		00	0	1	1				
		无关	无关	0					
唤醒引脚或标准 GPIO		00	0	0	无关	无关	无关	0	0
		00	0	1	1				
		无关	无关	0					

1. OD：开漏；PP：推挽。
2. 在此配置中，GPIO 必须配置为输入。

此外，可借助 OUT2EN 位将 RTC_OUT2 映射到 PA4 引脚上。此输出不适用于 V_{BAT} 模式。将根据 OSEL、COE 和 OUT2EN 的配置将不同功能映射到 RTC_OUT1 或 RTC_OUT2 上，如*表 140* 所示。

对于 PA4，应将 GPIO 配置为复用功能。

表 140. RTC_OUT 映射

OSEL[1:0] 位（ALARM 输出使能）	COE 位（CALIB 输出使能）	OUT2EN 位	RTC_OUT1 映射到 PC13	RTC_OUT2 映射到 PA4
00	0	0	-	-
00	1		CALIB	-
01 或 10 或 11	无关		TAMPALRM	-
00	0	1	-	-
00	1		-	CALIB
01 或 10 或 11	0		-	TAMPALRM
01 或 10 或 11	1		TAMPALRM	CALIB

29.3.4 时钟和预分频器

RTC 时钟源 (RTCCLK) 通过时钟控制器从 LSE 时钟、LSI 振荡器时钟以及 HSE 时钟三者中选择。有关 RTC 时钟源配置的更多信息，请参见*第 5 节：复位和时钟控制 (RCC)*。

可编程的预分频器阶段可生成 1 Hz 的时钟，用于更新日历。为最大程度地降低功耗，预分频器分为 2 个可编程的预分频器（参见*图 282：RTC 框图*）：

- 一个通过 RTC_PRER 寄存器的 PREDIV_A 位配置的 7 位异步预分频器。
- 一个通过 RTC_PRER 寄存器的 PREDIV_S 位配置的 15 位同步预分频器。

注： *使用两个预分频器时，推荐将异步预分频器配置为较高的值，以最大程度降低功耗。*

要使用频率为 32.768 kHz 的 LSE 获得频率为 1 Hz 的内部时钟 (ck_spre)，需要将异步预分频系数设置为 128，并将同步预分频系数设置为 256。

分频系数的最小值为 1，最大值为 2^{22}。

这对应于约为 4 MHz 的最大输入频率。

f_{ck_apre} 可根据以下公式得出：

$$f_{CK\_APRE} = \frac{f_{RTCCLK}}{PREDIV\_A + 1}$$

ck_apre 时钟用于为二进制 RTC_SSR 亚秒递减计数器提供时钟。当该计数器计数到 0 时，会使用 PREDIV_S 的内容重载 RTC_SSR。

f_{ck_spre} 可根据以下公式得出：

$$f_{CK\_SPRE} = \frac{f_{RTCCLK}}{(PREDIV\_S + 1) \times (PREDIV\_A + 1)}$$

ck_spre 时钟既可以用于更新日历，也可以用作 16 位唤醒自动重载定时器的时基。为获得较短的超时周期，还可以将 16 位唤醒自动重载定时器与经可编程的 4 位异步预分频器分频的 RTCCLK 一同运行（有关详细信息，请参见*第 29.3.7 节：周期性自动唤醒*）。

29.3.5 实时时钟和日历

RTC 日历时间和日期寄存器可通过与 PCLK（APB 时钟）同步的影子寄存器来访问。这些时间和日期寄存器也可以直接访问，这样可避免等待同步的持续时间。

- RTC_SSR 对应于亚秒
- RTC_TR 对应于时间
- RTC_DR 对应于日期

每隔一个 RTCCLK 周期，当前日历值将被复制到影子寄存器，同时 RTC_ICSR 寄存器的 RSF 位被置 1（请参见*第 29.6.10 节：RTC 平移控制寄存器 (RTC_SHIFTR)*）。在停机和待机模式下不会执行复制操作。退出这两种模式时，影子寄存器会在最长 4 个 RTCCLK 周期后进行更新。

当应用读取日历寄存器时，它会访问影子寄存器的内容。也可以通过将 RTC_CR 寄存器的 BYPSHAD 控制位置 1 来直接访问日历寄存器。默认情况下，该位被清零，用户访问影子寄存器。

在 BYPSHAD=0 模式下读取 RTC_SSR、RTC_TR 或 RTC_DR 寄存器时，APB 时钟频率 (f_{APB}) 必须至少为 RTC 时钟频率 (f_{RTCCLK}) 的 7 倍。

影子寄存器通过系统复位来复位。

29.3.6 可编程闹钟

RTC 单元提供两个可编程闹钟，即闹钟 A 和闹钟 B。以下说明针对闹钟 A，但同样适用于闹钟 B。

可通过 RTC_CR 寄存器中的 ALRAE 位来使能可编程闹钟功能。

如果日历亚秒、秒、分钟、小时、日期或日与闹钟寄存器 RTC_ALRMASSR 和 RTC_ALRMAR 中编程的值相匹配，则 ALRAF 标志会被置为 1。可通过 RTC_ALRMAR 寄存器的 MSKx 位以及 RTC_ALRMASSR 寄存器的 MASKSSx 位单独选择各日历字段。

可通过 RTC_CR 寄存器中的 ALRAIE 位来使能闹钟中断。

注意： 如果选择秒字段（RTC_ALRMAR 中的 MSK1 位复位），则 RTC_PRER 寄存器中设置的同步预分频器分频系数必须至少为 3，才能确保闹钟正确地运行。

闹钟 A 和闹钟 B（如果已通过 RTC_CR 寄存器中的位 OSEL[0:1] 使能）可连接到 TAMPALRM 输出。可通过 RTC_CR 寄存器的 POL 位配置 TAMPALRM 输出极性。

29.3.7 周期性自动唤醒

周期性唤醒标志由 16 位可编程自动重载递减计数器产生。唤醒定时器范围可扩展至 17 位。

可通过 RTC_CR 寄存器中的 WUTE 位来使能此唤醒功能。

唤醒定时器的时钟输入 ck_wut 可以是：

- 2、4、8 或 16 分频的 RTC 时钟 (RTCCLK)。
  当 RTCCLK 为 LSE (32.768 kHz) 时，可配置的唤醒中断周期介于 122 µs 和 32 s 之间，且分辨率低至 61 µs。
- ck_spre（通常为 1 Hz 内部时钟）
  当 ck_spre 频率为 1 Hz 时，可得到的唤醒时间为 1s 到 36h 左右，分辨率为 1 秒。这一较大的可编程时间范围分为两部分：
  - WUCKSEL [2:1] = 10 时为 1s 到 18h
  - WUCKSEL [2:1] = 11 时约为 18h 到 36h。在后一种情况下，会将 2^{16} 添加到 16 位计数器的当前值。当初始化序列完成之后（请参见*第 787 页的编程唤醒定时器*），定时器开始递减计数。在低功耗模式下使能唤醒功能时，递减计数保持有效。此外，当定时器达到 0 时，RTC_SR 寄存器的 WUTF 标志会置 1，并且唤醒计数器会使用其重载值（RTC_WUTR 寄存器值）自动重载。

之后必须用软件清零 WUTF 标志。

通过将 RTC_CR 寄存器中的 WUTIE 位置 1 来使能周期性唤醒中断时，它会使器件退出低功耗模式。

如果已通过 RTC_CR 寄存器的位 OSEL[1:0] 使能周期性唤醒标志，则该标志可连接到 TAMPALRM 输出。可通过 RTC_CR 寄存器的 POL 位配置 TAMPALRM 输出极性。

系统复位以及低功耗模式（睡眠、停机和待机）对唤醒定时器没有任何影响。

29.3.8 RTC 初始化和配置

RTC 寄存器访问

RTC 寄存器为 32 位寄存器。除了当 BYPSHAD=0 时对日历影子寄存器执行的读访问之外，APB 接口会在访问 RTC 寄存器时引入 2 个等待周期。

RTC 寄存器写保护

系统复位后，可通过电源控制外设中的 DBP 位来保护 RTC 寄存器以防止非正常的写访问（请参见 PWR 电源控制部分）。必须将 DBP 位置 1 才能使能 RTC 寄存器的写访问。

RTC 域复位后，不是所有的 RTC 寄存器均受到写保护。

通过向写保护寄存器 RTC_WPR 写入一个密钥来使能对受保护 RTC 寄存器的写操作。

要解锁受保护 RTC 寄存器的写保护，需要执行以下步骤：

1. 将 0xCA 写入 RTC_WPR 寄存器。
2. 将 0x53 写入 RTC_WPR 寄存器。

写入一个错误的关键字会再次激活写保护。

保护机制不受系统复位影响。

日历初始化和配置

要编程包括时间格式和预分频器配置在内的初始时间和日期日历值，需按照以下顺序操作：

1. 将 RTC_ICSR 寄存器中的 INIT 位置为 1，RTC 进入初始化模式。在此模式下，日历计数器将停止工作并且其值可更新。
2. 轮询 RTC_ICSR 寄存器中的 INITF 位。当 INITF 置 1 时进入初始化模式。大约需要 2 个 RTCCLK 时钟周期（由于时钟同步）。
3. 编程 RTC_PRER 寄存器的两个预分频系数，为日历计数器产生 1 Hz 的时钟。
4. 在影子寄存器（RTC_TR 和 RTC_DR）中加载初始时间和日期值，然后通过 RTC_CR 寄存器中的 FMT 位配置时间格式（12 或 24 小时制）。
5. 通过清零 INIT 位退出初始化模式。随后，自动加载实际日历计数器值，在 4 个 RTCCLK 时钟周期后重新开始计数。

当初始化序列完成之后，日历开始计数。

注： *系统复位后，应用可读取 RTC_ICSR 寄存器中的 INITS 标志，以检查日历是否已初始化。如果该标志为 0，表明自系统复位以来，日历还尚未初始化过，其年份字段一直还保持着 RTC 域复位默认值 (0x00)。*

要在初始化之后读取日历，必须首先用软件检查 RTC_ICSR 寄存器的 RSF 标志是否置 1。

夏令时

可通过 RTC_CR 寄存器的 SUB1H、ADD1H 和 BKP 位管理夏令时。

利用 SUB1H 或 ADD1H，软件只需单次操作便可在日历中减去或增加一个小时，无需执行整个初始化步骤。

此外，软件还可以使用 BKP 位来记录是否曾经执行过此操作。

编程闹钟

要对可编程的闹钟进行编程或更新，必须执行类似的步骤。以下步骤针对闹钟 A，但同样适用于闹钟 B。

1. 将 RTC_CR 中的 ALRAE 位清零以禁止闹钟 A。
2. 编程闹钟 A 寄存器 (RTC_ALRMASSR/RTC_ALRMAR)。
3. 将 RTC_CR 寄存器中的 ALRAE 位置 1 以再次使能闹钟 A。

注： *由于时钟同步缘故，RTC_CR 寄存器的每次更改需要在大约 2 个 RTCCLK 时钟周期后执行。*

编程唤醒定时器

要配置或更改唤醒定时器的自动重载值（RTC_WUTR 中的 WUT[15:0]），需要按照以下顺序操作：

1. 清零 RTC_CR 中的 WUTE 以禁止唤醒定时器。
2. 轮询 RTC_ICSR 中的 WUTWF，直到此位置 1，以确保可以访问唤醒自动重载计数器和 WUCKSEL[2:0] 位。在日历初始化模式下，必须跳过此步骤。大约需要 2 个 RTCCLK 时钟周期（由于时钟同步）。
3. 编程唤醒自动重载值 WUT[15:0]，并选择唤醒时钟（RTC_CR 中的 WUCKSEL[2:0] 位）。将 RTC_CR 寄存器中的 WUTE 位置 1 以再次使能定时器。唤醒定时器重新开始递减计数。由于时钟同步的缘故，在 WUTE 清零后，WUTWF 位也会清零，但需要花费多达 2 个 RTCCLK 时钟周期。

29.3.9 读取日历

当 RTC_CR 寄存器中的 BYPSHAD 控制位清零时

要正确读取 RTC 日历寄存器（RTC_SSR、RTC_TR 和 RTC_DR），APB_1 时钟频率 (f_{PCLK}) 必须等于或大于 RTC 时钟频率 (fRTCCLK) 的七倍。这可以确保同步机制的安全性。

如果 APB1 时钟频率低于 RTC 时钟频率的七倍，则软件必须读取日历时间寄存器和日期寄存器两次。这样，当两次读取的 RTC_TR 结果相同时，才能确保数据正确。否则必须执行第三次读访问。任何情况下，APB1 的时钟频率都不能低于 RTC 的时钟频率。

每次将日历寄存器中的值复制到 RTC_SSR、RTC_TR 和 RTC_DR 影子寄存器时，RTC_ICSR 寄存器中的 RSF 位都会被置 1。每隔一个 RTCCLK 周期执行一次复制。为确保这 3 个值来自同一时刻点，读取 RTC_SSR 或 RTC_TR 时会锁定高阶日历影子寄存器中的值，直到读取 RTC_DR。为避免软件对日历执行读访问的时间间隔小于 1 个 RTCCLK 周期：第一次读取日历之后必须通过软件将 RSF 清零，并且软件必须等待到 RSF 置 1 之后才可再次读取 RTC_SSR、RTC_TR 和 RTC_DR 寄存器。

从低功耗模式（停机模式或待机模式）唤醒之后，必须通过软件将 RSF 清零。之后，软件必须等待至 RSF 再次置 1 之后才可以读取 RTC_SSR、RTC_TR 和 RTC_DR 寄存器。

RSF 位必须在唤醒之后而不是进入低功耗模式之前进行清零。

系统复位之后，软件必须等待至 RSF 置 1 之后才可以读取 RTC_SSR、RTC_TR 和 RTC_DR 寄存器。实际上，系统复位会将影子寄存器复位为其默认值。

初始化之后（请参见*第 787 页的日历初始化和配置*），软件必须等待至 RSF 置 1 之后才可以读取 RTC_SSR、RTC_TR 和 RTC_DR 寄存器。

同步之后（请参见*第 29.3.11 节：RTC 同步*），软件必须等待至 RSF 置 1 之后才可以读取 RTC_SSR、RTC_TR 和 RTC_DR 寄存器。

当 RTC_CR 寄存器中的 BYPSHAD 控制位置 1 时（旁路影子寄存器）

读取日历寄存器时会直接从日历计数器获取值，这样便无需等待直至 RSF 位为 1。这对于从低功耗模式（停止模式或待机模式）退出后的情况特别有用，因为影子寄存器在这些模式下没有被更新。

当 BYPSHAD 位置 1 时，如果在对寄存器的两次读访问之间出现 RTCCLK 沿，则不同寄存器的结果彼此可能不一致。此外，如果在读操作期间出现 RTCCLK 沿，则可能导致其中一个寄存器的值不正确。软件必须分两次读取所有寄存器，然后将两次结果加以比较来确认数据是否一致和正确。此外，软件也可以只比较两次读取日历寄存器得到的结果的最低位。

注： *当 BYPSHAD=1 时，读取日历寄存器的指令需要一个额外的 APB 周期才能完成。*

29.3.10 复位 RTC

日历影子寄存器（RTC_SSR、RTC_TR 和 RTC_DR）以及 RTC 状态寄存器 (RTC_ICSR) 的某些位通过所有可用的系统复位源复位为各自的默认值。

相反，以下寄存器则通过 RTC 域复位来复位为各自的默认值并且不受系统复位的影响：RTC 当前日历寄存器、RTC 控制寄存器 (RTC_CR)、预分频器寄存器 (RTC_PRER)、RTC 校准寄存器 (RTC_CALR)、RTC 移位寄存器 (RTC_SHIFTR)、RTC 时间戳寄存器（RTC_TSSSR、RTC_TSTR 和 RTC_TSDR）、唤醒定时器寄存器 (RTC_WUTR) 以及闹钟 A 和闹钟 B 寄存器（RTC_ALRMASSR/RTC_ALRMAR 和 RTC_ALRMBSSR/RTC_ALRMBR）。

此外，当由 LSE 提供时钟时，如果复位源并非 RTC 域复位源（有关不受系统复位影响的 RTC 时钟源的详细信息，请参见 RCC），则 RTC 将在系统复位时保持运行状态。发生RTC 域复位时，RTC 会停止工作，并且所有 RTC 寄存器都会设置为各自的复位值。

29.3.11 RTC 同步

RTC 可与高精度的远程时钟同步。在读取亚秒字段后（RTC_SSR 或 RTC_TSSSR），即可计算远程时钟的时间与 RTC 之间的精准偏差。之后，可使用 RTC_SHIFTR 对 RTC 的时钟进行零点几秒的“平移”，经过调整后可消除此偏差。

RTC_SSR 包含同步预分频器计数器的值。这样，便可计算分辨率低至 1/(PREDIV_S + 1) 秒的 RTC 的准确时间。因此，可通过增大同步预分频器的值 (PREDIV_S[14:0]) 来提高分辨率。将 PREDIV_S 设置为 0x7FFF 时，可得到允许的最大分辨率（30.52 µs，时钟频率为 32768 Hz）。

但是，提高 PREDIV_S 意味着必须降低 PREDIV_A 才能将同步预分频器的输出维持在 1 Hz。这样，异步预分频器的输出频率会增大，RTC 的动态功耗也会相应增加。

可以使用 RTC 平移控制寄存器 (RTC_SHIFTR) 对 RTC 进行微调。可以用大小为 1/(PREDIV_S + 1) 秒的分辨率对 RTC_SHIFTR 进行写操作，将时钟平移（延迟或提前）最长 1 秒。在这种平移操作中，会将 SUBFS[14:0] 值加到同步预分频器计数器 SS[15:0] 中：这将使时钟产生延迟。如果同时将 ADD1S 位置 1，则会增加一秒，与此同时减去的时间为零点几秒，因此将使时钟提前。

注意： 初始化平移操作前，用户必须检查确认 SS[15] = 0，以确保不会发生上溢。

对 RTC_SHIFTR 寄存器执行写操作以启动平移操作时，硬件会将 SHPF 标志置 1 以指示平移操作挂起。完成平移操作时，硬件会将该位清零。

注意： 该同步功能与参考时钟检测功能不兼容：当 REFCKON = 1 时，固件不能对 RTC_SHIFTR 执行写操作。

29.3.12 RTC 参考时钟检测

RTC 日历更新可与参考时钟 RTC_REFIN（通常为市电频率，50 Hz 或 60 Hz）同步。RTC_REFIN 参考时钟的精度应高于 32.768 kHz LSE 时钟。使能 RTC_REFIN 检测时（将 RTC_CR 的 REFCKON 位置 1），日历仍由 LSE 提供时钟，而 RTC_REFIN 用于补偿不准确的日历更新频率 (1 Hz)。

每个 1 Hz 时钟边沿都与最近的 RTC_REFIN 时钟边沿进行比较（如果在给定的时间窗口内发现一个边沿）。在大多数情况下，两个时钟边沿恰好对齐。当 1 Hz 时钟由于 LSE 时钟不精确而发生偏离时，RTC 会稍微偏移 1 Hz 时钟，以便后续的 1 Hz 时钟边沿能够对齐。利用这种机制，可使日历像参考时钟一样精确。

RTC 使用 32.768 kHz 石英产生的 256 Hz 时钟 (ck_apre) 检测是否存在参考时钟源。大约在日历每次更新时（每 1 秒钟），便会在时间窗口期间执行一次检测。检测到第一个参考时钟边沿时，该窗口等于 7 个 ck_apre 周期。随后的日历更新使用长度为 3 个 ck_apre 周期的较小窗口。

每次在窗口中检测到参考时钟时，都会强制输出 ck_spre 时钟的异步预分频器进行重载。当参考时钟与 1 Hz 时钟对齐时，此操作不起作用，因为预分频器会在同一时刻重载。当时钟不对齐时，重载操作会微调后续的 1 Hz 时钟边沿，使其与参考时钟对齐。

如果参考时钟停止（在 3 个 ck_apre 窗口内未出现参考时钟边沿），日历将仅根据 LSE 时钟进行连续更新。RTC 随后使用 ck_spre 边沿上居中的大检测窗口（7 个 ck_apre 周期）等待参考时钟。

使能 RTC_REFIN 检测后，必须将 PREDIV_A 和 PREDIV_S 设置为各自的默认值：

- PREDIV_A = 0x007F
- PREVID_S = 0x00FF

注： *RTC_REFIN 时钟检测在待机模式下不可用。*

29.3.13 RTC 精密数字校准

RTC 频率可采用约 0.954 ppm 的分辨率进行数字校准，校准范围为 -487.1 ppm 到 +488.5 ppm。使用一系列微调 （增加和/或减少单独的 RTCCLK 脉冲）进行频率校正。这些微调的分布非常均匀，因此 RTC 的校准效果相当好，即使在短时间内持续观察也是如此。

当输入频率为 32768 Hz 时，精密数字校准的周期约为 2^{20} 个 RTCCLK 脉冲，即 32 秒。此周期由一个通过 RTCCLK 提供时钟信号的 20 位计数器 cal_cnt[19:0] 维持。

精密数字校准寄存器 (RTC_CALR) 可指定 32 秒周期内要减少的 RTCCLK 时钟周期数：

- 将位 CALM[0] 置 1 时，32 秒周期内将只减少 1 个脉冲。
- 将 CALM[1] 置 1 时，将减少 2 个周期。
- 将 CALM[2] 置 1 时，将减少 4 个周期。
- 依此类推，将 CALM[8] 置 1 时，将减少 256 个时钟。

注： *CALM[8:0] (RTC_CALR) 可指定 32 秒周期内要减少的 RTCCLK 脉冲数。将位 CALM[0] 置 1 时，32 秒周期内将只减少 1 个脉冲（当 cal_cnt[19:0] = 0x80000 时）；将 CALM[1] 置 1 时，将减少 2 个周期（当 cal_cnt = 0x40000 和 0xC0000 时）；将 CALM[2] 置 1 时，将减少 4 个周期（当 cal_cnt = 0x20000/0x60000/0xA0000/0xE0000 时）；依此类推，将 CALM[8] 置 1 时，将减少 256 个时钟（当 cal_cnt = 0xXX800 时）。*

使用适当分辨率时，CALM 可使 RTC 频率减少最多 487.1 ppm，而 CALP 可用于使频率增加 488.5 ppm。将 CALP 置 1，可每隔 2^{11} 个 RTCCLK 周期有效插入一个额外的 RTCCLK 脉冲，这意味着每 32 秒周期可增加 512 个时钟。

与 CALM 和 CALP 配合使用时，可在 32 秒周期内增加一个范围为 -511 到 +512 RTCCLK 周期的偏差，对应的校准范围为 -487.1 ppm 到 +488.5 ppm，分辨率约为 0.954 ppm。

若输入频率 (F_{RTCCLK}) 已知，可通过以下公式计算有效校准频率 (F_{CAL})：

$$F_{CAL} = F_{RTCCLK} \times [1 + (CALP \times 512 - CALM) / (2^{20} + CALM - CALP \times 512)]$$

PREDIV_A < 3 条件下的校准

当异步预分频器值（RTC_PRER 寄存器中的 PREDIV_A 位）小于 3 时，不能将 CALP 位置 1。如果 CALP 已置 1 并且 PREDIV_A 位的值小于 3，则会忽略 CALP，即假定 CALP 等于 0 而执行校准。

要在 PREDIV_A 小于 3 的条件下执行校准，应降低同步预分频器值 (PREDIV_S) 以便每秒内可加速 8 个 RTCCLK 时钟周期，这意味着每 32 秒可增加 256 个时钟周期。因此，仅使用 CALM 位，可在每 32 秒内有效增加 255 到 256 个时钟脉冲（对应的校准范围为 243.3 ppm 到 244.1 ppm）。

在标称 RTCCLK 频率 32768 Hz 下，当 PREDIV_A 等于 1 时（分频系数为 2），应将 PREDIV_S 设置为 16379 而不是 16383（少 4）。唯一相关的其他情况是，当 PREDIV_A 等于 0 时，应将 PREDIV_S 设置为 32759 而不是 32767 （少 8）。

如果以这种方式减少 PREDIV_S，则采用以下公式计算校准输入时钟的有效频率：

$F_{CAL} = F_{RTCCLK} \times [1 + (256 - CALM) / (2^{20} + CALM - 256)]$

在这种情况下，如果 RTCCLK 恰好为 32768.00 Hz，则当 CALM[7:0] 等于 0x100 时（CALM 范围的中值），说明设置正确。

验证 RTC 校准

通过测量 RTCCLK 的精确频率，计算正确的 CALM 和 CALP 值以确保 RTC 精度。此外，还为应用提供了一个可选的 1 Hz 输出，用来测量和验证 RTC 精度。

如果在有限的间隔内测量 RTC 的精确频率，则会导致测量期间产生最多 2 个 RTCCLK 时钟周期的测量误差，具体取决于数字校准周期与测量周期的对齐方式。

但是，如果测量周期与校准周期的长度相同，则可以消除此测量误差。在这种情况下，观测到的唯一误差是由数字校准的分辨率导致的误差。

- 默认情况下，校准周期为 32 秒。

在此模式下，测量整个 32 秒内 1 Hz 输出的精度，可确保测量误差在 0.477 ppm 内（32 秒内为 0.5 个 RTCCLK 周期，受校准分辨率限制）。

- 可将 RTC_CALR 寄存器的 CALW16 位置 1，以强制 16 秒的校准周期。

此时，可在 16 秒内测量 RTC 精度，产生的最大误差为 0.954 ppm（16 秒内为 0.5 个 RTCCLK 周期）。但是，由于校准分辨率降低，长期的 RTC 精度也会降到 0.954 ppm：将 CALW16 置 1 时，CALM[0] 位将始终保持为 0。

- 可将 RTC_CALR 寄存器的 CALW8 位置 1，以强制 8 秒的校准周期。

此时，可在 8 秒内测量 RTC 精度，产生的最大误差为 1.907 ppm（8 秒内为 0.5 个 RTCCLK 周期）。长期的 RTC 精度也会降到 1.907 ppm：将 CALW8 置 1 时，CALM[1:0] 位将始终保持为 00。

动态重校准

当 RTC_ICSR/INITF=0 时，可动态更新校准寄存器 (RTC_CALR)，具体步骤如下：

1. 轮询 RTC_ICSR/RECALPF（重新校准挂起标志）。
2. 如果该标志为 0，则可以根据需要向 RTC_CALR 写入新值。随后 RECALPF 位会被自动置为 1。
3. 新校准设置将在对 RTC_CALR 执行写操作之后的三个 ck_apre 周期内生效。

29.3.14 时间戳功能

将 RTC_CR 寄存器的 TSE 或 ITSE 位置 1 可使能时间戳。

将 TSE 置 1 时：

当在 RTC_TS 引脚上检测到时间戳事件时，日历会保存到时间戳寄存器（RTC_TSSSR、RTC_TSTR 和 RTC_TSDR）中。

将 TAMPTS 置 1 时：

当在 TAMP_INx 引脚上检测到入侵事件时，日历会保存到时间戳寄存器（RTC_TSSSR、RTC_TSTR 和 RTC_TSDR）中。

将 ITSE 置 1 时：

当检测到内部时间戳事件时，日历会保存到时间戳寄存器（RTC_TSSSR、RTC_TSTR 和 RTC_TSDR）中。切换至 V_{BAT} 电源可生成内部时间戳事件。

由于内部事件或外部事件而发生时间戳事件时，RTC_SR 寄存器中的时间戳标志位 (TSF) 将置 1。如果是内部事件，RTC_SR 寄存器中的 ITSF 标志也将置 1。

通过将 RTC_CR 寄存器中的 TSIE 位置 1，可在发生时间戳事件时生成中断。

如果在时间戳标志 (TSF) 已置 1 的条件下检测到新的时间戳事件，则时间戳上溢标志 (TSOVF) 将置 1，而时间戳寄存器（RTC_TSTR 和 RTC_TSDR）将保持上一事件的结果。

注： *由于同步过程，TSF 将在时间戳事件后 2 个 ck_apre 周期置 1。*

TSOVF 的产生中不存在延迟。也就是说如果两个时间戳事件接连发生，TSOVF 可能为“1”而 TSF 为“0”。因此，建议只在检测到 TSF 为“1”后再轮询 TSOVF。

注意： 如果在 TSF 位清零后紧接着发生时间戳事件，则 TSF 和 TSOVF 位都将置 1。为防止在时间戳事件发生的同时屏蔽该事件，除非已将 TSF 位读取为 1，否则应用程序不得将 0 写入 TSF 位。

此外，入侵事件可能导致时间戳被记录。请参见 RTC 控制寄存器 (RTC_CR) 中的 TAMPTS 控制位的说明。

29.3.15 校准时钟输出

将 RTC_CR 寄存器中的 COE 位置 1 时，会在 CALIB 器件输出上提供一个参考时钟。

如果 RTC_CR 寄存器中的 COSEL 位置 0 且 PREDIV_A = 0x7F，则 CALIB 频率为 $f_{RTCCLK/64}$。这相当于 RTCCLK 频率为 32.768 kHz 时，512 Hz 的校准输出。CALIB 占空比是不规则的：下降沿上存在轻微抖动。因此推荐使用上升沿。

如果 COSEL 置 1 且“PREDIV_S+1”为 256 的非零整数倍（比如：PREDIV_S[7:0] = 0xFF），则 CALIB 频率为 fRTCCLK/(256 * (PREDIV_A+1))。这相当于 RTCCLK 频率为 32.768 kHz 时，1 Hz 的校准输出，其中预分频器为默认值（PREDIV_A = Ox7F、PREDIV_S = 0xFF）。

注： *选择 CALIB 输出时，将自动配置 RTC_OUT1 引脚，但必须将 RTC_OUT2 引脚设置为复用功能。*

COSEL 位清零时，CALIB 输出为异步预分频器的第 6 级输出。

COSEL 位置 1 时，CALIB 输出为同步预分频器的第 8 级输出。

29.3.16 入侵和闹钟输出

RTC_CR 寄存器中的 OSEL[1:0] 控制位用于激活闹钟输出 TAMPALRM，以及选择输出的功能。这些功能可反映 RTC_SR 寄存器中相应标志的内容。

当 RTC_CR 中的 TAMPOE 控制位置 1 时，所有外部和内部入侵标志都将进行逻辑或运算，然后连接到 TAMPALRM 输出。如果 OSEL = 00，则 TAMPALRM 输出仅反映入侵标志。如果 OSEL ≠ 00，则 TAMPALRM 上的信号提供入侵标志和闹钟 A、B 或唤醒标志。

TAMPALRM 输出的极性由 RTC_CR 中的 POL 控制位确定，这样当 POL 置 1 时会输出选定标志位的相反值。

TAMPALRM 输出

使用 RTC_CR 寄存器中的控制位 TAMPALRM_TYPE 可将 TAMPALRM 引脚配置为输出开漏或输出推挽。可凭借 RTC_CR 中的 TAMPALRM_PU 在输出模式下应用内部上拉。

注： *TAMPALRM 输出使能后，其优先级高于 RTC_OUT1 上的 CALIB。*

选择 TAMPALRM 输出时，将自动配置 RTC_OUT1 引脚，但必须将 RTC_OUT2 引脚设置为复用功能。如果在 RTC 中将 TAMPALRM 配置为开漏，则必须将 RTC_OUT1 GPIO 配置为输入。

29.4 RTC 低功耗模式

表 141. 低功耗模式对 RTC 的作用

模式	说明
睡眠	无影响 RTC 中断可使器件退出睡眠模式。
停止	当 RTC 时钟源为 LSE 或 LSI 时，RTC 保持工作状态。RTC 中断会使器件退出停止模式。
待机	当 RTC 时钟源为 LSE 或 LSI 时，RTC 保持工作状态。RTC 中断会使器件退出待机模式。
关断	当 RTC 时钟源为 LSE 时，RTC 保持工作状态。RTC 中断会使器件退出关断模式。

下表汇总了所有模式下的 RTC 引脚和功能。

表 142. 各种模式下的 RTC 引脚功能

功能	可在待机和关断模式以外的所有低功耗模式下工作	可在待机和关断模式下工作	V_{BAT} 模式下的功能性
RTC_TS	有	有	有
RTC_REFIN	有	无	无
RTC_OUT1	有	有	有
RTC_OUT2	有	有	无

29.5 RTC 中断

在屏蔽中断状态寄存器中设置中断通道。中断输出也会激活。

表 143. 中断请求

中断缩略语	中断事件	事件标志(1)	使能控制位(2)	中断清除方法	退出睡眠模式	退出停机和待机模式	退出关断模式
RTC	闹钟 A	ALRAF	ALRAIE	在 CALRAF 中写 1	有	有(3)	有(4)
	闹钟 B	ALRBF	ALRBIE	在 CALRBF 中写 1	有	有 (3)	有 (4)
	时间戳	TSF	TSIE	在 CTSF 中写 1	有	有 (3)	有 (4)
	唤醒定时器中断	WUTF	WUTIE	在 CWUTF 中写 1	有	有 (3)	有 (4)

1. 事件标志位于 RTC_SR 寄存器中。
2. 中断屏蔽标志（由事件标志位和使能控制位的逻辑与运算结果产生）位于 RTC_MISR 寄存器中。
3. 仅当 RTC 时钟源为 LSE 或 LSI 时，才能从停止和待机模式唤醒。
4. 仅当 RTC 时钟源为 LSE 时，才能从关断模式唤醒。

29.6 RTC 寄存器

有关寄存器说明中使用的缩写，请参见参考手册中的*第 49 页的第 1.2 节*。

外设寄存器可按字（32 位）进行访问。

29.6.1 RTC 时间寄存器 (RTC_TR)

RTC time register

RTC_TR 是日历时间影子寄存器。只能在初始化模式下对该寄存器执行写操作。请参见*第 787 页的日历初始化和配置*和*第 788 页的读取日历*。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x00

RTC域复位值：0x0000 0000

系统复位值：0x0000 0000（当 BYPSHAD = 0 时，而当 BYPSHAD = 1 时不受影响）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:23 保留，必须保持复位值。

位 22 **PM**：AM/PM 符号 (AM/PM notation)
0：AM 或 24 小时制
1：PM

位 21:20 **HT[1:0]**：小时的十位（BCD 格式）(Hour tens in BCD format)

位 19:16 **HU[3:0]**：小时的个位（BCD 格式）(Hour units in BCD format)

位 15 保留，必须保持复位值。

位 14:12 **MNT[2:0]**：分钟的十位（BCD 格式）(Minute tens in BCD format)

位 11:8 **MNU[3:0]**：分钟的个位（BCD 格式）(Minute units in BCD format)

位 7 保留，必须保持复位值。

位 6:4 **ST[2:0]**：秒的十位（BCD 格式）(Second tens in BCD format)

位 3:0 **SU[3:0]**：秒的个位（BCD 格式）(Second units in BCD format)

29.6.2 RTC 日期寄存器 (RTC_DR)

RTC date register

RTC_DR 是日历日期影子寄存器。只能在初始化模式下对该寄存器执行写操作。请参见*第 787 页的日历初始化和配置*和*第 788 页的读取日历*。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x04

RTC域复位值：0x0000 2101

系统复位值：0x0000 2101（当 BYPSHAD = 0 时，而当 BYPSHAD = 1 时不受影响）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]				YU[3:0]			
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rw	rw	rw	rw	rw	rw

位 31:24 保留，必须保持复位值。

位 23:20 **YT[3:0]**：年份的十位（BCD 格式）(Year tens in BCD format)

位 19:16 **YU[3:0]**：年份的个位（BCD 格式）(Year units in BCD format)

位 15:13 **WDU[2:0]**：星期几的个位 (Week day units)
000：禁止
001：星期一
...
111：星期日

位 12 **MT**：月份的十位（BCD 格式）(Month tens in BCD format)

位 11:8 **MU[3:0]**：月份的个位（BCD 格式）(Month units in BCD format)

位 7:6 保留，必须保持复位值。

位 5:4 **DT[1:0]**：日期的十位（BCD 格式）(Date tens in BCD format)

位 3:0 **DU[3:0]**：日期的个位（BCD 格式）(Date units in BCD format)

注： *日历在达到最大值时会冻结，无法翻转。*

29.6.3 RTC 亚秒寄存器 (RTC_SSR)

RTC sub second register

偏移地址：0x08

RTC域复位值：0x0000 0000

系统复位值：0x0000 0000（当 BYPSHAD = 0 时，而当 BYPSHAD = 1 时不受影响）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:0 **SS[15:0]**：亚秒值 (Sub second value)

SS[15:0] 是同步预分频器计数器的值。此亚秒值可根据以下公式得出：

亚秒值 = (PREDIV_S - SS) / (PREDIV_S + 1)

注： *仅当执行平移操作之后，SS 才能大于 PREDIV_S。在这种情况下，正确的时间/日期比 RTC_TR/RTC_DR 所指示的时间/日期慢一秒钟。*

29.6.4 RTC 初始化控制和状态寄存器 (RTC_ICSR)

RTC initialization control and status register

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x0C

RTC域复位值：0x0000 0007

系统复位值：不受影响（INIT、INITF 和 RSF 位除外，它们被清零）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RECALPF
															r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INIT	INITF	RSF	INITS	SHPF	WUTWF	ALRBWF	ALRAWF
								rw	r	rc_w0	r	r	r	r	r

位 31:17 保留，必须保持复位值。

位 16 **RECALPF**：重新校准挂起标志 (Recalibration pending Flag)

当软件对 RTC_CALR 寄存器执行写操作时，RECALPF 状态标志将自动置 1，指示 RTC_CALR 寄存器已屏蔽。当采用新的校准设置时，此位恢复为 0。请参见*动态重校准*。

位 15:8 保留，必须保持复位值。

位 7 **INIT**：初始化模式 (Initialization mode)

0：自由运行模式

1：初始化模式，用于编程时间和日期寄存器（RTC_TR 和 RTC_DR）以及预分频器寄存器 (RTC_PRER)。计数器停止计数，当 INIT 被复位后，计数器从新值开始计数。

位 6 **INITF**：初始化标志 (Initialization flag)

当此位置 1 时，RTC 处于初始化状态，此时可更新事件、日期和预分频器寄存器。

0：不允许更新日历寄存器

1：允许更新日历寄存器

位 5 **RSF**：寄存器同步标志 (Registers synchronization flag)

每次将日历寄存器的值复制到影子寄存器（RTC_SSRx、RTC_TRx 和 RTC_DRx）时，都会由硬件将此位置 1。在初始化模式下、平移操作挂起时 (SHPF = 1) 或在旁路影子寄存器模式 (BYPSHAD = 1) 下，此位由硬件清零。该位还可由软件清零。

在初始化模式下，该位可由软件或硬件清零。

0：日历影子寄存器尚未同步

1：日历影子寄存器已同步

位 4 **INITS**：初始化状态标志 (Initialization status flag)

当日历年份字段不为 0 时（RTC域复位状态），由硬件将该位置 1。

0：日历尚未初始化

1：日历已经初始化

位 3 **SHPF**：平移操作挂起 (Shift operation pending)

只要通过对 RTC_SHIFTR 寄存器执行写操作来启动平移操作，此标志便由硬件置 1。执行完相应的平移操作后，此标志由硬件清零。对 SHPF 位执行写入操作不起作用。

0：没有平移操作挂起

1：某个平移操作挂起

位 2 **WUTWF**：唤醒定时器写标志 (Wakeup timer write flag)

在 RTC_CR 寄存器中的 WUTE 位置 0 后，当 WUT 的值可更改时，由硬件将此位置 1。该位在初始化模式下由硬件清零。

0：不允许更新唤醒定时器配置（初始化模式下除外）

1：允许更新唤醒定时器配置

位 1 **ALRBWF**：闹钟 B 写标志 (Alarm B write flag)

在 RTC_CR 寄存器中的 ALRBE 位置 0 之后，当闹钟 B 的值可更改时，由硬件将此位置 1。该位在初始化模式下由硬件清零。

0：不允许更新闹钟 B

1：允许更新闹钟 B

位 0 **ALRAWF**：闹钟 A 写标志 (Alarm A write flag)

在 RTC_CR 寄存器中的 ALRAE 位置 0 后，当闹钟 A 的值可更改时，由硬件将此位置 1。该位在初始化模式下由硬件清零。

0：不允许更新闹钟 A

1：允许更新闹钟 A

29.6.5 RTC 预分频器寄存器 (RTC_PRER)

RTC prescaler register

只能在初始化模式下对该寄存器执行写操作。必须通过两次独立的写访问执行初始化。请参见*第 787 页的日历初始化和配置*。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x10

RTC域复位值：0x007F 00FF

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]						
									rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	PREDIV_S[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:23 保留，必须保持复位值。

位 22:16 **PREDIV_A[6:0]**：异步预分频系数 (Asynchronous prescaler factor)

下面是异步分频系数的公式：

ck_apre 频率 = RTCCLK 频率/(PREDIV_A+1)

位 15 保留，必须保持复位值。

位 14:0 **PREDIV_S[14:0]**：同步预分频系数 (Synchronous prescaler factor)

下面是同步分频系数的公式：

ck_spre 频率 = ck_apre 频率/(PREDIV_S+1)

29.6.6 RTC 唤醒定时器寄存器 (RTC_WUTR)

RTC wakeup timer register

仅当 RTC_ICSR 中的 WUTWF 置 1 时才可对此寄存器执行写操作。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x14

RTC域复位值：0x0000 FFFF

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WUT[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **WUT[15:0]**：唤醒自动重载值位 (Wakeup auto-reload value bits)

当使能唤醒定时器时（WUTE 置 1），每 (WUT[15:0] + 1) 个 ck_wut 周期将 WUTF 标志置 1 一次。ck_wut 周期通过 RTC_CR 寄存器的 WUCKSEL[2:0] 位进行选择。

当 WUCKSEL[2] = 1 时，唤醒定时器变为 17 位，WUCKSEL[1] 等效为 WUT[16]，即要重载到定时器的最高有效位。

WUTF 第一次置 1 发生在 WUTE 置 1 之后 WUT 到 (WUT+1) 个 ck_wut 周期之间。禁止在 WUCKSEL[2:0] = 011 (RTCCLK/2) 时将 WUT[15:0] 设置为 0x0000。

29.6.7 RTC 控制寄存器 (RTC_CR)

RTC control register

此寄存器受写保护。第 786 页的RTC 寄存器写保护中介绍了写访问的过程。

偏移地址：0x18

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	Res.	Res.	TAMPOE	TAMPTS	ITSE	COE	OSEL[1:0]		POL	COSEL	BKP	SUB1H	ADD1H
rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	w	w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	Res.	FMT	BYPSHAD	REFCKON	TSEDGE	WUCKSEL[2:0]		
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31 **OUT2EN**：RTC_OUT2 输出使能 (RTC_OUT2 output enable)

将此位置 1 可将 RTC 输出重映射到 RTC_OUT2，具体如下：

OUT2EN = 0：RTC 输出 2 禁止

如果 OSEL ≠ 00 或 TAMPOE = 1：TAMPALRM 输出到 RTC_OUT1

如果 OSEL = 00、TAMPOE = 0 且 COE = 1：CALIB 输出到 RTC_OUT1

OUT2EN = 1：RTC 输出 2 使能

如果（OSEL ≠ 00 或 TAMPOE = 1）且 COE = 0：TAMPALRM 输出到 RTC_OUT2

如果 OSEL = 00、TAMPOE = 0 且 COE = 1：CALIB 输出到 RTC_OUT2

如果（OSEL≠ 00 或 TAMPOE = 1）且 COE = 1：CALIB 输出到 RTC_OUT2，TAMPALRM 输出到 RTC_OUT1。

位 30 **TAMPALRM_TYPE**：TAMPALRM 输出类型 (TAMPALRM output type)

0：TAMPALRM 为推挽输出

1：TAMPALRM 为开漏输出

位 29 **TAMPALRM_PU**：TAMPALRM 上拉使能 (TAMPALRM pull-up enable)

0：未在 TAMPALRM 输出上应用上拉

1：在 TAMPALRM 输出上应用上拉

位 28:27 保留，必须保持复位值。

位 26 **TAMPOE**：入侵检测输出到 TAMPALRM 使能 (Tamper detection output enable on TAMPALRM)

0：入侵标志不连接到 TAMPALRM

1：入侵标志连接到 TAMPALRM（结合 OSEL 提供的信号和 POL 提供的极性）。

位 25 **TAMPTS**：发生入侵检测事件时激活时间戳 (Activate timestamp on tamper detection event)

0：发生入侵检测事件时不保存 RTC 时间戳

1：发生入侵检测事件时保存 RTC 时间戳

即便 RTC_CR 寄存器中的 TSE = 0，TAMPTS 仍有效。时间戳标志在入侵标志之后置 1，因此，如果 TAMPTS 和 TSIE 置 1，建议禁止入侵中断以避免处理 2 个中断。

位 24 **ITSE**：内部事件时间戳使能 (timestamp on internal event enable)

0：禁止内部事件时间戳

1：使能内部事件时间戳

位 23 **COE**：校准输出使能 (Calibration output enable)

此位使能 CALIB 输出

0：禁止校准输出

1：使能校准输出

位 22:21 **OSEL[1:0]**：输出选择 (Output selection)

这些位用于选择要连接到 TAMPALRM 输出的标志。

00：禁止输出

01：使能闹钟 A 输出

10：使能闹钟 B 输出

11：使能唤醒输出

位 20 **POL**：输出极性 (Output polarity)

此位用于配置 TAMPALRM 输出的极性。

0：当 ALRAF/ALRBF/WUTF 置 1 时（取决于 OSEL[1:0]）或 TAMPxF/ITAMPxF 置 1 时（TAMPOE = 1 时），该引脚为高电平。

1：当 ALRAF/ALRBF/WUTF 置 1 时（取决于 OSEL[1:0]）或 TAMPxF/ITAMPxF 置 1 时（TAMPOE = 1 时），该引脚为低电平。

位 19 **COSEL**：校准输出选择 (Calibration output selection)

当 COE=1 时，此位可选择 CALIB 上输出的信号。

0：校准输出为 512 Hz

1：校准输出为 1 Hz

在 RTCCLK 为 32.768 kHz 且预分频器为其默认值（PREDIV_A = 127 且 PREDIV_S = 255）的条件下，这些频率有效。请参见*第 29.3.15 节：校准时钟输出*。

位 18 **BKP**：备份 (Backup)

用户可对此位执行写操作以记录是否已对夏令时进行更改。

位 17 **SUB1H**：减少 1 小时（冬季时间更改）(Subtract 1 hour (winter time change))

当该位在初始化模式以外的模式下置 1 时，如果当前小时不是 0，则日历时间将减少 1 小时。此位始终读为 0。

当前小时为 0 时，将此位置 1 没有任何作用。

0：无影响

1：将当前时间减少 1 小时。这可用于冬季时间更改

位 16 **ADD1H**：增加 1 小时（夏季时间更改）(Add 1 hour (summer time change))

当该位在初始化模式以外的模式下置 1 时，日历时间将增加 1 小时。此位始终读为 0。

0：无影响

1：将当前时间增加 1 小时。这可用于夏季时间更改

位 15 **TSIE**：时间戳中断使能 (Timestamp interrupt enable)

0：禁止时间戳中断

1：使能时间戳中断

位 14 **WUTIE**：唤醒定时器中断使能 (Wakeup timer interrupt enable)
0：禁止唤醒定时器中断
1：使能唤醒定时器中断

位 13 **ALRBIE**：闹钟 B 中断使能 (Alarm B interrupt enable)
0：禁止闹钟 B 中断
1：使能闹钟 B 中断

位 12 **ALRAIE**：闹钟 A 中断使能 (Alarm A interrupt enable)
0：禁止闹钟 A 中断
1：使能闹钟 A 中断

位 11 **TSE**：时间戳使能 (timestamp enable)
0：禁止时间戳
1：使能时间戳

位 10 **WUTE**：唤醒定时器使能 (Wakeup timer enable)
0：禁止唤醒定时器
1：使能唤醒定时器
注：　唤醒定时器禁止时，需要等到 WUTWF=1 后才能重新使能。

位 9 **ALRBE**：闹钟 B 使能 (Alarm B enable)
0：禁止闹钟 B
1：使能闹钟 B

位 8 **ALRAE**：闹钟 A 使能 (Alarm A enable)
0：禁止闹钟 A
1：使能闹钟 A

位 7 保留，必须保持复位值。

位 6 **FMT**：小时格式 (Hour format)
0：24 小时 / 天格式
1：AM/PM 小时格式

位 5 **BYPSHAD**：旁路影子寄存器 (Bypass the shadow registers)
0：日历值（从 RTC_SSR、RTC_TR 和 RTC_DR 读取时）取自影子寄存器，该影子寄存器每两个 RTCCLK 周期更新一次。
1：日历值（从 RTC_SSR、RTC_TR 和 RTC_DR 读取时）直接取自日历计数器。
注：　如果 APB1 时钟的频率低于 7 倍的 RTCCLK 频率，则必须将 BYPSHAD 置 1。

位 4 **REFCKON**：RTC_REFIN 参考时钟检测使能（50 Hz 或 60 Hz）(RTC_REFIN reference clock detection enable (50 or 60 Hz))
0：禁止 RTC_REFIN 检测
1：使能 RTC_REFIN 检测
注：　PREDIV_S 必须为 0x00FF。

位 3 **TSEDGE**：时间戳事件有效边沿 (Timestamp event active edge)
0：RTC_TS 输入上升沿生成时间戳事件
1：RTC_TS 输入下降沿生成时间戳事件
TSEDGE 发生更改时，必须复位 TSE 以避免将 TSF 意外置 1。

位 2:0 **WUCKSEL[2:0]**：ck_wut 唤醒时钟选择 (ck_wut wakeup clock selection)

000：选择 RTC/16 时钟
001：选择 RTC/8 时钟
010：选择 RTC/4 时钟
011：选择 RTC/2 时钟
10x：选择 ck_spre 时钟（通常为 1 Hz）
11x：选择 ck_spre 时钟（通常为 1 Hz）并将 WUT 计数器值增加 2^{16}

注： *只能在初始化模式下 (RTC_ICSR/INITF = 1) 对此寄存器的位 6 和 4 执行写操作。*

WUT = 唤醒单元计数器值。当 WUCKSEL[2:1 = 11] 时，WUT = (0x0000 到 0xFFFF) + 0x10000（增加的值）。

只能在 RTC_CR WUTE 位 = 0 且 RTC_ICSR WUTWF 位 = 1 时对此寄存器的位 2 到 0 执行写操作。

建议不要在日历小时递增时更改小时，因为这样做会屏蔽日历小时的增量。

ADD1H 和 SUB1H 的更改在下一秒生效。

29.6.8 RTC 写保护寄存器 (RTC_WPR)

RTC write protection register

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
								w	w	w	w	w	w	w	w

位 31:8 保留，必须保持复位值。

位 7:0 **KEY[7:0]**：写保护密钥 (Write protection key)

可通过软件对该字节执行写操作。
读取该字节时，始终返回 0x00。
有关如何解锁 RTC 寄存器写保护的介绍，请参见 *RTC 寄存器写保护*。

29.6.9 RTC 校准寄存器 (RTC_CALR)

RTC calibration register

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x28

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CALP	CALW8	CALW16	Res.	Res.	Res.	Res.	CALM[8:0]								
rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15 **CALP**：将 RTC 的频率增加 488.5 ppm (Increase frequency of RTC by 488.5 ppm)
0：不增加 RTCCLK 脉冲。
1：每 2^{11} 个脉冲有效插入一个 RTCCLK 脉冲（将频率增加 488.5 ppm）。
此功能应与 CALM 结合使用，后者在高分辨率下会降低日历的频率。如果输入频率为 32768 Hz，则在 32 秒窗口中增加的 RTCCLK 脉冲数按如下公式计算：(512 × CALP) - CALM。
请参见*第 29.3.13 节：RTC 精密数字校准*。

位 14 **CALW8**：使用 8 秒校准周期 (Use an 8-second calibration cycle period)
当 CALW8 置 1 时，选择 8 秒校准周期。
注： CALW8 = 1 时，CALM[1:0] 将始终保持为 00。请参见第 29.3.13 节：RTC 精密数字校准。

位 13 **CALW16**：使用 16 秒校准周期 (Use a 16-second calibration cycle period)
当 CALW16 置 1 时，选择 16 秒校准周期。如果 CALW8 = 1，则不得将此位置 1。
注： 当 CALW16 = 1 时，CALM[0] 将始终保持为 0。请参见第 29.3.13 节: RTC 精密数字校准。

位 12:9 保留，必须保持复位值。

位 8:0 **CALM[8:0]**：负校准 (Calibration minus)
在 2^{20} 个 RTCCLK 脉冲内屏蔽 CALM 个脉冲（如果输入频率为 32768 Hz，则为 32 秒）来降低日历的频率。其分辨率为 0.9537 ppm。
要提高日历的频率，则应将此功能与 CALP 结合使用。请参见*第 790 页的第 29.3.13 节：RTC 精密数字校准*。

29.6.10 RTC 平移控制寄存器 (RTC_SHIFTR)

RTC shift control register

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x2C

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
w															

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SUBFS[14:0]														
	w	w	w	w	w	w	w	w	w	w	w	w	w	w	w

位 31 **ADD1S**：增加一秒钟 (Add one second)

0：无影响

1：对时钟/日历增加一秒钟

此位为只写位且始终读为 0。当平移操作挂起（RTC_ICSR 中的 SHPF = 1）时，对此位执行写操作无作用。

此函数应与 SUBFS 配合使用（请参见下文介绍），以便有效地向原子操作机制的时钟添加亚秒值。

位 30:15 保留，必须保持复位值。

位 14:0 **SUBFS[14:0]**：减少亚秒值 (Subtract a fraction of a second)

此位为只写位且始终读为 0。当平移操作挂起（RTC_ICSR 中的 SHPF = 1）时，对此位执行写操作无作用。

写入 SUBFS 的值将加到同步预分频器计数器中。由于该计数器递减计数，此操作可有效地从时钟减去（延迟）以下时间：

延迟（秒）= SUBFS / (PREDIV_S + 1)

当 ADD1S 函数与 SUBFS 结合使用时，可有效地将亚秒值增加到时钟（提前时钟），使时钟提前以下时间：

提前（秒）= (1 - (SUBFS / (PREDIV_S + 1)))。

注：　对 SUBFS 执行写操作将使 RSF 清零。软件随后会等待至 RSF = 1 以确定影子寄存器已更新为平移后的时间。

29.6.11 RTC 时间戳时间寄存器 (RTC_TSTR)

RTC timestamp time register

仅当 RTC_SR 中的 TSF 置 1 时，此寄存器的内容才有效。当 TSF 位复位时，清零此寄存器。

偏移地址：0x30

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]			
									r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	r	r	r	r	r	r	r		r	r	r	r	r	r	r

位 31:23 保留，必须保持复位值。

位 22 **PM**：AM/PM 符号 (AM/PM notation)
0：AM 或 24 小时制
1：PM

位 21:20 **HT[1:0]**：小时的十位（BCD 格式）(Hour tens in BCD format)。

位 19:16 **HU[3:0]**：小时的个位（BCD 格式）(Hour units in BCD format)。

位 15 保留，必须保持复位值。

位 14:12 **MNT[2:0]**：分钟的十位（BCD 格式）(Minute tens in BCD format)。

位 11:8 **MNU[3:0]**：分钟的个位（BCD 格式）(Minute units in BCD format)。

位 7 保留，必须保持复位值。

位 6:4 **ST[2:0]**：秒的十位（BCD 格式）(Second tens in BCD format)。

位 3:0 **SU[3:0]**：秒的个位（BCD 格式）(Second units in BCD format)。

29.6.12 RTC 时间戳日期寄存器 (RTC_TSDR)

RTC timestamp date register

仅当 RTC_SR 中的 TSF 置 1 时，此寄存器的内容才有效。当 TSF 位复位时，清零此寄存器。

偏移地址：0x34

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT[1:0]		DU[3:0]			
r	r	r	r	r	r	r	r			r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:13 **WDU[2:0]**：星期几的个位 (Week day units)

位 12 **MT**：月份的十位（BCD 格式）(Month tens in BCD format)

位 11:8 **MU[3:0]**：月份的个位（BCD 格式）(Month units in BCD format)

位 7:6 保留，必须保持复位值。

位 5:4 **DT[1:0]**：日期的十位（BCD 格式）(Date tens in BCD format)

位 3:0 **DU[3:0]**：日期的个位（BCD 格式）(Date units in BCD format)

29.6.13 RTC 时间戳亚秒寄存器 (RTC_TSSSR)

RTC timestamp sub second register

仅当 RTC_SR 中的 TSF 置 1 时，此寄存器的内容才有效。当 TSF 位复位时，清零此寄存器。

偏移地址：0x38

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 保留，必须保持复位值。

位 15:0 SS[15:0]：亚秒值 (Sub second value)

当发生时间戳事件时，SS[15:0] 是同步预分频器计数器的值。

29.6.14 RTC 闹钟 A 寄存器 (RTC_ALRMAR)

RTC alarm A register

仅当 RTC_ICSR 中的 ALRAWF 置 1 时或在初始化模式下，才可以对此寄存器执行写操作。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x40

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WDSEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **MSK4**：闹钟 A 日期掩码 (Alarm A date mask)
0：如果日期/日匹配，则闹钟 A 置 1
1：在闹钟 A 比较中，日期/日无关

位 30 **WDSEL**：星期几选择 (Week day selection)
0：DU[3:0] 代表日期的个位
1：DU[3:0] 代表星期几 DT[1:0] 为无关位

位 29:28 **DT[1:0]**：日期的十位（BCD 格式）(Date tens in BCD format)

位 27:24 **DU[3:0]**：日期个位或日（BCD 格式）(Date units or day in BCD format)

位 23 **MSK3**：闹钟 A 小时掩码 (Alarm A hours mask)
0：如果小时匹配，则闹钟 A 置 1
1：在闹钟 A 比较中，小时无关

位 22 **PM**：AM/PM 符号 (AM/PM notation)
0：AM 或 24 小时制
1：PM

位 21:20 **HT[1:0]**：小时的十位（BCD 格式）(Hour tens in BCD format)

位 19:16 **HU[3:0]**：小时的个位（BCD 格式）(Hour units in BCD format)

位 15 **MSK2**：闹钟 A 分钟掩码 (Alarm A minutes mask)
0：如果分钟匹配，则闹钟 A 置 1
1：在闹钟 A 比较中，分钟无关

位 14:12 **MNT[2:0]**：分钟的十位（BCD 格式）(Minute tens in BCD format)

位 11:8 **MNU[3:0]**：分钟的个位（BCD 格式）(Minute units in BCD format)

位 7 **MSK1**：闹钟 A 秒掩码 (Alarm A seconds mask)
0：如果秒匹配，则闹钟 A 置 1
1：在闹钟 A 比较中，秒无关

位 6:4 **ST[2:0]**：秒的十位（BCD 格式）(Second tens in BCD format)。

位 3:0 **SU[3:0]**：秒的个位（BCD 格式）(Second units in BCD format)。

29.6.15 RTC 闹钟 A 亚秒寄存器 (RTC_ALRMASSR)

RTC alarm A sub second register

仅当 RTC_ICSR 中的 ALRAWF 置 1 时或在初始化模式下，才可以对此寄存器执行写操作。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x44

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MASKSS[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SS[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

位 31:28 保留，必须保持复位值。

位 27:24 **MASKSS[3:0]**：屏蔽从此位开始的最高有效位 (Mask the most-significant bits starting at this bit)

0：不对闹钟 A 的亚秒进行比较。当秒单元递增时设置闹钟（假定其余位域均匹配）。
1：在闹钟 A 比较中，SS[14:1] 为无关位。仅比较 SS[0]。
2：在闹钟 A 比较中，SS[14:2] 为无关位。仅比较 SS[1:0]。
3：在闹钟 A 比较中，SS[14:3] 为无关位。仅比较 SS[2:0]。
...
12：在闹钟 A 比较中，SS[14:12] 为无关位。比较 SS[11:0]。
13：在闹钟 A 比较中，SS[14:13] 为无关位。比较 SS[12:0]。
14：在闹钟 A 比较中，SS[14] 为无关位。比较 SS[13:0]。
15：所有 15 个 SS 位均进行比较，并且必须全部匹配才能激活闹钟。
同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。

注： 同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。

位 23:15 保留，必须保持复位值。

位 14:0 **SS[14:0]**：亚秒值 (Sub seconds value)

该值与同步预分频器计数器的内容进行比较以确定是否要激活闹钟 A。仅比较位 0 到 MASKSS-1。

29.6.16 RTC 闹钟 B 寄存器 (RTC_ALRMBR)

RTC alarm B register

仅当 RTC_ICSR 中的 ALRBWF 置 1 时或在初始化模式下，才可以对此寄存器执行写操作。

此寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x48

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MSK4	WD SEL	DT[1:0]		DU[3:0]				MSK3	PM	HT[1:0]		HU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **MSK4**：闹钟 B 日期掩码 (Alarm B date mask)
0：如果日期和日匹配，则闹钟 B 置 1
1：在闹钟 B 比较中，日期和日无关

位 30 **WDSEL**：星期几选择 (Week day selection)
0：DU[3:0] 代表日期的个位
1：DU[3:0] 代表星期几 DT[1:0] 为无关位

位 29:28 **DT[1:0]**：日期的十位（BCD 格式）(Date tens in BCD format)

位 27:24 **DU[3:0]**：日期个位或日（BCD 格式）(Date units or day in BCD format)

位 23 **MSK3**：闹钟 B 小时掩码 (Alarm B hours mask)
0：如果小时匹配，则闹钟 B 置 1
1：在闹钟 B 比较中，小时无关

位 22 **PM**：AM/PM 符号 (AM/PM notation)
0：AM 或 24 小时制
1：PM

位 21:20 **HT[1:0]**：小时的十位（BCD 格式）(Hour tens in BCD format)

位 19:16 **HU[3:0]**：小时的个位（BCD 格式）(Hour units in BCD format)

位 15 **MSK2**：闹钟 B 分钟掩码 (Alarm B minutes mask)
0：如果分钟匹配，则闹钟 B 置 1
1：在闹钟 B 比较中，分钟无关

位 14:12 **MNT[2:0]**：分钟的十位（BCD 格式）(Minute tens in BCD format)

位 11:8 **MNU[3:0]**：分钟的个位（BCD 格式）(Minute units in BCD format)

位 7 **MSK1**：闹钟 B 秒掩码 (Alarm B seconds mask)
0：如果秒匹配，则闹钟 B 置 1
1：在闹钟 B 比较中，秒无关

位 6:4 **ST[2:0]**：秒的十位（BCD 格式）(Second tens in BCD format)

位 3:0 **SU[3:0]**：秒的个位（BCD 格式）(Second units in BCD format)

29.6.17 RTC 闹钟 B 亚秒寄存器 (RTC_ALRMBSSR)

RTC alarm B sub second register

仅当 RTC_CR 中的 ALRBE 复位时或在初始化模式下，才可以对该寄存器执行写操作。

该寄存器受写保护。*第 786 页的RTC 寄存器写保护*中介绍了写访问的过程。

偏移地址：0x4C

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	MASKSS[3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
				rw	rw	rw	rw								

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	SS[14:0]														
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

位 31:28 保留，必须保持复位值。

位 27:24 **MASKSS[3:0]**：屏蔽从此位开始的最高有效位 (Mask the most-significant bits starting at this bit)

0x0：不对闹钟 B 的亚秒进行比较。当秒单元递增时设置闹钟（假定其余位域均匹配）。
0x1：在闹钟 B 比较中，SS[14:1] 为无关位。仅比较 SS[0]。
0x2：在闹钟 B 比较中，SS[14:2] 为无关位。仅比较 SS[1:0]。
0x3：在闹钟 B 比较中，SS[14:3] 为无关位。仅比较 SS[2:0]。
...
0xC：在闹钟 B 比较中，SS[14:12] 为无关位。比较 SS[11:0]。
0xD：在闹钟 B 比较中，SS[14:13] 为无关位。比较 SS[12:0]。
0xE：在闹钟 B 比较中，SS[14] 为无关位。比较 SS[13:0]。
0xF：所有 15 个 SS 位均进行比较，并且必须全部匹配才能激活闹钟。
同步计数器的溢出位（位 15）从不进行比较。仅当执行平移操作之后，此位才不为 0。

位 23:15 保留，必须保持复位值。

位 14:0 **SS[14:0]**：亚秒值 (Sub seconds value)

该值与同步预分频器计数器的内容进行比较以确定是否要激活闹钟 B。仅比较位 0 到 MASKSS-1。

29.6.18 RTC 状态寄存器 (RTC_SR)

RTC status register

偏移地址：0x50

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSF	TSOVF	TSF	WUTF	ALRBF	ALRAF
										r	r	r	r	r	r

位 31:6 保留，必须保持复位值。

位 5 **ITSF**：内部时间戳标志 (Internal timestamp flag)
发生内部时间戳事件时，由硬件将此标志置 1。

位 4 **TSOVF**：时间戳溢出标志 (Timestamp overflow flag)
当在 TSF 已置 1 的情况下发生时间戳事件时，由硬件将此标志置 1。
建议仅在 TSF 位清零之后再检查并清零 TSOVF 位。否则，如果时间戳事件恰好在清零 TSF 位之前刚刚发生，则溢出事件可能会被漏掉。

位 3 **TSF**：时间戳标志 (Timestamp flag)
发生时间戳事件时，由硬件将此标志置 1。
如果 ITSF 标志已置 1，必须将 TSF 与 ITSF 一起清零。

位 2 **WUTF**：唤醒定时器标志 (Wakeup timer flag)
当唤醒自动重载计数器计数到 0 时，由硬件将此标志置 1。
软件必须在 WUTF 再次置 1 的 1.5 个 RTCCLK 周期之前将该标志清零。

位 1 **ALRBF**：闹钟 B 标志 (Alarm B flag)
当时间/日期寄存器（RTC_TR 和 RTC_DR）与闹钟 B 寄存器 (RTC_ALRMBR) 匹配时，由硬件将该标志置 1。

位 0 **ALRAF**：闹钟 A 标志 (Alarm A flag)
当时间/日期寄存器（RTC_TR 和 RTC_DR）与闹钟 A 寄存器 (RTC_ALRMAR) 匹配时，由硬件将该标志置 1。

注： *此寄存器的位在各自对应的清零位（位于 RTC_SCR 寄存器中）置 1 后 2 个 APB 时钟周期后清零。*

29.6.19 RTC 屏蔽中断状态寄存器 (RTC_MISR)

RTC masked interrupt status register

偏移地址：0x54

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSMF	TSOVMF	TSMF	WUTMF	ALRBMF	ALRAMF
										r	r	r	r	r	r

位 31:6 保留，必须保持复位值。

位 5 **ITSMF**：内部时间戳屏蔽标志 (Internal timestamp masked flag)
发生内部时间戳事件时，由硬件将此标志置 1，将触发时间戳中断。

位 4 **TSOVMF**：时间戳溢出屏蔽标志 (Timestamp overflow flag masked flag)
当在 TSMF 已置 1 的情况下发生时间戳中断时，由硬件将此标志置 1。
建议仅在 TSF 位清零之后再检查并清零 TSOVF 位。否则，如果时间戳事件恰好在清零 TSF 位之前刚刚发生，则溢出事件可能会被漏掉。

位 3 **TSMF**：时间戳屏蔽标志 (Timestamp masked flag)
发生时间戳中断时，由硬件将此标志置 1。
如果 ITSF 标志已置 1，必须将 TSF 与 ITSF 一起清零。

位 2 **WUTMF**：唤醒定时器屏蔽标志 (Wakeup timer masked flag)
发生唤醒定时器中断时，由硬件将此标志置 1。
软件必须在 WUTF 再次置 1 的 1.5 个 RTCCLK 周期之前将该标志清零。

位 1 **ALRBMF**：闹钟 B 屏蔽标志 (Alarm B masked flag)
发生闹钟 B 中断时，由硬件将此标志置 1。

位 0 **ALRAMF**：闹钟 A 屏蔽标志 (Alarm A masked flag)
发生闹钟 A 中断时，由硬件将此标志置 1。

29.6.20 RTC 状态清零寄存器 (RTC_SCR)

RTC status clear register

偏移地址：0x5C

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITSF	CTSOVF	CTSF	CWUTF	CALRBF	CALRAF
										w	w	w	w	w	w

位 31:6 保留，必须保持复位值。

位 5 **CITSF**：清零内部时间戳标志 (Clear internal timestamp flag)
将 1 写入此位时，RTC_SR 寄存器中 ITSF 位将清零。

位 4 **CTSOVF**：清零时间戳溢出标志 (Clear timestamp overflow flag)
将 1 写入此位时，RTC_SR 寄存器中 TSOVF 位将清零。
建议仅在 TSF 位清零之后再检查并清零 TSOVF 位。否则，如果时间戳事件恰好在清零 TSF 位之前刚刚发生，则溢出事件可能会被漏掉。

位 3 **CTSF**：清零时间戳标志 (Clear timestamp flag)
将 1 写入此位时，RTC_SR 寄存器中 TSOVF 位将清零。
如果 ITSF 标志已置 1，必须通过置 1 CRSF 和 CITSF 的方式将 TSF 与 ITSF 一起清零。

位 2 **CWUTF**：清零唤醒定时器标志 (Clear wakeup timer flag)
将 1 写入此位时，RTC_SR 寄存器中 WUTF 位将清零。

位 1 **CALRBF**：清零闹钟 B 标志 (Clear alarm B flag)
将 1 写入此位时，RTC_SR 寄存器中 ALRBF 位将清零。

位 0 **CALRAF**：清零闹钟 A 标志 (Clear alarm A flag)
将 1 写入此位时，RTC_SR 寄存器中 ALRBF 位将清零。

29.6.21 RTC 寄存器映射

表 144. RTC 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**RTC_TR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT [1:0]		HU[3:0]				Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	Reset value										0	0	0	0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x04	**RTC_DR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	YT[3:0]				YU[3:0]				WDU[2:0]			MT	MU[3:0]				Res.	Res.	DT [1:0]		DU[3:0]			
	Reset value									0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1			0	0	0	0	0	1
0x08	**RTC_SSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	**RTC_ICSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RECALPF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	INIT	INITF	RSF	INITS	SHPF	WUTWF	ALRBWF	ALRAWF
	Reset value																0									0	0	0	0	0	1	1	1
0x10	**RTC_PRER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PREDIV_A[6:0]							PREDIV_S[14:0]															
	Reset value										1	1	1	1	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0x14	**RTC_WUTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUT[15:0]															
	Reset value																	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0x18	**RTC_CR**	OUT2EN	TAMPALRM_TYPE	TAMPALRM_PU	Res.	Res.	TAMPOE	TAMPTS	ITSE	COE	OSEL [1:0]		POL	COSEL	BKP	SUB1H	ADD1H	TSIE	WUTIE	ALRBIE	ALRAIE	TSE	WUTE	ALRBE	ALRAE	Res.	FMT	BYPSHAD	REFCKON	TSEDGE	WUCKSEL[2:0]		
	Reset value	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x24	**RTC_WPR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	KEY[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x28	**RTC_ CALR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CALP	CALW8	CALW16	Res.	Res.	Res.	Res.	CALM[8:0]								
	Reset value																	0	0	0					0	0	0	0	0	0	0	0	0
0x2C	**RTC_SHIFTR**	ADD1S	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SUBFS[14:0]														
	Reset value	0																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x30	**RTC_TSTR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PM	HT[1:0]		HU[3:0]				Res.	MNT[2:0]			MNU[3:0]				Res.	ST[2:0]			SU[3:0]			
	Reset value										0	0	0	0	0	0	0		0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x34	**RTC_TSDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WDU[1:0]			MT	MU[3:0]				Res.	Res.	DT [1:0]		DU[3:0]			
	Reset value																	0	0	0	0	0	0	0	0			0	0	0	0	0	0
0x38	**RTC_TSSSR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 144. RTC 寄存器映射和复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x40	**RTC_ALRMAR**	MSK4	WDSEL	DT [1:0]		DU[3:0]				MSK3	PM	HT [1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	**RTC_ ALRMASSR**	Res.	Res.	Res.	Res.	MASKSS [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]														
	Reset value					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	**RTC_ALRMBR**	MSK4	WDSEL	DT [1:0]		DU[3:0]				MSK3	PM	HT [1:0]		HU[3:0]				MSK2	MNT[2:0]			MNU[3:0]				MSK1	ST[2:0]			SU[3:0]			
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	**RTC_ ALRMBSSR**	Res.	Res.	Res.	Res.	MASKSS [3:0]				Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	SS[14:0]														
	Reset value					0	0	0	0										0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x50	**RTC_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSF	TSOVF	TSF	WUTF	ALRBF	ALRAF
	Reset value																											0	0	0	0	0	0
0x54	**RTC_MISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITSMF	TSOVMF	TSMF	WUTMF	ALRBMF	ALRAMF
	Reset value																											0	0	0	0	0	0
0x5C	**RTC_SCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITSF	CTSOVF	CTSF	CWUTF	CALRBF	CALRAF
	Reset value																											0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

30 入侵和备份寄存器 (TAMP)

30.1 简介

所有低功耗模式及 V_{BAT} 模式下均保留 5 个 32 位备份寄存器。这些寄存器的内容受入侵检测电路的保护，因此可用于存储敏感数据。2 个入侵引脚和 4 个内部入侵可用于实现防入侵检测。外部入侵引脚既可配置为边沿检测，也可配置为带或不带过滤的电平检测。

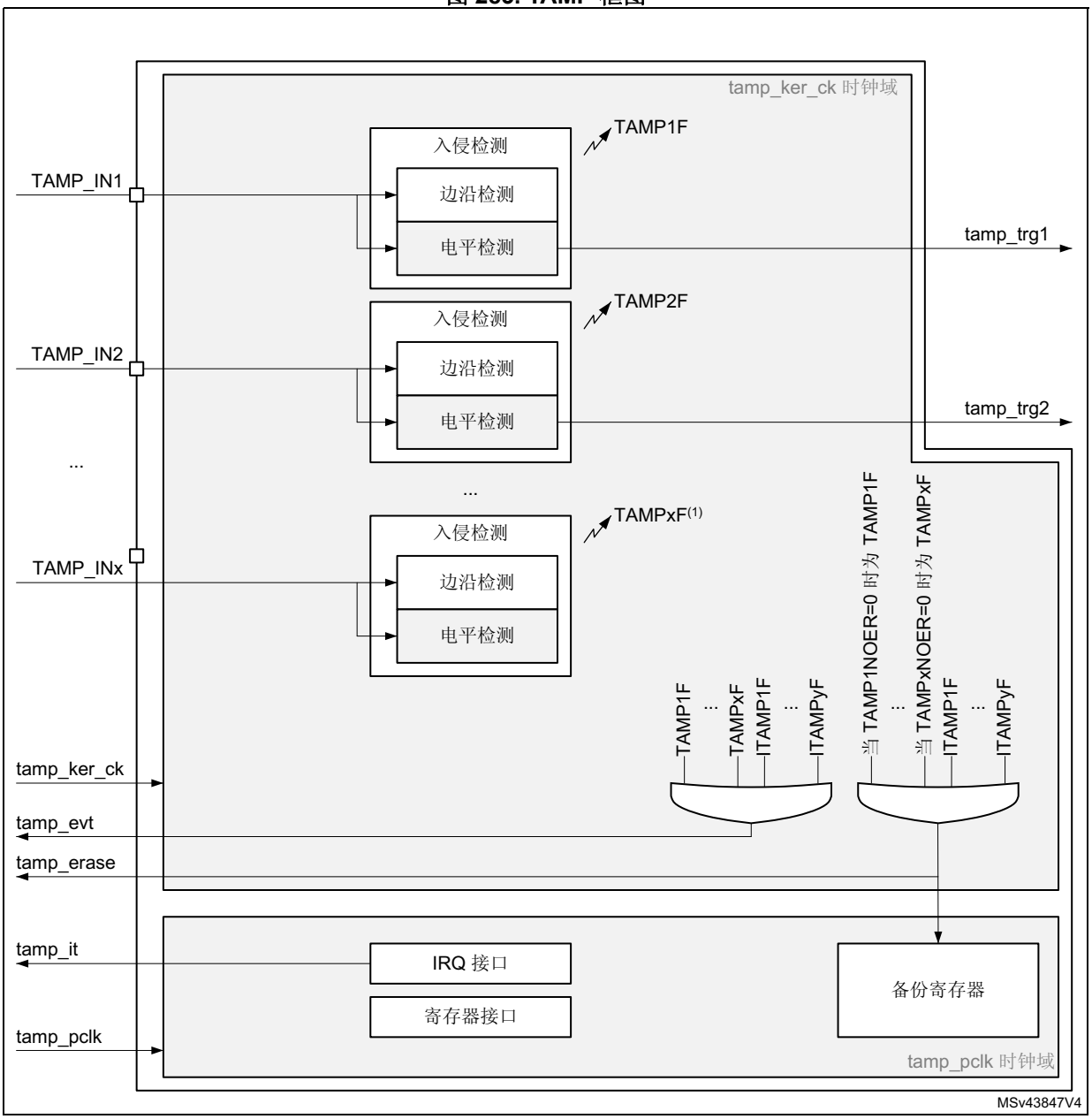
30.2 TAMP 主要特性

- 5 个备份寄存器
  - 备份寄存器 (TAMP_BKPxR) 在 RTC 域中实现，可在 V_{DD} 电源关闭时通过 V_{BAT} 保持上电状态。
- 2 个外部入侵检测事件。
  - 带可配置过滤器和内部上拉的外部被动入侵。
- 4 个内部入侵事件。
- 任何入侵检测均可生成一个 RTC 时间戳事件。
- 任何入侵检测均可擦除备份寄存器。

30.3 TAMP 功能说明

30.3.1 TAMP 框图

图 283. TAMP 框图



1. 外部和内部入侵的数量取决于产品。

30.3.2 TAMP 引脚和内部信号

表 145. TAMP 输入/输出引脚

引脚名称	信号类型	说明
TAMP_INx（x = 引脚索引）	输入	入侵输入引脚

表 146. TAMP 内部输入/输出信号

内部信号名称	信号类型	说明
tamp_ker_ck	输入	TAMP 内核时钟，连接到 rtc_ker_ck，在本文档中还被称为 RTCCLK
tamp_pclk	输入	TAMP APB 时钟，连接到 rtc_pclk
tamp_itamp[y]（y = 信号索引）	输入	内部入侵事件源
tamp_evt	输出	入侵事件检测（内部或外部） tamp_evt 用于生成 RTC 时间戳事件
tamp_erase	输出	入侵事件检测（内部或外部）后的器件机密信息擦除请求
tamp_it	输出	TAMP 中断（有关详细信息，请参见*第 30.5 节：TAMP 中断*）
tamp_trg[x]（x = 信号索引）	输出	入侵检测触发

TAMP 内核时钟通常是 32.768 kHz 的 LSE，但也可以在 RCC 中选择其他时钟源（更多信息请参见 RCC）。当选定的时钟不是 LSE 时，部分检测模式不适用于某些低功耗模式或 V_{BAT} 模式（有关更多详细信息，请参见*第 30.4 节：TAMP 低功耗模式*）。

表 147. TAMP 互连

信号名称	源/目标
tamp_evt	rtc_tamp_evt 用于生成时间戳事件
tamp_erase	tamp_erase 信号用于擦除以下列出的器件机密信息：备份寄存器
tamp_itamp3	LSE 监视
tamp_itamp4	HSE 监视
tamp_itamp5	RTC 日历溢出 (rtc_calovf)
tamp_itamp6	ST 制造商读取

30.3.3 TAMP 寄存器写保护

系统复位后，可通过电源控制外设中的 DBP 位来保护 TAMP 寄存器（包括备份寄存器）以防止非正常的写访问（请参见 PWR 电源控制部分）。必须将 DBP 位置 1 才能使能 TAMP 寄存器的写访问。

30.3.4 入侵检测

入侵检测可配置用于以下目的：

- 擦除备份寄存器（默认配置）
- 生成中断，能够从停止模式和待机模式唤醒
- 为低功耗定时器生成硬件触发

TAMP 备份寄存器

备份寄存器 (TAMP_BKPxR) 不会通过系统复位来复位，也不会在器件从待机模式唤醒时复位。

备份寄存器在发生入侵检测事件时复位，TAMPxNOER 位置 1 时或者 TAMP_CR2 寄存器中的 TAMPxMSK 置 1 时除外。

注： *当 Flash 的读取保护从 1 级更改为 0 级时，备份寄存器也将被擦除。*

入侵检测初始化

可通过将 TAMP_CR 寄存器中相应的 TAMPxE 位置 1 来使能各输入。

每个 TAMP_INx 入侵检测输入与 TAMP_SR 寄存器中的标志 TAMPxF 相关联。

将 TAMPxMSK 清零时：

TAMPxF 标志将在引脚上出现入侵事件后使能，并存在下述延迟：

- 当 TAMPFLT 不为 0x0 时（带过滤的电平检测），延迟为 3 个 ck_apre 周期
- 当 TAMPTS = 1 时（入侵事件的时间戳），延迟为 3 个 ck_apre 周期
- 当 TAMPFLT = 0x0（边沿检测）且 TAMPTS = 0 时，无延迟

在此期间，只要 TAMPxF 置 1，就无法检测到同一引脚上出现的新入侵。

将 TAMPxMSK 置 1 时：

在上述延迟期间以及在 2.5 个 ck_rtc 附加周期内，无法检测到同一引脚上出现的新入侵。

通过将 TAMP_IER 寄存器中的 TAMPxIE 位置 1，可在发生入侵检测事件时（当 TAMPxF 置 1 时）生成中断。当相应的 TAMPxMSK 置 1 时，不允许将 TAMPxIE 置 1。

出现入侵事件时生成触发输出

低功耗定时器可将入侵事件检测用作触发输入。

将 TAMP_CR 寄存器中的 TAMPxMSK 位清零时，必须通过软件将 TAMPxF 标志清零以便在同一引脚上检测新入侵。

将 TAMPxMSK 位置 1 时，TAMPxF 标志会被屏蔽，并在 TAMP_SR 寄存器中保持清零。此配置允许在停止模式下自动触发低功耗定时器，无需通过系统唤醒来执行 TAMPxF 清零。在这种情况下，备份寄存器不清零。

仅当入侵配置为*对入侵输入的带过滤电平检测（被动模式）*模式（TAMPFLT ≠ 00 且不选择激活模式）时，才可使用此功能。

入侵事件的时间戳

当 RTC_CR 中的 TAMPTS 置 1 时，任何入侵事件都会导致时间戳事件发生。在这种情况下，如同发生正常时间戳事件一样，RTC_SR 中的 TSF 位或 TSOVF 位会置 1。在 RTC_SR 中的 TSF 或 TSOVF 置 1 的同时，TAMP_SR 中受影响的入侵标志寄存器 TAMPxF 也会随之置 1。

对入侵输入的边沿检测（被动模式）

如果 TAMPFLT 位设置为 00，当相应的 TAMPxTRG 位上出现上升沿/高电平或下降沿/低电平时，TAMP_INx 引脚将生成入侵检测事件。选择边沿检测时，会禁止 TAMP_INx 输入上的内部上拉电阻。

注意： 使用边沿检测时，建议在使能入侵检测后（通过读取 GPIO 寄存器）以及向备份寄存器中写入敏感值前立即通过软件检查入侵引脚电平，以确保使能入侵事件检测后才出现有效边沿。当 TAMPFLT = 00 且 TAMPxTRG = 0（上升沿检测）时，如果在使能入侵检测前入侵输入已处于高电平，则可通过硬件来检测入侵事件。

检测到入侵事件并清零后，应当在重新编程备份寄存器 (TAMP_BKPxR) 之前禁止 TAMP_INx，然后再重新使能（TAMPxE 置 1）。这可防止应用程序在 TAMP_INx 输入值仍指示入侵检测时，对备份寄存器执行写操作。这相当于对 TAMP_INx 输入的电平检测。

注： *当 V_{DD} 电源关闭时，入侵检测仍有效。要避免意外复位备份寄存器，应将 TAMPx 映射的引脚从外部连接到正确的电平。*

对入侵输入的带过滤电平检测（被动模式）

通过将 TAMPFLT 设置为非零值可执行带过滤的电平检测。在 TAMPxTRG 位指定的电平连续出现 2、4 或 8 个（取决于 TAMPFLT 值）采样时生成入侵检测事件。

TAMP_INx 输入在自身状态被采样之前通过 I/O 内部上拉电阻进行预充电，但通过将 TAMPPUDIS 置 1 禁止时除外。预充电的持续时间由 TAMPPRCH 位确定，从而可在 TAMP_INx 输入上实现更大的电容。

可使用 TAMPFREQ 确定用于电平检测的采样频率，以便使入侵检测延迟与上拉电阻功耗之间达到最佳平衡。

注： *有关上拉电阻的电气特性，请参见数据手册。*

30.4 TAMP 低功耗模式

表 148. 低功耗模式对 TAMP 的影响

模式	说明
睡眠	无影响。 TAMP 中断可使器件退出睡眠模式。
停止	对所有功能均无影响，但带过滤的电平检测模式除外，该模式仅在时钟源为 LSE 或 LSI 时保持激活状态。 入侵事件可使器件退出停止模式。
待机	对所有功能均无影响，但带过滤的电平检测模式除外，该模式仅在时钟源为 LSE 或 LSI 时保持激活状态。入侵事件可使器件退出待机模式。
关断	对所有功能均无影响，但带过滤的电平检测模式除外，该模式仅在时钟源为 LSE 时保持激活状态。入侵事件可使器件退出关断模式。

30.5 TAMP 中断

在中断状态寄存器中设置中断通道。中断输出也会被激活。

表 149. 中断请求

中断缩略语	中断事件	事件标志(1)	使能控制位(2)	中断清除方法	退出睡眠模式	退出停机和待机模式	退出关断模式
TAMP	入侵 x(3)	TAMPxF	TAMPxIE	在 CTAMPxF 中写 1	有	有(4)	有(5)
	内部入侵 y(3)	ITAMPyF	ITAMPyIE	在 CITAMPxF 中写 1	有	有(4)	有(5)

1. 事件标志位于 TAMP_SR 寄存器中。
2. 中断屏蔽标志（由事件标志位和使能控制位的逻辑与运算结果产生）位于 TAMP_MISR 寄存器中。
3. 入侵和内部入侵事件的数量取决于产品。
4. 在带过滤的电平检测被动入侵模式下，只有当 TAMP 时钟源为 LSE 或 LSI 时，才可以从停止和待机模式唤醒。
5. 在带过滤的电平检测被动入侵模式下，只有当 TAMP 时钟源为 LSE 时，才可以从关断模式唤醒。

30.6 TAMP 寄存器

有关寄存器说明中使用的缩写，请参见参考手册中的*第 49 页的第 1.2 节*。外设寄存器可按字（32 位）进行访问。

30.6.1 TAMP 控制寄存器 1 (TAMP_CR1)

TAMP control register 1

偏移地址：0x00

RTC 域复位值：0xFFFF 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6E	ITAMP5E	ITAMP4E	ITAMP3E	Res.	Res.
										rw	rw	rw	rw		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2E	TAMP1E
														rw	rw

位 31:24 保留，必须保持复位值。

位 23 保留，必须保持复位值。

位 22 保留，必须保持复位值。

位 21 **ITAMP6E**：内部入侵 6 使能：ST 制造商读取 (Internal tamper 6 enable: ST manufacturer readout)
0：禁止内部入侵 6。
1：使能内部入侵 6：在 ST 制造商读取时生成入侵。

位 20 **ITAMP5E**：内部入侵 5 使能：RTC 日历溢出 (Internal tamper 5 enable: RTC calendar overflow)
0：禁止内部入侵 5。
1：使能内部入侵 5：在 RTC 日历达到其最大值（99 年 12 月 31 日 23:59:59）时生成入侵。日历随后会冻结，不会溢出。

位 19 **ITAMP4E**：内部入侵 4 使能：HSE 监视 (Internal tamper 4 enable: HSE monitoring)
0：禁止内部入侵 4。
1：使能内部入侵 4。当 HSE 频率低于或高于阈值时生成入侵。

位 18 **ITAMP3E**：内部入侵 3 使能：LSE 监视 (Internal tamper 3 enable: LSE monitoring)
0：禁止内部入侵 3。
1：使能内部入侵 3：当 LSE 频率低于或高于阈值时生成入侵。

位 17 保留，必须保持复位值。

位 16 保留，必须保持复位值。

位 15:2 保留，必须保持复位值。

位 1 **TAMP2E**：TAMP_IN2 的入侵检测使能 (Tamper detection on TAMP_IN2 enable)
0：禁止 TAMP_IN2 的入侵检测。
1：使能 TAMP_IN2 的入侵检测。

位 0 **TAMP1E**：TAMP_IN1 的入侵检测使能 (Tamper detection on TAMP_IN1 enable)
0：禁止 TAMP_IN1 的入侵检测。
1：使能 TAMP_IN1 的入侵检测。

30.6.2 TAMP 控制寄存器 2 (TAMP_CR2)

TAMP control register 2

偏移地址：0x04

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	TAMP2 TRG	TAMP1 TRG	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2 MSK	TAMP1 MSK
						rw	rw							rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2 NOER	TAMP1 NOER
														rw	rw

位 31:26 保留，必须保持复位值。

位 25 **TAMP2TRG**：入侵 2 输入的有效电平（禁止工作模式）(Active level for tamper 2 input (active mode disabled))
如果 TAMPFLT ≠ 00
0：入侵 2 输入保持低电平会触发入侵检测事件。
1：入侵 2 输入保持高电平会触发入侵检测事件。
如果 TAMPFLT = 00
0：入侵 2 输入上升沿会触发入侵检测事件。
1：入侵 2 输入下降沿会触发入侵检测事件。

位 24 **TAMP1TRG**：入侵 1 输入的有效电平（禁止工作模式）(Active level for tamper 1 input (active mode disabled))

如果 TAMPFLT ≠ 00

0：入侵 1 输入保持低电平会触发入侵检测事件。

1：入侵 1 输入保持高电平会触发入侵检测事件。

如果 TAMPFLT = 00

00：入侵 1 输入上升沿和高电平会触发入侵检测事件。

01：入侵 1 输入下降沿和低电平会触发入侵检测事件。

位 23 保留，必须保持复位值。

位 22:18 保留，必须保持复位值。

位 17 **TAMP2MSK**：入侵 2 屏蔽 (Tamper 2 mask)

0：入侵 2 事件生成触发事件，如果要允许下一次入侵事件检测，必须通过软件将 TAMP2F 清零。

1：入侵 2 事件生成触发事件。屏蔽 TAMP2F 并由硬件在内部将其清零。不擦除备份寄存器。*TAMP2MSK 置 1 时，不得使能入侵 2 中断。*

位 16 **TAMP1MSK**：入侵 1 屏蔽 (Tamper 1 mask)

0：入侵 1 事件生成触发事件，必须通过软件将 TAMP1F 清零来允许下一次入侵事件检测。

1：入侵 1 事件生成触发事件。屏蔽 TAMP1F 并由硬件在内部将其清零。不擦除备份寄存器。*TAMP1MSK 置 1 时，不得使能入侵 1 中断。*

位 15:2 保留，必须保持复位值。

位 1 **TAMP2NOER**：入侵 2 不擦除 (Tamper 2 no erase)

0：入侵 2 事件擦除备份寄存器。

1：入侵 2 事件不擦除备份寄存器。

位 0 **TAMP1NOER**：入侵 1 不擦除 (Tamper 1 no erase)

0：入侵 1 事件擦除备份寄存器。

1：入侵 1 事件不擦除备份寄存器。

30.6.3 TAMP 滤波器控制寄存器 (TAMP_FLTCR)

TAMP filter control register

偏移地址：0x0C

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP PUDIS	TAMPPRCH [1:0]		TAMPFLT [1:0]		TAMPFREQ [2:0]		
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7 **TAMPPUDIS**：TAMP_INx 上拉禁止 (TAMP_INx pull-up disable)

此位决定了在每次采样之前是否对每个 TAMPx 引脚都进行预充电。

0：采样之前对 TAMP_INx 引脚进行预充电（使能内部上拉）

1：禁止对 TAMP_INx 引脚进行预充电

位 6:5 **TAMPPRCH[1:0]**：TAMP_INx 预充电持续时间 (TAMP_INx precharge duration)

这些位决定了在每次采样之前激活上拉的持续时间。TAMPPRCH 对每个 TAMP_INx 输入都有效。

0x0：1 个 RTCCLK 周期

0x1：2 个 RTCCLK 周期

0x2：4 个 RTCCLK 周期

0x3：8 个 RTCCLK 周期

位 4:3 **TAMPFLT[1:0]**：TAMP_INx 滤波器计数 (TAMP_INx filter count)

这些位决定了为激活入侵事件需要在指定电平 (TAMP*TRG) 上的连续采样次数。TAMPFLT 对每个 TAMP_INx 输入都有效。

0x0：在 TAMP_INx 输入转变为有效电平的边沿激活入侵事件（TAMP_INx 输入上无内部上拉）。

0x1：在有效电平上连续执行 2 次采样后激活入侵事件。

0x2：在有效电平上连续执行 4 次采样后激活入侵事件。

0x3：在有效电平上连续执行 8 次采样后激活入侵事件。

位 2:0 **TAMPFREQ[2:0]**：入侵采样频率 (Tamper sampling frequency)

这些位决定了对每个 TAMP_INx 输入进行采样时的频率。

0x0：RTCCLK/32768（RTCCLK = 32768 Hz 时为 1 Hz）

0x1：RTCCLK/16384（RTCCLK = 32768 Hz 时为 2 Hz）

0x2：RTCCLK/8192（RTCCLK = 32768 Hz 时为 4 Hz）

0x3：RTCCLK/4096（RTCCLK = 32768 Hz 时为 8 Hz）

0x4：RTCCLK/2048（RTCCLK = 32768 Hz 时为 16 Hz）

0x5：RTCCLK/1024（RTCCLK = 32768 Hz 时为 32 Hz）

0x6：RTCCLK/512（RTCCLK = 32768 Hz 时为 64 Hz）

0x7：RTCCLK/256（RTCCLK = 32768 Hz 时为 128 Hz）

注： *该寄存器仅涉及被动模式下的入侵输入。*

30.6.4 TAMP 中断使能寄存器 (TAMP_IER)

TAMP interrupt enable register

偏移地址：0x2C

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6IE	ITAMP5IE	ITAMP4IE	ITAMP3IE	Res.	Res.
										rw	rw	rw	rw		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2IE	TAMP1IE
														rw	rw

位 31:24 保留，必须保持复位值。

位 23 保留，必须保持复位值。

位 22 保留，必须保持复位值。

位 21 **ITAMP6IE**：内部入侵 6 中断使能：ST 制造商读取 (Internal tamper 6 interrupt enable: ST manufacturer readout)

0：禁止内部入侵 6 中断。
1：使能内部入侵 6 中断。

位 20 **ITAMP5IE**：内部入侵 5 中断使能：RTC 日历溢出 (Internal tamper 5 interrupt enable: RTC calendar overflow)

0：禁止内部入侵 5 中断。
1：使能内部入侵 5 中断。

位 19 **ITAMP4IE**：内部入侵 4 中断使能：HSE 监视 (Internal tamper 4 interrupt enable: HSE monitoring)

0：禁止内部入侵 4 中断。
1：使能内部入侵 4 中断。

位 18 **ITAMP3IE**：内部入侵 3 中断使能：LSE 监视 (Internal tamper 3 interrupt enable: LSE monitoring)

0：禁止内部入侵 3 中断。
1：使能内部入侵 3 中断。

位 17 保留，必须保持复位值。

位 16 保留，必须保持复位值。

位 15:2 保留，必须保持复位值。

位 1 **TAMP2IE**：入侵 2 中断使能 (Tamper 2 interrupt enable)

0：禁止入侵 2 中断。
1：使能入侵 2 中断。

位 0 **TAMP1IE**：入侵 1 中断使能 (Tamper 1 interrupt enable)

0：禁止入侵 1 中断。
1：使能入侵 1 中断。

30.6.5 TAMP 状态寄存器 (TAMP_SR)

TAMP status register

偏移地址：0x30

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6F	ITAMP5F	ITAMP4F	ITAMP3F	Res.	Res.
										r	r	r	r		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2F	TAMP1F
														r	r

位 31:24 保留，必须保持复位值。

位 23 保留，必须保持复位值。

位 22 保留，必须保持复位值。

位 21 **ITAMP6F**：ST 制造商读取入侵检测标志 (ST manufacturer readout tamper detection flag)
在内部入侵 6 上检测到入侵检测事件时，由硬件将此标志置 1。

位 20 **ITAMP5F**：RTC 日历溢出入侵检测标志 (RTC calendar overflow tamper detection flag)
在内部入侵 5 上检测到入侵检测事件时，由硬件将此标志置 1。

位 19 **ITAMP4F**：HSE 监视入侵检测标志 (HSE monitoring tamper detection flag)
在内部入侵 4 上检测到入侵检测事件时，由硬件将此标志置 1。

位 18 **ITAMP3F**：LSE 监视入侵检测标志 (LSE monitoring tamper detection flag)
在内部入侵 3 上检测到入侵检测事件时，由硬件将此标志置 1。

位 17 保留，必须保持复位值。

位 16 保留，必须保持复位值。

位 15:2 保留，必须保持复位值。

位 1 **TAMP2F**：TAMP2 检测标志 (TAMP2 detection flag)
在 TAMP2 输入上检测到入侵检测事件时，由硬件将此标志置 1。

位 0 **TAMP1F**：TAMP1 检测标志 (TAMP1 detection flag)
在 TAMP1 输入上检测到入侵检测事件时，由硬件将此标志置 1。

30.6.6 TAMP 屏蔽中断状态寄存器 (TAMP_MISR)

TAMP masked interrupt status register

偏移地址：0x34

RTC域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6MF	ITAMP5MF	ITAMP4MF	ITAMP3MF	Res.	Res.
										r	r	r	r		r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2MF	TAMP1MF
														r	r

位 31:24 保留，必须保持复位值。

位 23 保留，必须保持复位值。

位 22 保留，必须保持复位值。

位 21 **ITAMP6MF**：ST 制造商读取入侵中断屏蔽标志 (ST manufacturer readout tamper interrupt masked flag)
发生内部入侵 6 中断时，由硬件将此标志置 1。

位 20 **ITAMP5MF**：RTC 日历溢出入侵中断屏蔽标志 (RTC calendar overflow tamper interrupt masked flag)
发生内部入侵 5 中断时，由硬件将此标志置 1。

位 19 **ITAMP4MF**：HSE 监视入侵中断屏蔽标志 (HSE monitoring tamper interrupt masked flag)
发生内部入侵 4 中断时，由硬件将此标志置 1。

位 18 **ITAMP3MF**：LSE 监视入侵中断屏蔽标志 (LSE monitoring tamper interrupt masked flag)
发生内部入侵 3 中断时，由硬件将此标志置 1。

位 17 保留，必须保持复位值。

位 16 保留，必须保持复位值。

位 15:2 保留，必须保持复位值。

位 1 **TAMP2MF**：TAMP2 中断屏蔽标志 (TAMP2 interrupt masked flag)
发生入侵 2 中断时，由硬件将此标志置 1。

位 0 **TAMP1MF**：TAMP1 中断屏蔽标志 (TAMP1 interrupt masked flag)
发生入侵 1 中断时，由硬件将此标志置 1。

30.6.7 TAMP 状态清零寄存器 (TAMP_SCR)

TAMP status clear register

偏移地址：0x3C

系统复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITAMP6F	CITAMP5F	CITAMP4F	CITAMP3F	Res.	Res.
										w	w	w	w		

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTAMP2F	CTAMP1F
														w	w

位 31:24 保留，必须保持复位值。

位 23 保留，必须保持复位值。

位 22 保留，必须保持复位值。

位 21 **CITAMP6F**：清零 ITAMP6 检测标志 (Clear ITAMP6 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 ITAMP6F 位将清零。

位 20 **CITAMP5F**：清零 ITAMP5 检测标志 (Clear ITAMP5 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 ITAMP5F 位将清零。

位 19 **CITAMP4F**：清零 ITAMP4 检测标志 (Clear ITAMP4 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 ITAMP4F 位将清零。

位 18 **CITAMP3F**：清零 ITAMP3 检测标志 (Clear ITAMP3 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 ITAMP3F 位将清零。

位 17 保留，必须保持复位值。

位 16 保留，必须保持复位值。

位 15:2 保留，必须保持复位值。

位 1 **CTAMP2F**：清零 TAMP2 检测标志 (Clear TAMP2 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 TAMP2F 位将清零。

位 0 **CTAMP1F**：清零 TAMP1 检测标志 (Clear TAMP1 detection flag)
将 1 写入此位时，TAMP_SR 寄存器中 TAMP1F 位将清零。

30.6.8 TAMP 备份 x 寄存器 (TAMP_BKPxR)

TAMP backup x register

偏移地址：0x100 + 0x04 * x（x = 0 到 4）

备份域复位值：0x0000 0000

系统复位：不受影响

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BKP[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BKP[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	w	rw	rw

位 31:0 **BKP[31:0]**

应用可向/从这些寄存器写入/读取数据。

当 V_{DD} 关闭时，这些寄存器由 V_{BAT} 供电，因而系统复位时，这些寄存器不会复位，并且当器件在低功耗模式下工作时，寄存器的内容仍然有效。

在默认配置中，此寄存器在发生入侵检测事件时复位。只要至少一个内部或外部入侵标志置 1，就会将此寄存器强制为复位值。禁止读取保护 (RDP) 时，此寄存器也会复位。

30.6.9 TAMP 寄存器映射

表 150. TAMP 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**TAMP_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6E	ITAMP5E	ITAMP4E	ITAMP3E	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2E	TAMP1E
	Reset value											1	1	1	1																	0	0
0x04	**TAMP_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2TRG	TAMP1TRG	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2MSK	TAMP1MSK	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2NOER	TAMP1NOER
	Reset value							0	0							0	0															0	0
0x0C	**TAMP_FLTCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMPPUDIS	TAMPPRCH[1:0]		.TAMPFLT[1:0]		TAMPFREQ[2:0]		
	Reset value																									0	0	0	0	0	0	0	0
0x2C	**TAMP_IER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6IE	ITAMP5IE	ITAMP4IE	ITAMP3IE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2IE	TAMP1IE
	Reset value											0	0	0	0																	0	0
0x30	**TAMP_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6F	ITAMP5F	ITAMP4F	ITAMP3F	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2F	TAMP1F
	Reset value											0	0	0	0																	0	0
0x34	**TAMP_MISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ITAMP6MF	ITAMP5MF	ITAMP4MF	ITAMP3MF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TAMP2MF	TAMP1MF
	Reset value											0	0	0	0																	0	0
0x3C	**TAMP_SCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CITAMP6F	CITAMP5F	CITAMP4F	CITAMP3F	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTAMP2F	CTAMP1F
	Reset value											0	0	0	0																	0	0
0x100 + 0x04*x (x = 0 to 4)	**TAMP_BKPxR**	BKP[31:0]																															
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

31 内部集成电路 (I2C) 接口

31.1 简介

I^2C（内部集成电路）总线接口处理微控制器与串行 I^2C 总线间的通信。它提供多主模式功能，可以控制所有 I^2C 总线特定的序列、协议、仲裁和时序。它支持标准模式 (Sm)、快速模式 (Fm) 和超快速模式 (Fm+)。

它还与 SMBus（系统管理总线）和 PMBus（电源管理总线）兼容。

可使用 DMA 来减轻 CPU 的工作量。

31.2 I2C 主要特性

- 兼容 I^2C 总线规范第 03 版：
  - 从模式和主模式
  - 多主模式功能
  - 标准速度模式（高达 100 kHz）
  - 快速模式（高达 400 kHz）
  - 超快速模式（高达 1 MHz）
  - 7 位和 10 位寻址模式
  - 多个 7 位从地址（2 个从设备地址寄存器，1 个具有可配置的掩码位段）
  - 所有 7 位地址应答模式
  - 广播呼叫
  - 总线上的数据建立和保持时间可软件配置
  - 方便易用的事件管理
  - 可选的时钟延长
  - 软件复位
- 带 DMA 功能的 1 字节缓冲
- 可编程模拟和数字噪声滤波器

还可额外提供以下特性，具体取决于产品实现（请参见*第 31.3 节：I2C 特性实现*）：

- 兼容 SMBus 规范第 3.0 版：
  - 具有 ACK 控制的硬件 PEC（数据包错误校验）生成和验证
  - 命令和数据应答控制
  - 支持地址解析协议 (ARP)
  - 支持主机和从设备
  - SMBus 报警
  - 超时和空闲条件检测
- 兼容 PMBus 第 1.3 版标准
- 独立时钟：选择独立时钟源可使 I2C 通信速度不受 PCLK 时钟频率更改的影响
- 地址匹配时从停止模式唤醒

31.3 I2C 特性实现

本手册介绍了 I2C1 和 I2C2 中实现的所有特性。I2C2 支持的特性略少，但在其余方面与 I2C1 完全相同。区别如下表所示。

表 151. STM32G0x1 I2C 实现

I2C 特性(1)	I2C1	I2C2
7 位寻址模式	X	X
10 位寻址模式	X	X
标准模式（高达 100 kbit/s）	X	X
快速模式（高达 400 kbit/s）	X	X
超快速模式 20mA 输出驱动 I/O（高达 1 Mb/s）	X	X
独立时钟	X	-
从停止模式唤醒	X	-
SMBus/PMBus	X	-

1. X = 支持。

31.4 I2C 功能说明

除了接收和发送数据之外，此接口还可以从串行格式转换为并行格式，反之亦然。中断由软件使能或禁止。该接口通过数据引脚 (SDA) 和时钟引脚 (SCL) 连接到 I^2C 总线。它可以连接到标准速度（高达 100 kHz）、快速（高达 400 kHz）或超快速（高达 1 MHz）I^2C 总线。

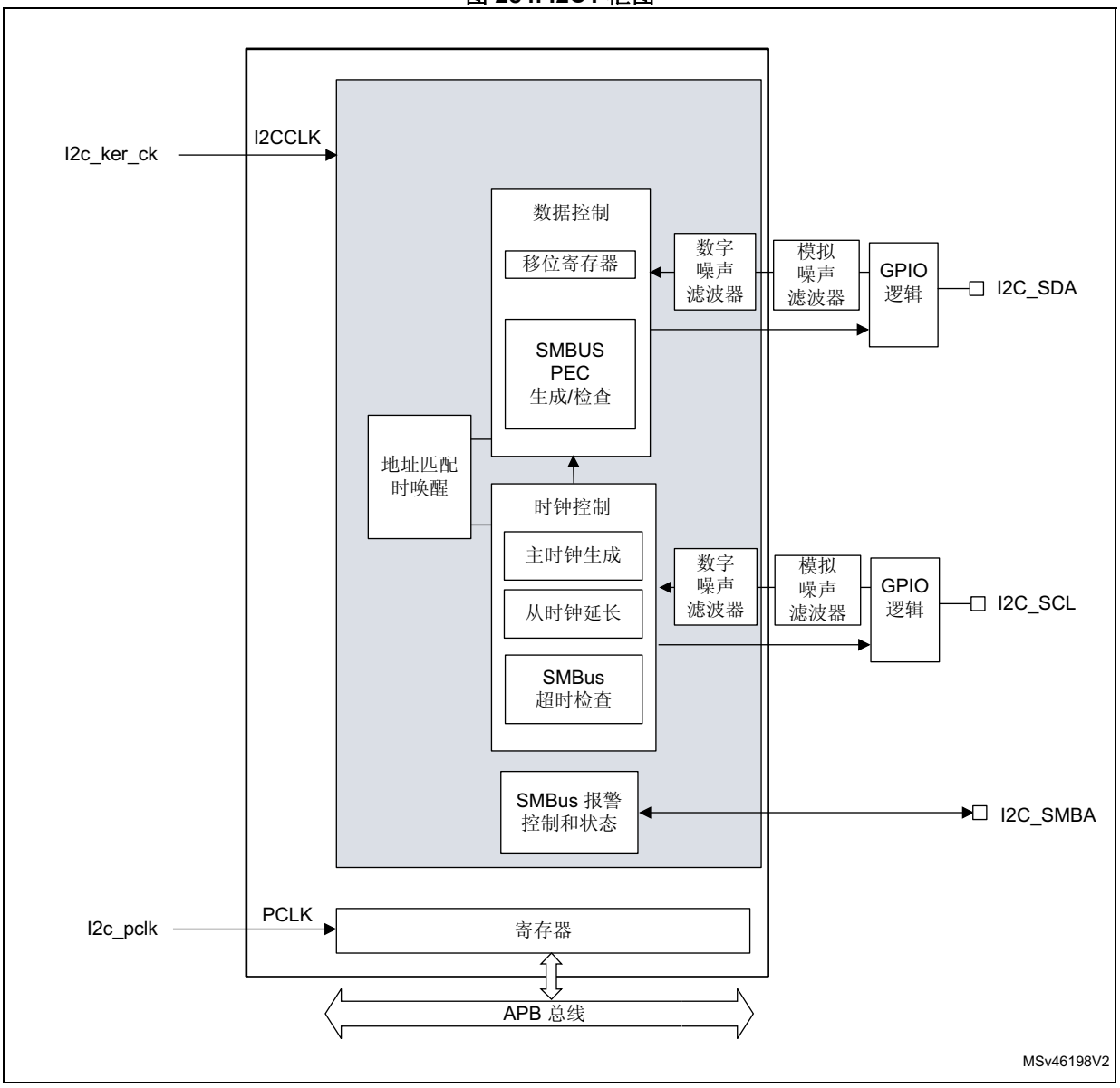
该接口也可通过数据引脚 (SDA) 和时钟引脚 (SCL) 连接到 SMBus。

如果支持 SMBus 功能：还可使用额外的可选 SMBus 报警引脚 (SMBA)。

31.4.1 I2C1 框图

I2C1 接口的框图如*图 284* 所示。

图 284. I2C1 框图



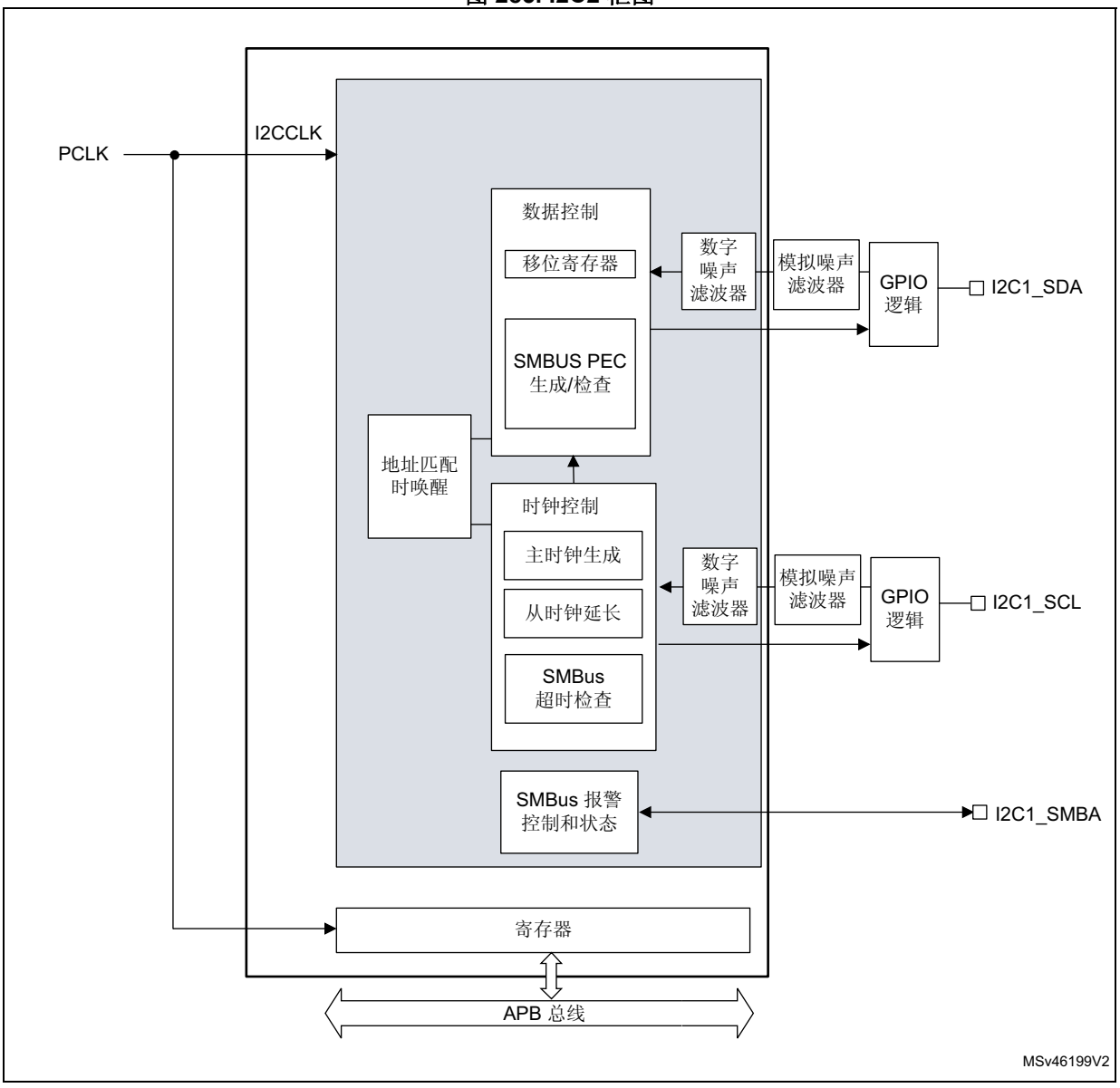
I2C1 的时钟由独立时钟源提供，这使得 I2C 能够独立于 PCLK 频率工作。

对于支持以 20 mA 输出电流驱动超快速模式操作的 I2C I/O，可以通过系统配置控制器 (SYSCFG) 中的控制位使能驱动功能。*请参见第 31.3 节：I2C 特性实现。*

31.4.2 I2C2 框图

I2C2 接口的框图如*图 285* 所示。

图 285. I2C2 框图



对于支持以 20 mA 输出电流驱动超快速模式操作的 I2C I/O，可以通过系统配置控制器 (SYSCFG) 中的控制位使能驱动功能。*请参见第 31.3 节：I2C 特性实现。*

31.4.3 I2C 时钟要求

I2C 内核的时钟由 I2CCLK 提供。

I2CCLK 周期 t_{I2CCLK} 必须遵循以下条件：

$t_{I2CCLK} < (t_{LOW} - t_{filters}) / 4$ 且 $t_{I2CCLK} < t_{HIGH}$

其中：

t_{LOW}：SCL 低电平时间；t_{HIGH}：SCL 高电平时间。

$t_{filters}$：滤波器使能时，该值为模拟滤波器和数字滤波器引入的延时总和。

模拟滤波器延时最大值为 260 ns。数字滤波器延时为 DNF x t_{I2CCLK}。

PCLK 时钟周期 t_{PCLK} 必须遵循以下条件：

$t_{PCLK} < 4/3\ t_{SCL}$

其中，t_{SCL}：SCL 周期

注意： 当 I2C 内核的时钟由 PCLK 提供时，该时钟必须遵循 t_{I2CCLK} 的条件。

31.4.4 模式选择

该接口在工作时可选用以下四种模式之一：

- 从发送器
- 从接收器
- 主发送器
- 主接收器

默认情况下，它以从模式工作。接口在生成起始位后会自动由从模式切换为主模式，并在出现仲裁丢失或生成停止位时从主模式切换为从模式，从而实现多主模式功能。

通信流程

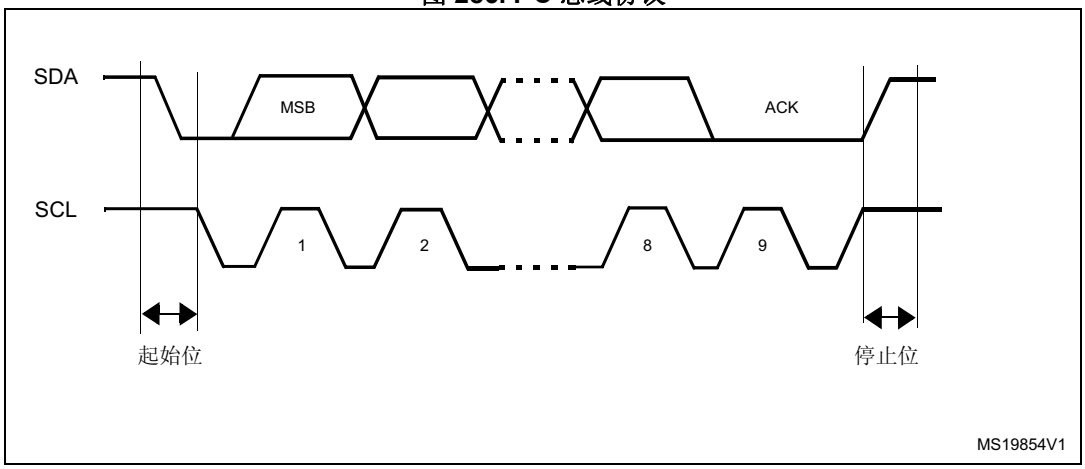
在主模式下，I2C 接口会启动数据传输并生成时钟信号。串行数据传输始终是在出现起始位时开始，在出现停止位时结束。起始位和停止位均在主模式下由软件生成。

在从模式下，该接口能够识别其自身地址（7 或 10 位）以及广播呼叫地址。广播呼叫地址检测可由软件使能或禁止。保留的 SMBus 地址也可由软件使能。

数据和地址均以 8 位字节传输，MSB 在前。起始位后紧随地址字节（7 位地址占据一个字节；10 位地址占据两个字节）。地址始终在主模式下传送。

在字节传输 8 个时钟周期后是第 9 个时钟脉冲，在此期间接收器必须向发送器发送一个应答位。请参见下图。

图 286. I²C 总线协议



应答位可由软件使能或禁止。I2C 接口地址可通过软件进行选择。

31.4.5 I2C 初始化

使能和禁止外设

I2C 外设时钟必须在时钟控制器中进行配置和使能。

然后可通过将 I2C_CR1 寄存器中的 PE 位置 1 使能 I2C。

当禁止 I2C (PE=0) 时，I²C 将执行软件复位。更多详细信息，请参见*第 31.4.6 节：软件复位*。

噪声滤波器

通过将 I2C_CR1 寄存器中的 PE 位置 1 来使能 I2C 外设之前，如有必要，用户必须配置噪声滤波器。默认情况下，SDA 和 SCL 输入上集成了模拟噪声滤波器。该模拟滤波器符合 I²C 规范，此规范要求在快速模式和超快速模式下对脉宽在 50ns 以下的脉冲都要抑制。用户可通过将 ANFOFF 位置 1 来禁止该模拟滤波器，通过配置 I2C_CR1 寄存器中的 DNF[3:0] 位来选择数字滤波器。

使能数字滤波器时，SCL 或 SDA 线的电平只有在电平稳定时间超过 DNF x I2CCLK 个周期后才会发生内部变化。从而可抑制的尖峰脉宽在 1 到 15 个 I2CCLK 周期可编程。

表 152. 模拟滤波器与数字滤波器对比

-	模拟滤波器	数字滤波器
抑制的脉冲宽度	≥ 50 ns	从 1 到 15 个 I2C 外设时钟的可编程长度
优点	停止模式中仍可用	– 长度可编程：额外的滤波能力与标准要求 – 稳定长度
缺点	随温度、电压和过程变化会发生变化	当使能数字滤波器后，无法在地址匹配时从停止模式唤醒。

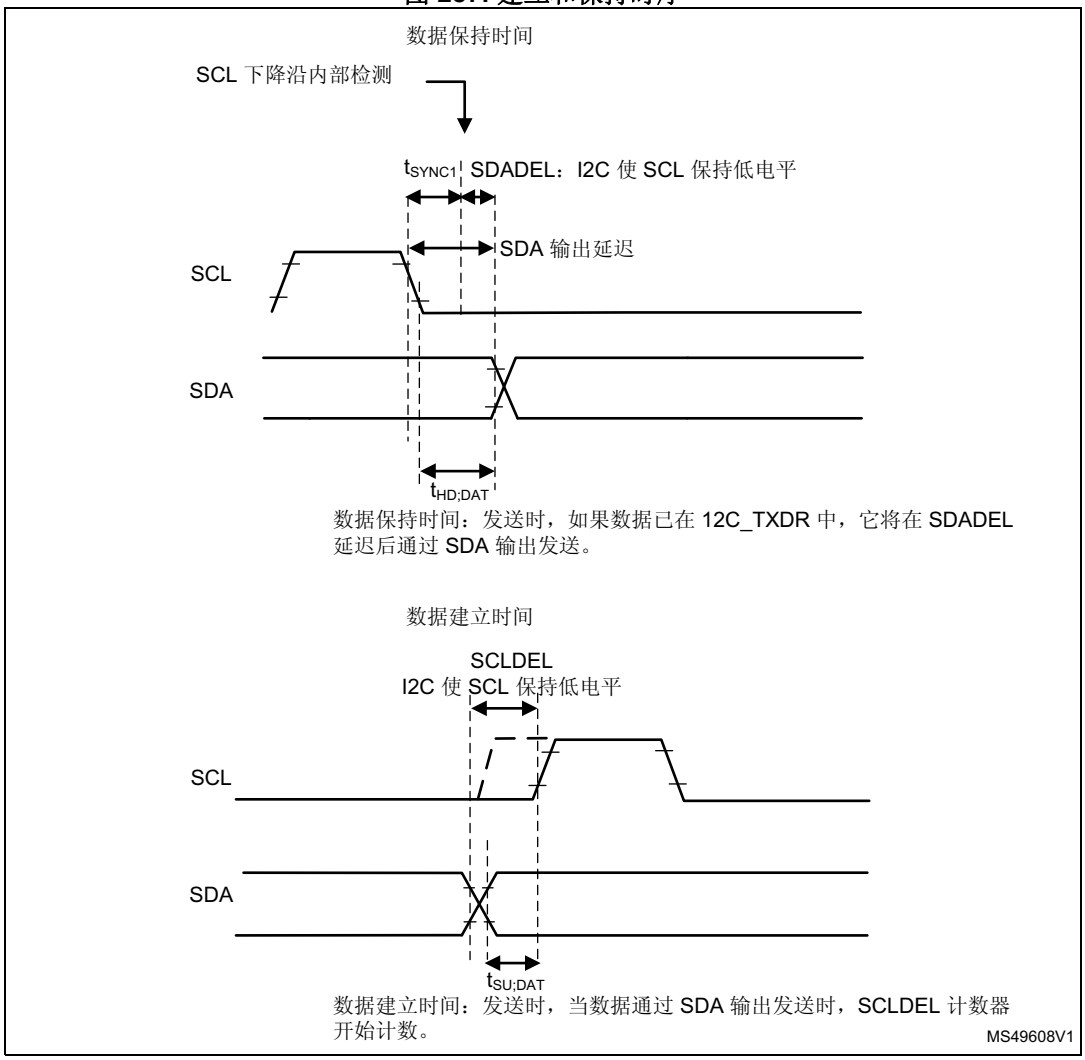
注意： 使能 I2C 时，不允许更改滤波器配置。

I2C 时序

必须配置时序，以便保证主模式和从模式下使用正确的数据保持和建立时间。配置方法是编程 I2C_TIMINGR 寄存器中的 PRESC[3:0]、SCLDEL[3:0] 和 SDADEL[3:0] 位。

STM32CubeMX 工具根据 I2C 配置窗口的设置自动计算并提供 I2C_TIMINGR 寄存器的值。

图 287. 建立和保持时序



- 当内部检测到 SCL 下降沿时，会在发送 SDA 输出之前插入一段延时。该延时为 t_{SDADEL} = SDADEL x t_{PRESC} + t_{I2CCLK}，其中 t_{PRESC} = (PRESC+1) x t_{I2CCLK}。
  T_{SDADEL} 会影响保持时间 $t_{HD;DAT}$。

SDA 总输出延时为：

t_{SYNC1} + {[SDADEL x (PRESC+1) + 1] x t_{I2CCLK} }

t_{SYNC1} 持续时间取决于以下参数：

- SCL 下降斜率
- 模拟滤波器（使能时）引入的输入延时：$t_{AF(min)} < t_{AF} < t_{AF(max)}$
- 数字滤波器（使能时）引入的输入延时：$t_{DNF} = DNF \times t_{I2CCLK}$
- SCL 与 I2CCLK 时钟建立同步而产生的延时（2 到 3 个 I2CCLK 周期）

为了桥接 SCL 下降沿的未定义区域，用户编程 SDADEL 时必须遵循以下条件：

$$\{t_{f\ (max)} + t_{HD;DAT\ (min)} - t_{AF(min)} - [(DNF + 3) \times t_{I2CCLK}]\} / \{(PRESC + 1) \times t_{I2CCLK}\} \leq SDADEL$$

$$SDADEL \leq \{t_{HD;DAT\ (max)} - t_{AF(max)} - [(DNF+4) \times t_{I2CCLK}]\} / \{(PRESC + 1) \times t_{I2CCLK}\}$$

注： *只有使能模拟滤波器时，公式中才包含 $t_{AF(min)}$ / $t_{AF(max)}$。有关 t_{AF} 值的信息，请参见器件数据手册。*

标准模式、快速模式和超快速模式下的 $t_{HD;DAT}$ 最大值分别可达 3.45 µs、0.9 µs 和 0.45 µs，但必须小于 $t_{VD;DAT}$ 最大值（差值为跳变时间）。只有器件未延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足该最大值条件。如果时钟延长 SCL，数据必须在建立时间内保持有效，之后才能释放时钟。

SDA 上升沿通常为最坏情况，因此在这种情况下，上述公式变成如下形式：

$$SDADEL \leq \{t_{VD;DAT\ (max)} - t_{r\ (max)} - 260\ ns - [(DNF+4) \times t_{I2CCLK}]\} / \{(PRESC + 1) \times t_{I2CCLK}\}$$。

注： *NOSTRETCH=0 时会违反该条件，这是因为器件会根据 SCLDEL 值来延长 SCL 低电平时间，以保证建立时间。*

有关 t_f、t_r、$t_{HD;DAT}$ 和 $t_{VD;DAT}$ 标准值的信息，请参见*表 153：I2C-SMBUS 规范数据建立和保持时间*。

- 在 t_{SDADEL} 延时后，或在因数据未写入 I2C_TXDR 寄存器而导致从器件必须延长时钟的情况下发送 SDA 输出后，SCL 线会在建立时间内保持低电平。该建立时间为 $t_{SCLDEL} = (SCLDEL+1) \times t_{PRESC}$，其中 $t_{PRESC} = (PRESC+1) \times t_{I2CCLK}$。

  t_{SCLDEL} 会影响建立时间 $t_{SU;DAT}$。

为了桥接 SDA 跳变（上升沿通常为最坏情况）的未定义区域，编程 SCLDEL 时必须遵循以下条件：

$$\{[t_{r\ (max)} + t_{SU;DAT\ (min)}] / [(PRESC+1)] \times t_{I2CCLK}]\} - 1 <= SCLDEL$$

有关 t_r 和 $t_{SU;DAT}$ 标准值的信息，请参见*表 153：I2C-SMBUS 规范数据建立和保持时间*。

将使用的 SDA 和 SCL 跳变时间值就是应用中的值。使用最大值而非标准值会增加 SDADEL 和 SCLDEL 计算的约束条件，但能够确保任意应用的特性。

注： *在发送和接收模式下，对于每个时钟脉冲，检测到 SCL 下降沿后，I2C 主器件或从器件会至少在 [(SDADEL+SCLDEL+1) x (PRESC+1) + 1] x t_{I2CCLK} 期间内延长 SCL 低电平时间。在发送模式下，如果 SDADEL 计数器计数结束后数据还未写入 I2C_TXDR，则 I2C 会继续延长 SCL 低电平时间，直到写入下一个数据。随后，会将新数据 MSB 发送到 SDA 输出，SCLDEL 计数器将开始计数，同时会继续延长 SCL 低电平时间以确保提供充足的数据建立时间。*

如果从模式下 NOSTRETCH = 1，则 SCL 不会延长。因此，编程 SDADEL 时还必须确保提供充足的建立时间。

表 153. I²C-SMBUS 规范数据建立和保持时间

符号	参数	标准模式 (Sm)		快速模式 (Fm)		超快速模式 (Fm+)		SMBus		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
$t_{HD;DAT}$	数据保持时间	0	-	0	-	0	-	0.3	-	µs
$t_{VD;DAT}$	数据有效时间	-	3.45	-	0.9	-	0.45	-	-	
$t_{SU;DAT}$	数据建立时间	250	-	100	-	50	-	250	-	ns
t_r	SDA 和 SCL 信号的上升时间	-	1000	-	300	-	120	-	1000	
t_f	SDA 和 SCL 信号的下降时间	-	300	-	300	-	120	-	300	

此外，在主模式下，必须通过编程 I2C_TIMINGR 寄存器中的 PRESC[3:0]、SCLH[7:0] 和 SCLL[7:0] 位来配置 SCL 时钟的高电平和低电平。

- 当内部检测到 SCL 下降沿时，会在释放 SCL 输出之前插入一段延时。该延时为 t_{SCLL} = (SCLL+1) x t_{PRESC}，其中 t_{PRESC} = (PRESC+1) x t_{I2CCLK}。

  t_{SCLL} 会影响 SCL 低电平时间 t_{LOW}。
- 当内部检测到 SCL 上升沿时，会在将 SCL 输出强制为低电平之前插入一段延时。该延时为 t_{SCLH} = (SCLH+1) x t_{PRESC}，其中 t_{PRESC} = (PRESC+1) x t_{I2CCLK}。t_{SCLH} 会影响 SCL 高电平时间 t_{HIGH}。

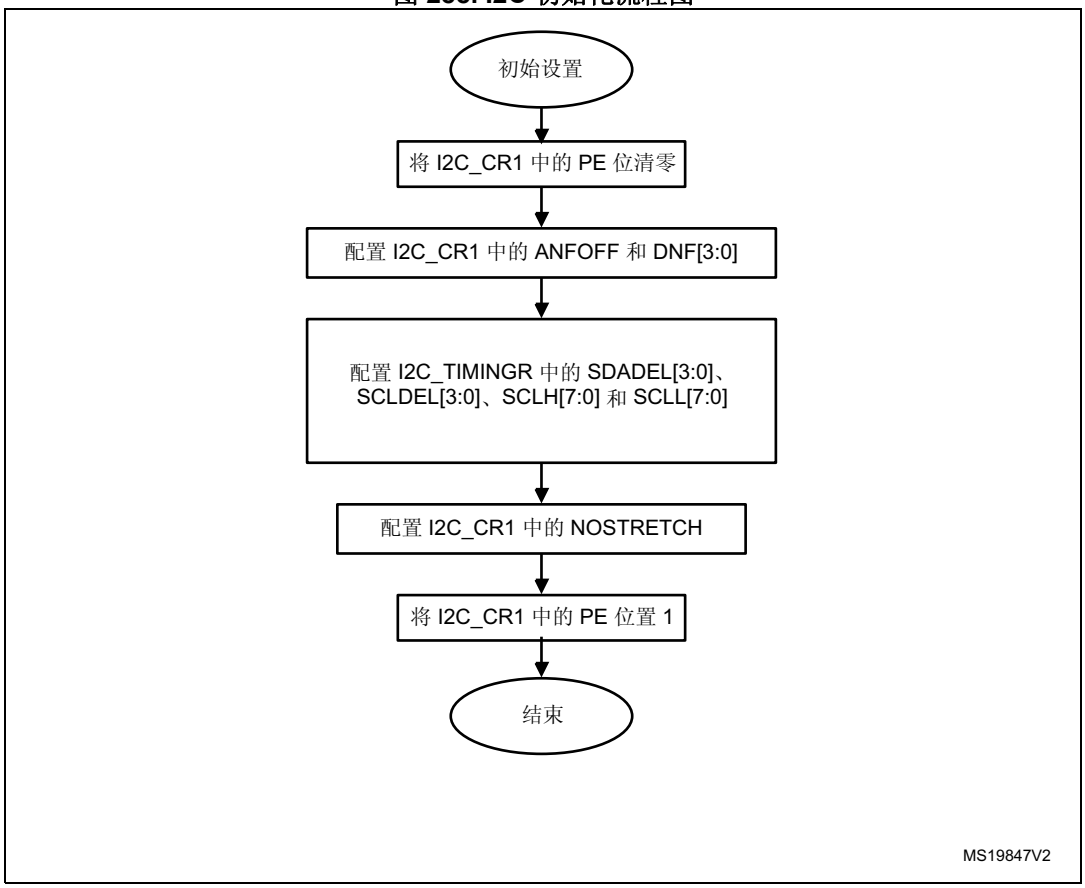
更多详细信息，请参见 *I2C 主模式初始化*。

注意： 使能 I2C 后，不允许更改时序配置。

此外，还必须在使能 I2C 从设备前，对 NOSTRETCH 进行配置。更多详细信息，请参见 *I2C 从模式初始化*。

注意： 使能 I2C 后，不允许更改 NOSTRETCH 配置。

图 288. I2C 初始化流程图



31.4.6 软件复位

可通过将 I2C_CR1 寄存器中的 PE 位清零来执行软件复位。在这种情况下，I2C 线 SCL 和 SDA 被释放。内部状态机复位，通信控制位和状态位恢复为其复位值。配置寄存器不受影响。

下面列出了受影响的寄存器位：

1. I2C_CR2 寄存器：START、STOP 和 NACK
2. I2C_ISR 寄存器：BUSY、TXE、TXIS、RXNE、ADDR、NACKF、TCR、TC、STOPF、BERR、ARLO 和 OVR

支持 SMBus 功能时还会影响到以下寄存器位：

1. I2C_CR2 寄存器：PECBYTE
2. I2C_ISR 寄存器：PECERR、TIMEOUT 和 ALERT

必须使 PE 保持低电平持续至少 3 个 APB 时钟周期，才能成功执行软件复位。使用以下软件写序列可确保这一点：- 写入 PE=0 - 检查 PE=0 - 写入 PE=1

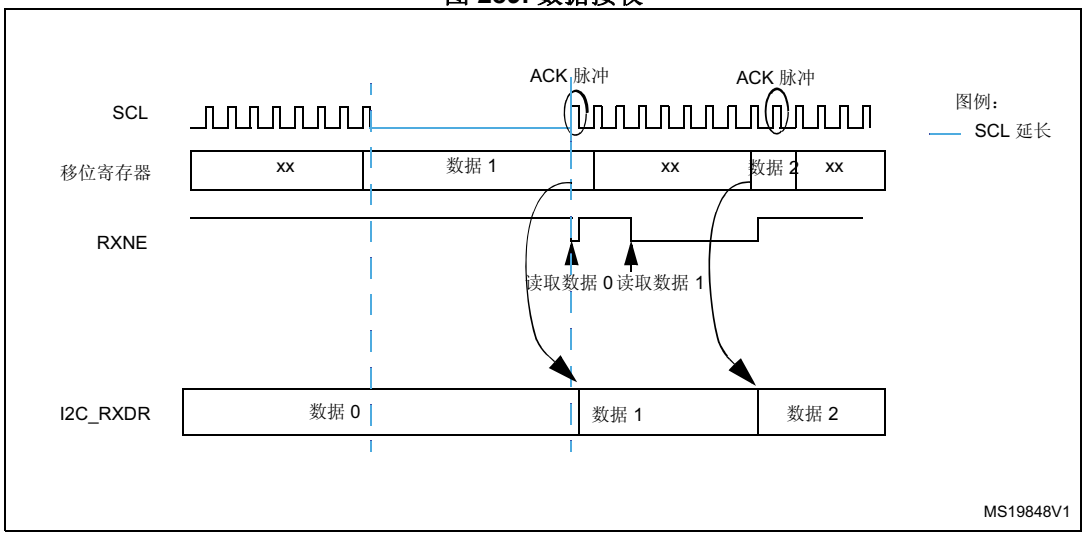
31.4.7 数据传输

数据传输由发送和接收数据寄存器以及移位寄存器来管理。

接收

SDA 输入填充移位寄存器。在第 8 个 SCL 脉冲后（接收到完整的数据字节时），如果 I2C_RXDR 寄存器为空 (RXNE=0)，则移位寄存器的内容会复制到其中。如果 RXNE=1（意味着尚未读取上一次接收到的数据字节），则将延长 SCL 线的低电平时间，直到读取了 I2C_RXDR 为止。在第 8 个和第 9 个 SCL 脉冲之间（应答脉冲之前）插入一段延长的时间。

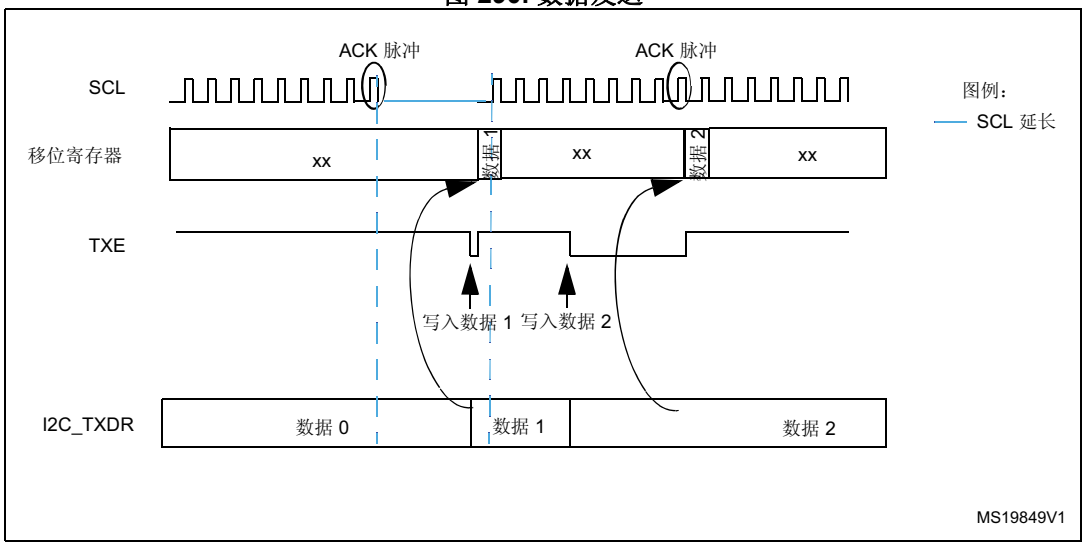
图 289. 数据接收



发送

如果 I2C_TXDR 寄存器不为空 (TXE=0)，则其内容会在第 9 个 SCL 脉冲（应答脉冲）后复制到移位寄存器中。然后移位寄存器的内容会移出到 SDA 线上。如果 TXE=1（意味着 I2C_TXDR 内尚未写入任何数据），则将延长 SCL 线的低电平时间，直到写入了 I2C_TXDR 为止。在第 9 个 SCL 脉冲后进行延长。

图 290. 数据发送



硬件传输管理

I2C 在硬件中内置了字节计数器，以便在下列各种模式下管理字节传输和结束通信：

- 主模式下生成 NACK、STOP 和 ReSTART
- 从接收器模式下控制 ACK 是否发出
- SMBus 模式下生成/校验 PEC

字节计数器通常在主模式下使用。在从模式下，字节计数器默认为禁止状态，但可以通过软件来使能，方法是将 I2C_CR2 寄存器中的 SBC（从字节控制）位置 1。

待传输的字节数在 I2C_CR2 寄存器的 NBYTES[7:0] 位域中进行编程。如果待传输的字节数 (NBYTES) 大于 255，或者接收方希望控制是否对接收到的数据字节进行应答，则必须选择重载模式，方法是将 I2C_CR2 寄存器的 RELOAD 位置 1。在该模式下，完成 NBYTES 中所编程字节数的数据传输之后，TCR 标志将置 1，并且 TCIE 置 1 时将生成中断。只要 TCR 标志置 1，SCL 便会延长。当往 NBYTES 写入一个非零值时，TCR 由软件清零。

在往 NBYTE 中设置最后一次传输的字节数前，必须把 RELOAD 位清零。

当主模式下 RELOAD=0 时，可在以下 2 种模式下使用计数器：

- **自动结束模式**（I2C_CR2 寄存器中的 AUTOEND = “1”）。在该模式下，一旦完成 NBYTES[7:0] 位域中所编程字节数的数据传输，主器件便会自动发送停止位。
- **软件结束模式**（I2C_CR2 寄存器中的 AUTOEND = “0”）。在该模式下，一旦完成 NBYTES[7:0] 位域中所编程字节数的数据传输，TC 标志将置 1，并且 TCIE 置 1 时将生成中断。只要 TC 标志置 1，SCL 信号便会延长，需要软件介入操作。当软件把 I2C_CR2 寄存器中的起始位或停止位置 1 时，TC 标志将被清零。当主器件要发送重复起始位时，必须使用该模式。

注意： 当 RELOAD 位置 1 时，AUTOEND 位将不起作用。

表 154. I2C 配置

功能	SBC 位	RELOAD 位	AUTOEND 位
主 Tx/Rx NBYTES + STOP	x	0	1
主 Tx/Rx + NBYTES + RESTART	x	0	0
从 Tx/Rx 接收的所有字节都要回复应答	0	x	x
具有 ACK 控制的从 Rx	1	1	x

31.4.8 I2C 从模式

I2C 从模式初始化

要在从模式下工作，用户必须至少使能一个从地址。可使用 I2C_OAR1 和 I2C_OAR2 这两个寄存器来编程自身从地址 OA1 和 OA2。

- OA1 既可配置为 7 位寻址模式（默认），也可通过将 I2C_OAR1 寄存器的 OA1MODE 位置 1 配置为 10 位寻址模式。

  通过将 I2C_OAR1 寄存器中的 OA1EN 位置 1 来使能 OA1。
- 如果需要额外的从地址，可配置第 2 个从地址 OA2。将 I2C_OAR2 寄存器的 OA2MSK[2:0] 位置 1 最多可屏蔽 7 个 OA2 LSB。因此，当 OA2MSK 配置为 1 到 6 时，将分别只有 OA2[7:2]、OA2[7:3]、OA2[7:4]、OA2[7:5]、OA2[7:6] 或 OA2[7] 与接收到的地址作比较。只要 OA2MSK 不等于 0，OA2 的地址比较器便会排除 I2C 保留地址（0000 XXX 和 1111 XXX），这些地址将不会得到应答。如果 OA2MSK=7，接收到的所有 7 位地址（保留地址除外）均得到应答。OA2 始终为 7 位地址。

  如果这些保留地址在 I2C_OAR1 或 I2C_OAR2 寄存器中进行了编程并且 OA2MSK=0，则它们可以在通过特定使能位使能后得到应答。

  通过将 I2C_OAR2 寄存器中的 OA2EN 位置 1 来使能 OA2。
- 通过将 I2C_CR1 寄存器中的 GCEN 位置 1 来使能广播呼叫地址。

当通过 I2C 的其中一个使能地址来寻址到该 I2C 设备时，ADDR 中断状态标志将置 1，并且 ADDRIE 位置 1 时将生成中断。

默认情况下，从器件使用其时钟延长功能（即必要时延长 SCL 信号的低电平时间）来为软件操作的执行提供时机。如果主器件不支持时钟延长，则必须对 I2C 进行如下配置：将 I2C_CR1 寄存器中 NOSTRETCH 位置 1。

接收到 ADDR 中断后，如果使能多个地址，则用户必须读取 I2C_ISR 寄存器中的 ADDCODE[6:0] 位，以确定是哪个地址匹配。还必须检查 DIR 标志，以获悉传输方向。

带时钟延长的从模式 (NOSTRETCH = 0)

在默认模式下，I2C 从器件会在以下情况下延长 SCL 时钟：

- ADDR 标志置 1 时：接收到的地址与其中一个使能的从地址匹配。通过软件将 ADDRCF 位置 1 以清零 ADRR 标志时，将释放该时钟延展。
- 发送时，前一次数据传输已完成但 I2C_TXDR 寄存器中未写入任何新数据，或者 ADDR 标志清零 (TXE=1) 时未写入第一个数据字节。往 I2C_TXDR 寄存器中写入数据时，将释放该时钟延展。
- 接收时，尚未读取 I2C_RXDR 寄存器但新的数据接收已完成。读取 I2C_RXDR 时，将释放该时钟延展。
- 当从器件字节控制模式和重载模式（SBC=1 且 RELOAD=1）下 TCR = 1 时，这意味着最后一个数据字节已完成传输。通过向 NBYTES[7:0] 字段写入一个非零值以将 TCR 清零时，将释放该时钟延展。
- 在 SCL 下降沿检测之后，I2C 会延长 SCL 的低电平时间（不超过 $[(SDADEL+SCLDEL+1) \times (PRESC+1) + 1] \times t_{I2CCLK}$）。

不带时钟延长的从模式 (NOSTRETCH = 1)

当 I2C_CR1 寄存器中的 NOSTRETCH = 1 时，I2C 从器件不会延长 SCL 信号。

- ADDR 标志置 1 时，不会延长 SCL 时钟。
- 发送时，必须在与发送数据对应的第一个 SCL 脉冲出现之前，向 I2C_TXDR 寄存器写入数据。否则，会发生下溢，I2C_ISR 寄存器中的 OVR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。当第一次数据发送开始而 STOPF 位仍置 1（尚未清零）时，OVR 标志也将置 1。因此，如果写入下一次传输要发送的第一个数据后才清零上一次传输的 STOPF 标志，则会出现 OVR 状态，甚至对于待发送的第一个数据也是如此。
- 接收时，必须在下一个数据字节的第 9 个 SCL 脉冲（ACK 脉冲）出现之前，从 I2C_RXDR 寄存器读取数据。否则，会发生上溢， I2C_ISR 寄存器中的 OVR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

从器件字节控制模式

要在从接收模式下实现字节 ACK 控制，必须通过将 I2C_CR1 寄存器中的 SBC 位置 1 来使能从器件字节控制模式。这样符合 SMBus 标准。

要在从接收模式下实现字节 ACK 控制，必须选择重载模式 (RELOAD=1)。要控制每个字节，必须在 ADDR 中断子程序中将 NBYTES 初始化为 0x1，并在每接收一个字节后将 NBYTE 重载为 0x1。接收到字节后，TCR 位将置 1，从而延长 SCL 信号的第 8 个和第 9 个脉冲之间的低电平时间。用户可以从 I2C_RXDR 寄存器中读取数据，然后通过配置 I2C_CR2 寄存器中的 ACK 位来决定是否应答。通过将 NBYTES 编程为非零值来释放 SCL 延长：发送应答或不应答信号，然后可继续接收下一个字节。

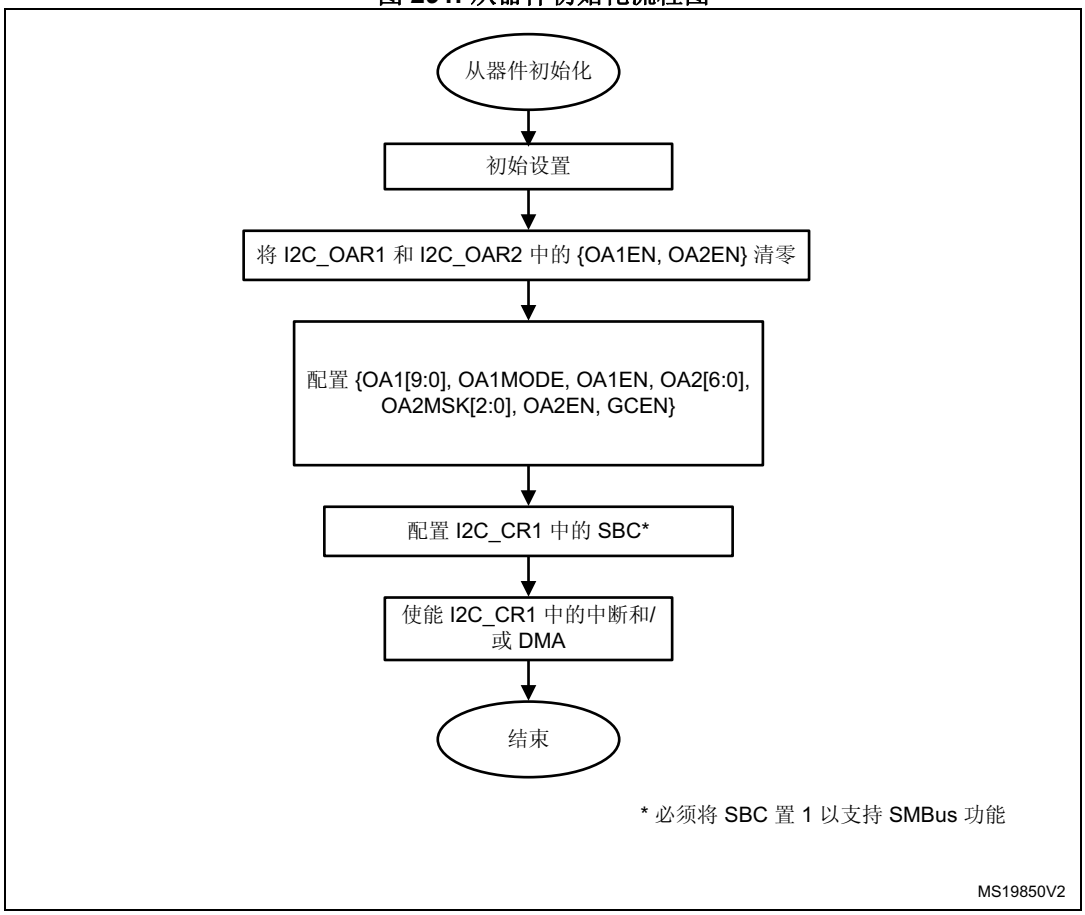
NBYTES 可加载大于 0x1 的值，在这种情况下，接收流在 NBYTES 个数据接收期间是连续的。

注： *SBC 位只能在 I2C 被禁止时、从器件不被寻址时或 ADDR=1 时配置。*

ADDR=1 或 TCR=1 时，可以更改 RELOAD 位的值。

注意： 从器件字节控制模式与 NOSTRETCH 模式不兼容。不允许在 NOSTRETCH=1 时将 SBC 位置 1。

图 291. 从器件初始化流程图



从发送器

当 I2C_TXDR 寄存器为空时，将生成发送中断状态 (TXIS)。如果 I2C_CR1 寄存器中的 TXIE 位置 1，将生成中断。

I2C_TXDR 寄存器中写入待发送的下一个数据字节时，TXIS 位将被清零。

接收到 NACK 时，I2C_ISR 寄存器中的 NACKF 位将置 1，如果 I2C_CR1 寄存器中的 NACKIE 位置 1，还将生成中断。从器件自动释放 SCL 和 SDA 线，以使主器件执行停止或重复起始位的发送。收到 NACK 时，TXIS 位不会置 1。

当接收到停止位且 I2C_CR1 寄存器中的 STOPIE 位置 1 时，I2C_ISR 寄存器中的 STOPF 标志将置 1 并且会生成中断。在大多数应用中，SBC 位通常编程为“0”。在这种情况下，如果接收到从地址 (ADDR=1) 时 TXE = 0，用户可以选择发送 I2C_TXDR 寄存器的内容作为第一个数据字节，也可以选择通过将 TXE 位置 1 来刷新 I2C_TXDR 寄存器以编程新的数据字节。

在从器件字节控制模式 (SBC=1) 下，必须在地址匹配中断子程序 (ADDR=1) 中向 NBYTE 写入待发送数据的个数。在这种情况下，传输期间 TXIS 事件的数量对应于 NBYTES 中编程的值。

注意： 如果 NOSTRETCH = 1，当 ADDR 标志置 1 时不会延长 SCL 时钟，因此用户无法在 ADDR 子程序中刷新 I2C_TXDR 寄存器的内容，从而编程第一个数据字节。必须在 I2C_TXDR 寄存器中预编程待发送的第一个数据字节：

- 该数据可以是前一个传输消息的最后一个 TXIS 事件中写入的数据。
- 如果该数据字节不是待发送的数据字节，可通过将 TXE 位置 1 来刷新 I2C_TXDR 寄存器，从而编程新的数据字节。必须仅在执行完这些操作后再清零 STOPF 位，以确保在地址应答之后第一次数据传输之前执行这些操作。

  如果第一次数据传输开始时 STOPF 仍置 1，则将生成下溢错误（OVR 标志置 1）。

  如果需要 TXIS 事件（发送中断或发送 DMA 请求），用户必须将 TXE 位和 TXIS 位均置 1，以便生成 TXIS 事件。

图 292. I2C 从发送器的传输序列流程图 (NOSTRETCH=0)

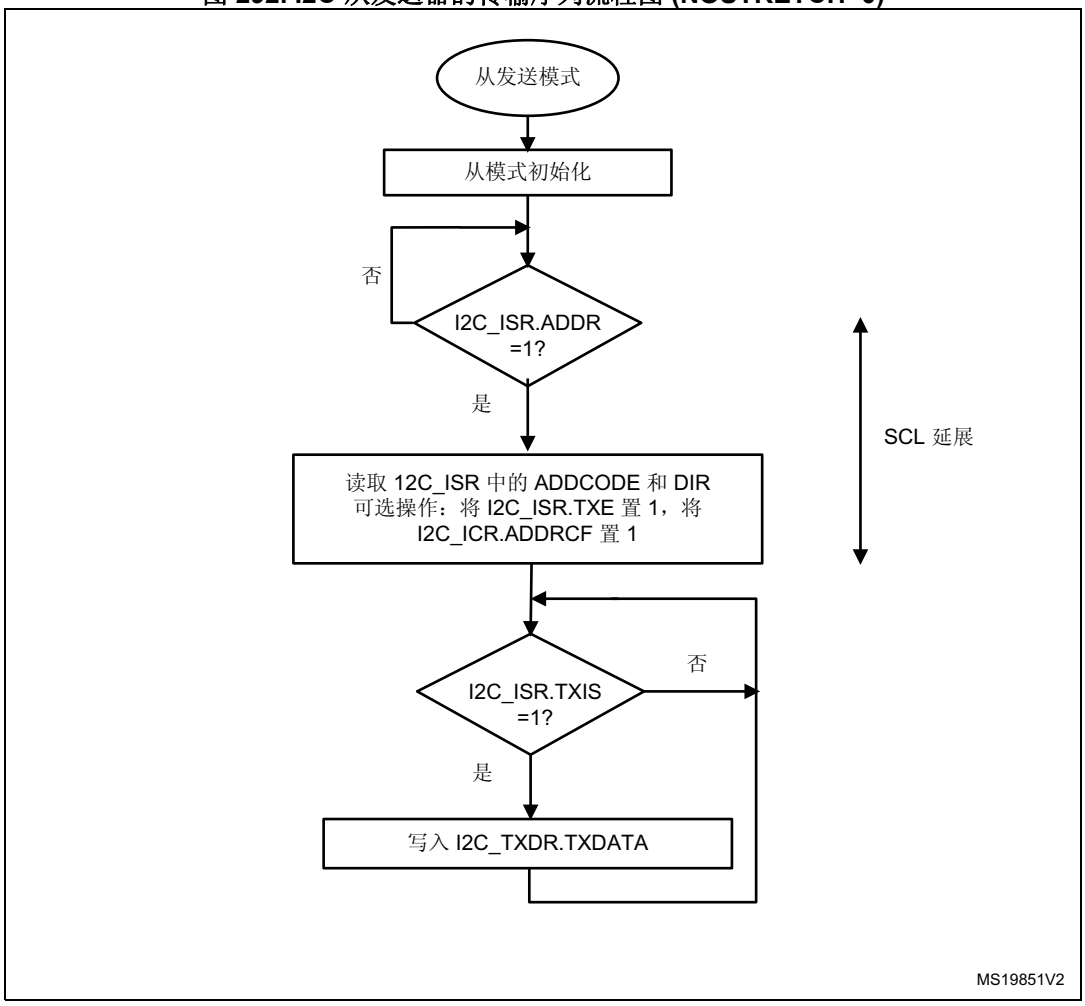


图 293. I2C 从发送器的传输序列流程图 (NOSTRETCH=1)

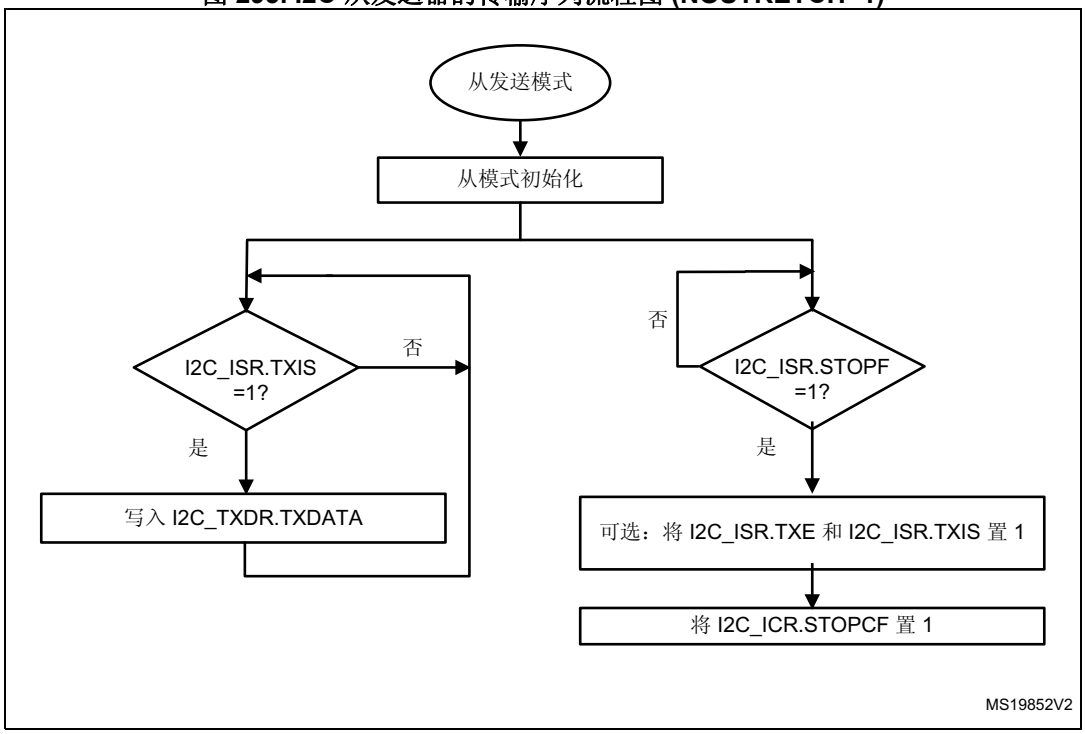
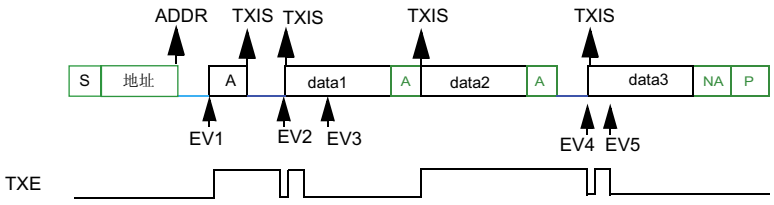


图 294. I2C 从发送器的传输总线图

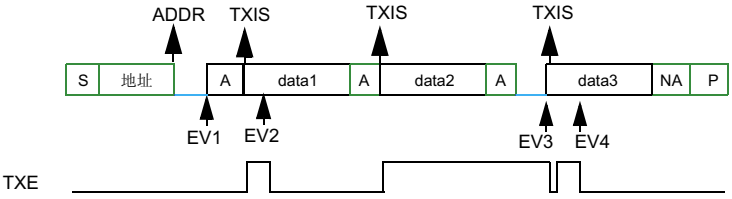
示例：I2C 从器件发送 3 个字节，刷新第 1 个数据，NOSTRETCH=0：



图注：发送 / 接收 / SCL 延长

EV1：ADDR ISR：检查 ADDCODE 和 DIR，将 TXE 置 1，将 ADDRCF 置 1
EV2：TXIS ISR：写入 data1
EV3：TXIS ISR：写入 data2
EV4：TXIS ISR：写入 data3
EV5：TXIS ISR：写入 data4（不发送）

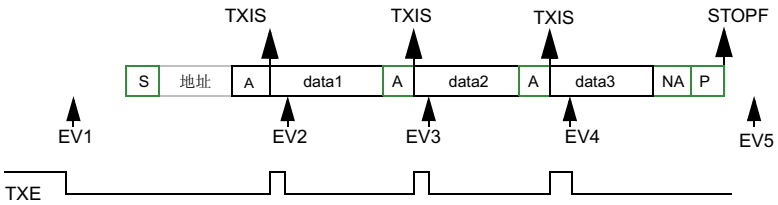
示例：I2C 从器件发送 3 个字节，不刷新第 1 个数据，NOSTRETCH=0：



图注：发送 / 接收 / SCL 延长

EV1：ADDR ISR：检查 ADDCODE 和 DIR，将 ADDRCF 置 1
EV2：TXIS ISR：写入 data2
EV3：TXIS ISR：写入 data3
EV4：TXIS ISR：写入 data4（不发送）

示例：I2C 从器件发送 3 个字节，NOSTRETCH=1：



图注：发送 / 接收 / SCL 延长

EV1：写入 data1
EV2：TXIS ISR：写入 data2
EV3：TXIS ISR：写入 data3
EV4：TXIS ISR：写入 data4（不发送）
EV5：STOPF ISR：（可选操作：将 TXE 和 TXIS 置 1），将 STOPCF 置 1

MS19853V1

从接收器

当 I2C_RXDR 接收到数据，I2C_ISR 中的 RXNE 将置 1，如果 I2C_CR1 中的 RXIE 置 1，还将生成中断。读取 I2C_RXDR 时，将清零 RXNE。

接收到停止条件且 I2C_CR1 寄存器中的 STOPIE 置 1 时，I2C_ISR 中的 STOPF 将置 1 并且会生成中断。

图 295. 从接收器的传输序列流程图 (NOSTRETCH=0)

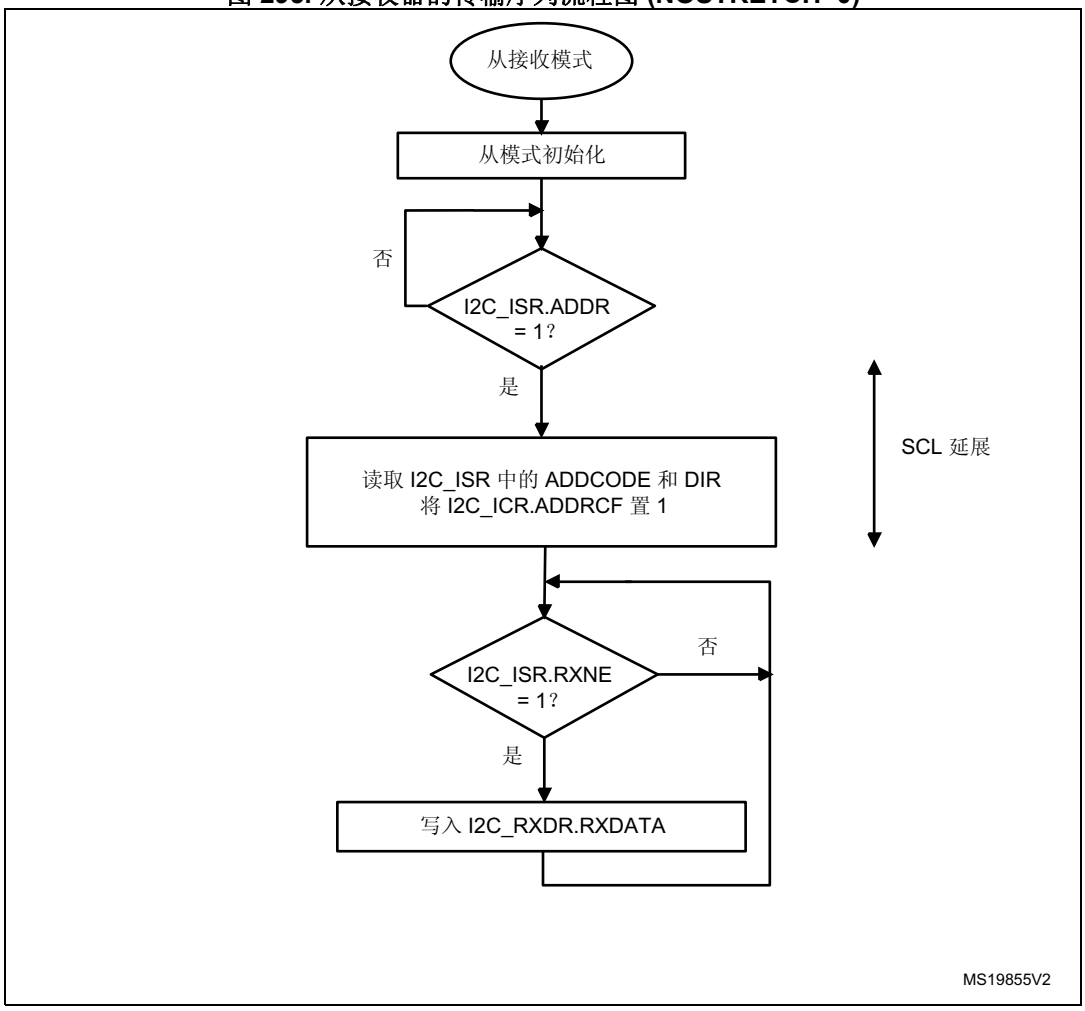


图 296. 从接收器的传输序列流程图 (NOSTRETCH=1)

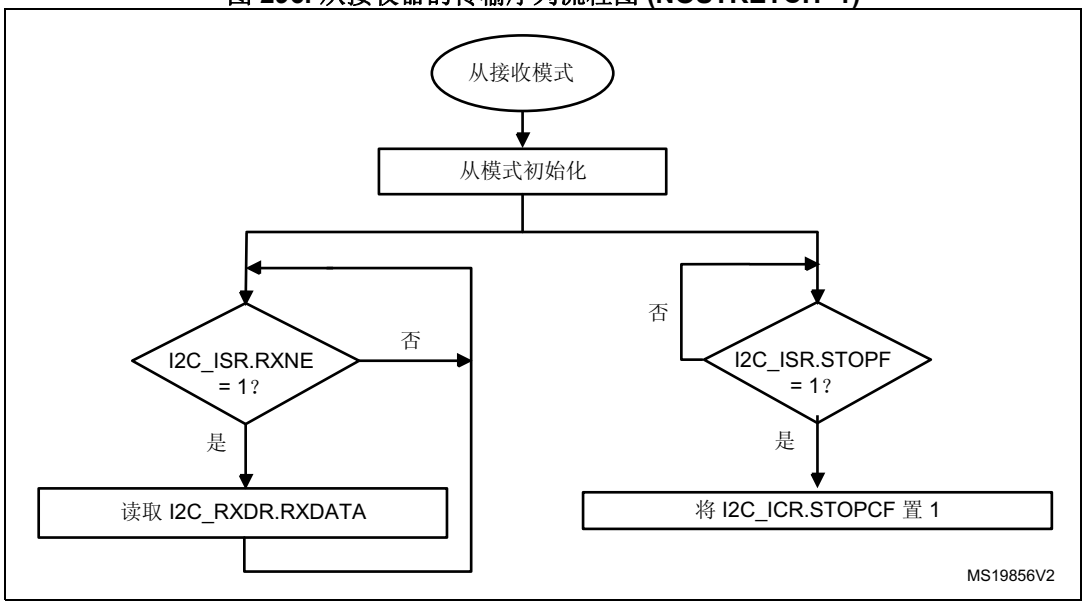
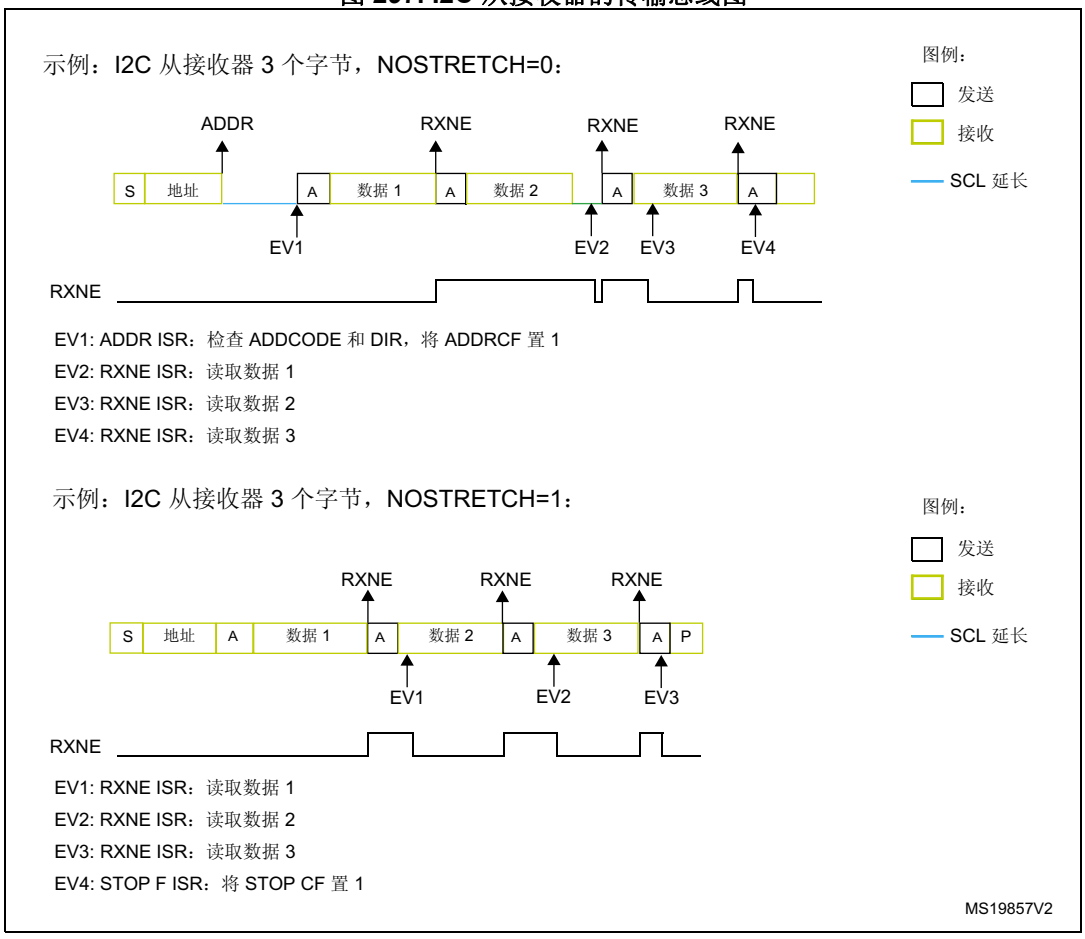


图 297. I2C 从接收器的传输总线图



31.4.9 I2C 主模式

I2C 主模式初始化

使能外设前，必须通过设置 I2C_TIMINGR 寄存器中的 SCLH 和 SCLL 位来配置 I2C 主时钟。

STM32CubeMX 工具根据 I2C 配置窗口的设置自动计算并提供 I2C_TIMINGR 寄存器的内容。

为了支持多主环境和从时钟延长，I2C 实现了时钟同步机制。

为了实现时钟同步，需执行以下操作：

- 使用 SCLL 计数器从 SCL 低电平内部检测开始对时钟的低电平进行计数。
- 使用 SCLH 计数器从 SCL 高电平内部检测开始对时钟的高电平进行计数。

I2C 经过 t_{SYNC1} 延时后检测其自身的 SCL 低电平，该延时取决于 SCL 下降沿、SCL 输入噪声滤波器（模拟 + 数字）以及 SCL 与 I2CxCLK 时钟的同步。一旦 SCLL 计数器达到 I2C_TIMINGR 寄存器的 SCLL[7:0] 位中编程的值，I2C 便会将 SCL 释放为高电平。

I2C 经过 t_{SYNC2} 延时后检测其自身的 SCL 高电平，该延时取决于 SCL 上升沿、SCL 输入噪声滤波器（模拟 + 数字）以及 SCL 与 I2CxCLK 时钟的同步。一旦 SCLH 计数器达到 I2C_TIMINGR 寄存器的 SCLH[7:0] 位中编程的值，I2C 便会使 SCL 变为低电平。

因此，主时钟周期为：

$$t_{SCL} = t_{SYNC1} + t_{SYNC2} + \{[(SCLH+1) + (SCLL+1)] \times (PRESC+1) \times t_{I2CCLK}\}$$

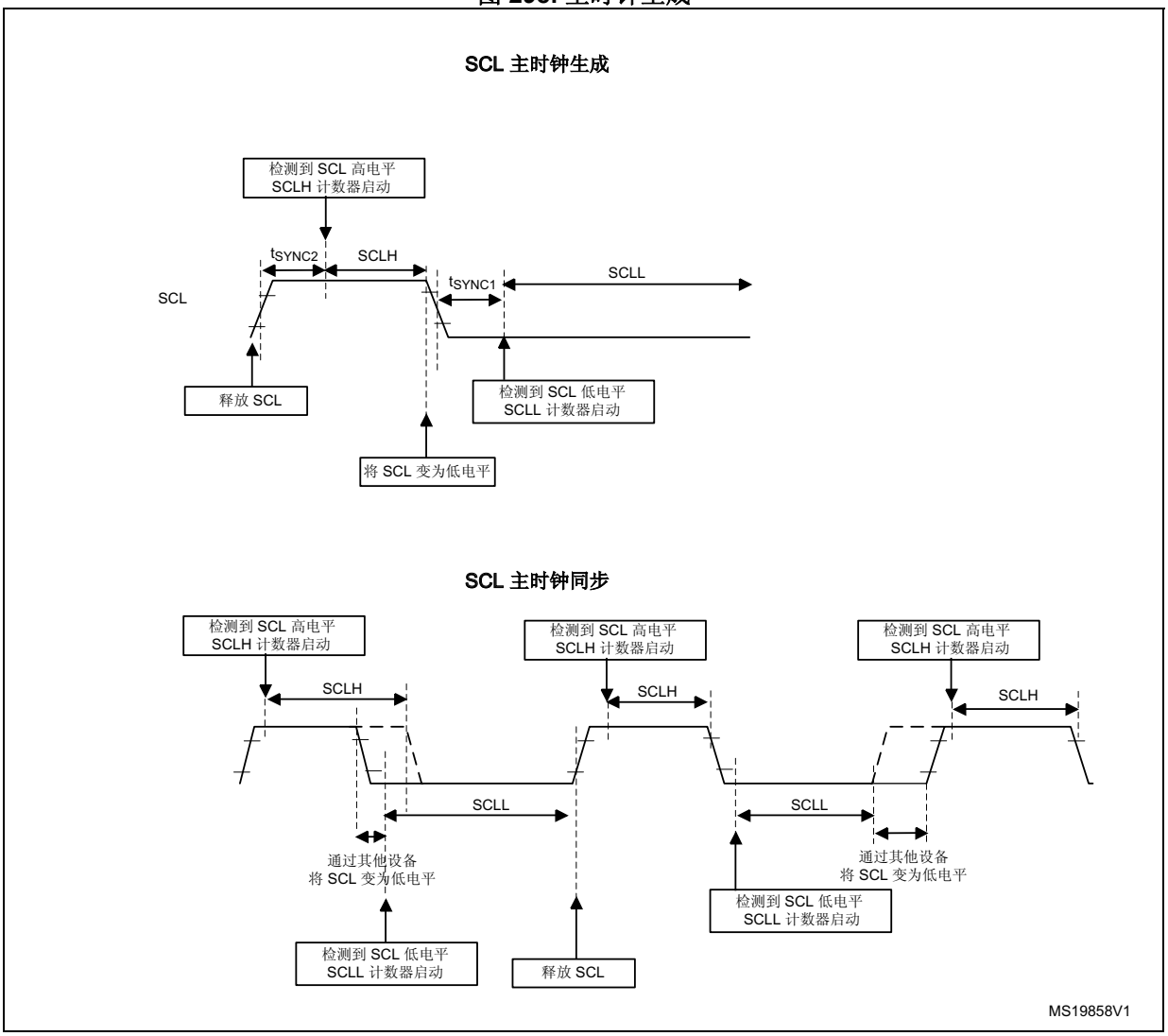
t_{SYNC1} 的持续时间取决于以下参数：

- SCL 下降斜率
- 模拟滤波器（使能时）引入的输入延时
- 数字滤波器（使能时）引入的输入延时：DNF x t_{I2CCLK}
- SCL 与 I2CCLK 时钟建立同步而产生的延时（2 到 3 个 I2CCLK 周期）

t_{SYNC2} 的持续时间取决于以下参数：

- SCL 上升斜率
- 模拟滤波器（使能时）引入的输入延时
- 数字滤波器（使能时）引入的输入延时：DNF x t_{I2CCLK}
- SCL 与 I2CCLK 时钟建立同步而产生的延时（2 到 3 个 I2CCLK 周期）

图 298. 主时钟生成



注意： 为了符合 I^2C 或 SMBus 规范，主时钟必须遵循下表中给出的时序：

表 155. I²C-SMBUS 规范时钟时序

符号	参数	标准模式 (Sm)		快速模式 (Fm)		超快速模式 (Fm+)		SMBus		单位
		最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
f_{SCL}	SCL 时钟频率	-	100	-	400	-	1000	-	100	kHz
$t_{HD:STA}$	（重复）起始条件的保持时间	4.0	-	0.6	-	0.26	-	4.0	-	µs
$t_{SU:STA}$	重复起始条件的建立时间	4.7	-	0.6	-	0.26	-	4.7	-	µs
$t_{SU:STO}$	停止条件的建立时间	4.0	-	0.6	-	0.26	-	4.0	-	µs
t_{BUF}	停止条件和起始条件之间的总线空闲时间	4.7	-	1.3	-	0.5	-	4.7	-	µs
t_{LOW}	SCL 时钟的低电平周期	4.7	-	1.3	-	0.5	-	4.7	-	µs
t_{HIGH}	SCL 时钟的高电平周期	4.0	-	0.6	-	0.26	-	4.0	50	µs
t_r	SDA 和 SCL 信号的上升时间	-	1000	-	300	-	120	-	1000	ns
t_f	SDA 和 SCL 信号的下降时间	-	300	-	300	-	120	-	300	ns

注： *SCLL 还用于生成 t_{BUF} 和 $t_{SU:STA}$ 时序。*

SCLH 还用于生成 $t_{HD:STA}$ 和 $t_{SU:STO}$ 时序。

有关 I2C_TIMINGR 设置与 I2CCLK 频率的示例，请参见*第 31.4.10 节：I2C_TIMINGR 寄存器配置示例*。

主模式通信初始化（地址阶段）

要发起通信，用户必须在 I2C_CR2 寄存器中为寻址的从器件编程以下参数：

- 寻址模式（7 位或 10 位）：ADD10
- 待发送的从地址：SADD[9:0]
- 传输方向：RD_WRN
- 读取 10 位地址时：HEAD10R 位。必须对 HEAD10R 进行相应配置，以指示传输方向变化时必须发送完整的地址序列，还是只发送地址头。
- 待传输的字节数：NBYTES[7:0]。如果字节数等于或大于 255，则初始化时必须将 NBYTES[7:0] 填充为 0xFF。

然后，用户必须将 I2C_CR2 寄存器中的 START 位置 1。START 位置 1 时，不允许更改上述所有位。

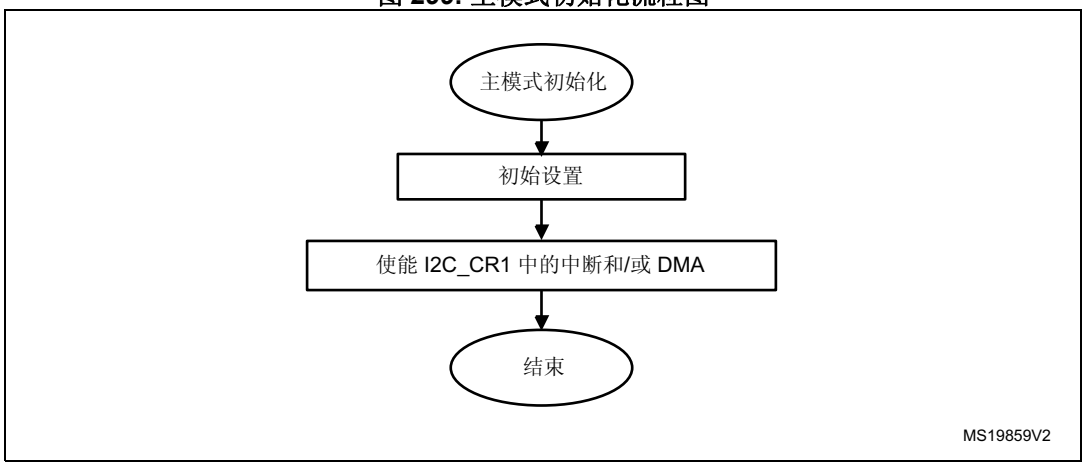
之后，当主器件检测到总线空闲 (BUSY = 0) 时，它会在经过 t_{BUF} 的延时后自动发送起始位，随后发出从器件地址。

仲裁丢失时，主器件将自动切换回从模式，如果作为从器件被寻址，还可对其自身地址进行应答。

注： *无论接收到的应答值为何，只要已在总线上发送从地址，START 位便会由硬件复位。如果仲裁丢失，START 位也会由硬件复位。*
在 10 位寻址模式下，如果从器件不对从地址的前 7 位进行应答，则主器件将自动重新启动从地址发送，直至接收到 ACK。在这种情况下，如果从从器件接收到 NACK，则必须将 ADDRCF 置 1，以停止发送从地址。
如果当 START 位置 1 时，I2C 作为从器件 (ADDR=1) 被寻址，则 I2C 将切换为从模式，START 位将在 ADDRCF 位置 1 时清零。

注： *该步骤同样适用于重复起始位。在这种情况下，BUSY=1。*

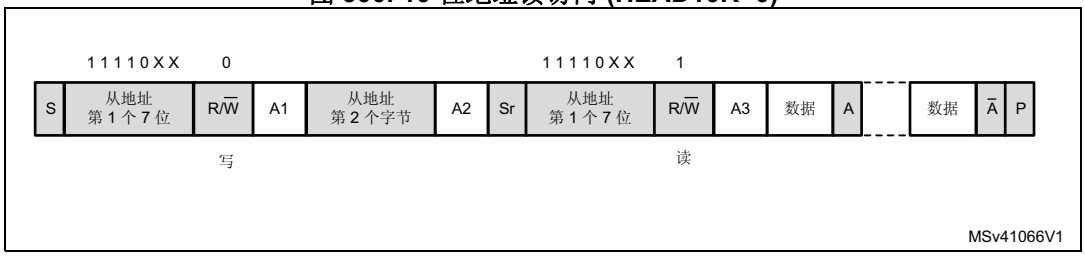
图 299. 主模式初始化流程图



主接收器寻址 10 位地址从器件的初始化过程

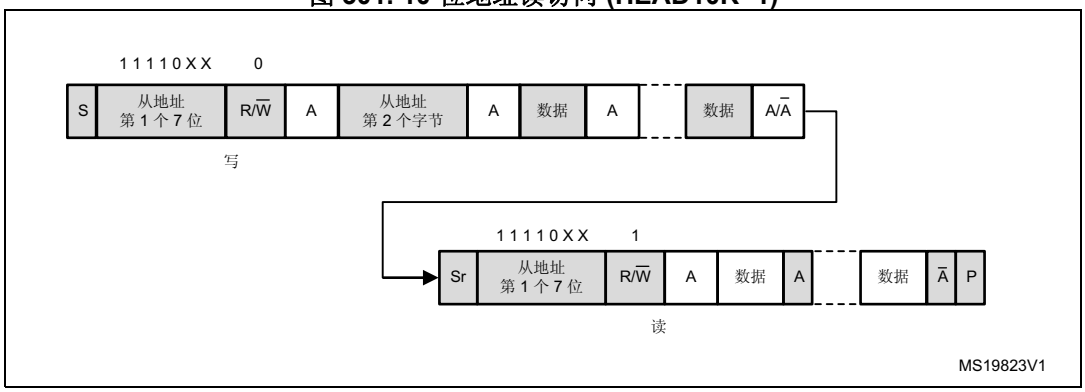
- 如果从地址采用 10 位格式，用户可选择将 I2C_CR2 寄存器中的 HEAD10R 位清零来发送完整的读序列。在这种情况下，主器件会在 START 位置 1 后自动发送以下完整序列：（重复）起始位 + 带写方向的从器件 10 位地址头字节 + 从器件地址第 2 个字节 + 重复起始位 + 带读方向的从器件 10 位地址头字节

图 300. 10 位地址读访问 (HEAD10R=0)



- 如果主器件对 10 位地址从器件进行寻址、向该从器件发送数据、然后再从该从器件读取数据，则必须首先完成主器件发送过程。然后，重复起始位置 1，10 位从地址配置为 HEAD10R=1。在这种情况下，主器件发送以下序列：重复起始位 + 从地址 10 位头读取

图 301. 10 位地址读访问 (HEAD10R=1)



主发送器

写传输时，在发送完每个字节（即第 9 个 SCL 脉冲（接收到 ACK 时））后，TXIS 标志将置 1。

如果 I2C_CR1 寄存器中的 TXIE 位置 1，TXIS 事件将生成中断。当 I2C_TXDR 寄存器中写入待发送的下一个数据字节时，该标志将被清零。

传输期间的 TXIS 事件的数量对应于 NBYTES[7:0] 中编程的值。如果待发送的数据字节总数大于 255，则必须通过将 I2C_CR2 寄存器中的 RELOAD 位置 1 来选择重载模式。在这种情况下，当 NBYTES 数据传输完成时，TCR 标志将置 1，并且 SCL 线的低电平将被延展，直到 NBYTES[7:0] 被写入非零值。

收到 NACK 时，TXIS 标志不会置 1。

- 当 RELOAD=0 且 NBYTES 数据传输完成时：
  - 在自动结束模式 (AUTOEND=1) 下，将自动发送停止位。
  - 在软件结束模式 (AUTOEND=0) 下，TC 标志将置 1 且 SCL 线的低电平将被延展，以便执行以下软件操作：

    可通过将 I2C_CR2 寄存器中的 START 位置 1 并配置适当的从地址和待传输字节数来请求发送重复起始位。将 START 位置 1 会将 TC 标志清零，并在总线上发送起始位。

    可通过将 I2C_CR2 寄存器中的 STOP 位置 1 来请求停止位。将 STOP 位置 1 会将 TC 标志清零，并在总线上发送停止位。
- 如果接收到 NACK：TXIS 标志不会置 1，并且接收到 NACK 后会自动发送停止位。I2C_ISR 寄存器中的 NACKF 标志置 1，如果 NACKIE 位置 1，还将生成中断。

图 302. I2C 主发送器的传输序列流程图（N≤255 字节）

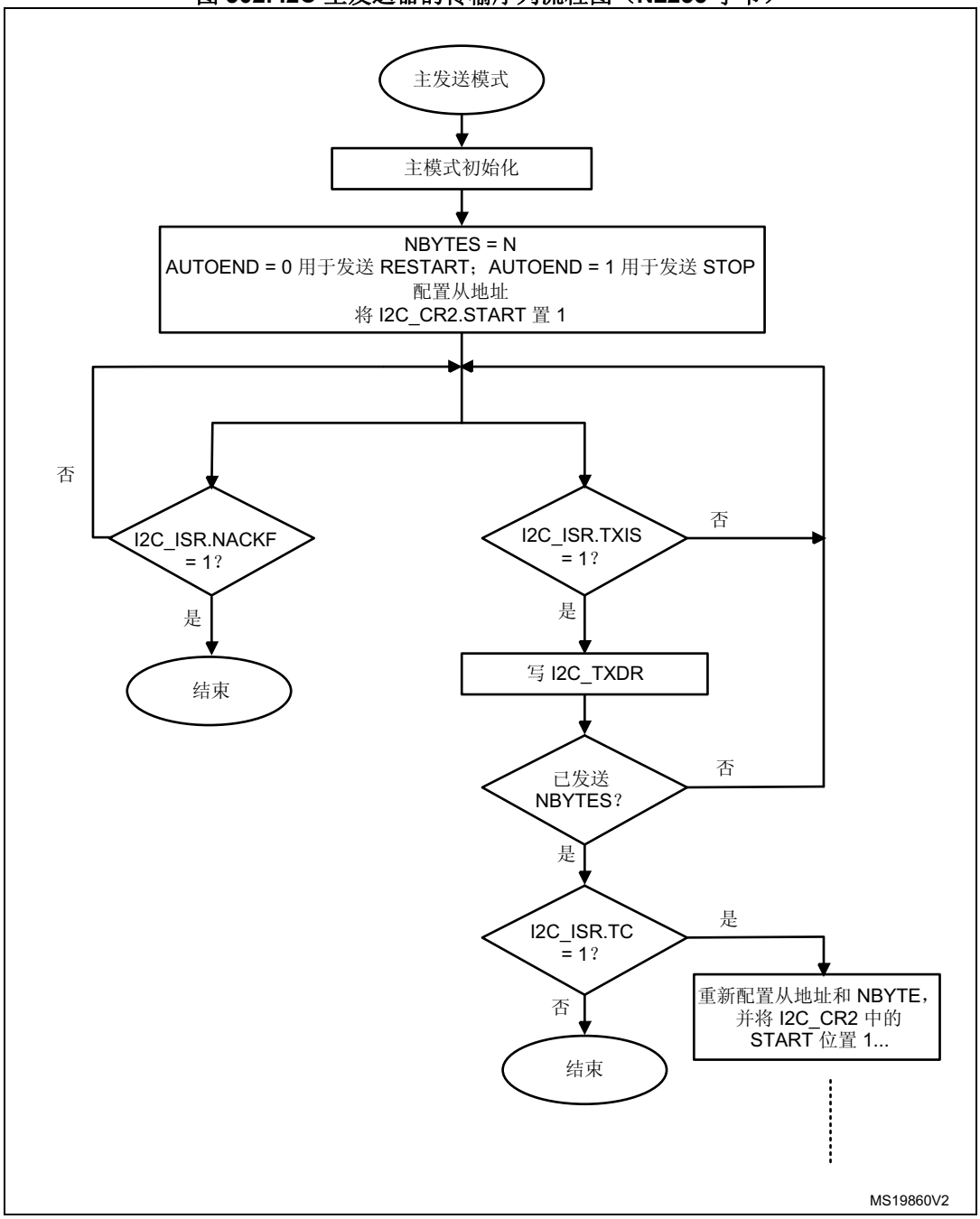


图 303. I2C 主发送器的传输序列流程图（N>255 字节）

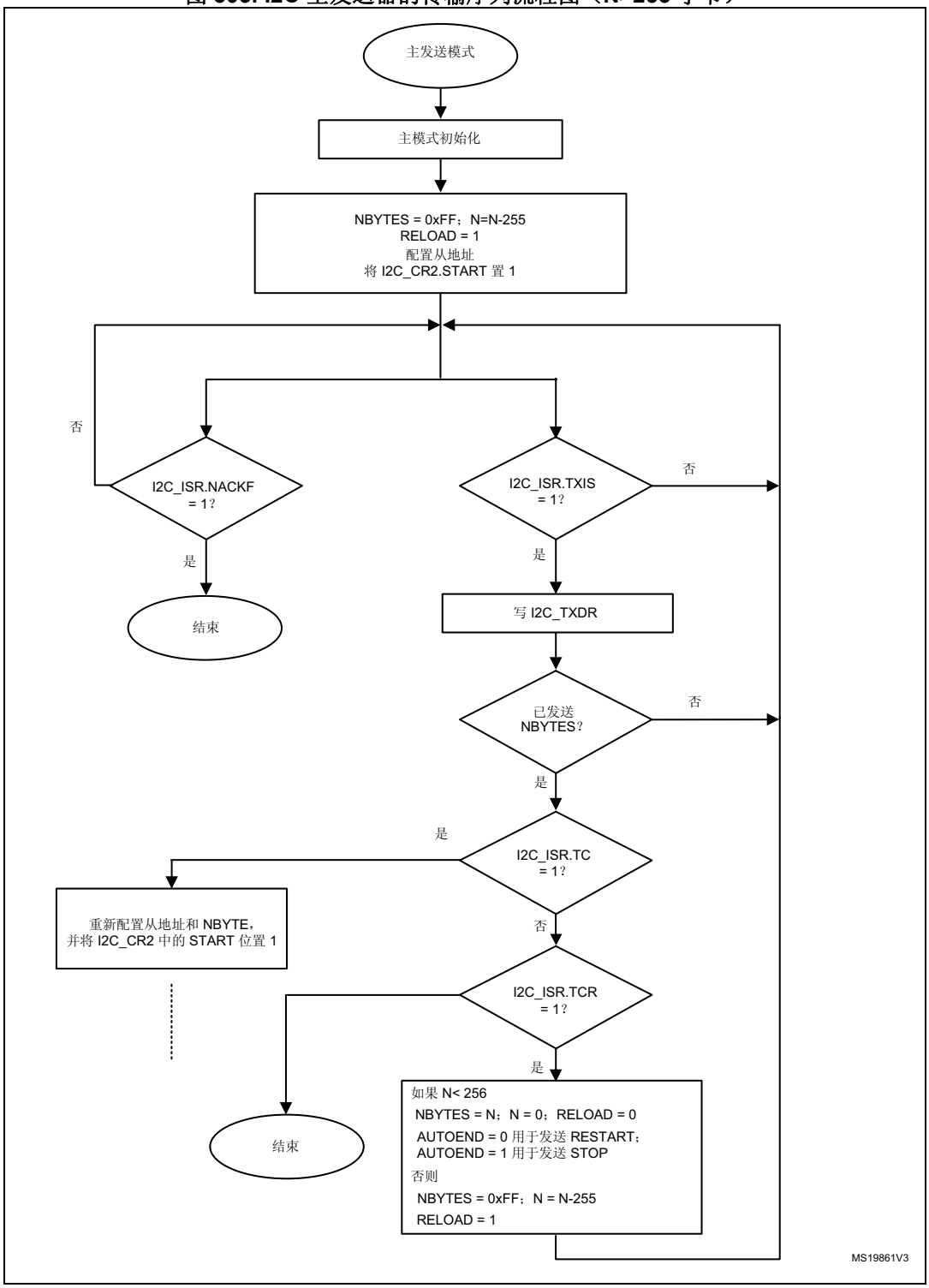
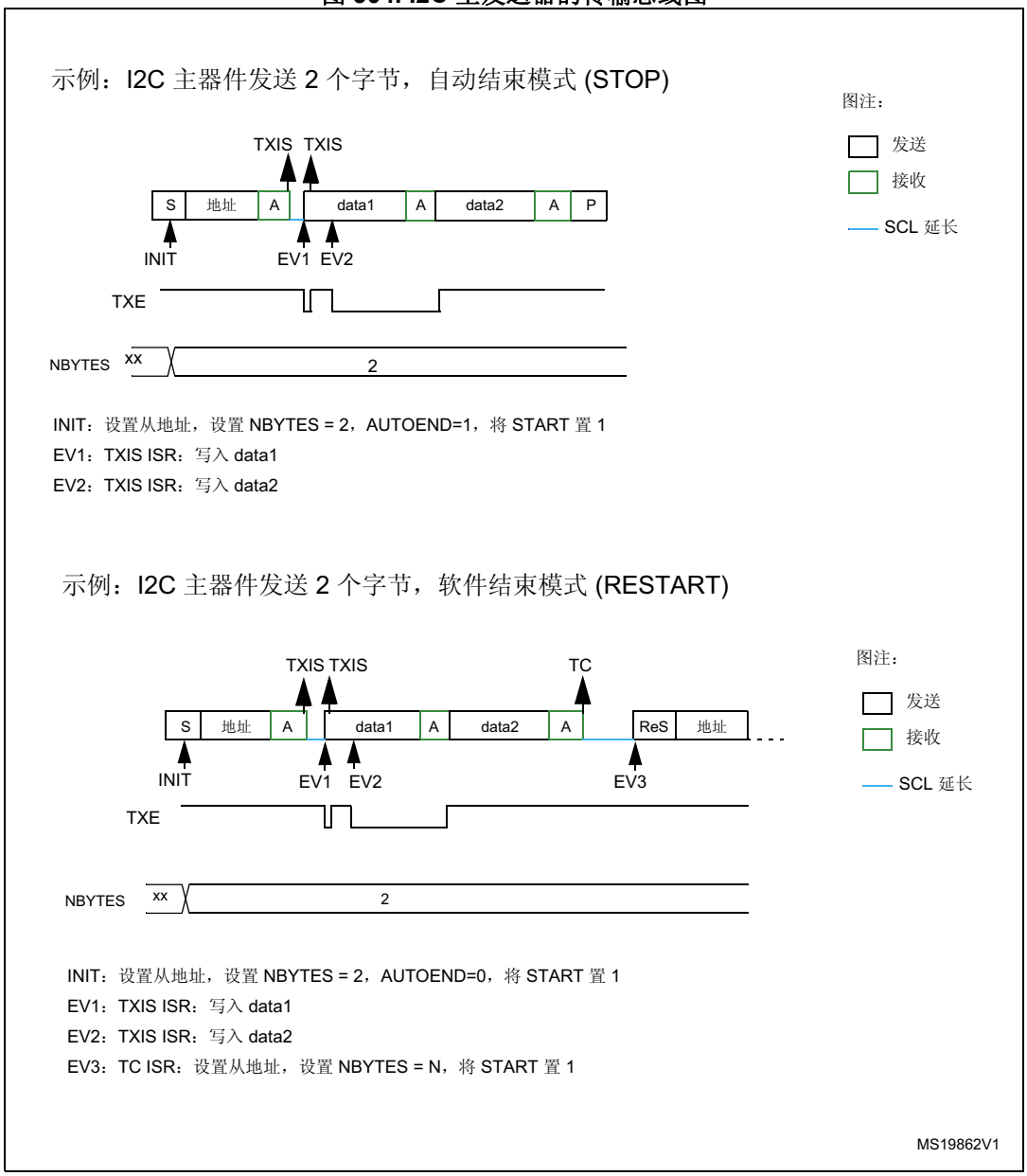


图 304. I2C 主发送器的传输总线图



主接收器

读传输时，在接收到每个字节（即第 8 个 SCL 脉冲）后，RXNE 标志将置 1。如果 I2C_CR1 寄存器中的 RXIE 位置 1，RXNE 事件将生成中断。读取 I2C_RXDR 时，将清零该标志。

如果待接收的数据字节总数大于 255，则必须通过将 I2C_CR2 寄存器中的 RELOAD 位置 1 来选择重载模式。在这种情况下，当 NBYTES[7:0] 数据传输完成时，TCR 标志将置 1，并且 SCL 线的低电平将被延展，直到 NBYTES[7:0] 被写入非零值。

- 当 RELOAD=0 且 NBYTES[7:0] 数据传输完成时：
  - 在自动结束模式 (AUTOEND=1) 下，接收到最后一个字节后，将自动发送 NACK 和停止位。
  - 在软件结束模式 (AUTOEND=0) 下，接收到最后一个字节后，将自动发送 NACK，TC 标志将置 1 且 SCL 线的低电平将被延展，以便执行以下软件操作：

    可通过将 I2C_CR2 寄存器中的 START 位置 1 并配置适当的从地址和待传输字节数来请求发送重复起始位。将 START 位置 1 会将 TC 标志清零，并在总线上发送起始位，后跟从地址。

    可通过将 I2C_CR2 寄存器中的 STOP 位置 1 来请求停止位。将 STOP 位置 1 会将 TC 标志清零，并在总线上发送停止位。

图 305. I2C 主接收器的传输序列流程图（N≤255 字节）

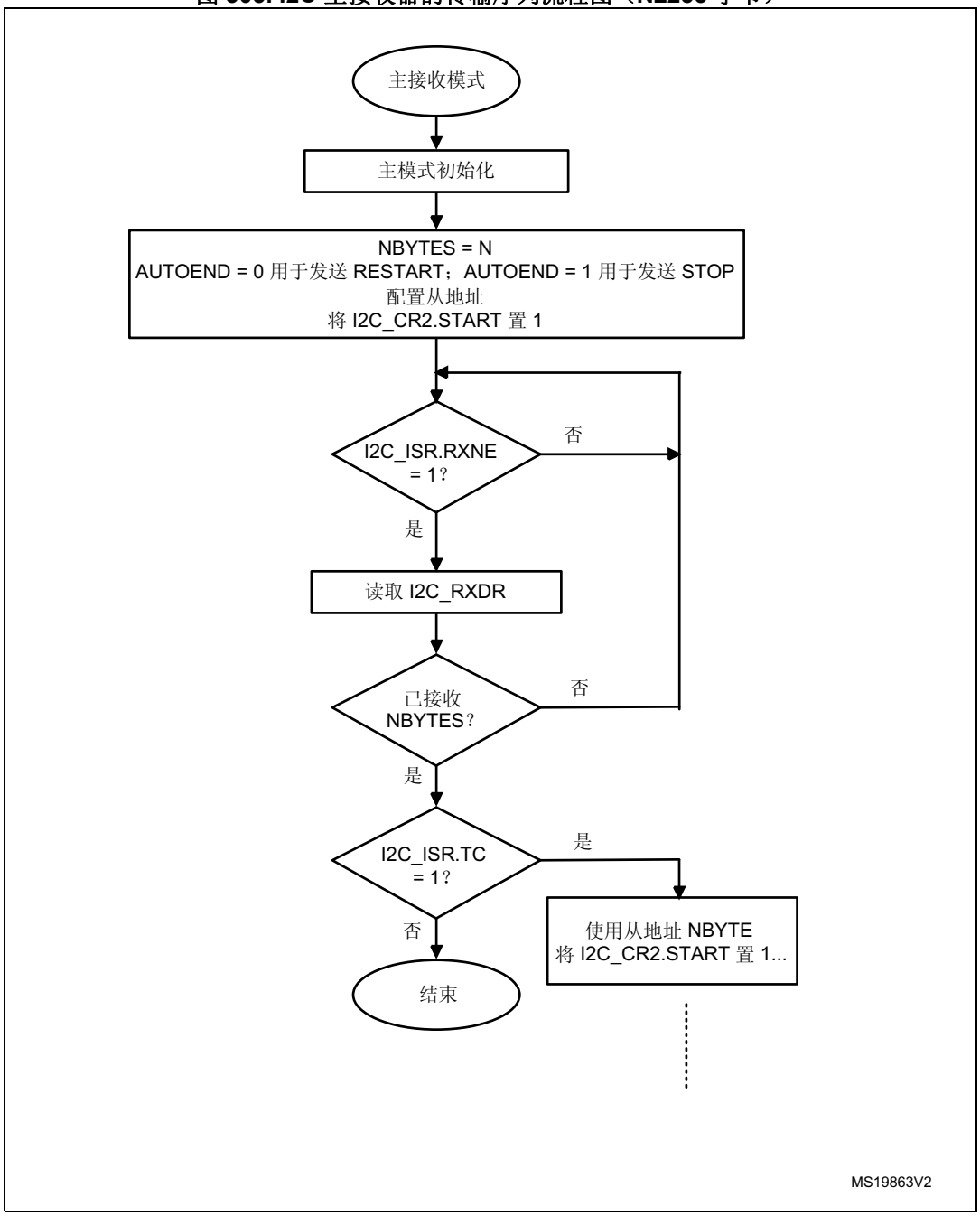


图 306. I2C 主接收器的传输序列流程图（N>255 字节）

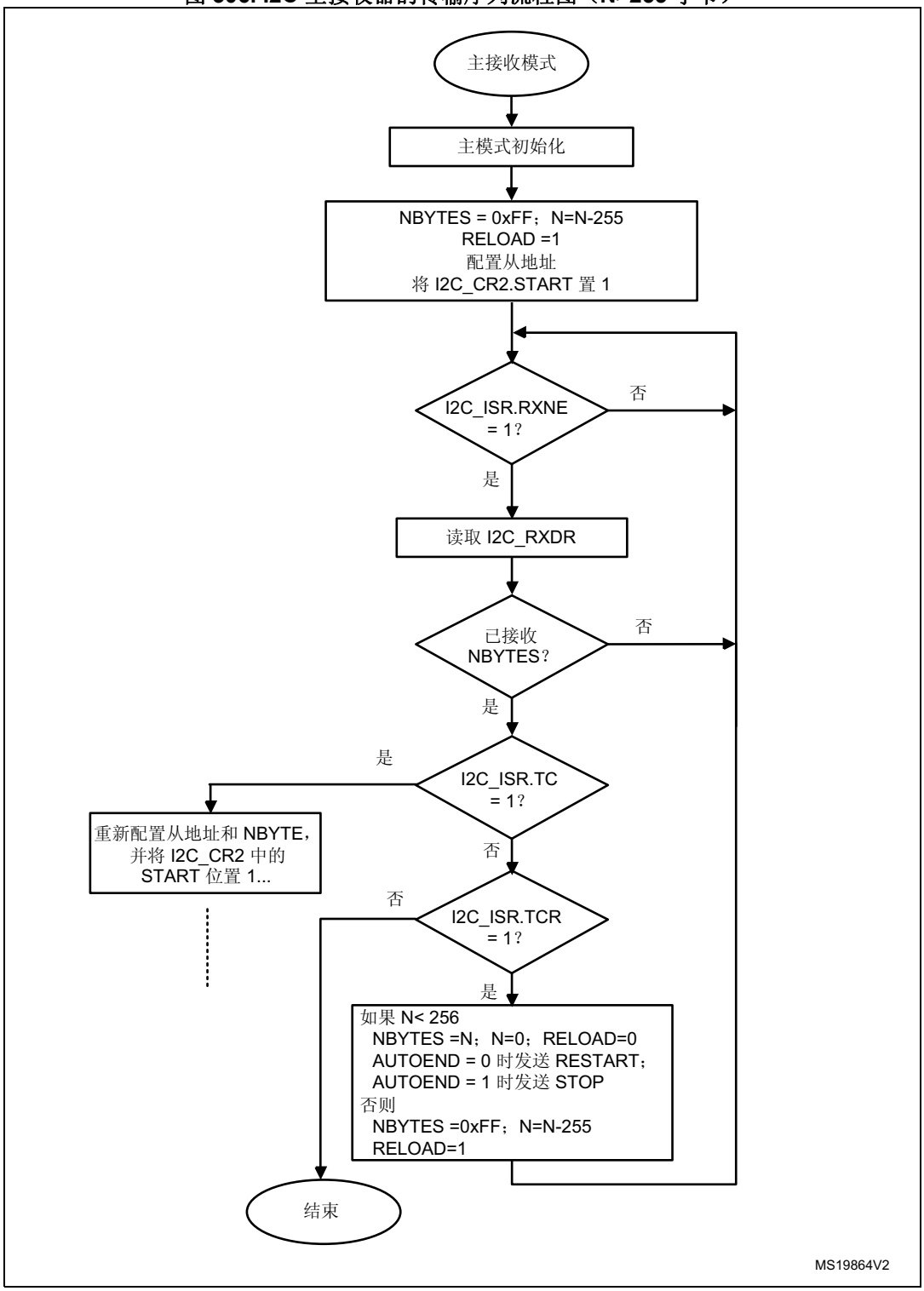
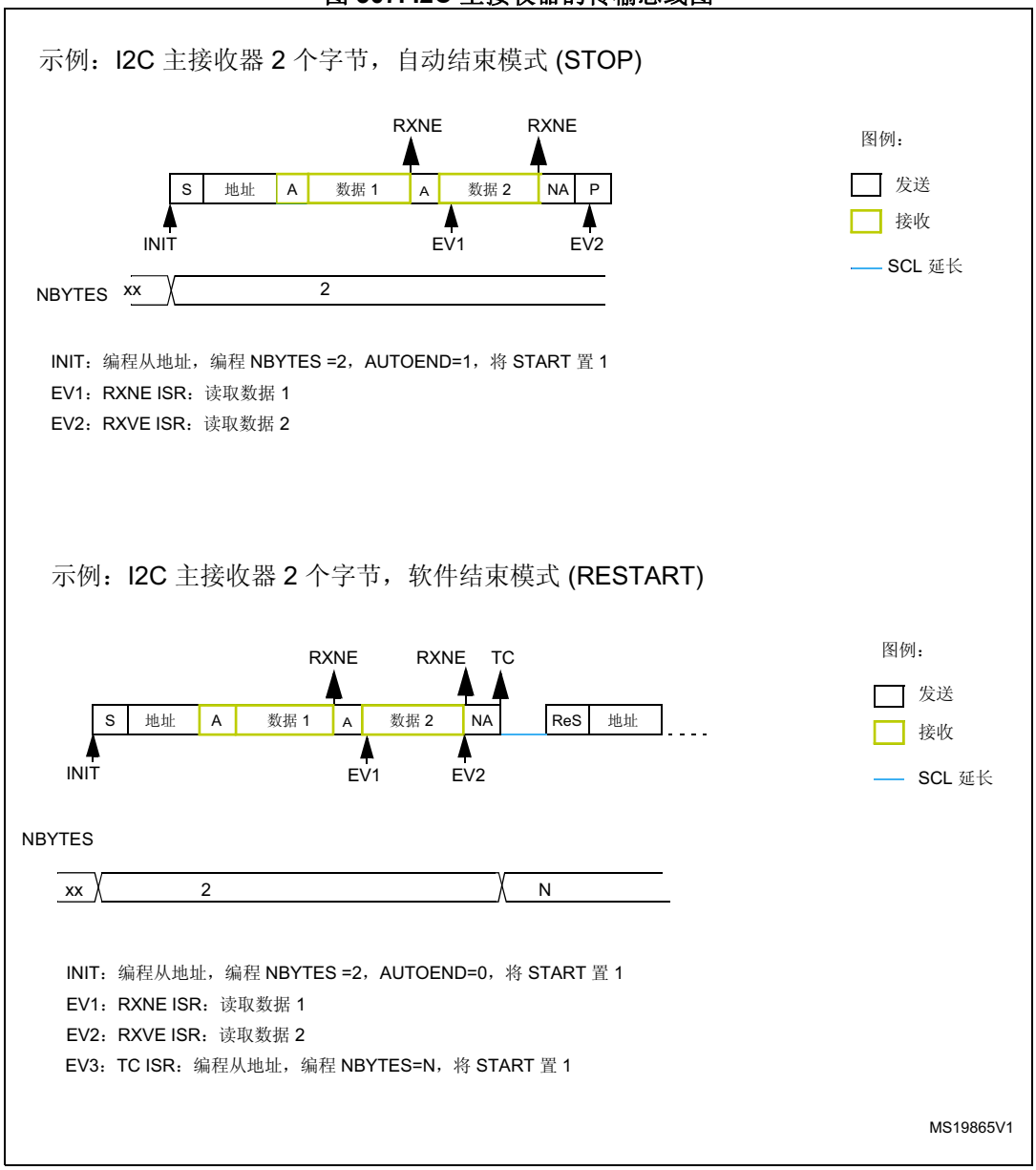


图 307. I2C 主接收器的传输总线图



31.4.10 I2C_TIMINGR 寄存器配置示例

下文各表提供了相应示例，以介绍如何编程 I2C_TIMINGR 才能获得符合 I^2C 规范的时序。要获取更准确的配置值，必须使用 STM32CubeMX 工具（I2C 配置窗口）。

表 156. f_{I2CCLK} = 8 MHz 时的时序设置示例

参数	标准模式 (Sm)		快速模式 (Fm)	超快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	500 kHz
PRESC	1	1	0	0
SCLL	0xC7	0x13	0x9	0x6
t_{SCLL}	200x250 ns = 50 µs	20x250 ns = 5.0 µs	10x125 ns = 1250 ns	7x125 ns = 875 ns
SCLH	0xC3	0xF	0x3	0x3
t_{SCLH}	196x250 ns = 49 µs	16x250 ns = 4.0µs	4x125ns = 500ns	4x125 ns = 500 ns
t_{SCL}(1)	约 100 µs(2)	约 10 µs(2)	约 2500 ns(3)	约 2000 ns(4)
SDADEL	0x2	0x2	0x1	0x0
t_{SDADEL}	2x250 ns = 500 ns	2x250 ns = 500 ns	1x125 ns = 125 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
t_{SCLDEL}	5x250 ns = 1250 ns	5x250 ns = 1250 ns	4x125 ns = 500 ns	2x125 ns = 250 ns

1. 由于 SCL 内部检测存在延时，SCL 周期 t_{SCL} 大于 t_{SCLL} + t_{SCLH}。为 t_{SCL} 提供的值仅用于举例说明。
2. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 500 ns。t_{SYNC1} + t_{SYNC2} = 1000 ns 时的示例。
3. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 500 ns。t_{SYNC1} + t_{SYNC2} = 750 ns 时的示例。
4. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 500 ns。t_{SYNC1} + t_{SYNC2} = 655 ns 时的示例。

表 157. f_{I2CCLK} = 16 MHz 时的时序设置示例

参数	标准模式 (Sm)		快速模式 (Fm)	超快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	3	3	1	0
SCLL	0xC7	0x13	0x9	0x4
t_{SCLL}	200 x 250 ns = 50 µs	20 x 250 ns = 5.0 µs	10 x 125 ns = 1250 ns	5 x 62.5 ns = 312.5 ns
SCLH	0xC3	0xF	0x3	0x2
t_{SCLH}	196 x 250 ns = 49 µs	16 x 250 ns = 4.0 µs	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns
t_{SCL}(1)	约 100 µs(2)	约 10 µs(2)	约 2500 ns(3)	约 1000 ns(4)
SDADEL	0x2	0x2	0x2	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	2 x 125 ns = 250 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x2
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	3 x 62.5 ns = 187.5 ns

1. 由于 SCL 内部检测存在延时，SCL 周期 t_{SCL} 大于 t_{SCLL} + t_{SCLH}。为 t_{SCL} 提供的值仅用于举例说明。
2. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 250 ns。t_{SYNC1} + t_{SYNC2} = 1000 ns 时的示例。
3. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 250 ns。t_{SYNC1} + t_{SYNC2} = 750 ns 时的示例。
4. t_{SYNC1} + t_{SYNC2} 最小值为 4 x t_{I2CCLK} = 250 ns。t_{SYNC1} + t_{SYNC2} = 500 ns 时的示例。

表 158. f_{I2CCLK} = 48 MHz 时的时序设置示例

参数	标准模式 (Sm)		快速模式 (Fm)	超快速模式 (Fm+)
	10 kHz	100 kHz	400 kHz	1000 kHz
PRESC	0xB	0xB	5	5
SCLL	0xC7	0x13	0x9	0x3
t_{SCLL}	200 x 250 ns = 50 µs	20 x 250 ns = 5.0 µs	10 x 125 ns = 1250 ns	4 x 125 ns = 500 ns
SCLH	0xC3	0xF	0x3	0x1
t_{SCLH}	196 x 250 ns = 49 µs	16 x 250 ns = 4.0 µs	4 x 125 ns = 500 ns	2 x 125 ns = 250 ns
t_{SCL}(1)	约 100 µs(2)	约 10 µs(2)	约 2500 ns(3)	约 875 ns(4)
SDADEL	0x2	0x2	0x3	0x0
t_{SDADEL}	2 x 250 ns = 500 ns	2 x 250 ns = 500 ns	3 x 125 ns = 375 ns	0 ns
SCLDEL	0x4	0x4	0x3	0x1
t_{SCLDEL}	5 x 250 ns = 1250 ns	5 x 250 ns = 1250 ns	4 x 125 ns = 500 ns	2 x 125 ns = 250 ns

1. 由于 SCL 内部检测存在延时，SCL 周期 t_{SCL} 大于 t_{SCLL} + t_{SCLH}。为 t_{SCL} 提供的值仅用于举例说明。
2. t_{SYNC1} + t_{SYNC2} 最小值为 4x t_{I2CCLK} = 83.3 ns。t_{SYNC1} + t_{SYNC2} = 1000 ns 时的示例。
3. t_{SYNC1} + t_{SYNC2} 最小值为 4x t_{I2CCLK} = 83.3 ns。t_{SYNC1} + t_{SYNC2} = 750 ns 时的示例。
4. t_{SYNC1} + t_{SYNC2} 最小值为 4x t_{I2CCLK} = 83.3 ns。t_{SYNC1} + t_{SYNC2} = 250 ns 时的示例。

31.4.11 SMBus 特性

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

简介

系统管理总线 (SMBus) 是一个双线制接口，各器件可通过它在彼此之间或者与系统的其余部分进行通信。它以 I^2C 的工作原理为基础。SMBus 可针对系统和电源管理相关的任务提供控制总线。

该外设与 SMBUS 规范兼容 (http://smbus.org)。

系统管理总线规范涉及三类器件。

- 从器件，用于接收或响应命令。
- 主器件，用于发出命令、生成时钟和中止传输。
- 主机，专用的主器件，可提供连接系统 CPU 的主接口。主机必须具有主 - 从器件功能，并且必须支持 SMBus 主机通知协议。系统中只允许存在一个主机。

该外设可配置为主器件或从器件，也可配置为主机。

总线协议

任何给定器件都有十一种可用命令协议。器件既可以在这十一种协议中任选其一，也可以使用全部十一种协议进行通信。这十一种协议分别为快速命令、发送字节、接收字节、写入字节、写入字、读取字节、读取字、过程调用、块读取、块写入以及块写入-块读取过程调用。这些协议应通过用户软件实施。

有关这些协议的详细信息，请参见 SMBus 规范 (http://smbus.org)。

地址解析协议 (ARP)

通过为各个从器件动态分配一个新的唯一地址可解决 SMBus 从地址冲突的问题。为了提供一种机制来针对地址分配隔离各个器件，各器件必须具有唯一的器件标识符 (UDID)。该 128 位数字由软件实现。

该外设支持地址解析协议 (ARP)。通过将 I2C_CR1 寄存器中的 SMBDEN 位置 1 来使能 SMBus 器件默认地址 (0b1100 001)。ARP 命令应通过用户软件实现。

此外，还将在从模式下执行仲裁以支持 ARP。

有关 SMBus 地址解析协议的详细信息，请参见 SMBus 规范 (http://smbus.org)。

接收的命令和数据应答控制

SMBus 接收器必须能够对接收到的每个命令或数据进行否定应答。要在从模式下实现 ACK 控制，必须通过将 I2C_CR1 寄存器中的 SBC 位置 1 来使能从字节控制模式。更多详细信息，请参见*第 843 页的从器件字节控制模式*。

主机通知协议

该外设通过将 I2C_CR1 寄存器中的 SMBHEN 位置 1 来支持主机通知协议。在这种情况下，主机将应答 SMBus 主机地址 (0b0001 000)。

使用该协议时，器件用作主器件，而主机用作从器件。

SMBus 报警

器件支持 SMBus ALERT 可选信号。只具备从功能的器件可通过 SMBALERT# 引脚向主机发出信号，指示它想要通信。主机会处理该中断并通过报警响应地址 (0b0001 100) 同时访问所有 SMBALERT# 器件。只有那些将 SMBALERT# 拉到低电平的器件会应答报警响应地址。

如果配置为从器件 (SMBHEN=0)，则通过将 I2C_CR1 寄存器中的 ALERTEN 位置 1 来将 SMBA 引脚拉为低电平。这同时还会使能报警响应地址。

如果配置为主机 (SMBHEN=1)，则当 SMBA 引脚上检测到下降沿且 ALERTEN=1 时，I2C_ISR 寄存器中的 ALERT 标志置 1。如果 I2C_CR1 寄存器中的 ERRIE 位置 1，将生成中断。当 ALERTEN=0 时，即使外部 SMBA 引脚为低电平，ALERT 线也将被视为高电平。

如果无需 SMBus ALERT 引脚，则当 ALERTEN=0 时，SMBA 引脚可用作标准 GPIO。

数据包错误校验

SMBus 规范中引入了数据包错误校验机制来提高可靠性和通信稳定性。数据包错误校验的实施方式是在每次消息传输结束时附加数据包错误代码 (PEC)。PEC 的计算方式是对所有消息字节（包括地址和读/写位）使用 CRC-8 多项式 $C(x) = x_8 + x^2 + x + 1$。

外设内置了硬件 PEC 计算器，可在接收到的字节与硬件计算的 PEC 不匹配时自动发送否定应答信号。

超时

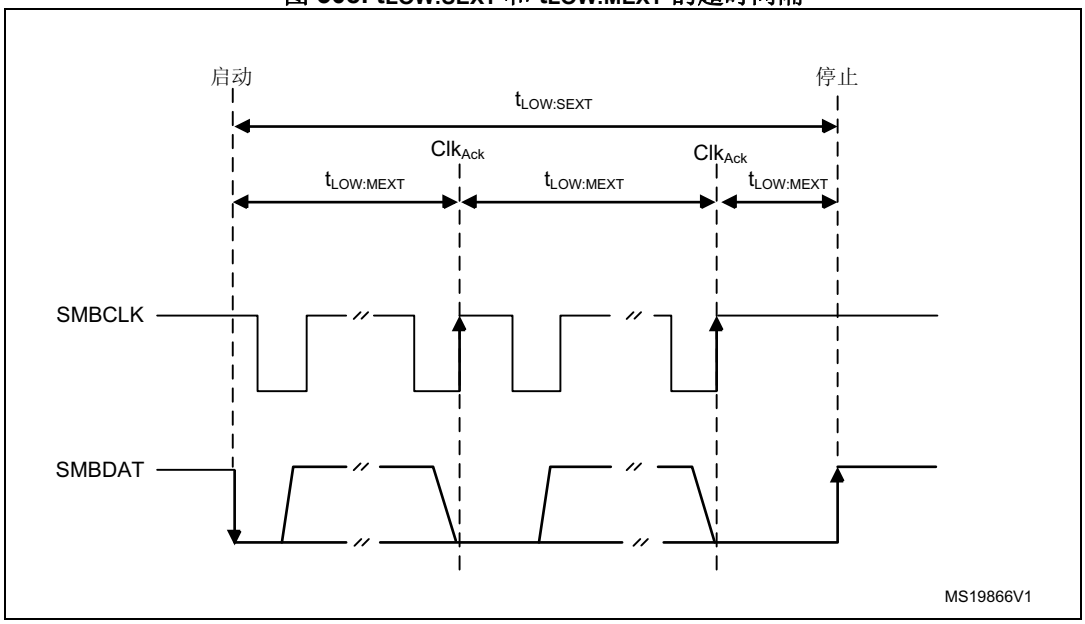
该外设内置了硬件定时器，以便符合 SMBus 规范中定义的 3 个超时。

表 159. SMBus 超时规范

符号	参数	限值		单位
		最小值	最大值	
$t_{TIMEOUT}$	检测时钟低电平超时	25	35	us
$t_{LOW:SEXT}$(1)	累积时钟低电平延长时间（从器件）	-	25	us
$t_{LOW:MEXT}$(2)	累积时钟低电平延长时间（主器件）	-	10	us

1. $t_{LOW:SEXT}$ 是一段累积时间，即给定从器件在一条消息的最初起始到停止期间时钟信号可延展的时间。其他从器件或主器件也可能延长时钟，进而导致时钟低电平总延长时间超过 $t_{LOW:SEXT}$。因此，测量该参数时该器件应该是全速主器件寻址的唯一器件。
2. $t_{LOW:MEXT}$ 是一段累积时间，即主器件在消息的每个字节（定义为 START 到 ACK、ACK 到 ACK 或 ACK 到 STOP）内时钟信号可延展的时间。从器件或其他主器件也可能延长时钟，进而导致时钟低电平总时间超过 $t_{LOW:MEXT}$（针对给定字节）。因此，测量该参数时该全速主器件只寻址一个从器件。

图 308. $t_{LOW:SEXT}$ 和 $t_{LOW:MEXT}$ 的超时间隔



总线空闲检测

如果主器件检测到时钟和数据信号的高电平时间已达 t_{IDLE}（超过 $t_{HIGH,MAX}$），则认为总线空闲（请参见*表 153：I2C-SMBUS 规范数据建立和保持时间*）。

该时序参数已考虑如下情况：主器件已动态添加至总线，但可能尚未检测到 SMBCLK 或 SMBDAT 线上的状态转换。在这种情况下，主器件必须等待足够长的时间，以确定当前未进行传输。外设支持硬件总线空闲检测。

31.4.12 SMBus 初始化

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

除了 I2C 初始化之外，还必须进行一些其他的特定初始化，以便执行 SMBus 通信：

接收的命令和数据应答控制（从模式）

SMBus 接收器必须能够对接收到的每个命令或数据进行否定应答。要在从模式下实现 ACK 控制，必须通过将 I2C_CR1 寄存器中的 SBC 位置 1 来使能从字节控制模式。更多详细信息，请参见*第 843 页的从器件字节控制模式*。

特定地址（从模式）

必要时必须使能特定的 SMBus 地址。更多详细信息，请参见*第 865 页的总线空闲检测*。

- 通过将 I2C_CR1 寄存器中的 SMBDEN 位置 1 来使能 SMBus 器件默认地址 (0b1100 001)。
- 通过将 I2C_CR1 寄存器中的 SMBHEN 位置 1 来使能 SMBus 主机地址 (0b0001 000)。
- 通过将 I2C_CR1 寄存器中的 ALERTEN 位置 1 来使能报警响应地址 (0b0001100)。

数据包错误校验

通过将 I2C_CR1 寄存器中的 PECEN 位置 1 来使能 PEC 的计算。然后，借助硬件字节计数器（I2C_CR2 寄存器中的 NBYTES[7:0]）来管理 PEC 传输。使能 I2C 之前，必须配置 PECEN 位。

PEC 传输由硬件字节计数器来管理，因此在从模式下连接 SMBus 时必须将 SBC 位置 1。当 PECBYTE 位置 1 且 RELOAD 位清零时，传输完 NBYTES-1 字节的数据后会传输 PEC。如果 RELOAD 置 1，PECBYTE 将不起作用。

注意： 使能 I2C 时，不允许更改 PECEN 配置。

表 160. 带 PEC 的 SMBUS 配置

模式	SBC 位	RELOAD 位	AUTOEND 位	PECBYTE 位
主 Tx/Rx NBYTES + PEC+ STOP	x	0	1	1
主 Tx/Rx NBYTES + PEC + ReSTART	x	0	0	1
从 Tx/Rx + PEC	1	0	x	1

超时检测

将 I2C_TIMEOUTR 寄存器中的 TIMOUTEN 和 TEXTEN 位置 1 来使能超时检测。定时器必须按如下方式编程：即在 SMBus 规范规定的时间最大值之前检测出超时情况。

- $t_{TIMEOUT}$ 检查
  要使能 $t_{TIMEOUT}$ 检查，必须将 12 位 TIMEOUTA[11:0] 位编程为定时器重载值，以检查 $t_{TIMEOUT}$ 参数。必须将 TIDLE 位配置为“0”，以检测 SCL 低电平超时。
  然后，通过将 I2C_TIMEOUTR 寄存器中的 TIMOUTEN 位置 1 来使能定时器。
  如果 SCL 的低电平持续时间超过 (TIMEOUTA+1) x 2048 x t_{I2CCLK}，I2C_ISR 寄存器中的 TIMEOUT 标志将置 1。
  请参见*表 161：不同 I2CCLK 频率下的 TIMEOUTA 设置示例（最大 $t_{TIMEOUT}$ = 25 ms）*。

注意： TIMEOUTEN 位置 1 时，不允许更改 TIMEOUTA[11:0] 位和 TIDLE 位的配置。

- $t_{LOW:SEXT}$ 和 $t_{LOW:MEXT}$ 检查
  必须根据外设配置为主器件还是从器件来配置 TIMEOUTB 定时器，以便为从器件校验 $t_{LOW:SEXT}$，为主器件校验 $t_{LOW:MEXT}$。由于标准只规定了最大值，用户可以为这两个参数选择相同的值。
  然后，通过将 I2C_TIMEOUTR 寄存器中的 TEXTEN 位置 1 来使能定时器。
  如果 SMBus 外设延展 SCL 的累积时间超过 (TIMEOUTB+1) x 2048 x t_{I2CCLK}，并且达到*第 865 页的总线空闲检测*一节给出的超时间隔，则 I2C_ISR 寄存器中的 TIMEOUT 标志将置 1。
  请参见*表 162：不同 I2CCLK 频率下的 TIMEOUTB 设置示例*。

注意： TEXTEN 位置 1 时，不允许更改 TIMEOUTB 配置。

总线空闲检测

要使能 t_{IDLE} 检查，必须将 12 位 TIMEOUTA[11:0] 字段编程为定时器重载值，以获取 t_{IDLE} 参数。必须将 TIDLE 位配置为“1”，以检测 SCL 和 SDA 高电平超时。

然后，通过将 I2C_TIMEOUTR 寄存器中的 TIMOUTEN 位置 1 来使能定时器。

如果 SCL 和 SDA 线的高电平持续时间超过 (TIMEOUTA+1) x 4 x t_{I2CCLK}，I2C_ISR 寄存器中的 TIMEOUT 标志将置 1。

请参见*表 163：不同 I2CCLK 频率下的 TIMEOUTA 设置示例（最大 t_{IDLE} = 50 µs）*。

注意： TIMEOUTEN 置 1 时，不允许更改 TIMEOUTA 和 TIDLE 配置。

31.4.13 SMBus：I2C_TIMEOUTR 寄存器配置示例

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

- 将 $t_{TIMEOUT}$ 的最大持续时间配置为 25 ms：

表 161. 不同 I2CCLK 频率下的 TIMEOUTA 设置示例 （最大 $t_{TIMEOUT}$ = 25 ms）

f_{I2CCLK}	TIMEOUTA[11:0] 位	TIDLE 位	TIMEOUTEN 位	$t_{TIMEOUT}$
8 MHz	0x61	0	1	98 x 2048 x 125 ns = 25 ms
16 MHz	0xC3	0	1	196 x 2048 x 62.5 ns = 25 ms
48 MHz	0x249	0	1	586 x 2048 x 20.08 ns = 25 ms

- 将 $t_{LOW:SEXT}$ 和 $t_{LOW:MEXT}$ 的最大持续时间配置为 8 ms：

表 162. 不同 I2CCLK 频率下的 TIMEOUTB 设置示例

f_{I2CCLK}	TIMEOUTB[11:0] 位	TEXTEN 位	$t_{LOW:EXT}$
8 MHz	0x1F	1	32 x 2048 x 125 ns = 8 ms
16 MHz	0x3F	1	64 x 2048 x 62.5 ns = 8 ms
48 MHz	0xBB	1	188 x 2048 x 20.08 ns = 8 ms

- 将 t_{IDLE} 的最大持续时间配置为 50 µs

表 163. 不同 I2CCLK 频率下的 TIMEOUTA 设置示例 （最大 t_{IDLE} = 50 µs）

f_{I2CCLK}	TIMEOUTA[11:0] 位	TIDLE 位	TIMEOUTEN 位	t_{TIDLE}
8 MHz	0x63	1	1	100 x 4 x 125 ns = 50 µs
16 MHz	0xC7	1	1	200 x 4 x 62.5 ns = 50 µs
48 MHz	0x257	1	1	600 x 4 x 20.08 ns = 50 µs

31.4.14 SMBus 从模式

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

除了 I2C 从模式传输管理（请参见*第 31.4.8 节：I2C 从模式*）之外，还提供了一些额外的软件流程图来支持 SMBus。

SMBus 从发送器

在 SMBus 模式下作为从发送器时，必须将 SBC 编程为“1”，以便在完成已编程数据字节数的传输后进行 PEC 传输。当 PECBYTE 位置 1 时，NBYTES[7:0] 中编程的字节数包含 PEC 传输。在这种情况下，总 TXIS 中断数为 NBYTES-1，如果主器件在完成 NBYTES-1 字节的数据传输后请求传输额外的字节，则将自动发送 I2C_PECR 寄存器的内容。

注意： 当 RELOAD 位置 1 时，PECBYTE 位将不起作用。

图 309. SMBus 从发送器的传输序列流程图（N 字节 + PEC）

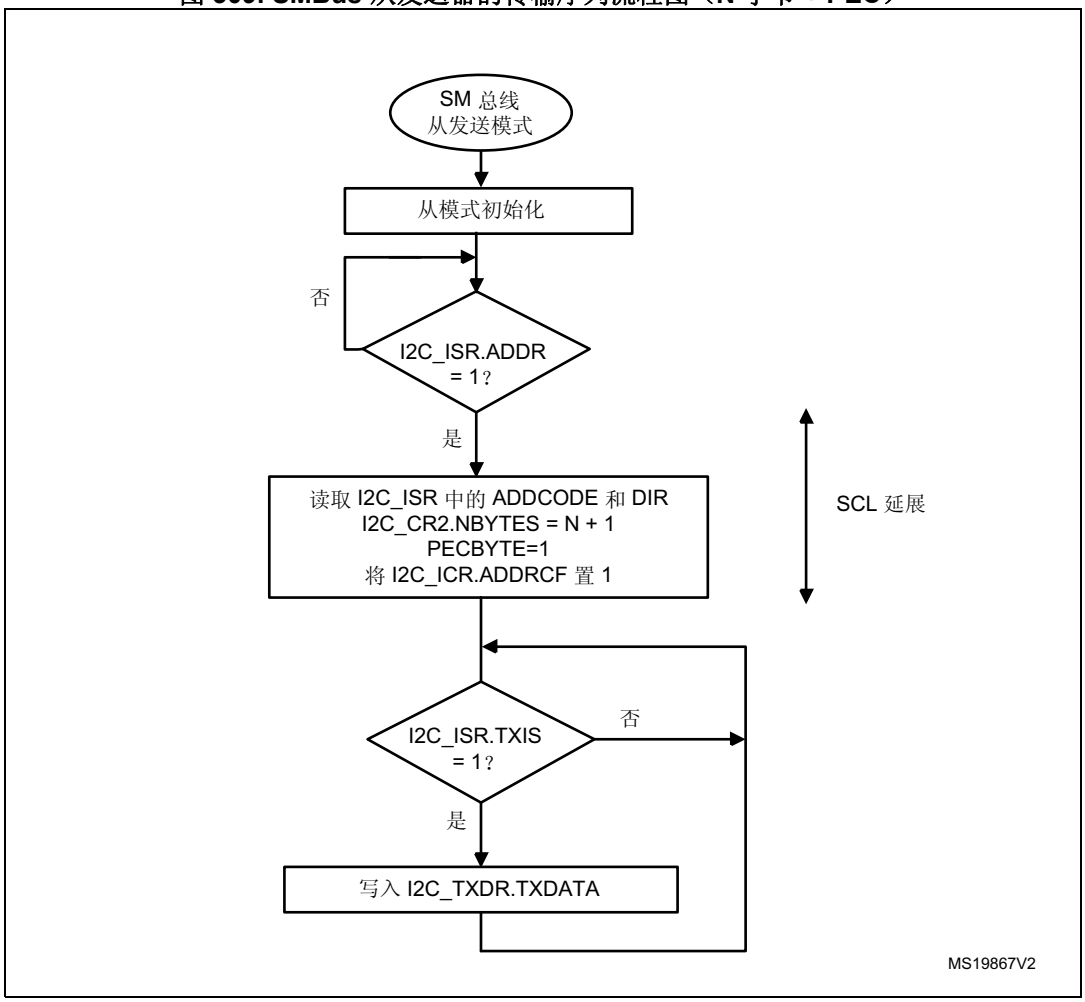
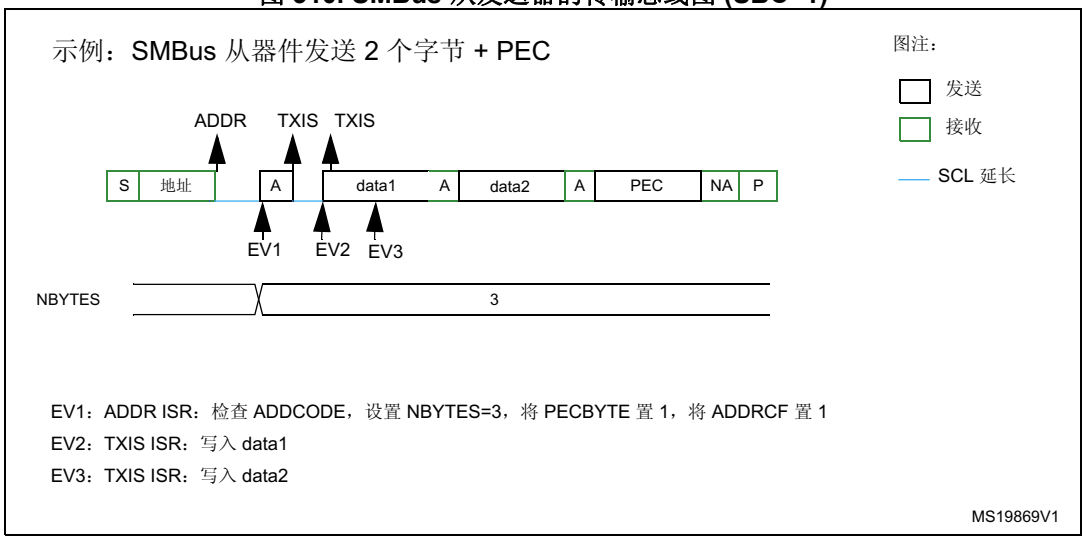


图 310. SMBus 从发送器的传输总线图 (SBC=1)



SMBus 从接收器

在 SMBus 模式下使用 I2C 时，必须将 SBC 编程为“1”，以便在完成已编程数据字节数的传输后进行 PEC 校验。要对每个字节进行 ACK 控制，必须选择重载模式 (RELOAD=1)。更多详细信息，请参见*第 843 页的从器件字节控制模式*。

要校验 PEC 字节，必须将 RELOAD 位清零并将 PECBYTE 位置 1。在这种情况下，当接收到 NBYTES-1 字节的数据后，接收的下一个字节将与内部 I2C_PECR 寄存器的内容作比较。如果比较不匹配，则将自动生成 NACK 信号；如果比较匹配，则将自动生成 ACK 信号，而与 ACK 位的值无关。PEC 字节一经接收，便会像任何其他数据一样复制到 I2C_RXDR 寄存器中，并且 RXNE 标志将置 1。

当 PEC 不匹配时，PECERR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

如果无需 ACK 软件控制，用户可编程 PECBYTE=1，在同一写操作下，将 NBYTES 编程为连续接收的字节数。接收到 NBYTES-1 字节的数据后，会将接收的下一个字节视为 PEC 进行校验。

注意： 当 RELOAD 位置 1 时，PECBYTE 位将不起作用。

图 311. SMBus 从接收器的传输序列流程图（N 字节 + PEC）

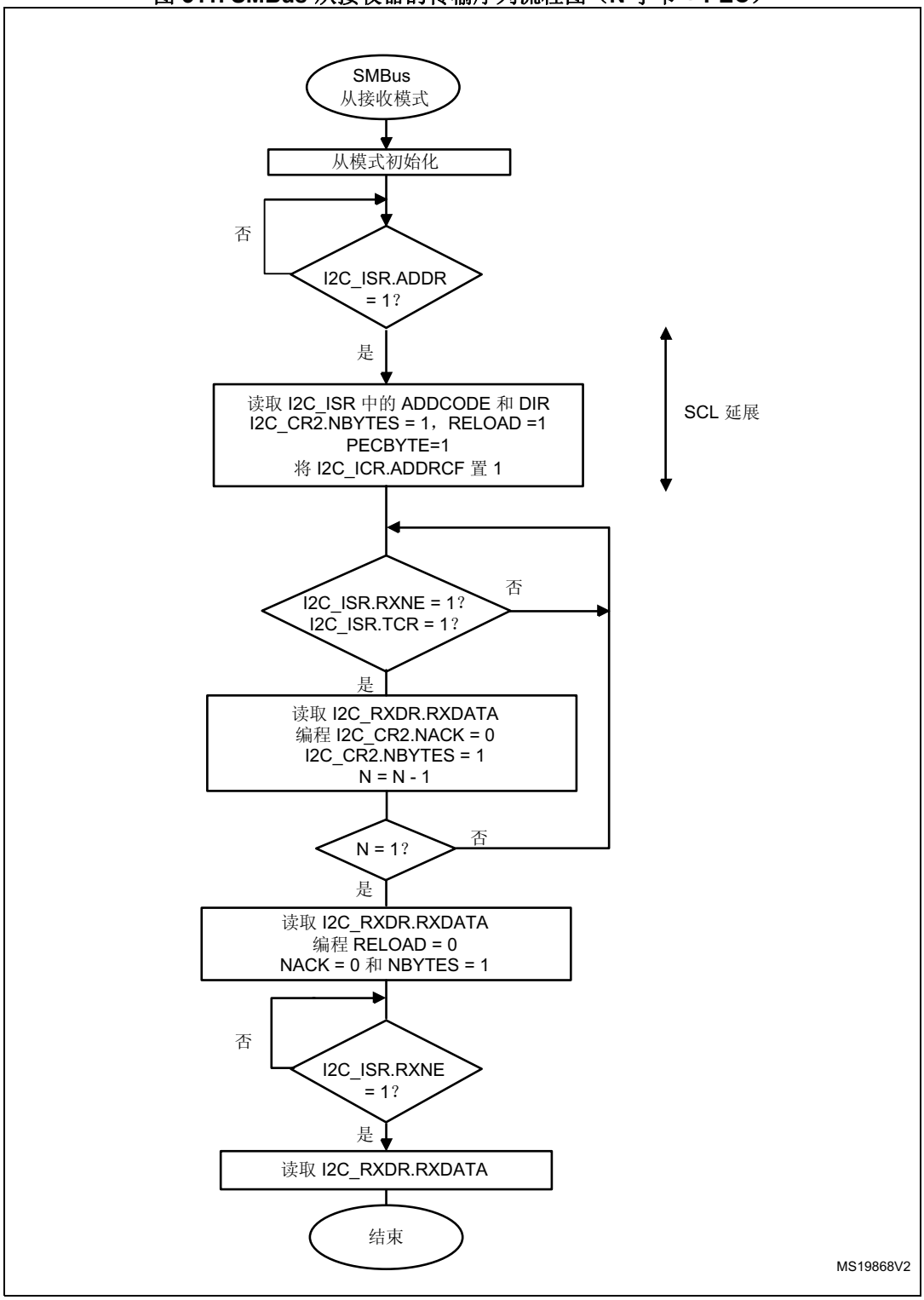
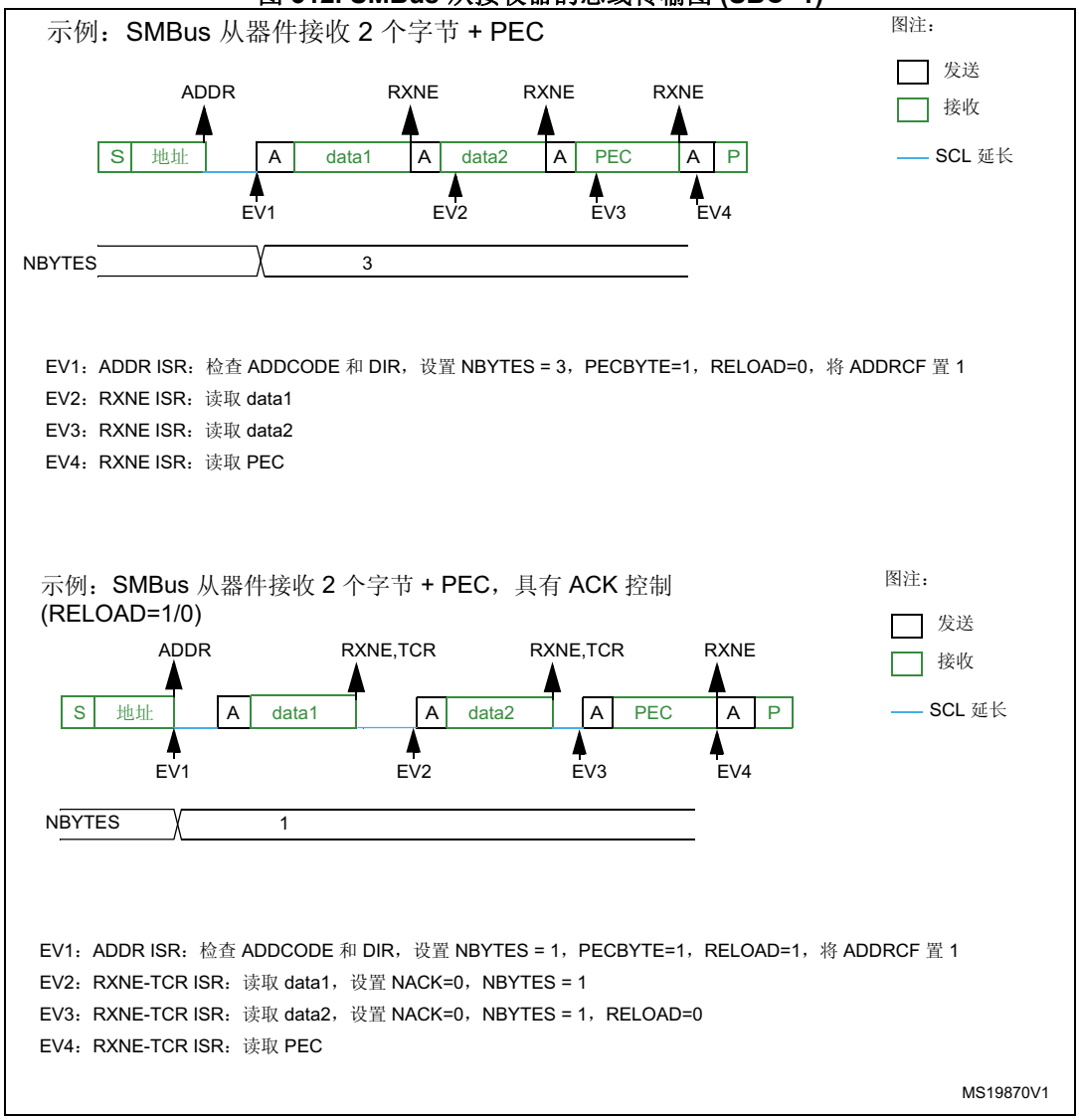


图 312. SMBus 从接收器的总线传输图 (SBC=1)



仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

除了 I2C 主模式传输管理（请参见*第 31.4.9 节：I2C 主模式*）之外，还提供了一些额外的软件流程图来支持 SMBus。

SMBus 主发送器

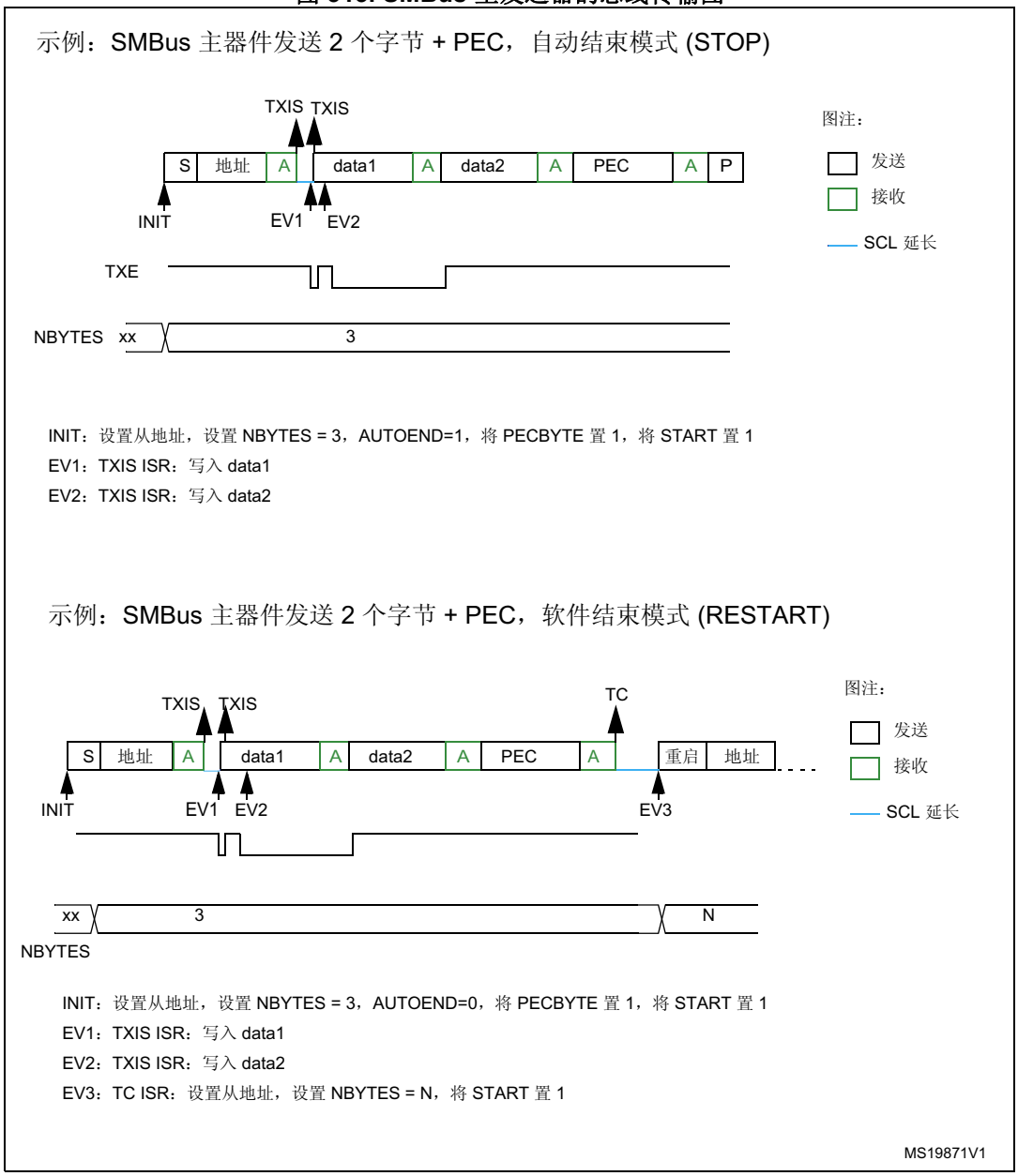
当 SMBus 主器件想要发送 PEC 时，必须在 START 位置 1 前，将 PECBYTE 位置 1 并在 NBYTES[7:0] 字段中设置字节数。在这种情况下，总 TXIS 中断数为 NBYTES-1。因此，如果 PECBYTE 位在 NBYTES=0x1 时置 1，则将自动发送 I2C_PECR 寄存器的内容。

如果 SMBus 主器件想要在 PEC 后发送停止位，则必须选择自动结束模式 (AUTOEND=1)。在这种情况下，传输 PEC 后将自动发送停止位。

如果 SMBus 主器件想要在 PEC 后发送重复起始位，则必须选择软件模式 (AUTOEND=0)。在这种情况下，发送 NBYTES-1 字节的数据后，将发送 I2C_PECR 寄存器的内容，TC 标志将在传输完 PEC 之后置 1，SCL 线的低电平时间将延长。必须在 TC 中断子程序中设置重复起始位。

注意： 当 RELOAD 位置 1 时，PECBYTE 位将不起作用。

图 313. SMBus 主发送器的总线传输图



SMBus 主接收器

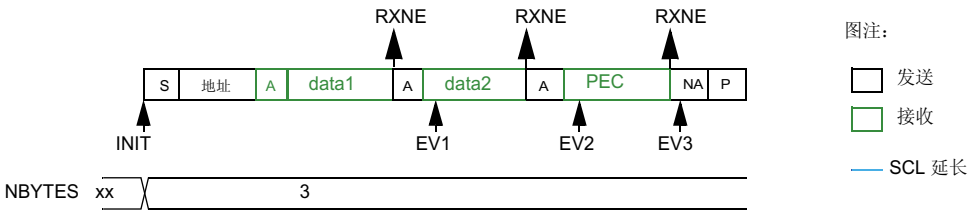
当 SMBus 主器件想要接收 PEC，并在传输结束后发送 STOP 时，可选择自动结束模式 (AUTOEND=1)。将 START 位置 1 之前，必须将 PECBYTE 位置 1 并设置从地址。在这种情况下，当接收到 NBYTES-1 字节的数据后，将自动使用 I2C_PECR 寄存器的内容对接收的下一个字节进行校验。接收 PEC 字节后，给出 NACK 响应和停止位。

当 SMBus 主接收器想要接收 PEC 字节，并且在传输结束后发送重复起始位时，必须选择软件模式 (AUTOEND=0)。将 START 位置 1 之前，必须将 PECBYTE 位置 1 并设置从地址。在这种情况下，当接收到 NBYTES-1 字节的数据后，将自动使用 I2C_PECR 寄存器的内容对接收的下一个字节进行校验。接收到 PEC 字节后，TC 标志将置 1，SCL 线的低电平时间将延长。可以在 TC 中断子程序中设置重复起始位。

注意： 当 RELOAD 位置 1 时，PECBYTE 位将不起作用。

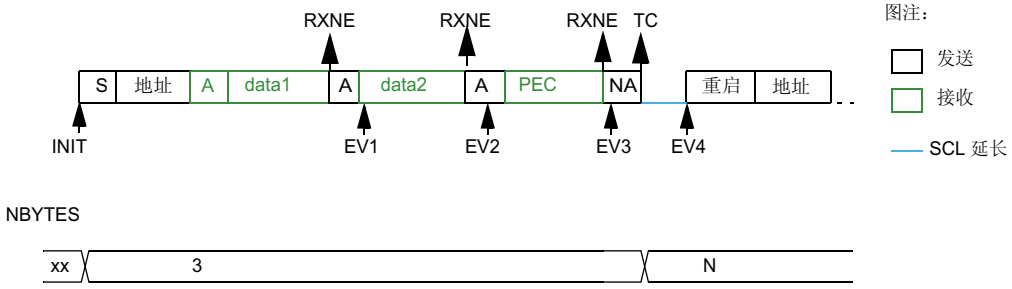
图 314. SMBus 主接收器的总线传输图

示例：SMBus 主器件接收 2 个字节 + PEC，自动结束模式 (STOP)



INIT：设置从地址，设置 NBYTES = 3，AUTOEND=1，将 PECBYTE 置 1，将 START 置 1
EV1：RXNE ISR：读取 data1
EV2：RXNE ISR：读取 data2
EV3：RXNE ISR：读取 PEC

示例：SMBus 主器件接收 2 个字节 + PEC，软件结束模式 (RESTART)



INIT：设置从地址，设置 NBYTES = 3，AUTOEND=0，将 PECBYTE 置 1，将 START 置 1
EV1：RXNE ISR：读取 data1
EV2：RXNE ISR：读取 data2
EV3：RXNE ISR：读取 PEC
EV4：TC ISR：设置从地址，设置 NBYTES = N，将 START 置 1

MS19872V1

31.4.15 地址匹配时从停止模式唤醒

仅当支持从停止模式唤醒功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

被寻址时，I2C 能够从停止模式中唤醒 MCU（APB 时钟关断）。支持所有寻址模式。

将 I2C_CR1 寄存器中的 WUPEN 位置 1，可以使能从停止模式唤醒功能。对于 I2CCLK，必须选择 HSI16 振荡器作为时钟源，以便从停止模式唤醒。

停止模式下，关闭 HSI16。当检测到 START 时，I2C接口将 HSI16 接通，并延长 SCL 使其处于低电平直到唤醒 HSI16。

HSI16 随后用来接收地址。

地址匹配的情况下，MCU 唤醒时间内，I2C 延长 SCL 使其处于低电平。当软件清除 ADDR 标志时，此延长被释放，传输正常进行。

如果地址不匹配，HSI16 再次关断，MCU 不被唤醒。

注： *如果 I2C 时钟是系统时钟，或者 WUPEN = 0，则接收到 START 后，HSI16 不会接通。*

只有 ADDR 中断能够唤醒 MCU。因此，当 I2C 以主器件身份或在 ADDR 标志置 1 后以被寻址从器件身份执行传输时，不要进入停止模式。通过在 ADDR 中断程序中清除 SLEEPDEEP 位，然后仅在 STOPF 标志置 1 后再将其置 1，来对此进行管理。

注意： 数字滤波器与从停止模式唤醒功能不兼容。如果 DNF 位不等于 0，则将 WUPEN 位置 1 将不起任何作用。

注意： 只有当 I2C 时钟源为 HSI16 振荡器时，该功能才可用。

注意： 必须使能时钟延长 (NOSTRETCH=0) 才能确保从停止模式唤醒功能正常工作。

注意： 如果禁止从停止模式唤醒 (WUPEN=0)，则在进入停止模式前必须禁止 I2C 外设 (PE=0)。

31.4.16 错误条件

以下错误条件可能导致通信失败。

总线错误 (BERR)

当检测到起始位或停止位但不位于第 9N 个 SCL 时钟脉冲之后时，会检测到总线错误。当 SDA 边沿出现且 SCL 为高电平时，会检测到起始或停止位。

只有当 I2C 在传输过程中用作主器件或被寻址为从器件时（即未处于从模式下的地址阶段），才会将总线错误标志置 1。

在从模式下检测到错位的起始位或重复起始位时，I2C 会像接收到正确的起始位一样进入地址识别状态。

检测到总线错误时，I2C_ISR 寄存器中的 BERR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

仲裁丢失 (ARLO)

当 SDA 线上发送高电平但在 SCL 上升沿却采样到低电平时，会检测到仲裁丢失。

- 在主模式下，将在地址阶段、数据阶段和数据应答阶段检测到仲裁丢失。在这种情况下，SDA 线和 SCL 线被释放，起始控制位由硬件清零，主器件自动切换为从模式。
- 在从模式下，将在数据阶段和数据应答阶段检测到仲裁丢失。在这种情况下，传输停止，SCL 和 SDA 线被释放。

检测到仲裁丢失时，I2C_ISR 寄存器中的 ARLO 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

上溢/下溢错误 (OVR)

当满足 NOSTRETCH=1 和以下条件时，将在从模式下检测到上溢或下溢错误：

- 接收过程中接收到一个新字节但 RXDR 寄存器的值还未读出。接收的新字节丢失，自动发送 NACK 来响应新字节。
- 在发送过程中：
  - 当 STOPF=1 且应发送第一个数据字节时。TXE=0 时发送 I2C_TXDR 寄存器的内容，否则发送 0xFF。
  - 必须发送一个新字节但尚未向 I2C_TXDR 寄存器写入数据时，将发送 0xFF。

检测到上溢或下溢错误时，I2C_ISR 寄存器中的 OVR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

数据包错误校验错误 (PECERR)

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

当接收到的 PEC 字节与 I2C_PECR 寄存器的内容不匹配时，将检测到 PEC 错误。接收到错误的 PEC 后，将自动发送 NACK。

检测到 PEC 错误时，I2C_ISR 寄存器中的 PECERR 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

超时错误 (TIMEOUT)

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

满足以下任何条件均会出现超时错误：

- TIDLE=0 且 SCL 的低电平持续时间达到 TIMEOUTA[11:0] 位中定义的时间：这用于检测 SMBus 超时。
- TIDLE=1 且 SDA 和 SCL 的高电平持续时间达到 TIMEOUTA[11:0] 位中定义的时间：这用于检测总线空闲情况。
- 主器件的累积时钟低电平延长时间达到了 TIMEOUTB[11:0] 位中定义的时间（SMBus $t_{LOW:MEXT}$ 参数）
- 从器件的累积时钟低电平延长时间达到了 TIMEOUTB[11:0] 位中定义的时间（SMBus $t_{LOW:SEXT}$ 参数）

当在主模式下检测到超时时，将自动发送停止位。

当在从模式下检测到超时时，将自动释放 SDA 和 SCL 线。

检测到超时错误时，I2C_ISR 寄存器中的 TIMEOUT 标志将置 1，如果 I2C_CR1 寄存器中的 ERRIE 位置 1，还将生成中断。

报警 (ALERT)

仅当支持 SMBus 功能时，才涉及本节内容。请参见*第 31.3 节：I2C 特性实现*。

当 I2C 接口配置为主机 (SMBHEN=1)、使能了报警引脚检测 (ALERTEN=1) 并且在 SMBA 引脚上检测到下降沿时，ALERT 标志将置 1。如果 I2C_CR1 寄存器中的 ERRIE 位置 1，将生成中断。

31.4.17 DMA 请求

使用 DMA 进行发送

将 I2C_CR1 寄存器中的 TXDMAEN 位置 1 可以使能 DMA（直接存储器访问）进行发送。当 TXIS 位置 1 时，数据将从由 DMA 外设配置的 SRAM 区（请参见*第 234 页的第 9 节：直接存储器访问控制器 (DMA)*）装载进 I2C_TXDR 寄存器。

只有数据字节采用 DMA 进行传输。

- 在主模式下：初始化、从地址、方向、字节数和起始位均由软件编程（发送的从地址无法通过 DMA 传输）。当所有数据均通过 DMA 传输时，必须在起始位置 1 之前初始化 DMA。传输结束由 NBYTES 计数器来管理。请参见*第 854 页的主发送器*。
- 在从模式下：
  - 当 NOSTRETCH=0 时，如果所有数据均通过 DMA 传输，则必须在地址匹配事件之前（或清零 ADDR 之前在 ADDR 中断子程序中）初始化 DMA。
  - 当 NOSTRETCH=1 时，必须在地址匹配事件之前初始化 DMA。
- 支持 SMBus 时：PEC 传输由 NBYTES 计数器管理。请参见*第 868 页的SMBus 从发送器*和*第 872 页的SMBus 主发送器*。

注： *如果使用 DMA 进行发送，则无需使能 TXIE 位。*

使用 DMA 进行接收

将 I2C_CR1 寄存器中的 RXDMAEN 位置 1 可以使能 DMA（直接存储器访问）进行接收。当 RXNE 位置 1 时，数据将从 I2C_RXDR 寄存器装载进由 DMA 外设配置的 SRAM 区（请参见*第 234 页的第 9 节：直接存储器访问控制器 (DMA)*）。只有数据字节（包括 PEC）采用 DMA 进行传输。

- 在主模式下：初始化、从地址、方向、字节数和起始位均由软件编程。当所有数据均通过 DMA 传输时，必须在起始位置 1 之前初始化 DMA。传输结束由 NBYTES 计数器来管理。
- 在从模式下，当 NOSTRETCH=0 时，如果所有数据均通过 DMA 传输，则必须在地址匹配事件之前（或清零 ADDR 标志之前在 ADDR 中断子程序中）初始化 DMA。
- 如果支持 SMBus（请参见*第 31.3 节：I2C 特性实现*）：PEC 传输由 NBYTES 计数器管理。请参见*第 870 页的SMBus 从接收器*和*第 874 页的SMBus 主接收器*。

注： *如果使用 DMA 进行接收，则无需使能 RXIE 位。*

31.4.18 调试模式

当微控制器进入调试模式时（内核停止），SMBus 超时定时器会根据 DBG 模块中的 DBG_I2Cx_SMBUS_TIMEOUT 配置位选择继续正常工作还是停止工作。

31.5 I2C 低功耗模式

表 164. 低功耗模式对 I2C 的影响

模式	说明
睡眠	无影响。I2C 中断可使器件退出睡眠模式。
停止(1)	I2C 模块的寄存器内容仍被保持。如果 WUPEN = 1 并且 I2C 的时钟由内部振荡器 (HSI16) 提供：地址识别功能正常。I2C 地址匹配条件会导致器件退出停止模式。如果 WUPEN=0：必须在进入停止模式之前禁止 I2C。
待机	I2C 外设掉电，退出待机模式后必须重新初始化。

1. 仅当 I2C 实例支持“从停止模式唤醒”功能时，ADDR 匹配事件才能将器件从停止模式唤醒。请参见 I2C 实现表。

31.6 I2C 中断

下表给出了 I2C 中断请求列表。

表 165. I2C 中断请求

中断缩略语		中断事件	事件标志	使能控制位	中断清除方法	退出睡眠模式	退出停止模式
I2C	I2C_EV	接收缓冲区非空	RXNE	RXIE	读取 I2C_RXDR 寄存器	有	无
		发送缓冲区中断状态	TXIS	TXIE	写入 I2C_TXDR 寄存器		
		停止位检测中断标志	STOPF	STOPIE	写入 STOPCF=1		
		传输完成等待重载	TCR	TCIE	写入 I2C_CR2 (NBYTES[7:0] ≠ 0)		
		传输完成	TC		写入 START=1 或 STOP=1		
		地址匹配	ADDR	ADDRIE	写入 ADDRCF=1		有(1)
		接收到 NACK 应答	NACKF	NACKIE	写入 NACKCF=1		无
	I2C_ER	总线错误	BERR	ERRIE	写入 BERRCF=1	有	无
		仲裁丢失	ARLO		写入 ARLOCF=1		
		上溢/下溢	OVR		写入 OVRCF=1		
		PEC 错误	PECERR		写入 PECERRCF=1		
		超时/t_{LOW} 错误	TIMEOUT		写入 TIMEOUTCF=1		
		SMBus 报警	ALERT		写入 ALERTCF=1		

1. 仅当 I2C 实例支持“从停止模式唤醒”功能时，ADDR 匹配事件才能将器件从停止模式唤醒。请参见*第 31.3 节：I2C 特性实现*。

31.7 I2C 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

外设寄存器按字（32 位）进行访问。

31.7.1 I2C 控制寄存器 1 (I2C_CR1)

I2C control register 1

偏移地址：0x00

复位值：0x0000 0000

访问：无等待周期，正在对该寄存器执行写访问时出现另一个写访问的情况除外。在这种情况下，会在第二个写访问中插入等待周期，直到前一个写访问完成为止。第二个写访问的延时最长可达 2 x PCLK1 + 6 x I2CCLK。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]				ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE
rw	rw		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 保留，必须保持复位值。

位 23 **PECEN**：PEC 使能 (PEC enable)

0：禁止 PEC 计算

1：使能 PEC 计算

注： *如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。*

位 22 **ALERTEN**：SMBus 报警使能 (SMBus alert enable)

从机模式 (SMBHEN=0)：

0：将 SMBA 引脚释放为高电平并禁止报警响应地址头：0001100x 后跟 NACK。

1：将 SMBA 引脚驱动为低电平并使能报警响应地址头：0001100x 后跟 ACK。

主机模式 (SMBHEN=1)：

0：不支持 SMBus 报警引脚 (SMBA)。

1：支持 SMBus 报警引脚 (SMBA)。

注： *当 ALERTEN=0 时，SMBA 引脚可用作标准 GPIO。*

如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 21 **SMBDEN**：SMBus 器件默认地址使能 (SMBus Device Default address enable)

0：禁止器件默认地址。不对地址 0b1100001x 应答。

1：使能器件默认地址。对地址 0b1100001x 应答。

注： *如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。*

位 20 **SMBHEN**：SMBus 主机地址使能 (SMBus Host address enable)

0：禁止主机地址。不对地址 0b0001000x 应答。

1：使能主机地址。对地址 0b0001000x 应答。

注：　如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 19 **GCEN**：广播呼叫使能 (General call enable)

0：禁止广播呼叫。不对地址 0b00000000 应答。

1：使能广播呼叫。对地址 0b00000000 应答。

位 18 **WUPEN**：从停止模式唤醒使能 (Wakeup from Stop mode enable)

0：禁止从停止模式唤醒。

1：使能从停止模式唤醒。

注：　如果不支持从停止模式唤醒功能，该位保留并由硬件强制清零。请参见第 31.3 节：I2C 特性实现。

注：　只有当 DNF = “0000”时，WUPEN 才能置 1

位 17 **NOSTRETCH**：时钟延长禁止 (Clock stretching disable)

该位用于在从模式下禁止时钟延长。它在主模式下必须保持清零。

0：使能时钟延长

1：禁止时钟延长

注：　该位只能在 I2C 禁止时 (PE = 0) 编程。

位 16 **SBC**：从设备模式下的字节控制 (Slave byte control)

该位用于在从设备模式下使能硬件字节控制。

0：禁止从设备模式下的字节控制

1：使能从设备模式下的字节控制

位 15 **RXDMAEN**：DMA 接收请求使能 (DMA reception requests enable)

0：禁止 DMA 接收请求

1：使能 DMA 接收请求

位 14 **TXDMAEN**：DMA 发送请求使能 (DMA transmission requests enable)

0：禁止 DMA 发送请求

1：使能 DMA 发送请求

位 13 保留，必须保持复位值。

位 12 **ANFOFF**：模拟噪声滤波器关闭 (Analog noise filter OFF)

0：使能模拟噪声滤波器

1：禁止模拟噪声滤波器

注：　该位只能在 I2C 禁止时 (PE = 0) 编程。

位 11:8 **DNF[3:0]**：数字噪声滤波器 (Digital noise filter)

这些位用于配置 SDA 和 SCL 输入端的数字噪声滤波器。数字滤波器可滤除脉宽 DNF[3:0] * t_{I2CCLK} 以下的尖峰

0000：禁止数字滤波器

0001：使能数字滤波器，可滤除的噪声尖峰脉宽可达 1 t_{I2CCLK}

...

1111：使能数字滤波器，可滤除的噪声尖峰脉宽可达 15 t_{I2CCLK}

注：　如果模拟滤波器也已使能，数字滤波将叠加在模拟滤波之上。

该滤波器只能在 I2C 禁止时 (PE = 0) 编程。

位 7 **ERRIE**：错误中断使能 (Error interrupts enable)
0：禁止错误检测中断
1：使能错误检测中断
注： *以下任一错误均会生成中断：*
仲裁丢失 (ARLO)
总线错误检测 (BERR)
上溢 / 下溢 (OVR)
超时检测 (TIMEOUT)
PEC 错误检测 (PECERR)
报警引脚事件检测 (ALERT)

位 6 **TCIE**：传输完成中断使能 (Transfer complete interrupt enable)
0：禁止传输完成中断
1：使能传输完成中断
注： *以下任一事件均会生成中断：*
传输完成 (TC)
传输完成等待重载 (TCR)

位 5 **STOPIE**：停止位检测中断使能 (Stop detection Interrupt enable)
0：禁止停止位检测 (STOPF) 中断
1：使能停止位检测 (STOPF) 中断

位 4 **NACKIE**：接收到否定应答中断使能 (Not acknowledge received Interrupt enable)
0：禁止接收到否定应答 (NACKF) 中断
1：使能接收到否定应答 (NACKF) 中断

位 3 **ADDRIE**：地址匹配中断使能（仅从模式）(Address match Interrupt enable (slave only))
0：禁止地址匹配 (ADDR) 中断
1：使能地址匹配 (ADDR) 中断

位 2 **RXIE**：RX 中断使能 (RX Interrupt enable)
0：禁止接收 (RXNE) 中断
1：使能接收 (RXNE) 中断

位 1 **TXIE**：TX 中断使能 (TX Interrupt enable)
0：禁止发送 (TXIS) 中断
1：使能发送 (TXIS) 中断

位 0 **PE**：外设使能 (Peripheral enable)
0：禁止外设
1：使能外设
注： *当 PE=0 时，将释放 I2C SCL 线和 SDA 线。内部状态机和状态位均恢复为复位值。清零时，PE 必须保持低电平状态至少 3 个 APB 时钟周期。*

31.7.2 I2C 控制寄存器 2 (I2C_CR2)

I2C control register 2

偏移地址：0x04

复位值：0x0000 0000

访问：无等待周期，正在对该寄存器执行写访问时出现另一个写访问的情况除外。在这种情况下，会在第二个写访问中插入等待周期，直到前一个写访问完成为止。第二个写访问的延时最长可达 2 x PCLK1 + 6 x I2CCLK。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	PEC BYTE	AUTOEND	RELOAD	NBYTES[7:0]							
					rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]									
rs	rs	rs	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:27 保留，必须保持复位值。

位 26 **PECBYTE**：数据包错误校验字节 (Packet error checking byte)

此位由软件置 1，并可在 PEC 传输完成时、接收到停止位或匹配地址时、或者 PE=0 时由硬件清零。

0：不传输 PEC。

1：请求 PEC 发送/接收。

注： *向该位写入“0”不起作用。*

当 RELOAD 置 1 时，该位不起作用。

当 SBC=0 时，该位在从模式下不起作用。

如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 25 **AUTOEND**：自动结束模式（主模式）(Automatic end mode (master mode))

此位由软件置 1 和清零。

0：软件结束模式：当 NBYTES 数据传输完成时，TC 标志将置 1，SCL 的低电平时间将延长直到相应软件操作结束。

1：自动结束模式：当 NBYTES 数据传输完成时，将自动发送停止位。

注： *在从模式下，或当 RELOAD 位置 1 时，该位不起作用。*

位 24 **RELOAD**：NBYTES 重载模式 (NBYTES reload mode)

此位由软件置 1 和清零。

0：传输 NBYTES 数据（后跟停止位或重复起始位）之后即完成传输。

1：传输 NBYTES 数据之后未完成传输（将重载 NBYTES）。当 NBYTES 数据传输完成时，TCR 标志将置 1，SCL 的低电平时间将延长直到相应软件操作结束。

位 23:16 **NBYTES[7:0]**：字节数 (Number of bytes)

在此设置待发送/接收的字节数。在从模式下，当 SBC=0 时，该字段为无关字段。

注： START 位置 1 时，不允许更改这些位。

位 15 **NACK**：NACK 生成（从模式）(NACK generation (slave mode))

此位由软件置 1，并可在发送 NACK 时、接收到停止位或匹配地址时、或者 PE=0 时由硬件清零。

0：在当前接收的字节后发送 ACK。

1：在当前接收的字节后发送 NACK。

注： 向该位写入“0”不起作用。

该位仅在从模式下使用：在主接收器模式下，无论 NACK 位的值为何，最后一个字节（后跟停止位或重复起始位）后都将自动生成 NACK。

当从接收器 NOSTRETCH 模式下发生上溢时，无论 NACK 位的值为何，都将自动生成 NACK。

使能硬件 PEC 校验时 (PECBYTE=1)， PEC 应答值与 NACK 值无关。

位 14 **STOP**：停止位生成（主模式）(Stop generation (master mode))

此位由软件置 1，并可在检测到停止位时或 PE = 0 时由硬件清零。

在主模式下：

0：不生成停止位。

1：在当前字节传输完成后生成停止位。

注： 向该位写入“0”不起作用。

位 13 **START**：起始位生成 (Start generation)

此位由软件置 1，并可在发送起始位（后跟地址序列）之后、发生仲裁丢失时、出现超时错误时、或者 PE = 0 时由硬件清零。它也可由软件清零，方法是向 I2C_ICR 寄存器中的 ADDRCF 位写入“1”。

0：不生成起始位。

1：生成重复起始/起始位：

如果 I2C 已处于主模式下且 AUTOEND = 0，则将该位置 1 会在 NBYTES 传输结束后且 RELOAD=0 的情况下生成重复起始位。

否则，将此位置 1 会在总线释放后立即生成起始位。

注： 向该位写入“0”不起作用。

即使总线繁忙或 I2C 处于从模式，也可将 START 位置 1。

当 RELOAD 置 1 时，该位不起作用。

位 12 **HEAD10R**：读方向传输时，只发送 10 位地址的前 7 位地址头字节（主接收器模式）(10-bit address header only read direction (master receiver mode))

0：主器件发送完整的 10 位从地址读序列：起始位 + 带写方向的 2 字节 10 位地址 + 重复起始位 + 带读方向的 10 位地址的前 7 位。

1：主器件只发送 10 位地址的前 7 位,后跟读方向。

注： START 位置 1 时，不允许更改此位。

位 11 **ADD10**：10 位寻址模式（主模式）(10-bit addressing mode (master mode))
0：主器件工作在 7 位寻址模式下
1：主器件工作在 10 位寻址模式下
注： START 位置 1 时，不允许更改此位。

位 10 **RD_WRN**：传输方向（主模式）(Transfer direction (master mode))
0：主器件请求写传输。
1：主器件请求读传输。
注： START 位置 1 时，不允许更改此位。

位 9:8 **SADD[9:8]**：从地址位 9:8（主模式）(Slave address bit 9:8 (master mode))
在 7 位寻址模式 (ADD10 = 0) 下：
这些位无意义
在 10 位寻址模式 (ADD10 = 1) 下：
这些位应写入待发送从地址的第 8 和第 9 位
注： START 位置 1 时，不允许更改这些位。

位 7:1 **SADD[7:1]**：从地址位 7:1（主模式）(Slave address bit 7:1 (master mode))
在 7 位寻址模式 (ADD10 = 0) 下：
这些位应写入待发送的 7 位从地址
在 10 位寻址模式 (ADD10 = 1) 下：
这些位应写入待发送从地址的第 1 到第 7 位
注： START 位置 1 时，不允许更改这些位。

位 0 **SADD0**：从地址位 0（主模式）(Slave address bit 0 (master mode))
在 7 位寻址模式 (ADD10 = 0) 下：
该位无意义
在 10 位寻址模式 (ADD10 = 1) 下：
该位应写入待发送从地址的第 0 位
注： START 位置 1 时，不允许更改这些位。

31.7.3 I2C 自身地址 1 寄存器 (I2C_OAR1)

I2C own address 1 register

偏移地址：0x08

复位值：0x0000 0000

访问：无等待周期，正在对该寄存器执行写访问时出现另一个写访问的情况除外。在这种情况下，会在第二个写访问中插入等待周期，直到前一个写访问完成为止。第二个写访问的延时最长可达 2 x PCLK1 + 6 x I2CCLK。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA1EN	Res.	Res.	Res.	Res.	OA1 MODE	OA1[9:8]		OA1[7:1]							OA1[0]
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15 **OA1EN**：设备自身地址 1 使能 (Own Address 1 enable)
0：禁止设备自身地址 1。不对接收的从地址 OA1 应答。
1：使能设备自身地址 1。对接收的从地址 OA1 应答。

位 14:11 保留，必须保持复位值。

位 10 **OA1MODE**：设备自身地址 1 10 位模式 (Own Address 1 10-bit mode)
0：设备自身地址 1 为 7 位地址。
1：设备自身地址 1 为 10 位地址。
注：　仅可在 OA1EN=0 时写入该位。

位 9:8 **OA1[9:8]**：接口地址 (Interface address)
7 位寻址模式：无关
10 位寻址模式：地址位 9:8
注：　仅可在 OA1EN=0 时写入这些位。

位 7:1 **OA1[7:1]**：接口地址 (Interface address)
7 位寻址模式：7 位地址
10 位寻址模式：10 位地址的位 7:1
注：　仅可在 OA1EN=0 时写入这些位。

位 0 **OA1[0]**：接口地址 (Interface address)
7 位寻址模式：无关
10 位寻址模式：地址位 0
注：　仅可在 OA1EN=0 时写入该位。

31.7.4 I2C 自身地址 2 寄存器 (I2C_OAR2)

I2C own address 2 register

偏移地址：0x0C

复位值：0x0000 0000

访问：无等待周期，正在对该寄存器执行写访问时出现另一个写访问的情况除外。在这种情况下，会在第二个写访问中插入等待周期，直到前一个写访问完成为止。第二个写访问的延时最长可达 2 x PCLK1 + 6 x I2CCLK。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OA2EN	Res.	Res.	Res.	Res.	OA2MSK[2:0]			OA2[7:1]							Res.
rw					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	

位 31:16 保留，必须保持复位值。

位 15 **OA2EN**：设备自身地址 2 使能 (Own Address 2 enable)

0：禁止设备自身地址 2。不对接收的从地址 OA2 应答。

1：使能设备自身地址 2。对接收的从地址 OA2 应答。

位 14:11 保留，必须保持复位值。

位 10:8 **OA2MSK[2:0]**：设备自身地址 2 屏蔽位 (Own Address 2 masks)

000：无屏蔽

001：OA2[1] 被屏蔽，为无关位。仅比较 OA2[7:2]。

010：OA2[2:1] 被屏蔽，为无关位。仅比较 OA2[7:3]。

011：OA2[3:1] 被屏蔽，为无关位。仅比较 OA2[7:4]。

100：OA2[4:1] 被屏蔽，为无关位。仅比较 OA2[7:5]。

101：OA2[5:1] 被屏蔽，为无关位。仅比较 OA2[7:6]。

110：OA2[6:1] 被屏蔽，为无关位。仅比较 OA2[7]。

111：OA2[7:1] 被屏蔽，为无关位。不进行比较，对接收到的全部 7 位地址（保留位除外）应答。

注：　仅可在 OA2EN=0 时写入这些位。

只要 OA2MSK 不等于 0，即使比较匹配，也不会对保留的 I2C 地址（0b0000xxx 和 0b1111xxx）应答。

位 7:1 **OA2[7:1]**：接口地址 (Interface address)

7 位寻址模式：7 位地址

注：　仅可在 OA2EN=0 时写入这些位。

位 0 保留，必须保持复位值。

31.7.5 I2C 时序寄存器 (I2C_TIMINGR)

I2C timing register

偏移地址：0x10

复位值：0x0000 0000

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRESC[3:0]				Res.	Res.	Res.	Res.	SCLDEL[3:0]				SDADEL[3:0]			
rw	rw	rw	rw					rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCLH[7:0]								SCLL[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 **PRESC[3:0]**：时序预分频因子 (Timing prescaler)

该字段用于对 I2CCLK 进行预分频，以生成用于数据建立和保持计数器（请参见*第 836 页的 I2C 时序*）以及 SCL 高电平和低电平计数器（请参见*第 850 页的I2C 主模式初始化*）的时钟周期 t_{PRESC}。

$t_{PRESC} = (PRESC+1) \times t_{I2CCLK}$

位 27:24 保留，必须保持复位值。

位 23:20 **SCLDEL[3:0]**：数据建立时间 (Data setup time)

该字段用于在 SDA 边沿和 SCL 上升沿之间生成延时 t_{SCLDEL}。在主模式和从模式下，如果 NOSTRETCH = 0，则 SCL 线的低电平时间将在 t_{SCLDEL} 期间延长。

$t_{SCLDEL} = (SCLDEL+1) \times t_{PRESC}$

注： t_{SCLDEL} 用于生成 $t_{SU:DAT}$ 时序。

位 19:16 **SDADEL[3:0]**：数据保持时间 (Data hold time)

该字段用于在 SCL 下降沿和 SDA 边沿之间生成延时 t_{SDADEL}。在主模式和从模式下，如果 NOSTRETCH = 0，则 SCL 线的低电平时间将在 t_{SDADEL} 期间延长。

$t_{SDADEL} = SDADEL \times t_{PRESC}$

注： SDADEL 用于生成 $t_{HD:DAT}$ 时序。

位 15:8 **SCLH[7:0]**：SCL 高电平周期（主模式）(SCL high period (master mode))

在主模式下，该字段用于生成 SCL 高电平周期。

$t_{SCLH} = (SCLH+1) \times t_{PRESC}$

注： SCLH 还用于生成 $t_{SU:STO}$ 和 $t_{HD:STA}$ 时序。

位 7:0 **SCLL[7:0]**：SCL 低电平周期（主模式）(SCL low period (master mode))

在主模式下，该字段用于生成 SCL 低电平周期。

$t_{SCLL} = (SCLL+1) \times t_{PRESC}$

注： SCLL 还用于生成 t_{BUF} 和 $t_{SU:STA}$ 时序。

注： 该寄存器必须在 I2C 禁止时 (PE = 0) 进行配置。

注： STM32CubeMX 工具根据 I2C 配置窗口的设置进行计算并提供 I2C_TIMINGR 寄存器的内容。

31.7.6 I2C 超时寄存器 (I2C_TIMEOUTR)

I2C timeout register

偏移地址：0x14

复位值：0x0000 0000

访问：无等待周期，正在对该寄存器执行写访问时出现另一个写访问的情况除外。在这种情况下，会在第二个写访问中插入等待周期，直到前一个写访问完成为止。第二个写访问的延时最长可达 2 x PCLK1 + 6 x I2CCLK。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TEXTEN	Res.	Res.	Res.	TIMEOUTB[11:0]											
rw				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMOUTEN	Res.	Res.	TIDLE	TIMEOUTA[11:0]											
rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **TEXTEN**：时钟信号延展超时使能 (Extended clock timeout enable)

0：禁止时钟信号延展超时检测。

1：使能时钟信号延展超时检测。当 I2C 接口执行 SCL 延展的累积时间超过 $t_{LOW:EXT}$ 时，将检测到超时错误 (TIMEOUT=1)。

位 30:28 保留，必须保持复位值。

位 27:16 **TIMEOUTB[11:0]**：总线超时 B (Bus timeout B)

该字段用于配置累积时钟延展超时：

在主模式下，将检测主器件的累积时钟低电平延展时间 ($t_{LOW:MEXT}$)

在从模式下，将检测从器件的累积时钟低电平延展时间 ($t_{LOW:SEXT}$)

$t_{LOW:EXT}$= (TIMEOUTB+1) x 2048 x t_{I2CCLK}

注： 仅可在 TEXTEN=0 时写入这些位。

位 15 **TIMOUTEN**：时钟超时使能 (Clock timeout enable)

0：禁止 SCL 超时检测

1：使能 SCL 超时检测：当 SCL 的低电平时间超过 $t_{TIMEOUT}$ (TIDLE=0)，或 SCL 的高电平时间超过 t_{IDLE} (TIDLE=1) 时，将检测到超时错误 (TIMEOUT=1)。

位 14:13 保留，必须保持复位值。

位 12 **TIDLE**：空闲时钟超时检测 (Idle clock timeout detection)

0：TIMEOUTA 用于检测 SCL 低电平超时

1：TIMEOUTA 用于检测 SCL 和 SDA 高电平超时（总线空闲条件）

注： 仅可在 TIMOUTEN=0 时写入该位。

位 11:0 **TIMEOUTA[11:0]**：总线超时 A (Bus Timeout A)

该字段用于配置：

SCL 低电平超时条件 $t_{TIMEOUT}$（当 TIDLE=0 时）

$t_{TIMEOUT}$= (TIMEOUTA+1) x 2048 x t_{I2CCLK}

总线空闲条件，即 SCL 和 SDA 高电平（当 TIDLE=1 时）

t_{IDLE}= (TIMEOUTA+1) x 4 x t_{I2CCLK}

注： 仅可在 TIMOUTEN=0 时写入这些位。

注： 如果不支持 SMBus 功能，该寄存器保留，并由硬件强制为“0x00000000”。请参见第 31.3 节：I2C 特性实现。

31.7.7 I2C 中断和状态寄存器 (I2C_ISR)

I2C interrupt and status register

偏移地址：0x18

复位值：0x0000 0001

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDCODE[6:0]							DIR
								r	r	r	r	r	r	r	r

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	Res.	ALERT	TIME OUT	PEC ERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE
r		r	r	r	r	r	r	r	r	r	r	r	r	rs	rs

位 31:24 保留，必须保持复位值。

位 23:17 **ADDCODE[6:0]**：地址匹配代码（从模式）(Address match code (Slave mode))

发生地址匹配事件时 (ADDR = 1)，这些位更新为接收到的地址。

在 10 位地址的情况下，ADDCODE 提供 10 位地址的头字节，后跟地址的 2 个 MSB。

位 16 **DIR**：传输方向（从模式）(Transfer direction (Slave mode))

该标志在发生地址匹配事件时 (ADDR=1) 更新。

0：写传输，从器件进入接收器模式。

1：读传输，从器件进入发送器模式。

位 15 **BUSY**：总线繁忙 (Bus busy)

该标志用于指示总线上正在进行通信。当检测到起始位时，该位由硬件置 1。当检测到停止位或 PE = 0 时，此位由硬件清零。

位 14 保留，必须保持复位值。

位 13 **ALERT**：SMBus 报警 (SMBus alert)

当 SMBHEN=1（SMBus 主机配置）、ALERTEN=1 且在 SMBA 引脚上检测到 SMBALERT 事件（下降沿）时，该标志由硬件置 1。该位由软件清零，方法是将 ALERTCF 位置 1。

注： *当 PE=0 时，该位由硬件清零。*

如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 12 **TIMEOUT**：超时或 t_{LOW} 检测标志 (Timeout or t_{LOW} detection flag)

发生超时或延长时钟超时时，该标志由硬件置 1。该位由软件清零，方法是将 TIMEOUTCF 位置 1。

注： *当 PE=0 时，该位由硬件清零。*

如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 11 **PECERR**：接收期间的 PEC 错误 (PEC Error in reception)

当接收到的 PEC 与 PEC 寄存器的内容不匹配时，该标志由硬件置 1。接收到错误的 PEC 后，将自动发送 NACK。该标志由软件清零，方法是将 PECCF 位置 1。

注： *当 PE=0 时，该位由硬件清零。*

如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 10 **OVR**：上溢/下溢（从模式）(Overrun/Underrun (slave mode))

在从模式下且 NOSTRETCH=1 时，如果发生上溢/下溢错误，该标志由硬件置 1。该标志由软件清零，方法是将 OVRCF 位置 1。

注： 当 PE=0 时，该位由硬件清零。

位 9 **ARLO**：仲裁丢失 (Arbitration lost)

发生仲裁丢失时，该标志由硬件置 1。该标志由软件清零，方法是将 ARLOCF 位置 1。

注： 当 PE=0 时，该位由硬件清零。

位 8 **BERR**：总线错误 (Bus error)

当检测到错位的起始位或停止位，而外设也参与传输时，该标志由硬件置 1。在从模式下的地址阶段，该标志不会置 1。该标志由软件清零，方法是将 *BERRCF 位置 1*。

注： 当 PE=0 时，该位由硬件清零。

位 7 **TCR**：传输完成等待重载 (Transfer Complete Reload)

当 RELOAD=1 且 NBYTES 数据传输完成时，该标志由硬件置 1。当 NBYTES 写入一个非零值时，该标志由软件清零。

注： 当 PE=0 时，该位由硬件清零。

该标志单独用于主模式， SBC 位置 1 时单独用于从模式。

位 6 **TC**：传输完成（主模式）(Transfer Complete (master mode))

当 RELOAD=0、AUTOEND=0 且 NBYTES 数据传输完成时，该标志由硬件置 1。当 START 位或 STOP 位置 1 时，该标志由软件清零。

注： 当 PE=0 时，该位由硬件清零。

位 5 **STOPF**：停止位检测标志 (Stop detection flag)

当在总线上检测到停止位，且外设也参与本次传输时，该标志由硬件置 1：

– 外设作为主器件，该位置位的前提是外设已经发出停止位。

– 外设作为从器件，该位置位的前提条件是此次传输的寻址对象就是该外设。

该标志由软件清零，方法是将 STOPCF 位置 1。

注： 当 PE=0 时，该位由硬件清零。

位 4 **NACKF**：接收到否定应答标志 (Not Acknowledge received flag)

传输完字节后接收到 NACK 时，该标志由硬件置 1。该标志由软件清零，方法是将 NACKCF 位置 1。

注： 当 PE=0 时，该位由硬件清零。

位 3 **ADDR**：地址匹配（从模式）(Address matched (slave mode))

接收到的地址与使能的从设备地址之一匹配时，该位由硬件置 1。该位由软件清零，方法是将 *ADDRCF 位置 1*。

注： 当 PE=0 时，该位由硬件清零。

位 2 **RXNE**：接收数据寄存器不为空（接收器）(Receive data register not empty (receivers))

当接收到的数据已复制到 I2C_RXDR 寄存器且准备就绪可供读取时，该位由硬件置 1。读取 I2C_RXDR 时，将清零该位。

注： 当 PE=0 时，该位由硬件清零。

位 1 **TXIS**：发送中断状态（发送器）(Transmit interrupt status (transmitters))

当 I2C_TXDR 寄存器为空时，该位由硬件置 1，待发送的数据必须写入 I2C_TXDR 寄存器。下一个待发送的数据写入 I2C_TXDR 寄存器时，该位被清零。

该位只能在 NOSTRETCH=1 时由软件写入“1”，以生成 TXIS 事件（TXIE=1 时为中断，TXDMAEN=1 时为 DMA 请求）。

注： 当 PE=0 时，该位由硬件清零。

位 0 **TXE**：发送数据寄存器为空（发送器）(Transmit data register empty (transmitters))

当 I2C_TXDR 寄存器为空时，该位由硬件置 1。下一个待发送的数据写入 I2C_TXDR 寄存器时，该位被清零。

该位可由软件写入“1”，以刷新发送数据寄存器 I2C_TXDR。

注： 当 PE=0 时，该位由硬件置 1。

31.7.8 I2C 中断清零寄存器 (I2C_ICR)

I2C interrupt clear register

偏移地址：0x1C

复位值：0x0000 0000

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	ALERT CF	TIM OUTCF	PECCF	OVRCF	ARLO CF	BERR CF	Res.	Res.	STOP CF	NACK CF	ADDR CF	Res.	Res.	Res.
		w	w	w	w	w	w			w	w	w			

位 31:14 保留，必须保持复位值。

位 13 **ALERTCF**：报警标志清零 (Alert flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 ALERT 标志将清零。

注： 如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 12 **TIMOUTCF**：超时检测标志清零 (Timeout detection flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 TIMEOUT 标志将清零。

注： 如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 11 **PECCF**：PEC 错误标志清零 (PEC Error flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 PECERR 标志将清零。

注： 如果不支持 SMBus 功能，该位保留，并由硬件强制为“0”。请参见第 31.3 节：I2C 特性实现。

位 10 **OVRCF**：上溢/下溢标志清零 (Overrun/Underrun flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 OVR 标志将清零。

位 9 **ARLOCF**：仲裁丢失标志清零 (Arbitration lost flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 ARLO 标志将清零。

位 8 **BERRCF**：总线错误标志清零 (Bus error flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 BERRF 标志将清零。

位 7:6 保留，必须保持复位值。

位 5 **STOPCF**：停止位检测标志清零 (STOP detection flag clear)

将 1 写入此位时，I2C_ISR 寄存器中的 STOPF 标志将清零。

位 4 **NACKCF**：否定应答标志清零 (Not Acknowledge flag clear)
向此位写入 1 时，I2C_ISR 寄存器中的 NACKF 标志将清零。

位 3 **ADDRCF**：地址匹配标志清零 (Address Matched flag clear)
将 1 写入此位时，I2C_ISR 寄存器中的 ADDR 标志将清零。将 1 写入此位时，I2C_CR2 寄存器中的 START 位也将清零。

位 2:0 保留，必须保持复位值。

31.7.9 I2C PEC 寄存器 (I2C_PECR)

I2C PEC register

偏移地址：0x20

复位值：0x0000 0000

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留，必须保持复位值。

位 7:0 **PEC[7:0]**：数据包错误校验寄存器 (Packet error checking register)
当 PECEN=1 时，此字段包含内部 PEC。
当 PE=0 时，PEC 由硬件清零。

注： *如果不支持 SMBus 功能，该寄存器保留，并由硬件强制为“0x00000000”。请参见第 31.3 节：I2C 特性实现。*

31.7.10 I2C 接收数据寄存器 (I2C_RXDR)

I2C receive data register

偏移地址：0x24

复位值：0x0000 0000

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留，必须保持复位值。

位 7:0 **RXDATA[7:0]**：8 位接收数据 (8-bit receive data)
从 I^2C 总线接收的数据字节

31.7.11 I2C 发送数据寄存器 (I2C_TXDR)

I2C transmit data register

偏移地址：0x28

复位值：0x0000 0000

访问：无等待周期

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
								rw	rw	rw	rw	rw	rw	rw	rw

位 31:8 保留，必须保持复位值。

位 7:0 **TXDATA[7:0]**：8 位发送数据 (8-bit transmit data)
待发送到 I^2C 总线的数据字节
注： 仅可在 TXE=1 时写入这些位。

31.7.12 I2C寄存器映射

下表提供了 I2C 寄存器映射和复位值。

表 166. I2C 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0	**I2C_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PECEN	ALERTEN	SMBDEN	SMBHEN	GCEN	WUPEN	NOSTRETCH	SBC	RXDMAEN	TXDMAEN	Res.	ANFOFF	DNF[3:0]				ERRIE	TCIE	STOPIE	NACKIE	ADDRIE	RXIE	TXIE	PE
	Reset value									0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0
0x4	**I2C_CR2**	Res.	Res.	Res.	Res.	Res.	PECBYTE	AUTOEND	RELOAD	NBYTES[7:0]								NACK	STOP	START	HEAD10R	ADD10	RD_WRN	SADD[9:0]									
	Reset value						0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x8	**I2C_OAR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA1EN	Res.	Res.	Res.	Res.	OA1MODE	OA1[9:0]									
	Reset value																	0					0	0	0	0	0	0	0	0	0	0	0
0xC	**I2C_OAR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	OA2EN	Res.	Res.	Res.	Res.	OA2MSK [2:0]	OA2[7:1]									Res.
	Reset value																	0					0	0	0	0	0	0	0	0	0	0	
0x10	**I2C_TIMINGR**	PRESC[3:0]				Res.	Res.	Res.	Res.	SCLDEL[3:0]				SDADEL[3:0]				SCLH[7:0]								SCLL[7:0]							
	Reset value	0	0	0	0					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**I2C_TIMEOUTR**	TEXTEN	Res.	Res.	Res.	TIMEOUTB[11:0]												TIMOUTEN	Res.	Res.	TIDLE	TIMEOUTA[11:0]											
	Reset value	0				0	0	0	0	0	0	0	0	0	0	0	0	0			0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**I2C_ISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDCODE[6:0]							DIR	BUSY	Res.	ALERT	TIMEOUT	PECERR	OVR	ARLO	BERR	TCR	TC	STOPF	NACKF	ADDR	RXNE	TXIS	TXE
	Reset value									0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	1
0x1C	**I2C_ICR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ALERTCF	TIMOUTCF	PECCF	OVRCF	ARLOCF	BERRCF	Res.	Res.	STOPCF	NACKCF	ADDRCF	Res.	Res.	Res.
	Reset value																			0	0	0	0	0	0			0	0	0			
0x20	**I2C_PECR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PEC[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x24	**I2C_RXDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
	Reset value																									0	0	0	0	0	0	0	0

表 166. I2C 寄存器映射和复位值（续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x28	**I2C_TXDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
	Reset value																									0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

32 通用同步/异步收发器发送器 (USART/UART)

本节介绍通用同步/异步收发器 (USART)。

32.1 USART 简介

USART 能够灵活地与外部设备进行全双工数据交换，满足外部设备对工业标准 NRZ 异步串行数据格式的要求。USART 通过小数波特率发生器实现了多种波特率。

USART 不仅支持同步单向通信和半双工单线通信，以及 LIN（局域互连网络）、智能卡协议、IrDA（红外线数据协会）SIR ENDEC 规范和调制解调器操作 (CTS/RTS)，还支持多处理器通信。

通过配置多个缓冲区使用 DMA（直接存储器访问）可实现高速数据通信。

32.2 USART 主要特性

- 全双工异步通信
- NRZ 标准格式（标记/空格）
- 可配置为 16 倍过采样或 8 倍过采样，从而在速度容差与时钟容差之间取得最佳平衡
- 波特率发生器系统
- 两个用于收发数据的内部 FIFO
  每个 FIFO 均可由软件使能/禁止，并且均带有一个状态标志。
- 通用可编程收发波特率
- 双时钟域，带有独立于 PCLK 的外设专用内核时钟
- 自动波特率检测
- 数据字长度可编程（7 位、8 位或 9 位）
- 可编程的数据顺序，最先移位 MSB 或 LSB
- 停止位可配置（支持 1 个或 2 个停止位）
- 用于同步通信的同步主/从模式和时钟输出/输入
- SPI 从发送下溢错误标志
- 单线半双工通信
- 使用 DMA 实现连续通信
- 使用中央 DMA 在预留的 SRAM 缓冲区中收/发字节
- 发射器和接收器有单独的使能位
- 发送和接收的单独信号极性控制
- Tx/Rx 引脚配置可交换
- 调制解调器和 RS-485 收发器的硬件流控制
- 通信控制/错误检测标志
- 奇偶校验控制：
  - 发送奇偶校验位
  - 检查接收的数据字节的奇偶性
- 具有标志的中断源
- 多处理器通信：从静默模式唤醒（通过空闲线检测或地址标记检测）

32.3 USART 扩展特性

- LIN 主模式同步中断发送功能和 LIN 从模式中断检测功能
  - 对 USART 进行 LIN 硬件配置时可生成 13 位停止符号和检测 10/11 位停止符号
- 正常模式下支持 3/16 位持续时间的 IrDA SIR 编解码器
- 智能卡模式
  - 对于 ISO/IEC 7816-3 标准中定义的智能卡，支持 T=0 和 T=1 异步协议
  - 智能卡工作模式下，支持 0.5 和 1.5 个停止位
- 支持 ModBus 通信
  - 超时功能
  - CR/LF 字符识别

32.4 USART 实现

表 167 介绍了器件上的 USARTSTM32G0x1 实现。它还包括用于比较的 LPUART。

表 167. USART 特性

USART 模式 / 特性(1)	USART1 USART2(2)	USART2(3) USART3/4(2)	LPUART
调制解调器的硬件流控制	X	X	X
使用 DMA 进行连续通信	X	X	X
多处理器通信	X	X	X
同步模式（主/从）	X	X	-
智能卡模式	X	-	-
单线半双工通信	X	X	X
IrDA SIR ENDEC 模块	X	-	-
LIN 模式	X	-	-
双时钟域和从低功耗模式唤醒	X	-	X
接收器超时中断	X	-	-
Modbus 通信	X	-	-
自动波特率检测	X	-	-
驱动器使能	X	X	X
USART 数据长度	7 位、8 位和 9 位		
Tx/Rx FIFO	X	-	X
Tx/Rx FIFO 大小	8	-	8

1. X = 支持
2. 仅适用于 STM32G071xx 和 STM32G081xx
3. 仅适用于 STM32G031xx 和 STM32G041xx

32.5 USART 功能说明

32.5.1 USART 框图

图 315. USART 框图

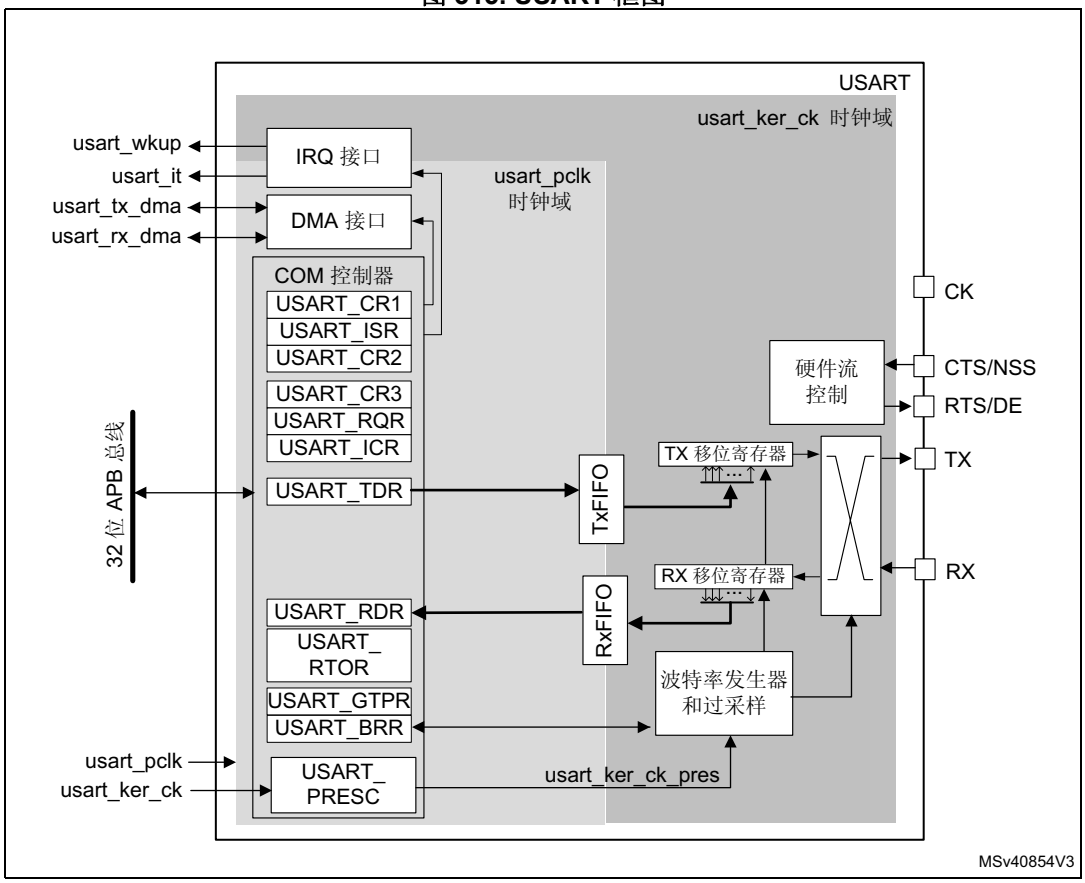


图 315 中的简化框图显示的是两个完全独立的时钟域：

- **usart_pclk** 时钟域

  usart_pclk 时钟信号馈送外设总线接口。需要访问 USART 寄存器时，该信号必须有效。

- **usart_ker_ck** 内核时钟域。

  usart_ker_ck 是 USART 时钟源。它独立于 **usart_pclk**，由 RCC 提供。因此，即使 **usart_ker_ck** 时钟停止，也可以连续对 USART 寄存器进行读/写操作。

  禁用双时钟域功能时，**usart_ker_ck** 时钟与 **usart_pclk** 时钟相同。

usart_pclk 和 **usart_ker_ck** 之间无任何限制：**usart_ker_ck** 既可快于也可慢于 **usart_pclk**。唯一的限制是软件以足够快的速度管理通信的能力。

USART 工作在 SPI 从器件模式下时，会使用源自外部 SCLK 信号（由外部主 SPI 器件提供）的串行接口时钟来处理数据流。**usart_ker_ck** 时钟的速度必须至少 3 倍于 CK 输入上的时钟。

32.5.2 USART 信号

USART 双向通信

USART 双向通信需要至少两个引脚：接收数据输入引脚 (RX) 和发送数据输出引脚 (TX)：

- **RX**（接收数据输入引脚）

  RX 为串行数据输入引脚。采用过采样技术进行数据恢复，即区分有效输入数据和噪声。
- **TX**（发送数据输出引脚）

  如果关闭发送器，该输出引脚模式由其 I/O 端口配置决定。如果使能了发送器但没有需要发送的数据，则 TX 引脚处于高电平。在单线和智能卡模式下，该 I/O 用于发送和接收数据。

RS232 硬件流控制模式

在 RS232 硬件流控制模式下需要以下引脚：

- **CTS**（清除以发送）

  如果驱动为高电平，则该信号用于在当前传输结束时阻止数据发送。
- **RTS**（请求以发送）

  如果为低电平，则该信号用于指示 USART 已准备好接收数据。

RS485 硬件控制模式

在 RS485 硬件控制模式下需要以下引脚：

- **DE**（驱动器使能）

  该信号用于激活外部收发器的发送模式。

注： *DE 和 RTS 共用同一个引脚。*

同步主 / 从模式和智能卡模式

在同步主 / 从模式和智能卡模式下需要以下引脚：

- CK

  该引脚在同步主模式和智能卡模式下用作时钟输出。

  它在同步从模式下用作时钟输入。

  在同步主模式下，该引脚用于输出发送器数据时钟，以便按照 SPI 主器件模式进行同步发送（起始位和结束位上无时钟脉冲，可通过软件向最后一个数据位发送时钟脉冲）。RX 引脚上可同步接收并行数据。该机制可用于控制带移位寄存器的外设（如 LCD 驱动器）。时钟相位和极性可通过软件编程。

  在智能卡模式下，CK 输出向智能卡提供时钟。
- NSS

  该引脚在同步从模式下用作从器件选择输入。

注： *NSS 和 CTS 共用同一个引脚。*

32.5.3 USART 字符说明

可通过对 USART_CR1 寄存器中的 M 位（M0：位 12，M1：位 28）进行编程来将字长设置为 7 位、8 位或 9 位（请参见*图 316*）。

- 7 位字符长度：M[1:0] = “10”
- 8 位字符长度：M[1:0] = “00”
- 9 位字符长度：M[1:0] = “01”

注： *7 位数据长度模式下，不支持智能卡模式、LIN 主模式和自动波特率（0x7F 帧和 0x55 帧检测）。*

在默认情况下，信号（TX 或 RX）在起始位工作期间处于低电平状态。在停止位工作期间处于高电平状态。

通过极性配置控制，可以单独针对每个信号对这些值取反。

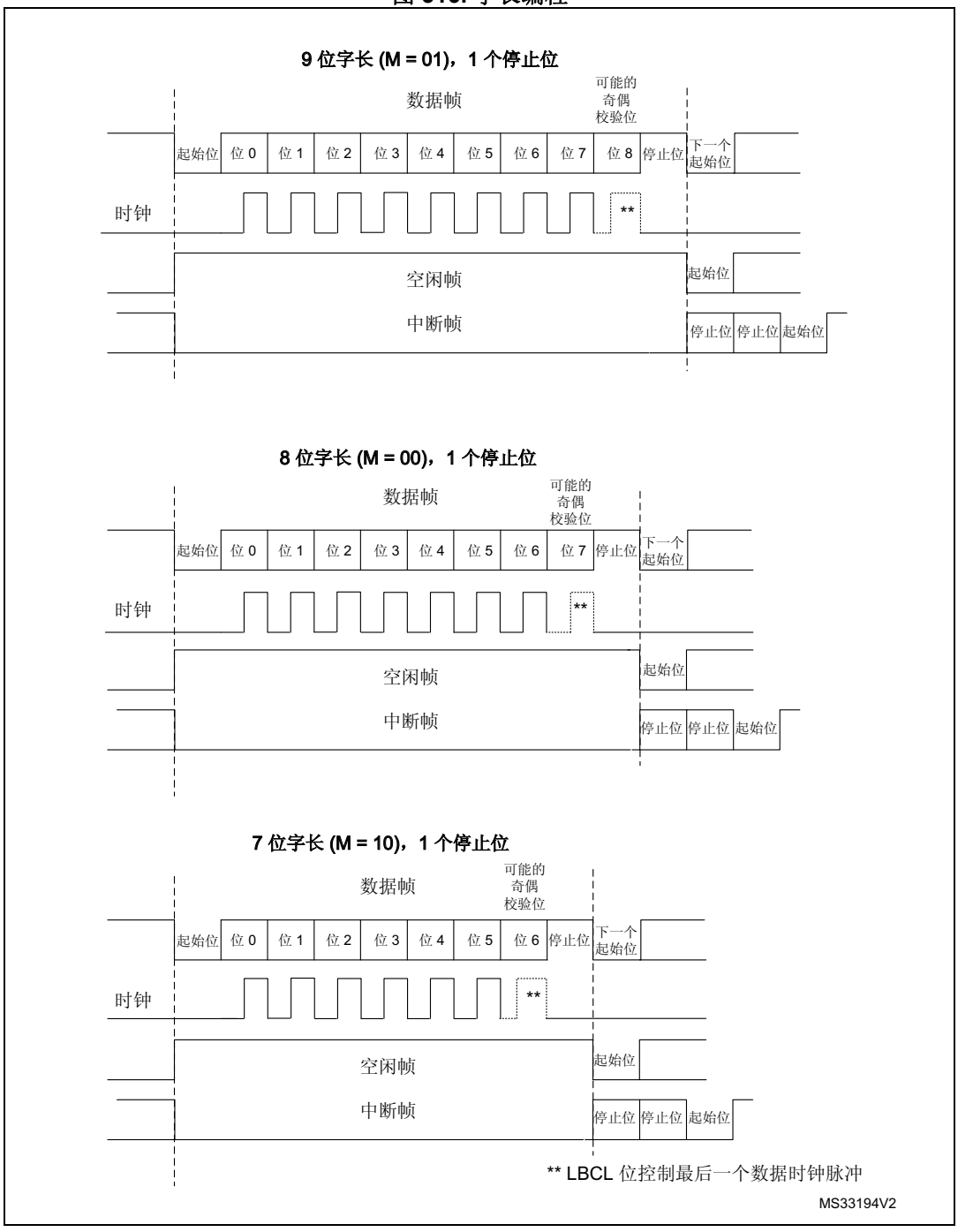
空闲字符可理解为整个帧周期内电平均为“1”（停止位的电平也是“1”）。

停止字符可理解为在一个帧周期内接收到的电平均为“0”。发送器在中断帧的末尾插入 2 个停止位。

发送和接收操作由通用波特率发生器驱动。当发送器和接收器的使能位置 1 时，将分别生成发送时钟和接收时钟。

下面给出了各个块的详细说明。

图 316. 字长编程


9 位字长 (M = 01)，1 个停止位
数据帧
可能的
奇偶
校验位
起始位
位 0
位 1
位 2
位 3
位 4
位 5
位 6
位 7
位 8
停止位
下一个
起始位
时钟
**
空闲帧
起始位
中断帧
停止位
停止位
起始位
8 位字长 (M = 00)，1 个停止位
数据帧
可能的
奇偶
校验位
起始位
位 0
位 1
位 2
位 3
位 4
位 5
位 6
位 7
停止位
下一个
起始位
时钟
**
空闲帧
起始位
中断帧
停止位
停止位
起始位
7 位字长 (M = 10)，1 个停止位
数据帧
可能的
奇偶
校验位
起始位
位 0
位 1
位 2
位 3
位 4
位 5
位 6
停止位
下一个
起始位
时钟
**
空闲帧
起始位
中断帧
停止位
停止位
起始位
** LBCL 位控制最后一个数据时钟脉冲
MS33194V2

32.5.4 USART FIFO 和阈值

USART 可工作在 FIFO 模式下。

USART 具有一个发送 FIFO (TXFIFO) 和一个接收 FIFO (RXFIFO)。可通过将 USART_CR1 寄存器中的 FIFOEN（位 29）置 1 使能 FIFO 模式。仅 UART、SPI 和智能卡模式下支持该模式。

最大数据字长度为 9 位，因此 TXFIFO 为 9 位宽。不过，RXFIFO 的默认宽度为 12 位。这是因为接收器不仅在 FIFO 中存储数据，而且还存储与每个字符相关的错误标志（奇偶校验错误、噪声错误和帧错误标志）。

注： *接收的数据与相应的标志一起存储在 RXFIFO 中，但读取 RDR 时仅读取数据。*

状态标志位于 USART_ISR 寄存器中。

可以配置触发 Tx 和 RX 中断的 TXFIFO 和 RXFIFO 阈值。这些阈值通过 USART_CR3 控制寄存器中的 RXFTCFG 和 TXFTCFG 位域进行编程。

在这种情况下：

- 当 RXFIFO 中接收的数据量达到 RXFTCFG 位域中编程的阈值时，USART_ISR 寄存器中的 RXFT 标志置 1 并会生成相应中断（如果使能）。

  这意味着，在 RXFIFO 中的数据量等于编程的阈值前，将一直对 RXFIFO 进行填充。

  已接收到 RXFTCFG 数据：USART_RDR 中有 1 个数据，RXFIFO 中有 (RXFTCFG - 1) 个数据。例如，如果将 RXFTCFG 编程为“101”，则在接收到对应于 FIFO 大小的数据量（RXFIFO 中有（FIFO 大小 -1）个数据，USART_RDR 中有 1 个数据）时，RXFT 标志将置 1。因此，下一个接收到的数据不会将上溢标志置 1。
- 当 TXFIFO 中的空存储单元数达到 TXFTCFG 位域中编程的阈值时，USART_ISR 寄存器中的 TXFT 标志置 1 并会生成相应中断（如果使能）。

  这意味着，在 TXFIFO 中的空存储单元数等于编程的阈值前，TXFIFO 始终清空。

32.5.5 USART 发送器

发送器可发送 7 位、8 位或 9 位的数据字，具体取决于 M 位的状态。要激活发送器功能，必须将发送使能位 (TE) 置 1。发送移位寄存器中的数据在 TX 引脚输出，相应的时钟脉冲在 SCLK 引脚输出。

字符发送

USART 发送期间，首先通过 TX 引脚移出数据的最低有效位（默认配置）。在该模式下，USART_TDR 寄存器的缓冲区 (TDR) 位于内部总线和发送移位寄存器之间。

使能 FIFO 模式时，写入到发送数据寄存器 (USART_TDR) 中的数据会在 TXFIFO 中排队。

每个字符前面都有一个起始位，其对应于一个位周期的逻辑低电平。字符由可配置数量的停止位终止。

停止位的数量可配置为 0.5、1、1.5 或 2。

注： *向 USART_TDR 中写入要发送的数据前，TE 位必须先置 1。*

数据发送期间不应复位 TE 位。发送期间复位 TE 位会冻结波特率计数器，进而损坏 TX 引脚上的数据。当前发送的数据随即丢失。

使能 TE 位时，将发送空闲帧。

可配置的停止位

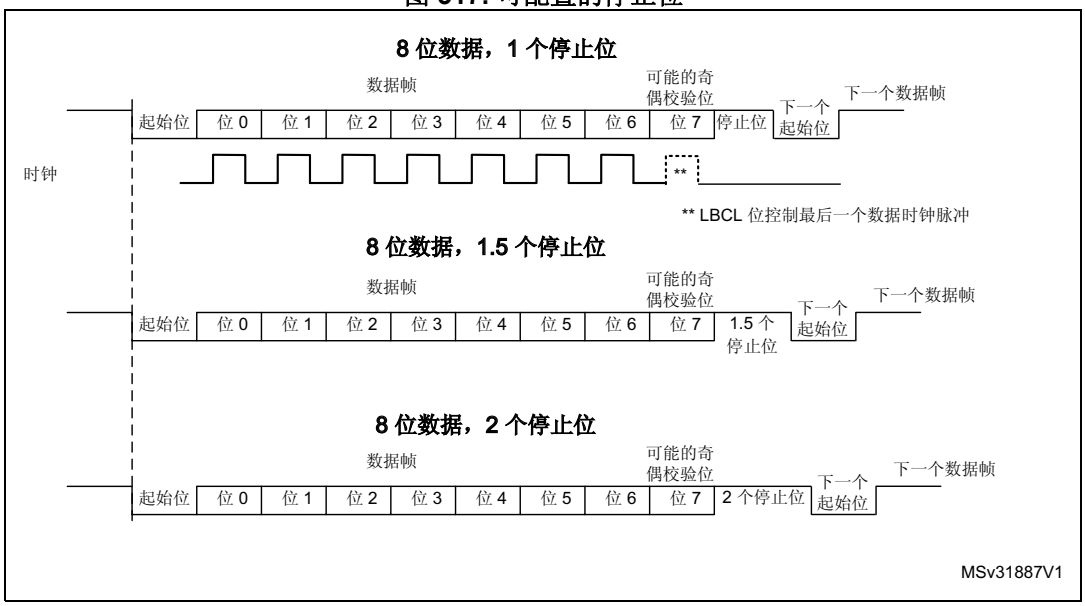
可以在 USART_CR2 的位 13 和位 12 中编程将随各个字符发送的停止位的数量。

- ***1 个停止位***：这是停止位数量的默认值。
- ***2 个停止位***：正常 USART 模式、单线模式和调制解调器模式支持该值。
- ***1.5 个停止位***：用于智能卡模式。

空闲帧发送将包括停止位。

中断发送是 10 个低电平位（M[1:0] = “00”时）、11 个低电平位（M[1:0] = “01”时）或 9 个低电平位（M[1:0] = “10”时），然后是 2 个停止位（请参见*图 317*）。无法传送长中断（中断长度大于 9/10/11 个低电平位）。

图 317. 可配置的停止位



字符发送步骤

要发送字符，需遵循以下步骤：

1. 对 USART_CR1 中的 M 位进行编程以定义字长。
2. 使用 USART_BRR 寄存器选择所需波特率。
3. 对 USART_CR2 中的停止位数量进行编程。
4. 通过向 USART_CR1 寄存器中的 UE 位写入 1 使能 USART。
5. 如果必须进行多缓冲区通信，请选择 USART_CR3 中的 DMA 使能 (DMAT)。按照*第 32.5.10 节：USART 多处理器通信*中的说明配置 DMA 寄存器。
6. 将 USART_CR1 中的 TE 位置 1 以便在首次发送时发送一个空闲帧。
7. 在 USART_TDR 寄存器中写入要发送的数据。为每个要在单缓冲区模式下发送的数据重复这一步骤。
   - 禁止 FIFO 模式时，向 USART_TDR 写入数据会将 TXE 标志清零。
   - 使能 FIFO 模式时，向 USART_TDR 写入数据会为 TXFIFO 增添一个数据。当 TXFNF 标志置 1 时，可以对 USART_TDR 执行写操作。该标志会保持置 1，直到 TXFIFO 已满。
8. 将最后一个数据写入 USART_TDR 寄存器后，等待 TC = 1。
   - 禁止 FIFO 模式时，这表示最后一个帧的发送已完成。
   - 使能 FIFO 模式时，这表示 TXFIFO 和移位寄存器均为空。

   当 USART 被禁止或进入暂停模式时，需要执行此检查来避免损坏最后一次发送。

单字节通信

- 禁止 FIFO 模式时

  对发送数据寄存器进行写操作始终会清零 TXE 位。TXE 标志由硬件置 1。它表示：
  - 数据已从 USART_TDR 寄存器移到移位寄存器中且数据发送已开始；
  - USART_TDR 寄存器为空；
  - USART_TDR 寄存器中可写入下一个数据，而不会覆盖前一个数据。

  TXEIE 位置 1 时该标志位会生成中断。

  发送时，要传入 USART_TDR 寄存器中的写指令会将数据存储在 TDR 缓冲区中。该数据随后会在当前发送结束时复制到移位寄存器中。

  未发送时，要传入 USART_TDR 寄存器的写指令会将数据置于移位寄存器中，数据发送开始时，TXE 位置 1。
- 使能 FIFO 模式时，TXFNF（TXFIFO 未满）标志由硬件置 1，以指示：
  - TXFIFO 未满；
  - USART_TDR 寄存器为空；
  - USART_TDR 寄存器中可写入下一个数据，而不会覆盖前一个数据。发送时，对 USART_TDR 寄存器的写操作会将数据存储在 TXFIFO 中。该数据将在当前发送结束时从 TXFIFO 复制到移位寄存器中。

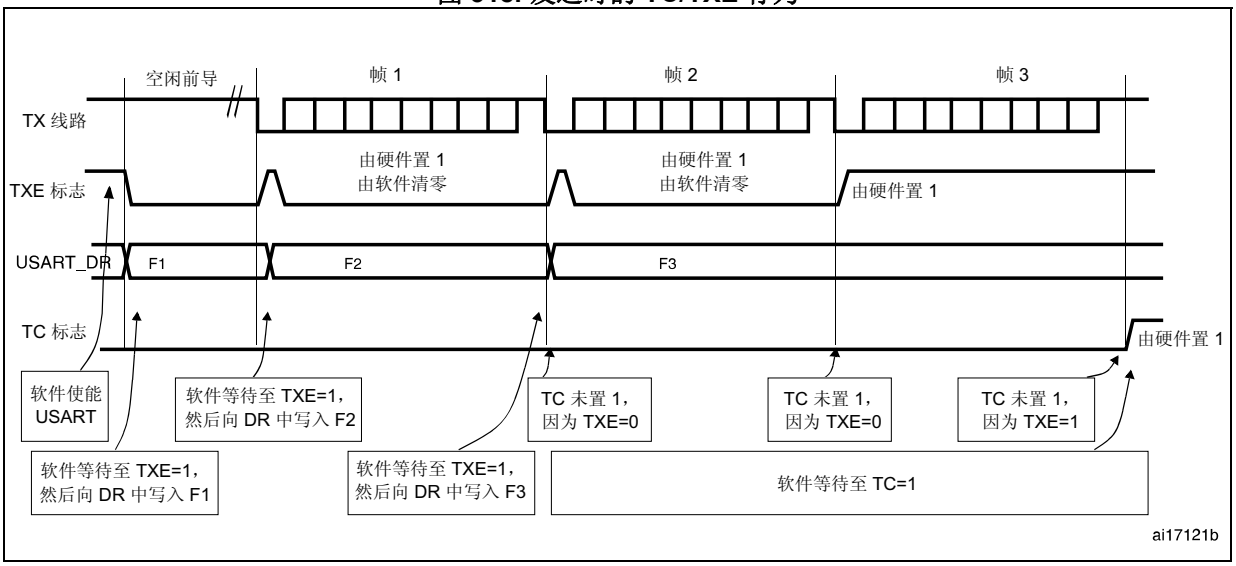
  TXFIFO 未满时，即使在对 USART_TDR 寄存器执行完写操作后，TXFNF 标志也保持为“1”。该标志在 TXFIFO 已满时清零。TXFNFIE 位置 1 时该标志位会生成中断。

  或者，当达到 TXFIFO 阈值时，会生成中断并将数据写入 FIFO。在这种情况下，CPU 可写入由编程的触发阈值定义的数据块。

  如果帧已发送（停止位后）且 TXE 标志（FIFO 模式下的 TXFE）置 1，TC 标志将变为高电平。如果 USART_CR1 寄存器中的 TCIE 位置 1，将生成中断。

向 USART_TDR 寄存器中写入最后一个数据后，必须等待至 TC 置 1，之后才可禁止 USART 或使微控制器进入低功耗模式（请参见*图 318：发送时的 TC/TXE 行为*）。

图 318. 发送时的 TC/TXE 行为



注： *使能 FIFO 管理时，TXFNF 标志将用于数据发送。*

中断字符

将 SBKRQ 位置 1 将发送一个中断字符。中断帧的长度取决于 M 位（请参见*图 316*）。

如果将“1”写入 SBKRQ 位，则当前字符发送完成后，将在 TX 线路上发送一个中断字符。通过写操作将 SBKF 位置 1 并在中断字符发送完成时（发送中断字符后的停止位期间），该位由硬件复位。USART 在中断帧末尾的两位持续时间内插入一个逻辑“1”信号 (STOP)，以确保识别下个帧的起始位。

如果 SBKRQ 位置 1，则在当前发送结束时，会发送一个中断字符。

使能 FIFO 模式时，即使 TXFIFO 已满，发送中断字符的优先级也仍高于发送数据的优先级。

空闲字符

将 TE 位置 1 会驱动 USART 在第一个数据帧之前发送一个空闲帧。

32.5.6 USART 接收器

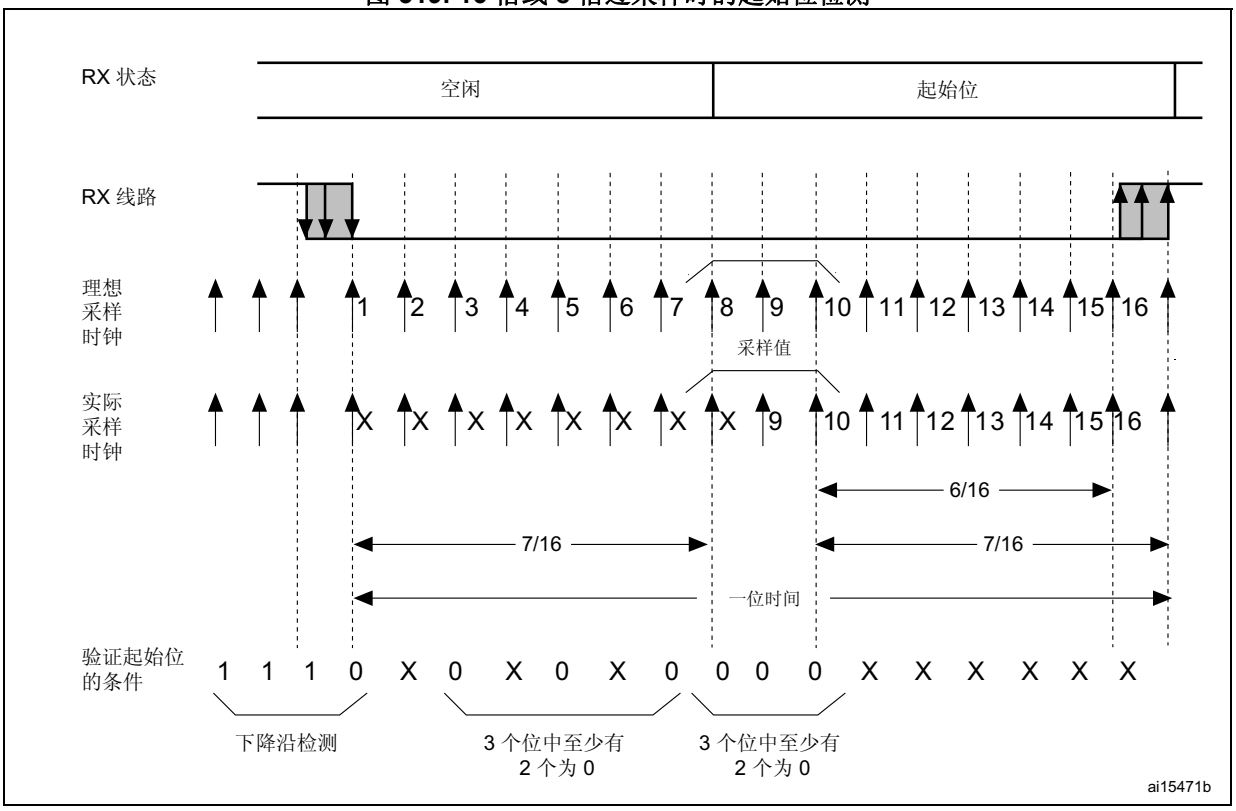
USART 可接收 7 位、8 位或 9 位的数据字，具体取决于 USART_CR1 寄存器中的 M 位。

起始位检测

16 倍或 8 倍过采样时，起始位检测序列相同。

在 USART 中，识别出特定序列的采样时会检测起始位。此序列为：1 1 1 0 X 0 X 0X 0X 0 X 0X 0。

图 319. 16 倍或 8 倍过采样时的起始位检测



注： *如果序列不完整，起始位检测将中止，接收器将返回空闲状态（无标志位置 1）等待下降沿。*

如果 3 个采样位均为“0”（针对第 3 位、第 5 位和第 7 位进行首次采样时检测到这 3 位均为“0”；针对第 8 位、第 9 位和第 10 位进行第二次采样时仍检测到这 3 位均为“0”），可确认起始位（RXNE 标志置 1 且 RXNEIE = 1 时生成中断；如果使能 FIFO 模式，则 RXFNE 标志置 1 且 RXFNEIE = 1 时生成中断）。

满足以下条件时，可验证起始位但 NE 噪声标志置 1：

a) 对于两次采样，3 个采样位中有 2 位为“0”（针对第 3 位、第 5 位和第 7 位进行采样；针对第 8 位、第 9 位和第 10 位采样）

或

b) 如果其中一次采样时（对第 3 位、第 5 位和第 7 位进行采样或对第 8 位、第 9 位和第 10 位进行采样），3 个采样位中有 2 个为“0”。

如果上述条件均不满足，则启动检测中止，接收器返回空闲状态（无标志置 1）。

字符接收

USART 接收期间，首先通过 RX 引脚移出数据的最低有效位（默认配置）。

字符接收步骤

要接收字符，需遵循以下步骤：

1. 对 USART_CR1 中的 M 位进行编程以定义字长。
2. 使用波特率寄存器 USART_BRR 选择所需波特率
3. 对 USART_CR2 中的停止位数量进行编程。
4. 通过向 USART_CR1 寄存器中的 UE 位写入“1”使能 USART。
5. 如果将进行多缓冲区通信，请选择 USART_CR3 中的 DMA 使能 (DMAR)。按照*第 32.5.10 节：USART 多处理器通信*中的说明配置 DMA 寄存器。
6. 将 RE 位 USART_CR1 置 1。这一操作将使能接收器开始搜索起始位。

接收到字符时：

- 如果已禁止 FIFO 模式，则 RXNE 位置 1，这表明移位寄存器的内容已传送到 RDR。也就是说，已接收到并可读取数据（及其相应的错误标志）。
- 如果已使能 FIFO 模式，则 RXFNE 位置 1，这表示 RXFIFO 非空。读取 USART_RDR 会返回输入到 RXFIFO 中的最早数据。接收到数据时，数据以及相应的错误位将一起被存储在 RXFIFO 中。
- 如果 RXNEIE（使能 FIFO 模式时为 RXFNEIE）位置 1，则会生成中断。
- 如果接收期间已检测到帧错误、噪声错误、奇偶校验错误或上溢错误，错误标志会置 1。
- 在多缓冲区通信模式下：
  - 如果禁止 FIFO 模式，则 RXNE 标志会在每次接收到字节后置 1。该标志在 DMA 读取接收数据寄存器时被清零。
  - 如果使能 FIFO 模式，则 RXFNE 标志在 RXFIFO 非空时置 1。每次收到 DMA 请求后，都会从 RXFIFO 检索数据。当 RXFIFO 非空时（即，当存在要从 RXFIFO 中读取的数据时），会触发 DMA 请求。
- 在单缓冲区模式下：
  - 如果禁止 FIFO 模式，则通过软件对 USART_RDR 寄存器进行读操作来将 RXNE 标志清零。也可以通过将 USART_RQR 寄存器中的 RXFRQ 位编程为“1”来清零 RXNE 标志。RXNE 标志必须在结束接收下一个字符前清零，以避免发生上溢错误。
  - 如果使能 FIFO 模式，则 RXFNE 在 RXFIFO 非空时置 1。每次对 USART_RDR 执行完读操作后，都会从 RXFIFO 中检索数据。RXFIFO 为空时，RXFNE 标志将清零。也可以通过将 USART_RQR 中的 RXFRQ 位编程为“1”来清零 RXFNE 标志。RXFIFO 已满时，必须在结束接收下一个字符前读取 RXFIFO 中的第一个条目，以避免发生上溢错误。当 RXFNEIE 位置 1 时，RXFNE 标志会生成中断。或者，当达到 RXFIFO 阈值时，会生成中断并从 RXFIFO 中读取数据。在这种情况下，CPU 可读取由编程的阈值定义的数据块。

中断字符

接收到中断字符时，USART 将会按照帧错误对其进行处理。

空闲字符

检测到空闲帧时，除了在 IDLEIE 位置 1 时会生成中断外，处理步骤与接收到数据字符的情况相同。

上溢错误

- 禁止 FIFO 模式

  如果在 RXNE 未复位时接收到字符，则会发生上溢错误。

  RXNE 位清零前，数据无法从移位寄存器传送到 RDR 寄存器。每接收到一个字节后，RXNE 标志都将置 1。

  当 RXNE 标志位置 1 时，如果在接收到下一个数据或尚未处理上一个 DMA 请求，则会发生上溢错误。发生上溢错误时：

  – ORE 位置 1。
  – RDR 中的内容不会丢失。可通过读取 USART_RDR 寄存器获得之前的数据。
  – 移位寄存器将被覆盖。之后，上溢期间接收到的任何数据都将丢失。
  – 如果 RXNEIE 或 EIE 位置 1，则会生成中断。

- 使能 FIFO 模式

  移位寄存器准备好传送并且接收 FIFO 已满时，会发生上溢错误。

  在 RXFIFO 中出现一个空闲位置之前，数据无法从移位寄存器传送到 USART_RDR 寄存器。当 RXFIFO 非空时，RXFNE 标志置 1。

  如果 RXFIFO 已满且移位寄存器已准备好传送，则会发生上溢错误。发生上溢错误时：

  – ORE 位置 1。
  – RXFIFO 中的第一个条目不会丢失。通过读取 USART_RDR 寄存器可获得此条目。
  – 移位寄存器将被覆盖。之后，上溢期间接收到的任何数据都将丢失。
  – 如果 RXFNEIE 或 EIE 位置 1，则会生成中断。

通过将 USART_ICR 寄存器中的 ORECF 位置 1 来复位 ORE 位。

注： *ORE 位置 1 时表示至少 1 个数据丢失。*

禁止 FIFO 模式时，有以下两种可能

- *如果 RXNE = 1，则最后一个有效数据存储于接收寄存器 (RDR) 中并且可进行读取，*
- *如果 RXNE = 0，则最后一个有效数据已被读取，因此 RDR 寄存器中没有要读取的数据。接收到新（丢失）数据的同时已读取 RDR 寄存器中的最后一个有效数据时，会发生该情况。*

选择时钟源和合适的过采样方法

通过时钟控制系统选择时钟源。在使能 USART 之前，必须通过 UE 位选择时钟源。

必须遵循以下两个条件选择时钟源：

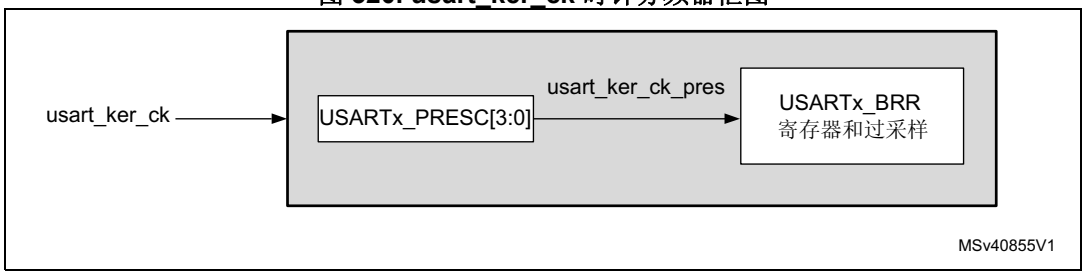
- 可在低功耗模式下使用 USART
- 通信速度。

时钟源频率为 usart_ker_ck。

如果支持双时钟域和从低功耗模式唤醒功能，则 usart_ker_ck 时钟源可在 RCC 中进行配置。否则，usart_ker_ck 时钟与 usart_pclk 相同。

usart_ker_ck 时钟可根据可编程系数（在 USART_PRESC 寄存器中定义）进行分频。

图 320. usart_ker_ck 时钟分频器框图



某些 usart_ker_ck 时钟源允许 USART 在 MCU 处于低功耗模式时接收数据。需要时，USART 可基于所接收的数据和选择的唤醒模式来唤醒 MCU，以通过用软件读取 USART_RDR 寄存器的方式或通过 DMA 的方式传输已接收数据。

对于其他时钟源，系统必须激活才能进行 USART 通信。

时钟源还决定通信速度范围（尤其是最大通信速度）。

接收器采用不同的用户可配置过采样技术（除了同步模式下），可以从噪声中提取有效数据。这可在最大通信速度与抗噪声/时钟误差性能之间实现最佳平衡。

可通过编程 USART_CR1 寄存器中的 OVER8 位来选择采样方法，且采样时钟可以是波特率时钟的 16 倍或 8 倍（请参见*图 321* 和*图 322*）。

根据应用：

- 选择 8 倍过采样（OVER8 = 1）以获得更高的速度（高达 usart_ker_ck_pres/8）。这种情况下接收器对时钟偏差的最大容差将会降低（请参见*第 914 页的第 32.5.8 节：USART 接收器对时钟偏差的容差*）
- 选择 16 倍过采样 (OVER8=0) 以增加接收器对时钟偏差的容差。在这种情况下，最大速度被限制为最大 usart_ker_ck_pres/16（其中，usart_ker_ck_pres 为 USART 输入时钟通过预分频器进行分频得到的值）。

可通过编程 USART_CR3 寄存器中的 ONEBIT 位选择用于评估逻辑电平的方法。有两种选择可供使用：

- 在已接收位的中心进行三次采样，从而进行多数表决。这种情况下，如果用于多数表决的 3 次采样结果不相等，NE 位置 1。
- 在已接收位的中心进行单次采样

  根据应用：

  – 在噪声环境下工作时，请选择三次采样的多数表决法 (ONEBIT = 0)；在检测到噪声时请拒绝数据（请参见*图 168*），因为这表示采样过程中产生了干扰。

  – 线路无噪声时请选择单次采样法（ONEBIT=1）以增加接收器对时钟偏差的容差（请参见*第 914 页的第 32.5.8 节：USART 接收器对时钟偏差的容差*）。这种情况下 NE 位始终不会置 1。

帧中检测到噪声时：

- 在 RXNE 位（使能 FIFO 模式时为 RXFNE 位）的上升沿时 NE 位置 1。
- 无效数据从移位寄存器传送到 USART_RDR 寄存器。
- 单字节通信时无中断产生。然而，在 RXNE 位（使能 FIFO 模式时为 RXFNE 位）生成中断时，该位出现上升沿。多缓冲区通信时，USART_CR3 寄存器中的 EIE 位置 1 时将发出中断。

通过将 USART_ICR 寄存器中的 NECF 位置 1 来复位 NE 位。

注： *SPI 模式不支持噪声错误。*

智能卡、IrDA 和 LIN 模式下不可采用 8 倍过采样。在这些模式下，OVER8 位由硬件强制清零。

图 321. 16 倍过采样时的数据采样

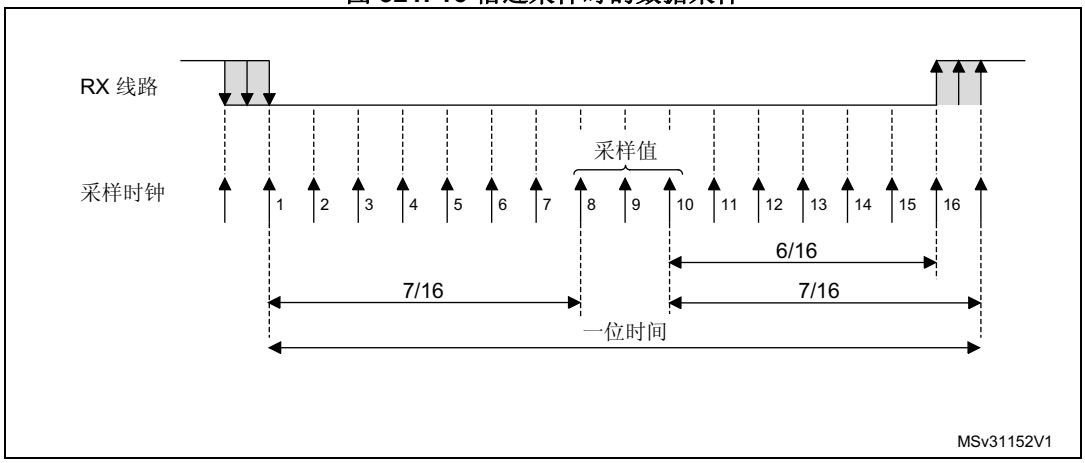


图 322. 8 倍过采样时的数据采样

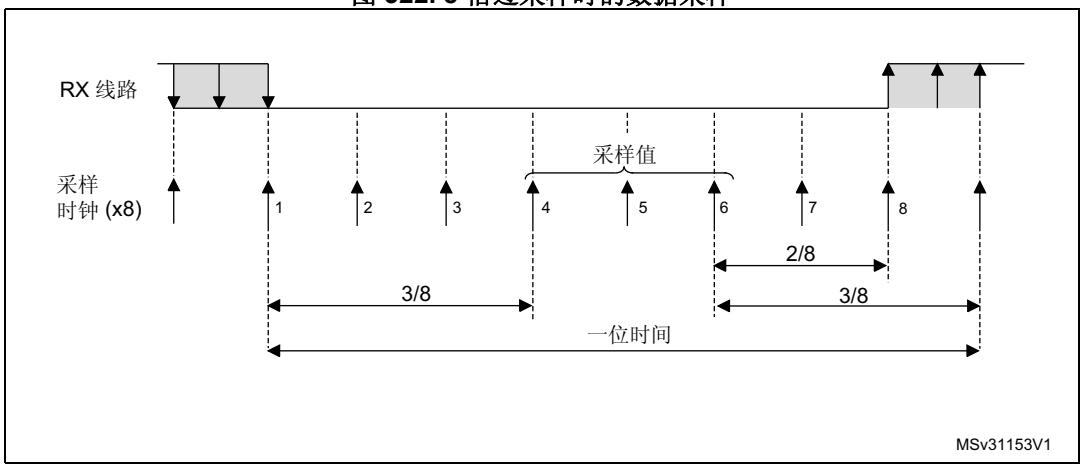


表 168. 通过采样数据进行噪声检测

采样值	NE 状态	接收的位值
000	0	0
001	1	0
010	1	0
011	1	1
100	1	0
101	1	1
110	1	1
111	0	1

帧错误

如果接收数据时未在预期时间内识别出停止位，从而出现同步失效或过度的噪声，则会检测到帧错误。

检测到帧错误时：

- FE 位由硬件置 1。
- 无效数据从移位寄存器传送到 USART_RDR 寄存器（使能 FIFO 模式时为 RXFIFO）。
- 单字节通信时无中断产生。然而，在 RXNE 位（使能 FIFO 模式时为 RXFNE 位）生成中断时，该位出现上升沿。多缓冲区通信时，USART_CR3 寄存器中的 EIE 位置 1 时将发出中断。

通过将“1”写入 USART_ICR 寄存器中的 FECF 位来复位 FE 位。

注： *SPI 模式不支持帧错误。*

接收期间可配置的停止位

可通过 USART_CR 的控制位配置要接收的停止位的数量：可以是 1 或 2 个（正常模式下），也可以是 0.5 或 1.5 个（智能卡模式下）。

- **0.5 个停止位（在智能卡模式下接收时）**：不会对 0.5 个停止位进行采样。结果，选择 0.5 个停止位时，无法检测到帧错误和中断帧。
- **1 个停止位**：将在第 8、第 9 和第 10 次采样时对 1 个停止位进行采样。
- 1.5 个停止位（在智能卡模式下）

  在智能卡模式下发送时，设备必须检查数据是否正确发送。因此，必须使能接收器块（USART_CR1 中的 RE = 1）并检查停止位，以测试智能卡是否已检测到奇偶校验错误。

  发生奇偶校验错误时，智能卡会在采样时将数据信号强制为低电平（即 NACK 信号），该信号被标记为帧错误。之后，FE 标志在 1.5 个停止位的末尾由 RXNE 标志（使能 FIFO 模式时为 RXFNE）置 1。在第 16、第 17 和第 18 次采样时对 1.5 个停止位进行采样（停止位采样开始后维持 1 个波特时钟周期）。1.5 个停止位可分为 2 个部分：0.5 个波特时钟周期（未发生任何动作），然后是 1 个正常的停止位周期（一半时间处进行采样）（更多详细信息，请参见*第 926 页的第 32.5.16 节：USART 接收器超时*）。
- 2 个停止位

  采样 2 个停止位时在第 8、第 9 和第 10 次采样时对第一个停止位进行采样。

  如果在第一个停止位期间检测到帧错误，则帧错误标志会置 1。

  发生帧错误时不检测第 2 个停止位。RXNE 标志（使能 FIFO 模式时为 RXFNE）将在第一个停止位结束时置 1。

32.5.7 USART 波特率生成

接收器和发送器（Rx 和 Tx）的波特率均设置为 USART_BRR 寄存器中编程的值。

公式 1：适用于标准 USART（包括 SPI 模式）的波特率（OVER8 = “0”或“1”）

在 16 倍过采样的情况下，波特率通过以下公式得出：

$$\text{Tx/Rx 波特率} = \frac{\text{usart\_ker\_ckpres}}{\text{USARTDIV}}$$

在 8 倍过采样的情况下，波特率通过以下公式得出：

$$\text{Tx/Rx 波特率} = \frac{2 \times \text{usart\_ker\_ckpres}}{\text{USARTDIV}}$$

公式 2：智能卡、LIN 和 IrDA 模式下的波特率 (OVER8 = 0)

波特率可根据以下公式得出：

$$\text{Tx/Rx 波特率} = \frac{\text{usart\_ker\_ckpres}}{\text{USARTDIV}}$$

USARTDIV 是一个存放在 USART_BRR 寄存器中的无符号定点数。

- 当 OVER8 = 0 时，BRR = USARTDIV。
- 当 OVER8 = 1 时
  - BRR[2:0] = USARTDIV[3:0]，右移 1 位。
  - BRR[3] 必须保持清零。
  - BRR[15:4] = USARTDIV[15:4]

注： *对 USART_BRR 执行写操作后，波特率计数器更新为波特率寄存器中的新值。因此，波特率寄存器的值不应在通信时发生更改。*

16 倍和 8 倍过采样时，USARTDIV 必须大于或等于 16。

如何从 USART_BRR 寄存器中获取 USARTDIV

示例 1

要通过 usart_ker_ck_pres = 8 MHz 获得 9600 波特：

- 16 倍过采样时：
  USARTDIV = 8 000 000/9600
  BRR = USARTDIV = 833d = 0341h
- 8 倍过采样时：
  USARTDIV = 2 * 8 000 000/9600
  USARTDIV = 1666,66 (1667d = 683h)
  BRR[3:0] = 3h >> 1 = 1h
  BRR = 0x681

示例 2

要通过 usart_ker_ck_pres = 48 MHz 获得 921.6 K 波特：

- 16 倍过采样时：
  USARTDIV = 48 000 000/921 600
  BRR = USARTDIV = 52d = 34h
- 8 倍过采样时：
  USARTDIV = 2 * 48 000 000/921 600
  USARTDIV = 104 (104d = 68h)
  BRR[3:0] = USARTDIV[3:0] >> 1 = 8h >> 1 = 4h
  BRR = 0x64

32.5.8 USART 接收器对时钟偏差的容差

仅当总时钟系统偏差小于 USART 接收器的容差时，USART 异步接收器才能正常工作。

影响总偏差的因素包括：

- DTRA：发送器误差引起的偏差（其中还包括发送器本地振荡器的偏差）
- DQUANT：接收器的波特率量化引起的误差
- DREC：接收器本地振荡器的偏差
- DTCL：传输线路引起的偏差（通常是由于收发器所引起，它可能会在低电平到高电平转换时序与高电平到低电平转换时序之间引入不对称）

DTRA + DQUANT + DREC + DTCL + DWU < USART 接收器容差

其中

DWU 是使用从低功耗模式唤醒时因采样点偏差而产生的误差。

M[1:0] = 01 时：

$$DWU = \frac{t_{WUUSART}}{11 \times Tbit}$$

M[1:0] = 00 时：

$$DWU = \frac{t_{WUUSART}}{10 \times Tbit}$$

M[1:0] = 10 时：

$$DWU = \frac{t_{WUUSART}}{9 \times Tbit}$$

$t_{WUUSART}$ 是检测到起始位下降沿与时钟（由外设请求）就绪、达到外设且调压器就绪之间的时间。

USART 接收器在*表 169* 和*表 170* 中指定的最大容许偏差下可正确接收数据，具体取决于以下设置：

- 由 USART_CR1 寄存器中的 M 位定义的 9 位、10 位或 11 位字符长度
- 由 USART_CR1 寄存器中的 OVER8 位定义的 8 倍或 16 倍过采样
- USART_BRR 寄存器的 BRR[3:0] 位等于或不等于 0000
- 使用 1 位或 3 位对数据进行采样，取决于 USART_CR3 寄存器中 ONEBIT 位的值

表 169. BRR [3:0] = 0000 时的 USART 接收器容差

M 位	OVER8 位 = 0		OVER8 位 = 1	
	ONEBIT=0	ONEBIT=1	ONEBIT=0	ONEBIT=1
00	3.75%	4.375%	2.50%	3.75%
01	3.41%	3.97%	2.27%	3.41%
10	4.16%	4.86%	2.77%	4.16%

表 170. BRR[3:0] 不等于 0000 时的 USART 接收器容差

M 位	OVER8 位 = 0		OVER8 位 = 1	
	ONEBIT=0	ONEBIT=1	ONEBIT=0	ONEBIT=1
00	3.33%	3.88%	2%	3%
01	3.03%	3.53%	1.82%	2.73%
10	3.7%	4.31%	2.22%	3.33%

注： *当接收的帧恰好包含 10 个（M 位 = 00）、11 个（M 位 = 01）或 9 个（M 位 = 10）位时间的空闲帧时，表 169 和表 170 中指定的数据可能与特例中的数据略微不同。*

32.5.9 USART 自动波特率检测

USART 可根据接收一个字符检测并自动设置 USART_BRR 寄存器的值。自动波特率检测在以下两种情况下非常有用：

- 事先不知道系统的通信速度。
- 系统正在使用精确度相对较低的时钟源且该机制允许在不测量时钟偏差的情况下获得正确的波特率。

时钟源频率必须与预期通信速度兼容。

- 16 倍过采样时，波特率范围为 usart_ker_ck_pres/65535 到 usart_ker_ck_pres/16。
- 8 倍过采样时，波特率范围为 usart_ker_ck_pres/65535 到 usart_ker_ck_pres/8。

在激活自动波特率检测之前，必须通过 USART_CR2 寄存器中的 ABRMOD[1:0] 字段选择自动波特率检测模式。根据不同的字符模式，存在四种检测模式。在这些自动波特率模式下，波特率在同步接收数据期间被多次测量，每次测量的结果都与前一次进行比较。

这些模式如下：

- **模式 0**：以“1”位开头的任意字符。

  这种情况下，USART 会测量起始位的持续时间（下降沿到上升沿）。
- **模式 1**：以 10xx 位模式开头的任意字符。

  这种情况下，USART 会测量起始位和第一个数据位的持续时间。测量在下降沿到下降沿期间完成，可在信号斜率较小时确保较高的精度。
- **模式 2**：0x7F 字符帧（可以是 LSB 在前模式下的 0x7F 字符，也可以是 MSB 在前模式下的 0xFE 字符）。

  这种情况下，先在起始位结束时更新波特率 (BR)，然后在位 6 结束时更新波特率（根据从下降沿到下降沿执行的测量：BR6）。以 BR 对位 0 到位 6 进行采样，而以 BR6 对字符的其他位进行采样。
- **模式 3**：0x55 字符帧。

  这种情况下，先在起始位结束时更新波特率 (BR)，然后在位 0 结束时更新波特率（根据从下降沿到下降沿执行的测量：BR0），最后在位 6 结束时更新波特率 (BR6)。以 BR 对位 0 进行采样，以 BR0 对位 1 到位 6 进行采样，以 BR6 对字符的其它位进行采样。同时，对 RX 线路的各个中间转换执行其他检查。如果 RX 上的转换与接收器（基于根据位 0 计算的波特率的接收器）未充分同步，则生成错误。

激活自动波特率检测之前，必须先通过向 USART_BRR 寄存器写入非零的波特率值来初始化该寄存器。

通过将 USART_CR2 寄存器中的 ABREN 位置 1 来激活自动波特率检测。之后 USART 将等待 RX 线路上的第一个字符。通过将 USART_ISR 寄存器中的 ABRF 标志置 1 来指示自动波特率操作完成。如果线路繁忙，则无法保证正确的波特率检测。这种情况下，BRR 值可能会损坏，ABRE 错误标志位将置 1。如果通信速度不在自动波特率检测范围（位持续时间不在 16 个和 65536 个时钟周期（16 倍过采样时）之间，也不在 8 个和 65536 个时钟周期（8 倍过采样时）之间）内，也会出现这种情况。

稍后，可通过复位 ABRF 标志（通过写入“0”）重新启动自动波特率检测。

禁止 FIFO 管理且发生自动波特率错误时，ABRE 标志通过 RXNE 和 FE 位置 1。

使能 FIFO 管理且发生自动波特率错误时，ABRE 标志通过 RXFNE 和 FE 位置 1。

如果使能 FIFO 模式，则应使用第一个 RXFIFO 位置上的数据进行自动波特率检测。因此，在启动自动波特率检测之前，请通过检查 USART_ISR 寄存器的 RXFNE 标志来确保 RXFIFO 为空。

注： *如果在自动波特率操作期间禁止 USART (UE=0)，则可能损坏 BRR 值。*

32.5.10 USART 多处理器通信

可以执行 USART 多处理器通信（多个 USART 连接在一个网络中）。例如，其中一个 USART 可以是主 USART，其 TX 输出与其他 USART 的 RX 输入相连；而其他 USART 为从 USART，其各自的 TX 输出在逻辑上通过与运算连在一起，并与主 USART 的 RX 输入相连。

在多处理器配置中，理想情况下通常只有预期的消息接收方主动接收完整的消息内容，从而减少由所有未被寻址的接收器造成的冗余 USART 服务开销。

可通过静默功能将未被寻址的器件置于静默模式下。为了使用静默模式功能，必须将 USART_CR1 寄存器中的 MME 位置 1。

注： *使能 FIFO 管理且 MME 已置 1 时，不得清零 MME 位再快速将其置 1（在两个 usart_ker_ck 周期内），否则静默模式可能保持有效。*

使能静默模式时：

- 不得将接收状态位置 1。
- 禁止任何接收中断。
- USART_ISR 寄存器中的 RWU 位置“1”。在某些情况下，RWU 可以由硬件或软件通过 USART_RQR 寄存器中的 MMRQ 位自动控制。

根据 USART_CR1 寄存器中 WAKE 位的设置，USART 可使用以下两种方法进入或退出静默模式：

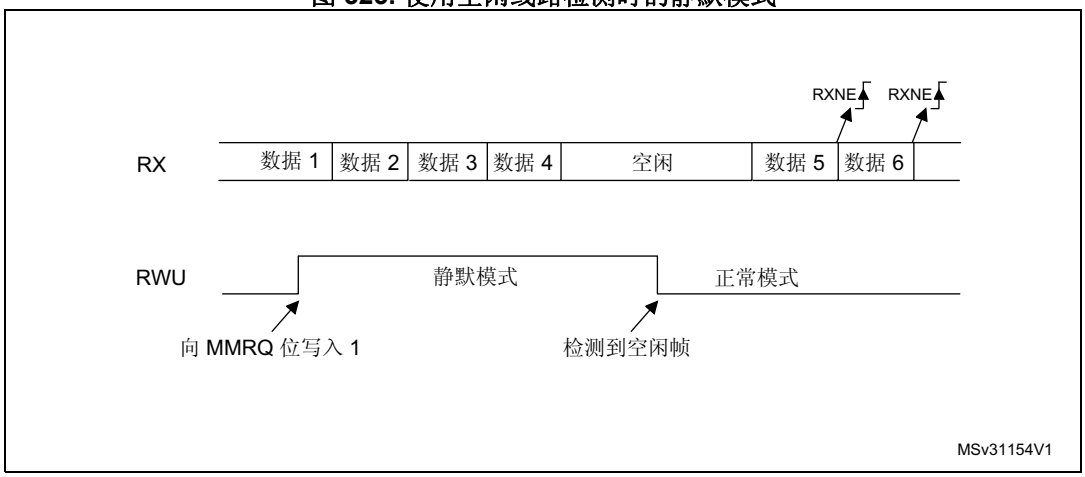
- 如果 WAKE 位被复位，则进行空闲线路检测。
- 如果 WAKE 位置 1，则进行地址标记检测。

空闲线路检测 (WAKE=0)

向 MMRQ 位写入“1”且 RWU 位自动置 1 时，USART 进入静默模式。

检测到空闲帧时，USART 将唤醒。此时 RWU 位会由硬件清零，但 USART_ISR 寄存器中的 IDLE 位不会置 1。*图 323* 中给出了使用空闲线路检测时静默模式行为的示例。

图 323. 使用空闲线路检测时的静默模式



注： *如果在 IDLE 字符已经过去时将 MMRQ 位置 1，将不会进入静默模式（RWU 未置 1）。*

如果在线路处于空闲状态时激活 USART，在一个 IDLE 帧持续时间后（不只在接收一个字符帧后）会检测到空闲状态。

4 位/7 位地址标记检测 (WAKE=1)

在此模式下，如果字节的 MSB 为 1，则将这些字节识别为地址，否则将其识别为数据。在地址字节中，目标接收器的地址位于 4 个或 7 个 LSB 中。7 位或 4 位地址检测通过 ADDM7 位来选择。接收器会将此 4 位/7 位字与其地址进行比较，该接收器的地址在 USART_CR2 寄存器的 ADD 位中进行设置。

注： *在 7 位和 9 位数据模式下，地址检测分别在 6 位和 8 位地址上完成（ADD[5:0] 和 ADD[7:0]）。*

当接收到与其编程地址不匹配的地址字符时，USART 会进入静默模式。此时，RWU 位将由硬件置 1。USART 进入静默模式后，RXNE 标志不会针对此地址字节置 1，也不会发出中断或 DMA 请求。使能 FIFO 管理时，软件应确保在进入静默模式之前 RXFIFO 中至少有一个空位置。

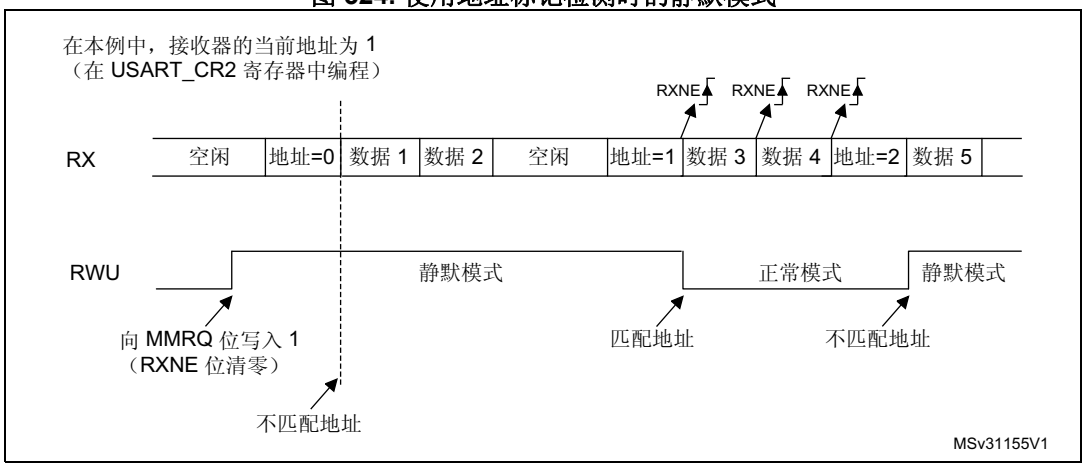
当向 MMRQ 位写入 1 时，USART 也会进入静默模式。这种情况下，RWU 位也自动置 1。

当接收到与编程地址匹配的地址字符时，USART 会退出静默模式。然后 RWU 位被清零，可以开始正常接收后续字节。由于 RWU 位已清零，RXNE/RXFNE 位会针对地址字符置 1。

注： *使能 FIFO 管理时，如果在接收器对数据的最后一位进行采样时 MMRQ 置 1，则可在有效进入静默模式之前接收该数据*

图 324 中给出了使用地址标记检测时静默模式行为的示例。

图 324. 使用地址标记检测时的静默模式



32.5.11 USART Modbus 通信

USART 为 Modbus/RTU 和 Modbus/ASCII 协议的实现提供基本支持。Modbus/RTU 是一个半双工块传输协议。该协议的控制部分（地址识别、块完整性控制和命令解析）必须用软件实现。

USART 为块结束检测提供基本支持，无需软件开销或其他资源。

Modbus/RTU

在此模式下，一个块的结束通过超过 2 个字符时间的“静默”（空闲线路）来识别。此功能通过可编程的超时功能实现。

超时功能和中断必须分别通过 USART_CR2 寄存器中的 RTOEN 位和 USART_CR1 寄存器中的 RTOIE 位激活。与 2 个字符时间（例如 22 个位时间）的超时相对应的值必须在 RTO 寄存器中编程。如果在此期间接收线路空闲，则在接收到最后一个停止位后，将生成中断，同时通知软件当前块接收已完成。

Modbus/ASCII

在此模式下，块结束通过特定 (CR/LF) 字符序列识别。USART 通过字符匹配功能管理此机制。

通过在 ADD[7:0] 字段中编程 LF ASCII 码以及激活字符匹配中断 (CMIE=1)，软件可在接收到 LF 时获得通知并检查 DMA 缓存区中的 CR/LF。

32.5.12 USART 极性控制

将 USART_CR1 寄存器中的 PCE 位置 1，可以使能奇偶校验控制（发送时生成奇偶校验位，接收时进行奇偶校验检查）。根据 M 位定义的帧长度，*表 171* 中列出了可能的 USART 帧格式。

表 171. USART 帧格式

M 位	PCE 位	USART 帧(1)
00	0	| SB | 8 位数据 | STB |
00	1	| SB | 7 位数据 | PB | STB |
01	0	| SB | 9 位数据 | STB |
01	1	| SB | 8 位数据 PB | STB |
10	0	| SB | 7 位数据 | STB |
10	1	| SB | 6 位数据 | PB | STB |

1. 图注：SB：起始位，STB：停止位，P：奇偶校验位。在数据寄存器中，PB 始终位于 MSB 位置（第 8 位或第 7 位，具体取决于 M 位的值）。

偶校验

对奇偶校验位进行计算，使帧和奇偶校验位中“1”的数量为偶数（帧由 6 个、7 个或 8 个 LSB 位组成，具体取决于 M 位的值）。

例如，如果数据=00110101 且 4 个位置 1，则在选择偶校验（USART_CR1 寄存器中的 PS 位 = 0）时，校验位为 0。

奇校验

对奇偶校验位进行计算，使帧和奇偶校验位中“1”的数量为奇数（帧由 6 个、7 个或 8 个 LSB 位组成，具体取决于 M 位的值）。

例如，如果数据=00110101 且 4 个位置 1，则在选择奇校验（USART_CR1 寄存器中的 PS 位 = 1）时，校验位为 1。

接收时进行奇偶校验检查

如果奇偶校验检查失败，则 USART_ISR 寄存器中的 PE 标志置 1；如果 USART_CR1 寄存器中 PEIE 位置 1，则会生成中断。通过软件将 1 写入 USART_ICR 寄存器中的 PECF 位来清零 PE 标志。

发送时的奇偶校验生成

如果 USART_CR1 寄存器中的 PCE 位置 1，则在数据寄存器中所写入数据的 MSB 位会进行传送，但是会由奇偶校验位进行更改（如果选择偶校验 (PS=0)，则“1”的数量为偶数；如果选择奇校验 (PS=1)，则“1”的数量为奇数）。

32.5.13 USART LIN（局域互连网络）模式

仅在支持 LIN 模式时才与本节相关。请参见*第 898 页的第 32.4 节：USART 实现*。

通过将 USART_CR2 寄存器中的 LINEN 位置 1 来选择 LIN 模式。在 LIN 模式下，必须将以下位清零：

- USART_CR2 寄存器中的 CLKEN 位。
- USART_CR3 寄存器中的 STOP[1:0]、SCEN、HDSEL 和 IREN 位。

LIN 发送

与正常的 USART 发送相比，在 LIN 主器件中发送时必须采用*第 32.5.4 节*中介绍的步骤，同时还具有以下区别：

- M 位清零以配置 8 位字长度。
- LINEN 位置 1 以进入 LIN 模式。此时，将 SBKRQ 位置 1 会发送 13 个“0”位作为中断字符。然后会发送值为“1”的 2 个位以进行下一启动检测。

LIN 接收

使能 LIN 模式后，将激活中断检测电路。该检测完全独立于正常的 USART 接收器。在空闲状态或某个帧期间，只要发生中断即可检测出来。

接收器（USART_CR1 寄存器中 RE=1）使能后，电路便开始监测启动信号的 RX 输入。检测起始位的方法与搜索中断字符或数据的方法相同。检测到起始位后，电路会对接下来的位进行采样，方法与数据采样相同（第 8、第 9 和第 10 次采样）。如果 10 个（USART_CR2 中 LBDL = 0 时）或 11 个（USART_CR2 中 LBDL=1 时）连续位均检测为“0”，且其后跟随分隔符，则 USART_ISR 寄存器中的 LBDF 标志将置 1。如果 LBDIE 位=1，则会生成中断。在验证中断前，会对分隔符进行检查，因为它表示 RX 线路已恢复到高电平。

如果在第 10 或第 11 次采样前已对“1”采样，则中断检测电路会取消当前检测，并重新搜索起始位。

如果禁止 LIN 模式 (LINEN=0)，接收器会作为正常的 USART 继续工作，不会再进行断路检测。

如果使能 LIN 模式 (LINEN=1)，只要发生帧错误（例如，在“0”处检测到停止位，这种情况可能出现在任何断路帧中），接收器即会停止，直到断路检测电路接收到“1”（断路字不完整时）或接收到分隔符（检测到断路时）为止。

*第 921 页的图 325：LIN 模式下的中断检测（11 位中断长度——LBDL 位置 1）*中显示了中断检测器状态机和中断标志的行为。

*第 922 页的图 326：LIN 模式下的中断检测与帧错误检测*中列出了中断帧的示例。

图 325. LIN 模式下的中断检测（11 位中断长度——LBDL 位置 1）

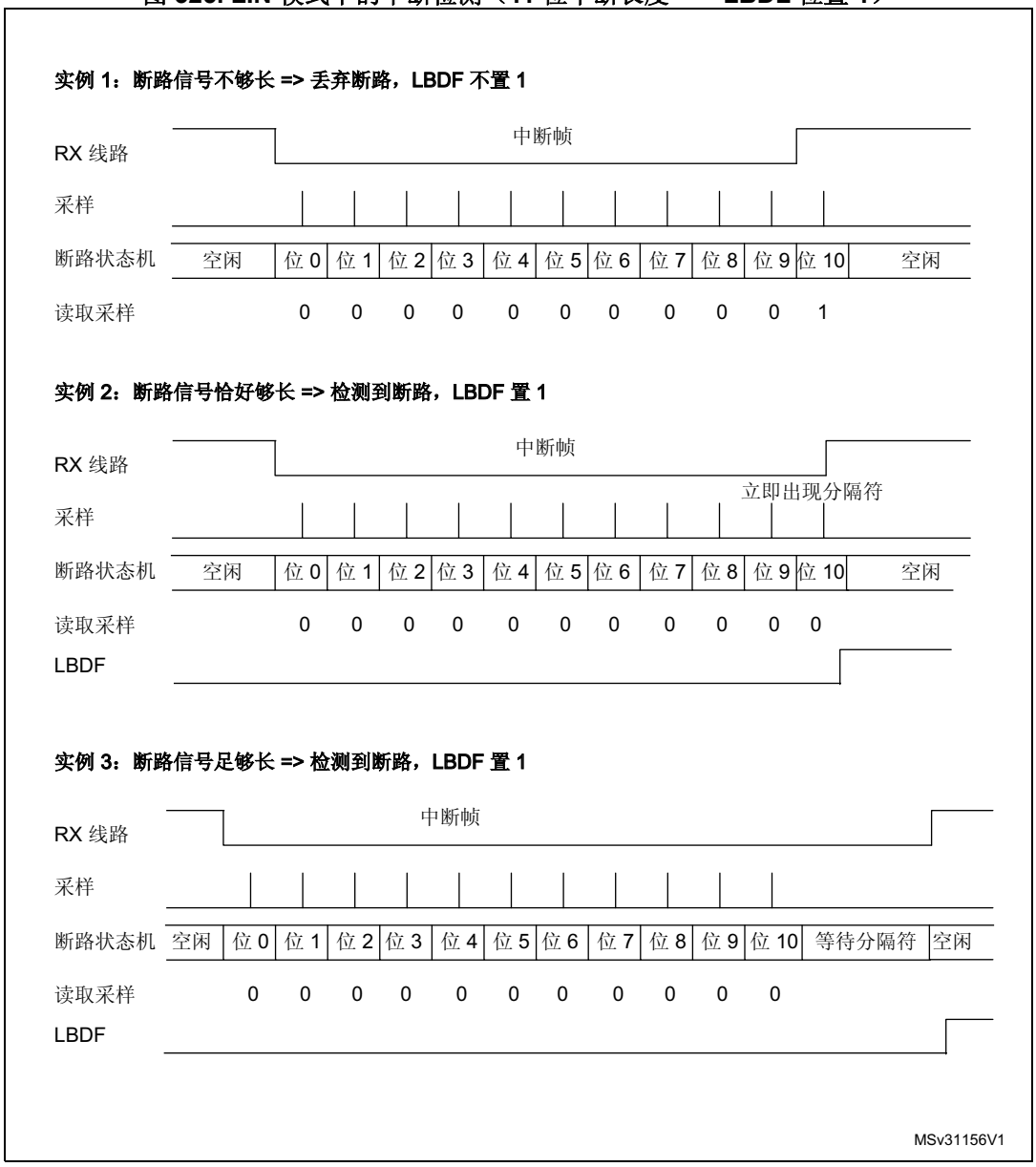
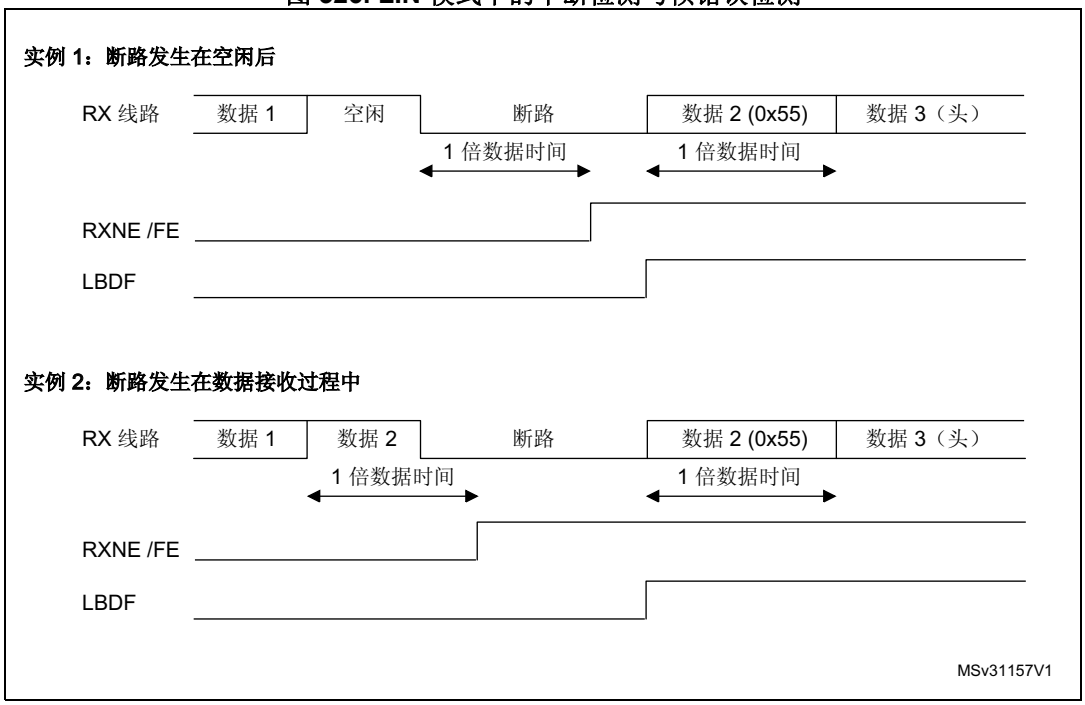


图 326. LIN 模式下的中断检测与帧错误检测



32.5.14 USART 同步模式

主模式

通过将 USART_CR2 寄存器中的 CLKEN 位编程为“1”来选择同步主模式。在同步模式下，必须将以下位清零：

- USART_CR2 寄存器中的 LINEN 位。
- USART_CR3 寄存器中的 SCEN、HDSEL 和 IREN 位。

在此模式下，USART 可用于在主模式下控制双向同步串行通信。SCLK 引脚是 USART 发送器时钟的输出。在起始位或停止位期间，不会向 SCLK 引脚发送时钟脉冲。在最后一个有效数据位（地址标记）期间，会（也可能不会）生成时钟脉冲，这取决于 USART_CR2 寄存器中 LBCL 位的状态。USART_CR2 寄存器中的 CPOL 位用于选择时钟极性；USART_CR2 寄存器中的 CPHA 位用于选择外部时钟的相位（请参见*图 327*、*图 328* 和*图 329*）。

在空闲状态、报头模式和发送中断期间，外部 SCLK 时钟处于未激活状态。

在同步主模式下，USART 发送器的工作方式与异步模式下完全相同。但是，由于 SCLK 与 TX 同步（根据 CPOL 和 CPHA），因此 TX 上的数据是同步的。

在同步主模式下，USART 接收器的工作方式与异步模式下不同。如果 RE 置 1，则数据在 SCLK 上采样（上升或下降沿，具体取决于 CPOL 和 CPHA），而不会进行任何过采样。此时必须确保给定建立时间和保持时间（取决于波特率：1/16 位时间）。

注： *在主模式下，SCLK 引脚可与 TX 引脚结合使用。因此，仅当使能发送器 (TE=1) 且正在发送数据时（USART_TDR 数据寄存器已写入），才会提供时钟。这意味着，没有发送数据的情况下无法接收同步数据。*

图 327. USART 同步主发送示例

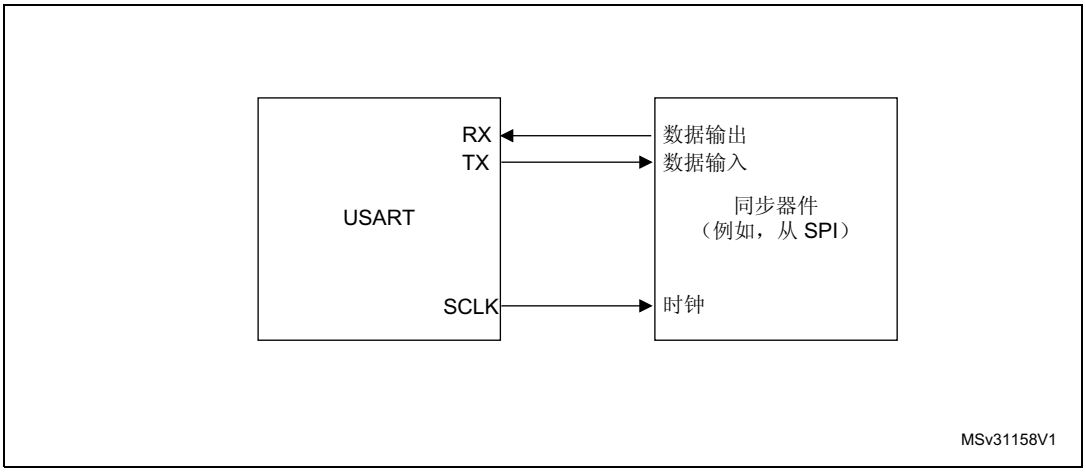


图 328. USART 在同步主模式下的数据时钟时序图（M 位 = 00）

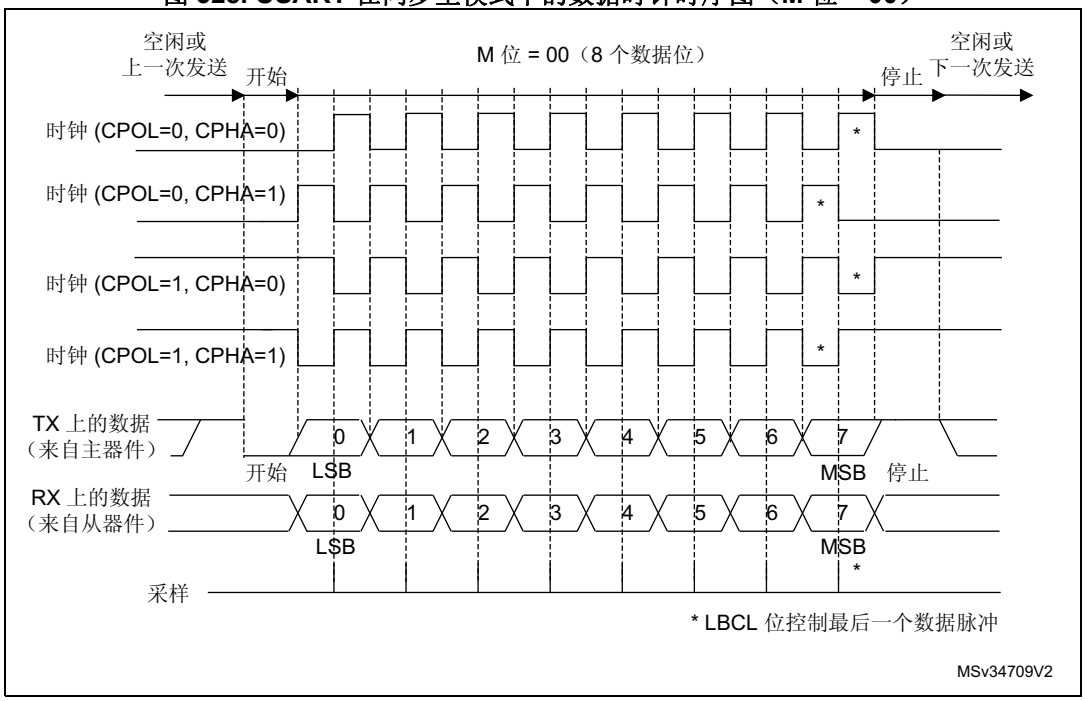
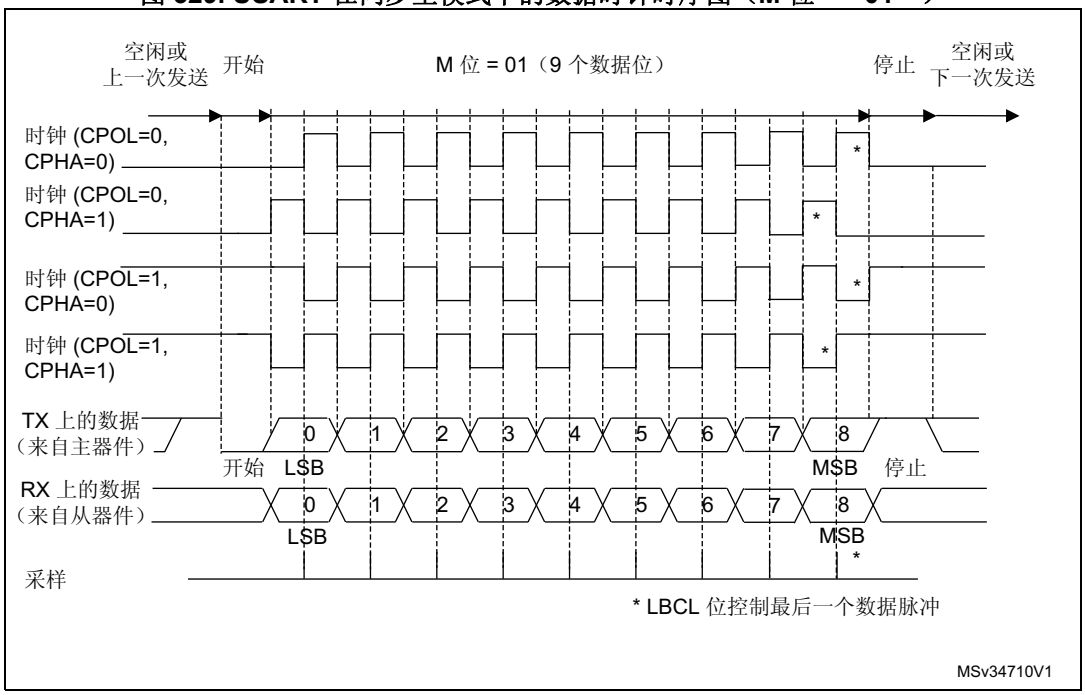


图 329. USART 在同步主模式下的数据时钟时序图（M 位 =“01”）



从模式

通过将 USART_CR2 寄存器中的 SLVEN 位编程为“1”来选择同步从模式。在同步从模式下，必须将以下位清零：

- USART_CR2 寄存器中的 LINEN 和 CLKEN 位。
- USART_CR3 寄存器中的 SCEN、HDSEL 和 IREN 位。

在此模式下，USART 可用于在从模式下控制双向同步串行通信。在从模式下，SCLK 引脚是 USART 的输入。

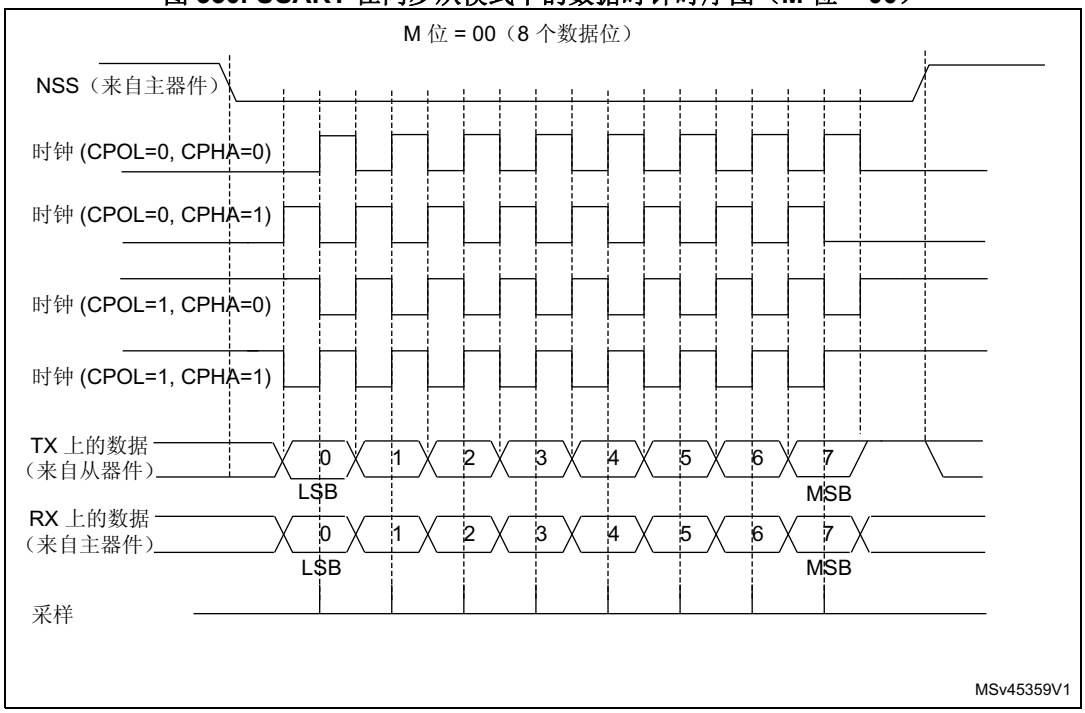
注： *当外设用于 SPI 从器件模式时，外设时钟源 (usart_ker_ck_pres) 的频率必须是 CK 输入频率的 3 倍以上。*

USART_CR2 寄存器中的 CPOL 位和 CPHA 位分别用于选择时钟极性和外部时钟的相位（请参见*图 330*）。

从发送模式支持下溢错误标志。如果在软件尚未将任何值加载到 USART_TDR 之前出现第一个数据发送时钟脉冲，则此标志将置 1。

从器件支持硬件和软件 NSS 管理。

图 330. USART 在同步从模式下的数据时钟时序图（M 位 = 00）



从器件选择 (NSS) 引脚管理

可通过 USART_CR2 寄存器中的 DIS_NSS 位设置硬件或软件从器件选择管理：

- 软件 NSS 管理 (DIS_NSS = 1)

  将始终选择 SPI 从器件并忽略 NSS 输入引脚。

  外部 NSS 引脚空闲，可供其他应用使用。
- 硬件 NSS 管理 (DIS_NSS = 0)

  SPI 从器件选择取决于 NSS 输入引脚。NSS 为低电平时选择从器件，NSS 为高电平时取消选择从器件。

注： *禁止 USART 时 (UE=0)，必须选择 LBCL（仅用于 SPI 主器件模式）、CPOL 和 CPHA 位以确保时钟脉冲正常工作。*

在 SPI 从器件模式下，必须在启动主器件通信之前（或时钟稳定时在相邻帧之间）使能 USART。否则，如果 USART 从器件在主器件处于某个帧中间时使能，则它将与主器件失去同步。在通信时钟的第一个边沿到来之前或者正在进行的通信结束之前，从器件的数据寄存器就需要准备就绪，否则 SPI 从器件会发送零。

SPI 从器件下溢错误

发生下溢错误时，USART_ISR 寄存器中的 UDR 标志会置 1，SPI 从器件继续发送最后一个数据，直到下溢错误标志由软件清零。

下溢标志在帧开始时置 1。如果 USART_CR3 寄存器中的 EIE 位置 1，则会触发下溢错误中断。

通过将 USART_ICR 寄存器中的位 UDRCF 置 1 来清零下溢错误标志。

发生下溢错误时，仍然可以对 TDR 寄存器进行写操作。清除下溢错误将允许发送新数据。

如果发生下溢错误且没有新数据被写入 TDR 中，则 TC 标志在帧结束时置 1。

注： *如果向 USART_TDR 写入数据的时间点过于接近第一个 SCLK 发送边沿，则可能会发生下溢错误。为避免发生此下溢错误，应在第一个 SCLK 边沿的 3 个 usart_ker_ck 周期之前对 USART_TDR 进行写操作。*

32.5.15 USART 单线半双工通信

通过将 USART_CR3 寄存器中的 HDSEL 位置 1 来选择单线半双工模式。在此模式下，必须将以下位清零：

- USART_CR2 寄存器中的 LINEN 和 CLKEN 位。
- USART_CR3 寄存器中的 SCEN 和 IREN 位。

USART 可以配置为遵循单线半双工协议，其中 TX 和 RX 线路从内部相连接。使用 USART_CR3 寄存器中的控制位 HDSEL 可在半双工通信和全双工通信间进行选择。

向 HDSEL 位写入“1”后：

- TX 和 RX 线路从内部相连接
- 不能再使用 RX 引脚
- 无数据传输时，TX 引脚始终处于释放状态。因此，它在空闲状态或接收过程中用作标准 I/O。这意味着，必须对 I/O 进行配置，以便将 TX 配置为复用功能开漏并外接上拉电阻。

除此之外，通信协议与正常 USART 模式下的通信协议相似。此线路上的任何冲突都必须由软件管理（例如，使用中央仲裁器）。尤其要注意，发送过程永远不会被硬件封锁，只要数据是在 TE 位置 1 的情况下写入，发送就会持续进行。

32.5.16 USART 接收器超时

接收器超时功能可通过将 USART_CR2 控制寄存器中的 RTOEN 位置 1 来使能。

超时间隔通过 USART_RTOR 寄存器中的 RTO 位域进行编程。

接收器超时计数器遵循以下规则开始计数：

- STOP =“00”或 STOP =“11”时从停止位结束时开始计数。
- STOP =“10”时从第二个停止位结束时开始计数。
- STOP =“01”时从停止位开始时开始计数。

经过超时间隔后，USART_ISR 寄存器中的 RTOF 标志置 1。如果 USART_CR1 寄存器中的 RTOIE 位置 1，则会产生超时。

32.5.17 USART 智能卡模式

仅在支持智能卡模式时才涉及本节内容。请参见*第 898 页的第 32.4 节：USART 实现*。

通过将 USART_CR3 寄存器中的 SCEN 位置 1 选择智能卡模式。在智能卡模式下，必须将以下位清零：

- USART_CR2 寄存器中的 LINEN 位。
- USART_CR3 寄存器中的 HDSEL 和 IREN 位。

此外，还可将 CLKEN 位置 1，以便为智能卡提供时钟。

智能卡接口支持符合 ISO 7816-3 标准的异步智能卡协议。同时支持 T=0（字符模式）和 T=1（块模式）。

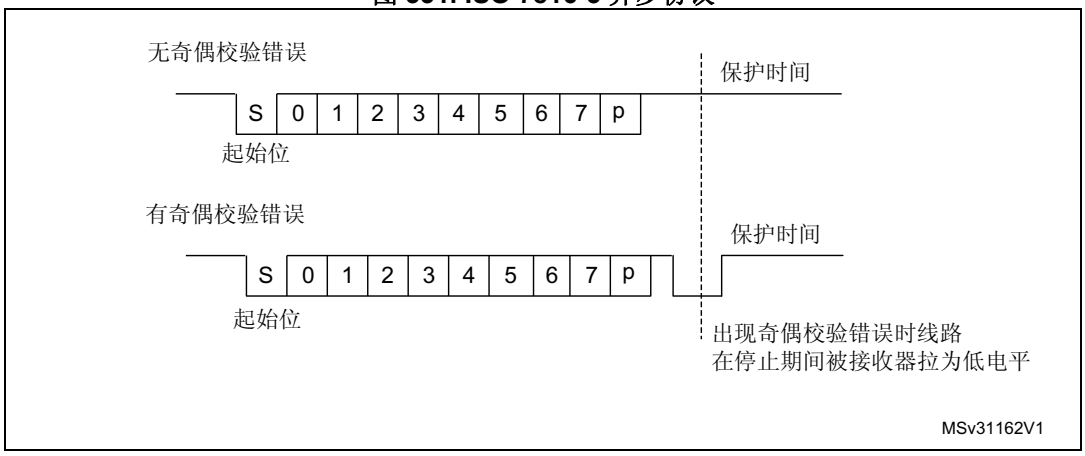
USART 应如下所示进行配置：

- 8 个位加奇偶校验：当 USART_CR1 寄存器中的 M=1 且 PCE=1 时
- 发送和接收数据时使用 1.5 个停止位：当 USART_CR2 寄存器中的 STOP=“11”时。接收时也可以选择 0.5 个停止位。

在 T=0（字符）模式下，奇偶校验错误在保护时间周期内的每个字符结束时指示。

图 331 显示了有奇偶校验错误和无奇偶校验错误时数据线上情况的示例。

图 331. ISO 7816-3 异步协议



连接到智能卡时，USART 的 TX 输出会驱动一条双向线（它也由智能卡驱动）。必须将 TX 引脚配置为开漏引脚。

智能卡模式采用单线半双工通信协议。

- 从发送移位寄存器发送数据会经过至少 1/2 个时钟周期的延迟。正常工作时，已满的发送移位寄存器会在下一个波特时钟边沿开始移位。在智能卡模式下，此发送过程还会进一步经过 1/2 波特时钟周期的延迟。
- 发送时，如果智能卡检测到奇偶校验错误，它会通过将线路驱动为低电平 (NACK) 告知 USART 此状态。此 NACK 信号（将发送线拉低 1 个时钟周期）会导致发送器端（配置为 1.5 个停止位）出现帧错误。USART 可根据协议自动重新发送数据。重试次数在 SCARCNT 位域中编程。如果经过编程次数的重试后，USART 继续收到 NACK，USART 会停止发送并将该错误以帧错误形式发出。TXE 位（使能 FIFO 模式时为 TXFNF 位）可使用 USART_RQR 寄存器中的 TXFRQ 位置 1。
- 发送时智能卡自动重试：在 USART 检测 NACK 与重复字符的起始位之间插入 2.5 个波特率周期的延迟。接收最后一个重复字符后，立即将 TC 位置 1（无保护时间）。如果软件要重复此操作，必须确保标准要求的最短 2 个波特率周期。
- 如果在接收一个使用 1.5 个停止位编程的帧期间检测到奇偶校验错误，则在完成接收帧后，发送线会被拉低一个时钟周期。这是为了向智能卡指出发送到 USART 的数据尚未正确接收。如果 NACK 控制位置 1，接收器会向奇偶校验错误发送“NACK”信号；否则不会发送 NACK 信号（将在 T=1 模式下会使用）。如果接收到的字符错误，则不会激活 RXNE（使能 FIFO 模式时为 RXFNE）/接收 DMA 请求。根据协议规范，智能卡必须重新发送相同的字符。如果经过 SCARCNT 位域中指定的最大重试次数后接收到的字符仍然错误，USART 会停止发送 NACK 信号，并将错误以奇偶校验错误的形式发出。
- 接收时智能卡自动重试：如果 USART 向智能卡发送 NACK 信号，但智能卡不重复字符，则 BUSY 标志将保持置 1。

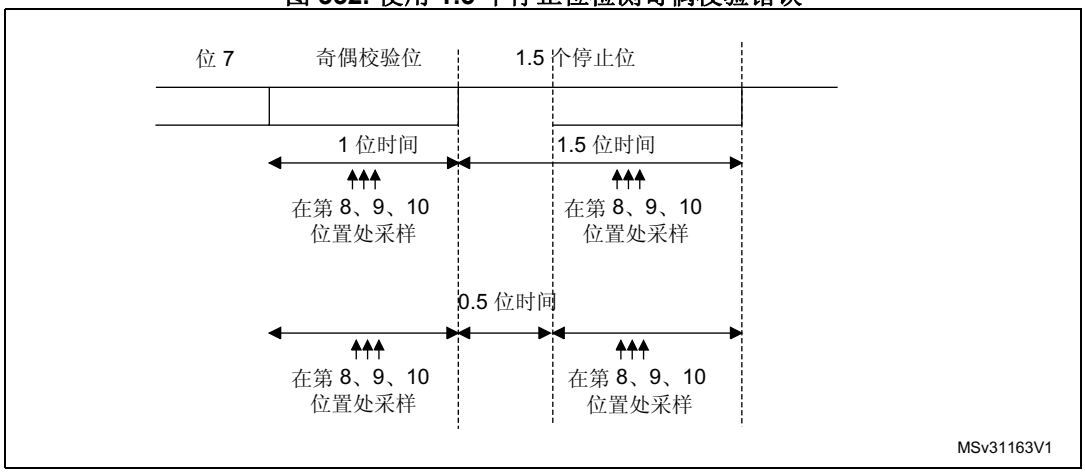
- 发送时，USART 会在两个连续字符之间插入保护时间（按照保护时间寄存器中编程的值）。由于保护时间在前一个字符的停止位后测量，因此必须将 GT[7:0] 寄存器编程为所需 CGT（字符保护时间，如 7816-3 规范所定义）减去 12（一个字符的持续时间）。
- 通过对保护时间寄存器进行编程，可以延迟 TC 标志的置位。正常工作时，当发送移位寄存器为空且没有新的发送请求出现时，会对 TC 标志进行置位。在智能卡模式下，空的发送移位寄存器会触发保护时间计数器，使其递增计数至保护时间寄存器中的值。在此期间，TC 标志被强制为低电平。当保护时间计数器达到设置值时，TC 置位为高电平。TCBGT 标志可用于检测数据传输是否结束，而无需等待保护时间结束。该标志在帧发送结束之后且未从智能卡接收到 NACK 时置 1。
- TC 标志的释放不受智能卡模式的影响。
- 如果在发送端检测到帧错误（由来自接收器的 NACK 信号引起），则发送端的接收块不会将 NACK 作为起始位进行检测。根据 ISO 协议，接收到的 NACK 信号的持续时间可以是 1 或 2 个时钟周期。
- 在接收端，如果检测到奇偶校验错误并发送了 NACK 信号，则接收端不会将 NACK 作为起始位进行检测。

注： *中断字符在智能卡模式下无效。带有帧错误的 0x00 数据被视为数据，而非中断。*

当翻转 TE 位时，不会发送空闲帧。空闲帧（在其他配置中进行了定义）在 ISO 协议中未进行定义。

图 332 详细介绍了 USART 如何对 NACK 信号采样。在本例中，USART 正在发送数据并配置了 1.5 个停止位。USART 的接收部分已被使能，以检查数据的完整性和 NACK 信号。

图 332. 使用 1.5 个停止位检测奇偶校验错误



USART 可以通过 SCLK 输出为智能卡提供时钟。在智能卡模式下，SCLK 仅通过一个 5 位预分频器由内部外设输入时钟提供。分频比在 USART_GTPR 寄存器中进行配置。SCLK 频率可在 usart_ker_ck_pres/2 到 usart_ker_ck_pres/62 之间进行编程，其中 usart_ker_ck_pres 为经过编程的预分频器分频的外设输入时钟。

块模式 (T=1)

在 T=1（块）模式下，通过将 USART_CR3 寄存器中的 NACK 位清零可停用奇偶校验错误发送。

在块模式下请求从智能卡执行读操作时，软件必须将 RTOR 寄存器编程为 BWT（块等待时间 - 值 11）。如果在经过此时间段后未从智能卡接收到应答，将生成超时中断。如果该时间段后接收到第一个字符，则通过 RXNE/RXFNE 中断发出信号指示。

注：即使在使用 DMA 模式下的 USART 从块模式下的智能卡读取时，也必须使能 RXNE/RXFNE 中断。同时，只有在接收到第一个字节后才可使能 DMA。

接收到第一个字符（RXNE/RXFNE 中断）后，为允许自动检查两个连续字符间的最长等待时间，必须将 RTO 寄存器编程为 CWT（字符等待时间 - 值 11）。此时间以波特率时间单位表示。前一个字符结束后，如果智能卡未在小于 CWT 的时间段内发送新字符，USART 将通过 RTOF 标志和中断（当 RTOIE 位置 1 时）向软件指示此情况。

注：按照智能卡协议定义，BWT/CWT 的值应从最后一个字符开始（起始位）时定义。必须将 RTO 寄存器分别编程为 BWT -11 或 CWT -11，并考虑最后一个字符本身的长度。

块长度计数器用于对 USART 接收到的所有字符进行计数。当 USART 进行发送时，此计数器复位。块长度由智能卡在块的第三个字节（起始字段）中传达。必须将此值编程到 USART_RTOR 寄存器中的 BLEN 字段。使用 DMA 模式时，在块开始之前，必须将此寄存器字段编程为最小值 (0x0)。对于该值，在接收到第四个字符后生成中断。软件必须读取 LEN 字段（第三个字节），其值必须从接收缓冲区中读取。

在中断驱动接收模式下，块长度可以由软件或者通过编程 BLEN 值来检查。但是在块开始前，可以编程 BLEN 的最大值 (0xFF)。接收到第三个字符后，将编程实际值。

如果块使用 LRC（纵向冗余校验，1 个结尾字节），则 BLEN=LEN。如果块使用 CRC 机制（2 个结尾字节），则必须编程 BLEN=LEN+1。块总长度（包括起始字段、结尾字段和信息字段）等于 BLEN+4。块结束的信号通过 EOBF 标志和中断（EOBIE 位置 1 时）发送给软件。

如果块长度出现错误，则通过 RTO 中断（字符等待时间上溢）发送块结束信号。

注：错误检查代码 (LRC/CRC) 必须通过软件计算/验证。

正向约定和反向约定

智能卡协议定义了两种约定：正向约定和反向约定。

正向约定定义为：LSB 在前，逻辑位值 1 对应于线路的 H 状态，奇偶校验为偶校验。要使用此约定，必须编程以下控制位：MSBFIRST=0，DATAINV=0（默认值）。

反向约定定义为：MSB 在前，逻辑位值 1 对应于信号线路的 L 状态，奇偶校验为偶校验。要使用此约定，必须编程以下控制位：MSBFIRST=1，DATAINV=1。

注：将逻辑数据值取反（0=H，1=L）时，奇偶校验位将同样取反。

为识别智能卡约定，智能卡会将初始字符 TS 作为 ATR（复位应答）的第一个字符发送。TS 支持两种格式：LHHL LLL LLH 和 LHHL HHH LLH。

- (H) LHHL LLL LLH 建立反向约定：状态 L 编码为值 1，时间分量 2 传送最高有效位（MSB 在前）。按反向约定解码时，传送的字节等于“3F”。
- (H) LHHL HHH LLH 建立正向约定：状态 H 编码为值 1，时间分量 2 传送最低有效位（LSB 在前）。按正向约定解码时，传送的字节等于“3B”。

在 2 到 10 的九个时间分量中，如果有偶数个位设置为 1，则字符的奇偶校验正确。

由于 USART 不了解智能卡使用哪种约定，因此 USART 需要能够识别任意一种模式并相应操作。模式识别不在硬件中完成，而是通过软件序列完成。此外，假设以正向约定配置 USART（默认）而智能卡以反向约定 (TS = LHHL LLL LLH) 应答，则 USART 接收到的字节将为“03”，奇偶校验将为奇校验。

因此，有两种方法可用于识别 TS 模式：

方法 1

将 USART 编程为标准智能卡模式/正向约定。这种情况下，TS 模式接收会向智能卡生成奇偶校验错误中断和错误信号。

- 奇偶校验错误中断通知软件智能卡未以正向约定正确应答。之后，软件重新将 USART 编程为反向约定
- 为响应错误信号，智能卡会重试同一 TS 字符，此时重新编程后的 USART 将正确接收该字符

或者，为应答奇偶校验错误中断，软件可决定重新编程 USART，同时向智能卡生成新的复位命令，然后再次等待 TS。

方法 2

将 USART 编程为 9 位/无奇偶校验模式，无位反向。在此模式下，按如下方式接收两种 TS 模式中的任一种：

(H) LHHL LLL LLH = 0x103 -> 选择反向约定

(H) LHHL HHH LLH = 0x13B -> 选择正向约定

软件根据这两种模式检查接收到的字符，如果其中任意一种匹配，则相应编程 USART 以接收下一个字符。

如果两种都未被识别，则可能复位智能卡以重新开始协商。

32.5.18 USART IrDA SIR ENDEC 模块

仅在支持 IrDA 模式时才涉及本节内容。请参见*第 898 页的第 32.4 节：USART 实现*。

通过将 USART_CR3 寄存器中的 IREN 位置 1 来选择 IrDA 模式。在 IrDA 模式下，必须将以下位清零：

- USART_CR2 寄存器中的 LINEN、STOP 和 CLKEN 位。
- USART_CR3 寄存器中的 SCEN 和 HDSEL 位。

IrDA SIR 物理层规定使用反相归零 (RZI) 调制方案，它以红外光脉冲表示逻辑 0（参见*图 333*）。

SIR 发送编码器用于调制 USART 发出的非归零 (NRZ) 位流。输出脉冲流会发送到外部输出驱动器和红外线 LED。USART 支持的 SIR ENDEC 比特率最高为 115.2 Kbps。在正常模式下，所发送的脉冲宽度规定为一个位周期的 3/16。

SIR 接收解码器用于解调由红外探测器发出的归零位流，并将接收到的 NRZ 串行位流输出到 USART。在空闲状态下，解码器输入通常为高电平（标记状态）。发送编码器输出的极性与解码器输入相反。当解码器输入为低电平时，会检测到起始位。

- IrDA 是一个半双工通信协议。如果发送器忙（USART 正在向 IrDA 编码器发送数据时），则 IrDA 解码器会忽略 IrDA 接收线上的所有数据；如果接收器忙（USART 正在接收来自 USART 的解码数据时），则 IrDA 不会对 USART 发送到 IrDA 的 TX 上的数据进行编码。在接收数据时，应避免同时进行发送，因为这样做可能会破坏要发送的数据。

- “0”作为高电平脉冲发送，而“1”作为“0”发送。在正常模式下，脉冲宽度规定为所选位周期的 3/16（参见*图 334*）。
- SIR 解码器用于将兼容 IrDA 的接收信号转换为 USART 的位流。
- SIR 接收逻辑将高电平状态视为逻辑“1”，将低电平脉冲视为逻辑“0”。
- 发送编码器输出的极性与解码器输入相反。SIR 输出在空闲时处于低电平状态。
- IrDA 规范要求脉冲容忍值要大于 1.41 µs。可接受的脉冲宽度可通过寄存器设置。接收器端的干扰检测逻辑会滤除宽度小于 2 个 PSC 周期的脉冲（PSC 是在 USART_GTPR 中编程的预分频器值）。宽度小于 1 个 PSC 周期的脉冲都将被拒绝，但宽度大于 1 个而小于 2 个周期的脉冲可能被接受也可能被拒绝，而宽度大于 2 个周期的脉冲将被接受作为有效脉冲。当 PSC=0 时，IrDA 编码器/解码器不工作。
- 接收器能够与低功耗发送器进行通信。
- 在 IrDA 模式下，USART_CR2 寄存器中的停止位必须配置为“1 个停止位”。

IrDA 低功耗模式

- 发送器

  在低功耗模式下，脉冲宽度不再保持为位周期的 3/16。此时的脉冲宽度为低功耗波特率的 3 倍，最小可为 1.42 MHz。通常此值是 1.8432 MHz (1.42 MHz < PSC < 2.12 MHz)。低功耗模式下的可编程分频器会对系统时钟进行分频，以达到此值。
- 接收器

  在低功耗模式下接收与在正常模式下接收类似。为进行干扰检测，USART 应丢弃持续时间短于 1/PSC 的脉冲。只有当持续时间长于 2 个 IrDA 低功耗波特时钟周期（USART_GTPR 的 PSC 值）时，才是有效低电平。

注： *宽度小于两个但大于一个 PSC 周期的脉冲可能被接受，也可能被拒绝。*

接收器的建立时间应由软件进行管理。IrDA 物理层规范规定发送和接收之间至少要经过 10 ms 的延迟（IrDA 是一个半双工协议）。

图 333. IrDA SIR ENDEC 框图

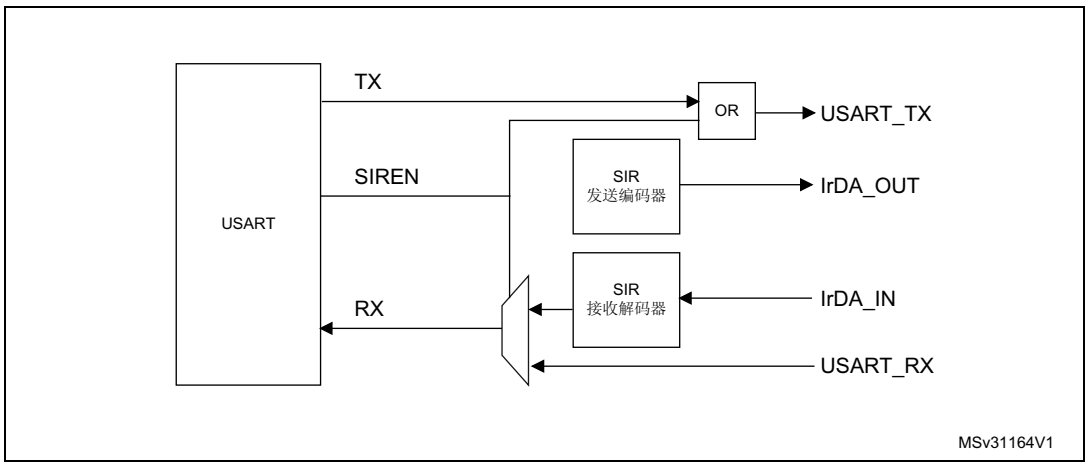
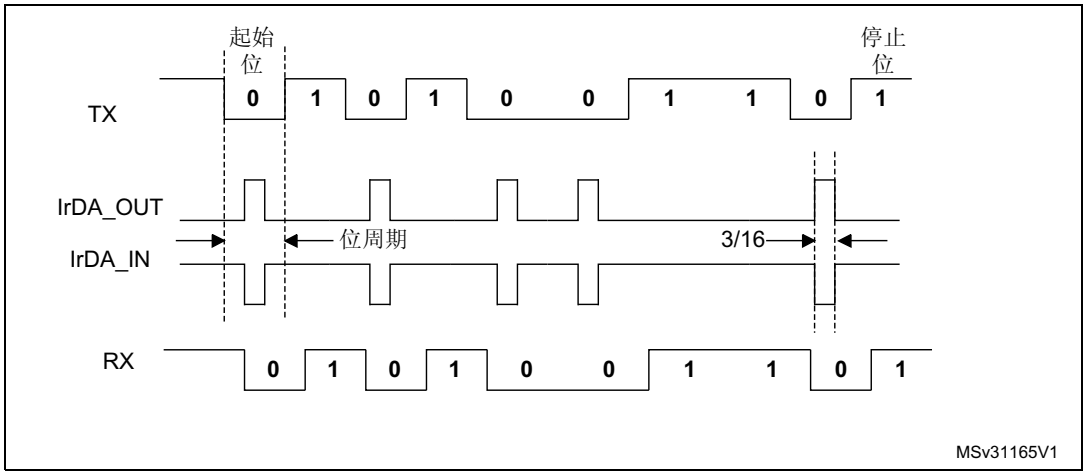


图 334. IrDA 数据调制 (3/16)——正常模式



32.5.19 使用 USART 和 DMA 进行连续通信

USART 能够使用 DMA 进行连续通信。接收缓冲区和发送缓冲区的 DMA 请求是独立生成的。

注： *要确定是否支持 DMA 模式，请参见第 898 页的第 32.4 节：USART 实现。如果不支持 DMA 模式，请按照第 32.5.6 节中的说明使用 USART。可以将 USART_ISR 寄存器中的 TXE/RXNE 标志清零，从而在禁止 FIFO 时实现连续通信。*

使用 DMA 进行发送

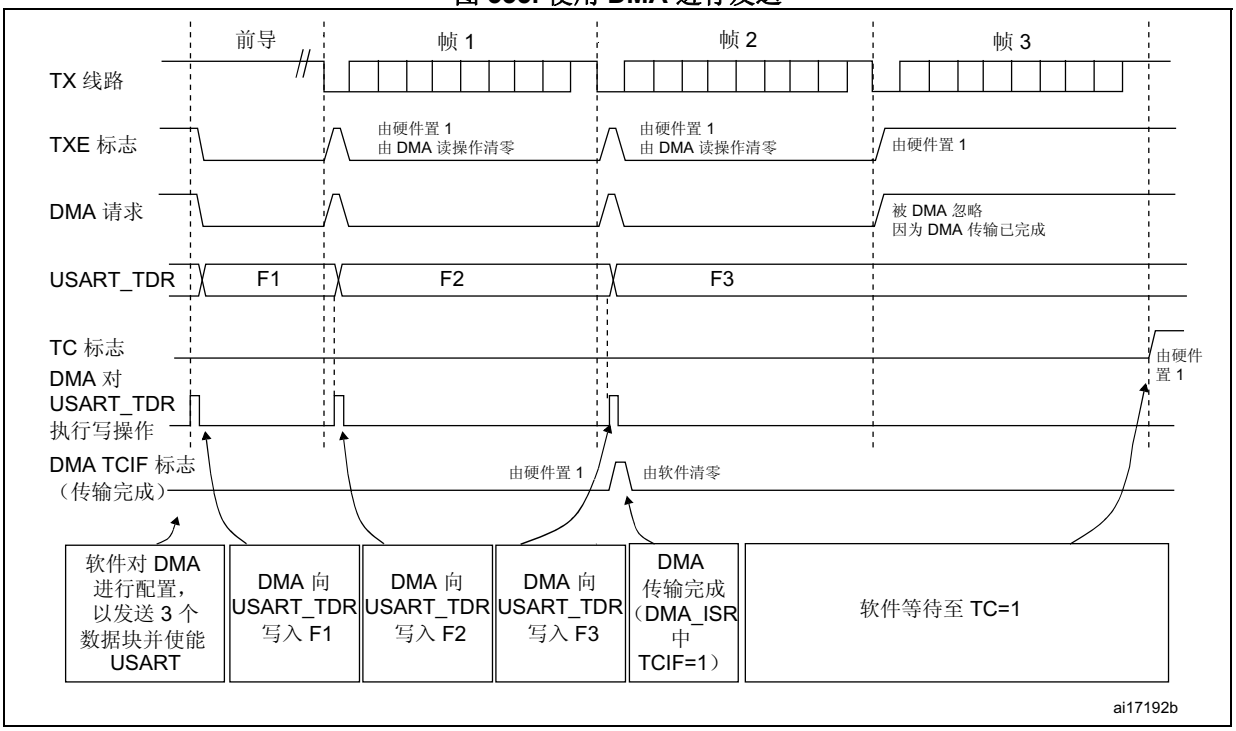
将 USART_CR3 寄存器中的 DMAT 位置 1 可以使能 DMA 模式进行发送。当 TXE 标志（使能 FIFO 模式时为 TXFNF 标志）置 1 时，可使用 DMA 外设（请参见相应的*直接存储器访问控制器*部分）将数据从配置的 SRAM 区域加载到 USART_TDR 寄存器。要映射一个 DMA 通道以进行 USART 发送，请按以下步骤操作（x 表示通道编号）：

1. 在 DMA 控制寄存器中写入 USART_TDR 寄存器地址，将其配置为传输的目标地址。每次发生 TXE（使能 FIFO 模式时为 TXFNF）事件后，数据都从存储器移动到此地址。
2. 在 DMA 控制寄存器中写入存储器地址，将其配置为传输的源地址。每次发生 TXE（使能 FIFO 模式时为 TXFNF）事件后，数据都从该存储区域加载到 USART_TDR 寄存器中。
3. 在 DMA 控制寄存器中配置要传输的总字节数。
4. 在 DMA 寄存器中配置通道优先级。
5. 根据应用的需求，在完成一半或全部传输后产生 DMA 中断。
6. 通过将 USART_ICR 寄存器中的 TCCF 位置 1，将 USART_ISR 寄存器中的 TC 标志清零。
7. 在 DMA 寄存器中激活该通道。

当达到在 DMA 控制器中设置的数据传输量时，DMA 控制器会在 DMA 通道的中断向量上产生一个中断。

在发送模式下，DMA 对所有要发送的数据执行了写操作（DMA_ISR 寄存器中的 TCIF 标志置 1）后，可以对 TC 标志进行监视，以确保 USART 通信已完成。在禁止 USART 之前或系统进入低功耗模式之前（禁止外设时钟时）必须执行此步骤，以避免损坏最后一次发送。软件必须等待直到 TC=1。TC 标志在所有数据发送期间都保持清零状态，然后在最后一帧发送结束时由硬件置 1。

图 335. 使用 DMA 进行发送



注： *使能 FIFO 管理时，DMA 请求由发送 FIFO 未满（即 TXFNF = 1）触发。*

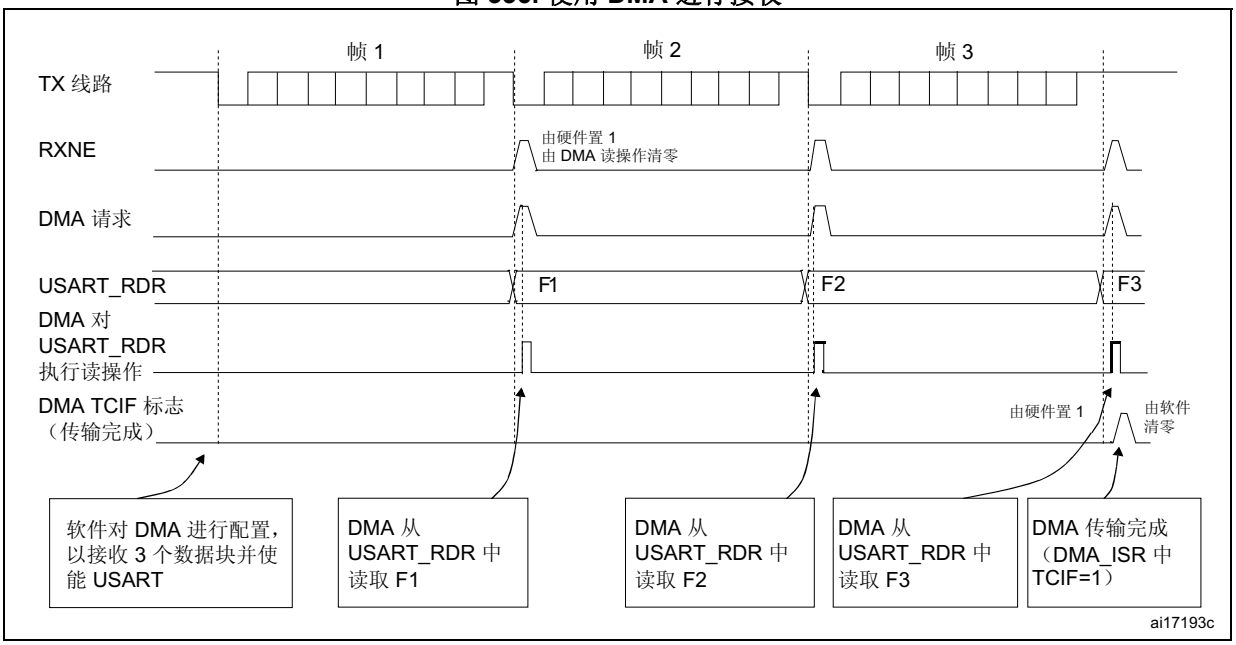
使用 DMA 进行接收

将 USART_CR3 寄存器中的 DMAR 位置 1 可以使能 DMA 模式进行接收。接收数据字节时，可使用 DMA 外设（请参见相应的*直接存储器访问控制器*部分）将数据从 USART_RDR 寄存器加载到配置的 SRAM 区域中。要映射一个 DMA 通道以进行 USART 接收，请按以下步骤操作：

1. 在 DMA 控制寄存器中写入 USART_RDR 寄存器地址，将其配置为传输的源地址。每次发生 RXNE（使能 FIFO 模式时为 RXFNE）事件后，数据都从该地址移动到存储器。
2. 在 DMA 控制寄存器中写入存储器地址，将其配置为传输的目标地址。每次发生 RXNE（使能 FIFO 模式时为 RXFNE）事件后，数据都从 USART_RDR 加载到此存储区域。
3. 在 DMA 控制寄存器中配置要传输的总字节数。
4. 在 DMA 控制寄存器中配置通道优先级。
5. 根据应用的需求，在完成一半或全部传输后产生中断。
6. 在 DMA 控制寄存器中激活该通道。

当达到在 DMA 控制器中设置的数据传输量时，DMA 控制器会在 DMA 通道的中断向量上产生一个中断。

图 336. 使用 DMA 进行接收



注： *使能 FIFO 管理时，DMA 请求由接收 FIFO 非空（即 RXFNE = 1）触发。*

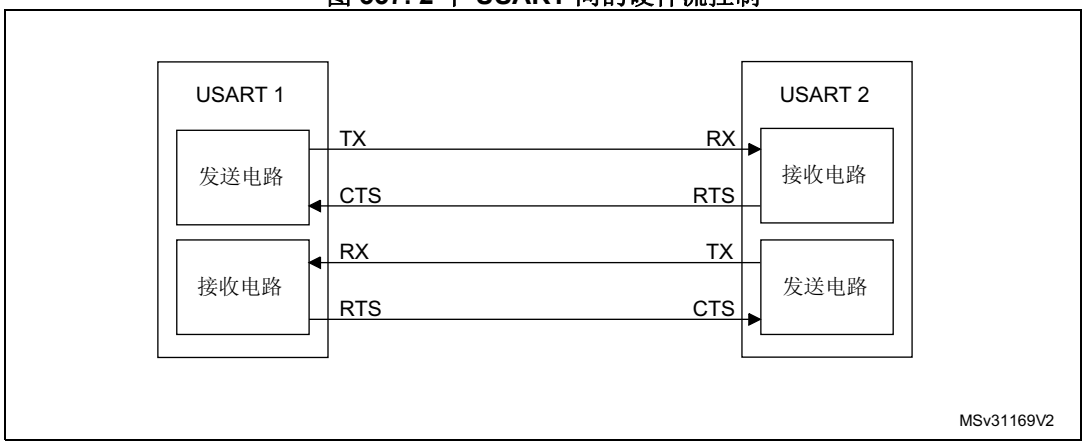
多缓冲区通信中的错误标志和中断生成

在多缓冲区通信模式下，如果事务中发生任何错误，都会在当前字节后将相应错误标志置 1。如果中断使能标志置 1，则会产生中断。在单字节接收过程中，与 RXNE（使能 FIFO 模式时为 RXFNE）一同置位的帧错误、上溢错误和噪声标志具有单独的错误标志中断使能位（USART_CR3 寄存器中的 EIE 位）；如果该位置 1，在发生其中任何一个错误时，都会在当前字节后使能中断。

32.5.20 RS232 硬件流控制和 RS485 驱动器使能

使用 nCTS 输入和 nRTS 输出可以控制 2 个器件间的串行数据流。*图 337* 显示了在这种模式下如何连接 2 个器件：

图 337. 2 个 USART 间的硬件流控制

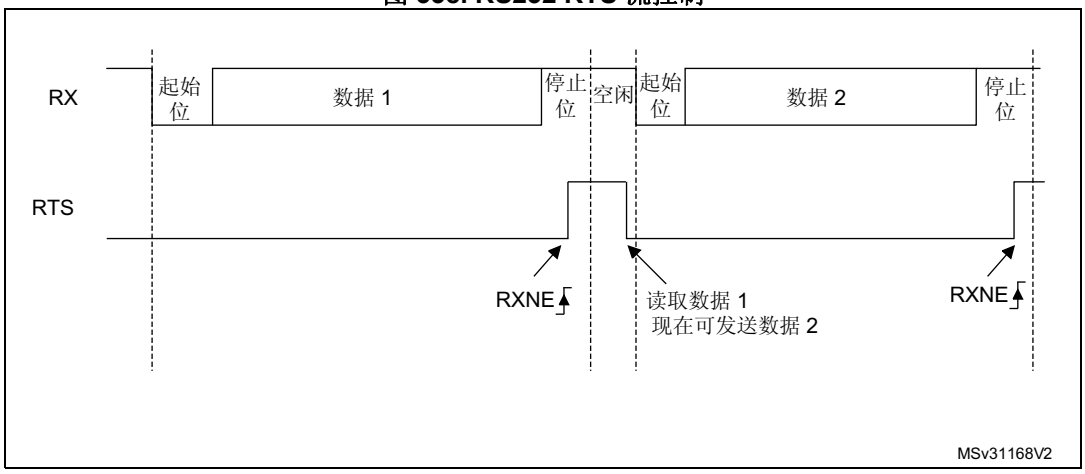


向 USART_CR3 寄存器中的 RTSE 位和 CTSE 位写入“1”，可分别使能 RS232 RTS 和 CTS 流控制。

RS232 RTS 流控制

如果使能 RTS 流控制 (RTSE=1)，只要 USART 接收器准备好接收新数据，便会将 nRTS 变为有效（连接到低电平）。当接收寄存器已满时，会将 nRTS 变为无效，表明发送过程会在当前帧结束后停止。*图 338* 显示了在使能 RTS 流控制的情况下进行通信的示例。

图 338. RS232 RTS 流控制



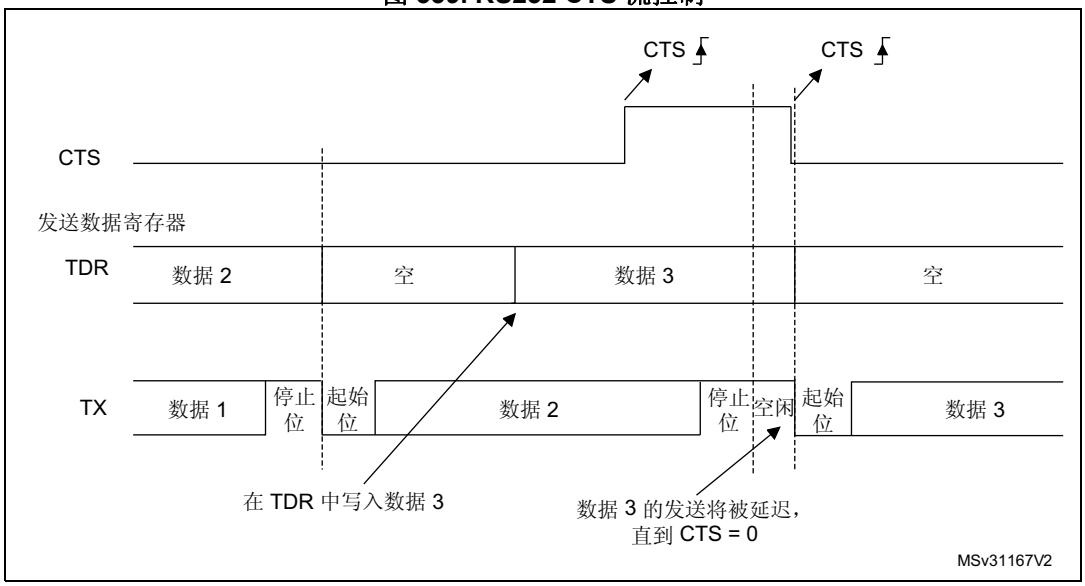
注： *如果使能 FIFO 模式，则仅当 RXFIFO 已满时，nRTS 才会变为无效。*

RS232 CTS 流控制

如果使能 CTS 流控制 (CTSE=1)，则发送器会在发送下一帧前检查 nCTS。如果 nCTS 有效（连接到低电平），则会发送下一数据（假设数据已准备好发送，即 TXE/TXFE=0）；否则不会进行发送。如果在发送过程中 nCTS 变为无效，则当前发送完成之后，发送器停止。

当 CTSE=1 时，只要 nCTS 发生变化，CTSIF 状态位便会由硬件自动置 1。这指示接收器是否已准备好进行通信。如果 USART_CR3 寄存器中的 CTSIE 位置 1，则会产生中断。*图 339* 显示了在使能 CTS 流控制的情况下进行通信的示例。

图 339. RS232 CTS 流控制



注： *为正常运行，必须在当前字符结束前至少 3 个 USART 时钟源周期内使能 nCTS。此外还应注意，当脉冲短于 2 个 PCLK 周期时无法将 CTSCF 标志置 1。*

RS485 驱动器使能

驱动器使能功能可通过将 USART_CR3 控制寄存器中的 DEM 位置 1 使能。这样用户便可通过 DE（驱动器使能）信号激活外部收发器控制。使能时间为激活 DE 信号与 START 位开始间的时间。可以通过 USART_CR1 控制寄存器中的 DEAT [4:0] 位域编程禁止时间。禁止时间为发送的消息中最后一个停止位结束与取消激活 DE 信号间的时间。可以通过 USART_CR1 控制寄存器中的 DEDT [4:0] 位域编程禁止时间。DE 信号的极性可使用 USART_CR3 控制寄存器中的 DEP 位配置。

在 USART 中，DEAT 和 DEDT 以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

32.5.21 USART 低功耗管理

USART 具有高级低功耗模式功能，即使禁止 usart_pclk 时钟，也能正常传输数据。

UESM 位置 1 时，USART 能够将 MCU 从低功耗模式唤醒。

对 usart_pclk 进行门控时，如果某些特定操作需要激活 **usart_pclk** 时钟，则 USART 会提供唤醒中断 (**usart_wkup**)：

- 禁止 FIFO 模式时

  必须激活 usart_pclk 时钟以清空 USART 数据寄存器。

  在这种情况下，usart_wkup 中断源为 RXNE 置“1”。RXNEIE 位必须在进入低功耗模式之前置 1。
- 使能 FIFO 模式时

  必须激活 usart_pclk 时钟以：
  - 填充 TXFIFO
  - 或清空 RXFIFO

在这种情况下，usart_wkup 中断源可以为：

– RXFIFO 非空。此时，RXFNEIE 位必须在进入低功耗模式之前置 1。

– RxFIFO 已满。此时，RXFFIE 位必须在进入低功耗模式之前置 1，接收到的数据量对应于 RXFIFO 大小，并且 RXFF 标志未置 1。

– TXFIFO 为空。此时，TXFEIE 位必须在进入低功耗模式之前置 1。

这允许在低功耗模式下发送/接收 TXFIFO/RXFIFO 中的数据。

为了避免发生上溢/下溢错误以及在低功耗模式下发送/接收数据，usart_wkup 中断源可以是以下事件之一：

– 达到 TXFIFO 阈值。此时，TXFTIE 位必须在进入低功耗模式之前置 1。

– 达到 RXFIFO 阈值。此时，RXFTIE 位必须在进入低功耗模式之前置 1。

例如，如果唤醒时间短于在线路上接收单个字节所需的时间，则应用可将阈值设为最大 RXFIFO 大小。

使用 RXFIFO 已满、TXFIFO 为空、RXFIFO 非空和 RXFIFO/TXFIFO 阈值中断将 MCU 从低功耗模式唤醒时，可在低功耗模式下尽可能多地进行 USART 传输，这样有助于优化功耗。

或者，也可通过 WUS 位域选择特定 **usart_wkup** 中断。

检测到唤醒事件后，WUF 标志会由硬件置 1 并在 WUFIE 位置 1 时生成一个 **usart_wkup** 中断。在这种情况下，无需 **usart_wkup** 中断，将 WUF 置 1 便足以将 MCU 从低功耗模式唤醒。

注：在进入低功耗模式之前，请确保未进行任何 USART 传输。检查 BUSY 标志不能确保在进行数据接收时绝不会进入低功耗模式。

WUF 标志在检测到唤醒事件时置 1，而与 MCU 处于低功耗模式还是工作模式无关。

如果在初始化和使能接收器后立即进入低功耗模式，则必须检查 REACK 位以确保 USART 确实已使能。

当 DMA 用于接收时，它必须在进入低功耗模式前禁止，并在退出低功耗模式后重新使能。

如果使能 FIFO，则只有在使能静默模式的情况下才能在地址匹配时从低功耗模式唤醒。

使用静默模式和低功耗模式

如果 USART 在进入低功耗模式前处于静默模式：

- 不得使用空闲检测时从静默模式唤醒，因为空闲检测无法在低功耗模式下工作。
- 如果使用地址匹配时从静默模式唤醒，则低功耗模式唤醒源也必须是地址匹配。如果 RXNE 标志在进入低功耗模式时置 1，则接口将在地址匹配时和从低功耗模式唤醒时保持静默模式。

注：使能 FIFO 管理时，静默模式可与从低功耗模式唤醒搭配使用，而且没有任何限制（即，上述关于静默和低功耗模式的两点仅在 FIFO 管理禁止时有效）。

USART 内核时钟 (usart_ker_ck) 在低功耗模式下关闭时从低功耗模式唤醒

在低功耗模式下，如果在 USART 接收线上检测到下降沿时 usart_ker_ck 时钟处于关闭状态，则 USART 接口会借助 usart_ker_ck_req 信号请求开启 usart_ker_ck 时钟。usart_ker_ck 随后用来接收帧。

如果唤醒事件通过验证，则 MCU 将从低功耗模式唤醒，并会正常进行数据接收。

如果唤醒事件未通过验证，则 usart_ker_ck 会再次关闭，MCU 不会被唤醒并保持在低功耗模式下，且内核时钟请求被释放。

以下示例显示了将唤醒事件编程为“地址匹配检测”并禁止 FIFO 管理的情况。

图 340 所示为唤醒事件通过验证时的 USART 行为。

图 340. 唤醒事件通过验证（唤醒事件 = 地址匹配，禁止 FIFO）

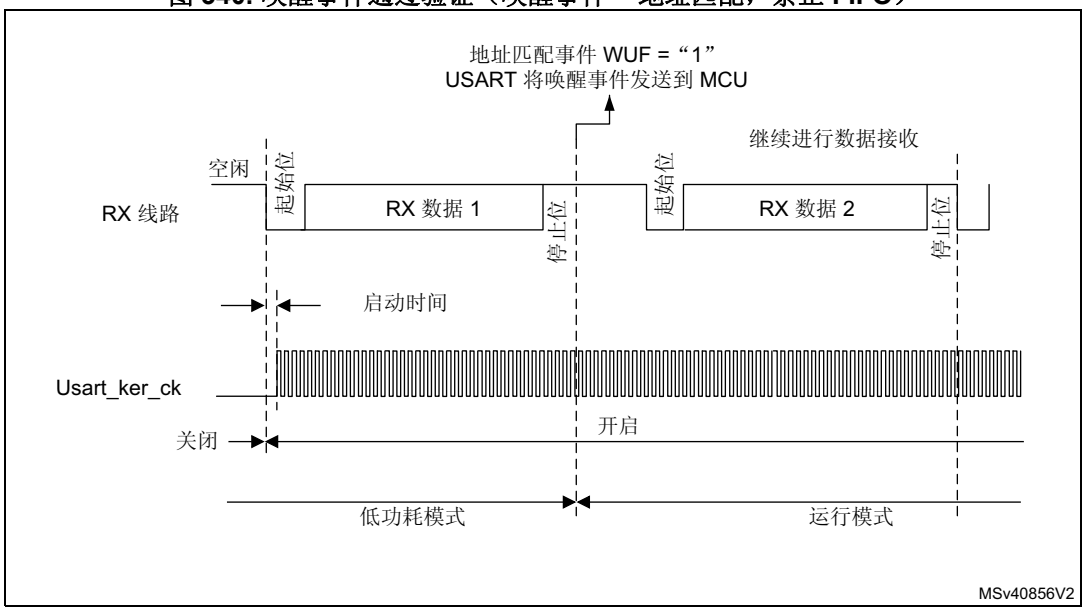
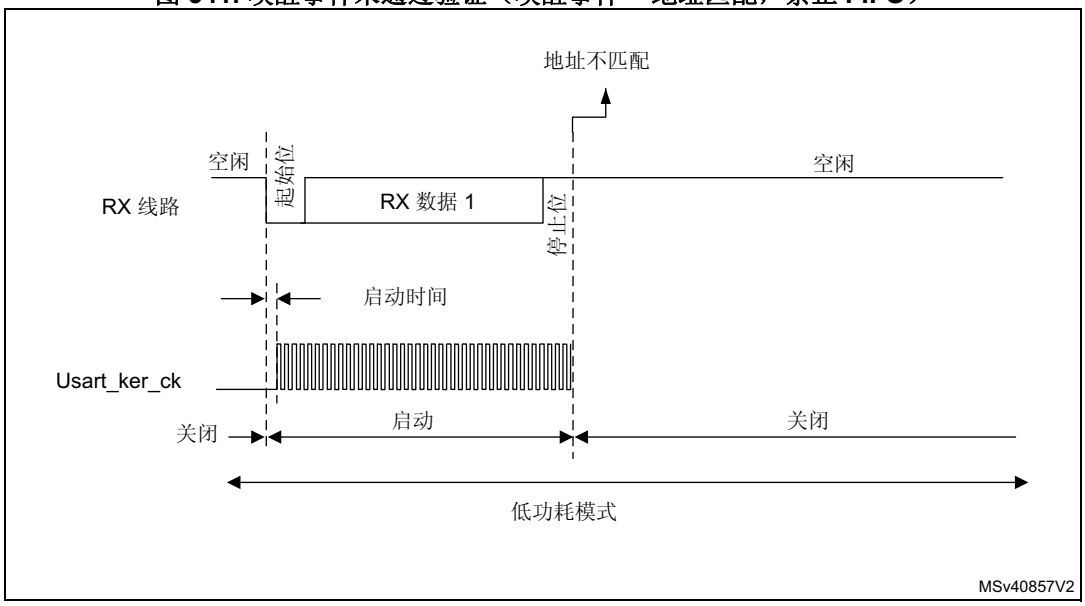


图 341 所示为唤醒事件未通过验证时的 USART 行为。

图 341. 唤醒事件未通过验证（唤醒事件 = 地址匹配，禁止 FIFO）



注： *将地址匹配或任一接收的帧用作唤醒事件时，如上两图适用。如果唤醒事件为起始位检测，则 USART 会在起始位结束时向 MCU 发送唤醒事件。*

确定允许从低功耗模式正确唤醒微控制器的最大 USART 波特率

允许从低功耗模式正确唤醒微控制器的最大波特率取决于唤醒时间参数（请参见器件数据手册）和 USART 接收器容差（请参见*第 32.5.8 节：USART 接收器对时钟偏差的容差*）。

举例来说：OVER8 = 0，M 位 = “01”，ONEBIT = 0，BRR [3:0] = 0000。

在这些条件下，根据*表 169：BRR [3:0] = 0000 时的 USART 接收器容差*，USART 接收器的容差为 3.41%。

DTRA + DQUANT + DREC + DTCL + DWU < USART 接收器的容差

$D_{WUmax} = t_{WUUSART} / (11 \times T_{bit\ Min})$

$T_{bit\ Min} = = t_{WUUSART} / (11 \times D_{WUmax})$

其中 $t_{WUUSART}$ 为从低功耗模式唤醒的时间。

考虑一种理想情况：参数 DTRA、DQUANT、DREC 和 DTCL 为 0%，则 DWU 的最大值为 3.41%。实际上，我们至少需要考虑 usart_ker_ck 不精确的情况。

例如，如果将 HSI 用作 usart_ker_ck，HSI 的不精确度为 1%，则可以得到：

$t_{WUUSART}$ = 3 µs（仅提供数值作为参考；有关正确数值，请参见器件数据手册）。

D_{WUmax} = 3.41% - 1% = 2.41%

$T_{bit\ min}$ = 3 µs/ (11 x 2.41%) = 11.32 µs

结果，允许从低功耗模式正确唤醒的最大波特率为：1/11.32 µs = 88.36 K 波特。

32.6 USART 中断

在 USART 通信过程中，中断 (usart_it) 可由不同事件生成。USART 模块也可生成唤醒中断 (usart_wkup)。

有关所有 USART 中断请求的详细说明，请参见*表 172*。

表 172. USART 中断请求

中断事件	事件标志	使能控制位	中断清除方法	中断已激活	
				usart_it	usart_wkup
发送数据寄存器为空	TXE	TXEIE	TXE 在 TDR 中被写入数据时清零	是	否
发送 FIFO 未满	TXFNF	TXFNFIE	TXFNF 在 TXFIFO 已满时清零	是	否
发送 FIFO 为空	TXFE	TXFEIE	TXFE 在 TXFIFO 包含至少一个数据时清零，或通过将 TXFRQ 位置 1 来清零	是	是
达到发送 FIFO 阈值	TXFT	TXFTIE	TXFT 在 TXFIFO 内容少于编程的阈值时由硬件清零	是	是
CTS 中断	CTSIF	CTSIE	CTSIF 由软件通过将 CTSCF 位置 1 来清零	是	否
发送完成	TC	TCIE	TC 在 TDR 中被写入数据时清零，或通过将 TCCF 位置 1 来清零	是	否

表 172. USART 中断请求 （续）

中断事件	事件标志	使能控制位	中断清除方法	中断已激活	
				usart_it	usart_wkup
保护时间前发送完成	TCBGT	TCBGTIE	TCBGT 在 TDR 中被写入数据时清零，或通过将 TCBGTCF 位置 1 来清零	是	否
接收数据寄存器不为空（已准备好读取数据）	RXNE	RXNEIE	RXNE 通过读取 RDR 或通过将 RXFRQ 位置 1 来清零	是	是
接收 FIFO 非空	RXFNE	RXFNEIE	RXFNE 在 RXFIFO 为空时清零，或通过将 RXFRQ 位置 1 来清零	是	是
接收 FIFO 已满	RXFF(1)	RXFFIE	RXFF 在 RXFIFO 至少包含一个数据时清零	是	是
达到接收 FIFO 阈值	RXFT	RXFTIE	RXFT 在 RXFIFO 内容少于编程的阈值时由硬件清零	是	是
检测到溢出错误	ORE	RX-NEIE/RXFNEIE	ORE 通过将 ORECF 位置 1 来清零	是	否
检测到空闲线路	IDLE	IDLEIE	IDLE 通过将 IDLECF 位置 1 来清零	是	否
奇偶校验错误	PE	PEIE	PE 通过将 PECF 位置 1 来清零	是	否
LIN 断路	LBDF	LBDIE	LBDF 通过将 LBDCF 位置 1 来清零	是	否
多缓冲区通信中的噪声标志、溢出错误和帧错误。	NE 或 ORE 或 FE	EIE	NE 通过将 NECF 位置 1 来清零 ORE 通过将 ORECF 位置 1 来清零 FE 标志通过将 FECF 位置 1 来清零	是	否
字符匹配	CMF	CMIE	CMF 通过将 CMCF 位置 1 来清零	是	否
接收器超时	RTOF	RTOFIE	RTOF 通过将 RTOCCF 位置 1 来清零	是	否
块结束	EOBF	EOBIE	EOBF 通过将 EOBCF 位置 1 来清零	是	否
从低功耗模式唤醒	WUF	WUFIE	WUF 通过将 WUCF 位置 1 来清零	是	是
SPI 从器件下溢错误	UDR	EIE	UDR 通过将 UDRCF 位置 1 来清零	是	否
达到发送 FIFO 阈值	TXFT	TXFTIE	TXFT 在 TXFIFO 内容少于编程的阈值时由硬件清零	是	是
达到接收 FIFO 阈值	RXFT	RXFTIE	RXFT 在 RXFIFO 内容少于编程的阈值时由硬件清零	是	是

1. 如果 USART 接收 n+1 个数据（n 表示 RXFIFO 大小，RXFIFO 中有 n 个数据，USART_RDR 中有 1 个数据），则 RXFF 标志置位。在停止模式下，未向 USART_RDR 提供时钟。因此，将不会对该寄存器进行写操作，一旦有 n 个数据被接收并写入到 RXFIFO，RXFF 中断将生效（RXFF 标志未置 1）。

32.7 USART 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

32.7.1 USART 控制寄存器 1 [复用] (USART_CR1)

USART control register 1

偏移地址：0x00

复位值：0x0000 0000

同一寄存器可用于使能 FIFO 模式（本节）和禁止 FIFO 模式（下一节）的情况。

使能 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXFFIE	TXFEIE	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **RXFFIE**：RXFIFO 变满时中断使能 (RXFIFO Full interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 RXFF=1 时，生成 USART 中断

位 30 **TXFEIE**：TXFIFO 为空时中断使能 (TXFIFO empty interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 TXFE=1 时，生成 USART 中断

位 29 **FIFOEN**：FIFO 模式使能 (FIFO mode enable)

此位由软件置 1 和清零。

0：禁止 FIFO 模式。

1：使能 FIFO 模式。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　FIFO 模式只能在标准 UART 通信、SPI 主/从器件模式和智能卡模式下使用，不得在 IrDA 和 LIN 模式下使能。

位 28 **M1**：字长 (Word length)

此位必须与位 12 (M0) 搭配使用来确定字长度。该位由软件置 1 或清零。

M[1:0] = “00”：1 个起始位，8 个数据位，n 个停止位

M[1:0] = “01”：1 个起始位，9 个数据位，n 个停止位

M[1:0] = “10”：1 个起始位，7 个数据位，n 个停止位

只有在禁止 USART (UE=0) 时才能写入此位。

注：　在 7 位数据长度模式下，不支持智能卡模式、LIN 主模式和自动波特率（0x7F 帧和 0x55 帧检测）。

位 27 **EOBIE**：块结束中断使能 (End of Block interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：USART_ISR 寄存器中的 EOBF 标志置 1 时生成 USART 中断

注：　如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 26 **RTOIE**：接收器超时中断使能 (Receiver timeout interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：USART_ISR 寄存器中的 RTOF 位置 1 时生成 USART 中断。

注：　如果 USART 不支持接收器超时功能，该位保留且必须保持复位值。第 898 页的第 32.4 节：USART 实现.

位 25:21 **DEAT[4:0]**：驱动器使能使能时间 (Driver Enable assertion time)

该 5 位值用于定义激活 DE（启动器使能）信号与起始位开始间的时间。此时间以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果不支持驱动器使能功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 20:16 **DEDT[4:0]**：驱动器使能禁止时间 (Driver Enable deassertion time)

该 5 位值用于定义发送的消息中最后一个停止位结束与取消激活 DE（驱动器使能）信号间的时间。此时间以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

如果在 DEDT 时间内对 USART_TDR 寄存器执行写操作，则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果不支持驱动器使能功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 15 **OVER8**：过采样模式 (Oversampling mode)

0：16 倍过采样

1：8 倍过采样

只有在禁止 USART (UE=0) 时才能写入此位。

注：　在 LIN、IrDA 和智能卡模式下，此位必须保持清零。

位 14 **CMIE**：字符匹配中断使能 (Character match interrupt enable)

此位由软件置 1 和清零。

0：禁止中断。

1：USART_ISR 寄存器中的 CMF 位置 1 时生成 USART 中断。

位 13 **MME**：静默模式使能 (Mute mode enable)

此位可使能 USART 静默模式功能。此位置 1 时，USART 会按照 WAKE 位的定义在工作模式与静默模式之间切换。该位由软件置 1 和清零。

0：接收器永久处于活动模式。

1：接收器可在静默模式和活动模式之间切换。

位 12 **M0**：字长 (Word length)

此位与位 28 (M1) 搭配使用来确定字长度。它由软件置 1 或清零（请参见位 28 (M1) 的说明）。

只有在禁止 USART (UE=0) 时才能写入此位。

位 11 **WAKE**：接收器唤醒方法 (Receiver wakeup method)

此位用于确定 USART 静默模式的唤醒方法。该位由软件置 1 或清零。

0：空闲线路

1：地址标记

只有在禁止 USART (UE=0) 时才能写入此位域。

位 10 **PCE**：奇偶校验控制使能 (Parity control enable)

该位选择硬件奇偶校验控制（生成和检测）。使能奇偶校验控制时，计算出的奇偶校验位被插入到 MSB 位置（如果 M=1，则为第 9 位；如果 M=0，则为第 8 位），并对接收到的数据检查奇偶校验位。此位由软件置 1 和清零。一旦该位置 1，PCE 在当前字节的后面处于活动状态（在接收和发送时）。

0：禁止奇偶校验控制

1：使能奇偶校验控制

只有在禁止 USART (UE=0) 时才能写入此位域。

位 9 **PS**：奇偶校验选择 (Parity selection)

该位用于在使能奇偶校验生成/检测（PCE 位置 1）时选择奇校验或偶校验。该位由软件置 1 和清零。将在当前字节的后面选择奇偶校验。

0：偶校验

1：奇校验

只有在禁止 USART (UE=0) 时才能写入此位域。

位 8 **PEIE**：PE 中断使能 (PE interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 PE=1 时，生成 USART 中断

位 7 **TXFNFIE**：TXFIFO 未满中断使能 (TXFIFO not full interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 TXFNF=1 时，生成 USART 中断

位 6 **TCIE**：传输完成中断使能 (Transfer complete interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 TC=1 时，生成 USART 中断

位 5 **RXFNEIE**：RXFIFO 非空中断使能 (RXFIFO not empty interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 ORE=1 或 RXFNE=1 时，生成 USART 中断

位 4 **IDLEIE**：IDLE 中断使能 (IDLE interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 IDLE=1 时，生成 USART 中断

位 3 **TE**：发送器使能 (Transmitter enable)

该位使能发送器。该位由软件置 1 和清零。

0：禁止发送器

1：使能发送器

注： *除了在智能卡模式下以外，传送期间 TE 位上的低电平脉冲（“0”后紧跟的是“1”）会在当前字的后面发送一个报头（空闲线路）。为生成空闲字符，TE 不能立即写入“1”。为确保所需的持续时间，软件可轮询 USART_ISR 寄存器中的 TEACK 位。*

在智能卡模式下，当 TE 置 1 时，在发送开始前存在 1 位的时间延迟。

位 2 **RE**：接收器使能 (Receiver enable)

该位使能接收器。该位由软件置 1 和清零。

0：禁止接收器

1：使能接收器并开始搜索起始位

位 1 **UESM**：低功耗模式下的 USART 使能 (USART enable in low-power mode)

当此位清零时，USART 无法将 MCU 从低功耗模式唤醒。

当此位置 1 时，USART 可将 MCU 从低功耗模式唤醒。

此位由软件置 1 和清零。

0：USART 无法将 MCU 从低功耗模式唤醒。

1：USART 能够将 MCU 从低功耗模式唤醒。

注： *建议在进入低功耗模式前将 UESM 位置 1，并在退出低功耗模式时将其清零。*

如果 USART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 0 **UE**：USART 使能 (USART enable)

此位清零后，USART 预分频器和输出将立即停止，并丢弃所有当前操作。USART 配置会保留，而所有的 USART_ISR 状态标志均会复位。此位由软件置 1 和清零。

0：禁止 USART 预分频器和输出，低功耗模式

1：使能 USART

注： *为进入低功耗模式而不在线路上生成错误，之前必须复位 TE 位，并且软件必须等待 USART_ISR 中的 TC 位置 1 后才能复位 UE 位。*

UE = 0 时也会复位 DMA 请求，因必须在复位 UE 位前禁止 DMA 通道。

在智能卡模式下 (SCEN = 1)，无论 UE 位值为何，当 CLKEN = 1 时，SCLK 始终可用。

32.7.2 USART 控制寄存器 1 [复用] (USART_CR1)

USART control register 1

偏移地址：0x00

复位值：0x0000 0000

同一寄存器可用于使能 FIFO 模式（上一节）和禁止 FIFO 模式（本节）的情况。

禁止 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFO EN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]				
		rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:30 保留，必须保持复位值。

位 29 **FIFOEN**：FIFO 模式使能 (FIFO mode enable)

此位由软件置 1 和清零。

0：禁止 FIFO 模式。

1：使能 FIFO 模式。

只有在禁止 USART (UE=0) 时才能写入此位域。

注： FIFO 模式只能在标准 UART 通信、SPI 主/从器件模式和智能卡模式下使用，不得在 IrDA 和 LIN 模式下使能。

位 28 **M1**：字长 (Word length)

此位必须与位 12 (M0) 搭配使用来确定字长度。该位由软件置 1 或清零。

M[1:0] = “00”： 1 个起始位，8 个数据位，n 个停止位

M[1:0] = “01”： 1 个起始位，9 个数据位，n 个停止位

M[1:0] = “10”： 1 个起始位，7 个数据位，n 个停止位

只有在禁止 USART (UE=0) 时才能写入此位。

注： 在 7 位数据长度模式下，不支持智能卡模式、LIN 主模式和自动波特率（0x7F 帧和 0x55 帧检测）。

位 27 **EOBIE**：块结束中断使能 (End of Block interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：USART_ISR 寄存器中的 EOBF 标志置 1 时生成 USART 中断

注： 如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 26 **RTOIE**：接收器超时中断使能 (Receiver timeout interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：USART_ISR 寄存器中的 RTOF 位置 1 时生成 USART 中断

注： 如果 USART 不支持接收器超时功能，该位保留且必须保持复位值。第 898 页的第 32.4 节：USART 实现。

位 25:21 **DEAT[4:0]**：驱动器使能使能时间 (Driver Enable assertion time)

该 5 位值用于定义激活 DE（启动器使能）信号与起始位开始间的时间。此时间以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果不支持驱动器使能功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 20:16 **DEDT[4:0]**：驱动器使能禁止时间 (Driver Enable deassertion time)

该 5 位值用于定义发送的消息中最后一个停止位结束与取消激活 DE（驱动器使能）信号间的时间。此时间以采样时间单位表示（1/8 或 1/16 位时间，具体取决于过采样速率）。

如果在 DEDT 时间内对 USART_TDR 寄存器执行写操作，则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果不支持驱动器使能功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 15 **OVER8**：过采样模式 (Oversampling mode)

0：16 倍过采样

1：8 倍过采样

只有在禁止 USART (UE=0) 时才能写入此位。

注：　在 LIN、IrDA 和智能卡模式下，此位必须保持清零。

位 14 **CMIE**：字符匹配中断使能 (Character match interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：USART_ISR 寄存器中的 CMF 位置 1 时生成 USART 中断。

位 13 **MME**：静默模式使能 (Mute mode enable)

此位可使能 USART 静默模式功能。此位置 1 时，USART 会按照 WAKE 位的定义在工作模式与静默模式之间切换。该位由软件置 1 和清零。

0：接收器永久处于活动模式

1：接收器可在静默模式和活动模式之间切换。

位 12 **M0**：字长 (Word length)

此位与位 28 (M1) 搭配使用来确定字长度。它由软件置 1 或清零（请参见位 28 (M1) 的说明）。

只有在禁止 USART (UE=0) 时才能写入此位。

位 11 **WAKE**：接收器唤醒方法 (Receiver wakeup method)

此位用于确定 USART 静默模式的唤醒方法。该位由软件置 1 或清零。

0：空闲线路

1：地址标记

只有在禁止 USART (UE=0) 时才能写入此位域。

位 10 **PCE**：奇偶校验控制使能 (Parity control enable)

该位选择硬件奇偶校验控制（生成和检测）。使能奇偶校验控制时，计算出的奇偶校验位被插入到 MSB 位置（如果 M=1，则为第 9 位；如果 M=0，则为第 8 位），并对接收到的数据检查奇偶校验位。此位由软件置 1 和清零。一旦该位置 1，PCE 在当前字节的后面处于活动状态（在接收和发送时）。

0：禁止奇偶校验控制

1：使能奇偶校验控制

只有在禁止 USART (UE=0) 时才能写入此位域。

位 9 **PS**：奇偶校验选择 (Parity selection)

该位用于在使能奇偶校验生成/检测（PCE 位置 1）时选择奇校验或偶校验。该位由软件置 1 和清零。将在当前字节的后面选择奇偶校验。

0：偶校验

1：奇校验

只有在禁止 USART (UE=0) 时才能写入此位域。

位 8 **PEIE**：PE 中断使能 (PE interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 PE=1 时，生成 USART 中断

位 7 **TXEIE**：发送数据寄存器为空 (Transmit data register empty)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 TXE=1 时，生成 USART 中断

位 6 **TCIE**：传输完成中断使能 (Transfer complete interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 TC=1 时，生成 USART 中断

位 5 **RXNEIE**：接收数据寄存器非空 (Receive data register not empty)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 ORE=1 或 RXNE=1 时，生成 USART 中断

位 4 **IDLEIE**：IDLE 中断使能 (IDLE interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 IDLE=1 时，生成 USART 中断

位 3 **TE**：发送器使能 (Transmitter enable)

该位使能发送器。该位由软件置 1 和清零。

0：禁止发送器

1：使能发送器

注：　除了在智能卡模式下以外，传送期间 TE 位上的低电平脉冲（“0”后紧跟的是“1”）会在当前字的后面发送一个报头（空闲线路）。为生成空闲字符，TE 不能立即写入“1”。为确保所需的持续时间，软件可轮询 USART_ISR 寄存器中的 TEACK 位。

在智能卡模式下，当 TE 置 1 时，在发送开始前存在 1 位的时间延迟。

位 2 **RE**：接收器使能 (Receiver enable)

该位使能接收器。该位由软件置 1 和清零。

0：禁止接收器

1：使能接收器并开始搜索起始位

位 1 **UESM**：低功耗模式下的 USART 使能 (USART enable in low-power mode)

当此位清零时，USART 无法将 MCU 从低功耗模式唤醒。

当此位置 1 时，USART 可将 MCU 从低功耗模式唤醒。

此位由软件置 1 和清零。

0：USART 无法将 MCU 从低功耗模式唤醒。

1：USART 能够将 MCU 从低功耗模式唤醒。

注：　建议在进入低功耗模式前将 UESM 位置 1，并在退出低功耗模式时将其清零。

如果 USART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 0 **UE**：USART 使能 (USART enable)

此位清零后，USART 预分频器和输出将立即停止，并丢弃所有当前操作。USART 配置会保留，而所有的 USART_ISR 状态标志均会复位。此位由软件置 1 和清零。

0：禁止 USART 预分频器和输出，低功耗模式

1：使能 USART

注： 为进入低功耗模式而不在线路上生成错误，之前必须复位 TE 位，并且软件必须等待 USART_ISR 中的 TC 位置 1 后才能复位 UE 位。

UE = 0 时也会复位 DMA 请求，因必须在复位 UE 位前禁止 DMA 通道。

在智能卡模式下 (SCEN = 1)，无论 UE 位值为何，当 CLKEN = 1 时，SCLK 始终可用。

32.7.3 USART 控制寄存器 2 (USART_CR2)

USART control register 2

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								RTOEN	ABRMOD[1:0]		ABREN	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res.	LBDIE	LBDL	ADDM7	DIS_NSS	Res.	Res.	SLVEN
rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw			rw

位 31:24 **ADD[7:0]**：USART 节点的地址 (Address of the USART node)

ADD[7:4]：

这些位用于指定 USART 节点的地址或要识别的字符代码。

它们在多处理器通信时于静默模式或低功耗模式下使用，以通过 7 位地址标记检测唤醒 MCU。发送器发送字符的 MSB 应为 1。它们还可用于正常接收和静默模式无效时的字符检测（例如，ModBus 协议中的块结束检测）。这种情况下，接收到的整个字符（8 位）将与 ADD[7:0] 值进行比较，如果匹配，CMF 标志将置 1。

仅在禁止接收 (RE = 0) 或禁止 USART (UE = 0) 时才能写入这些位。

ADD[3:0]：

这些位用于指定 USART 节点的地址或要识别的字符代码。

它们在多处理器通信时于静默模式或低功耗模式下使用，以通过地址标记检测进行唤醒。

仅在禁止接收 (RE = 0) 或禁止 USART (UE = 0) 时才能写入这些位。

位 23 **RTOEN**：接收器超时使能 (Receiver timeout enable)

此位由软件置 1 和清零。

0：禁止接收器超时功能。

1：使能接收器超时功能。

使能此功能后，如果 RX 线路在 RTOR（接收器超时寄存器）中编程的持续时间内处于空闲状态（无接收），则 USART_ISR 寄存器中的 RTOF 标志置 1。

注： 如果 USART 不支持接收器超时功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 22:21 **ABRMOD[1:0]**：自动波特率模式 (Auto baud rate mode)

这些位将由软件置 1 和清零。

00：通过测量起始位检测波特率。

01：下降沿到下降沿的测量（接收到的帧必须以一个等于 1 的位开头，即帧 = 10xxxxxx）

10：0x7F 帧检测。

11：0x55 帧检测。

仅在 ABREN = 0 时或禁止 USART (UE=0) 时才能写入该位域。

注：　如果 DATAINV=1 且/或 MSBFIRST=1，这些模式必须与在线路上时相同，例如 MSBFIRST 的 0xAA。

如果 USART 不支持自动波特率功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 20 **ABREN**：自动波特率使能 (Auto baud rate enable)

此位由软件置 1 和清零。

0：禁止自动波特率检测。

1：使能自动波特率检测。

注：　如果 USART 不支持自动波特率功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 19 **MSBFIRST**：最高有效位在前 (Most significant bit first)

此位由软件置 1 和清零。

0：在起始位之后，首先使用数据位 0 发送/接收数据。

1：在起始位之后，首先使用 MSB（位 7/8）发送/接收数据。

只有在禁止 USART (UE=0) 时才能写入此位域。

位 18 **DATAINV**：二进制数据反向 (Binary data inversion)

此位由软件置 1 和清零。

0：按正/正向逻辑发送/接收数据寄存器中的逻辑数据。（1=H，0=L）

1：按负/反向逻辑发送/接收数据寄存器中的逻辑数据。（1=L，0=H）。奇偶校验位也取反。

只有在禁止 USART (UE=0) 时才能写入此位域。

位 17 **TXINV**：TX 引脚有效电平反向 (TX pin active level inversion)

此位由软件置 1 和清零。

0：TX 引脚信号使用标准逻辑电平（V_{DD} = 1/空闲，Gnd = 0/标记）工作

1：对 TX 引脚信号值取反。（V_{DD} = 0/标记，Gnd=1/空闲）。

允许在 TX 线路上使用外部反相器。

只有在禁止 USART (UE=0) 时才能写入此位域。

位 16 **RXINV**：RX 引脚有效电平反向 (RX pin active level inversion)

此位由软件置 1 和清零。

0：RX 引脚信号使用标准逻辑电平（V_{DD} = 1/空闲，Gnd = 0/标记）工作。

1：对 RX 引脚信号值取反。（V_{DD} = 0/标记，Gnd=1/空闲）。

允许在 RX 线路上使用外部反相器。

只有在禁止 USART (UE=0) 时才能写入此位域。

位 15 **SWAP**：交换 TX/RX 引脚 (Swap TX/RX pins)

此位由软件置 1 和清零。

0：按标准引脚排列定义使用 TX/RX 引脚。

1：交换 TX 和 RX 引脚功能。允许在与另一个 UART 的交叉连接时工作。

只有在禁止 USART (UE=0) 时才能写入此位域。

位 14 **LINEN**：LIN 模式使能 (LIN mode enable)

此位由软件置 1 和清零。

0：禁止 LIN 模式

1：使能 LIN 模式

LIN 模式可以使用 USART_CR1 寄存器中的 SBKRQ 位发送 LIN 同步断路（13 个低位），并可检测 LIN 同步断路。

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果 USART 不支持 LIN 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 13:12 **STOP[1:0]**：停止位 (STOP bits)

这些位用于编程停止位。

00：1 个停止位

01：0.5 个停止位

10：2 个停止位

11：1.5 个停止位

只有在禁止 USART (UE=0) 时才能写入此位域。

位 11 **CLKEN**：时钟使能 (Clock enable)

该位允许用户使能 SCLK 引脚。

0：禁止 SCLK 引脚

1：使能 SCLK 引脚

只有在禁止 USART (UE=0) 时才能写入此位。

注：　如果既不支持同步模式，也不支持智能卡模式，则该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

在智能卡模式下，为了向智能卡正确提供 SCLK 时钟，必须按以下步骤操作：

UE = 0

SCEN = 1

GTPR 配置

CLKEN= 1

UE = 1

位 10 **CPOL**：时钟极性 (Clock polarity)

该位允许用户在同步模式下选择 SCLK 引脚上时钟输出的极性。它与 CPHA 位结合使用可获得所需的时钟 / 数据关系

0：空闲时 SCLK 引脚为低电平

1：空闲时 SCLK 引脚为高电平

只有在禁止 USART (UE=0) 时才能写入此位。

注：　如果不支持同步模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 9 **CPHA**：时钟相位 (Clock phase)

此位用于在同步模式下选择 SCLK 引脚上时钟输出的相位。它与 CPOL 位结合使用可获得所需的时钟 / 数据关系（请参见*图 321* 和*图 322*）

0：从第一个时钟边沿开始采样数据

1：从第二个时钟边沿开始采样数据

只有在禁止 USART (UE=0) 时才能写入此位。

注：　如果不支持同步模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 8 **LBCL**：最后一个位时钟脉冲 (Last bit clock pulse)

此位用于在同步模式下选择与发送的最后一个数据位 (MSB) 关联的时钟脉冲是否必须在 SCLK 引脚上输出。

0：最后一个数据位的时钟脉冲不在 SCLK 引脚上输出

1：最后一个数据位的时钟脉冲在 SCLK 引脚上输出

注意： 最后一位为发送的第 7 个、第 8 个或第 9 个数据位，具体取决于 USART_CR1 寄存器中 M 位所选择的 7 位、 8 位或 9 位格式。

只有在禁止 USART (UE=0) 时才能写入此位。

注： 如果不支持同步模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 7 保留，必须保持复位值。

位 6 **LBDIE**：LIN 断路检测中断使能 (LIN break detection interrupt enable)

断路中断屏蔽（使用中断分隔符进行中断检测）

0：禁止中断

1：当 USART_ISR 寄存器中 LBDF = 1 时，生成中断

注： 如果不支持 LIN 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 5 **LBDL**：LIN 断路检测长度 (LIN break detection length)

该位用于选择 11 位中断检测或 10 位中断检测。

0：10 位中断检测

1：11 位中断检测

只有在禁止 USART (UE=0) 时才能写入此位。

注： 如果不支持 LIN 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 4 **ADDM7**：7 位地址检测/4 位地址检测 (7-bit Address Detection/4-bit Address Detection)

此位用于选择 4 位地址检测或 7 位地址检测。

0：4 位地址检测

1：7 位地址检测（在 8 位数据模式下）

只有在禁止 USART (UE=0) 时才能写入该位

注： 在 7 位和 9 位数据模式下，地址检测分别在 6 位和 8 位地址上完成（ADD[5:0] 和 ADD[7:0]）。

位 3 **DIS_NSS**：

当 DIS_NSS 位置 1 时，忽略 NSS 引脚输入。

0：SPI 从器件选择取决于 NSS 输入引脚。

1：始终选择 SPI 从器件，忽略 NSS 输入引脚。

注： 不支持 SPI 从器件模式时，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 2:1 保留，必须保持复位值。

位 0 **SLVEN**：同步从模式使能 (Synchronous Slave mode enable)

SLVEN 位置 1 时，使能同步从模式。

0：禁止从模式。

1：使能从模式。

注： 不支持 SPI 从器件模式时，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

注： 使能发送器时不应对 CPOL、CPHA 和 LBCL 位进行写操作。

32.7.4 USART 控制寄存器 3 (USART_CR3)

USART control register 3

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXF TIE	RXFTCFG[2:0]			TCBG TIE	TXFTIE	WUFIE	WUS[1:0]		SCARCNT[2:0]			Res.
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVR DIS	ONE BIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HD SEL	IRLP	IREN	EIE
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:29 **TXFTCFG[2:0]**：TXFIFO 阈值配置 (TXFIFO threshold configuration)

000：TXFIFO 达到其深度的 1/8
001：TXFIFO 达到其深度的 1/4
010：TXFIFO 达到其深度的 1/2
011：TXFIFO 达到其深度的 3/4
100：TXFIFO 达到其深度的 7/8
101：TXFIFO 变空
其余组合：保留

位 28 **RXFTIE**：RXFIFO 阈值中断使能 (RXFIFO threshold interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当接收 FIFO 达到 RXFTCFG 中编程的阈值时，生成 USART 中断

位 27:25 **RXFTCFG[2:0]**：接收 FIFO 阈值配置 (Receive FIFO threshold configuration)

000：接收 FIFO 达到其深度的 1/8
001：接收 FIFO 达到其深度的 1/4
010：接收 FIFO 达到其深度的 1/2
011：接收 FIFO 达到其深度的 3/4
100：接收 FIFO 达到其深度的 7/8
101：接收 FIFO 已满
其余组合：保留

位 24 **TCBGTIE**：保护时间前发送完成中断使能 (Transmission Complete before guard time, interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当 USART_ISR 寄存器中的 TCBGT=1 时，生成 USART 中断

注：　如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 23 **TXFTIE**：TXFIFO 阈值中断使能 (TXFIFO threshold interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当 TXFIFO 达到 TXFTCFG 中编程的阈值时，生成 USART 中断

位 22 **WUFIE**：从低功耗模式唤醒中断使能 (Wakeup from low-power mode interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 USART_ISR 寄存器中的 WUF=1 时，生成 USART 中断

注： *WUFIE 必须在进入低功耗模式前置 1。*

如果 USART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 21:20 **WUS[1:0]**：从低功耗模式唤醒中断标志选择 (Wakeup from low-power mode interrupt flag selection)

该位域用于指定激活 WUF（从低功耗模式唤醒标志）的事件。

00：WUF 在地址匹配时激活（按 ADD[7:0] 和 ADDM7 所定义）

01：保留。

10：WUF 在起始位检测时激活。

11：WUF 在 RXNE/RXFNE 时激活。

只有在禁止 USART (UE=0) 时才能写入此位域。

如果 USART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 19:17 **SCARCNT[2:0]**：智能卡自动重试计数 (Smartcard auto-retry count)

此位域用于指定智能卡模式下发送和接收的重试次数。

在发送模式下，此位域用于指定生成发送错误（FE 位置 1）前自动重新发送的重试次数。

在接收模式下，此位域用于指定生成接收错误（RXNE/RXFNE 位和 PE 位置 1）前错误接收尝试的次数。

只有在禁止 USART (UE=0) 时才能编程此位域。

使能 USART (UE=1) 时，此位域只能写入 0x0，以停止重新发送。

0x0：禁止重新发送——发送模式下不会自动重新发送。

0x1 到 0x7：自动重新发送的尝试次数（发出错误信号前）

注： *如果不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 16 保留，必须保持复位值。

位 15 **DEP**：驱动器使能极性选择 (Driver enable polarity selection)

0：DE 信号高电平有效。

1：DE 信号低电平有效。

只有在禁止 USART (UE=0) 时才能写入此位。

注： *如果不支持驱动器使能功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 14 **DEM**：驱动器使能模式 (Driver enable mode)

此位用于通过 DE 信号激活外部收发器控制。

0：禁止 DE 功能。

1：使能 DE 功能。DE 信号在 RTS 引脚上输出。

只有在禁止 USART (UE=0) 时才能写入此位。

注： *如果不支持驱动器使能功能，该位保留且必须保持复位值。第 898 页的第 32.4 节：USART 实现.*

位 13 **DDRE**：接收出错时的 DMA 禁止 (DMA Disable on Reception Error)

0：接收出错时不禁止 DMA。相应的错误标志置 1，但 RXNE 保持为 0 以防止上溢。因此，将不使能 DMA 请求，从而不会传送错误数据（无 DMA 请求），但会传送接收到的下一个正确数据。（用于智能卡模式）

1：接收出错后禁止 DMA。相应的错误标志以及 RXNE 均置 1。屏蔽 DMA 请求，直到错误标志清零。这意味着软件必须首先禁止 DMA 请求 (DMAR = 0) 或者将 RXNE（使能 FIFO 模式时为 RXFNE）清零，然后再将错误标志清零。

只有在禁止 USART (UE=0) 时才能写入此位。

注： 接收错误包括：奇偶校验错误、帧错误或噪声错误。

位 12 **OVRDIS**：上溢禁止 (Overrun Disable)

此位用于禁止接收上溢检测。

0：接收新数据前未读取已接收的数据时，上溢错误标志 ORE 置 1。

1：禁止上溢功能。如果在 RXNE 标志仍置 1 时接收到新数据，则 ORE 标志不会置 1，且新接收的数据会覆盖 USART_RDR 寄存器之前的内容。使能 FIFO 模式时，RXFIFO 将被旁路，数据将直接写入 USART_RDR 寄存器中。即使在使能 FIFO 管理时，也将使用 RXNE 标志。

只有在禁止 USART (UE=0) 时才能写入此位。

注： 此控制位用于检查通信流而不会读取数据

位 11 **ONEBIT**：一个采样位方法使能 (One sample bit method enable)

该位允许用户选择采样方法。选择一个采样位方法后，将禁止噪声检测标志 (NE)。

0：三个采样位方法

1：一个采样位方法

只有在禁止 USART (UE=0) 时才能写入此位。

位 10 **CTSIE**：CTS 中断使能 (CTS interrupt enable)

0：禁止中断

1：当 USART_ISR 寄存器中 CTSIF = 1 时，生成中断

注： 如果不支持硬件流控制功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 9 **CTSE**：CTS 使能 (CTS enable)

0：禁止 CTS 硬件流控制

1：使能 CTS 模式，仅当 nCTS 输入有效（连接到 0）时才发送数据。如果在发送数据时使 nCTS 输入无效，会在停止之前完成发送。如果使 nCTS 有效时数据已写入数据寄存器，则将延迟发送，直到 nCTS 有效。

只有在禁止 USART (UE=0) 时才能写入该位

注： 如果不支持硬件流控制功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 8 **RTSE**：RTS 使能 (RTS enable)

0：禁止 RTS 硬件流控制

1：使能 RTS 输出，仅当接收缓冲区中有空间时才会请求数据。发送完当前字符后应停止发送数据。可以接收数据时使 nRTS 输出有效（拉至 0）。

只有在禁止 USART (UE=0) 时才能写入此位。

注： 如果不支持硬件流控制功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 7 **DMAT**：DMA 使能发送器 (DMA enable transmitter)

该位由软件置 1/复位。

1：针对发送使能 DMA 模式

0：针对发送禁止 DMA 模式

位 6 **DMAR**：DMA 使能接收器 (DMA enable receiver)

该位由软件置 1/复位。

1：针对接收使能 DMA 模式

0：针对接收禁止 DMA 模式

位 5 **SCEN**：智能卡模式使能 (Smartcard mode enable)

该位用于使能智能卡模式。

0：禁止智能卡模式

1：使能智能卡模式

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 4 **NACK**：智能卡 NACK 使能 (Smartcard NACK enable)

0：出现奇偶校验错误时禁止 NACK 发送

1：出现奇偶校验错误时使能 NACK 发送

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 3 **HDSEL**：半双工选择 (Half-duplex selection)

选择单线半双工模式

0：未选择半双工模式

1：选择半双工模式

只有在禁止 USART (UE=0) 时才能写入此位。

位 2 **IRLP**：IrDA 低功耗模式 (IrDA low-power)

该位用于选择正常模式和低功耗 IrDA 模式

0：正常模式

1：低功耗模式

只有在禁止 USART (UE=0) 时才能写入此位。

注：　如果不支持 IrDA 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 1 **IREN**：IrDA 模式使能 (IrDA mode enable)

此位由软件置 1 和清零。

0：禁止 IrDA

1：使能 IrDA

只有在禁止 USART (UE=0) 时才能写入此位。

注：　如果不支持 IrDA 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 0 **EIE**：错误中断使能 (Error interrupt enable)

如果出现帧错误、上溢错误、噪声标志或 SPI 从器件下溢错误（USART_ISR 寄存器中的 FE=1、ORE=1、NE=1 或 UDR = 1），则需要使用错误中断使能位来使能中断生成。

0：禁止中断

1：USART_ISR 寄存器中的 FE=1、ORE=1、NE=1 或 UDR = 1（在 SPI 从器件模式下）时，生成中断。

32.7.5 USART 波特率寄存器 (USART_BRR)

USART baud rate register

只有在禁止 USART (UE=0) 时才能写入此寄存器。在自动波特率检测模式下，该位由硬件自动更新。

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:0 **BRR[15:0]**：USART 波特率 (USART baud rate)

BRR[15:4]

BRR[15:4] = USARTDIV[15:4]

BRR[3:0]

当 OVER8 = 0 时，BRR[3:0] = USARTDIV[3:0]。

当 OVER8 = 1 时：

BRR[2:0] = USARTDIV[3:0]，右移 1 位。

BRR[3] 必须保持清零。

32.7.6 USART 保护时间和预分频器寄存器 (USART_GTPR)

USART guard time and prescaler register

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GT[7:0]								PSC[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:16 保留，必须保持复位值。

位 15:8 **GT[7:0]**：保护时间值 (Guard time value)

此位域用于编程保护时间值（以波特时钟周期数为单位）。

该位用于智能卡模式。经过此保护时间后，发送完成标志置 1。

只有在禁止 USART (UE=0) 时才能写入此位域。

注： 如果不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 7:0 **PSC[7:0]**：预分频器值 (Prescaler value)

在 IrDA 低功耗和正常的 IrDA 模式下：

PSC[7:0] = IrDA 正常和低功耗波特率

用于编程预分频器，进行 USART 源时钟分频以获得低功耗频率：

使用寄存器中给出的值（8 个有效位）对源时钟进行分频：

00000000：保留 - 不编程此值

00000001：源时钟 1 分频

00000010：源时钟 2 分频

...

在智能卡模式下：

PSC[4:0]：预分频器值 (Prescaler value)

用于编程预分频器，进行 USART 源时钟分频以提供智能卡时钟。

将寄存器中给出的值（5 个有效位）乘以 2 得出源时钟频率的分频系数：

00000：保留 - 不编程此值

00001：源时钟 2 分频

00010：源时钟 4 分频

00011：源时钟 6 分频

...

只有在禁止 USART (UE=0) 时才能写入此位域。

注：　如果使用智能卡模式，则位 [7:5] 必须保持清零。

不支持智能卡和 IrDA 模式时，该位域保留并由硬件强制清零。请参见第 898 页的第 32.4 节：USART 实现。

32.7.7 USART 接收器超时寄存器 (USART_RTOR)

USART receiver timeout register

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
BLEN[7:0]								RTO[23:16]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RTO[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 **BLEN[7:0]**：块长度 (Block Length)

此位域用于提供智能卡 T=1 接收下的块长度。其值等于信息字符数 + 结尾字段的长度 (1-LEC/2-CRC) - 1。

例如：

BLEN = 0 -> 0 个信息字符 + LEC

BLEN = 1 -> 0 个信息字符 + CRC

BLEN = 255 -> 254 个信息字符 + CRC（总共 256 个字符）

在智能卡模式下，块长度计数器在 TXE=0（使能 FIFO 模式时为 TXFE = 0）时复位。

此位域也可用于其他模式。这种情况下，块长度计数器在 RE=0（禁止接收器）和/或 EOBCF 位写入 1 时复位。

注：　块接收开始后可编程此值（使用起始字段中 LEN 字符中的数据）。每个接收到的块只能对此值编程一次。

位 23:0 **RTO[23:0]**：接收器超时值 (Receiver timeout value)

该位域以位数表示接收器超时值，在此期间 RX 线路上没有任何活动。

在标准模式下，如果在接收到最后一个字符后，在 RTO 值对应的时间内未检测到新的起始位，则 RTOF 标志置 1。

在智能卡模式下，此值用于实施 CWT 和 BWT。有关更多详细信息，请参见智能卡章节。在标准模式下，从接收到的最后一个字符的起始位开始执行 CWT/BWT 测量。

注： 每个接收到的字符只能对此值编程一次。

注： 可以实时写入 RTOR。如果新值小于或等于计数器的值，RTOF 标志置 1。

如果不支持接收器超时功能，此寄存器保留并由硬件强制为“0x00000000”。请参见第 898 页的第 32.4 节：USART 实现。

32.7.8 USART 请求寄存器 (USART_RQR)

USART request register

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	ABRRQ
											w	w	w	w	w

位 31:5 保留，必须保持复位值。

位 4 **TXFRQ**：发送数据刷新请求 (Transmit data flush request)

禁止 FIFO 模式时，向该位写入“1”会将 TXE 标志置 1。这可丢弃发送数据。由于错误 (NACK) 而未发送数据且 USART_ISR 寄存器中的 FE 标志有效时，只能在智能卡模式下使用此位。如果 USART 不支持智能卡模式，该位保留且必须保持复位值。

使能 FIFO 时，TXFRQ 位置 1 以清空整个 FIFO。这会将 TXFE 标志（发送 FIFO 为空，USART_ISR 寄存器中的位 23）置 1。在 UART 模式和智能卡模式下都支持清空发送 FIFO。

注： 在 FIFO 模式下，TXFNF 标志在清空请求期间复位，直到 TxFIFO 为空，以确保数据寄存器中没有写入数据。

位 3 **RXFRQ**：接收数据刷新请求 (Receive data flush request)

向该位写入 1 将清空整个接收 FIFO（即，将 RXFNE 位清零）。

这可以丢弃接收的数据而不对其执行读取操作，并避免发生上溢情况。

位 2 **MMRQ**：静默模式请求 (Mute mode request)

向此位写入 1 可将 USART 置于静默模式，并将 RWU 标志复位。

位 1 **SBKRQ**：发送中断请求 (Send break request)

向此位写入 1 可将 SBKF 标志置 1 并在发送设备可用后立即请求在线路上发送 BREAK。

注： 如果应用需要在之前插入的所有数据（包括尚未发送的数据）后发送中断字符，软件应等到 TXE 标志使能后将 SBKRQ 位置 1。

位 0 **ABRRQ**：自动波特率请求 (Auto baud rate request)

向此位写入 1 可复位 USART_ISR 中的 ABRF 标志，并请求对下一个接收到的数据帧进行自动波特率测量。

注：　如果 USART 不支持自动波特率功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

32.7.9 USART 中断和状态寄存器 [复用] (USART_ISR)

USART interrupt and status register

偏移地址：0x1C

复位值：0x0XX0 00C0

使能 FIFO/ 智能卡模式时，XX = 28

使能 FIFO 模式且禁止智能卡模式时，XX = 08

同一寄存器可用于使能 FIFO 模式（本节）和禁止 FIFO 模式（下一节）的情况。

使能 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	TCBGT	RXFF	TXFE	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
				r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:28 保留，必须保持复位值。

位 27 **TXFT**：TXFIFO 阈值标志 (TXFIFO threshold flag)

当 TXFIFO 达到在 USART_CR3 寄存器的 TXFTCFG 中编程的阈值时（即 TXFIFO 包含 TXFTCFG 个空位置），该位由硬件置 1。如果 USART_CR3 寄存器中的 TXFTIE 位 =1（位 31），则会生成中断。

0：TXFIFO 未达到编程的阈值。

1：TXFIFO 已达到编程的阈值。

位 26 **RXFT**：RXFIFO 阈值标志 (RXFIFO threshold flag)

达到在 USART_CR3 寄存器的 RXFTCFG 中编程的阈值时，该位由硬件置 1。这意味着，接收 FIFO 中有 (RXFTCFG - 1) 个数据，USART_RDR 寄存器中有一个数据。如果 USART_CR3 寄存器中的 RXFTIE 位 = 1（位 27），则会生成中断。

0：接收 FIFO 未达到编程的阈值。

1：接收 FIFO 已达到编程的阈值。

注：　当 RXFTCFG 阈值配置为“101”时，如果存在 16 个数据（即 RXFIFO 中有 15 个数据，USART_RDR 中有 1 个数据），则 RXFT 标志将置 1。因此，接收到的第 17 个数据不会导致上溢错误。接收到第 18 个数据后会发生上溢错误。

位 25 **TCBGT**：保护时间前发送完成标志 (Transmission complete before guard time flag)

当写入到 USART_TDR 中的最后一个数据已正确从移位寄存器中发出时，该位置 1。

如果包含数据的帧完成发送，并且智能卡未发回任何 NACK，则该位在智能卡模式下由硬件置 1。如果 USART_CR3 寄存器中的 TCBGTIE=1，则生成中断。

此位由软件清零，方法是向 USART_ICR 寄存器中的 TCBGTCF 写入 1 或向 USART_TDR 寄存器执行写操作。

0：发送未完成或发送未成功完成（即，从智能卡接收到 NACK）

1：发送成功完成（在保护时间结束之前完成，智能卡未发送 NACK）

注： *如果 USART 不支持智能卡模式，该位保留且保持复位值。如果 USART 支持智能卡模式并使能智能卡模式，则 TCBGT 复位值为 “1”。请参见第 898 页的第 32.4 节：USART 实现。*

位 24 **RXFF**：RXFIFO 已满 (RXFIFO full)

当接收到的数据量对应于 RXFIFO 大小 + 1（RXFIFO 已满 + USART_RDR 寄存器中的 1 个数据）时，该位由硬件置 1。

如果 USART_CR1 寄存器中 RXFFIE 位 = 1，则会生成中断。

0：RXFIFO 未满。

1：RXFIFO 已满。

位 23 **TXFE**：TXFIFO 为空 (TXFIFO empty)

当 TXFIFO 为空时，该位由硬件置 1。当 TXFIFO 包含至少一个数据时，该标志被清零。也可以通过向 USART_RQR 寄存器中的位 TXFRQ（位 4）写入 1 将 TXFE 标志置 1。

如果 USART_CR1 寄存器中的 TXFEIE 位 = 1（位 30），则会生成中断。

0：TXFIFO 非空。

1：TXFIFO 为空。

位 22 **REACK**：接收使能确认标志 (Receive enable acknowledge flag)

USART 采用接收使能值时，通过硬件将此位置 1/复位。

此位可用于验证 USART 是否准备好在进入低功耗模式前接收数据。

注： *如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 21 **TEACK**：发送使能确认标志 (Transmit enable acknowledge flag)

USART 采用发送使能值时，通过硬件将此位置 1/复位。

通过写入 TE=0 生成空闲帧请求，然后在 USART_CR1 寄存器中写入 TE=1 以遵循 TE=0 最短周期时，可使用此位。

位 20 **WUF**：从低功耗模式唤醒标志 (Wakeup from low-power mode flag)

当检测到唤醒事件时，此位由硬件置 1。事件通过 WUS 位域定义。此位由软件清零，方法是向 USART_ICR 寄存器中的 WUCF 写入 1。

如果 USART_CR3 寄存器中 WUFIE=1，则会生成中断。

注： *当 UESM 清零时，WUF 标志也清零。*

如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 19 **RWU**：*接收器从静默模式唤醒 (Receiver wakeup from Mute mode)*

该位指示 USART 是否处于静默模式。当识别出唤醒/静默序列时，此位由硬件清零/置 1。静默模式控制序列（地址或 IDLE）通过 USART_CR1 寄存器中的 WAKE 位进行选择。

当选择 IDLE 模式下唤醒时，该位只能通过用软件向 USART_RQR 寄存器中的 MMRQ 位写 1 的方式置 1。

0：接收器处于工作模式

1：接收器处于静默模式

注： *如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 18 **SBKF**：发送中断标志 (Send break flag)

此位指示已请求发送中断字符。通过将 1 写入 USART_CR3 寄存器中的 SBKRQ 位，此位由软件置 1。此位在中断发送的停止位期间由硬件自动复位。

0：不发送中断字符

1：将发送中断字符

位 17 **CMF**：字符匹配标志 (Character match flag)

接收到由 ADD[7:0] 定义的字符后由硬件将此位置 1。通过向 USART_ICR 寄存器中的 CMCF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中 CMIE=1，则会生成中断。

0：未检测到字符匹配

1：检测到字符匹配

位 16 **BUSY**：忙标志 (Busy flag)

此位由硬件置 1 和复位。当 RX 线路上正在进行通信（成功检测到起始位）时有效。在接收结束（成功或失败）时复位。

0：USART 处于空闲状态（无接收）

1：正在接收

位 15 **ABRF**：自动波特率标志 (Auto baud rate flag)

已设置自动波特率（RXFNE 也将置 1，在 RXFNEIE = 1 时生成中断），或者自动波特率操作未成功完成时，此位由硬件置 1 (ABRE=1)（此时，ABRE、RXFNE 和 FE 也置 1）

为请求新的自动波特率检测，通过向 USART_RQR 寄存器中的 ABRRQ 写入 1，此位由软件清零。

注：　如果 USART 不支持自动波特率功能，该位保留且保持复位值。

位 14 **ABRE**：自动波特率错误 (Auto baud rate error)

如果波特率测量失败（波特率超出范围或字符比较失败），此位由硬件置 1。

通过将 1 写入 USART_CR3 寄存器中的 ABRRQ 位，此位由软件清零。

注：　如果 USART 不支持自动波特率功能，该位保留且保持复位值。

位 13 **UDR**：SPI 从器件下溢错误标志 (SPI slave underrun error flag)

在从发送模式下，如果在软件尚未将任何值加载到 USART_TDR 时出现第一个数据发送时钟脉冲，此标志将置 1。该标志通过将 USART_ICR 寄存器中的 UDRCF 位置 1 来复位。

0：无下溢错误

1：存在下溢错误

注：　如果 USART 不支持 SPI 从器件模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 12 **EOBF**：块结束标志 (End of block flag)

接收到完整块后，此位由硬件置 1（例如 T=1 智能卡模式）。接收到的字节数（从块的起始处，包括起始字段）等于或大于 BLEN + 4 时执行检测。

如果 USART_CR2 寄存器中 EOBIE = 1，则会生成中断。

通过向 USART_ICR 寄存器中的 EOBCF 写入 1，此位由软件清零。

0：未达到块结束

1：已达到块结束（字符数）

注：　如果不支持智能卡模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 11 **RTOF**：接收器超时 (Receiver timeout)

已经过在 RTOR 寄存器中编程的超时值后，如果无任何通信，此位由硬件置 1。通过向 USART_ICR 寄存器中的 RTOCF 写入 1，此位由软件清零。

如果 USART_CR2 寄存器中 RTOIE=1，则会生成中断。

在智能卡模式下，该超时对应于 CWT 或 BWT 时间。

0：未达到超值值

1：已达到超时值，未接收到任何数据

注： *如果 RTOR 寄存器中编程的时间值将 2 个字符隔开，则 RTOF 不置 1。如果此时间大于该值 + 2 个采样时间（2/16 或 2/8，具体取决于过采样方法），则 RTOF 标志置 1。*

即使 RE = 0，计数器仍会计数，但 RTOF 仅在 RE = 1 时置 1。如果 RE 置 1 时已经超时，则 RTOF 将置 1。

如果 USART 不支持接收器超时功能，该位保留且保持复位值。

位 10 **CTS**：CTS 标志 (CTS flag)

此位由硬件置 1/复位。此位是对 nCTS 输入引脚的状态取反。

0：nCTS 线置 1

1：nCTS 线复位

注： *如果不支持硬件流控制功能，该位保留且保持复位值。*

位 9 **CTSIF**：CTS 中断标志 (CTS interrupt flag)

如果 CTSE 位置 1，当 nCTS 输入切换时，此位由硬件置 1。通过将 1 写入 USART_ICR 寄存器中的 CTSCF 位，此位由软件清零。

如果 USART_CR3 寄存器中 CTSIE=1，则会生成中断。

0：nCTS 状态线上未发生变化

1：nCTS 状态线上发生变化

注： *如果不支持硬件流控制功能，该位保留且保持复位值。*

位 8 **LBDF**：LIN 中断检测标志 (LIN break detection flag)

检测到 LIN 断路时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 LBDCF 写入 1，此位由软件清零。

如果 USART_CR2 寄存器中 LBDIE = 1，则会生成中断。

0：未检测到 LIN 断路

1：未检测到 LIN 断路

注： *如果 USART 不支持 LIN 模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 7 **TXFNF**：TXFIFO 未满 (TXFIFO not full)

TXFNF 会在 TXFIFO 未满时由硬件置 1，表示可向 USART_TDR 中写入数据。每次对 USART_TDR 进行写操作都会将数据置于 TXFIFO 中。该标志保持置 1，直到 TXFIFO 已满。当 TXFIFO 已满时，该标志清零，表示不能向 USART_TDR 中写入数据。

如果 USART_CR1 寄存器中 TXFNFIE 位 = 1，则会生成中断。

0：发送 FIFO 已满

1：发送 FIFO 未满

注： *在清空请求期间，TXFNF 保持复位，直到 TXFIFO 为空。发送清空请求（通过将 TXFRQ 位置 1）后，应先检查 TXFNF 标志，然后再写入 TXFIFO（TXFNF 和 TXFE 将同时置 1）。*

单缓冲区发送期间使用该位。

位 6 **TC**：发送完成 (Transmission complete)

该位指示写入到 USART_TDR 中的最后一个数据已从移位寄存器中发出。

如果已完成对包含数据的帧的发送并且 TXFE 置 1，则此位由硬件置 1。

如果 USART_CR1 寄存器中 TCIE = 1，则会生成中断。

TC 位由软件清零，方法是向 USART_ICR 寄存器中的 TCCF 写入 1 或向 USART_TDR 寄存器执行写操作。

0：传送未完成

1：传送已完成

注： 如果 TE 位复位且无任何发送正在进行，TC 位会立即置 1。

位 5 **RXFNE**：RXFIFO 非空 (RXFIFO not empty)

RXFIFO 非空时，RXFNE 位由硬件置 1，这表示可以从 USART_RDR 寄存器读取数据。每次对 USART_RDR 进行读操作都会在 RXFIFO 中释放一个位置。

RXFNE 在 RXFIFO 为空时清零。也可以通过将 USART_RQR 寄存器中的 RXFRQ 位置 1 将 RXFNE 标志位清零。

如果 USART_CR1 寄存器中 RXFNEIE = 1，则会生成中断。

0：未接收到数据

1：已准备好读取接收到的数据

位 4 **IDLE**：检测到空闲线路 (IDLE line detected)

检测到空闲线路时，该位由硬件置 1。如果 USART_CR1 寄存器中 IDLEIE = 1，则会生成中断。通过向 USART_ICR 寄存器中的 IDLECF 写入 1，此位由软件清零。

0：未检测到空闲线路

1：检测到空闲线路

注： 直到 RXFNE 位已置 1 时（即，当出现新的空闲线路时），IDLE 位才会被再次置 1。

使能静默模式 (MME=1) 后，如果 USART 未静默 (RWU=0)，则 IDLE 置 1，无论是否通过 WAKE 位选择了静默模式。如果 RWU=1， IDLE 不置 1。

位 3 **ORE**：溢出错误 (Overrun error)

在 RXNE = “1”（使能 FIFO 模式时为 RXFF = “1”）的情况下，当移位寄存器中当前正在接收的数据准备好传输到 USART_RDR 寄存器时，此位由硬件置 1。通过向 USART_ICR 寄存器中的 ORECF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中 RXFNEIE=1 或 EIE = 1，则会生成中断。

0：无溢出错误

1：检测到溢出错误

注： 当此位置 1 时，USART_RDR 寄存器的内容不会丢失，但移位寄存器会被覆盖。EIE 位置 1 后，如果在多缓冲区通信中 ORE 标志置 1，则会生成中断。

USART_CR3 寄存器中的 OVRDIS 位置 1 时，此位将被永久强制清零（无上溢检测）。

位 2 **NE**：噪声检测标志 (Noise detection flag)

当在接收的帧上检测到噪声时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 NECF 写入 1，此位由软件清零。

0：未检测到噪声

1：检测到噪声

注： 该位不会生成中断，因为该位出现的时间与本身生成中断的 RXFNE 位出现的时间相同。EIE 位置 1 后，如果在多缓冲区通信中 NE 标志置 1，则会生成中断。

当线路无噪声时，可以通过将 ONEBIT 位编程为 1 提高 USART 对偏差的容差来禁止 NE 标志 （请参见第 914 页的第 32.5.8 节：USART 接收器对时钟偏差的容差）。

此错误与 USART_RDR 中的字符相关联。

位 1 **FE**：帧错误 (Framing error)

当检测到去同步化、过度的噪声或中断字符时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 FECF 写入 1，此位由软件清零。

在智能卡模式下发送数据时，如果在达到最大发送尝试次数后仍未成功（智能卡向数据帧发送 NACK 信号），则此位置 1。

如果 USART_CR1 寄存器中 EIE = 1，则会生成中断。

0：未检测到帧错误

1：检测到帧错误或中断字符

注： 此错误与 USART_RDR 中的字符相关联。

位 0 **PE**：奇偶校验错误 (Parity error)

当在接收器模式下发生奇偶校验错误时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 PECF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中的 PEIE = 1，则会生成中断。

0：无奇偶校验错误

1：奇偶校验错误

注： 此错误与 USART_RDR 中的字符相关联。

32.7.10 USART 中断和状态寄存器 [复用] (USART_ISR)

USART interrupt and status register

偏移地址：0x1C

复位值：0x0000 00C0

同一寄存器可用于使能 FIFO 模式（上一节）和禁止 FIFO 模式（本节）的情况。

禁止 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	TCBGT	Res.	Res.	RE ACK	TE ACK	WUF	RWU	SBKF	CMF	BUSY
						r			r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:26 保留，必须保持复位值。

位 25 **TCBGT**：保护时间前发送完成标志 (Transmission complete before guard time flag)

当写入到 USART_TDR 中的最后一个数据已正确从移位寄存器中发出时，该位置 1。

如果包含数据的帧完成发送，并且智能卡未发回任何 NACK，则该位在智能卡模式下由硬件置 1。如果 USART_CR3 寄存器中的 TCBGTIE=1，则生成中断。

此位由软件清零，方法是向 USART_ICR 寄存器中的 TCBGTCF 写入 1 或向 USART_TDR 寄存器执行写操作。

0：发送未完成或发送未成功完成（即，从智能卡接收到 NACK）

1：发送成功完成（在保护时间结束之前完成，智能卡未发送 NACK）。

注： 如果 USART 不支持智能卡模式，该位保留且保持复位值。如果 USART 支持智能卡模式并使能智能卡模式，则 TCBGT 复位值为“1”。请参见第 898 页的第 32.4 节：USART 实现。

位 24:23 保留，必须保持复位值。

位 22 **REACK**：接收使能确认标志 (Receive enable acknowledge flag)

USART 采用接收使能值时，通过硬件将此位置 1/复位。

此位可用于验证 USART 是否准备好在进入低功耗模式前接收数据。

注：　如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 21 **TEACK**：发送使能确认标志 (Transmit enable acknowledge flag)

USART 采用发送使能值时，通过硬件将此位置 1/复位。

通过写入 TE=0 生成空闲帧请求，然后在 USART_CR1 寄存器中写入 TE=1 以遵循 TE=0 最短周期时，可使用此位。

位 20 **WUF**：从低功耗模式唤醒标志 (Wakeup from low-power mode flag)

当检测到唤醒事件时，此位由硬件置 1。事件通过 WUS 位域定义。此位由软件清零，方法是向 USART_ICR 寄存器中的 WUCF 写入 1。

如果 USART_CR3 寄存器中 WUFIE=1，则会生成中断。

注：　当 UESM 清零时，WUF 标志也清零。

如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 19 **RWU**：*接收器从静默模式唤醒 (Receiver wakeup from Mute mode)*

该位指示 USART 是否处于静默模式。当识别出唤醒/静默序列时，此位由硬件清零/置 1。静默模式控制序列（地址或 IDLE）通过 USART_CR1 寄存器中的 WAKE 位进行选择。

当选择 IDLE 模式下唤醒时，该位只能通过用软件向 USART_RQR 寄存器中的 MMRQ 位写 1 的方式置 1。

0：接收器处于工作模式

1：接收器处于静默模式

注：　如果 USART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 18 **SBKF**：发送中断标志 (Send break flag)

此位指示已请求发送中断字符。通过将 1 写入 USART_CR3 寄存器中的 SBKRQ 位，此位由软件置 1。此位在中断发送的停止位期间由硬件自动复位。

0：不发送中断字符

1：将发送中断字符

位 17 **CMF**：字符匹配标志 (Character match flag)

接收到由 ADD[7:0] 定义的字符后由硬件将此位置 1。通过向 USART_ICR 寄存器中的 CMCF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中 CMIE=1，则会生成中断。

0：未检测到字符匹配

1：检测到字符匹配

位 16 **BUSY**：忙标志 (Busy flag)

此位由硬件置 1 和复位。当 RX 线路上正在进行通信（成功检测到起始位）时有效。在接收结束（成功或失败）时复位。

0：USART 处于空闲状态（无接收）

1：正在接收

位 15 **ABRF**：自动波特率标志 (Auto baud rate flag)

已设置自动波特率（RXNE 也将置 1，并在 RXNEIE = 1 时生成中断），或者自动波特率操作未成功完成时，此位由硬件置 1 (ABRE=1)（此时，ABRE、RXNE 和 FE 也置 1）

为请求新的自动波特率检测，通过向 USART_RQR 寄存器中的 ABRRQ 写入 1，此位由软件清零。

注：　如果 USART 不支持自动波特率功能，该位保留且保持复位值。

位 14 **ABRE**：自动波特率错误 (Auto baud rate error)

如果波特率测量失败（波特率超出范围或字符比较失败），此位由硬件置 1。

通过将 1 写入 USART_CR3 寄存器中的 ABRRQ 位，此位由软件清零。

注： 如果 USART 不支持自动波特率功能，该位保留且保持复位值。

位 13 **UDR**：SPI 从器件下溢错误标志 (SPI slave underrun error flag)

在从发送模式下，如果在软件尚未将任何值加载到 USART_TDR 时出现第一个数据发送时钟脉冲，此标志将置 1。该标志通过将 USART_ICR 寄存器中的 UDRCF 位置 1 来复位。

0：无下溢错误

1：存在下溢错误

注： 如果 USART 不支持 SPI 从器件模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 12 **EOBF**：块结束标志 (End of block flag)

接收到完整块后，此位由硬件置 1（例如 T=1 智能卡模式）。接收到的字节数（从块的起始处，包括起始字段）等于或大于 BLEN + 4 时执行检测。

如果 USART_CR2 寄存器中 EOBIE = 1，则会生成中断。

通过向 USART_ICR 寄存器中的 EOBCF 写入 1，此位由软件清零。

0：未达到块结束

1：已达到块结束（字符数）

注： 如果不支持智能卡模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 11 **RTOF**：接收器超时 (Receiver timeout)

已经过在 RTOR 寄存器中编程的超时值后，如果无任何通信，此位由硬件置 1。通过向 USART_ICR 寄存器中的 RTOCF 写入 1，此位由软件清零。

如果 USART_CR2 寄存器中 RTOIE=1，则会生成中断。

在智能卡模式下，该超时对应于 CWT 或 BWT 时间。

0：未达到超值值

1：已达到超时值，未接收到任何数据

注： 如果 RTOR 寄存器中编程的时间值将 2 个字符隔开，则 RTOF 不置 1。如果此时间大于该值 + 2 个采样时间（2/16 或 2/8，具体取决于过采样方法），则 RTOF 标志置 1。

即使 RE = 0，计数器仍会计数，但 RTOF 仅在 RE = 1 时置 1。如果 RE 置 1 时已经超时，则 RTOF 将置 1。

如果 USART 不支持接收器超时功能，该位保留且保持复位值。

位 10 **CTS**：CTS 标志 (CTS flag)

此位由硬件置 1/复位。此位是对 nCTS 输入引脚的状态取反。

0：nCTS 线置 1

1：nCTS 线复位

注： 如果不支持硬件流控制功能，该位保留且保持复位值。

位 9 **CTSIF**：CTS 中断标志 (CTS interrupt flag)

如果 CTSE 位置 1，当 nCTS 输入切换时，此位由硬件置 1。通过将 1 写入 USART_ICR 寄存器中的 CTSCF 位，此位由软件清零。

如果 USART_CR3 寄存器中 CTSIE=1，则会生成中断。

0：nCTS 状态线上未发生变化

1：nCTS 状态线上发生变化

注： 如果不支持硬件流控制功能，该位保留且保持复位值。

位 8 **LBDF**：LIN 中断检测标志 (LIN break detection flag)

检测到 LIN 断路时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 LBDCF 写入 1，此位由软件清零。

如果 USART_CR2 寄存器中 LBDIE = 1，则会生成中断。

0：未检测到 LIN 断路

1：未检测到 LIN 断路

注：　如果 USART 不支持 LIN 模式，该位保留且保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 7 **TXE**：发送数据寄存器为空 (Transmit data register empty)

当 USART_TDR 寄存器的内容已传输到移位寄存器时，TXE 由硬件置 1。通过对 USART_TDR 寄存器执行写操作将该位清零。为丢弃数据（仅在智能卡 T=0 模式下出现发送故障时），也可以通过向 USART_RQR 寄存器中的 TXFRQ 写入 1 来将 TXE 标志置 1。

如果 USART_CR1 寄存器中 TXEIE 位 = 1，则会生成中断。

0：数据寄存器已满

1：数据寄存器未满

位 6 **TC**：发送完成 (Transmission complete)

该位指示写入到 USART_TDR 中的最后一个数据已从移位寄存器中发出。

如果已完成对包含数据的帧的发送并且 TXE 置 1，则此位由硬件置 1。

如果 USART_CR1 寄存器中 TCIE = 1，则会生成中断。

TC 位由软件清零，方法是向 USART_ICR 寄存器中的 TCCF 写入 1 或向 USART_TDR 寄存器执行写操作。

0：传送未完成

1：传送已完成

注：　如果 TE 位复位且无任何发送正在进行，TC 位会立即置 1。

位 5 **RXNE**：读取数据寄存器不为空 (Read data register not empty)

当 USART_RDR 移位寄存器的内容已传输到 USART_RDR 寄存器时，RXNE 位由硬件置 1。通过对 USART_RDR 寄存器执行读取操作将该位清零。也可以通过将 USART_RQR 寄存器中的 RXFRQ 位置 1 将 RXNE 标志位清零。

如果 USART_CR1 寄存器中 RXNEIE = 1，则会生成中断。

0：未接收到数据

1：已准备好读取接收到的数据

位 4 **IDLE**：检测到空闲线路 (IDLE line detected)

检测到空闲线路时，该位由硬件置 1。如果 USART_CR1 寄存器中 IDLEIE = 1，则会生成中断。通过向 USART_ICR 寄存器中的 IDLECF 写入 1，此位由软件清零。

0：未检测到空闲线路

1：检测到空闲线路

注：　直到 RXNE 位已置 1 时（即，当出现新的空闲线路时）IDLE 位才会被再次置 1。

使能静默模式 (MME=1) 后，如果 USART 未静默 (RWU=0)，则 IDLE 置 1，无论是否通过 WAKE 位选择了静默模式。如果 RWU=1， IDLE 不置 1。

位 3 **ORE**：溢出错误 (Overrun error)

在 RXNE = “1”（使能 FIFO 模式时为 RXFF = “1”）的情况下，当移位寄存器中当前正在接收的数据

准备好传输到 USART_RDR 寄存器时，此位由硬件置 1。通过向 USART_ICR 寄存器中的 ORECF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中 RXNEIE=1 或 EIE = 1，则会生成中断。

0：无溢出错误

1：检测到溢出错误

注：　当此位置 1 时，USART_RDR 寄存器的内容不会丢失，但移位寄存器会被覆盖。EIE 位置 1 后，如果在多缓冲区通信中 ORE 标志置 1，则会生成中断。

USART_CR3 寄存器中的 OVRDIS 位置 1 时，此位将被永久强制清零（无上溢检测）。

位 2 **NE**：噪声检测标志 (Noise detection flag)

当在接收的帧上检测到噪声时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 NECF 写入 1，此位由软件清零。

0：未检测到噪声

1：检测到噪声

注： *该位不会生成中断，因为该位出现的时间与本身生成中断的 RXNE 位出现的时间相同。EIE 位置 1 后，如果在多缓冲区通信中 NE 标志置 1，则会生成中断。*

当线路无噪声时，可以通过将 ONEBIT 位编程为 1 提高 USART 对偏差的容差来禁止 NE 标志（请参见第 914 页的第 32.5.8 节：USART 接收器对时钟偏差的容差）。

位 1 **FE**：帧错误 (Framing error)

当检测到去同步化、过度的噪声或中断字符时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 FECF 写入 1，此位由软件清零。

在智能卡模式下发送数据时，如果在达到最大发送尝试次数后仍未成功（智能卡向数据帧发送 NACK 信号），则此位置 1。

如果 USART_CR1 寄存器中 EIE = 1，则会生成中断。

0：未检测到帧错误

1：检测到帧错误或中断字符

位 0 **PE**：奇偶校验错误 (Parity error)

当在接收器模式下发生奇偶校验错误时，该位由硬件置 1。通过向 USART_ICR 寄存器中的 PECF 写入 1，此位由软件清零。

如果 USART_CR1 寄存器中的 PEIE = 1，则会生成中断。

0：无奇偶校验错误

1：奇偶校验错误

32.7.11 USART 中断标志清零寄存器 (USART_ICR)

USART interrupt flag clear register

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	UDRCF	EOBCF	RTOCF	Res.	CTSCF	LBDCF	TCBGTCF	TCCF	TXFECF	IDLECF	ORECF	NECF	FECF	PECF
		w	w	w		w	w	w	w	w	w	w	w	w	w

位 31:21 保留，必须保持复位值。

位 20 **WUCF**：从低功耗模式唤醒清零标志 (Wakeup from low-power mode clear flag)

将 1 写入此位时，USART_ISR 寄存器中 WUF 标志将清零。

注： *如果 USART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。*

位 19:18 保留，必须保持复位值。

位 17 **CMCF**：字符匹配清零标志 (Character match clear flag)

将 1 写入此位时，USART_ISR 寄存器中 CMF 标志将清零。

位 16:14 保留，必须保持复位值。

位 13 **UDRCF**：SPI 从器件下溢清零标志 (SPI slave underrun clear flag)
将 1 写入此位时，USART_ISR 寄存器中 UDRF 标志将清零。
注： 如果 USART 不支持 SPI 从器件模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 12 **EOBCF**：块结束清零标志 (End of block clear flag)
将 1 写入此位时，USART_ISR 寄存器中 EOBF 标志将清零。
注： 如果 USART 不支持智能卡模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 11 **RTOCF**：接收器超时清零标志 (Receiver timeout clear flag)
将 1 写入此位时，USART_ISR 寄存器中 RTOF 标志将清零。
注： 如果 USART 不支持接收器超时功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 10 保留，必须保持复位值。

位 9 **CTSCF**：CTS 清零标志 (CTS clear flag)
将 1 写入此位时，USART_ISR 寄存器中 CTSIF 标志将清零。
注： 如果不支持硬件流控制功能，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 8 **LBDCF**：LIN 断路检测清零标志 (LIN break detection clear flag)
将 1 写入此位时，USART_ISR 寄存器中 LBDF 标志将清零。
注： 如果不支持 LIN 模式，该位保留且必须保持复位值。请参见第 898 页的第 32.4 节：USART 实现。

位 7 **TCBGTCF**：保护时间前发送完成清零标志 (Transmission complete before Guard time clear flag)
将 1 写入此位时，USART_ISR 寄存器中 TCBGT 标志将清零。

位 6 **TCCF**：发送完成清零标志 (Transmission complete clear flag)
将 1 写入此位时，USART_ISR 寄存器中 TC 标志将清零。

位 5 **TXFECF**：TXFIFO 为空清零标志 (TXFIFO empty clear flag)
将 1 写入此位时，USART_ISR 寄存器中 TXFE 标志将清零。

位 4 **IDLECF**：检测到空闲线路清零标志 (Idle line detected clear flag)
将 1 写入此位时，USART_ISR 寄存器中 IDLE 标志将清零。

位 3 **ORECF**：上溢错误清零标志 (Overrun error clear flag)
将 1 写入此位时，USART_ISR 寄存器中 ORE 标志将清零。

位 2 **NECF**：检测到噪声清零标志 (Noise detected clear flag)
将 1 写入此位时，USART_ISR 寄存器中 NE 标志将清零。

位 1 **FECF**：帧错误清零标志 (Framing error clear flag)
将 1 写入此位时，USART_ISR 寄存器中 FE 标志将清零。

位 0 **PECF**：奇偶校验错误清零标志 (Parity error clear flag)
将 1 写入此位时，USART_ISR 寄存器中 PE 标志将清零。

32.7.12 USART 接收数据寄存器 (USART_RDR)

USART receive data register

偏移地址：0x24

复位值：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
							r	r	r	r	r	r	r	r	r

位 31:9 保留，必须保持复位值。

位 8:0 **RDR[8:0]**：接收数据值 (Receive data value)

包含接收到的数据字符。

RDR 寄存器在输入移位寄存器和内部总线之间提供了并行接口（请参见*图 315*）。

在使能奇偶校验位的情况下进行接收时，从 MSB 位中读取的值为接收到的奇偶校验位。

32.7.13 USART 发送数据寄存器 (USART_TDR)

USART transmit data register

偏移地址：0x28

复位值：0xXXXX XXXX

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:9 保留，必须保持复位值。

位 8:0 **TDR[8:0]**：发送数据值 (Transmit data value)

包含要发送的数据字符。

USART_TDR 寄存器在内部总线和输出移位寄存器之间提供了并行接口（请参见*图 315*）。

在使能奇偶校验位的情况下（USART_CR1 寄存器中的 PCE 位被置 1）进行发送时，由于 MSB 的写入值（位 7 或位 8，具体取决于数据长度）会被奇偶校验位所取代，因此该值不起任何作用。

注： 只能在 TXE/TXFNF=1 时写入此寄存器。

32.7.14 USART 预分频器寄存器 (USART_PRESC)

USART prescaler register

只有在禁止 USART (UE=0) 时才能写入此寄存器。

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
												rw	rw	rw	rw

位 31:4 保留，必须保持复位值。

位 3:0 **PRESCALER[3:0]**：时钟预分频器 (Clock prescaler)

USART 输入时钟可通过预分频系数进行分频：

0000：输入时钟未分频
0001：输入时钟 2 分频
0010：输入时钟 4 分频
0011：输入时钟 6 分频
0100：输入时钟 8 分频
0101：输入时钟 10 分频
0110：输入时钟 12 分频
0111：输入时钟 16 分频
1000：输入时钟 32 分频
1001：输入时钟 64 分频
1010：输入时钟 128 分频
1011：输入时钟 256 分频
其余组合：保留

注： 为 PRESCALER 编程不允许的值时，编程的预分频值将为“1011”，即输入时钟除以 256。

32.7.15 USART 寄存器映射

下表提供了 USART 寄存器映射和复位值。

表 173. USART 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	USART_CR1 FIFO enabled	RXFFIE	TXFEIE	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]					OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	USART_CR1 FIFO disabled	Res.	Res.	FIFOEN	M1	EOBIE	RTOIE	DEAT[4:0]					DEDT[4:0]					OVER8	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	Reset value			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	USART_CR2	ADD[7:0]								RTOEN	ABRMOD[1:0]		ABREN	MSBFIRST	DATAINV	TXINV	RXINV	SWAP	LINEN	STOP[1:0]		CLKEN	CPOL	CPHA	LBCL	Res.	LBDIE	LBDL	ADDM7	DIS_NSS	Res.	Res.	SLVEN
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0			0
0x08	USART_CR3	TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			TCBGTIE	TXFTIE	WUFIE	WUS[1:0]	SCARCNT2:0]				Res.	DEP	DEM	DDRE	OVRDIS	ONEBIT	CTSIE	CTSE	RTSE	DMAT	DMAR	SCEN	NACK	HDSEL	IRLP	IREN	EIE
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0C	USART_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	USART_GTPR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	GT[7:0]								PSC[7:0]							
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	USART_RTOR	BLEN[7:0]								RTO[23:0]																							
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	USART_RQR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	ABRRQ
	Reset value																												0	0	0	0	0

表 173. USART 寄存器映射和复位值 （续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x1C	USART_ ISR FIFO mode enabled	Res.	Res.	Res.	Res.	TXFT	RXFT	TCBGT	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
	Reset value					0	0	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0x1C	USART_ ISR FIFO mode disabled	Res.	Res.	Res.	Res.	Res.	Res.	TCBGT	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	ABRF	ABRE	UDR	EOBF	RTOF	CTS	CTSIF	LBDF	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	Reset value							0			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0x20	USART_ ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.	Res.	Res.	UDRCF	EOBCF	RTOCF	Res.	CTSCF	LBDCF	TCBGTCF	TCCF	TXFECF	IDLECF	ORECF	NECF	FECF	PECF
	Reset value												0			0				0	0	0		0	0	0	0	0	0	0	0	0	0
0x24	USART_ RDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
	Reset value																								0	0	0	0	0	0	0	0	0
0x28	USART_ TDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
	Reset value																								0	0	0	0	0	0	0	0	0
0x2C	USART_ PRESC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
	Reset value																													0	0	0	0

有关寄存器边界地址的信息，请参见*第 2.2 节：存储器构成*。

33 低功耗通用异步接收器 (LPUART)

本节介绍低功耗通用异步收发器 (LPUART)。

33.1 LPUART 简介

LPUART 是一种 UART，允许在有限功耗下双向 UART 通信。仅需 32.768 kHz LSE 时钟即可进行高达 9600 波特/s 的 UART 通信。当 LPUART 由与 LSE 时钟不同的时钟源驱动时，可以达到更高的波特率。

即使当微控制器处于低功耗模式，能耗极低时，LPUART 也会等待 UART 帧的到来。LPUART 包含所有必要的硬件支持，使在最小功耗下可以进行异步串行通信。

它支持半双工单线通信和调制解调器操作 (CTS/RTS)，

还支持多处理器通信。

DMA（直接存储器访问）可用于数据发送/接收。

33.2 LPUART 主要特性

- 全双工异步通信
- NRZ 标准格式（标记/空格）
- 可编程波特率
- 使用 32.768 kHz 时钟源时波特率为 300 波特/s 到 9600 波特/s
- 使用高频时钟源可实现更高的波特率
- 两个用于收发数据的内部 FIFO
  每个 FIFO 均可由软件使能/禁止，并且均带有用于指示 FIFO 状态的状态标志
- 双时钟域，带有独立于 PCLK 的外设专用内核时钟
- 数据字长度可编程（7 位、8 位或 9 位）
- 可编程的数据顺序，最先移位 MSB 或 LSB
- 停止位可配置（支持 1 个或 2 个停止位）
- 单线半双工通信
- 使用 DMA 实现连续通信
- 使用中央 DMA 在预留的 SRAM 缓冲区中收/发字节
- 发射器和接收器有单独的使能位
- 发送和接收的单独信号极性控制
- Tx/Rx 引脚配置可交换
- 调制解调器和 RS-485 收发器的硬件流控制
- 传输检测标志：
  - 接收缓冲区已满
  - 发送缓冲区为空
  - BUSY 标志和发送结束标志

- 奇偶校验控制：
  - 发送奇偶校验位
  - 检查接收的数据字节的奇偶性
- 四个错误检测标志：
  - 上溢错误
  - 噪声检测
  - 帧错误
  - 奇偶校验错误
- 具有标志的中断源
- 多处理器通信：从静默模式唤醒（通过空闲线检测或地址标记检测）

33.3 LPUART 特性实现

下表列出了 LPUART 实现与 USART 实现的对比情况。

表 174. LPUART 特性

LPUART 模式/特性(1)	LPUART	USART1/2	USART3/4
调制解调器的硬件流控制	X	X	X
使用 DMA 进行连续通信	X	X	X
多处理器通信	X	X	X
同步模式（主/从）	-	X	X
智能卡模式	-	X	-
单线半双工通信	X	X	X
IrDA SIR ENDEC 模块	-	X	-
LIN 模式	-	X	-
双时钟域和从低功耗模式唤醒	X	X	-
接收器超时中断	-	X	-
Modbus 通信	-	X	-
自动波特率检测	-	X	-
驱动器使能	X	X	X
USART 数据长度	7 位、8 位和 9 位		
Tx/Rx FIFO	X	X	-
Tx/Rx FIFO 大小	8	8	-

1. X = 支持。

33.4 LPUART 功能说明

33.4.1 LPUART框图

图 342. LPUART框图

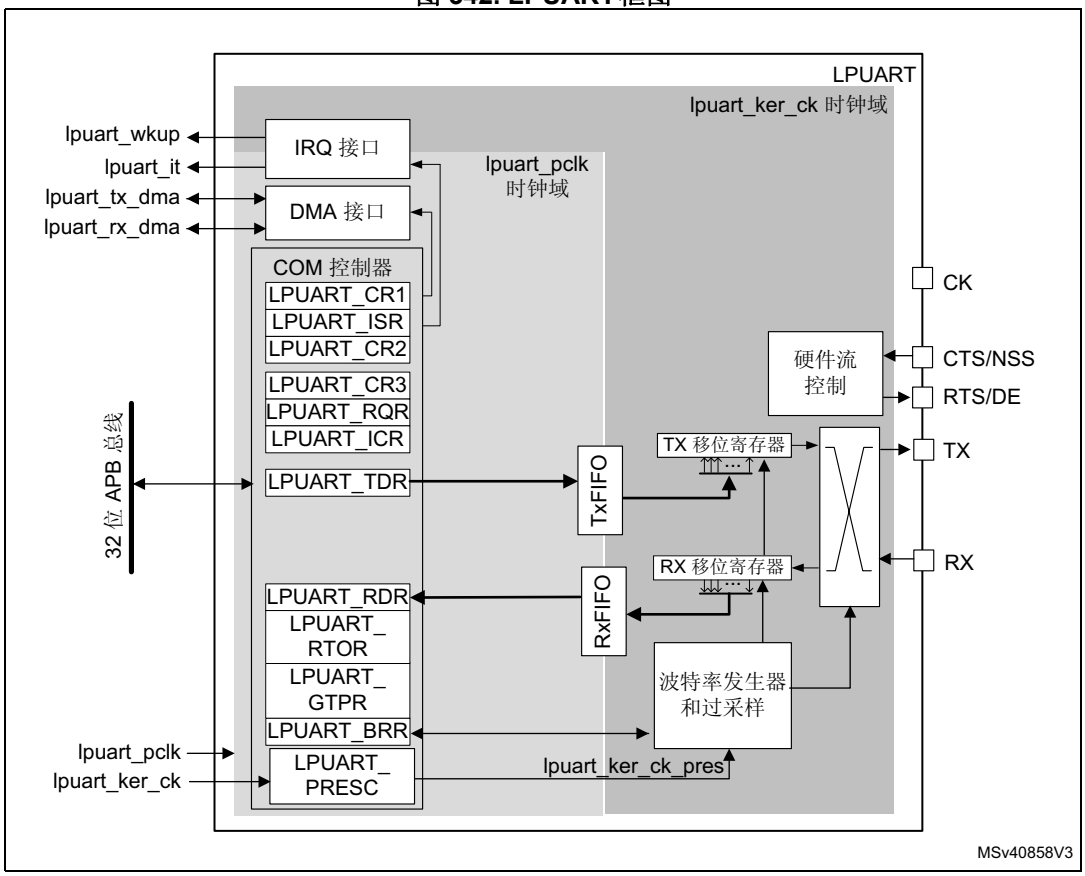


图 342 中的简化框图显示的是两个完全独立的时钟域：

- **lpuart_pclk** 时钟域

  lpuart_pclk 时钟信号馈送外设总线接口。需要访问 LPUART 寄存器时，该信号必须有效。

- **lpuart_ker_ck** 内核时钟域

  lpuart_ker_ck 是 LPUART 时钟源。它独立于 **lpuart_pclk**，由 RCC 提供。因此，即使 **lpuart_ker_ck** 停止，也可以对 LPUART 寄存器进行读/写操作。

  禁用双时钟域功能时，**lpuart_ker_ck** 与 lpuart_pclk 时钟相同。

lpuart_pclk 和 **lpuart_ker_ck** 之间无任何限制：**lpuart_ker_ck** 既可快于也可慢于 **lpuart_pclk**，唯一的限制是软件以足够快的速度管理通信的能力。

33.4.2 LPUART 信号

LPUART 双向通信需要至少两个引脚：接收数据输入引脚 (RX) 和发送数据输出引脚 (TX)：

- **RX**（接收数据输入引脚）
  RX 为串行数据输入引脚。
- **TX**（发送数据输出引脚）
  如果关闭发送器，该输出引脚模式由其 I/O 端口配置决定。如果使能了发送器但没有待发送的数据，则 TX 引脚处于高电平。在单线模式下，该 I/O 用于发送和接收数据。

RS232 硬件流控制模式

在 RS232 硬件流控制模式下需要以下引脚：

- **CTS**（清除以发送）
  如果驱动为高电平，则该信号用于在当前传输结束时阻止数据发送。
- **RTS**（请求以发送）
  如果为低电平，则该信号用于指示 USART 已准备好接收数据。

RS485 硬件流控制模式

在 RS485 硬件控制模式下需要以下引脚：

- **DE**（驱动器使能）
  该信号用于激活外部收发器的发送模式。

注： *DE 和 RTS 共用同一个引脚。*

33.4.3 LPUART 字符说明

可通过对 LPUART_CR1 寄存器中的 M 位（M0：位 12，M1：位 28）进行编程来将字长设置为 7 位、8 位或 9 位（请参见*图 316*）。

- 7 位字符长度：M[1:0] = “10”
- 8 位字符长度：M[1:0] = “00”
- 9 位字符长度：M[1:0] = “01”

在默认情况下，信号（TX 或 RX）在起始位工作期间处于低电平状态。在停止位工作期间处于高电平状态。

通过极性配置控制，可以单独针对每个信号对这些值取反。

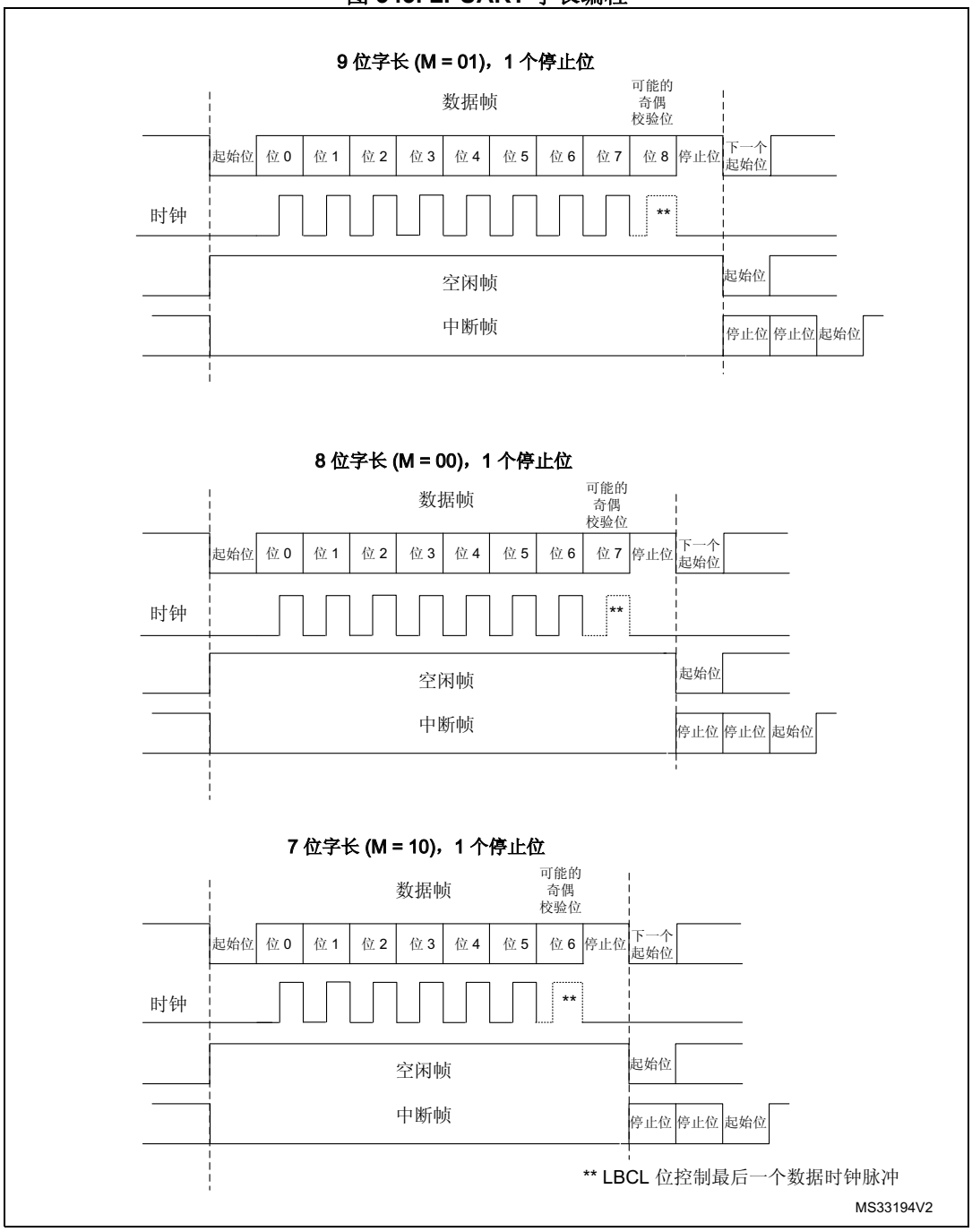
空闲字符可理解为整个帧周期内电平均为“1”。（停止位的电平也是“1”）。

停止字符可理解为在一个帧周期内接收到的电平均为“0”。发送器在中断帧的末尾插入 2 个停止位。

发送和接收操作由通用波特率发生器驱动。发送器和接收器的使能位置 1 时，将分别生成发送时钟和接收时钟。

下面给出了各个块的详细信息。

图 343. LPUART 字长编程



33.4.4 LPUART FIFO 和阈值

LPUART 可工作在 FIFO 模式下。

LPUART 具有一个发送 FIFO (TXFIFO) 和一个接收 FIFO (RXFIFO)。可通过将 LPUART_CR1 寄存器中的 FIFOEN 位（位 29）置 1 使能 FIFO 模式。

最大数据字长度为 9 位，因此 TXFIFO 为 9 位宽。不过，RXFIFO 的默认宽度为 12 位。这是因为接收器不仅在 FIFO 中存储数据，而且还存储与每个字符相关的错误标志（奇偶校验错误、噪声错误和帧错误标志）。

注： *接收的数据与相应的标志一起存储在 RXFIFO 中，但读取 RDR 时仅读取数据。*

状态标志位于 LPUART_ISR 寄存器中。

可以定义触发 Tx 和 RX 中断的 TXFIFO 和 RXFIFO 阈值。这些阈值通过 LPUART_CR3 控制寄存器中的 RXFTCFG 和 TXFTCFG 位域进行编程。

在这种情况下：

- 当 RXFIFO 中接收的数据量达到 RXFTCFG 位域中编程的阈值时，LPUART_ISR 寄存器中的 RXFT 标志置 1 并会生成相应中断（如果使能）。

  这意味着，在 RXFIFO 中的数据量等于编程的阈值前，将一直对 RXFIFO 进行填充。

  已接收到 RXFTCFG 数据：LPUART_RDR 中有 1 个数据，RXFIFO 中有 (RXFTCFG - 1) 个数据。例如，如果将 RXFTCFG 编程为“101”，则在接收到对应于 FIFO 大小的数据量（RXFIFO 中有 FIFO 大小 - 1 个数据，LPUART_RDR 中有 1 个数据）时，RXFT 标志将置 1。因此，下一个接收到的数据不会将上溢标志置 1。
- 当 TXFIFO 中的空存储单元数达到 TXFTCFG 位域中编程的阈值时，LPUART_ISR 寄存器中的 TXFT 标志置 1 并会生成相应中断（如果使能）。

  这意味着，在 TXFIFO 中的空存储单元数等于编程的阈值前，将一直对 TXFIFO 进行清除。

33.4.5 LPUART 发送器

发送器可发送 7 位、8 位或 9 位的数据字，具体取决于 M 位的状态。要激活发送器功能，必须将发送使能位 (TE) 置 1。发送移位寄存器中的数据输出到 TX 引脚。

字符发送

LPUART 发送期间，首先通过 TX 引脚移出数据的最低有效位 （默认配置） 。该模式下，LPUART_TDR 寄存器的缓冲区 (TDR) 位于内部总线和发送移位寄存器之间（请参见*图 342*）。

使能 FIFO 模式时，写入到 LPUART_TDR 寄存器中的数据会在 TXFIFO 中排队。

每个字符前面都有一个起始位，其对应于一个位周期的逻辑低电平。字符由可配置数量的停止位终止。

停止位的数量可为 1 或 2。

注： *向 LPUART_TDR 中写入要发送的数据前，TE 位必须先置 1。*

数据发送期间不应复位 TE 位。发送期间复位 TE 位会冻结波特率计数器，进而损坏 TX 引脚上的数据。当前发送的数据将会丢失。

使能 TE 位后，将会发送空闲帧。

可配置的停止位

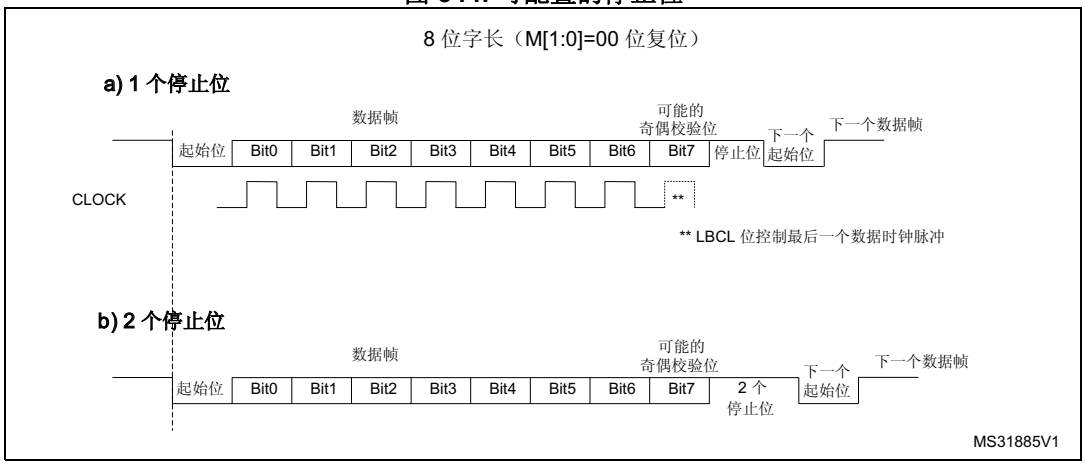
可以在 LPUART_CR2 的位 13 和位 12 中编程将随各个字符发送的停止位的数量。

- ***1 个停止位***：这是停止位数量的默认值。
- ***2 个停止位***：正常 LPUART 模式、单线模式和调制解调器模式支持该值。

空闲帧发送将包括停止位。

中断发送是 10 个低电平位（M[1:0] = “00”时）、11 个低电平位（M[1:0] = “01”时）或 9 个低电平位（M[1:0] = “10”时），然后是 2 个停止位。无法传送长中断（中断长度大于 9/10/11 个低电平位）。

图 344. 可配置的停止位



字符发送步骤

要发送字符，需遵循以下步骤：

1. 对 LPUART_CR1 中的 M 位进行编程以定义字长。
2. 使用 LPUART_BRR 寄存器选择所需波特率。
3. 对 LPUART_CR2 中的停止位数量进行编程。
4. 通过向 LPUART_CR1 寄存器中的 UE 位写入“1”使能 LPUART。
5. 如果将进行多缓冲区通信，请选择 LPUART_CR3 中的 DMA 使能 (DMAT)。按照*第 32.5.10 节：USART 多处理器通信*中的说明配置 DMA 寄存器。
6. 将 LPUART_CR1 中的 TE 位置 1 以便在首次发送时发送一个空闲帧。
7. 在 LPUART_TDR 寄存器中写入要发送的数据。为每个要在单缓冲区模式下发送的数据重复该操作。
   - 禁止 FIFO 模式时，向 LPUART_TDR 写入数据会将 TXE 标志清零。
   - 使能 FIFO 模式时，向 LPUART_TDR 写入数据会为 TXFIFO 增添一个数据。当 TXFNF 标志置 1 时，会对 LPUART_TDR 执行写操作。该标志会保持置 1，直到 TXFIFO 已满。
8. 将最后一个数据写入 LPUART_TDR 寄存器后，等待 TC =1。这表明最后一个帧的传送已完成。
   - 禁止 FIFO 模式时，这表示最后一个帧的发送已完成。
   - 使能 FIFO 模式时，这表示 TXFIFO 和移位寄存器均为空。

   当 LPUART 被禁止或进入暂停模式时，需要执行此检查来避免损坏最后一次发送。

单字节通信

- 禁止 FIFO 模式时：

  对发送数据寄存器进行写操作始终会清零 TXE 位。TXE 标志由硬件置 1 以指示：

  – 数据已从 LPUART_TDR 寄存器移到移位寄存器中且数据发送已开始；
  – LPUART_TDR 寄存器为空；
  – LPUART_TDR 寄存器中可写入下一个数据，而不会覆盖前一个数据。

  当 TXEIE 位置 1 时，TXE 标志会生成中断。

  发送时，要传入 LPUART_TDR 寄存器的写指令中存有 TDR 寄存器中的数据，该数据将在当前发送结束时复制到移位寄存器中。

  未发送时，要传入 LPUART_TDR 寄存器的写指令会将数据置于移位寄存器中，数据发送开始时，TXE 位置 1。

- 使能 FIFO 模式时，TXFNF（TXFIFO 未满）标志由硬件置 1，以指示：
  – TXFIFO 未满；
  – LPUART_TDR 寄存器为空；
  – LPUART_TDR 寄存器中可写入下一个数据，而不会覆盖前一个数据。发送时，对 LPUART_TDR 寄存器的写操作会将数据存储在 TXFIFO 中。该数据将在当前发送结束时从 TXFIFO 复制到移位寄存器中。

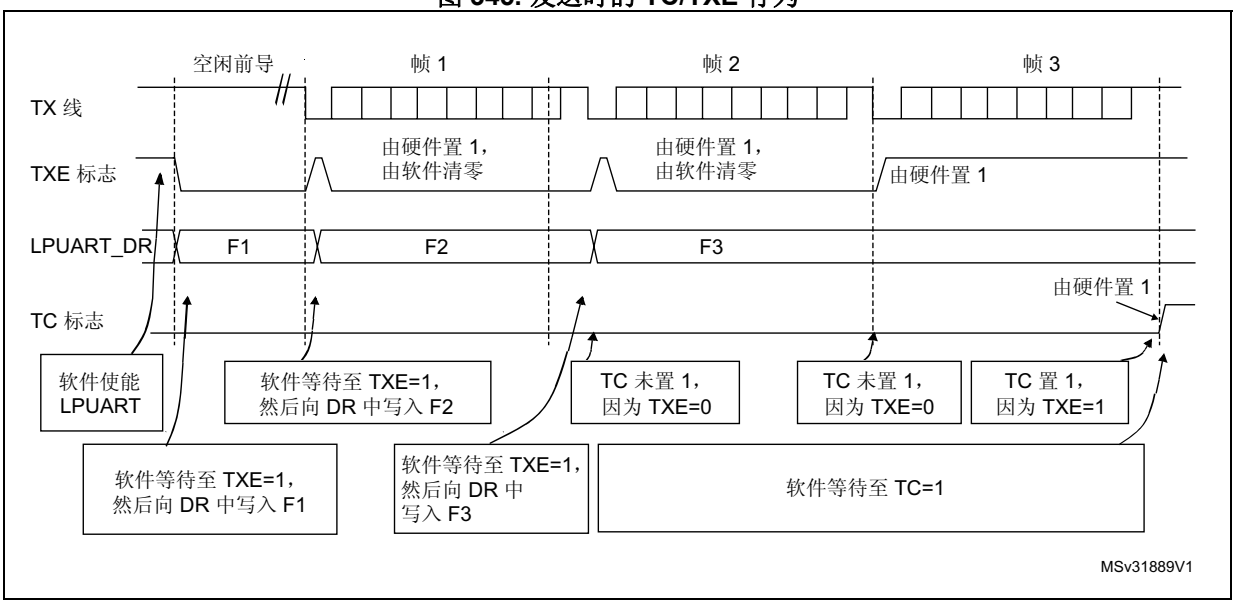
  TXFIFO 未满时，即使在对 LPUART_TDR 执行完写操作后，TXFNF 标志也保持为“1”。该标志在 TXFIFO 已满时清零。TXFNEIE 位置 1 时，该标志会生成中断。

  或者，当达到 TXFIFO 阈值时，会生成中断并将数据写入 TXFIFO。在这种情况下，CPU 可写入由编程的阈值定义的数据块。

  如果帧已发送（停止位后）且 TXE 标志（FIFO 模式下的 TXFE）置 1，TC 位将变为高电平。如果 LPUART_CR1 寄存器中的 TCIE 位置 1，将生成中断。

  向 LPUART_TDR 寄存器中写入最后一个数据后，必须等待至 TC=1，之后才可禁止 LPUART 或使微控制器进入低功率模式（请参见*图 345：发送时的 TC/TXE 行为*）。

图 345. 发送时的 TC/TXE 行为



注：　使能 FIFO 管理时，TXFNF 标志将用于数据发送。

中断字符

将 SBKRQ 位置 1 将发送一个中断字符。中断帧的长度取决于 M 位（请参见*图 343*）。

如果将“1”写入 SBKRQ 位，则当前字符发送完成后，将在 TX 线路上发送一个中断字符。通过写操作将 SBKF 位置 1 并在中断字符发送完成时（发送中断字符后的停止位期间），该位由硬件复位。LPUART 在中断帧末尾的两位持续时间内插入一个逻辑“1”信号 (STOP)，以确保识别下个帧的起始位。

如果 SBKRQ 位置 1，则在当前发送结束时，会发送一个中断字符。

使能 FIFO 模式时，即使 TXFIFO 已满，发送中断字符的优先级也仍高于发送数据的优先级。

空闲字符

将 TE 位置 1 会驱动 LPUART 在第一个数据帧之前发送一个空闲帧。

33.4.6 LPUART 接收器

LPUART 可接收 7 位、8 位或 9 位的数据字，具体取决于 LPUART_CR1 寄存器中的 M 位。

起始位检测

在 LPUART 中，先在 Rx 线路上出现下降沿时检测起始位，然后在起始位中间采样以确认电平是否仍为“0”。如果起始采样为“1”，则噪声错误标志 (NE) 置 1，起始位将被丢弃，接收器将等待新的起始位。否则，接收器将继续正常采样所有传入位。

字符接收

LPUART 接收期间，首先通过 RX 引脚移入数据的最低有效位（默认配置）。该模式下，LPUART_RDR 寄存器的缓冲区 (RDR) 位于内部总线和接收移位寄存器之间。

字符接收步骤

要接收字符，需遵循以下步骤：

1. 对 LPUART_CR1 中的 M 位进行编程以定义字长。
2. 使用波特率寄存器 LPUART_BRR 选择所需波特率。
3. 对 LPUART_CR2 中的停止位数量进行编程。
4. 通过向 LPUART_CR1 寄存器中的 UE 位写入“1”使能 LPUART。
5. 如果将进行多缓冲区通信，请选择 LPUART_CR3 中的 DMA 使能 (DMAR)。按照*第 32.5.10 节：USART 多处理器通信*中的说明配置 DMA 寄存器。
6. 将 RE 位 LPUART_CR1 置 1。这一操作将使能接收器开始搜索起始位。

接收到字符时

- 禁止 FIFO 模式时，RXNE 位置 1。这表明移位寄存器的内容已传送到 RDR。也就是说，已接收到并可读取数据（及其相应的错误标志）。
- 如果已使能 FIFO 模式，则 RXFNE 位置 1，这表示 RXFIFO 非空。读取 LPUART_RDR 会返回输入到 RXFIFO 中的最早数据。接收到数据时，数据以及相应的错误位将一起被存储在 RXFIFO 中。
- 如果 RXNEIE（FIFO 模式下时为 RXFNEIE）位置 1，则会生成中断。
- 如果接收期间已检测到帧错误、噪声错误或上溢错误，错误标志位可置 1。

- 在多缓冲区通信模式下：
  - 禁止 FIFO 模式时，每接收到一个字节后 RXNE 标志均置 1，然后通过 DMA 对接收数据寄存器执行读操作清零。
  - 如果使能 FIFO 模式，则 RXFNE 标志在 RXFIFO 非空时置 1。每次收到 DMA 请求后，都会从 RXFIFO 检索数据。在 RXFIFO 非空时（即，当 RXFIFO 中存在要读取的数据时），会触发 DMA 请求。
- 在单缓冲区模式下：
  - 如果禁止 FIFO 模式，则通过软件对 LPUART_RDR 寄存器进行读操作来将 RXNE 标志清零。也可以通过将 LPUART_RQR 寄存器中的 RXFRQ 位置 1 将 RXNE 标志位清零。RXNE 位必须在结束接收下一个字符前清零，以避免发生上溢错误。
  - 如果使能 FIFO 模式，则 RXFNE 标志在 RXFIFO 非空时置 1。每次对 LPUART_RDR 寄存器执行完读操作后，都会从 RXFIFO 中检索数据。RXFIFO 为空时，RXFNE 标志将清零。也可以通过将 LPUART_RQR 寄存器中的 RXFRQ 位置 1 将 RXFNE 标志清零。RXFIFO 已满时，必须在结束接收下一个字符前读取 RXFIFO 中的第一个条目，以避免发生上溢错误。当 RXFNEIE 位置 1 时，RXFNE 标志会生成中断。或者，当达到 RXFIFO 阈值时，会生成中断并从 RXFIFO 中读取数据。在这种情况下，CPU 可读取由编程的阈值定义的数据块。

中断字符

接收到中断字符时，USART 将会按照帧错误对其进行处理。

空闲字符

检测到空闲帧时，除了在 IDLEIE 位置 1 时会生成中断外，处理步骤与接收到数据字符的情况相同。

上溢错误

- 禁止 FIFO 模式

  如果在 RXNE 未复位时接收到字符，则会发生上溢错误。

  RXNE 位清零前，数据无法从移位寄存器传送到 RDR 寄存器。每接收到一个字节后，RXNE 标志位都将置 1。

  当 RXNE 标志位置 1 时，如果在接收到下一个数据或尚未处理上一个 DMA 请求，则会发生上溢错误。发生上溢错误时：
  - ORE 位置 1。
  - RDR 中的内容不会丢失。对 LPUART_RDR 执行读操作时可使用先前的数据。
  - 移位寄存器将被覆盖。之后，上溢期间接收到的任何数据都将丢失。
  - 如果 RXNEIE 位置 1 或 EIE 位置 1，则会生成中断。
- 使能 FIFO 模式

  移位寄存器准备好传送且接收 FIFO 已满时，会发生上溢错误。

  在 RXFIFO 中存在一个空闲位置之前，数据无法从移位寄存器传送到 LPUART_RDR 寄存器。当 RXFIFO 非空时，RXFNE 标志置 1。

  如果 RXFIFO 已满且移位寄存器已准备好传送，则会发生上溢错误。发生上溢错误时：
  - ORE 位置 1。
  - RXFIFO 中的第一个条目不会丢失。可通过对 LPUART_RDR 执行读操作来获取。
  - 移位寄存器将被覆盖。之后，上溢期间接收到的任何数据都将丢失。
  - 如果 RXFNEIE 位置 1 或 EIE 位置 1，则会生成中断。

通过将 ICR 寄存器中的 ORECF 位置 1 来复位 ORE 位。

注： *ORE 位置 1 时表示至少 1 个数据丢失。*

禁止 FIFO 模式时，有以下两种可能

- *如果 RXNE = 1，则最后一个有效数据存储于接收寄存器 (RDR) 中并且可进行读取，*
- *如果 RXNE=0，则表示最后一个有效数据已被读取，因此 RDR 中没有要读取的数据。会发生这种情况，已读取 RDR 寄存器中的最后一个有效数据的同时接收到新（并且丢失）的数据。*

选择时钟源

时钟源的选择通过时钟控制系统完成（请参见*复位和时钟控制器 (RCC) 部分*）。在使能 LPUART 之前，必须通过 UE 位选择时钟源。

必须遵循以下两个条件选择时钟源：

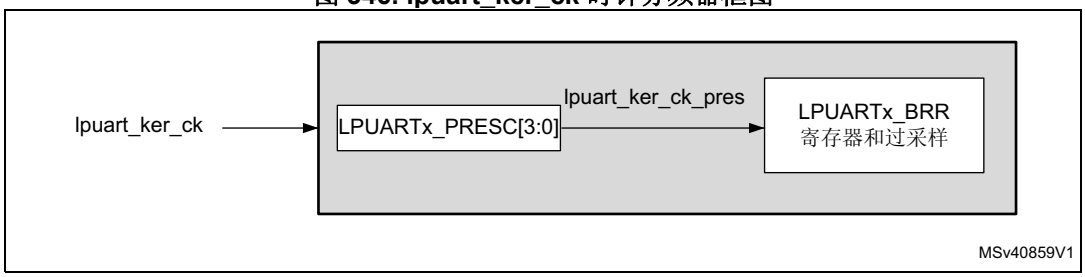
- 可在低功耗模式下使用 LPUART
- 通信速度。

时钟源频率为 lpuart_ker_ck。

如果支持双时钟域和从低功耗模式唤醒功能，则 lpuart_ker_ck 时钟源可在 RCC 中进行配置（请参见*复位和时钟控制器 (RCC) 部分*）。否则，lpuart_ker_ck 与 lpuart_pclk 相同。

lpuart_ker_ck 可根据 LPUART_PRESC 寄存器中的可编程系数进行分频。

图 346. lpuart_ker_ck 时钟分频器框图



某些 lpuart_ker_ck 时钟源允许 LPUART 在 MCU 处于低功耗模式时接收数据。必要时，LPUART 可基于所接收的数据和唤醒模式的选择来唤醒 MCU，以通过用软件读取 LPUART_RDR 寄存器的方式或通过 DMA 的方式传输已接收数据。

对于其他时钟源，系统必须激活才能进行 LPUART 通信。

时钟源还决定通信速度范围（尤其是最大通信速度）。

接收器在尽可能靠近波特周期中间的位置采样每个传入波特。每个传入波特仅进行一次采样。

注： *不进行数据噪声检测。*

帧错误

如果接收数据时未在预期时间内识别出停止位，从而出现同步失效或过度的噪声，则会检测到帧错误。

检测到帧错误时：

- FE 位由硬件置 1
- 无效数据从移位寄存器传送到 LPUART_RDR 寄存器。
- 单字节通信时无中断产生。然而，在 RXNE 位产生中断时，该位出现上升沿。多缓冲区通信时，LPUART_CR3 寄存器中的 EIE 位置 1 时将发出中断。

通过将 1 写入 LPUART_ICR 寄存器中的 FECF 位来复位 FE 位。

接收期间可配置的停止位

可通过 LPUART_CR2 的控制位配置要接收的停止位的数量：可以是 1 个或 2 个（正常模式下）。

- **1 个停止位**：将在第 8、第 9 和第 10 次采样时对 1 个停止位进行采样。
- **2 个停止位**：将在第二个停止位的中间对 2 个停止位进行采样。RXNE 和 FE 标志在此采样期间（例如，在第二个停止位期间）置 1。发生帧错误时不检测第一个停止位。

33.4.7 LPUART 波特率生成

接收器和发送器（Rx 和 Tx）的波特率均设置为 LPUART_BRR 寄存器中编程的值。

$$\text{Tx/Rx 波特率} = \frac{256 \times \text{lpuartckpres}}{\text{LPUARTDIV}}$$

LPUARTDIV 在 LPUART_BRR 寄存器中定义。

注： *对 LPUART_BRR 执行写操作后，波特率计数器更新为波特率寄存器中的新值。因此，波特率寄存器的值不应在通信时发生更改。*

禁止在 LPUART_BRR 寄存器中写入小于 0x300 的值。

f_{CK} *必须介于 3 x 波特率到 4096 x 波特率之间。*

LPUART 时钟源为 LSE 时可达到的最大波特率为 9600 波特。当 LPUART 由与 LSE 时钟不同的时钟源计时，可以达到更高的波特率。例如，如果 LPUART 时钟源频率为 100 MHz，则可达到的最大波特率约为 33 M 波特。

表 175. lpuart_ker_ck_pres = 32,768 KHz 时编程的波特率的误差计算

波特率		lpuart_ker_ck_pres = 32,768 KHz		
序号	所需值	实际值	波特率寄存器中编程的值	误差 % = (计算值 - 所需值) / 所需波特率
1	0.3 KBps	0.3 KBps	0x6D3A	0
2	0.6 Kbps	0.6 Kbps	0x369D	0
3	1200 Bps	1200.087 Bps	0x1B4E	0.007
4	2400 Bps	2400.17 Bps	0xDA7	0.007
5	4800 Bps	4801.72 Bps	0x6D3	0.035
6	9600 KBps	9608.94 Bps	0x369	0.093

表 176. 采用 16 倍过采样 (OVER8 = 0) 时，在 f_{CK} = 100 MHz 下

波特率		f_{CK} = 100 MHz		
序号	所需值	实际值	波特率寄存器中编程的值	误差 % = (计算值 - 所需值) / 所需波特率
1	38400 波特	38400,04 波特	A2C2A	0,0001
2	57600 波特	57600,06 波特	6C81C	0,0001
3	115200 波特	115200,12 波特	3640E	0,0001
4	230400 波特	230400,23 波特	1B207	0,0001
5	460800 波特	460804,61 波特	D903	0,001
6	921600 波特	921625,81 波特	6C81	0,0028
7	4000 K 波特	4000000,00 波特	1900	0
8	10000 K 波特	10000000,00 波特	A00	0
9	20000 K 波特	20000000,00 波特	500	0
10	30000 K 波特	33032258,06 波特	307	0,1

33.4.8 LPUART 接收器对时钟偏差的容差

仅当总时钟系统偏差小于 LPUART 接收器的容差时，LPUART 异步接收器才能正常工作。影响总偏差的因素包括：

- DTRA：发送器误差引起的偏差（其中还包括发送器本地振荡器的偏差）
- DQUANT：接收器的波特率量化引起的误差
- DREC：接收器本地振荡器的偏差
- DTCL：传输线路引起的偏差（通常是由于收发器所引起，它可能会在低电平到高电平转换时序与高电平到低电平转换时序之间引入不对称）

DTRA + DQUANT + DREC + DTCL + DWU < LPUART 接收器容差

其中

DWU 是使用从低功耗模式唤醒时因采样点偏差而产生的误差。

LPUART 接收器在*表 177* 中指定的最大容许偏差下可正确接收数据：

- 通过 LPUART_CR2 寄存器中的 STOP[1:0] 位定义的停止位数。
- LPUART_BRR 寄存器值。

表 177. LPUART 接收器的容差

M 位	768 < BRR < 1024	1024 < BRR < 2048	2048 < BRR < 4096	4096 ≤BRR
8 位 （M=00）， 1 个停止位	1.82%	2.56%	3.90%	4.42%
9 位 （M=01）， 1 个停止位	1.69%	2.33%	2.53%	4.14%
7 位 （M=10）， 1 个停止位	2.08%	2.86%	4.35%	4.42%
8 位 （M=00）， 2 个停止位	2.08%	2.86%	4.35%	4.42%
9 位 （M=01）， 2 个停止位	1.82%	2.56%	3.90%	4.42%
7 位 （M=10）， 2 个停止位	2.34%	3.23%	4.92%	4.42%

注： *当接收的帧恰好包含 10 个（M 位 = “00”）、11 个（M 位 = “01”）或 9 个（M 位 = “10”）位时间的空闲帧时，*表 177* 中指定的数据可能与特例中的数据略微不同。*

33.4.9 LPUART 多处理器通信

可以执行 LPUART 多处理器通信（多个 LPUART 连接在一个网络中）。例如，其中一个 LPUART 可以是主器件，其 TX 输出与其他 LPUART 的 RX 输入相连接。其他 LPUART 为从器件，其各自的 TX 输出在逻辑上通过与运算连在一起，并与主 LPUART 的 RX 输入相连。

在多处理器配置中，理想情况下通常只有预期的消息接收方主动接收完整的消息内容，从而减少由所有未被寻址的接收器造成的冗余 LPUART 服务开销。

可通过静默功能将未被寻址的器件置于静默模式下。为了使用静默模式功能，必须将 LPUART_CR1 寄存器中的 MME 位置 1。

注： *使能 FIFO 管理且 MME 已置 1 时，不得清零 MME 位再快速将其置 1（在两个 lpuart_ker_ck 周期内），否则静默模式可能保持有效。*

使能静默模式时：

- 不得将接收状态位置 1。
- 禁止任何接收中断。
- LPUART_ISR 寄存器中的 RWU 位置“1”。在某些情况下，RWU 可以由硬件或软件通过 LPUART_RQR 寄存器中的 MMRQ 位自动控制。

根据 LPUART_CR1 寄存器中 WAKE 位的设置，LPUART 可使用以下两种方法进入或退出静默模式：

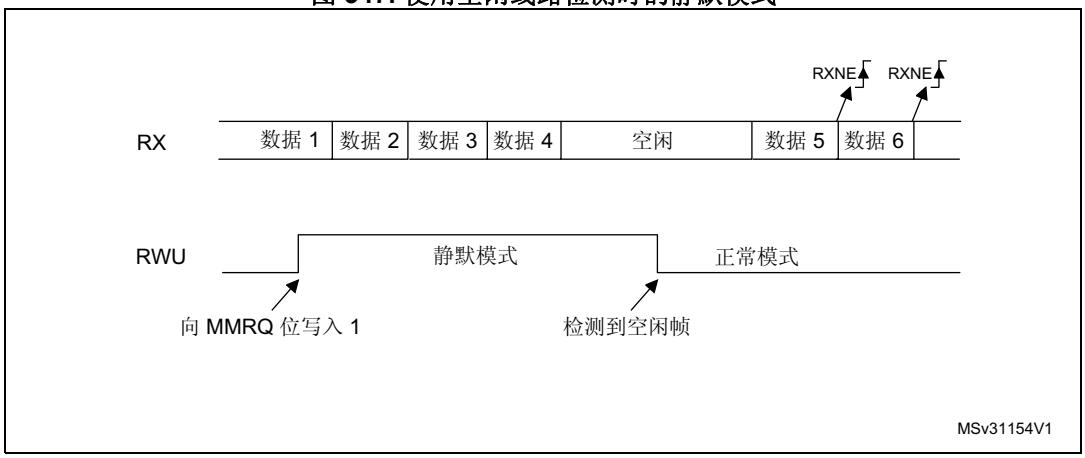
- 如果 WAKE 位被复位，则进行空闲线路检测。
- 如果 WAKE 位置 1，则进行地址标记检测。

空闲线路检测 (WAKE=0)

当向 MMRQ 位写入 1 且 RWU 位自动置 1 时，LPUART 进入静默模式。

检测到空闲帧时，LPUART 将唤醒。此时 RWU 位会由硬件清零，但 LPUART_ISR 寄存器中的 IDLE 位不会置 1。*图 347* 中给出了使用空闲线路检测时静默模式行为的示例。

图 347. 使用空闲线路检测时的静默模式



注： *如果在 IDLE 字符已经过去时将 MMRQ 位置 1，将不会进入静默模式（RWU 未置 1）。*

如果在线路处于空闲状态时激活 LPUART，在一个 IDLE 帧持续时间后（不只在接收一个字符帧后）会检测到空闲状态。

4 位/7 位地址标记检测 (WAKE=1)

在此模式下，如果字节的 MSB 为 1，则将这些字节识别为地址，否则将其识别为数据。在地址字节中，目标接收器的地址位于 4 个或 7 个 LSB 中。7 位或 4 位地址检测通过 ADDM7 位来选择。接收器会将此 4 位/7 位字与其地址进行比较，该接收器的地址在 LPUART_CR2 寄存器的 ADD 位中进行设置。

注： *在 7 位和 9 位数据模式下，地址检测分别在 6 位和 8 位地址上完成（ADD[5:0] 和 ADD[7:0]）。*

当接收到与其编程地址不匹配的地址字符时，LPUART 会进入静默模式。此时，RWU 位将由硬件置 1。LPUART 进入静默模式后，RXNE 标志不会针对此地址字节置 1，也不会发出中断或 DMA 请求。

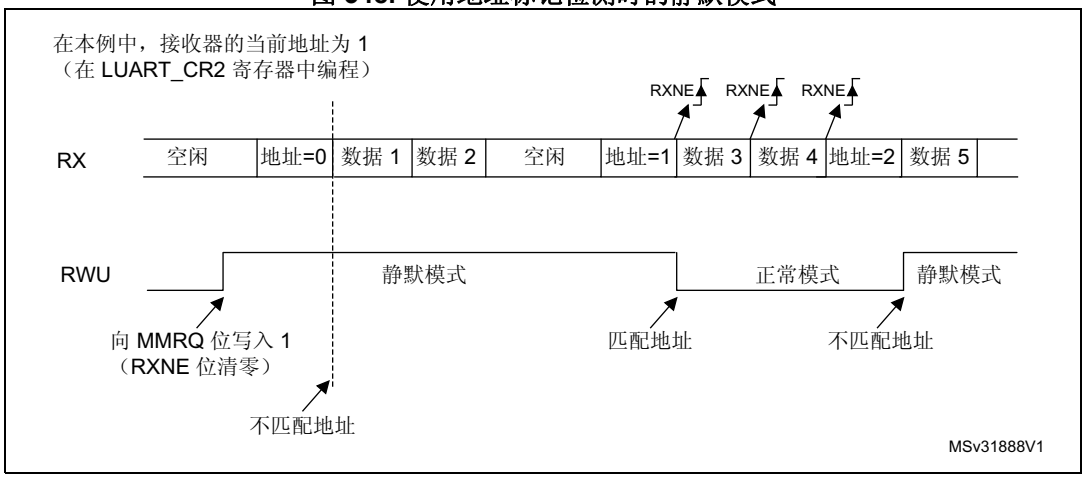
当向 MMRQ 位写入“1”时，LPUART 也会进入静默模式。这种情况下，RWU 位也自动置 1。

当接收到与编程地址匹配的地址字符时，LPUART 会退出静默模式。然后 RWU 位被清零，可以开始正常接收后续字节。由于 RWU 位已清零，RXNE/RXFNE 位会针对地址字符置 1。

注： *使能 FIFO 管理时，如果在接收器对数据的最后一位进行采样时 MMRQ 位置 1，则可在有效进入静默模式之前接收该数据。*

图 348 中给出了使用地址标记检测时静默模式行为的示例。

图 348. 使用地址标记检测时的静默模式



33.4.10 LPUART 极性控制

将 LPUART_CR1 寄存器中的 PCE 位置 1，可以使能奇偶校验控制（发送时生成奇偶校验位，接收时进行奇偶校验检查）。根据 M 位定义的帧长度，*表 178* 中列出了可能的 LPUART 帧格式。

表 178：LPUART 帧格式

M 位	PCE 位	LPUART 帧(1)
00	0	| SB | 8 位数据 | STB |
00	1	| SB | 7 位数据 | PB | STB |
01	0	| SB | 9 位数据 | STB |
01	1	| SB | 8 位数据 PB | STB |
10	0	| SB | 7 位数据 | STB |
10	1	| SB | 6 位数据 | PB | STB |

1. 图注：SB：起始位， STB：停止位， P：奇偶校验位。
2. 在数据寄存器中， PB 始终位于 MSB 位置 （第 8 位或第 7 位，具体取决于 M 位的值）。

偶校验

对奇偶校验位进行计算，使帧和奇偶校验位中“1”的数量为偶数（帧由 6 个、7 个或 8 个 LSB 位组成，具体取决于 M 位的值）。

例如，如果数据=00110101 且 4 个位置 1，则在选择偶校验（LPUART_CR1 寄存器中的 PS 位 = 0）时，校验位为 0。

奇校验

对奇偶校验位进行计算，使帧和奇偶校验位中“1”的数量为奇数（帧由 6 个、7 个或 8 个 LSB 位组成，具体取决于 M 位的值）。

例如，如果数据=00110101 且 4 个位置 1，则在选择奇校验（LPUART_CR1 寄存器中的 PS 位 = 1）时，校验位为 1。

接收时进行奇偶校验检查

如果奇偶校验检查失败，则 LPUART_ISR 寄存器中的 PE 标志置 1；如果 LPUART_CR1 寄存器中 PEIE 位置 1，则会生成中断。通过软件将 1 写入 LPUART_ICR 寄存器中的 PECF 位来清零 PE 标志。

发送时的奇偶校验生成

如果 LPUART_CR1 寄存器中的 PCE 位置 1，则在数据寄存器中所写入数据的 MSB 位会进行传送，但是会由奇偶校验位进行更改（如果选择偶校验 (PS=0)，则“1”的数量为偶数；如果选择奇校验 (PS=1)，则“1”的数量为奇数）。

33.4.11 LPUART 单线半双工通信

通过将 LPUART_CR3 寄存器中的 HDSEL 位置 1 来选择单线半双工模式。在此模式下，必须将以下位清零：

- LPUART_CR2 寄存器中的 LINEN 和 CLKEN 位。
- LPUART_CR3 寄存器中的 SCEN 和 IREN 位。

LPUART 可以配置为遵循单线半双工协议，其中 TX 和 RX 线路从内部相连接。使用 LPUART_CR3 寄存器中的控制位 HDSEL 可在半双工通信和全双工通信间进行选择。

向 HDSEL 位写入“1”后：

- TX 和 RX 线路从内部相连接
- 不能再使用 RX 引脚
- 无数据传输时，TX 引脚始终处于释放状态。因此，它在空闲状态或接收过程中用作标准 I/O。这意味着，必须对 I/O 进行配置，以便将 TX 配置为复用功能开漏并外接上拉电阻。

除此之外，通信协议与正常 LPUART 模式下的通信协议相似。此线路上的任何冲突都必须由软件管理（例如，使用中央仲裁器）。尤其要注意，发送过程永远不会被硬件封锁，只要数据是在 TE 位置 1 的情况下写入，发送就会持续进行。

注： *在 LPUART 通信中，当进行 1 个停止位配置时，RXNE 标志在停止位中间置 1。*

33.4.12 使用 DMA 和 LPUART 进行连续通信

LPUART 能够使用 DMA 进行连续通信。接收缓冲区和发送缓冲区的 DMA 请求是独立生成的。

注： *要确定是否支持 DMA 模式，请参见第 898 页的第 32.4 节：USART 实现。*如果不支持 DMA，请按照*第 32.5.6 节中的说明使用 LPUSRT。当 FIFO 禁止时，可以将 LPUART_ISR 寄存器中的 TXE/RXNE 标志清零，从而实现连续通信。*

使用 DMA 进行发送

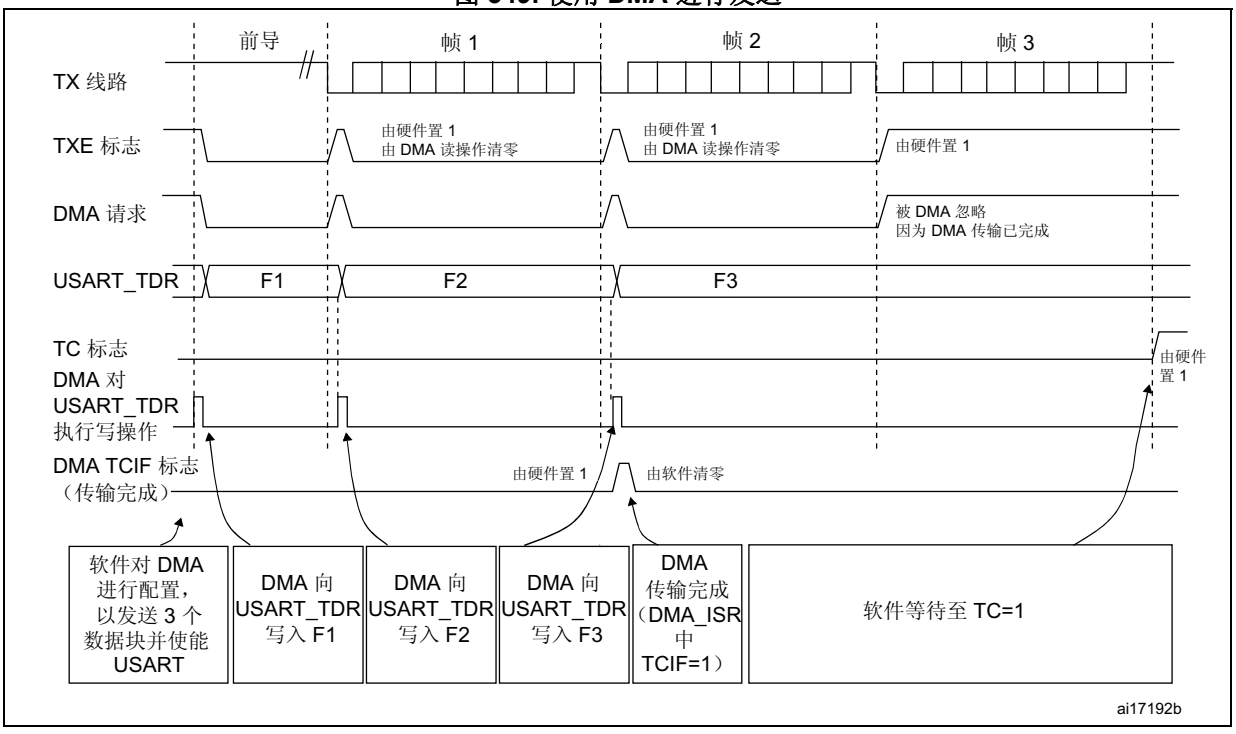
将 LPUART_CR3 寄存器中的 DMAT 位置 1 可以使能 DMA 模式进行发送。当 TXE 标志（使能 FIFO 模式时为 TXFNF 标志）置 1 时，可通过 DMA 外设将数据从配置的 SRAM 区（请参见相应的*直接存储器访问控制器*部分）加载到 LPUART_TDR 寄存器。要映射一个 DMA 通道以进行 LPUART 发送，请按以下步骤操作（x 表示通道编号）：

1. 在 DMA 控制寄存器中写入 LPUART_TDR 寄存器地址，将其配置为传输的目标地址。每次发生 TXE（使能 FIFO 模式时为 TXFNF）事件后，数据都从存储器移动到此地址。
2. 在 DMA 控制寄存器中写入存储器地址，将其配置为传输的源地址。每次发生 TXE（使能 FIFO 模式时为 TXFNF）事件后，数据都从该存储区域加载到 LPUART_TDR 寄存器中。
3. 在 DMA 控制寄存器中配置要传输的总字节数。
4. 在 DMA 寄存器中配置通道优先级。
5. 根据应用的需求，在完成一半或全部传输后产生 DMA 中断。
6. 通过将 LPUART_ICR 寄存器中的 TCCF 位置 1，将 LPUART_ISR 寄存器中的 TC 标志清零。
7. 在 DMA 寄存器中激活该通道。

当达到在 DMA 控制器中设置的数据传输量时，DMA 控制器会在 DMA 通道的中断向量上产生一个中断。

在发送模式下，DMA 对所有要发送的数据执行了写操作（DMA_ISR 寄存器中的 TCIF 标志置 1）后，可以对 TC 标志进行监视，以确保 LPUART 通信已完成。在禁止 LPUART 或进入低功耗模式前必须执行此步骤，以避免损坏最后一次发送。软件必须等待直到 TC=1。TC 标志在所有数据发送期间都保持清零状态，然后在最后一帧发送结束时由硬件置 1。

图 349. 使用 DMA 进行发送



注：　使能 FIFO 管理时，DMA 请求由发送 FIFO 未满（即 TXFNF = 1）触发。

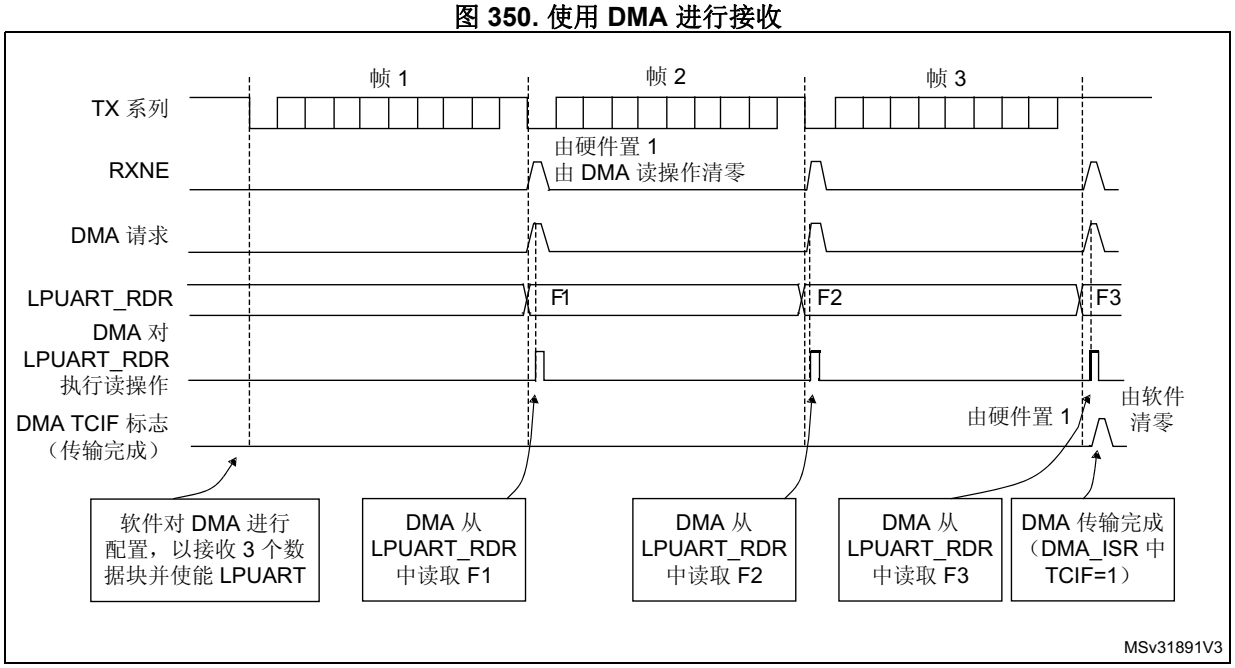
使用 DMA 进行接收

将 LPUART_CR3 寄存器中的 DMAR 位置 1 可以使能 DMA 模式进行接收。每当接收一个字节数据，数据会通过 DMA 外设从 LPUART_RDR 寄存器加载到配置的 SRAM 区域中（请参见*直接存储器访问控制器 (DMA)* 部分）。要映射一个 DMA 通道以进行 LPUART 接收，请按以下步骤操作：

1. 在 DMA 控制寄存器中写入 LPUART_RDR 寄存器地址，将其配置为传输的源地址。每次发生 RXNE（使能 FIFO 模式时为 RXFNE）事件后，数据都从该地址移动到存储器。
2. 在 DMA 控制寄存器中写入存储器地址，将其配置为传输的目标地址。每次发生 RXNE（使能 FIFO 模式时为 RXFNE）事件后，数据都从 LPUART_RDR 加载到此存储区域。
3. 在 DMA 控制寄存器中配置要传输的总字节数。
4. 在 DMA 控制寄存器中配置通道优先级。
5. 根据应用的需求，在完成一半或全部传输后产生中断。
6. 在 DMA 控制寄存器中激活该通道。

当达到在 DMA 控制器中设置的数据传输量时，DMA 控制器会在 DMA 通道的中断向量上产生一个中断。

图 350. 使用 DMA 进行接收



注： *使能 FIFO 管理时，DMA 请求由接收 FIFO 非空（即 RXFNE = 1）触发。*

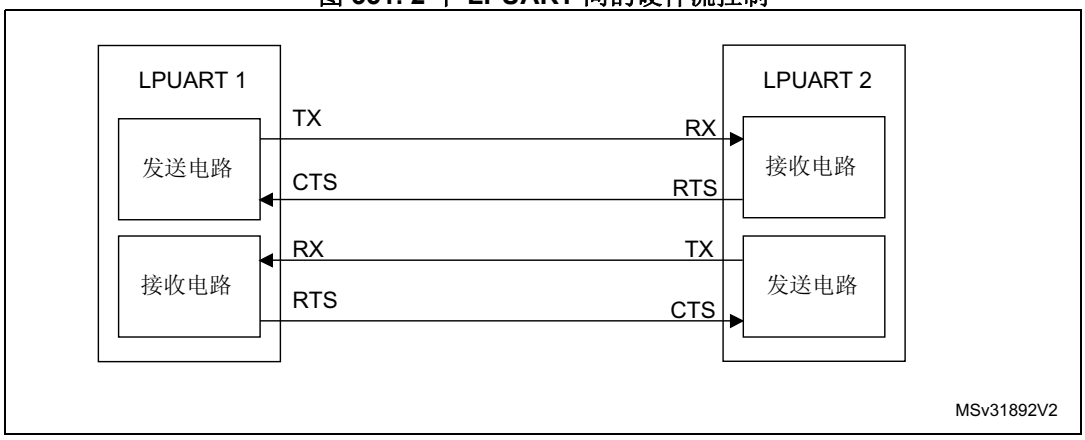
多缓冲区通信中的错误标志和中断生成

在多缓冲区通信模式下，如果事务中发生任何错误，都会在当前字节后将相应错误标志置 1。如果中断使能标志置 1，则会产生中断。在单字节接收过程中，与 RXNE（使能 FIFO 模式时为 RXFNE）一同置位的帧错误、上溢错误和噪声标志具有单独的错误标志中断使能位（LPUART_CR3 寄存器中的 EIE 位）；如果该位置 1，在发生其中任何一个错误时，都会在当前字节后使能中断。

33.4.13 RS232 硬件流控制和 RS485 驱动器使能

使用 nCTS 输入和 nRTS 输出可以控制 2 个器件间的串行数据流。*图 337* 显示了在这种模式下如何连接 2 个器件：

图 351. 2 个 LPUART 间的硬件流控制

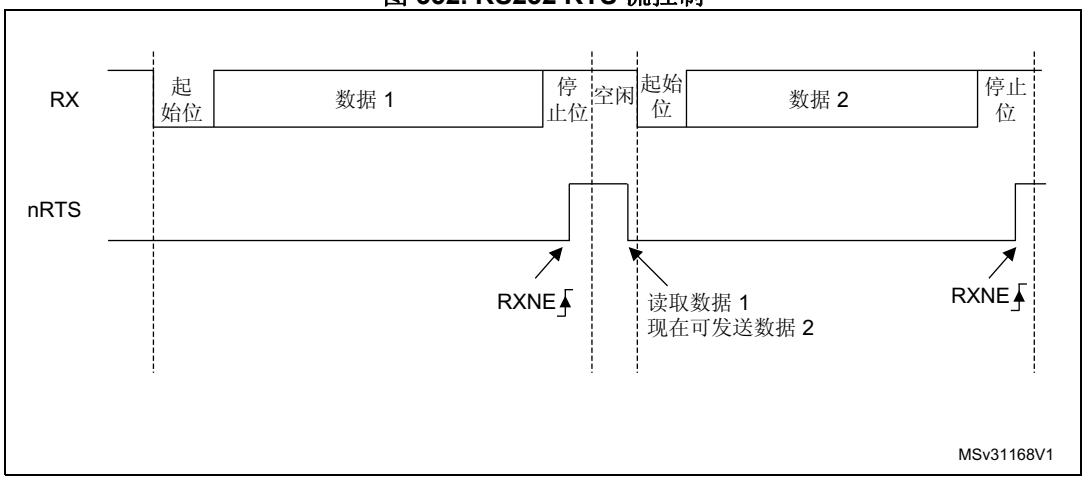


分别向 LPUART_CR3 寄存器中的 RTSE 位和 CTSE 位写入 1，可以分别使能 RS232 RTS 和 CTS 流控制。

RS232 RTS 流控制

如果使能 RTS 流控制 (RTSE=1)，只要 LPUART 接收器准备好接收新数据，便会将 nRTS 变为有效（连接到低电平）。当接收寄存器已满时，会将 nRTS 变为无效，表明发送过程会在当前帧结束后停止。*图 352* 显示了在使能 RTS 流控制的情况下进行通信的示例。

图 352. RS232 RTS 流控制



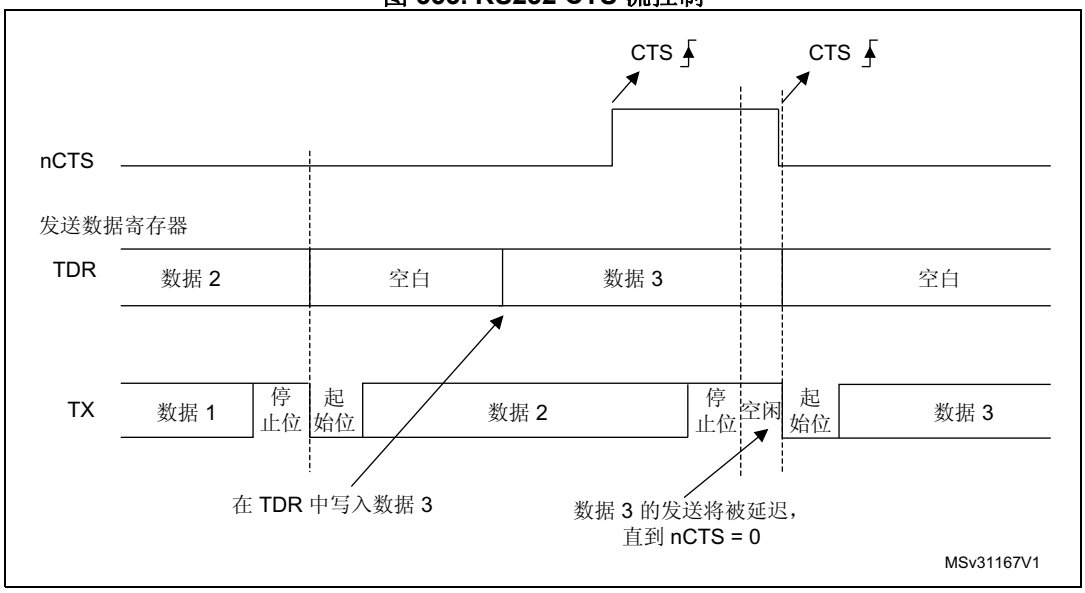
注： *如果使能 FIFO 模式，则仅当 RXFIFO 已满时，nRTS 才会变为无效。*

RS232 CTS 流控制

如果使能 CTS 流控制 (CTSE=1)，则发送器会在发送下一帧前检查 nCTS。如果 nCTS 有效（连接到低电平），则会发送下一数据（假设数据已准备好发送，即 TXE/TXFE=0）；否则不会进行发送。如果在发送过程中 nCTS 变为无效，则当前发送完成之后，发送器停止。

当 CTSE=1 时，只要 nCTS 发生变化，CTSIF 状态位便会由硬件自动置 1。这指示接收器是否已准备好进行通信。如果 LPUART_CR3 寄存器中的 CTSIE 位置 1，则会产生中断。*图 353* 显示了在使能 CTS 流控制的情况下进行通信的示例。

图 353. RS232 CTS 流控制



注： *为正常运行，必须在当前字符结束前至少 3 个 LPUART 时钟源周期内使能 nCTS。此外还应注意，当脉冲短于 2 个 PCLK 周期时无法将 CTSCF 标志置 1。*

RS485 驱动器使能

驱动器使能功能可通过将 LPUART_CR3 控制寄存器中的 DEM 位置 1 使能。这样便可通过 DE（驱动器使能）信号激活外部收发器控制。使能时间为激活 DE 信号与 START 位开始间的时间。可以通过 LPUART_CR1 控制寄存器中的 DEAT [4:0] 位域编程禁止时间。禁止时间为发送的消息中最后一个停止位结束与取消激活 DE 信号间的时间。可以通过 LPUART_CR1 控制寄存器中的 DEDT [4:0] 位域编程禁止时间。DE 信号的极性可使用 LPUART_CR3 控制寄存器中的 DEP 位配置。

LPUART 的 DEAT 和 DEDT 用 LPUART 时钟源 (f_{CK}) 周期表示：

- 驱动器使能有效时间等于
  - (1 + (DEAT x P)) x f_{CK}（如果 P # 0）
  - (1 + DEAT) x f_{CK}（如果 P = 0）
- 驱动器使能禁止时间等于
  - (1 + (DEDT x P)) x f_{CK}（如果 P # 0）
  - (1 + DEDT) x f_{CK}（如果 P = 0）

其中 P = BRR[20:11]

33.4.14 LPUART 低功耗管理

LPUART 具有高级低功耗模式功能，即使禁止 lpuart_pclk 时钟，也能正常传输数据。
UESM 位置 1 时，LPUART 能够将 MCU 从低功耗模式唤醒。
对 usart_pclk 进行门控时，如果某些特定操作需要激活 **usart_pclk** 时钟，则 LPUART 会提供唤醒中断 (**usart_wkup**)：

- 禁止 FIFO 模式时

  必须激活 luart_pclk 时钟以清空 LPUART 数据寄存器。

  在这种情况下，lpuart_wkup 中断源为 RXNE 置“1”。RXNEIE 位必须在进入低功耗模式之前置 1。

- 使能 FIFO 模式时

  必须激活 luart_pclk 时钟以

  – 填充 TXFIFO
  – 或清空 RXFIFO

  在这种情况下，lpuart_wkup 中断源可以为：

  – RXFIFO 非空。此时，RXFNEIE 位必须在进入低功耗模式之前置 1。
  – RxFIFO 已满。此时，RXFFIE 位必须在进入低功耗模式之前置 1，接收到的数据量对应于 RXFIFO 大小，并且 RXFF 标志未置 1。
  – TXFIFO 为空。此时，TXFEIE 位必须在进入低功耗模式之前置 1。

  这允许在低功耗模式下发送/接收 TXFIFO/RXFIFO 中的数据。

  为了避免发生上溢/下溢错误以及在低功耗模式下发送/接收数据，lpuart_wkup 中断源可以是以下事件之一：

  – 达到 TXFIFO 阈值。此时，TXFTIE 位必须在进入低功耗模式之前置 1。
  – 达到 RXFIFO 阈值。此时，RXFTIE 位必须在进入低功耗模式之前置 1。

  例如，如果唤醒时间短于在线路上接收单个字节所需的时间，则应用可将阈值设为最大 RXFIFO 大小。

  使用 RXFIFO 已满、TXFIFO 为空、RXFIFO 非空和 RXFIFO/TXFIFO 阈值中断将 MCU 从低功耗模式唤醒时，可在低功耗模式下尽可能多地进行 LPUART 传输，这样有助于优化功耗。

或者，也可通过 WUS 位域选择特定 **lpuart_wkup** 中断。

检测到唤醒事件后，WUF 标志会由硬件置 1 并在 WUFIE 位置 1 时生成 **lpuart_wkup** 中断。在这种情况下，无需 **lpuart_wkup** 中断即可唤醒。将 WUF 置 1 便足以将 MCU 从低功耗模式唤醒。

注： *在进入低功耗模式之前，请确保未进行任何 LPUART 传输。检查 BUSY 标志不能确保在进行数据接收时绝不会进入低功耗模式。*

WUF 标志在检测到唤醒事件时置 1，而与 MCU 处于低功耗模式还是工作模式无关。

如果在初始化和使能接收器后立即进入低功耗模式，则必须校验 REACK 位以确保 LPUART 确实已使能。

当 DMA 用于接收时，它必须在进入低功耗模式前禁止，并在退出低功耗模式后重新使能。

如果使能 FIFO，则只有在使能静默模式的情况下才能在地址匹配时从低功耗模式唤醒。

使用静默模式和低功耗模式

如果 LPUART 在进入低功耗模式前处于静默模式：

- 不得使用空闲检测时从静默模式唤醒，因为空闲检测无法在低功耗模式下工作。
- 如果使用地址匹配时从静默模式唤醒，则低功耗模式唤醒源也必须是地址匹配。如果 RXNE 标志在进入低功耗模式时置 1，则接口将在地址匹配时和从低功耗模式唤醒时保持静默模式。

注： *使能 FIFO 管理时，静默模式可与从低功耗模式唤醒搭配使用，而且没有任何限制（即，上述关于静默和低功耗模式的两点仅在 FIFO 管理禁止时有效）。*

LPUART 内核时钟 lpuart_ker_ck 在低功耗模式下关闭时从低功耗模式唤醒

在低功耗模式下，如果在 LPUART 接收线上检测到下降沿时 lpuart_ker_ck 时钟处于关闭状态，则 LPUART 接口会借助 lpuart_ker_ck_req 信号请求开启 lpuart_ker_ck 时钟。lpuart_ker_ck 随后用来接收帧。

如果唤醒事件通过验证，则 MCU 将从低功耗模式唤醒，并会正常进行数据接收。

如果唤醒事件未通过验证，则 usart_ker_ck 会再次关闭，MCU 不会被唤醒并保持在低功耗模式下，且内核时钟请求被释放。

以下示例显示了将唤醒事件编程为“地址匹配检测”并禁止 FIFO 管理的情况。

图 354 所示为唤醒事件通过验证时的行为。

图 354. 唤醒事件通过验证（唤醒事件 = 地址匹配，禁止 FIFO）

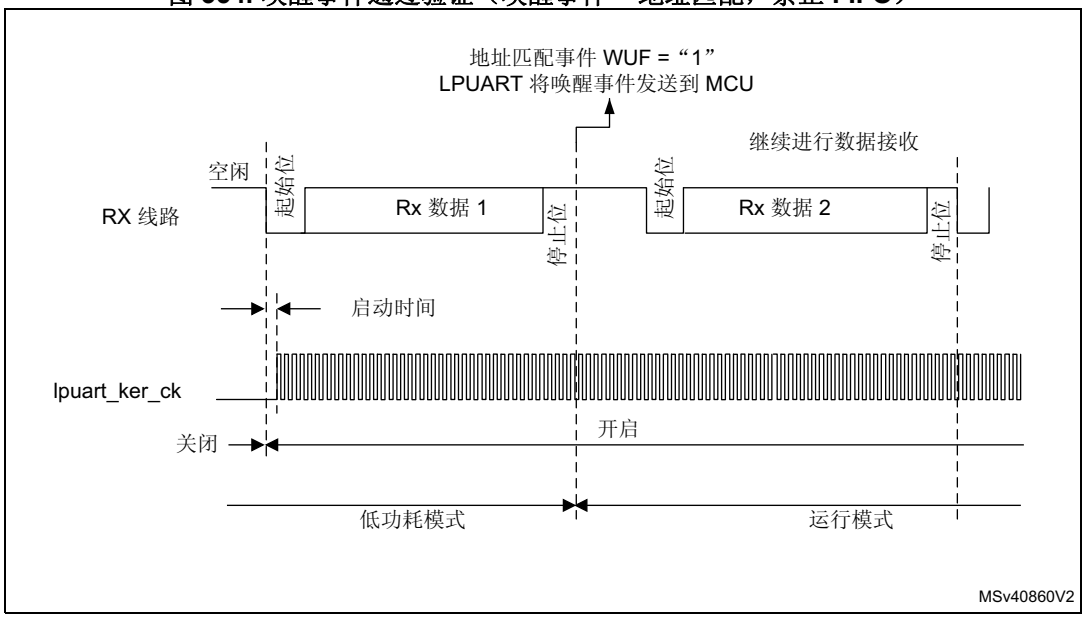
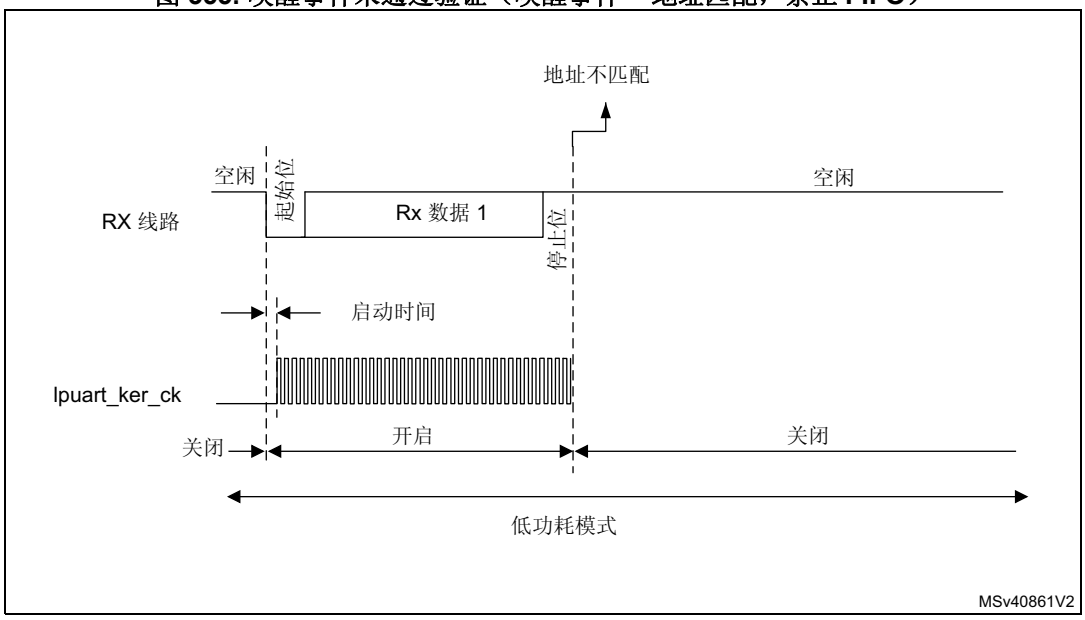


图 355 所示为唤醒事件未通过验证时的行为。

图 355. 唤醒事件未通过验证（唤醒事件 = 地址匹配，禁止 FIFO）



注： *将地址匹配或任一接收的帧用作唤醒事件时，如上两图适用。如果唤醒事件为起始位检测，则 LPUART 会在起始位结束时向 MCU 发送唤醒事件。*

确定允许从低功耗模式正确唤醒 MCU 的最大 LPUART 波特率

允许从低功耗模式正确唤醒 MCU 的最大波特率取决于唤醒时间参数（请参见器件数据手册）和 LPUART 接收器容差（请参见*第 33.4.8 节：LPUART 接收器对时钟偏差的容差*）。

举例来说：OVER8 = 0，M 位 = “01”，ONEBIT = 0，BRR [3:0] = 0000。

在这些条件下，根据*表 177：LPUART 接收器的容差*，LPUART 接收器的容差为 3.41%。

DTRA + DQUANT + DREC + DTCL + DWU < LPUART 接收器的容差

$D_{WUmax} = t_{WULPUART} / (11 \times T_{bit\ Min})$

$T_{bit\ Min} = = t_{WULPUART} / (11 \times D_{WUmax})$

其中 $t_{WULPUART}$ 为从低功耗模式唤醒的时间。

考虑一种理想情况：参数 DTRA、DQUANT、DREC 和 DTCL 为 0%，则 DWU 的最大值为 3.41%。实际上，我们至少需要考虑 lpuart_ker_ck 不精确的情况。

例如，如果将 HSI 用作 lpuart_ker_ck，HSI 的不精确度为 1%，则可以得到：

$t_{WULPUART}$ = 3 µs（仅提供数值作为参考；有关正确数值，请参见器件数据手册）。

D_{WUmax} = 3.41% - 1% = 2.41%

$T_{bit\ min}$ = 3 µs/ (11 x 2.41%) = 11.32 µs

结果，允许从低功耗模式正确唤醒的最大波特率为：1/11.32 µs = 88.36 K 波特。

33.5 LPUART 中断

有关所有 LPUART 中断请求的详细说明，请参见*表 172*。

表 179. LPUART 中断请求

中断事件	事件标志	使能控制位	中断清除方法	中断已激活	
				lpuart_it	lpuart_wkup
发送数据寄存器为空	TXE	TXEIE	TXE 在 TDR 中被写入数据时清零。	是	否
发送 FIFO 未满	TXFNF	TXFNFIE	TXFNF 在 TXFIFO 已满时清零。	是	否
发送 FIFO 为空	TXFE	TXFEIE	TXFE 在 TXFIFO 包含至少一个数据时清零，或通过将 TXFRQ 位置 1 来清零。	是	是
达到发送 FIFO 阈值	TXFT	TXFTIE	TXFT 在 TXFIFO 内容少于编程的阈值时由硬件清零。	是	是
CTS 中断	CTSIF	CTSIE	CTSIF 由软件通过将 CTSCF 位置 1 来清零。	是	否
发送完成	TC	TCIE	TC 在 TDR 中被写入数据时清零，或通过将 TCCF 位置 1 来清零。	是	否
接收数据寄存器不为空（已准备好读取数据）	RXNE	RXNEIE	RXNE 通过读取 RDR 或通过将 RXFRQ 位置 1 来清零。	是	是
接收 FIFO 非空	RXFNE	RXFNEIE	RXFNE 在 RXFIFO 为空时清零，或通过将 RXFRQ 位置 1 来清零。	是	是
接收 FIFO 已满	RXFF(1)	RXFFIE	RXFF 在 RXFIFO 至少包含一个数据时清零。	是	是
达到接收 FIFO 阈值	RXFT	RXFTIE	RXFT 在 RXFIFO 内容少于编程的阈值时由硬件清零。	是	是
检测到溢出错误	ORE	RX-NEIE/RXFNEIE	ORE 通过将 ORECF 位置 1 来清零。	是	否
检测到空闲线路	IDLE	IDLEIE	IDLE 通过将 IDLECF 位置 1 来清零。	是	否
奇偶校验错误	PE	PEIE	PE 通过将 PECF 位置 1 来清零。	是	否
多缓冲区通信中的噪声标志、溢出错误和帧错误。	NE 或 ORE 或 FE	EIE	NE 通过将 NECF 位置 1 来清零 ORE 通过将 ORECF 位置 1 来清零 FE 标志通过将 FECF 位置 1 来清零	是	否
字符匹配	CMF	CMIE	CMF 通过将 CMCF 位置 1 来清零	是	否
从低功耗模式唤醒	WUF	WUFIE	WUF 通过将 WUCF 位置 1 来清零	是	是

表 179. LPUART 中断请求 （续）

中断事件	事件标志	使能控制位	中断清除方法	中断已激活	
				lpuart_it	lpuart_wkup
达到发送 FIFO 阈值	TXFT	TXFTIE	TXFT 在 TXFIFO 内容少于编程的阈值时由硬件清零	是	是
达到接收 FIFO 阈值	RXFT	RXFTIE	RXFT 在 RXFIFO 内容少于编程的阈值时由硬件清零	是	是

1. 如果 LPUART 接收 n+1 个数据（n 表示 RXFIFO 大小，RXFIFO 中有 n 个数据，LPUART_RDR 中有 1 个数据），则 RXFF 标志置位。在停止模式下，未向 LPUART_RDR 提供时钟。因此，将不会对该寄存器进行写操作，一旦有 n 个数据被接收并写入到 RXFIFO，RXFF 中断将生效（RXFF 标志未置 1）。

33.6 LPUART寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

33.6.1 控制寄存器 1 [复用] (LPUART_CR1)

Control register 1

偏移地址：0x00

复位值：0x0000 0000

同一寄存器可用于使能 FIFO 模式（本节）和禁止 FIFO 模式（下一节）的情况。

使能 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RXFFIE	TXFEIE	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
rw	rw	rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **RXFFIE**：RXFIFO 变满时中断使能 (RXFIFO full interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 RXFF=1 时，生成 LPUART 中断

位 30 **TXFEIE**：TXFIFO 为空时中断使能 (TXFIFO empty interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 TXFE=1 时，生成 LPUART 中断

位 29 **FIFOEN**：FIFO 模式使能 (FIFO mode enable)
此位由软件置 1 和清零。
0：禁止 FIFO 模式
1：使能 FIFO 模式

位 28 **M1**：字长 (Word length)
此位必须与位 12 (M0) 搭配使用来确定字长度。该位由软件置 1 或清零。
M[1:0] = “00”：1 个起始位，8 个数据位，n 个停止位
M[1:0] = “01”：1 个起始位，9 个数据位，n 个停止位
M[1:0] = “10”：1 个起始位，7 个数据位，n 个停止位
只有在禁止 LPUART (UE=0) 时才能写入此位。
注： 7 位数据长度模式下，不支持智能卡模式、LIN 主模式和自动波特率（0x7F 帧和 0x55 帧检测）。

位 27:26 保留，必须保持复位值。

位 25:21 **DEAT[4:0]**：驱动器使能使能时间 (Driver Enable assertion time)
该 5 位值用于定义激活 DE（启动器使能）信号与起始位开始间的时间。以 lpuart_ker_ck 时钟周期数表示。有关详细信息，请参见*第 32.5.20 节：RS232 硬件流控制和 RS485 驱动器使能*。
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 20:16 **DEDT[4:0]**：驱动器使能禁止时间 (Driver Enable deassertion time)

该 5 位值用于定义发送的消息中最后一个停止位结束与取消激活 DE（驱动器使能）信号间的时间。以 lpuart_ker_ck 时钟周期数表示。有关详细信息，请参见*第 33.4.13 节：RS232 硬件流控制和 RS485 驱动器使能*。

如果在 DEDT 时间内对 LPUART_TDR 寄存器执行写操作，则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 15 保留，必须保持复位值。

位 14 **CMIE**：字符匹配中断使能 (Character match interrupt enable)

此位由软件置 1 和清零。

0：禁止中断。

1：如果 LPUART_ISR 寄存器中的 CMF 位置 1，则生成 LPUART 中断。

位 13 **MME**：静默模式使能 (Mute mode enable)

此位用于激活 LPUART 的静默模式功能，此位置 1 时，LPUART 可按 WAKE 位定义的方式在活动模式与静默模式之间切换。该位由软件置 1 和清零。

0：接收器永久处于活动模式。

1：接收器可在静默模式和活动模式之间切换。

位 12 **M0**：字长 (Word length)

此位与位 28 (M1) 搭配使用来确定字长度。它由软件置 1 或清零（请参见位 28 (M1) 的说明）。

只有在禁止 LPUART (UE=0) 时才能写入此位。

位 11 **WAKE**：接收器唤醒方法 (Receiver wakeup method)

此位用于确定 LPUART 静默模式的唤醒方法。该位由软件置 1 或清零。

0：空闲线路

1：地址标记

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 10 **PCE**：奇偶校验控制使能 (Parity control enable)

该位选择硬件奇偶校验控制（生成和检测）。使能奇偶校验控制时，计算出的奇偶校验位被插入到 MSB 位置（如果 M=1，则为第 9 位；如果 M=0，则为第 8 位），并对接收到的数据检查奇偶校验位。此位由软件置 1 和清零。一旦该位置 1，PCE 在当前字节的后面处于活动状态（在接收和发送时）。

0：禁止奇偶校验控制

1：使能奇偶校验控制

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 9 **PS**：奇偶校验选择 (Parity selection)

该位用于在使能奇偶校验生成/检测（PCE 位置 1）时选择奇校验或偶校验。该位由软件置 1 和清零。将在当前字节的后面选择奇偶校验。

0：偶校验

1：奇校验

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 8 **PEIE**：PE 中断使能 (PE interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 LPUART_ISR 寄存器中的 PE=1 时，生成 LPUART 中断

位 7 **TXFNFIE**：TXFIFO 未满中断使能 (TXFIFO not full interrupt enable)

此位由软件置 1 和清零。

0：禁止中断

1：当 LPUART_ISR 寄存器中 TXE/TXFNF =1 时，生成 LPUART 中断

位 6 **TCIE**：传输完成中断使能 (Transfer complete interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 TC=1 时，生成 LPUART 中断

位 5 **RXFNEIE**：RXFIFO 非空中断使能 (RXFIFO not empty interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 ORE=1 或 RXNE/RXFNE=1 时，生成 LPUART 中断

位 4 **IDLEIE**：IDLE 中断使能 (IDLE interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 IDLE=1 时，生成 LPUART 中断

位 3 **TE**：发送器使能 (Transmitter enable)
该位使能发送器。该位由软件置 1 和清零。
0：禁止发送器
1：使能发送器
注： *传送期间 TE 位上的低电平脉冲（“0”后紧跟的是“1”）会在当前字的后面发送一个报头（空闲线路）。为生成空闲字符，TE 不能立即写入 1。为确保所需的持续时间，软件可轮询 LPUART_ISR 寄存器中的 TEACK 位。*
当 TE 置 1 时，在发送开始前存在 1 位的时间延迟。

位 2 **RE**：接收器使能 (Receiver enable)
该位使能接收器。该位由软件置 1 和清零。
0：禁止接收器
1：使能接收器并开始搜索起始位

位 1 **UESM**：停止模式下的 LPUART 使能 (LPUART enable in Stop mode)
当此位清零时，LPUART 无法将 MCU 从低功耗模式唤醒。
当此位置 1 时，LPUART 能够将 MCU 从低功耗模式唤醒，前提是 LPUART 时钟选择为 HSI 或 LSE（在 RCC 中）。
此位由软件置 1 和清零。
0：LPUART 无法将 MCU 从低功耗模式唤醒。
1：LPUART 能够将 MCU 从低功耗模式唤醒。当该功能激活时，LPUART 的时钟源必须是 HSI 或 LSE（请参见 RCC 一章）。
注： *建议在进入低功耗模式前将 UESM 位置 1，并在退出低功耗模式时将其清零。*

位 0 **UE**：LPUART 使能 (LPUART enable)
此位清零后，LPUART 预分频器和输出将立即停止，并丢弃当前操作。LPUART 的配置保留，但 LPUART_ISR 中的所有状态标志将被复位。此位由软件置 1 和清零。
0：禁止 LPUART 预分频器和输出，低功耗模式
1：使能 LPUART
注： *为进入低功耗模式而不在线路上生成错误，之前必须复位 TE 位，并且软件必须等待 LPUART_ISR 寄存器中的 TC 位置 1 后才能复位 UE 位。*
UE = 0 时也会复位 DMA 请求，因必须在复位 UE 位前禁止 DMA 通道。

33.6.2 控制寄存器 1 [复用] (LPUART_CR1)

Control register 1

偏移地址：0x00

复位值：0x0000 0000

同一寄存器可用于使能 FIFO 模式（上一节）和禁止 FIFO 模式（本节）的情况。

禁止 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	FIFO EN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]				
		rw	rw			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:30 保留，必须保持复位值。

位 29 **FIFOEN**：FIFO 模式使能 (FIFO mode enable)

此位由软件置 1 和清零。

0：禁止 FIFO 模式。

1：使能 FIFO 模式。

位 28 **M1**：字长 (Word length)

此位必须与位 12 (M0) 搭配使用来确定字长度。该位由软件置 1 或清零。

M[1:0] = “00”：1 个起始位，8 个数据位，n 个停止位

M[1:0] = “01”：1 个起始位，9 个数据位，n 个停止位

M[1:0] = “10”：1 个起始位，7 个数据位，n 个停止位

只有在禁止 LPUART (UE=0) 时才能写入此位。

注：　7 位数据长度模式下，不支持智能卡模式、LIN 主模式和自动波特率（0x7F 帧和 0x55 帧检测）。

位 27:26 保留，必须保持复位值。

位 25:21 **DEAT[4:0]**：驱动器使能使能时间 (Driver Enable assertion time)

该 5 位值用于定义激活 DE（启动器使能）信号与起始位开始间的时间。以 lpuart_ker_ck 时钟周期数表示。有关详细信息，请参见*第 32.5.20 节：RS232 硬件流控制和 RS485 驱动器使能*。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 20:16 **DEDT[4:0]**：驱动器使能禁止时间 (Driver Enable deassertion time)

该 5 位值用于定义发送的消息中最后一个停止位结束与取消激活 DE（驱动器使能）信号间的时间。以 lpuart_ker_ck 时钟周期数表示。有关详细信息，请参见*第 33.4.13 节：RS232 硬件流控制和 RS485 驱动器使能*。

如果在 DEDT 时间内对 LPUART_TDR 寄存器执行写操作，则新数据仅在经过 DEDT 和 DEAT 时间后才会发送。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 15 保留，必须保持复位值。

位 14 **CMIE**：字符匹配中断使能 (Character match interrupt enable)

此位由软件置 1 和清零。

0：禁止中断。

1：如果 LPUART_ISR 寄存器中的 CMF 位置 1，则生成 LPUART 中断。

位 13 **MME**：静默模式使能 (Mute mode enable)

此位用于激活 LPUART 的静默模式功能，此位置 1 时，LPUART 可按 WAKE 位定义的方式在活动模式与静默模式之间切换。该位由软件置 1 和清零。

0：接收器永久处于活动模式。

1：接收器可在静默模式和活动模式之间切换。

位 12 **M0**：字长 (Word length)

此位与位 28 (M1) 搭配使用来确定字长度。它由软件置 1 或清零（请参见位 28 (M1) 的说明）。
只有在禁止 LPUART (UE=0) 时才能写入此位。

位 11 **WAKE**：接收器唤醒方法 (Receiver wakeup method)

此位用于确定 LPUART 静默模式的唤醒方法。该位由软件置 1 或清零。
0：空闲线路
1：地址标记
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 10 **PCE**：奇偶校验控制使能 (Parity control enable)

该位选择硬件奇偶校验控制（生成和检测）。使能奇偶校验控制时，计算出的奇偶校验位被插入到 MSB 位置（如果 M=1，则为第 9 位；如果 M=0，则为第 8 位），并对接收到的数据检查奇偶校验位。此位由软件置 1 和清零。一旦该位置 1，PCE 在当前字节的后面处于活动状态（在接收和发送时）。
0：禁止奇偶校验控制
1：使能奇偶校验控制
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 9 **PS**：奇偶校验选择 (Parity selection)

该位用于在使能奇偶校验生成/检测（PCE 位置 1）时选择奇校验或偶校验。该位由软件置 1 和清零。将在当前字节的后面选择奇偶校验。
0：偶校验
1：奇校验
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 8 **PEIE**：PE 中断使能 (PE interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 PE=1 时，生成 LPUART 中断

位 7 **TXEIE**：发送数据寄存器为空 (Transmit data register empty)

此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中 TXE/TXFNF =1 时，生成 LPUART 中断

位 6 **TCIE**：传输完成中断使能 (Transfer complete interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 TC=1 时，生成 LPUART 中断

位 5 **RXNEIE**：接收数据寄存器非空 (Receive data register not empty)

此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 ORE=1 或 RXNE/RXFNE=1 时，生成 LPUART 中断

位 4 **IDLEIE**：IDLE 中断使能 (IDLE interrupt enable)

此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 IDLE=1 时，生成 LPUART 中断

位 3 **TE**：发送器使能 (Transmitter enable)

该位使能发送器。该位由软件置 1 和清零。

0：禁止发送器

1：使能发送器

注： 传送期间 TE 位上的低电平脉冲（“0”后紧跟的是“1”）会在当前字的后面发送一个报头（空闲线路）。为生成空闲字符，TE 不能立即写入 1。为确保所需的持续时间，软件可轮询 LPUART_ISR 寄存器中的 TEACK 位。

当 TE 置 1 时，在发送开始前存在 1 位的时间延迟。

位 2 **RE**：接收器使能 (Receiver enable)

该位使能接收器。该位由软件置 1 和清零。

0：禁止接收器

1：使能接收器并开始搜索起始位

位 1 **UESM**：停止模式下的 LPUART 使能 (LPUART enable in Stop mode)

当此位清零时，LPUART 无法将 MCU 从低功耗模式唤醒。

当此位置 1 时，LPUART 能够将 MCU 从低功耗模式唤醒，前提是 LPUART 时钟选择为 HSI 或 LSE（在 RCC 中）。

此位由软件置 1 和清零。

0：LPUART 无法将 MCU 从低功耗模式唤醒。

1：LPUART 能够将 MCU 从低功耗模式唤醒。当该功能激活时，LPUART 的时钟源必须是 HSI 或 LSE（请参见 RCC 一章）。

注： 建议在进入低功耗模式前将 UESM 位置 1，并在退出低功耗模式时将其清零。

位 0 **UE**：LPUART 使能 (LPUART enable)

此位清零后，LPUART 预分频器和输出将立即停止，并丢弃当前操作。LPUART 的配置保留，但 LPUART_ISR 中的所有状态标志将被复位。此位由软件置 1 和清零。

0：禁止 LPUART 预分频器和输出，低功耗模式

1：使能 LPUART

注： 为进入低功耗模式而不在线路上生成错误，之前必须复位 TE 位，并且软件必须等待 LPUART_ISR 寄存器中的 TC 位置 1 后才能复位 UE 位。

UE = 0 时也会复位 DMA 请求，因必须在复位 UE 位前禁止 DMA 通道。

33.6.3 控制寄存器 2 (LPUART_CR2)

Control register 2

偏移地址：0x04

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADD[7:0]								Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV
rw	rw	rw	rw	rw	rw	rw	rw					rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SWAP	Res.	STOP[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDM7	Res.	Res.	Res.	Res.
rw		rw	rw								rw				

位 31:24 **ADD[7:0]**：LPUART 节点的地址 (Address of the LPUART node)

ADD[7:4]：

这些位用于指定 LPUART 节点的地址或要识别的字符代码。

它在多处理器通信时于静默模式或停止模式下使用，以通过 7 位地址标记检测唤醒 MCU。发送器发送字符的 MSB 应为 1。它们还可用于正常接收和静默模式无效时的字符检测（例如，ModBus 协议中的块结束检测）。这种情况下，接收到的整个字符（8 位）将与 ADD[7:0] 值进行比较，如果匹配，CMF 标志将置 1。

仅在禁止接收 (RE = 0) 或禁止 LPUART (UE = 0) 时才能写入这些位。

ADD[3:0]：

这些位用于指定 LPUART 节点的地址或要识别的字符代码。

它们在多处理器通信时于静默模式或低功耗模式下使用，以通过地址标记检测进行唤醒。

仅在禁止接收 (RE = 0) 或禁止 LPUART (UE = 0) 时才能写入这些位。

位 23:20 保留，必须保持复位值。

位 19 **MSBFIRST**：最高有效位在前 (Most significant bit first)

此位由软件置 1 和清零。

0：发送/接收数据时位 0 在前，后跟起始位。

1：发送/接收数据时 MSB（位 7/8）在前，后跟起始位。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 18 **DATAINV**：二进制数据反向 (Binary data inversion)

此位由软件置 1 和清零。

0：按正/正向逻辑发送/接收数据寄存器中的逻辑数据。（1=H，0=L）

1：按负/反向逻辑发送/接收数据寄存器中的逻辑数据。（1=L，0=H）。奇偶校验位也取反。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 17 **TXINV**：TX 引脚有效电平反向 (TX pin active level inversion)

此位由软件置 1 和清零。

0：TX 引脚信号使用标准逻辑电平（V_{DD} = 1/空闲，Gnd = 0/标记）工作

1：对 TX 引脚信号值取反。（V_{DD} = 0/标记，Gnd=1/空闲）。

允许在 TX 线路上使用外部反相器。

只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 16 **RXINV**：RX 引脚有效电平反向 (RX pin active level inversion)
此位由软件置 1 和清零。
0：RX 引脚信号使用标准逻辑电平（V_{DD} = 1/空闲，Gnd = 0/标记）工作
1：对 RX 引脚信号值取反。（V_{DD} = 0/标记，Gnd=1/空闲）。
允许在 RX 线路上使用外部反相器。
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 15 **SWAP**：交换 TX/RX 引脚 (Swap TX/RX pins)
此位由软件置 1 和清零。
0：按标准引脚排列定义使用 TX/RX 引脚。
1：交换 TX 和 RX 引脚功能。允许在与另一个 UART 的交叉连接时工作。
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 14 保留，必须保持复位值。

位 13:12 **STOP[1:0]**：停止位 (STOP bits)
这些位用于编程停止位。
00：1 个停止位
01：保留
10：2 个停止位
11：保留
只有在禁止 LPUART (UE=0) 时才能写入此位域。

位 11:5 保留，必须保持复位值。

位 4 **ADDM7**：7 位地址检测/4 位地址检测 (7-bit Address Detection/4-bit Address Detection)
此位用于选择 4 位地址检测或 7 位地址检测。
0：4 位地址检测
1：7 位地址检测（在 8 位数据模式下）
只有在禁止 LPUART (UE=0) 时才能写入该位
注：　在 7 位和 9 位数据模式下，地址检测分别在 6 位和 8 位地址上完成（ADD[5:0] 和 ADD[7:0]）。

位 3:0 保留，必须保持复位值。

33.6.4 控制寄存器 3 (LPUART_CR3)

Control register 3

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			Res.	TXFTIE	WUFIE	WUS[1:0]		Res.	Res.	Res.	Res.
rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw				
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEP	DEM	DDRE	OVRDIS	Res.	CTSIE	CTSE	RTSE	DMAT	DMAR	Res.	Res.	HDSEL	Res.	Res.	EIE
rw	rw	rw	rw		rw	rw	rw	rw	rw			rw			rw

位 31:29 **TXFTCFG[2:0]**：TXFIFO 阈值配置 (TXFIFO threshold configuration)
000：TXFIFO 达到其深度的 1/8。
001：TXFIFO 达到其深度的 1/4。
110：TXFIFO 达到其深度的 1/2。
011：TXFIFO 达到其深度的 3/4。
100：TXFIFO 达到其深度的 7/8。
101：TXFIFO 变空。
其余组合：保留。

位 28 **RXFTIE**：RXFIFO 阈值中断使能 (RXFIFO threshold interrupt enable)。
此位由软件置 1 和清零。
0：禁止中断。
1：当接收 FIFO 达到 RXFTCFG 中编程的阈值时，生成 LPUART 中断。

位 27:25 **RXFTCFG[2:0]**：接收 FIFO 阈值配置 (Receive FIFO threshold configuration)
000：接收 FIFO 达到其深度的 1/8。
001：接收 FIFO 达到其深度的 1/4。
110：接收 FIFO 达到其深度的 1/2。
011：接收 FIFO 达到其深度的 3/4。
100：接收 FIFO 达到其深度的 7/8。
101：接收 FIFO 已满。
其余组合：保留。

位 24 保留，必须保持复位值。

位 23 **TXFTIE**：TXFIFO 阈值中断使能 (TXFIFO threshold interrupt enable)
此位由软件置 1 和清零。
0：禁止中断。
1：当 TXFIFO 达到 TXFTCFG 中编程的阈值时，生成 LPUART 中断。

位 22 **WUFIE**：从低功耗模式唤醒中断使能 (Wakeup from low-power mode interrupt enable)
此位由软件置 1 和清零。
0：禁止中断
1：当 LPUART_ISR 寄存器中的 WUF=1 时，生成 LPUART 中断
注： *WUFIE 必须在进入低功耗模式前置 1。*
如果 LPUART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 32.4 节：USART 实现。

位 21:20 **WUS[1:0]**：从低功耗模式唤醒中断标志选择 (Wakeup from low-power mode interrupt flag selection)
该位域用于指定激活 WUF（从低功耗模式唤醒标志）的事件。
00：WUF 在地址匹配时激活（按 ADD[7:0] 和 ADDM7 所定义）
01：保留
10：WUF 在起始位检测时激活
11：WUF 在 RXNE 时激活
只有在禁止 LPUART (UE=0) 时才能写入此位域。
注： *如果 LPUART 不支持从停止模式唤醒功能，该位保留且必须保持复位值。请参见第 32.4 节：USART 实现。*

位 19:16 保留，必须保持复位值。

位 15 **DEP**：驱动器使能极性选择 (Driver enable polarity selection)

0：DE 信号高电平有效。

1：DE 信号低电平有效。

只有在禁止 LPUART (UE=0) 时才能写入此位。

位 14 **DEM**：驱动器使能模式 (Driver enable mode)

此位用于通过 DE 信号激活外部收发器控制。

0：禁止 DE 功能。

1：使能 DE 功能。DE 信号在 RTS 引脚上输出。

只有在禁止 LPUART (UE=0) 时才能写入此位。

位 13 **DDRE**：接收出错时的 DMA 禁止 (DMA Disable on Reception Error)

0：接收出错时不禁止 DMA。相应的错误标志置 1，但 RXNE 保持为 0 以防止上溢。因此，将不使能 DMA 请求，从而不会传送错误数据（无 DMA 请求），但会传送接收到的下一个正确数据。

1：接收出错后禁止 DMA。相应的错误标志以及 RXNE 均置 1。屏蔽 DMA 请求，直到错误标志清零。这意味着软件必须首先禁止 DMA 请求 (DMAR = 0) 或者将 RXNE 清零，然后再将错误标志清零。

只有在禁止 LPUART (UE=0) 时才能写入此位。

注： 接收错误包括：奇偶校验错误、帧错误或噪声错误。

位 12 **OVRDIS**：上溢禁止 (Overrun Disable)

此位用于禁止接收上溢检测。

0：接收新数据前未读取已接收的数据时，上溢错误标志 ORE 置 1。

1：禁止上溢功能。如果在 RXNE 标志仍置 1 时接收到新数据，则 ORE 标志不会置 1，且新接收的数据会覆盖 LPUART_RDR 寄存器之前的内容。

只有在禁止 LPUART (UE=0) 时才能写入此位。

注： 此控制位用于检查通信流而不会读取数据。

位 11 保留，必须保持复位值。

位 10 **CTSIE**：CTS 中断使能 (CTS interrupt enable)

0：禁止中断

1：当 LPUART_ISR 寄存器中 CTSIF = 1 时，生成中断

位 9 **CTSE**：CTS 使能 (CTS enable)

0：禁止 CTS 硬件流控制

1：使能 CTS 模式，仅当 nCTS 输入有效（连接到 0）时才发送数据。如果在发送数据时使 nCTS 输入无效，会在停止之前完成发送。如果使 nCTS 有效时数据已写入数据寄存器，则将延迟发送，直到 nCTS 有效。

只有在禁止 LPUART (UE=0) 时才能写入该位

位 8 **RTSE**：RTS 使能 (RTS enable)

0：禁止 RTS 硬件流控制

1：使能 RTS 输出，仅当接收缓冲区中有空间时才会请求数据。发送完当前字符后应停止发送数据。可以接收数据时使 nRTS 输出有效（拉至 0）。

只有在禁止 LPUART (UE=0) 时才能写入此位。

位 7 **DMAT**：DMA 使能发送器 (DMA enable transmitter)

该位由软件置 1/复位。

1：针对发送使能 DMA 模式

0：针对发送禁止 DMA 模式

位 6 **DMAR**：DMA 使能接收器 (DMA enable receiver)
该位由软件置 1/复位。
1：针对接收使能 DMA 模式
0：针对接收禁止 DMA 模式

位 5:4 保留，必须保持复位值。

位 3 **HDSEL**：半双工选择 (Half-duplex selection)
选择单线半双工模式
0：未选择半双工模式
1：选择半双工模式
只有在禁止 LPUART (UE=0) 时才能写入此位。

位 2:1 保留，必须保持复位值。

位 0 **EIE**：错误中断使能 (Error interrupt enable)
如果发生帧错误、上溢错误或出现噪声标志（LPUART_ISR 寄存器中 FE = 1 或 ORE = 1 或 NE = 1），则需要使用错误中断使能位来使能中断生成。
0：禁止中断
LPUART_ISR 寄存器中的 FE=1 或 ORE=1 或 NE=1 时生成中断。

33.6.5 波特率寄存器 (LPUART_BRR)

Baud rate register

只有在禁止 LPUART (UE=0) 时才能写入此寄存器。在自动波特率检测模式下，该位由硬件自动更新。

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:16]			
												rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:20 保留，必须保持复位值。

位 19:0 **BRR[19:0]**：LPUART 波特率 (LPUART baud rate)

注： *禁止在 LPUART_BRR 寄存器中写入小于 0x300 的值。*

如果 LPUART_BRR 必须 ≧ 0x300 且 LPUART_BRR 为 20 位，则使用高 fck 值生成高波特率时应十分谨慎。fck 必须在 [3 x 波特率到 4096 x 波特率] 的范围内。

33.6.6 请求寄存器 (LPUART_RQR)

Request register

偏移地址：0x18

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	Res.
											w	w	w	w	

位 31:5 保留，必须保持复位值。

位 4 **TXFRQ**：发送数据刷新请求 (Transmit data flush request)

该位在 FIFO 模式使能时使用。TXFRQ 位置 1 以清空整个 FIFO。这会将标志 TXFE（TXFIFO 为空，LPUART_ISR 寄存器中的位 23）置 1。

注： 在 FIFO 模式下，TXFNF 标志在清空请求期间复位，直到 TxFIFO 为空，以确保数据寄存器中没有写入数据。

位 3 **RXFRQ**：接收数据刷新请求 (Receive data flush request)

向该位写入 1 时会将 RXNE 标志清零。

这可以丢弃接收的数据而不对其执行读取操作，并避免发生上溢。

位 2 **MMRQ**：静默模式请求 (Mute mode request)

向此位写入 1 可将 LPUART 置于静默模式，并将 RWU 标志复位。

位 1 **SBKRQ**：发送中断请求 (Send break request)

向此位写入 1 可将 SBKF 标志置 1 并在发送设备可用后立即请求在线路上发送 BREAK。

注： 如果应用需要在之前插入的所有数据（包括尚未发送的数据）后发送中断字符，软件应等到 TXE 标志使能后将 SBKRQ 位置 1。

位 0 保留，必须保持复位值。

33.6.7 中断和状态寄存器 [复用] (LPUART_ISR)

Interrupt and status register

偏移地址：0x1C

复位值：0x0080 00C0

同一寄存器可用于使能 FIFO 模式（本节）和禁止 FIFO 模式（下一节）的情况。

使能 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	RXFF	TXFE	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
				r	r		r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

位 31:28 保留，必须保持复位值。

位 27 **TXFT**：TXFIFO 阈值标志 (TXFIFO threshold flag)

当 TXFIFO 达到在 LPUART_CR3 寄存器的 TXFTCFG 中编程的阈值时（即 TXFIFO 包含 TXFTCFG 个空位置），该位由硬件置 1。如果 LPUART_CR3 寄存器中的 TXFTIE 位 =1（位 31），则会生成中断。

0：TXFIFO 未达到编程的阈值。

1：TXFIFO 已达到编程的阈值。

位 26 **RXFT**：RXFIFO 阈值标志 (RXFIFO threshold flag)

当 RXFIFO 达到在 LPUART_CR3 寄存器的 RXFTCFG 中编程的阈值时（即接收 FIFO 包含 RXFTCFG 个数据），该位由硬件置 1。如果 LPUART_CR3 寄存器中的 RXFTIE 位 =1（位 27），则会生成中断。

0：接收 FIFO 未达到编程的阈值。

1：接收 FIFO 已达到编程的阈值。

位 25 保留，必须保持复位值。

位 24 **RXFF**：RXFIFO 已满 (RXFIFO full)

当接收到的数据量对应于 RXFIFO 大小 + 1（RXFIFO 已满 + LPUART_RDR 寄存器中的 1 个数据）时，该位由硬件置 1。

如果 LPUART_CR1 寄存器中 RXFFIE 位 = 1，则会生成中断。

0：RXFIFO 未满

1：RXFIFO 已满

位 23 **TXFE**：TXFIFO 为空 (TXFIFO empty)

当 TXFIFO 为空时，该位由硬件置 1。当 TXFIFO 包含至少一个数据时，该标志被清零。也可以通过向 LPUART_RQR 寄存器中的位 TXFRQ（位 4）写入 1 将 TXFE 标志置 1。

如果 LPUART_CR1 寄存器中的 TXFEIE 位 =1（位 30），则会生成中断。

0：TXFIFO 非空

1：TXFIFO 为空

位 22 **REACK**：接收使能确认标志 (Receive enable acknowledge flag)

LPUART 采用接收使能值时，通过硬件将此位置 1/复位。

此位可用于验证 LPUART 是否准备好在进入低功耗模式前接收数据。

注： 如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 21 **TEACK**：发送使能确认标志 (Transmit enable acknowledge flag)

LPUART 采用发送使能值时，通过硬件将此位置 1/复位。

通过写入 TE=0 生成空闲帧请求，然后在 LPUART_CR1 寄存器中写入 TE=1 以遵循 TE=0 最短周期时，可使用此位。

位 20 **WUF**：从低功耗模式唤醒标志 (Wakeup from low-power mode flag)

当检测到唤醒事件时，此位由硬件置 1。事件通过 WUS 位域定义。通过向 LPUART_ICR 寄存器中的 WUCF 写入 1，此位由软件清零。

如果 LPUART_CR3 寄存器中 WUFIE=1，则会生成中断。

注： 当 UESM 清零时，WUF 标志也清零。

如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 19 **RWU**：*接收器从静默模式唤醒 (Receiver wakeup from Mute mode)*

此位指示 LPUART 是否处于静默模式。当识别出唤醒/静默序列时，此位由硬件清零/置 1。静默模式控制序列（地址或 IDLE）通过 LPUART_CR1 寄存器中的 WAKE 位选择。

当选择 IDLE 模式下唤醒时，该位只能通过用软件向 LPUART_RQR 寄存器中的 MMRQ 位写 1 的方式置 1。

0：接收器处于工作模式

1：接收器处于静默模式

注： 如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 18 **SBKF**：发送中断标志 (Send break flag)

此位指示已请求发送中断字符。通过将 1 写入 LPUART_CR3 寄存器中的 SBKRQ 位，此位由软件置 1。此位在中断发送的停止位期间由硬件自动复位。

0：不发送中断字符

1：将发送中断字符

位 17 **CMF**：字符匹配标志 (Character match flag)

接收到由 ADD[7:0] 定义的字符后由硬件将此位置 1。通过向 LPUART_ICR 寄存器中的 CMCF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 CMIE=1，则会生成中断。

0：未检测到字符匹配

1：检测到字符匹配

位 16 **BUSY**：忙标志 (Busy flag)

此位由硬件置 1 和复位。当 RX 线路上正在进行通信（成功检测到起始位）时有效。在接收结束（成功或失败）时复位。

0：LPUART 处于空闲状态（无接收）

1：正在接收

位 15:11 保留，必须保持复位值。

位 10 **CTS**：CTS 标志 (CTS flag)

此位由硬件置 1/复位。此位是对 nCTS 输入引脚的状态取反。

0：nCTS 线置 1

1：nCTS 线复位

注：　如果不支持硬件流控制功能，该位保留且保持复位值。

位 9 **CTSIF**：CTS 中断标志 (CTS interrupt flag)

如果 CTSE 位置 1，当 nCTS 输入切换时，此位由硬件置 1。通过将 1 写入 LPUART_ICR 寄存器中的 CTSCF 位，此位由软件清零。

如果 LPUART_CR3 寄存器中 CTSIE=1，则会生成中断。

0：nCTS 状态线上未发生变化

1：nCTS 状态线上发生变化

注：　如果不支持硬件流控制功能，该位保留且保持复位值。

位 8 保留，必须保持复位值。

位 7 **TXFNF**：TXFIFO 未满 (TXFIFO not full)

TXFNF 在 TXFIFO 未满时由硬件置 1，并因此可向 LPUART_TDR 中写入数据。每次对 LPUART_TDR 进行写操作都会将数据置于 TXFIFO 中。该标志保持置 1，直到 TXFIFO 已满。当 TXFIFO 已满时，该标志清零，表示不能向 LPUART_TDR 写入数据。

在清空请求期间，TXFNF 保持复位，直到 TXFIFO 为空。发送清空请求（通过将 TXFRQ 位置 1）后，应先检查 TXFNF 标志，然后再写入 TXFIFO（TXFNF 和 TXFE 将同时置 1）。

如果 LPUART_CR1 寄存器中 TXFNFIE 位 = 1，则会生成中断。

0：数据寄存器已满/发送 FIFO 已满。

1：数据寄存器/发送 FIFO 未满。

注：　单缓冲区发送期间使用该位。

位 6 **TC**：发送完成 (Transmission complete)

如果已完成对包含数据的帧的发送并且 TXFF 置 1，则该位由硬件置 1。如果 LPUART_CR1 寄存器中 TCIE = 1，则会生成中断。通过向 LPUART_ICR 寄存器中的 TCCF 写入 1 或向 LPUART_TDR 寄存器执行写操作，此位由软件清零。

如果 LPUART_CR1 寄存器中 TCIE = 1，则会生成中断。

0：传送未完成

1：传送已完成

注：　如果 TE 位复位且无任何发送正在进行，TC 位会立即置 1。

位 5 **RXFNE**：RXFIFO 非空 (RXFIFO not empty)

RXFIFO 非空时，RXFNE 位由硬件置 1，并因此可以从 LPUART_RDR 寄存器读取数据。每次对 LPUART_RDR 进行读操作都会在 RXFIFO 中释放一个位置。它在 RXFIFO 为空时清零。

也可以通过将 LPUART_RQR 寄存器中的 RXFRQ 位置 1 将 RXFNE 标志位清零。

如果 LPUART_CR1 寄存器中 RXFNEIE = 1，则会生成中断。

0：未接收到数据

1：已准备好读取接收到的数据

位 4 **IDLE**：检测到空闲线路 (IDLE line detected)

检测到空闲线路时，该位由硬件置 1。如果 LPUART_CR1 寄存器中 IDLEIE=1，则会生成中断。通过向 LPUART_ICR 寄存器中的 IDLECF 写入 1，此位由软件清零。

0：未检测到空闲线路

1：检测到空闲线路

注： *直到 RXFNE 位已置 1 时（即，当出现新的空闲线路时），IDLE 位才会被再次置 1。*

使能静默模式 (MME=1) 后，如果 LPUART 未静默 (RWU=0)，则 IDLE 置 1，无论是否通过 WAKE 位选择了静默模式。如果 RWU=1， IDLE 不置 1。

位 3 **ORE**：溢出错误 (Overrun error)

在 RXNE =“1”（使能 FIFO 模式时为 RXFF =“1”）的情况下，当移位寄存器中当前正在接收的数据准备好传输到 LPUART_RDR 寄存器时，此位由硬件置 1。通过向 LPUART_ICR 寄存器中的 ORECF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 RXFNEIE=1 或 EIE = 1，则会生成中断。

0：无溢出错误

1：检测到溢出错误

注： *当此位置 1 时，LPUART_RDR 寄存器的内容不会丢失，但移位寄存器会被覆盖。EIE 位置 1 后，如果在多缓冲区通信中 ORE 标志置 1，则会生成中断。*

LPUART_CR3 寄存器中的 OVRDIS 位置 1 时，此位将被永久强制清零（无上溢检测）。

位 2 **NE**：START 位噪声检测标志 (Start bit noise detection flag)

当在接收的帧的起始位上检测到噪声时，此位由硬件置 1。通过向 LPUART_ICR 寄存器中的 NECF 写入 1，此位由软件清零。

0：未检测到噪声

1：检测到噪声

注： *该位不会生成中断，因为该位出现的时间与本身生成中断的 RXFNE 位出现的时间相同。EIE 位置 1 后，如果在多缓冲区通信中 NE 标志置 1，则会生成中断。*

此错误与 LPUART_RDR 中的字符相关联。

位 1 **FE**：帧错误 (Framing error)

当检测到去同步化、过度的噪声或中断字符时，该位由硬件置 1。通过向 LPUART_ICR 寄存器中的 FECF 写入 1，此位由软件清零。

在智能卡模式下发送数据时，如果在达到最大发送尝试次数后仍未成功（智能卡向数据帧发送 NACK 信号），则此位置 1。

如果 LPUART_CR1 寄存器中 EIE = 1，则会生成中断。

0：未检测到帧错误

1：检测到帧错误或中断字符

注： *此错误与 LPUART_RDR 中的字符相关联。*

位 0 **PE**：奇偶校验错误 (Parity error)

当在接收器模式下发生奇偶校验错误时，该位由硬件置 1。通过向 LPUART_ICR 寄存器中的 PECF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 PEIE = 1，则会生成中断。

0：无奇偶校验错误

1：奇偶校验错误

注： 此错误与 LPUART_RDR 中的字符相关联。

33.6.8 中断和状态寄存器 [复用] (LPUART_ISR)

Interrupt and status register

偏移地址：0x1C

复位值：0x0000 00C0

同一寄存器可用于使能 FIFO 模式（上一节）和禁止 FIFO 模式（本节）的情况。

禁止 FIFO 模式

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY
									r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
					r	r		r	r	r	r	r	r	r	r

位 31:23 保留，必须保持复位值。

位 22 **REACK**：接收使能确认标志 (Receive enable acknowledge flag)

LPUART 采用接收使能值时，通过硬件将此位置 1/复位。

此位可用于验证 LPUART 是否准备好在进入低功耗模式前接收数据。

注： 如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 21 **TEACK**：发送使能确认标志 (Transmit enable acknowledge flag)

LPUART 采用发送使能值时，通过硬件将此位置 1/复位。

通过写入 TE=0 生成空闲帧请求，然后在 LPUART_CR1 寄存器中写入 TE=1 以遵循 TE=0 最短周期时，可使用此位。

位 20 **WUF**：从低功耗模式唤醒标志 (Wakeup from low-power mode flag)

当检测到唤醒事件时，此位由硬件置 1。事件通过 WUS 位域定义。通过向 LPUART_ICR 寄存器中的 WUCF 写入 1，此位由软件清零。

如果 LPUART_CR3 寄存器中 WUFIE=1，则会生成中断。

注： 当 UESM 清零时，WUF 标志也清零。

如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 19 **RWU**：*接收器从静默模式唤醒 (Receiver wakeup from Mute mode)*

此位指示 LPUART 是否处于静默模式。当识别出唤醒/静默序列时，此位由硬件清零/置 1。静默模式控制序列（地址或 IDLE）通过 LPUART_CR1 寄存器中的 WAKE 位选择。

当选择 IDLE 模式下唤醒时，该位只能通过用软件向 LPUART_RQR 寄存器中的 MMRQ 位写 1 的方式置 1。

0：接收器处于工作模式

1：接收器处于静默模式

注： 如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。

位 18 **SBKF**：发送中断标志 (Send break flag)

此位指示已请求发送中断字符。通过将 1 写入 LPUART_CR3 寄存器中的 SBKRQ 位，此位由软件置 1。此位在中断发送的停止位期间由硬件自动复位。

0：不发送中断字符

1：将发送中断字符

位 17 **CMF**：字符匹配标志 (Character match flag)

接收到由 ADD[7:0] 定义的字符后由硬件将此位置 1。通过向 LPUART_ICR 寄存器中的 CMCF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 CMIE=1，则会生成中断。

0：未检测到字符匹配

1：检测到字符匹配

位 16 **BUSY**：忙标志 (Busy flag)

此位由硬件置 1 和复位。当 RX 线路上正在进行通信（成功检测到起始位）时有效。在接收结束（成功或失败）时复位。

0：LPUART 处于空闲状态（无接收）

1：正在接收

位 15:11 保留，必须保持复位值。

位 10 **CTS**：CTS 标志 (CTS flag)

此位由硬件置 1/复位。此位是对 nCTS 输入引脚的状态取反。

0：nCTS 线置 1

1：nCTS 线复位

注： 如果不支持硬件流控制功能，该位保留且保持复位值。

位 9 **CTSIF**：CTS 中断标志 (CTS interrupt flag)

如果 CTSE 位置 1，当 nCTS 输入切换时，此位由硬件置 1。通过将 1 写入 LPUART_ICR 寄存器中的 CTSCF 位，此位由软件清零。

如果 LPUART_CR3 寄存器中 CTSIE=1，则会生成中断。

0：nCTS 状态线上未发生变化

1：nCTS 状态线上发生变化

注： 如果不支持硬件流控制功能，该位保留且保持复位值。

位 8 保留，必须保持复位值。

位 7 **TXE**：发送数据寄存器为空/TXFIFO 未满 (Transmit data register empty/TXFIFO not full)

当 LPUART_TDR 寄存器的内容已传输到移位寄存器时，TXE 由硬件置 1。通过对 LPUART_TDR 寄存器执行写入操作将该位清零。

如果 LPUART_CR1 寄存器中 TXEIE 位 = 1，则会生成中断。

0：数据寄存器已满

1：数据寄存器未满

注： 单缓冲区发送期间使用该位。

位 6 **TC**：发送完成 (Transmission complete)

如果已完成对包含数据的帧的发送并且 TXE 置 1，则此位由硬件置 1。如果 LPUART_CR1 寄存器中 TCIE = 1，则会生成中断。通过向 LPUART_ICR 寄存器中的 TCCF 写入 1 或向 LPUART_TDR 寄存器执行写操作，此位由软件清零。

如果 LPUART_CR1 寄存器中 TCIE = 1，则会生成中断。

0：传送未完成

1：传送已完成

注： 如果 TE 位复位且无任何发送正在进行，TC 位会立即置 1。

位 5 **RXNE**：读取数据寄存器不为空 (Read data register not empty)

当 LPUART_RDR 移位寄存器的内容已传输到 LPUART_RDR 寄存器时，RXNE 位由硬件置 1。通过对 LPUART_RDR 寄存器执行读取操作将该位清零。也可以通过将 LPUART_RQR 寄存器中的 RXFRQ 位置 1 将 RXNE 标志位清零。

如果 LPUART_CR1 寄存器中 RXNEIE = 1，则会生成中断。

0：未接收到数据

1：已准备好读取接收到的数据

位 4 **IDLE**：检测到空闲线路 (IDLE line detected)

检测到空闲线路时，该位由硬件置 1。如果 LPUART_CR1 寄存器中 IDLEIE=1，则会生成中断。通过向 LPUART_ICR 寄存器中的 IDLECF 写入 1，此位由软件清零。

0：未检测到空闲线路

1：检测到空闲线路

注： *直到 RXNE 位已置 1 时（即，当出现新的空闲线路时）IDLE 位才会被再次置 1。*

使能静默模式 (MME=1) 后，如果 LPUART 未静默 (RWU=0)，则 IDLE 置 1，无论是否通过 WAKE 位选择了静默模式。如果 RWU=1， IDLE 不置 1。

位 3 **ORE**：溢出错误 (Overrun error)

在 RXNE =“1”（使能 FIFO 模式时为 RXFF =“1”）的情况下，当移位寄存器中当前正在接收的数据准备好传输到 LPUART_RDR 寄存器时，此位由硬件置 1。通过向 LPUART_ICR 寄存器中的 ORECF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 RXNEIE=1 或 EIE = 1，则会生成中断。

0：无溢出错误

1：检测到溢出错误

注： *当此位置 1 时，LPUART_RDR 寄存器的内容不会丢失，但移位寄存器会被覆盖。EIE 位置 1 后，如果在多缓冲区通信中 ORE 标志置 1，则会生成中断。*

LPUART_CR3 寄存器中的 OVRDIS 位置 1 时，此位将被永久强制清零（无上溢检测）。

位 2 **NE**：START 位噪声检测标志 (Start bit noise detection flag)

当在接收的帧的起始位上检测到噪声时，此位由硬件置 1。通过向 LPUART_ICR 寄存器中的 NECF 写入 1，此位由软件清零。

0：未检测到噪声

1：检测到噪声

注： *该位不会生成中断，因为该位出现的时间与本身生成中断的 RXNE 位出现的时间相同。EIE 位置 1 后，如果在多缓冲区通信中 NE 标志置 1，则会生成中断。*

位 1 **FE**：帧错误 (Framing error)

当检测到去同步化、过度的噪声或中断字符时，该位由硬件置 1。通过向 LPUART_ICR 寄存器中的 FECF 写入 1，此位由软件清零。

在智能卡模式下发送数据时，如果在达到最大发送尝试次数后仍未成功（智能卡向数据帧发送 NACK 信号），则此位置 1。

如果 LPUART_CR1 寄存器中 EIE = 1，则会生成中断。

0：未检测到帧错误

1：检测到帧错误或中断字符

位 0 **PE**：奇偶校验错误 (Parity error)

当在接收器模式下发生奇偶校验错误时，该位由硬件置 1。通过向 LPUART_ICR 寄存器中的 PECF 写入 1，此位由软件清零。

如果 LPUART_CR1 寄存器中 PEIE = 1，则会生成中断。

0：无奇偶校验错误

1：奇偶校验错误

33.6.9 中断标志清零寄存器 (LPUART_ICR)

Interrupt flag clear register

偏移地址：0x20

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.
											w			w	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	CTSCF	Res.	Res.	TCCF	Res.	IDLECF	ORECF	NECF	FECF	PECF
						w			w		w	w	w	w	w

位 31:21 保留，必须保持复位值。

位 20 **WUCF**：从低功耗模式唤醒清零标志 (Wakeup from low-power mode clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 WUF 标志将清零。

注： 如果 LPUART 不支持从停止模式唤醒功能，该位保留且保持复位值。请参见第 32.4 节：USART 实现。

位 19:18 保留，必须保持复位值。

位 17 **CMCF**：字符匹配清零标志 (Character match clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 CMF 标志将清零。

位 16:10 保留，必须保持复位值。

位 9 **CTSCF**：CTS 清零标志 (CTS clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 CTSIF 标志将清零。

位 8:7 保留，必须保持复位值。

位 6 **TCCF**：发送完成清零标志 (Transmission complete clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 TC 标志将清零。

位 5 保留，必须保持复位值。

位 4 **IDLECF**：检测到空闲线路清零标志 (Idle line detected clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 IDLE 标志将清零。

位 3 **ORECF**：上溢错误清零标志 (Overrun error clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 ORE 标志将清零。

位 2 **NECF**：检测到噪声清零标志 (Noise detected clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 NE 标志将清零。

位 1 **FECF**：帧错误清零标志 (Framing error clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 FE 标志将清零。

位 0 **PECF**：奇偶校验错误清零标志 (Parity error clear flag)
将 1 写入此位时，LPUART_ISR 寄存器中 PE 标志将清零。

33.6.10 接收数据寄存器 (LPUART_RDR)

Receive data register

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
							r	r	r	r	r	r	r	r	r

位 31:9 保留，必须保持复位值。

位 8:0 **RDR[8:0]**：接收数据值 (Receive data value)

包含接收到的数据字符。

RDR 寄存器在输入移位寄存器和内部总线之间提供了并行接口（请参见*图 342*）。

在使能奇偶校验位的情况下进行接收时，从 MSB 位中读取的值为接收到的奇偶校验位。

33.6.11 发送数据寄存器 (LPUART_TDR)

Transmit data register

偏移地址：0x28

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:9 保留，必须保持复位值。

位 8:0 **TDR[8:0]**：发送数据值 (Transmit data value)

包含要发送的数据字符。

TDR 寄存器在内部总线和输出移位寄存器之间提供了并行接口（请参见*图 342*）。

在使能奇偶校验位的情况下（LPUART_CR1 寄存器中的 PCE 位被置 1）进行发送时，由于 MSB 的写入值（位 7 或位 8，具体取决于数据长度）会被奇偶校验位所取代，因此该值不起任何作用。

注：　只能在 TXE/TXFNF=1 时写入此寄存器。

33.6.12 预分频器寄存器 (LPUART_PRESC)

Prescaler register

只有在禁止 LPUART (UE=0) 时才能写入此寄存器。

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
												rw	rw	rw	rw

位 31:4 保留，必须保持复位值。

位 3:0 **PRESCALER[3:0]**：时钟预分频器 (Clock prescaler)

LPUART 输入时钟可通过预分频器进行分频：

0000：输入时钟未分频
0001：输入时钟 2 分频
0010：输入时钟 4 分频
0011：输入时钟 6 分频
0100：输入时钟 8 分频
0101：输入时钟 10 分频
0110：输入时钟 12 分频
0111：输入时钟 16 分频
1000：输入时钟 32 分频
1001：输入时钟 64 分频
1010：输入时钟 128 分频
1011：输入时钟 256 分频
其余组合：保留。

注： 为PRESCALER 编程不允许的值时，编程的预分频值将为«1011»，即输入时钟除以 256。

33.6.13 LPUART 寄存器映射

下表提供了 LPUART 寄存器映射和复位值。

表 180. LPUART 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	LPUART_CR1 FIFO mode enabled	RXFFIE	TXFEIE	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]					Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXFNFIE	TCIE	RXFNEIE	IDLEIE	TE	RE	UESM	UE
	Reset value	0	0	0	0			0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00	LPUART_CR1 FIFO mode disabled	Res.	Res.	FIFOEN	M1	Res.	Res.	DEAT[4:0]					DEDT[4:0]					Res.	CMIE	MME	M0	WAKE	PCE	PS	PEIE	TXEIE	TCIE	RXNEIE	IDLEIE	TE	RE	UESM	UE
	Reset value			0	0			0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	LPUART_CR2	ADD[7:0]								Res.	Res.	Res.	Res.	MSBFIRST	DATAINV	TXINV	RXINV	SWAP	Res.	STOP[1:0]		Res.	Res.	Res.	Res.	Res.	Res.	Res.	ADDM7	Res.	Res.	Res.	Res.
	Reset value	0	0	0	0	0	0	0	0					0	0	0	0	0		0	0								0				
0x08	LPUART_CR3	TXFTCFG[2:0]			RXFTIE	RXFTCFG[2:0]			Res.	TXFTIE	WUFIE	WUS[1:0]		Res.	Res.	Res.	Res.	DEP	DEM	DDRE	OVRDIS	Res.	CTSIE	CTSE	RTSE	DMAT	DMAR	Res.	Res.	HDSEL	Res.	Res.	EIE
	Reset value	0	0	0	0	0	0	0		0	0	0	0					0	0	0	0		0	0	0	0	0			0			0
0x0C	LPUART_BRR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BRR[19:0]																			
	Reset value																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10-0x14	Reserved																																
0x18	LPUART_RQR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXFRQ	RXFRQ	MMRQ	SBKRQ	Res.
	Reset value																												0	0	0	0	
0x1C	LPUART_ISR FIFO mode enabled	Res.	Res.	Res.	Res.	TXFT	RXFT	Res.	RXFF	TXFF	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXFNF	TC	RXFNE	IDLE	ORE	NE	FE	PE
	Reset value					0	0		0	1	0	0	0	0	0	0	0						0	0		1	0	0	0	0	0	0	0
0x1C	LPUART_ISR FIFO mode disabled	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	REACK	TEACK	WUF	RWU	SBKF	CMF	BUSY	Res.	Res.	Res.	Res.	Res.	CTS	CTSIF	Res.	TXE	TC	RXNE	IDLE	ORE	NE	FE	PE
	Reset value										0	0	0	0	0	0	0						0	0		1	0	0	0	0	0	0	0

表 180. LPUART 寄存器映射和复位值 （续）

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x20	LPUART_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUCF	Res.	Res.	CMCF	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CTSCF	Res.	Res.	TCCF	Res.	IDLECF	ORECF	NECF	FECF	PECF
	Reset value												0			0								0			0		0	0	0	0	0
0x24	LPUART_RDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RDR[8:0]								
	Reset value																								0	0	0	0	0	0	0	0	0
0x28	LPUART_TDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TDR[8:0]								
	Reset value																								0	0	0	0	0	0	0	0	0
0x2C	LPUART_PRESC	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PRESCALER[3:0]			
	Reset value																													0	0	0	0

有关寄存器边界地址的信息，请参见*第 2.2 节：存储器构成*。

34 串行外设接口/集成电路内置音频总线 (SPI/I2S)

34.1 简介

SPI/I²S 接口可用于使用 SPI 协议或 I^2S 音频协议与外部器件进行通信。SPI 或 I^2S 模式可通过软件进行选择。器件复位后默认选择 SPI Motorola 模式。

串行外设接口 (SPI) 协议支持与外部器件进行半双工、全双工和单工同步串行通信。该接口可配置为主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

集成电路内置音频总线（Inter-IC sound，I^2S）也是同步串行通信接口。它可以在从模式或主模式下进行半双工通信。它可满足四种不同音频标准的要求，包括 Philips I^2S 标准、MSB 和 LSB 对齐标准以及 PCM 标准。

34.2 SPI 主要特性

- 主或从操作
- 3线全双工同步传输
- 双线半双工同步传输（带双向数据线）
- 双线单工同步传输（带单向数据线）
- 4 to 16-bit数据大小选择
- 支持多主模式
- 8 个主模式波特率预分频器，最大为 $f_{PCLK}/2$。
- 从模式频率最大为 $f_{PCLK}/2$。
- 主模式和从模式下均可以由软件或硬件进行NSS管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB在前或LSB在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- 支持 SPI Motorola 模式
- 支持可靠通信的硬件CRC：
  - 在发送模式下可将 CRC 值作为最后一个字节发送
  - 对收到的最后一个字节自动进行 CRC 错误校验
- 可触发中断的主模式故障和过载标志
- CRC 错误标志
- 支持DMA功能的32位接收和发送缓冲器
- 支持增强型 TI 和 NSS 脉冲模式

34.3 I2S 主要特性

- 半双工通信（仅作为发送器或接收器）
- 主或从操作
- 8 位可编程线性预分频器，可实现精确的音频采样频率（从 8 kHz 到 192 kHz）
- 数据格式可以是 16 位、24 位或 32 位
- 音频信道固定数据包帧为16位(16位数据帧)或32位(16、24或32位数据帧)
- 可编程的时钟极性（稳定态）
- 从发送模式下的下溢标志、接收模式下的上溢标志（主或从），以及接收和发送模式下的帧错误标志（仅适用于从机）
- 16位数据寄存器用来发送和接收，在通道两端各有一个寄存器
- 支持的 I^2S 协议：
  - I^2S Philips 标准
  - MSB 对齐标准（左对齐）
  - LSB 对齐标准（右对齐）
  - PCM 标准（16位通道帧上带长或短帧同步或者16位数据帧扩展为32位通道帧）
- 数据方向总是 MSB 在前
- 发送和接收均具备DMA能力（16 位宽）
- 主时钟可以输出到外部音频设备。比率固定为 256 × F_S（其中 F_S 为音频采样频率）

34.4 SPI/I2S 实现

下表介绍了所有 SPI 实例及其在器件中嵌入的功能。

表 181. STM32G0x1 SPI 和 SPI/I2S 实现

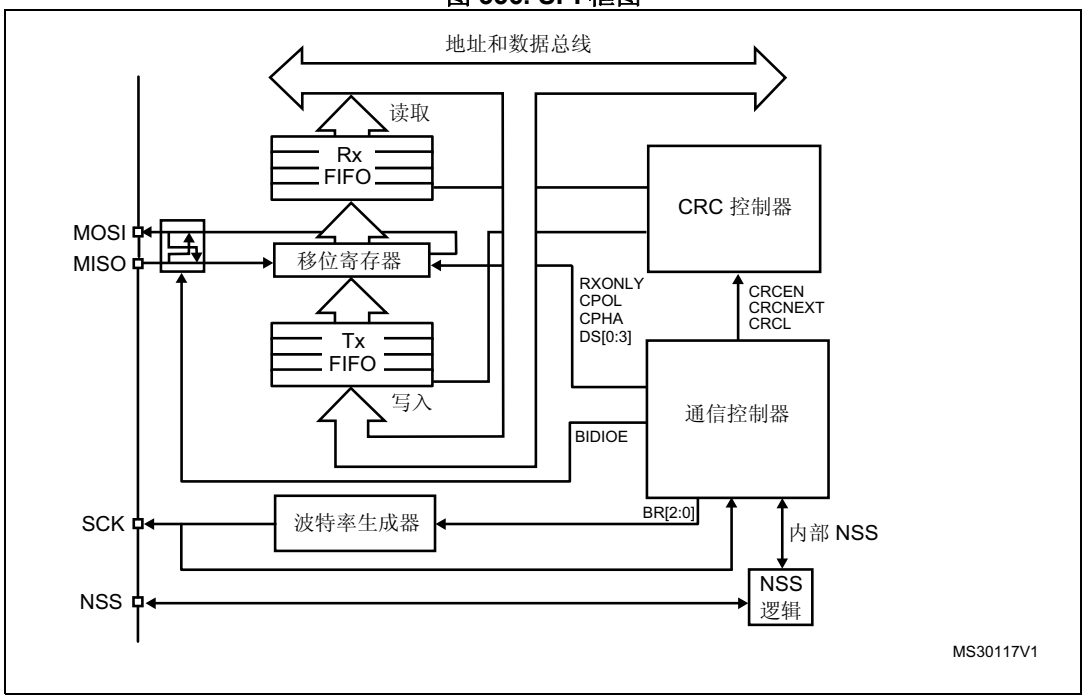
SPI 特性	SPI2S1	SPI2
增强型 NSSP 和 TI 模式	有	有
支持 I2S	有	无
硬件 CRC 计算	有	有
数据大小配置	4 位到 16 位	4 位到 16 位
Rx/Tx FIFO 大小	32 位	32 位
从低功耗睡眠模式唤醒的能力	有	有

34.5 SPI 功能说明

34.5.1 概述

SPI支持MCU与外部器件之间进行同步串行通信。应用软件可通过轮询状态标志或使用SPI专用中断对通信进行管理。SPI 的主要组件及其交互方式如下面的*图 356*框图所示。

图 356. SPI 框图



SPI通过4个专用引脚与外部器件通讯。

- **MISO**：主输入/从输出数据引脚。通常情况下，该引脚在从模式下发送数据，在主模式下接收数据。
- **MOSI**：主输出/从输入数据引脚。通常情况下，该引脚在主模式下发送数据，在从模式下接收数据。
- **SCK**：该引脚在主模式下发送数据，在从模式下接收数据。
- **NSS**：从器件选择引脚。根据 SPI 和 NSS 设置，该引脚可用于：
  - 选择单个从器件进行通信
  - 同步数据帧或
  - 检测多个主器件之间是否存在冲突

  详细信息，请参见*第 34.5.5 节：从器件选择 (NSS) 引脚管理*。

SPI 总线支持一个主器件与一个或多个从器件之间进行通信。该总线至少由两条线构成——一条用于时钟信号，另一条用于同步数据传输。其他信号可以根据 SPI 节点间的数据交换及其从器件选择信号管理进行添加。

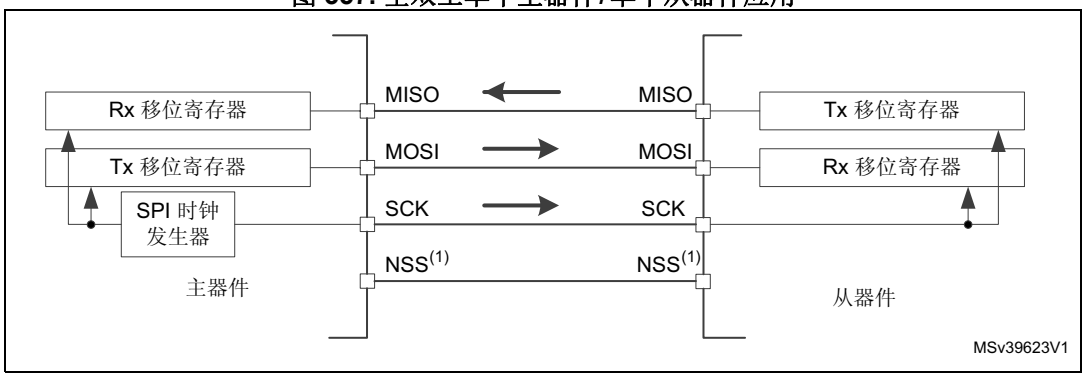
34.5.2 一个主器件和一个从器件之间的通信

SPI 支持 MCU 基于目标器件和应用要求使用不同的配置进行通信。这些配置使用 2 条或 3 条线（通过软件 NSS 管理），也可以使用 3 条或 4 条线（通过硬件 NSS 管理）。通信始终由主器件发起。

全双工通信

默认情况下，SPI 配置为全双工通信。在这种配置下，主器件和从器件的移位寄存器通过 MOSI 和 MISO 引脚之间的两条单向线连接。在 SPI 通信过程中，数据随主器件提供的 SCK 时钟边沿同步移位。主器件通过 MOSI 线将待发送的数据发送给从器件，并通过 MISO 线从从器件接收数据。当数据帧传输完成时（所有位均移出），主器件和从器件之间即完成信息交换。

图 357. 全双工单个主器件/单个从器件应用

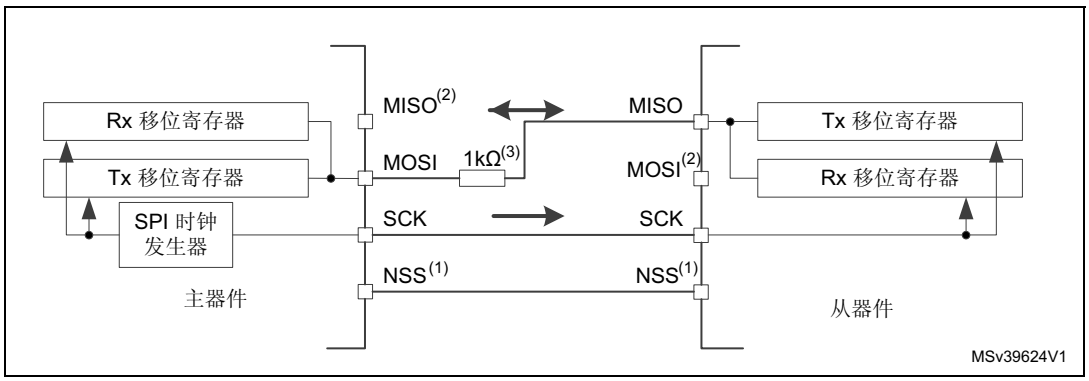


1. NSS 引脚可用于在主器件和从器件之间提供硬件控制流。外设也可选择不使用这些引脚。之后，必须在内部为主器件和从器件处理硬件控制流。有关更多详细信息，请参见*第 34.5.5 节：从器件选择 (NSS) 引脚管理*。

半双工通信

通过将 SPIx_CR1 寄存器的 BIDIMODE 位置 1，SPI 可采用半双工模式进行通信。在这种配置下，使用一条交叉连接线将主器件和从器件的移位寄存器连接起来。在此通信过程中，数据随 SCK 时钟边沿在移位寄存器之间进行移位，传输方向由主器件和从器件通过各自 SPIx_CR1 寄存器中的 BDIOE 位进行选择。在这种配置下，主器件的 MISO 引脚和从器件的 MOSI 引脚空闲，可在其他应用中用作 GPIO。

图 358. 半双工单个主器件/单个从器件应用



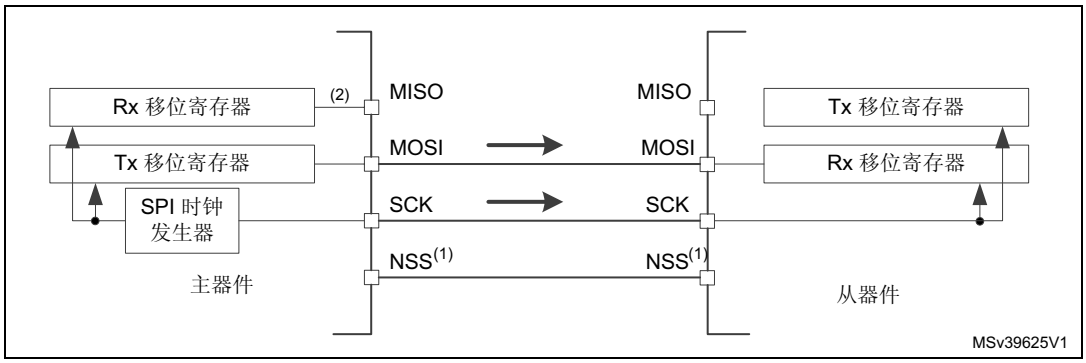
1. NSS 引脚可用于在主器件和从器件之间提供硬件控制流。外设也可选择不使用这些引脚。之后，必须在内部为主器件和从器件处理硬件控制流。有关更多详细信息，请参见*第 34.5.5 节：从器件选择 (NSS) 引脚管理*。
2. 在这种配置下，主器件的 MISO 引脚和从器件的 MOSI 引脚可用作 GPIO。
3. 当以双向模式工作的两个节点间的通信方向不是同步变化时，会出现临界情况，新发送器访问共用数据线，而前一个发送器仍保持线路上的相反值（值取决于 SPI 配置和通信数据）。两个节点会出现冲突，在共用线上短暂提供相反的输出电平，直到下一个节点也相应地改变其方向设置。建议此模式下在 MISO 和 MOSI 引脚之间插入串行电阻以在这种情况下保护输出并限制电流在二者之间流过。

单工通信

通过 SPIx_CR2 寄存器中的 RXONLY 位将 SPI 设置为只发送模式或只接收模式，可使 SPI 以单工模式进行通信。在这种配置下，仅使用一条线在主器件和从器件的移位寄存器之间进行传输。MISO 和 MOSI 成对的另一个引脚不用于通信，可用作标准 GPIO。

- **只发送模式 (RXONLY=0)**：配置设置与全双工设置相同。应用必须忽略在未使用的输入引脚上捕获的信息。该引脚可以用作标准 GPIO。
- **只接收模式 (RXONLY=1)**：应用可通过将 RXONLY 位置 1 来禁止 SPI 输出功能。在从器件配置下，MISO 输出被禁止，该引脚可用作 GPIO。当从器件选择信号有效时，从器件继续从 MOSI 引脚接收数据（请参见 *34.5.5：从器件选择 (NSS) 引脚管理*）。基于数据缓冲区的配置产生接收数据事件。在主器件配置下，MOSI 输出被禁止，该引脚可用作 GPIO。只要 SPI 处于使能状态，便不断生成时钟信号。停止时钟的唯一方式是将 RXONLY 位或 SPE 位清零，直至来自 MISO 引脚的传入模式结束，然后基于相应配置填充数据缓冲区结构。

图 359. 单工单个主器件/单个从器件应用（主器件为只发送模式/从器件为只接收模式）



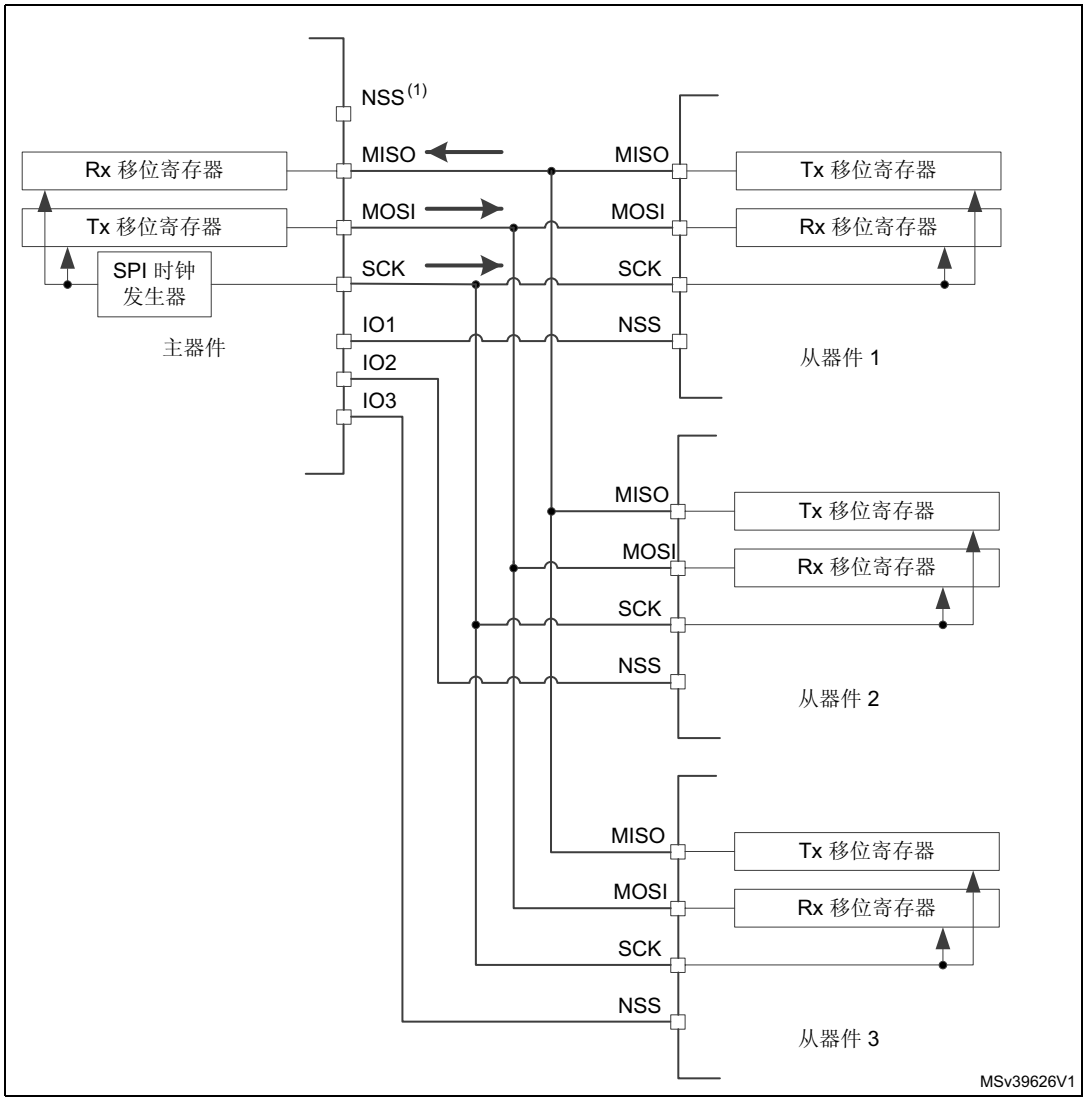
1. NSS 引脚可用于在主器件和从器件之间提供硬件控制流。外设也可选择不使用这些引脚。之后，必须在内部为主器件和从器件处理硬件控制流。有关更多详细信息，请参见*第 34.5.5 节：从器件选择 (NSS) 引脚管理*。
2. 在发送器 Rx 移位寄存器的输入上捕获意外输入信息。标准只发送模式下必须忽略与发送器接收流相关的所有事件（例如 OVF 标志）。
3. 在这种配置下，两个 MISO 引脚均可用作 GPIO。

注： *任何单工通信都可以通过固定半双工模式中的方向设置来实现，（使能双向模式，同时 BDIO 位保持不变）。*

34.5.3 标准多从器件通信

在具有两个或多个独立从器件的配置下，主器件使用 GPIO 引脚来管理每个从器件的片选线（请参见*图 360.*）。主器件必须通过拉低与从器件 NSS 输入相连的 GPIO 的电平来单独选择一个从器件。执行该操作后，便建立了标准主器件与专用从器件之间的通信。

图 360. 主器件和三个独立的从器件



1. 此配置的主器件侧不使用 NSS 引脚。该引脚必须在内部管理 (SSM = 1，SSI = 1) 以避免任何 MODF 错误。
2. 由于从器件的 MISO 引脚连在一起，所有从器件 MISO 引脚的 GPIO 配置必须设置为开漏复用功能（请参见*第 6.3.7 节：I/O 复用功能输入/输出*）。

34.5.4 多主通信

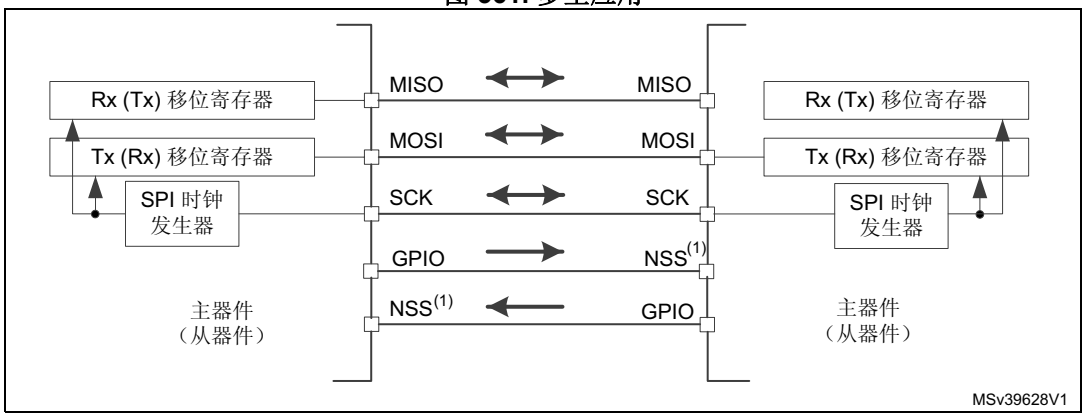
如果 SPI 总线未用于多主功能，用户可使用内置功能来检测试图同时控制总线的两个节点间是否存在潜在冲突。对于该检测，NSS 引脚配置为硬件输入模式。

由于此时只有一个结点可将其输出施加到公用数据线上，因此该模式连接的SPI节点不能超过两个。

当节点无效时，默认情况下均保持从模式。一旦一个节点要接管对总线的控制，它会将自身切换到主模式，然后通过专用 GPIO 引脚向其他节点的从器件选择输入施加有效电平。会话完成后，有效的从器件选择信号将被释放，控制总线的节点会短暂切换回被动从模式，等待下一个会话开始。

如果两个节点同时发出各自的控制请求，则会出现总线冲突（请参见模式故障 MODF 事件）。随后，用户可应用某个简单的仲裁过程（例如，在两个节点上施加不同的预定义超时来推迟下一次尝试）。

图 361. 多主应用



1. 在两个节点上，NSS 引脚配置为硬件输入模式。当无效节点配置为从器件时，其有效电平将使能 MISO 线输出控制。

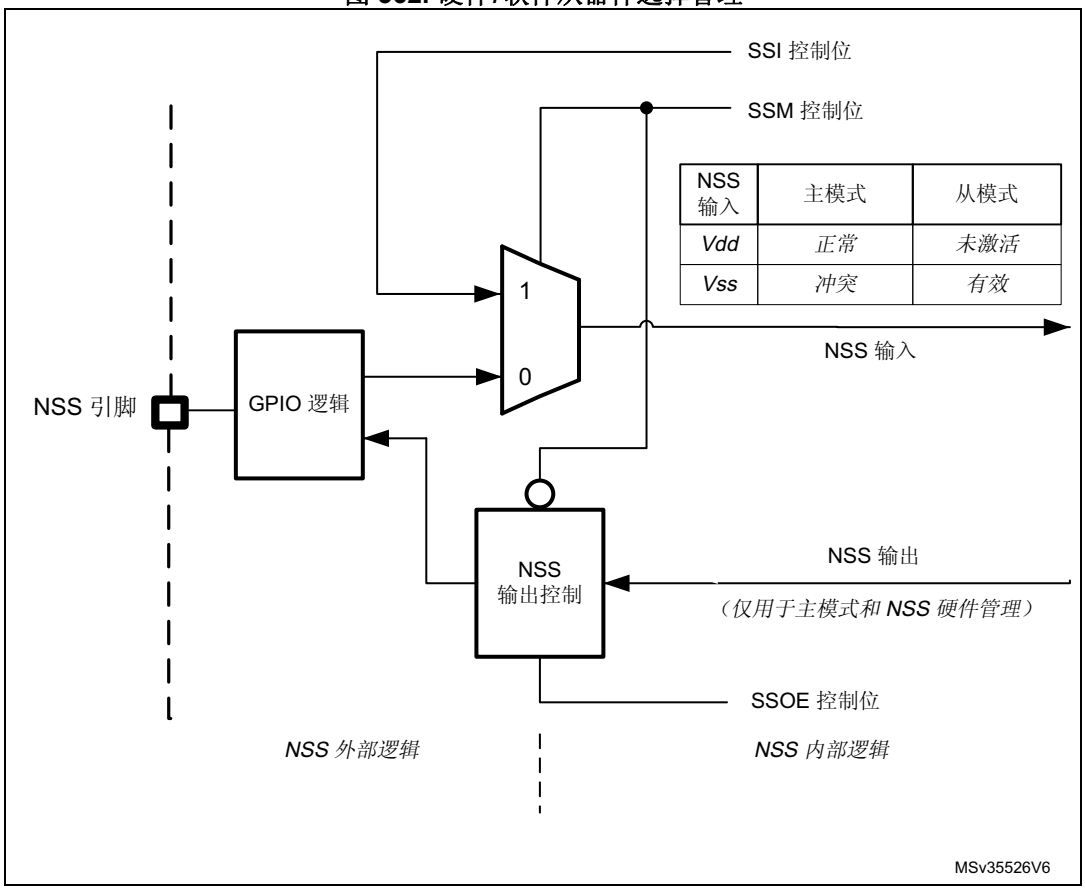
34.5.5 从器件选择 (NSS) 引脚管理

在从模式下，NSS 用作标准的“片选”输入，使从器件与主器件进行通信。在主模式下，NSS 可用作输出或输入。用作输入时，可防止多主模式总线冲突；用作输出时，可驱动单个从器件的从器件选择信号。

可以使用 SPIx_CR1 寄存器中的 SSM 位设置硬件或软件从器件选择管理：

- **软件 NSS 管理 (SSM = 1)**：在这种配置下，由 SPIx_CR1 寄存器中的 SSI 位的值内部驱动从器件选择信息。外部 NSS 引脚空闲，可供其他应用使用。
- **硬件 NSS 管理 (SSM = 0)**：在这种情况下，可行的配置有两种：所用配置取决于 NSS 输出配置（SPIx_CR1 寄存器中的 SSOE 位）。
  - **NSS 输出使能（SSM=0 且 SSOE = 1）**：仅在将 MCU 设置为主器件时才使用该配置。NSS 引脚由硬件管理。只要在主模式下使能 SPI (SPE=1)，NSS 信号便会被驱动为低电平，并且会一直保持低电平状态，直至关闭 SPI (SPE =0)。如果激活 NSS 脉冲模式 (NSSP=1)，连续通信间会生成脉冲。SPI 无法在采用此 NSS 设置的多主模式配置下工作。
  - **NSS 输出关闭（SSM=0 且 SSOE = 0）**：如果微控制器在总线上用作主器件，此配置可实现多主模式功能。如果在该模式下将 NSS 引脚拉至低电平，SPI 将进入主模式故障状态，器件将在从模式下自动进行重新配置。在从模式下，NSS 引脚用作标准的“片选”输入，当 NSS 线为低电平时将选择从器件。

图 362. 硬件/软件从器件选择管理



34.5.6 通信格式

SPI 通信过程中，将同时执行接收和发送操作。串行时钟 (SCK) 对数据线上的信息的移位和采样进行同步。通信格式取决于时钟相位、时钟极性和数据帧格式。为了能够在彼此间进行通信，主器件和从器件必须遵循相同的通信格式。

时钟相位和极性控制

通过 SPIx_CR1 寄存器中的 CPOL 和 CPHA 位，可以用软件选择四种可能的时序关系。CPOL（时钟极性）位控制不传输任何数据时的时钟空闲状态值。此位对主器件和从器件都有作用。如果复位 CPOL，SCK 引脚在空闲状态处于低电平。如果将 CPOL 置 1，SCK 引脚在空闲状态处于高电平。

如果将 CPHA 位置 1，则会在 SCK 引脚的第二个边沿捕获传输的第一个数据位（如果复位 CPOL 位，则为下降沿；如果将 CPOL 位置 1，则为上升沿）。即，在每次出现该时钟边沿时锁存数据。如果将 CPHA 位复位，则会在 SCK 引脚的第一个边沿捕获传输的第一个数据位（如果将 CPOL 位置 1，则为下降沿；如果将 CPOL 位复位，则为上升沿）。即，在每次出现该时钟边沿时锁存数据。

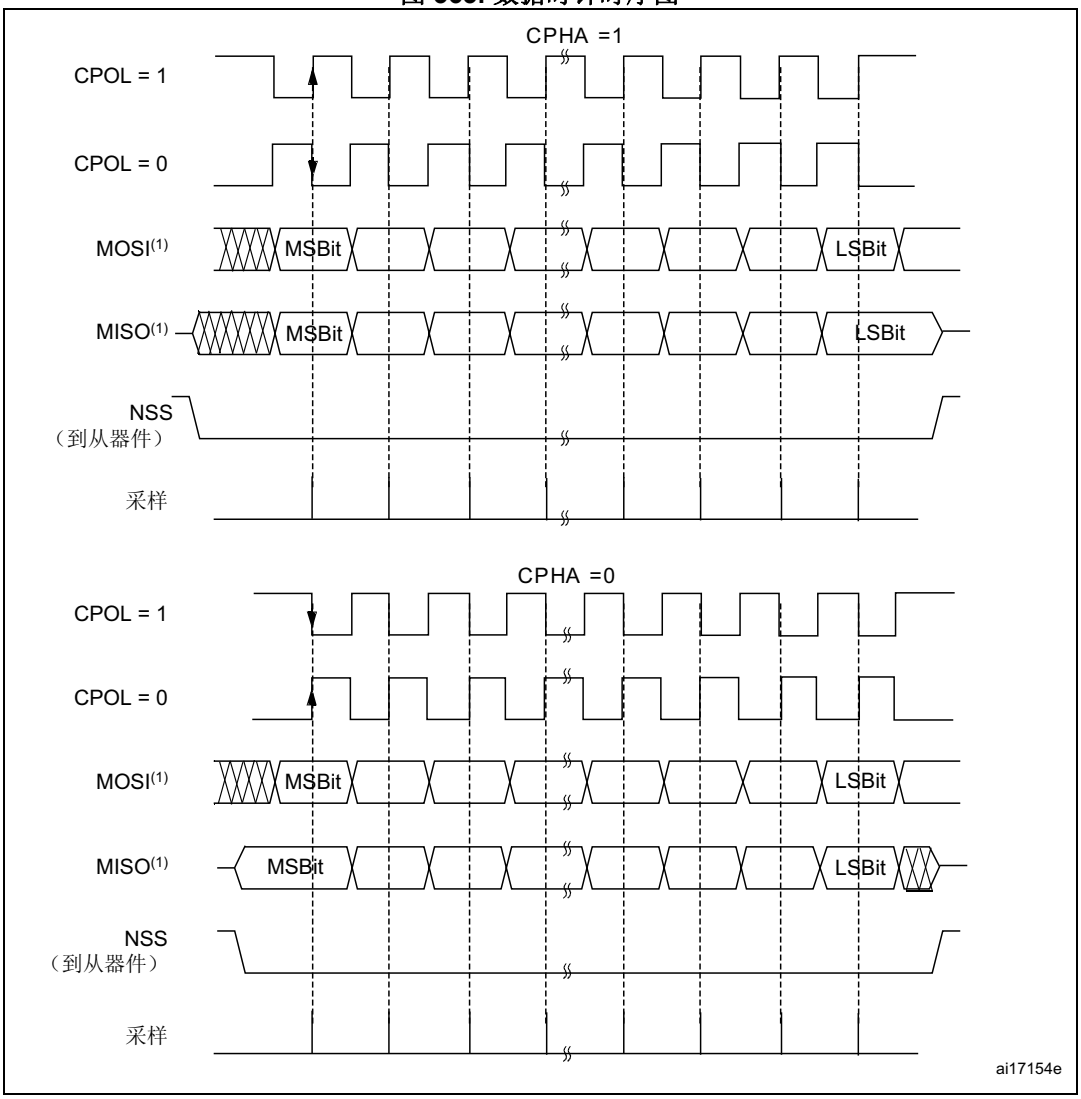
CPOL（时钟极性）和 CPHA（时钟相位）位的组合用于选择数据捕获时钟边沿。

图 363 给出了在 CPHA 和 CPOL 位的四种组合下的 SPI 全双工传输。

注： *在切换 CPOL/CPHA 位之前，必须通过复位 SPE 位来关闭 SPI。*

SCK 的空闲状态必须与 SPIx_CR1 寄存器中选择的极性相对应（如果 CPOL=1，则上拉 SCK；如果 CPOL=0，则下拉 SCK）。

图 363. 数据时钟时序图

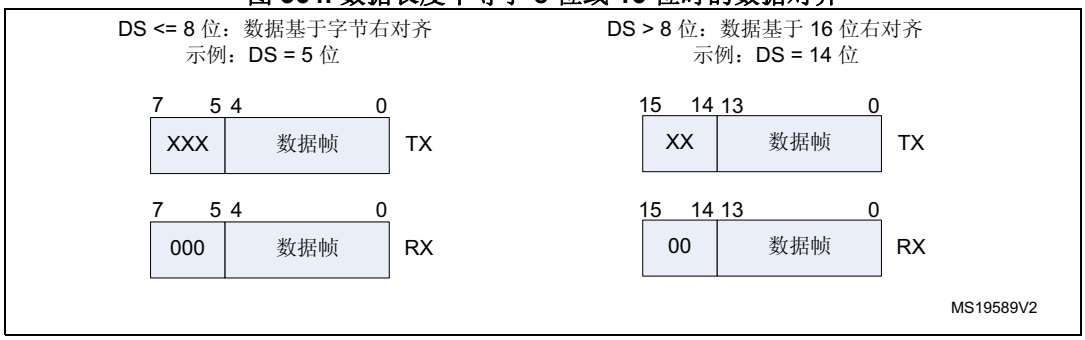


1. 数据位的顺序取决于 LSBFIRST 位的设置。

数据帧格式

SPI 移位寄存器可设置为以 MSB 在前或 LSB 在前的方式移出数据，具体取决于 LSBFIRST 位的值。数据帧的长度通过 DS 位进行选择。数据帧的长度可设置为 4 位到 16 位，且此设置对于发送和接收均适用。无论所选的数据帧长度为何，必须依照 FRXTH 电平对 FIFO 进行读访问。访问 SPIx_DR 寄存器时，数据帧始终按字节（数据不超过一个字节时）或半字进行右对齐（请参见*图 364*）。在通信过程中，只会为数据帧内的位提供时钟并传输这些位。

图 364. 数据长度不等于 8 位或 16 位时的数据对齐



注： *数据长度至少为 4 位。如果所选的数据长度不足 4 位，则会将数据帧长度强制为 8 位。*

34.5.7 SPI 配置

主器件和从器件的配置步骤几乎相同。对于具体的模式设置，请遵从相应章节的内容。若要对标准通信进行初始化，请执行以下步骤：

1. 写特定的GPIO寄存器：配置 MOSI、MISO 和 SCK 信号的GPIO引脚。
2. 写 SPI_CR1 寄存器：
   a) 通过 BR[2:0] 位配置串行时钟波特率（注：4）。
   b) 配置 CPOL 和 CPHA 位的组合，定义数据传输和串行时钟之间的关系（四种关系中的一种）（NSSP 模式下必须将 CPHA 清零）。（注：2 - 在 TI 模式下使能 CRC 的情况除外）。
   c) 通过配置 RXONLY 或 BIDIMODE 和 BIDIOE 来选择单工或半双工模式（RXONLY 和 BIDIMODE 不可同时置 1）。
   d) 配置 LSBFIRST 位以定义帧格式（注：2）。
   e) 如果需要 CRC，请配置 CRCL 和 CRCEN 位（SCK 时钟信号处于空闲状态时）。
   f) 配置 SSM 和 SSI（注：2 和 3）。
   g) 配置 MSTR 位（在多主模式 NSS 配置下，如果主器件配置为预防 MODF 错误，则应避免 NSS 上出现状态冲突）。
3. 写 SPI_CR2 寄存器：
   a) 配置 DS[3:0] 位，选择传输的数据长度。
   b) 配置 SSOE（注：1、2 和 3）。
   c) 如果需要使用 TI 协议，请将 FRF 位置 1（TI 模式下将 NSSP 位保持清零状态）。
   d) 如果在两个数据单元之间需要 NSS 脉冲模式，请将 NSSP 位置 1（NSSP 模式下将 CHPA 和 TI 位保持清零状态）。
   e) 配置 FRXTH 位。RXFIFO 阈值必须与 SPIx_DR 寄存器的读访问大小相符。
   f) 如果封包模式下使用 DMA，请初始化 LDMA_TX 和 LDMA_RX 位。
4. 写 SPI_CRCPR 寄存器：需要时配置 CRC 多项式。
5. 写相应的 DMA 寄存器：如果使用 DMA 数据流，请在 DMA 寄存器中配置 SPI Tx 和 Rx 专用的 DMA 数据流。

注： *(1) 从模式下无需此步骤。*

(2) TI 模式下无需此步骤。

(3) NSSP 模式下无需此步骤。

(4) 从模式下无需此步骤，但从器件在 TI 模式下工作时除外

34.5.8 使能 SPI 的步骤

建议在主器件发送时钟前使能 SPI 从器件。否则，数据传输可能会不正常。从器件的数据寄存器必须包含待发送的数据才能开始与主器件通信（在通信时钟的第一个边沿；如果时钟信号连续，则是在正在进行的通信结束前）。使能 SPI 从器件前，SCK 信号必须稳定为所选极性对应的空闲状态电平。

当 SPI 处于使能状态，且 TXFIFO 不为空或者对 TXFIFO 执行下一次写操作时，全双工模式（或任何只发送模式）下的主器件开始通信。

在任何主器件只接收模式（RXONLY=1 或 BIDIMODE=1 且 BIDIOE=0）下，使能 SPI 后，主器件立即开始通信且时钟立即开始运行。

要处理 DMA，请遵从相应章节的内容。

34.5.9 数据发送和接收过程

RXFIFO 和 TXFIFO

所有 SPI 数据交互均经由 32 位内置 FIFO。这使得 SPI 能够以连续流工作，并能防止在数据帧长度较短时发生上溢。每个方向都有其自身的 FIFO，称为 TXFIFO 和 RXFIFO。这些 FIFO 可在所有 SPI 模式下使用，但已使能 CRC 计算的只接收模式（从器件或主器件）除外（请参见*第 34.5.14 节：CRC 计算*）。

FIFO 的处理取决于数据交换模式（双工和单工）、数据帧格式（帧中的位数）、FIFO 数据寄存器中的访问大小（8 位或 16 位）以及访问 FIFO 时是否使用数据封包（请参见*第 34.5.13 节：TI 模式*）。

对 SPIx_DR 寄存器执行读访问时，会返回尚未读取的 RXFIFO 中存储的最早的值。对 SPIx_DR 执行写访问时，会在发送队列结束时将写入的数据存储到 TXFIFO 中。读访问必须始终与 SPIx_CR2 寄存器中的 FRXTH 位配置的 RXFIFO 阈值保持一致

SPIx_DR 寄存器的读访问必须通过 RXNE 事件进行管理。当数据存储到 RXFIFO 中且达到阈值（由 FRXTH 位定义）时会触发该事件。当 RXNE 清零时，RXFIFO 被视为空。同样地，待发送数据帧的写访问通过 TXE 事件进行管理。当 TXFIFO 占用水平小于或等于其容量的一半时会触发该事件。否则，TXE 清零，TXFIFO 被视为已满。通过这种方式，当数据帧格式不超过 8 位时，RXFIFO 最多可存储四个数据帧，而 TXFIFO 最多只能存储三个数据帧。当软件尝试向 TXFIFO 中写入更多 16 位模式的数据时，这种差异能够防止 TXFIFO 中已存储的 3 个 8 位数据帧出现损坏的情况。TXE 和 RXNE 事件可通过轮询方式或者中断方式处理。请参见*图 366* 到*图 369*。

另一种管理数据交换的方式是使用 DMA（请参见*使用 DMA（直接存储器寻址）进行通信*）。

如果在 RXFIFO 已满时收到下一个数据，将发生上溢事件（请参见*第 34.5.10 节：SPI 状态标志*中的 OVR 标志说明）。上溢事件可通过轮询方式或中断方式来处理。

BSY 位被置 1 表示当前正在处理数据帧。当时钟信号连续运行时，在主器件中，BSY 标志在数据帧之间保持置 1 状态，但在从器件中，BSY 标志在数据帧传输之间变为低电平并持续最短的一段时间（一个 SPI 时钟）。

序列处理

可通过一个序列传送一些数据帧从而完成一条消息。使能发送后，序列即开始，只要主器件的 TXFIFO 中存在数据便一直继续。时钟信号由主器件持续提供，直至 TXFIFO 变为空，之后时钟信号停止，等待其他数据。

在只接收模式、半双工模式（BIDIMODE=1 且 BIDIOE=0）或单工模式（BIDIMODE=0 且 RXONLY=1）下，当使能 SPI 并激活只接收模式后，主器件将立即启动序列。时钟信号由主器件提供，且仅当主器件关闭 SPI 或者关闭只接收模式时，时钟信号才会停止。在此之前，主器件会连续接收数据帧。

当主器件能够以连续模式（SCK 信号连续）提供所有交互时，任何时候都必须根据从器件功能来处理数据流及其内容。必要时，主器件必须降低通信速度，提供较慢的时钟或带有足够延时的单独帧或数据段。请注意，SPI 模式下不存在主器件或从器件的下溢错误信号，来自从器件的数据始终由主器件处理，即使从器件无法及时正确地准备数据也是如此。从器件最好使用 DMA，尤其是数据帧较短而总线速率较高时。

在多从器件系统中，每个序列必须通过 NSS 脉冲进行控制，从而只选择其中一个从器件进行通信。在单个从器件系统中，无需通过 NSS 来控制从器件，但此时提供此脉冲通常会更好，以在每个数据序列开始时同步从器件。NSS 可通过软件和硬件进行管理（请参见*第 34.5.5 节：从器件选择 (NSS) 引脚管理*）。

当 BSY 位置 1 时，表示正在处理数据帧事务。当所进行的帧交互完成时，RXNE 标志将置 1。最后一位采样后，整个数据帧会存储到 RXFIFO 中。

关闭 SPI 的步骤

当关闭 SPI 时，必须按照本段中介绍的关闭步骤进行操作。当外设时钟停止时，在系统进入低功耗模式前做到这一点是十分重要的。否则会损坏正在进行的交互。在某些模式下，禁止步骤是停止所进行的连续通信的唯一方式。

当处于全双工或只发送模式下的主器件停止提供待发送的数据时，可结束任何事务。在这种情况下，时钟在最后一个数据传输后停止。当处理奇数数量的数据帧时，必须特别注意封装模式以防止交换一些空字节（请参见*数据封包*部分）。在这些模式下禁止 SPI 之前，用户必须按照标准的禁止步骤进行操作。SPI 在主模式传输时，如果在数据帧处理的过程中，或者 TXFIFO 中有待传输的数据时，此时关闭 SPI，则SPI 的状态是不可预测的。。

只要主器件处于只接收模式，停止连续时钟的唯一方式就是通过 SPE=0 来关闭外设。这必须在最后一个数据帧传输内的特定时间段，即第一位采样与最后一位传输开始之间完成（以便接收全部数量的预期数据帧并防止在最后一个有效数据帧后读取任何其他的“空”数据）。在该模式下关闭 SPI 时必须遵循特定步骤。

关闭 SPI 后，已接收但未读取的数据始终存储在 RXFIFO 中，这些数据必须在下次使能 SPI 后进行处理，然后才能启动新序列。为防止存在未读取的数据，需确保关闭 SPI 时 RXFIFO 为空，可通过正确的关闭步骤来关闭 SPI，也可以通过控制外设复位专用的特定寄存器以软件复位的方式来初始化所有 SPI 寄存器从而关闭 SPI（请参见 RCC_APBiRSTR 寄存器中的 SPIiRST 位）。

标准关闭步骤通过轮询 BSY 状态以及 FTLVL[1:0] 来检查发送会话是否完全结束。还可以在必须识别正在处理的传输是否结束的特定情况下完成这种检查，例如：

- 当 NSS 信号由软件管理且主器件必须为从器件提供 NSS 脉冲结束时，或者
- 最后一个数据帧或 CRC 帧传输仍在外设总线中处理时，来自 DMA 或 FIFO 的传输数据流完成。

正确的关闭步骤如下（使用只接收模式时除外）：

1. 等待至 FTLVL[1:0] = 00（无需发送更多数据）。
2. 等待至 BSY=0（最后一个数据帧已处理完）。
3. 关闭 SPI (SPE = 0)。
4. 读取数据，直至 FRLVL[1:0] = 00（读取接收的所有数据）。

某些只接收模式的正确关闭步骤如下：

1. 当最后一个数据帧正在处理时，通过在特定时间窗口内关闭 SPI (SPE=0) 来中断接收流。
2. 等待至 BSY=0（最后一个数据帧已处理完）。
3. 读取数据，直至 FRLVL[1:0] = 00（读取接收的所有数据）。

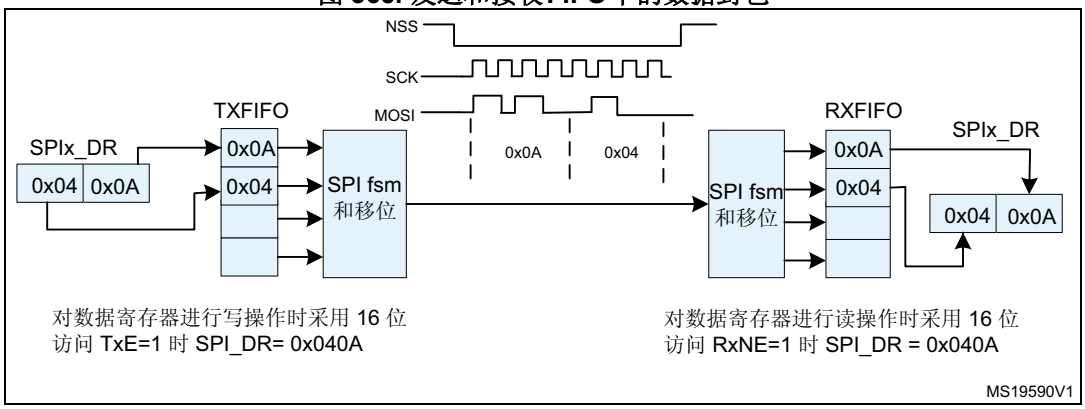
注： *如果使用封包模式并且必须接收奇数数量的数据帧且数据帧格式为小于或等于 8 位（不超过一个字节），则 FRXTH 必须在 FRLVL[1:0] = 01 时置 1，以便生成 RXNE 事件从而读取最后的奇数编号数据帧并且使 FIFO 指针保持正确对齐。*

数据封包

若数据帧长度不足一个字节（小于或等于 8 位），当 SPIx_DR 寄存器上执行任何 16 位读写访问时将自动使用数据封包。在这种情况下将并行处理双数据帧模式。最初，SPI 以所访问字的 LSB 中存储的模式工作，然后以 MSB 中存储的另一种模式来工作。*图 365* 给出了数据封包模式序列处理的示例。在对发送器的 SPIx_DR 寄存器执行单次 16 位访问后发送两个数据帧。如果 RXFIFO 阈值设置为 16 位 (FRXTH=0)，该序列只会在接收器中生成一个 RXNE 事件。接收器随后必须通过对 SPIx_DR 执行单次 16 位读访问来访问这两个数据帧，从而响应该单个 RXNE 事件。RxFIFO 阈值设置和后续读访问必须始终与接收器侧保持一致，因为若不一致，则会丢失数据。

如果必须处理奇数数量的此类“不超过一个字节”的数据帧，则会出现特定问题。在发送器侧，只需将任意奇序列的最后一个数据帧以 8 位访问的方式写入 SPIx_DR 即可。接收器必须针对所接收的奇序列中的最后一个数据帧更改 Rx_FIFO 阈值大小，以生成 RXNE 事件。

图 365. 发送和接收 FIFO 中的数据封包



1. 在此示例中：数据大小 DS[3:0] 配置为 4 位、CPOL = 0、CPHA = 1 且 LSBFIRST = 0。数据存储始终采用右对齐方式，同时有效位仅在总线上执行，总线上 LSB 字节的内容在前，未使用的位在发送器侧无需考虑，在接收器侧则用零进行填充。

使用 DMA（直接存储器寻址）进行通信

为了以最大速度工作并且方便避免上溢所需的数据寄存器读/写过程，SPI 提供了 DMA 功能，该功能采用了简单的请求/应答协议。

将 SPIx_CR2 寄存器中的使能位 TXE 或 RXNE 置 1 时，将请求 DMA 访问。必须向发送缓冲区和接收缓冲区发出单独的请求。

- 在发送过程中，每次 TXE 位置 1 都会发出 DMA 请求。然后，DMA 将对 SPIx_DR 寄存器执行写操作。
- 在接收过程中，每次 RXNE 位置 1 都会发出 DMA 请求。然后，DMA 将对 SPIx_DR 寄存器执行读操作。

请参见*图 366* 到*图 369*。

当 SPI 仅用于发送数据时，可以只使能 SPI Tx DMA 通道。在这种情况下，OVR 标志会置 1，因为未读取接收的数据。当 SPI 仅用于接收数据时，可以只使能 SPI Rx DMA 通道。

在发送模式下，DMA 写入所有要发送的数据（DMA_ISR 寄存器中的 TCIF 标志置 1）后，可以对 BSY 标志进行监视，以确保 SPI 通信已完成。在关闭 SPI 或进入停止模式前必须执行此步骤，以避免损坏最后一次发送。软件必须首先等待 FTLVL[1:0]=00，再等待 BSY=0。

通过 DMA 开始通信时，为防止 DMA 通道管理引发错误事件，必须按顺序执行以下步骤：

1. 如果使用 DMA Rx，通过 SPI_CR2 寄存器中的 RXDMAEN 位来使能 DMA 接收缓冲区。
2. 如果使用数据流，通过 DMA 寄存器来使能 Tx 和 Rx 的 DMA 数据流。
3. 如果使用 DMA Tx，通过 SPI_CR2 寄存器中的 TXDMAEN 位来使能 DMA 发送缓冲区。
4. 通过将 SPE 位置 1 使能 SPI。

要关闭通信，必须按顺序执行以下步骤：

1. 如果使能了 DMA，通过 DMA 寄存器来关闭 Tx 和 Rx 的 DMA 数据流。
2. 通过后续 SPI 关闭步骤来关闭 SPI。
3. 如果使用 DMA Tx 和/或 DMA Rx，通过将 SPI_CR2 寄存器中的 TXDMAEN 和 RXDMAEN 位清零来关闭 DMA 发送缓冲区和接收缓冲区。

使用 DMA 时的数据封装

如果由 DMA 管理传输（SPIx_CR2 寄存器中的 TXDMAEN 和 RXDMAEN 位置 1），则将根据为 SPI TX 和 SPI RX 的 DMA 通道配置的 PSIZE 值自动使能/关闭封装模式。如果 DMA 通道的 PSIZE 值等于 16 位，且 SPI 数据大小小于或等于 8 位，则将使能封装模式。然后，DMA 将自动管理对 SPIx_DR 寄存器的写操作。

如果使用数据封装模式，且要传输的数据数量不是 2 的倍数，则 LDMA_TX/LDMA_RX 位必须置 1。然后，SPI 会认为最后一次 DMA 传输时只发送或接收一个数据（有关详细信息，请参见*第 1035 页的数据封包*）。

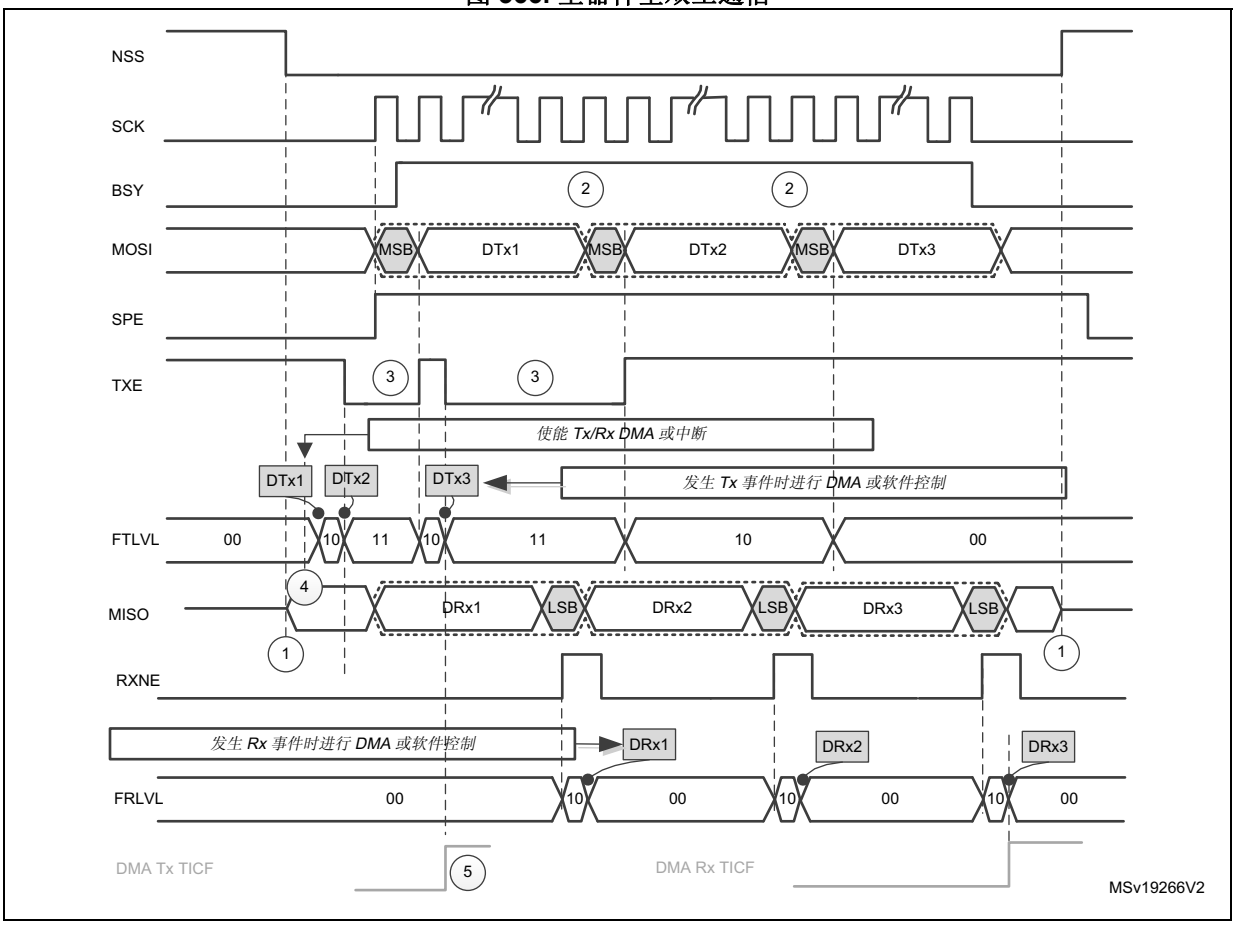
通信图

本部分将介绍一些典型的时序图。无论 SPI 事件是通过轮询、中断还是 DMA 进行处理，这些时序图均有效。为简单起见，此处均假设 LSBFIRST=0、CPOL=0 和 CPHA=1。不提供 DMA 数据流的完整配置。

以下带编号的注释对*第 1038 页的图 366* 到*第 1041 页的图 369* 均适用。

1. 激活 NSS 并使能 SPI 后，从器件开始控制 MISO 线，而当其中一个条件不成立时，从器件将与 MISO 线断开。必须为从器件提供充足的时间，以便在传输开始前准备好主器件专用的数据。在主器件上，只有使能 SPI 后，SPI 外设才会控制 MOSI 和 SCK 信号（偶尔还会控制 NSS 信号）。如果关闭 SPI，SPI 外设会与 GPIO 逻辑断开，因此这些线上的电平只取决于 GPIO 设置。
2. 在主器件上，如果通信（时钟信号）连续，BSY 在数据帧之间保持有效。在从器件上，BSY 信号在数据帧之间始终会保持至少一个时钟周期的低电平状态。
3. 只有 TXFIFO 已满时，TXE 信号才会清零。
4. DMA 仲裁过程在 TXDMAEN 位置 1 后立即开始。TXE 中断在 TXEIE 置 1 后立即生成。TXE 信号处于有效电平时，开始向 TxFIFO 传输数据，直至 TxFIFO 已满或 DMA 传输完成。
5. 如果要发送的所有数据可装入 TxFIFO，则 DMA Tx TCIF 标志甚至会在 SPI 总线上的通信开始前置 1。SPI 传输完成前，该标志始终为高电平状态。
6. 封装的 CRC 值在 SPIx_TXCRCR 和 SPIx_RXCRCR 寄存器中逐帧连续进行计算。完成整个数据封装后，CRC 信息可通过 DMA 自动处理（Tx 通道必须设置为要处理的数据帧数），也可由软件处理（用户必须在处理最后一个数据帧的过程中处理 CRCNEXT 位）。SPIx_TXCRCR 中计算的 CRC 值仅由发送器发出时，接收的 CRC 信息将加载到 RxFIFO 中，然后与 SPIx_RXCRCR 寄存器的内容进行比较（如果存在任何差异，CRC 错误标志会置 1）。因此用户必须注意刷新 FIFO 中的相关信息，可以通过软件读出 RxFIFO 中存储的所有内容的方式来实现，若已针对 Rx 通道预设置了适当数量的数据帧（数据帧数 + CRC 帧数），也可通过 DMA 的方式来实现（请参见示例假设中的设置）。
7. 在数据封装模式下，TxE 和 RxNE 事件成对出现，对 FIFO 的每次读/写访问都为 16 位宽，直至数据帧数为偶数。如果 TxFIFO 处于 ¾ 满状态，则 FTLVL 将保持 FIFO 满时对应的状态。因此在 TxFIFO 变为 ½ 满状态前，无法存储最后一个奇数编号的数据帧。该帧可通过软件或自动由 DMA（LDMA_TX 控制置 1 时）对其进行 8 位访问的方式存储在 TxFIFO 中。
8. 要在封装模式下接收最后一个奇数编号的数据帧，必须在处理最后一个数据帧后，将 Rx 阈值更改为 8 位，这可通过软件（设置为 FRXTH=1）实现或由 DMA 内部信号在 LDMA_RX 置 1 时自动实现。

图 366. 主器件全双工通信



主器件全双工通信示例的假设条件如下：

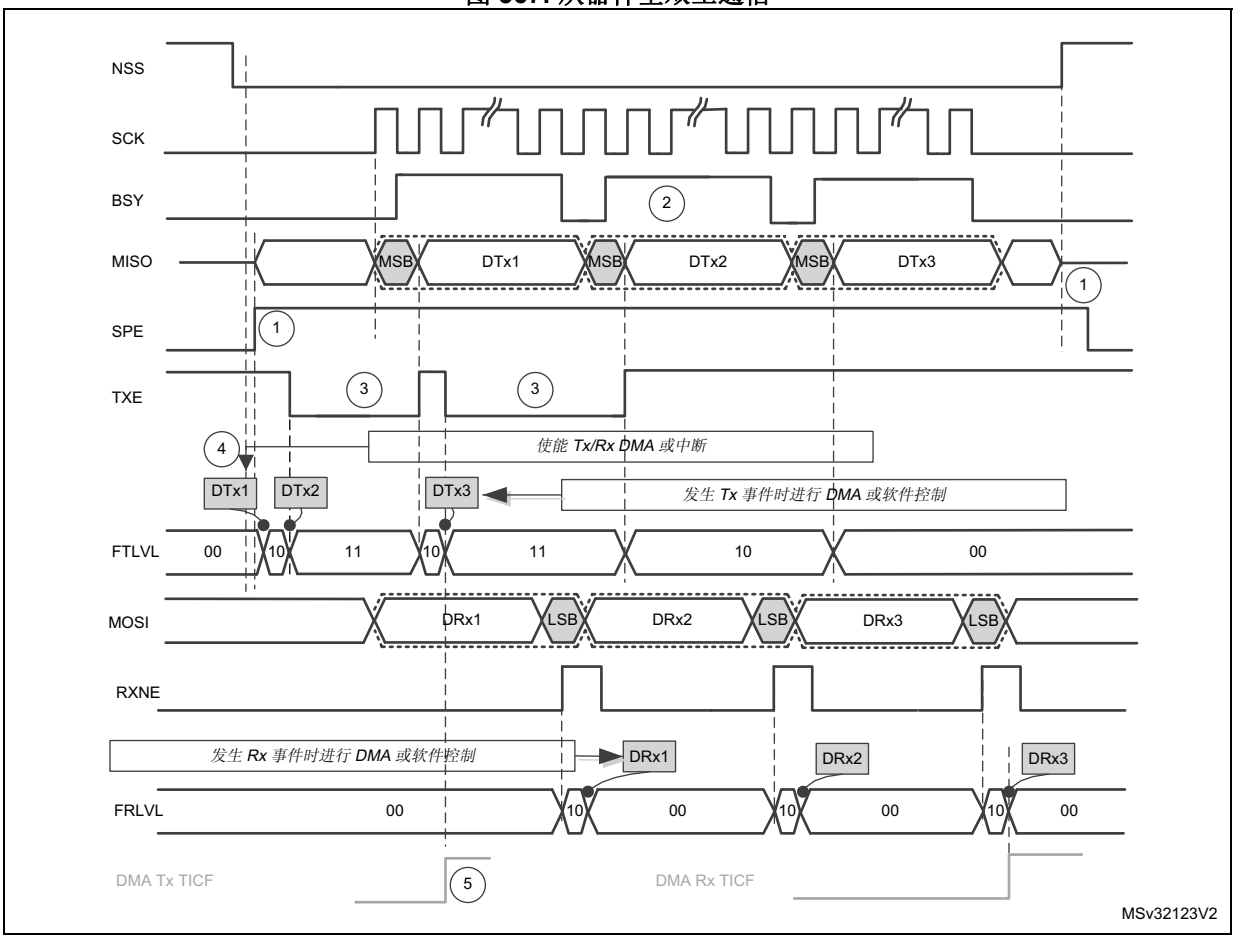
- 数据大小 > 8 位

如果使用 DMA：

- 由 DMA 处理的 Tx 帧的数量设置为 3
- 由 DMA 处理的 Rx 帧的数量设置为 3

有关通用假设条件和注释的详细信息，另请参见*第 1037 页的通信图*。

图 367. 从器件全双工通信



从器件全双工通信示例的假设条件如下：

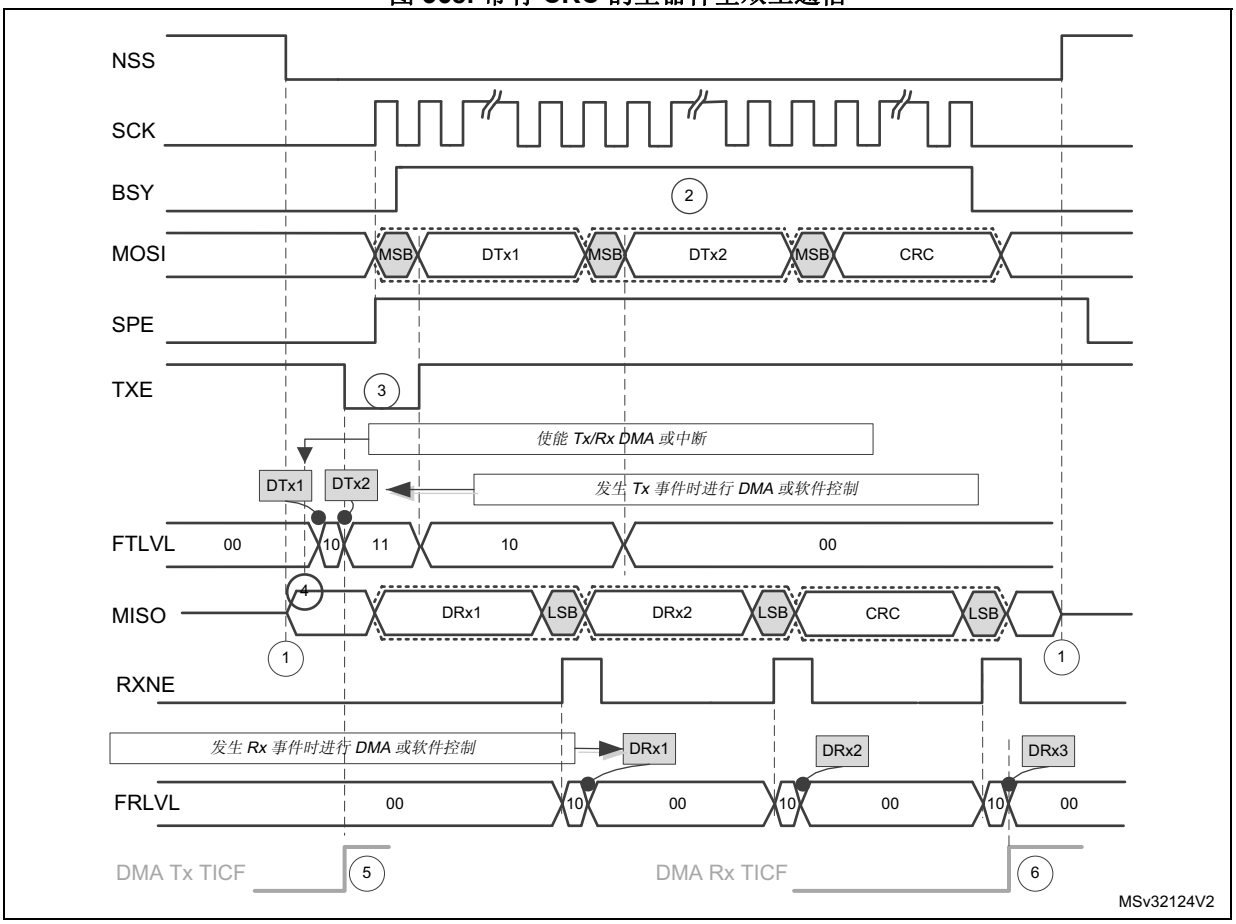
- 数据大小 > 8 位

如果使用 DMA：

- 由 DMA 处理的 Tx 帧的数量设置为 3
- 由 DMA 处理的 Rx 帧的数量设置为 3

有关通用假设条件和注释的详细信息，另请参见*第 1037 页的通信图*。

图 368. 带有 CRC 的主器件全双工通信



带有 CRC 的主器件全双工通信的假设条件如下：

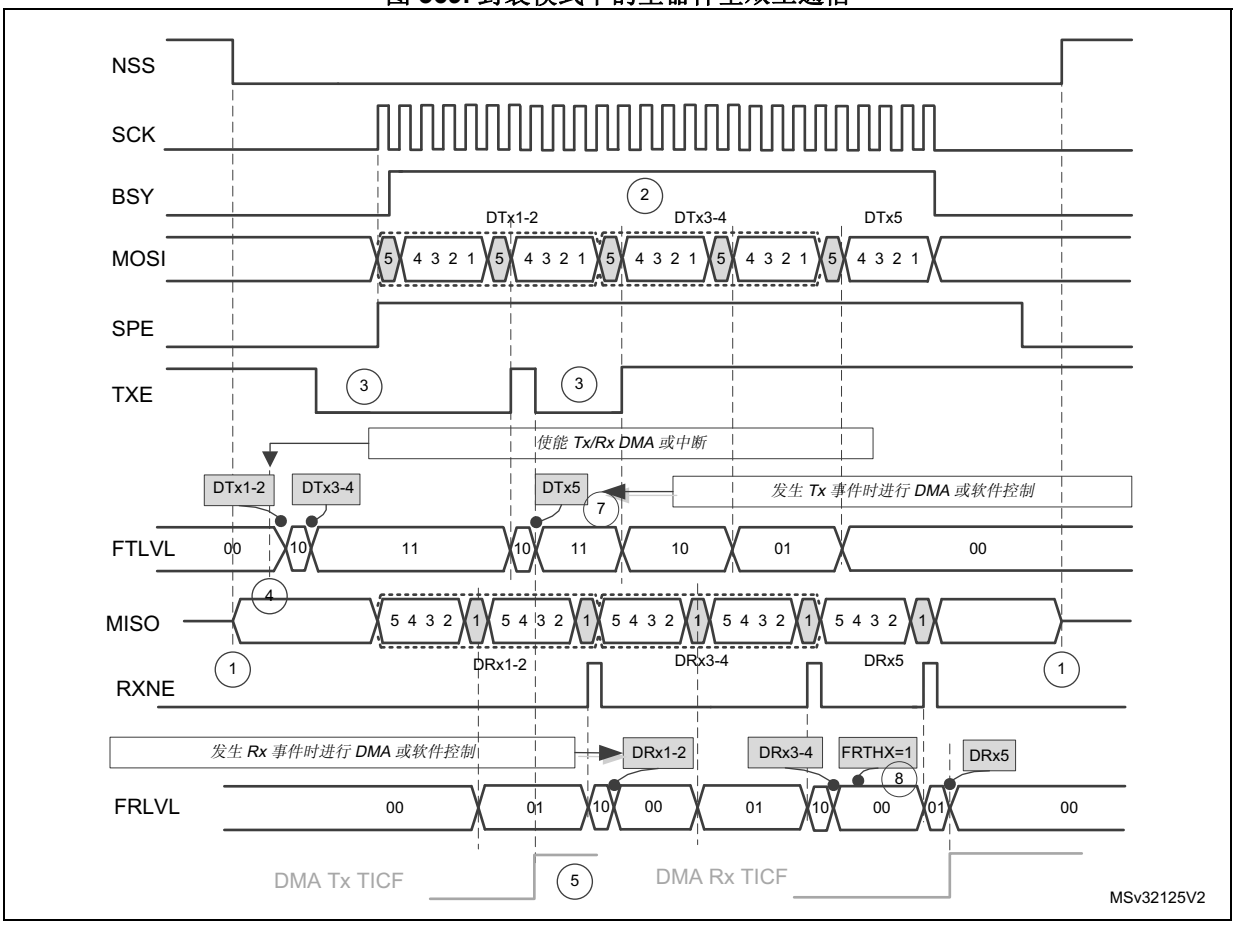
- 数据大小 = 16 位
- CRC 已使能

如果使用 DMA：

- 由 DMA 处理的 Tx 帧的数量设置为 2
- 由 DMA 处理的 Rx 帧的数量设置为 3

有关通用假设条件和注释的详细信息，另请参见*第 1037 页的通信图*。

图 369. 封装模式下的主器件全双工通信



封装模式下的主器件全双工通信示例的假设条件如下：

- 数据大小 = 5 位
- 主要通过 16 位访问的方式来读/写 FIFO
- FRXTH=0

如果使用 DMA：

- 由 DMA 处理的 Tx 帧的数量设置为 3
- 由 DMA 处理的 Rx 帧的数量设置为 3
- Tx 和 Rx 的 DMA 通道 的 PSIZE 均设置为 16 位
- LDMA_TX=1 且 LDMA_RX=1

有关通用假设条件和注释的详细信息，另请参见*第 1037 页的通信图*。

34.5.10 SPI 状态标志

应用可通过三种状态标志监视 SPI 总线的状态。

发送缓冲区为空 (TXE)

当发送 TXFIFO 有足够的空间来存储要发送的数据时，TXE 标志将置 1。TXE 标志与 TXFIFO 占用水平相关。该标志变为高电平后将一直保持高电平状态，直至 TXFIFO 占用水平小于或等于 FIFO 深度的 1/2。如果 SPIx_CR2 寄存器中的 TXEIE 位置 1，可产生中断。当 TXFIFO 占用水平超过 1/2 时，该位将自动清零。

接收缓冲区非空 (RXNE)

RXNE 标志根据 SPIx_CR2 寄存器中 FRXTH 位的值进行设置：

- 如果 FRXTH 置 1，RXNE 将变为高电平并一直保持高电平状态，直至 RXFIFO 占用水平大于或等于 1/4（8 位）。
- 如果 FRXTH 清零，RXNE 将变为高电平并一直保持高电平状态，直至 RXFIFO 占用水平大于或等于 1/2（16 位）。

如果 SPIx_CR2 寄存器中的 RXNEIE 位置 1，可产生中断。

当上述条件不再为真时，RXNE 将由硬件自动清零。

忙标志 (BSY)

BSY 标志由硬件置 1 和清零（写入此标志没有任何作用）。

当 BSY 置 1 时，表示 SPI 上正在进行数据传输（SPI 总线繁忙）。

某些模式下可以使用 BSY 标志来检测传输是否结束，以便软件在进入低功耗模式（该模式下不提供外设时钟）前关闭 SPI 或其外设时钟。这可避免破坏最后一个数据的传输。

BSY 标志还可用于避免在多主模式系统中发生写冲突。

在以下任意一种条件下，BSY 标志将清零：

- 正确关闭 SPI 时
- 在主模式下检测到故障时（MODF 位置 1）
- 在主模式下，完成了数据发送并且不准备发送任何新数据时
- 在从模式下，BSY 标志在各传输之间的至少一个 SPI 时钟周期内置为“0”时。

注： *当主器件可以立即处理下一次发送时（例如，如果主器件处于只接收模式或其发送 FIFO 不为空），在主器件侧的传输之间，通信连续且 BSY 标志始终置“1”。尽管从器件并非如此，但建议始终使用 TXE 和 RXNE 标志（而非 BSY 标志）来处理数据发送或接收操作。*

34.5.11 SPI 错误标志

如果以下其中一个错误标志置 1 且已通过将 ERRIE 位置 1 使能了中断，则将生成 SPI 中断。

上溢标志 (OVR)

当主器件或从器件接收了数据但 RXFIFO 没有足够的空间来存储接收的数据时，将出现上溢的情况。如果软件或 DMA 没有足够的时间来读取之前接收的数据（存储在 RXFIFO 中）或数据存储空间受限（例如在只接收模式下使能 CRC 时 RXFIFO 不可用，在这种情况下，接收缓冲区便限制为一个数据帧缓冲区），会发生这种情况（请参见*第 34.5.14 节：CRC 计算*）。

当出现上溢的情况时，新接收的值不会覆盖 RXFIFO 中之前的值。新接收的值将被丢弃，之后发送的所有数据都将丢失。要将 OVR 位清零，应首先对 SPI_DR 寄存器执行读访问，然后再对 SPI_SR 寄存器执行读访问。

模式故障 (MODF)

当主器件的内部 NSS 信号（NSS 硬件模式下为 NSS 引脚，NSS 软件模式下为 SSI 位）被拉低时，将发生模式故障。这会自动将 MODF 位置 1。主模式故障会在以下几方面影响 SPI 接口：

- 如果 ERRIE 位置 1，MODF 位将置 1，并生成 SPI 中断。
- SPE 位清零。这将关闭器件的所有输出，并关闭 SPI 接口。
- MSTR 位清零，从而强制器件进入从模式。

使用以下软件序列将 MODF 位清零：

1. 在 MODF 位置 1 时，对 SPIx_SR 寄存器执行读或写访问。
2. 然后，对 SPIx_CR1 寄存器执行写操作。

为避免包含多个 MCU 的系统中发生多从模式冲突，必须在 MODF 位清零序列期间将 NSS 引脚拉高。在该清零序列后，可以将 SPE 和 MSTR 位恢复到原始状态。安全起见，硬件不允许在 MODF 位置 1 时将 SPE 和 MSTR 位置 1。在从器件中，MODF 位不可置 1，但由前一次多主模式冲突引起时除外。

CRC 错误 (CRCERR)

当 SPIx_CR1 寄存器中的 CRCEN 位置 1 时，此标志用于验证接收数据的有效性。如果移位寄存器中接收的值与 SPIx_RXCRCR 的值不匹配，SPIx_SR 寄存器中的 CRCERR 标志将置 1。该标志由软件清零。

TI 模式帧格式错误 (FRE)

如果 SPI 在从模式下工作，并配置为符合 TI 模式协议，则在通信进行期间出现 NSS 脉冲时，将检测到 TI 模式帧格式错误。出现此错误时，SPIx_SR 寄存器中的 FRE 标志将置 1。发生错误时不会关闭 SPI，但会忽略 NSS 脉冲，并且 SPI 会等待下一个 NSS 脉冲，然后再开始新的传输。由于错误检测可能导致丢失两个数据字节，因此数据可能会损坏。

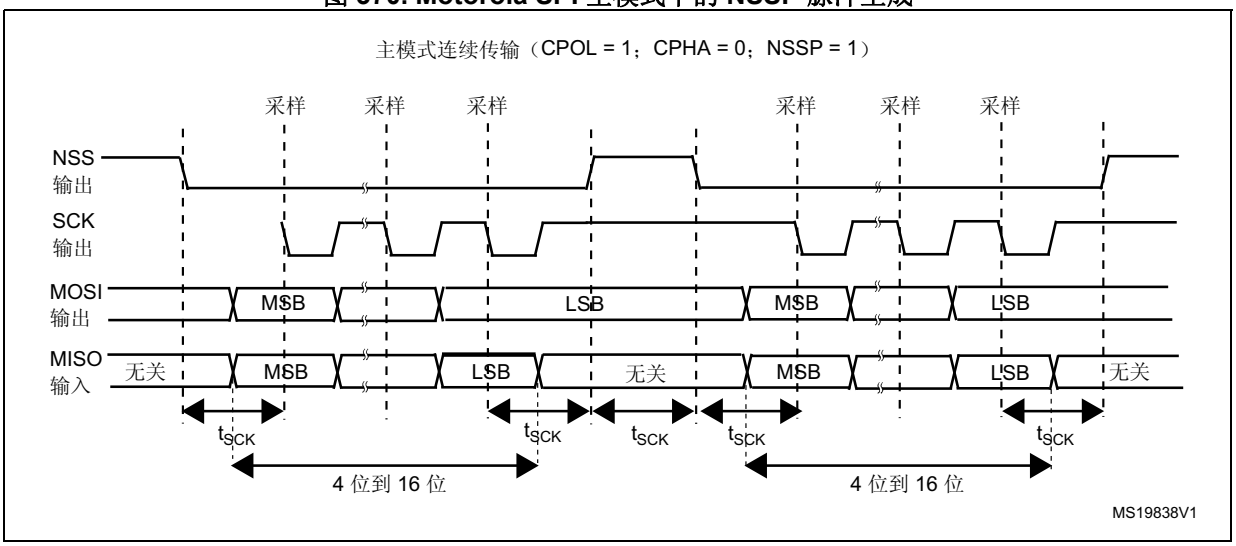
读取 SPIx_SR 寄存器时，将清零 FRE 标志。如果 ERRIE 位置 1，则检测到 NSS 错误时将生成中断。在这种情况下，由于无法保证数据的一致性，应关闭 SPI，并在重新使能从 SPI 后，由主器件重新发起通信。

34.5.12 NSS 脉冲模式

该模式通过 SPIx_CR2 寄存器中的 NSSP 位来激活，只有将 SPI 接口配置为 Motorola SPI 主模式 (FRF=0) 且在第一个边沿捕捉时，该模式才起作用（SPIx_CR1 CPHA = 0，CPOL 设置忽略）。激活后，当 NSS 至少保持一个时钟周期的高电平状态时，两个连续的数据帧传输间将生成 NSS 脉冲。该模式下，从器件可以锁存数据。NSSP 脉冲模式旨在用于具有一个主器件-从器件对的应用。

图 370 给出了使能 NSSP 脉冲模式后的 NSS 引脚管理情况。

图 370. Motorola SPI 主模式下的 NSSP 脉冲生成



注： 当 CPOL = 0 时会出现类似行为。在这种情况下，采样边沿为 SCK 的*上升*沿，NSS 的使能和关闭均参考该采样边沿。

34.5.13 TI 模式

主模式下的 TI 协议

SPI 接口与 TI 协议兼容。可以使用 SPIx_CR2 寄存器的 FRF 位来配置 SPI，以兼容此协议。

时钟极性和相位都被强制为遵循 TI 协议，和 SPIx_CR1 中的设置无关。NSS 管理也特定于 TI 协议，在这种情况下，无法通过 SPIx_CR1 和 SPIx_CR2 寄存器（SSM、SSI 和 SSOE）来对 NSS 管理进行配置。

在从模式下，SPI 波特率预分频器用于控制在当前传输完成时 MISO 引脚切换为高阻态的时刻（请参见*图 371*）。可以使用任意波特率，因此可以非常灵活地确定此时刻。但是，波特率通常设置为外部主时钟波特率。MISO 信号变为高阻态的延时 ($t_{release}$) 取决于内部重新同步以及通过 SPIx_CR1 寄存器的 BR[2:0] 位设置的波特率值。具体公式如下：

$$\frac{t_{baud\_rate}}{2} + 4 \times t_{pclk} < t_{release} < \frac{t_{baud\_rate}}{2} + 6 \times t_{pclk}$$

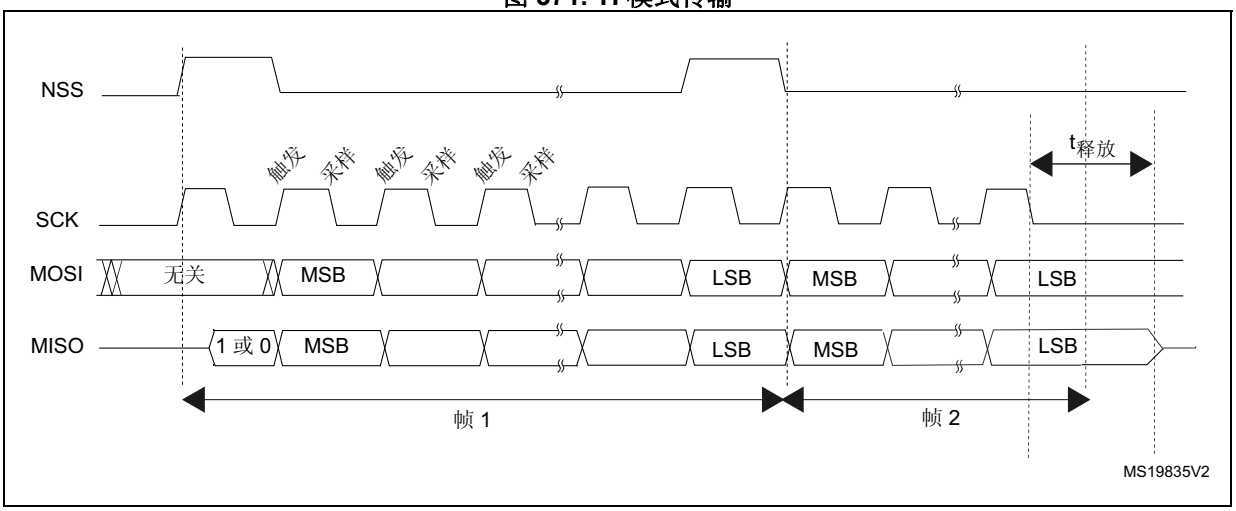
如果从器件在数据帧传输期间检测到错位的 NSS 脉冲，TIFRE 标志将置 1。

如果数据大小等于 4 位或 5 位，处于全双工模式或只发送模式的主器件将使用在 LSB 后再添加一个空数据位的协议。每个周期内，将在该空位（而非 LSB）时钟周期生成 TI NSS 脉冲。

此特性不适用于 Motorola SPI 通信（FRF 位为 0）。

*图 371：TI 模式传输*给出了选择 TI 模式时的 SPI 通信波形。

图 371. TI 模式传输



34.5.14 CRC 计算

为检查发送数据和接收数据的可靠性，使用两个独立的 CRC 计算器。SPI 可提供 CRC8 或 CRC16 计算，而与固定为 8 位或 16 位的数据帧长度无关。对于所有其他的数据帧长度，CRC 均不适用。

CRC 原理

在使能 SPI (SPE = 1) 前，通过将 SPIx_CR1 寄存器中的 CRCEN 位置 1 来使能 CRC 计算。使用值为奇数的可编程多项式对每个位计算 CRC 值。在由 SPIx_CR1 寄存器中的 CPHA 位和 CPOL 位定义的采样时钟边沿进行计算。所计算的 CRC 值在数据块末尾自动进行校验，以及针对由 CPU 或 DMA 管理的传输进行校验。当检测到所接收数据内部计算的 CRC 与发送器发送的 CRC 不匹配时，CRCERR 标志将置 1 以指示数据损坏错误。CRC 计算的正确处理步骤取决于 SPI 配置和所选的传输管理。

注： *多项式值只应为奇数。不支持任何偶数值。*

CPU 管理的 CRC 传输

通信开始后将一直持续到必须发送或接收 SPIx_DR 寄存器中的最后一个数据帧时。之后，SPIx_CR1 寄存器中的 CRCNEXT 位必须置 1，以指示当前处理的数据帧传输后将处理 CRC 帧传输。CRCNEXT 位必须在最后一个数据帧传输结束前置 1。在 CRC 传输期间，CRC 计算将冻结。

所接收的 CRC 以数据字节或数据字的形式存储在 RXFIFO 中。因此仅在 CRC 模式下，接收缓冲区才必须被视为一个 16 位缓冲区且一次仅接收一个数据帧。

CRC 帧的传输通常在数据序列结束时再传输一个数据帧。然而，在设置通过 16 位 CRC 校验的 8 位数据帧时，还需要另外两个帧才能发送完整的 CRC。

接收最后一个 CRC 数据后，将执行自动校验，将接收的值与 SPIx_RXCRC 寄存器中的值进行比较。软件必须校验 SPIx_SR 寄存器中的 CRCERR 标志，以确定数据传输是否损坏。软件通过向 CRCERR 标志写入“0”来将其清零。

接收 CRC 后，CRC 值存储到 RXFIFO 中，且必须在 SPIx_DR 寄存器中进行读取，以将 RXNE 标志清零。

DMA 管理的 CRC 传输

当使能SPI，并开启CRC和DMA模式进行通讯，在通信结束时会自动发送和接收 CRC（在只接收模式下读取 CRC 数据时除外）。CRCNEXT 位并非一定要通过软件来处理。SPI 发送 DMA 通道计数器必须设置为要发送的数据帧数，其中不包括 CRC 帧。在接收器侧，接收的 CRC 值在传输结束时通过 DMA 自动处理，但用户必须注意刷新 RXFIFO 中接收的 CRC 信息（因为该信息始终加载到其中）。在全双工模式下，接收 DMA 通道计数器可设置为要接收的数据帧数，其中包括 CRC，这意味着在通过 16 位 CRC 校验的 8 位数据帧的特殊情况下：

DMA_RX = Numb_of_data + 2

在只接收模式下，DMA 接收通道计数器应仅包含已传输的数据量，而不包括 CRC 计算。之后，基于通过 DMA 实现的完整传输，必须通过软件从 FIFO 中读回所有 CRC 值，因为 FIFO 在该模式下用作单个缓冲区。

如果传输过程中出现故障，则在数据和 CRC 传输结束时，将SPIx_SR 寄存器中的 CRCERR 标志位置 1。

如果使用封装模式，则 LDMA_RX 位需要管理数据数是否为奇数。

复位 SPIx_TXCRC 和 SPIx_RXCRC 值

在 CRC 阶段后对新数据进行采样时，SPIx_TXCRC 和 SPIx_RXCRC 值将自动清零。借此，可使用 DMA 循环模式（只接收模式下不适用）从而不间断地传输数据（中间 CRC 校验阶段会涉及一些数据块）。

如果在通信期间关闭了SPI，则必须遵循以下顺序：

1. 关闭 SPI
2. 将 CRCEN 位清零
3. 使能 CRCEN 位
4. 使能 SPI

注： *当 SPI 接口配置为从模式时，一旦 CRCNEXT 信号被释放，NSS 内部信号需要在 CRC 阶段事务期间保持低电平。因此，当正常对从器件应用 NSS 硬件模式时，无法在 NSS 脉冲模式下使用 CRC 计算。*

在 TI 模式下，尽管时钟相位和时钟极性设置是固定的，并且与 SPIx_CR1 寄存器无关，但如果应用 CRC，则 SPIx_CR1 寄存器中必须保持相应的设置（CPOL = 0，CPHA = 1）。此外，CRC 计算必须通过 SPI 关闭序列在会话之间复位，方法是在主器件和从器件两侧重新使能上述 CRCEN 位，否则 CRC 计算可能在该特定模式下被损坏。

34.6 SPI 中断

在 SPI 通信过程中，中断可由以下事件产生：

- 发送TXFIFO准备被加载
- 接收 RXFIFO 中接收了数据
- 主模式故障
- 上溢错误
- TI 帧格式错误
- CRC 协议错误

中断可分别进行使能和关闭。

表 182. SPI 中断请求

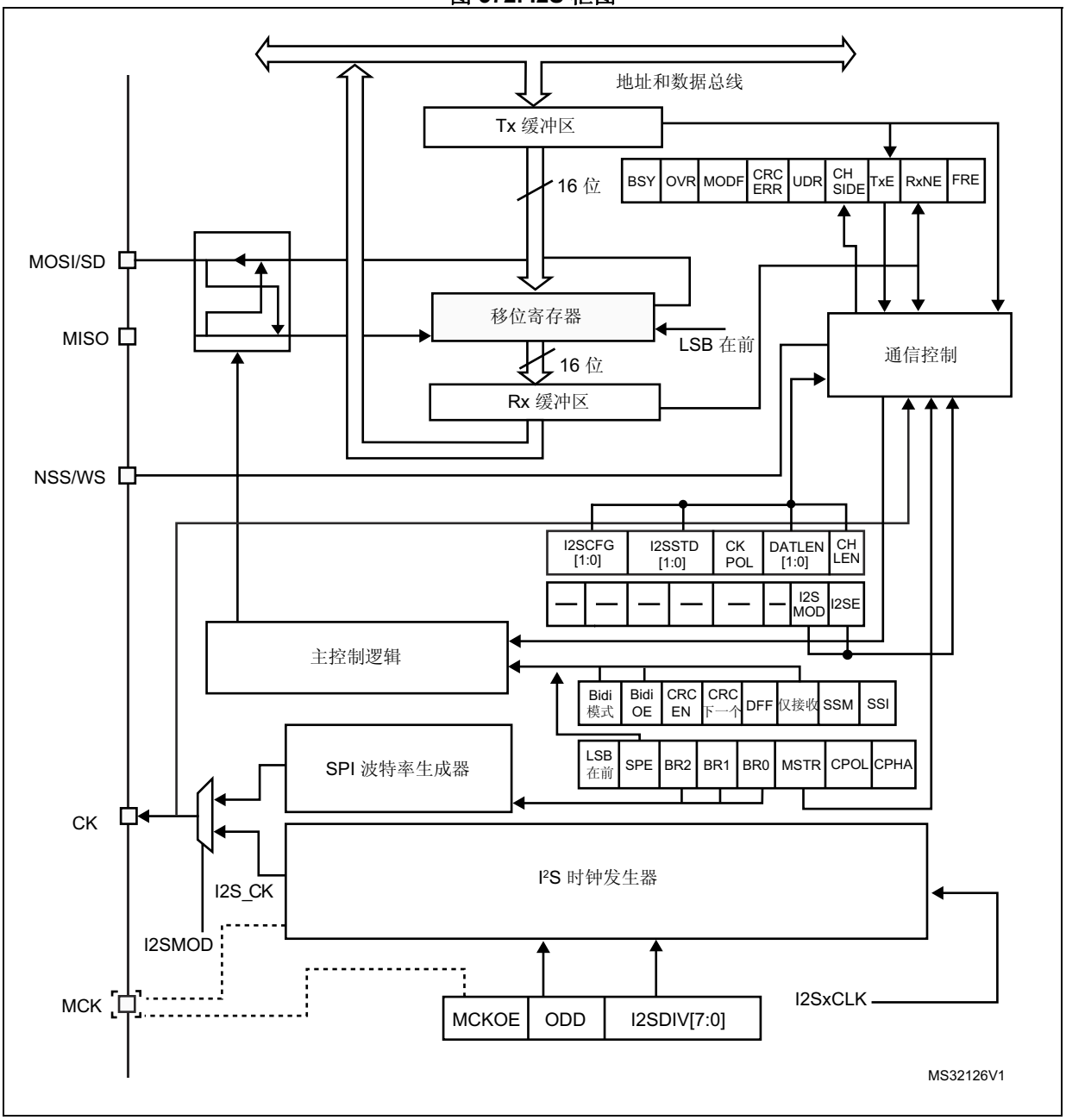
中断事件	事件标志	使能控制位
发送TXFIFO准备被加载	TXE	TXEIE
RXFIFO 中接收了数据	RXNE	RXNEIE
主模式故障	MODF	ERRIE
上溢错误	OVR	
TI 帧格式错误	FRE	
CRC 协议错误	CRCERR	

34.7 I2S 功能说明

34.7.1 I2S 概述

I2S 的框图如*图 372* 所示。

图 372. I2S 框图



1. MCK 映射到 MISO 引脚上。

当使能 I2S 功能（将 SPIx_I2SCFGR 寄存器中的 I2SMOD 位置 1）后，SPI 可用作音频 I2S 接口。此接口使用的引脚、标志和中断几乎与 SPI 相同。

I2S 与 SPI 共用以下三个引脚：

- SD：串行数据（映射到 MOSI 引脚），用于发送或接收两个时分复用的数据通道上的数据（仅半双工模式）。
- WS：字选择（映射到 NSS 引脚），是主模式下的数据控制信号输出以及从模式下的数据控制信号输入。
- CK：串行时钟（映射到 SCK 引脚），是主模式下的串行时钟输出以及从模式下的串行时钟输入。

当某些外部音频设备需要使用主时钟输出时，可以使用其他引脚：

- MCK：当 I_2S 配置为主模式（并且 SPIx_I2SPR 寄存器中的 MCKOE 位置 1）时，使用主时钟（单独映射）输出此附加时钟，该时钟以 256 × f_S 的预配置频率生成，其中 f_S 为音频信号采样频率。

I2S 在主模式下使用自身的时钟发生器生成通信时钟。此时钟发生器也是主时钟输出的源。在 I^2S 模式下可以使用两个额外的寄存器。一个是时钟发生器配置寄存器 SPIx_I2SPR，另一个是通用 I2S 配置寄存器 SPIx_I2SCFGR（音频标准、从/主模式、数据格式、数据包帧、时钟极性等）。

在 I^2S 模式下不使用 SPIx_CR1 寄存器和所有 CRC 寄存器。同样，也不使用 SPIx_CR2 寄存器中的 SSOE 位以及 SPIx_SR 中的 MODF 和 CRCERR 位。

I2S 使用相同的 SPI 寄存器 (SPIx_DR) 进行 16 位数据传输。

34.7.2 支持的音频协议

三线总线仅需要处理通常在左右两个通道上时分复用的音频数据。但是，只有一个 16 位寄存器进行发送和接收。所以，需由软件将与每个通道对应的值写入数据寄存器，或者从数据寄存器中读取数据，并通过检查 SPIx_SR 寄存器中的 CHSIDE 位来识别对应的通道。始终先发送左通道数据，而后再发送右通道数据（对于 PCM 协议来说，CHSIDE 没有意义）。

数据和帧格式组合有四种，可采用下列格式发送数据：

- 将 16 位数据封装在 16 位帧中
- 将 16 位数据封装在 32 位帧中
- 将 24 位数据封装在 32 位帧中
- 将 32 位数据封装在 32 位帧中

当使用 16 位数据封装在 32 位数据帧的格式时，前 16 位 (MSB) 为有效位，16 位 LSB 被强制清零，无需任何软件操作或 DMA 请求（只需一个读/写操作）。

24 位和 32 位数据帧需要对 SPIx_DR 寄存器执行两次 CPU 读取或写入操作，或者当采样 DMA 时，则需要两次 DMA 操作。对于 24 位数据帧，硬件会在低 8 位填充 8 个 0 扩展到 32 位。

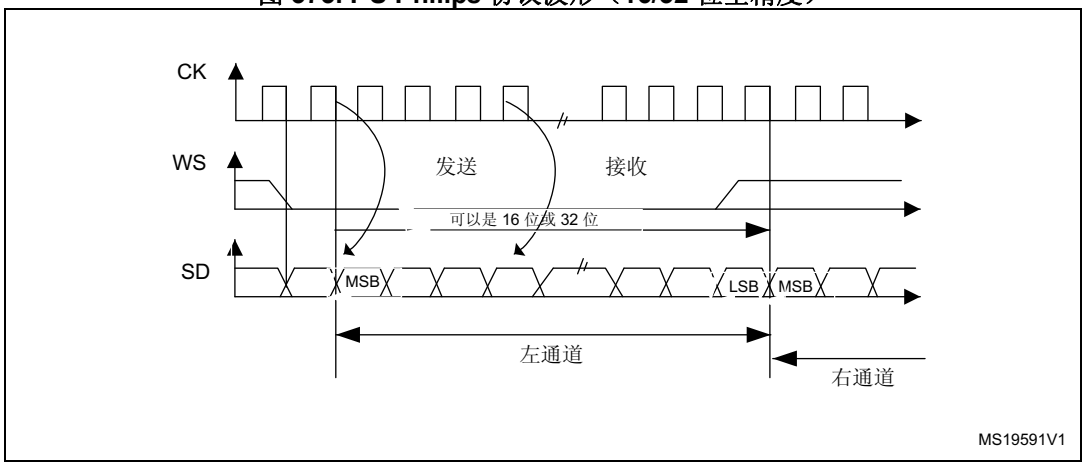
对于所有数据格式和通信标准而言，始终会先发送最高有效位（MSB 优先）。

I^2S 接口支持四种音频标准，可使用 SPIx_I2SCFGR 寄存器中的 I2SSTD[1:0] 和 PCMSYNC 位对其进行配置。

I^2S Philips 标准

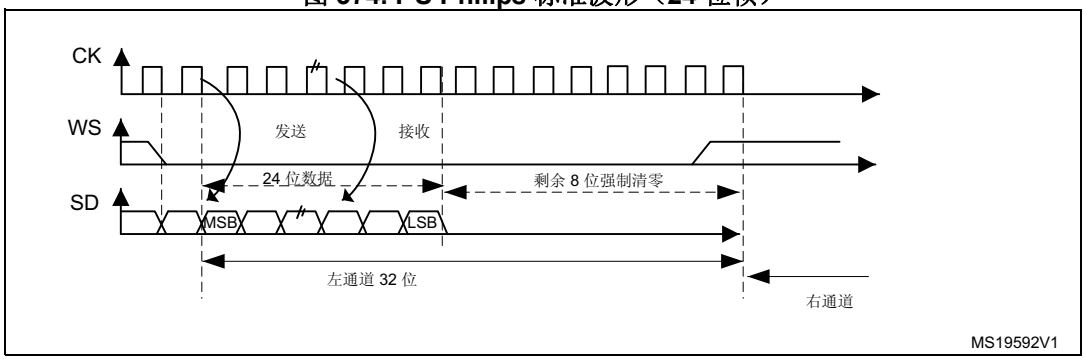
使用 WS 信号来指示当前正在发送的数据所属的通道。在第一个位 (MSB) 有效之前，存在一个时钟周期。

图 373. I²S Philips 协议波形（16/32 位全精度）



发送方在时钟信号 (CK) 的下降沿改变数据，接收方在上升沿读取数据。WS 信号也在 CK 的下降沿变化。

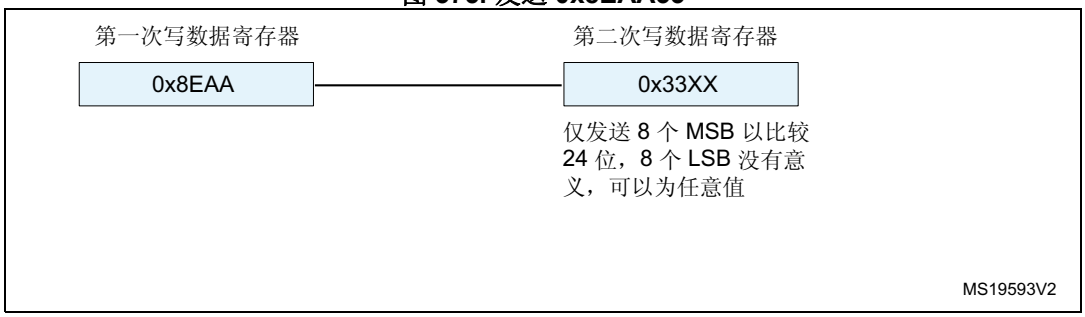
图 374. I²S Philips 标准波形（24 位帧）



该模式需要对 SPIx_DR 寄存器执行两次写入或读取操作。

- 在发送模式下：
  如果需要发送 0x8EAA33（24 位）：

图 375. 发送 0x8EAA33



- 在接收模式下：
  如果接收数据 0x8EAA33：

图 376. 接收 0x8EAA33

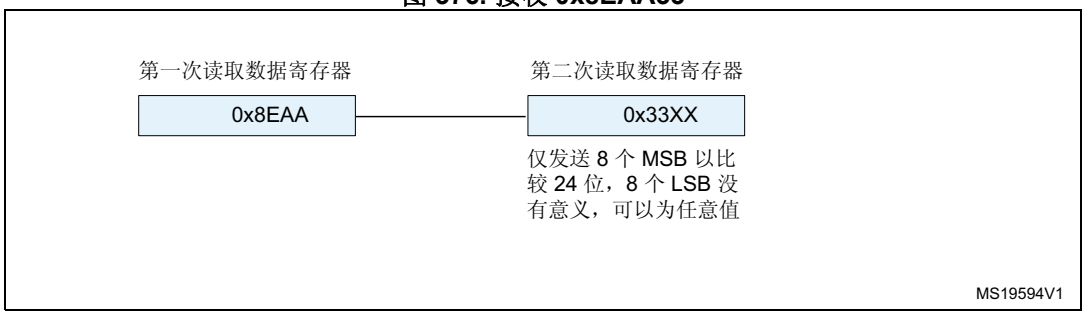
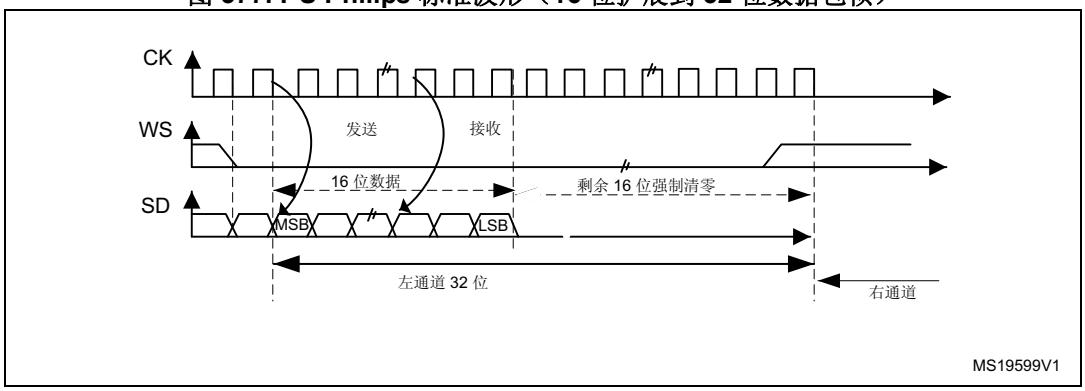


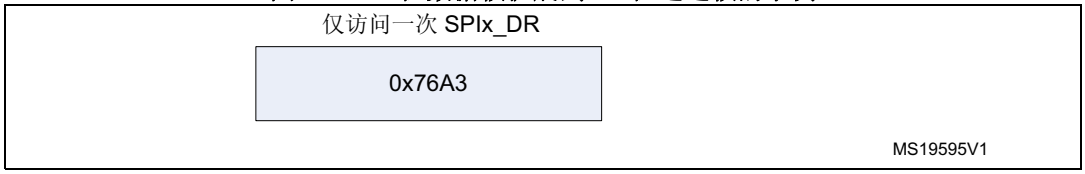
图 377. I²S Philips 标准波形（16 位扩展到 32 位数据包帧）



如果在 I2S 配置阶段选择将 16 位数据帧扩展到 32 位通道帧，则只需要访问一次 SPIx_DR 寄存器。扩展到 32 位中的高半字（16 位 MSB）被硬件置为 0x0000。

如果要发送的数据或已接收的数据为 0x76A3（0x76A30000 扩展为 32 位），则需要执行 *图 378* 中显示的操作。

图 378. 16 位数据帧扩展到 32 位通道帧的示例



发送时，每次将 MSB 写入 SPIx_DR，TXE 标志就会置 1，并在中断使能的情况下触发中断，以将要发送的新数据加载到 SPIx_DR 寄存器。即使硬件填充的低 16 位 0x0000 还未发送，也会如此，因为低 16 位是由硬件发送。

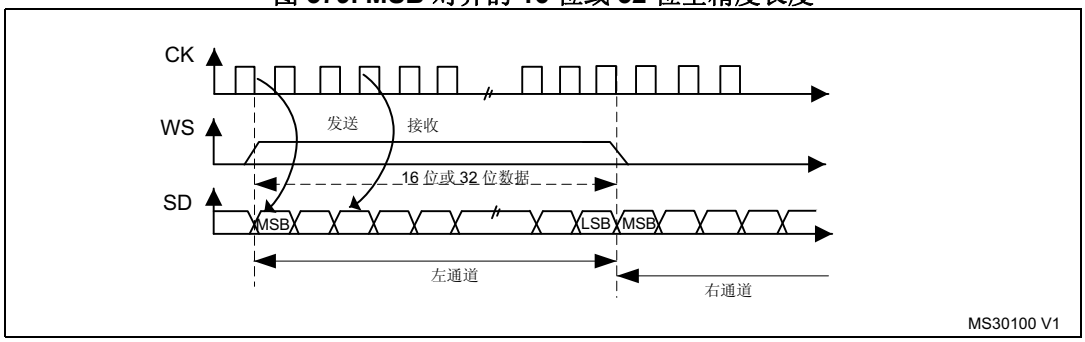
接收时，接收到第一个半字（高 16 位），则硬件将 RXNE 标志置 1，并在中断使能的情况下触发中断。

这样，就延长了两个写入或读取操作之间的时间间隔，从而可防止出现下溢或上溢情况（具体取决于数据传输方向）。

MSB 对齐标准

此标准同时生成 WS 信号和第一个数据位（即 MSBit）。

图 379. MSB 对齐的 16 位或 32 位全精度长度



发送方在时钟信号的下降沿改变数据；接收方在上升沿读取数据。

图 380. MSB 对齐的 24 位帧长度

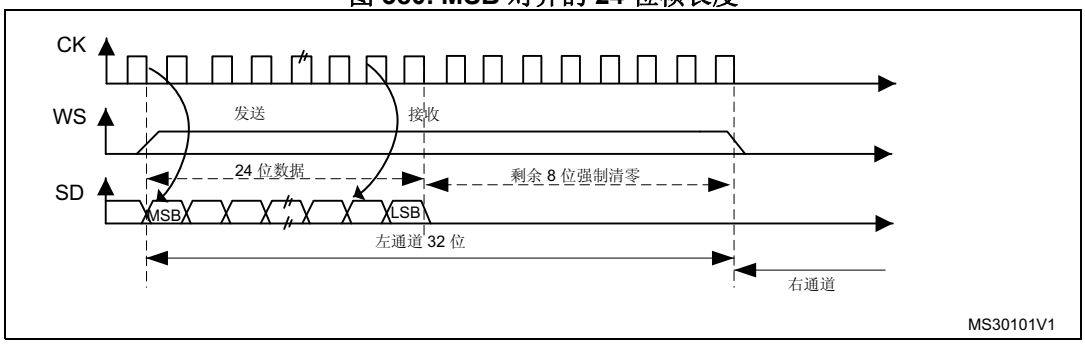
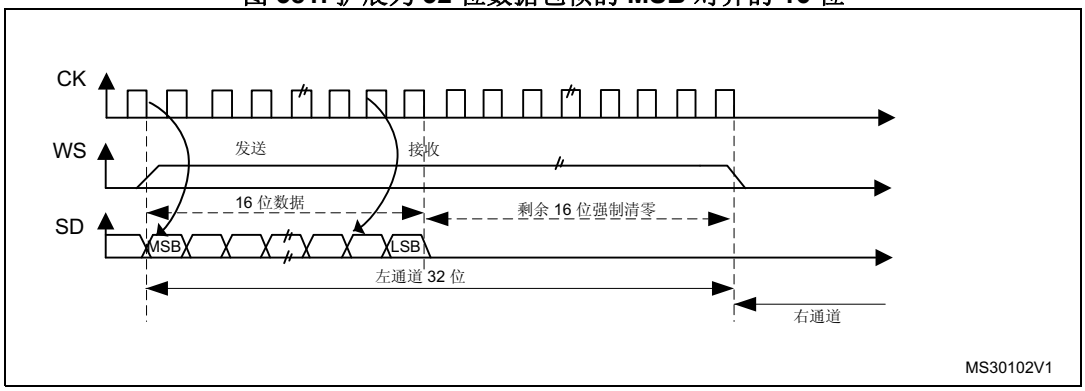


图 381. 扩展为 32 位数据包帧的 MSB 对齐的 16 位



LSB 对齐标准

该标准与 MSB 对齐标准类似（对于 16 位和 32 位全精度帧格式，没有任何不同）。

输入和输出信号的采样与 I^2S Philips 标准相同。

图 382. LSB 对齐的 16 位或 32 位全精度

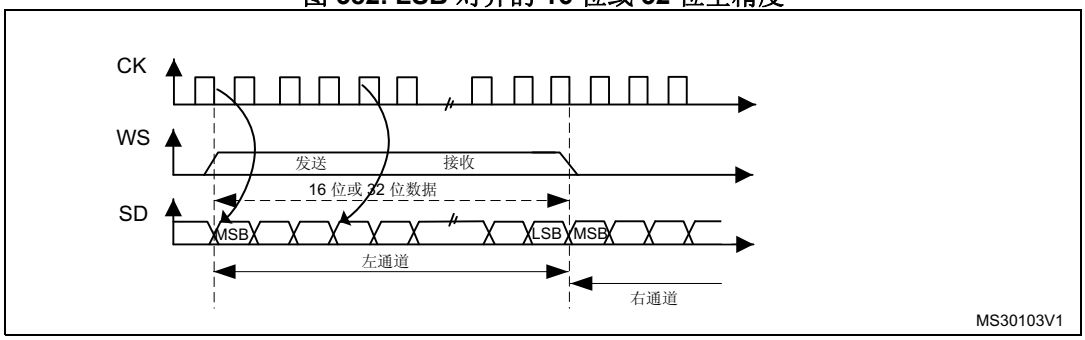
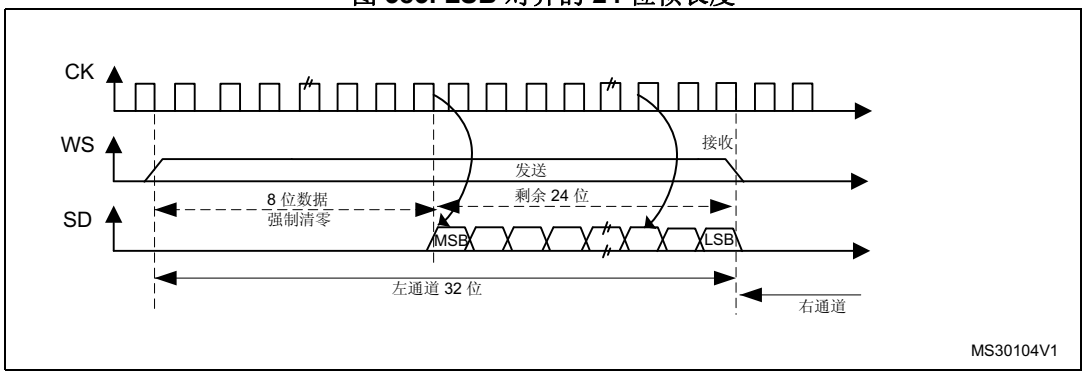


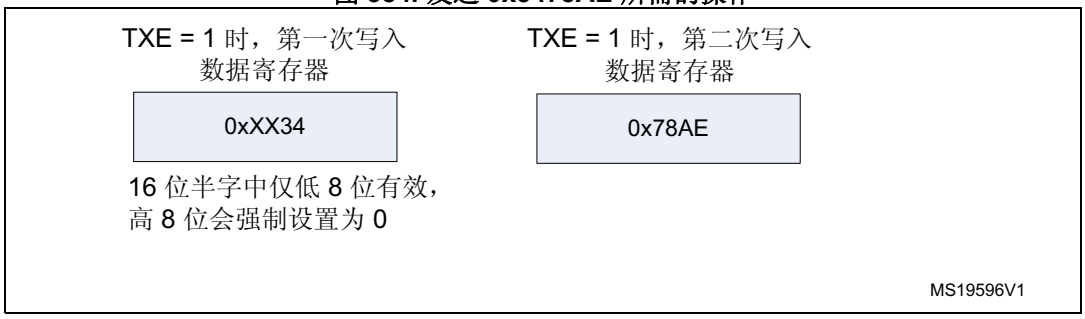
图 383. LSB 对齐的 24 位帧长度



- 在发送模式下：

  如果需要发送数据 0x3478AE，则需要通过软件或 DMA 对 SPIx_DR 寄存器执行两次写入操作。下面给出了这些操作。

图 384. 发送 0x3478AE 所需的操作



- 在接收模式下：

  如果接收到数据 0x3478AE，则在每个 RXNE 事件时需要对 SPIx_DR 寄存器执行两次连续的读取操作。

图 385. 接收 0x3478AE 时所需的操作

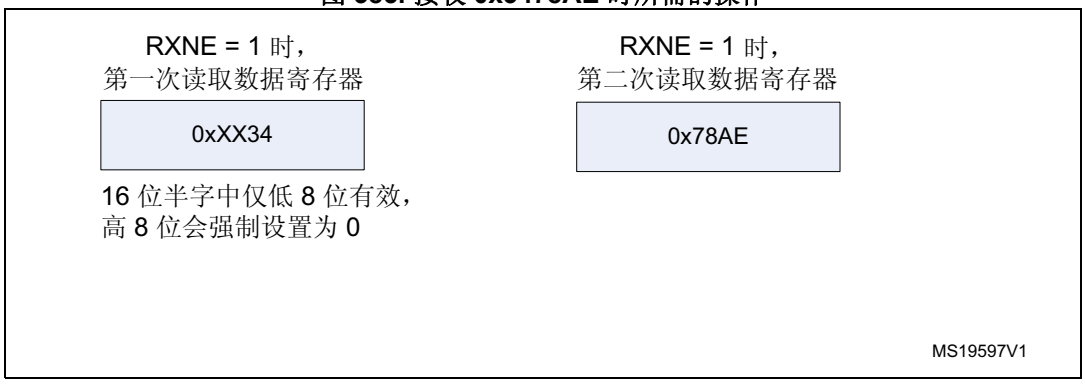
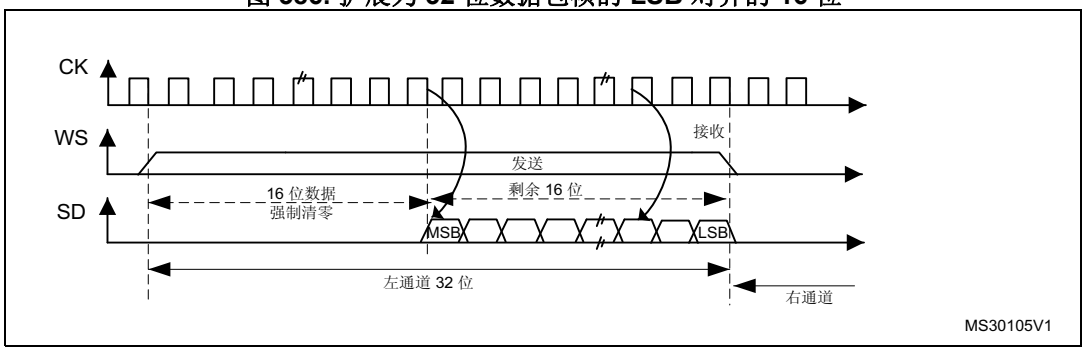


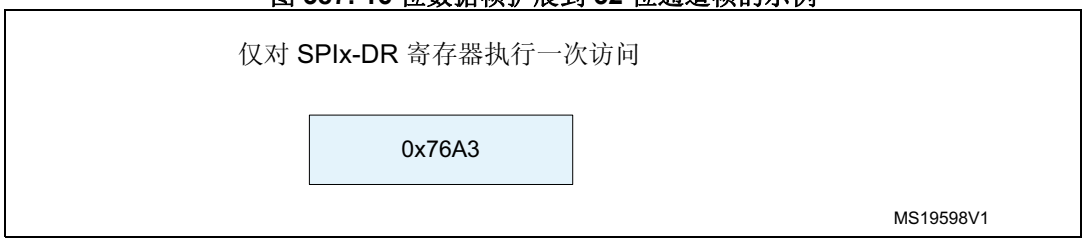
图 386. 扩展为 32 位数据包帧的 LSB 对齐的 16 位



如果在 I2S 配置阶段选择将 16 位数据帧扩展到 32 位通道帧，则只需要访问一次 SPIx_DR 寄存器。扩展到 32 位中高半字
（16 位 MSB）被硬件置为 0x0000。在这种情况下，其对应于半字 MSB。

如果要发送的数据或已接收的数据为 0x76A3（0x0000 76A3 扩展为 32 位），则需要执行 *图 387* 中显示的操作。

图 387. 16 位数据帧扩展到 32 位通道帧的示例



在发送模式下，发生 TXE 事件时，应用程序需要写入要发送的数据（此例中，为 0x76A3）。首先发送 0x000 字段（扩展到 32 位）。有效数据 (0x76A3) 发送到 SD 后，TXE 标志会被再次置 1。

在接收模式下，当接收到有效半字后（而非 0x0000 字段），即会置位 RXNE。

这样，就延长了两个写入或读取操作之间的时间间隔，以防止出现下溢或上溢情况。

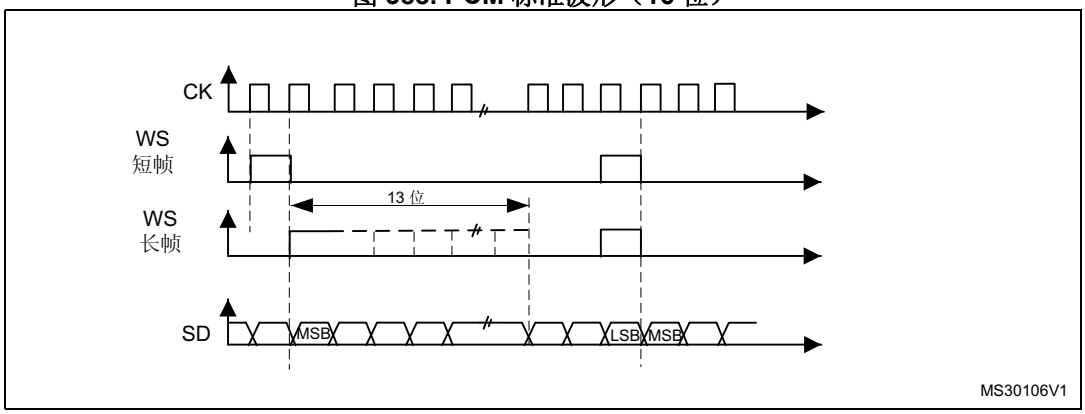
PCM 标准

对于 PCM 标准，无需使用通道信息。可使用两种 PCM 模式（短帧和长帧），并且可使用 SPIx_I2SCFGR 寄存器中的 PCMSYNC 位来配置。

在 PCM 模式下，输出信号（WS 和 SD）在 CK 信号的上升沿采样。输入信号（WS 和 SD）在 CK 的下降沿捕获。

请注意，CK 和 WS 在主模式下配置为输出。

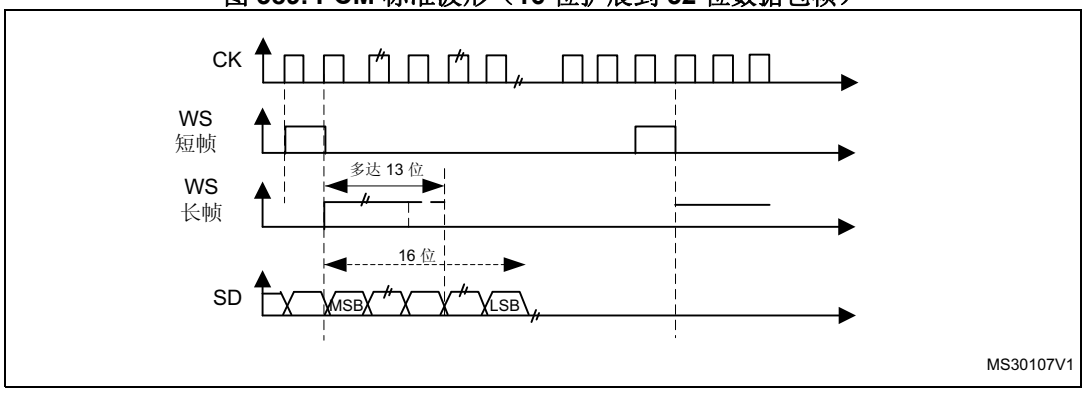
图 388. PCM 标准波形（16 位）



对于长帧同步，在主模式下会将 WS 信号持续 13 个周期。

对于短帧同步，WS 同步信号的持续时间仅为一个周期。

图 389. PCM 标准波形（16 位扩展到 32 位数据包帧）

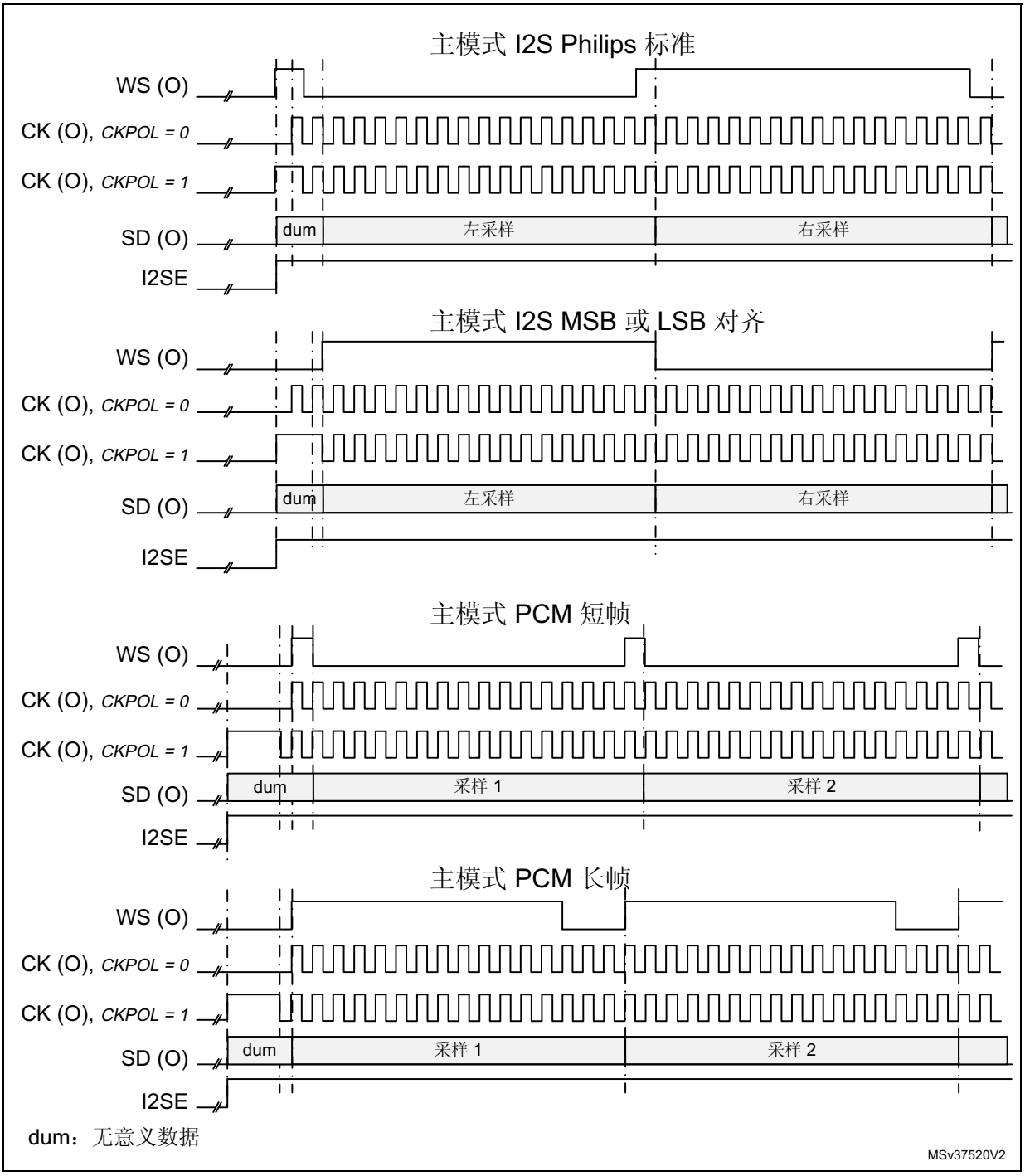


注： *对于两种模式（主/从模式）和两种同步（短/长同步），即使在从模式下，也需要指定两组连续数据（以及两个同步信号）之间位的个数（SPIx_I2SCFGR 寄存器中的 DATLEN 位和 CHLEN 位）。*

34.7.3 启动说明

图 390 给出了通过 I2SE 位使能 SPI/I2S 时，如何在主模式下处理串行接口，还说明了 CKPOL 对所生成信号的影响。

图 390. 在主模式下启动通信序列



在从模式下，检测帧同步的方式取决于 ASTRTEN 位的值。

如果 ASTRTEN = 0，则在使能音频接口 (I2SE = 1) 时，硬件将会等待传入 WS 信号的恰当转换（使用 CK 信号）。

使用 I^2S Philips 标准时，恰当的边沿为 WS 信号的下降沿；使用其他标准时，则为上升沿。先采样到 WS 为 1，然后采样到 WS 为 0 时，检测到的是下降沿；反之检测到的是上升沿。

如果 ASTRTEN = 1，则用户必须在 WS 变为活动状态之前使能音频接口。这表示，当 WS = 1（对于 I^2S Philips 标准）或 WS = 0（对于其他标准）时，I2SE 位必须置 1。

34.7.4 时钟发生器

I^2S 比特率用来确定 I^2S 数据线上的数据流和 I^2S 时钟信号频率。

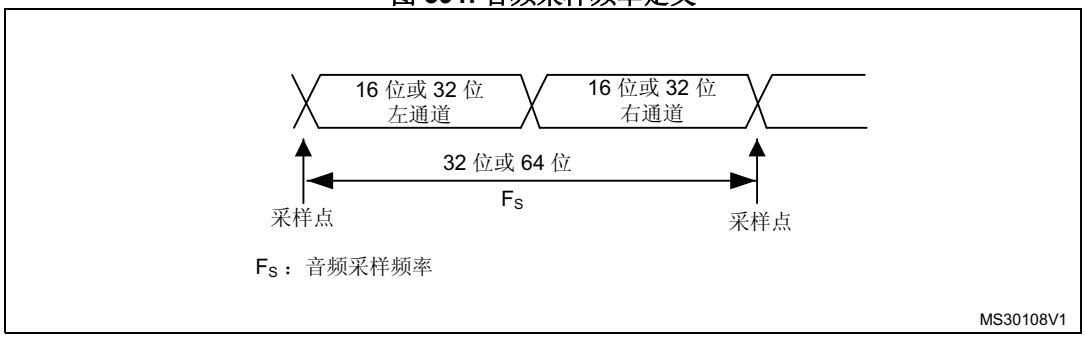
I^2S 比特率 = 每个通道的位数 × 通道数 × 音频采样频率

对于 16 位双通道音频，I^2S 比特率的计算公式如下：

I^2S 比特率 = 16 × 2 × f_S

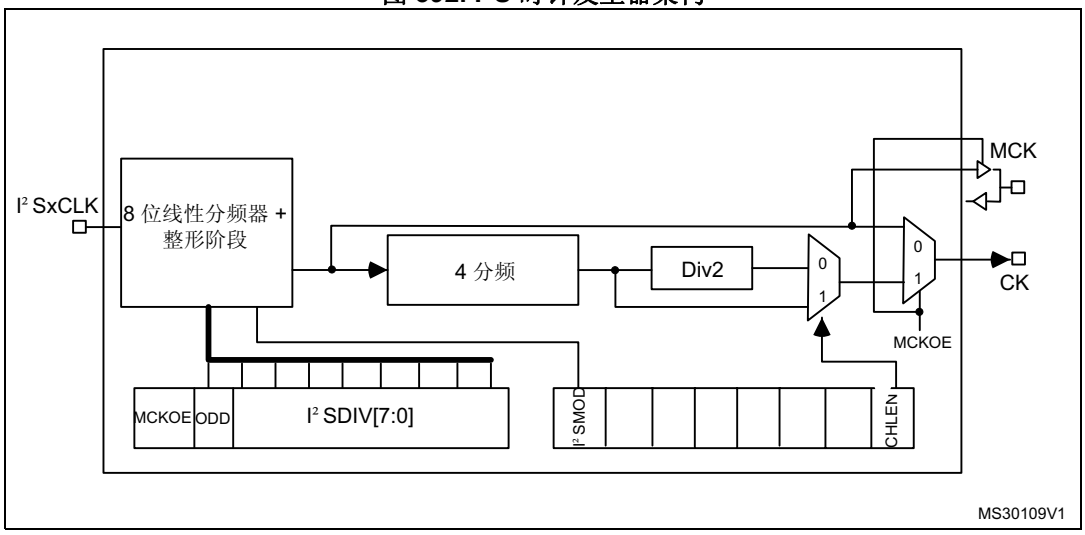
如果数据包为 32 位宽，则 I^2S 比特率 = 32 x 2 x f_S。

图 391. 音频采样频率定义



配置为主模式时，需要正确地对线性分频器进行设置，以便采用所需的音频频率进行通信。

图 392. I^2S 时钟发生器架构



1. 其中 x 可以是 2 或 3。

图 392 展示了通信时钟架构。I2SxCLK 时钟通过产品的复位和时钟控制器 (RCC) 提供。I2SxCLK 时钟可以与 SPI/I2S APB 时钟异步。

警告： **另外，必须使 I2SxCLK 频率始终高于或等于 SPI/I2S 模块使用的 APB 时钟。如果不遵守此条件，则 SPI/I2S 将无法正常工作。**

音频采样频率可以是 192 kHz、96 kHz、48 kHz、44.1 kHz、32 kHz、22.05 kHz、16 kHz、11.025 kHz 或 8 kHz（或此范围内的任何其他值）。

为达到所需频率，需要根据以下公式对线性分频器进行编程：

对于 I²S 模式：

输出主时钟（SPIx_I2SPR 寄存器中的 MCKOE 置 1)时：

$$Fs = \frac{F_{I2SxCLK}}{256 \times ((2 \times I2SDIV) + ODD)}$$

禁止主时钟输出（MCKOE 位清零）时：

$$Fs = \frac{F_{I2SxCLK}}{32 \times (CHLEN + 1) \times ((2 \times I2SDIV) + ODD)}$$

当通道帧为 16 位宽时，CHLEN = 0，
当通道帧为 32 位宽时，CHLEN = 1。

对于 PCM 模式：

输出主时钟（SPIx_I2SPR 寄存器中的 MCKOE 置 1)时：

$$Fs = \frac{F_{I2SxCLK}}{128 \times ((2 \times I2SDIV) + ODD)}$$

禁止主时钟输出（MCKOE 位清零）时：

$$Fs = \frac{F_{I2SxCLK}}{16 \times (CHLEN + 1) \times ((2 ¥ I2SDIV) + ODD)}$$

当通道帧为 16 位宽时，CHLEN = 0，
当通道帧为 32 位宽时，CHLEN = 1。

其中，F_S 表示音频采样频率，$F_{I2SxCLK}$ 表示提供给 SPI/I2S 块的内核时钟的频率。

注： *请注意，I2SDIV 必须严格高于 1。*

表 183 提供了针对不同时钟配置的示例精度值。

注： *还可以采用其他配置以达到更好的时钟精度。*

表 183. 使用标准 8 MHz HSE 时的音频频率精度(1)

SYSCLK (MHz)	数据长度	I2SDIV	I2SODD	MCLK	目标 fs (Hz)	实际 fs (kHz)	误差
48	16	8	0	无	96000	93750	2.3438%
48	32	4	0	无	96000	93750	2.3438%
48	16	15	1	无	48000	48387.0968	0.8065%
48	32	8	0	无	48000	46875	2.3438%
48	16	17	0	无	44100	44117.647	0.0400%
48	32	8	1	无	44100	44117.647	0.0400%
48	16	23	1	无	32000	31914.8936	0.2660%
48	32	11	1	无	32000	32608.696	1.9022%
48	16	34	0	无	22050	22058.8235	0.0400%
48	32	17	0	无	22050	22058.8235	0.0400%
48	16	47	0	无	16000	15957.4468	0.2660%
48	32	23	1	无	16000	15957.447	0.2660%
48	16	68	0	无	11025	11029.4118	0.0400%
48	32	34	0	无	11025	11029.412	0.0400%
48	16	94	0	无	8000	7978.7234	0.2660%
48	32	47	0	无	8000	7978.7234	0.2660%
48	16	2	0	有	48000	46875	2.3430%
48	32	2	0	有	48000	46875	2.3430%
48	16	2	0	有	44100	46875	6.2925%
48	32	2	0	有	44100	46875	6.2925%
48	16	3	0	有	32000	31250	2.3438%
48	32	3	0	有	32000	31250	2.3438%
48	16	4	1	有	22050	20833.333	5.5178%
48	32	4	1	有	22050	20833.333	5.5178%
48	16	6	0	有	16000	15625	2.3438%
48	32	6	0	有	16000	15625	2.3438%
48	16	8	1	有	11025	11029.4118	0.0400%
48	32	8	1	有	11025	11029.4118	0.0400%
48	16	11	1	有	8000	8152.17391	1.9022%
48	32	11	1	有	8000	8152.17391	1.9022%

1. 该表格仅给出了不同时钟配置的示例值。还可以采用其他配置以达到更好的时钟精度。

34.7.5 I²S 主模式

I2S 可配置为主模式。这意味着将在 CK 引脚输出串行时钟，在 WS 引脚生成字选信号。主时钟 (MCK) 可以输出，也可以不输出，具体由 SPIx_I2SPR 寄存器中的 MCKOE 位控制。

步骤

1. 设置 SPIx_I2SPR 寄存器的 I2SDIV[7:0] 位，以定义串行时钟波特率，从而达到相应的音频采样频率。SPIx_I2SPR 寄存器的 ODD 位也需要设置。
2. 设置 CKPOL 位，定义时钟在空闲时的电平状态。如果需要为外部 DAC/ADC 音频组件提供主时钟 MCK，则将 SPIx_I2SPR 寄存器的 MCKOE 位置 1（I2SDIV 和 ODD 值应根据 MCK 输出的状态进行计算。有关详细信息，请参见*第 34.7.4 节：时钟发生器*）。
3. 将 SPIx_I2SCFGR 寄存器中的 I2SMOD 位置 1 以激活 I²S 功能，通过 I2SSTD[1:0] 和 PCMSYNC 位选择 I2S 标准，通过 DATLEN[1:0] 位选择数据长度并通过配置 CHLEN 位选择每个通道的位数。此外，通过 SPIx_I2SCFGR 寄存器的 I2SCFG[1:0] 位选择 I²S 主模式和方向（发送器或接收器）。
4. 如果需要，通过对 SPIx_CR2 寄存器执行写操作来选择所有可能的中断源和 DMA 功能。
5. SPIx_I2SCFGR 寄存器的 I2SE 位必须置 1。

WS 和 CK 配置为输出模式。如果 SPIx_I2SPR 的 MCKOE 位置 1，则 MCK 也是输出。

发送序列

将半字写入发送缓冲区后，发送序列随即开始。

假设写入发送缓冲区的第一个数据对应于左通道数据。数据从发送缓冲区传输到移位寄存器时，TXE 置 1，并且必须将对应于右通道的数据写入发送缓冲区。CHSIDE 标志指示将发送的数据对应的通道。TXE 标志置 1 时，CHSIDE 标志有意义，因为该标志在 TXE 变为高电平时进行更新。

一个完整帧表示先进行左通道数据发送再进行右通道数据发送。不存在仅发送左通道的部分帧。

首位发送期间，数据按半字并行加载到 16 位移位寄存器中，然后以串行方式移位并输出到 MOSI/SD 引脚（MSB 在前）。每次数据从发送缓冲区传输到移位寄存器后，TXE 标志都将置 1，如果 SPIx_CR2 寄存器的 TXEIE 位置 1，将产生中断。

有关各种 I²S 标准模式的写操作的更多详细信息，请参见*第 34.7.2 节：支持的音频协议*。

为确保连续进行音频数据发送，必须在当前数据发送结束前将下一个要发送的数据写入 SPIx_DR 寄存器。

要通过将 I2SE 清零来关闭 I2S，必须等待 TXE = 1 且 BSY = 0。

接收序列

此工作模式与发送模式相同，只有第 3 点存在不同（请参见*第 34.7.5 节：I²S 主模式*所述的步骤），即通过 I2SCFG[1:0] 位设置主器件接收模式。

无论数据或通道长度如何，音频数据始终按 16 位数据包进行接收。这意味着，每当接收缓冲区满时，RXNE 标志即置 1，并且如果 SPIx_CR2 寄存器的 RXNEIE 位置 1，还将产生中断。所接收的右通道或左通道的音频值可通过一次或两次接收操作进入接收缓冲区，具体取决于数据和通道长度配置。

读取 SPIx_DR 寄存器即会使 RXNE 位清零。

CHSIDE 在每次接收后进行更新。它由 I2S 单元所产生的 WS 信号触发。

有关各种 I²S 标准模式中读操作的更多详细信息，请参见*第 34.7.2 节：支持的音频协议*。

如果在先前收到的数据尚未读取时又接收到新数据，将产生上溢错误并将 OVR 标志置 1。如果 SPIx_CR2 寄存器的 ERRIE 位置 1，将产生中断以指示该错误。

要关闭 I2S，需要执行特定操作来确保 I2S 正确完成传输周期而不启动新的数据传输。该序列取决于数据和通道长度的配置，以及所选的音频协议模式。在以下情况下：

- 32 位通道长度上扩展的 16 位数据长度（DATLEN = 00 且 CHLEN = 1），使用 LSB 对齐模式 (I2SSTD = 10)
  a) 等待倒数第二个 RXNE = 1 (n – 1)
  b) 然后等待 17 个 I2S 时钟周期（使用软件循环）
  c) 禁止 I2S (I2SE = 0)
- 32 位通道长度上扩展的 16 位数据长度（DATLEN = 00 且 CHLEN = 1），使用 MSB 对齐、I²S 或 PCM 模式（分别为 I2SSTD = 00、I2SSTD = 01 或 I2SSTD = 11）
  a) 等待最后一个 RXNE
  b) 然后等待 1 个 I2S 时钟周期（使用软件循环）
  c) 禁止 I2S (I2SE = 0)
- 对于 DATLEN 和 CHLEN 的所有其他组合，无论通过 I2SSTD 位选择何种音频模式，都将执行以下序列来关闭 I2S：
  a) 等待倒数第二个 RXNE = 1 (n – 1)
  b) 然后等待一个 I2S 时钟周期（使用软件循环）
  c) 禁止 I2S (I2SE = 0)

注： *传输期间，BSY 标志保持低电平。*

34.7.6 I²S 从模式

对于从配置而言，I2S 可配置为发送模式或接收模式。此工作模式所遵循的规则与 I²S 主模式配置基本相同。在从模式下，I2S 接口不产生时钟。从 I2S 接口所连接的外部主器件输入时钟和 WS 信号。这样，用户便不需要配置时钟。

应遵循如下配置步骤：

1. 将 SPIx_I2SCFGR 寄存器的 I2SMOD 位置 1 以选择 I²S 模式，通过 I2SSTD[1:0] 位选择 I²S 标准，通过 DATLEN[1:0] 位选择数据长度并通过配置 CHLEN 位选择帧中每个通道的位数。此外，通过 SPIx_I2SCFGR 寄存器的 I2SCFG[1:0] 位选择从器件的模式（发送或接收）。
2. 如果需要，通过对 SPIx_CR2 寄存器执行写操作来选择所有可能的中断源和 DMA 功能。
3. SPIx_I2SCFGR 寄存器的 I2SE 位必须置 1。

发送序列

当外部主器件发送时钟并且通过 NSS_WS 信号请求传输数据时，发送序列开始。必须首先使能从器件，然后外部主器件才能开始通信。主器件开始通信前，还必须加载 I2S 数据寄存器。

对于 I2S、MSB 对齐和 LSB 对齐模式，要写入数据寄存器的第一个数据项对应于左通道的数据。通信开始时，数据从发送缓冲区传输到移位寄存器。TXE 标志随即置 1，以请求将右通道的数据写入 I2S 数据寄存器。

CHSIDE 标志指示将发送的数据对应的通道。与主发送模式相比，在从模式下，CHSIDE 由来自外部主器件的 WS 信号触发。这意味着，从器件需要首先为发送第一个数据做好准备，然后主器件才能产生时钟。WS 置位意味着首先发送左通道数据。

注： *在主器件发出的第一个时钟出现在 CK 线上时，必须至少提前 2 个 PCLK 周期置位 I2SE。*

首位发送期间，数据按半字从内部总线并行加载到 16 位移位寄存器中，然后以串行方式移位并输出到 MOSI/SD 引脚（MSB 在前）。每次数据从发送缓冲区传输到移位寄存器后，TXE 标志都将置 1，如果 SPIx_CR2 寄存器的 TXEIE 位置 1，将产生中断。

请注意，仅当 TXE 标志为 1 时，才可以尝试向发送缓冲区写入数据。

有关各种 I^2S 标准模式中写操作的更多详细信息，请参见*第 34.7.2 节：支持的音频协议*。

为确保连续进行音频数据发送，必须在当前数据发送结束前将下一个要发送数据写入 SPIx_DR 寄存器。如果在数据尚未写入 SPIx_DR 寄存器时下一个数据通信的首个时钟边沿到来，下溢标志将置 1 并可能产生中断。通过这种方式，软件可以获知所传输的数据不正确。如果 SPIx_CR2 寄存器的 ERRIE 位置 1，则当 SPIx_SR 寄存器中的 UDR 标志变为 1 时，将产生中断。这种情况下，必须关闭 I2S 并从左通道开始重新启动数据传输。

要通过将 I2SE 位清零来关闭 I2S，必须等待 TXE = 1 且 BSY = 0。

接收序列

此工作模式与发送模式相同，只有第 1 点存在不同（请参见*第 34.7.6 节：I^2S 从模式*所述的步骤），即通过 SPIx_I2SCFGR 寄存器的 I2SCFG[1:0] 位设置从器件接收模式。

无论数据长度或通道长度如何，音频数据始终按 16 位数据包进行接收。这意味着，每当接收缓冲区填满时，SPIx_SR 寄存器中的 RXNE 标志即置 1，并且如果 SPIx_CR2 寄存器的 RXNEIE 位置 1，还将产生中断。所接收的右通道或左通道的音频值可能通过一次或两次接收操作进入接收缓冲区，具体取决于数据长度和通道长度配置。

每次接收要从 SPIx_DR 寄存器读取的数据时，CHSIDE 标志都将更新。该标志由外部主器件所管理的外部 WS 线路触发。

读取 SPIx_DR 寄存器即会使 RXNE 位清零。

有关各种 I^2S 标准模式的读操作的更多详细信息，请参见*第 34.7.2 节：支持的音频协议*。

如果在先前收到的数据尚未读取时又接收到新数据，将产生上溢错误，OVR 标志将置 1。如果 SPIx_CR2 寄存器的 ERRIE 位置 1，将产生中断以指示该错误。

要在接收模式下关闭 I2S，必须在接收到最后一个 RXNE = 1 后立即将 I2SE 清零。

注： *外部主器件应能够通过音频通道以 16 位或 32 位数据包发送/接收数据。*

34.7.7 I2S 状态标志

应用程序可通过三个状态标志来全面监视 I2S 总线的状态。

忙标志 (BSY)

BSY 标志由硬件置 1 和清零（写操作对此标志没有任何作用）。该标志表示 I2S 通信层的状态。

BSY 置 1 时，表示 I2S 正在忙于通信。在主接收模式 (I2SCFG = 11) 中，BSY 标志的情况例外，该标志在接收期间仍保持低电平。

如果软件需要关闭 I2S，可使用 BSY 标志检测传输是否结束。这可以避免损坏最后传输的数据。为此，必须严格遵循下述步骤。

在传输开始时（I2S 处于主接收器模式时除外），将 BSY 标志置 1。

出现以下情况时，BSY 标志被硬件清零：

- 传输完成时（主发送模式除外，在该模式下通信是连续的）
- 关闭 I2S 时

当通信连续时：

- 在主发送模式下，BSY 标志在所有传输期间均保持高电平
- 在从模式下，BSY 标志在每次传输之间变为低电平并持续一个 I2S 时钟周期

注： *请勿使用 BSY 标志处理每次数据发送或接收，最好改用 TXE 标志和 RXNE 标志。*

发送缓冲区为空 (TXE)

如果此标志置 1，表示发送缓冲区为空，可将要发送的下一个数据加载到其中。发送缓冲区已包含要发送的数据时，TXE 标志复位。关闭 I2S（I2SE 位复位）时，该标志也会复位。

接收缓冲区非空 (RXNE)

此标志置 1 时，表示接收缓冲区中存在有效的已接收数据。读取 SPIx_DR 寄存器时，该标志复位。

通道方向 (CHSIDE)

在发送模式下，此标志将在 TXE 变为高电平时进行刷新。此标志指示 SD 上要传输的数据所属的通道。如果在从发送模式下发生下溢错误事件，此标志将不可靠，在恢复通信前需要关闭并重新开启 I2S。

在接收模式下，该标志将在 SPIx_DR 中接收数据时进行刷新。它表示接收的数据所属的通道。请注意，如果发生错误（例如 OVR），此标志将失去意义，应通过关闭并重新使能 I2S（根据需要更改配置）来复位。

此标志在 PCM 标准中没有意义（短帧和长帧模式）。

当 SPIx_SR 中的 OVR 或 UDR 标志置 1，并且 SPIx_CR2 中的 ERRIE 位也置 1 时，将产生中断。中断源被清除后，可通过读取 SPIx_SR 状态寄存器来将此中断清除。

34.7.8 I2S 错误标志

I2S 单元共有三个错误标志。

下溢标志 (UDR)

在从发送模式下，如果在软件尚未将任何值加载到 SPIx_DR 之前出现第一个数据发送时钟，此标志将置 1。SPIx_I2SCFGR 寄存器中的 I2SMOD 位置 1 时，可以使用此标志。如果 SPIx_CR2 寄存器中的 ERRIE 位置 1，可产生中断。
UDR 位通过 SPIx_SR 寄存器上的读操作进行清零。

上溢标志 (OVR)

如果在尚未从 SPIx_DR 寄存器读取上一个数据时又接收到新数据，此标志将置 1。因此，传入的数据将丢失。如果 SPIx_CR2 寄存器中的 ERRIE 位置 1，可产生中断。

这种情况下，将不会用接收到的新数据更新接收缓冲区的内容。对 SPIx_DR 寄存器执行的读操作将返回先前正确接收的数据。主器件后续发送的所有其他半字都将丢失。

要将 OVR 位清零，应首先对 SPIx_DR 寄存器执行读操作，然后再对 SPIx_SR 寄存器进行读访问。

帧错误标志 (FRE)

仅当 I2S 配置为从模式时，此标志才可由硬件置 1。如果外部主器件没有按照从器件期望的那样改变 WS 线，则此标志将置 1。如果失去同步，要从此状态中恢复并将外部主器件与 I2S 从器件重新同步，需执行下列步骤：

1. 关闭 I2S。
2. 在 WS 线上检测到正确的电平时将其重新使能（WS 线在 I^2S 模式下为高电平，在 MSB 对齐、LSB 对齐或 PCM 模式下为低电平）。

主器件与从器件之间的同步失效可能是由于 CK 通信时钟或 WS 帧同步信号线上存在噪音干扰。如果 ERRIE 位置 1，可产生错误中断。读取状态寄存器时，同步失效标志 (FRE) 由软件清零。

34.7.9 DMA 特性

在 I^2S 模式下，DMA 的工作方式与在 SPI 模式下完全相同。除了由于不存在数据传输保护机制，I^2S 模式下没有 CRC 功能外，没有其他差别。

34.8 I2S 中断

表 184 为 I2S 中断的列表。

表 184. I2S 中断请求

中断事件	事件标志	使能控制位
发送缓冲区为空	TXE	TXEIE
接收缓冲区非空	RXNE	RXNEIE
上溢错误	OVR	ERRIE
下溢错误	UDR	
帧错误	FRE	

34.9 SPI 和 I2S 寄存器

外设寄存器可支持半字（16 位）或字（32 位）访问。此外，SPI_DR 可支持 8 位访问。

34.9.1 SPI 控制寄存器 1 (SPIx_CR1)

SPI control register 1

偏移地址：0x00

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BIDIMODE	BIDIOE	CRCEN	CRCNEXT	CRCL	RXONLY	SSM	SSI	LSBFIRST	SPE	BR[2:0]:			MSTR	CPOL	CPHA
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15 **BIDIMODE**：双向通信数据模式使能 (Bidirectional data mode enable)。

该位通过一条共用的双向数据线来支持半双工通信。双向模式激活时，使 RXONLY 位保持清零状态。

0：选择双线单向通信数据模式

1：选择单线双向数据模式

注： 该位不适用于 I^2S 模式。

位 14 **BIDIOE**：双向模式下的输出使能 (Output enable in bidirectional mode)

此位结合 BIDIMODE 位，用于选择双向模式下的传输方向。

0：禁止输出（只接收模式）

1：使能输出（只发送模式）

注： 在主模式下，使用 MOSI 引脚；在从模式下，使用 MISO 引脚。
该位不适用于 I^2S 模式。

位 13 **CRCEN**：硬件 CRC 计算使能 (Hardware CRC calculation enable)

0：禁止 CRC 计算

1：使能 CRC 计算

注： 为确保正确操作，只应在禁止 SPI（SPE = “0”）时对此位执行写操作。
该位不适用于 I^2S 模式。

位 12 **CRCNEXT**：发送下一个 CRC (Transmit CRC next)

0：下一个发送值来自发送缓冲区。

1：下一个发送值来自发送 CRC 寄存器。

注： 向 SPIx_DR 寄存器写入最后一个数据后，必须立即对该位执行写操作。
该位不适用于 I^2S 模式。

位 11 **CRCL**：CRC 长度 (CRC length)

此位由软件置 1 和清零，用以选择 CRC 长度。

0：8 位 CRC 长度

1：16 位 CRC 长度

注： 为确保正确操作，只应在禁止 SPI（SPE = “0”）时对此位执行写操作。
该位不适用于 I^2S 模式。

位 10 **RXONLY**：只接收模式使能 (Receive only mode enabled)。
该位用于使能通过一条双向线专门接收数据的单工通信。当只接收模式激活时，将 BIDIMODE 位保持清零状态。此位也适用于多从模式系统，在此类系统中，不会访问特定从器件，也不会损坏访问的从器件的输出。
0：全双工（发送和接收）
1：禁止输出（只接收模式）
注：　该位不适用于 I^2S 模式。

位 9 **SSM**：软件从器件管理 (Software slave management)
当 SSM 位置 1 时，NSS 引脚输入替换为 SSI 位的值。
0：禁止软件从器件管理
1：使能软件从器件管理
注：　该位不适用于 I^2S 模式和 SPI TI 模式。

位 8 **SSI**：内部从器件选择 (Internal slave select)
仅当 SSM 位置 1 时，此位才有效。此位的值将作用到 NSS 引脚上，并忽略 NSS 引脚的 I/O 值。
注：　该位不适用于 I^2S 模式和 SPI TI 模式。

位 7 **LSBFIRST**：帧格式 (Frame format)
0：发送/接收数据时 MSB 在前
1：发送/接收数据时 LSB 在前
注：　1. 正在通信时不应更改此位。
2. 该位不适用于 I^2S 模式和 SPI TI 模式。

位 6 **SPE**：SPI 使能 (SPI enable)
0：禁止外设
1：使能外设
注：　禁止 SPI 时，请按照第 1034 页的关闭 SPI 的步骤中所述的步骤操作。
该位不适用于 I^2S 模式。

位 5:3 **BR[2:0]**：波特率控制 (Baud rate control)
000：$f_{PCLK}/2$
001：$f_{PCLK}/4$
010：$f_{PCLK}/8$
011：$f_{PCLK}/16$
100：$f_{PCLK}/32$
101：$f_{PCLK}/64$
110：$f_{PCLK}/128$
111：$f_{PCLK}/256$
注：　正在通信时不应更改这些位。
该位不适用于 I^2S 模式。

位 2 **MSTR**：主模式选择 (Master selection)
0：从配置
1：主配置
注：　正在通信时不应更改此位。
该位不适用于 I^2S 模式。

位 1 **CPOL**：时钟极性 (Clock polarity)

0：空闲状态时，CK 为 0

1：空闲状态时，CK 为 1

注： 正在通信时不应更改此位。

除了在 TI 模式下应用 CRC 的情况外，此位不会用于 I^2S 模式和 SPI TI 模式。

位 0 **CPHA**：时钟相位 (Clock phase)

0：从第一个时钟边沿开始采样数据

1：从第二个时钟边沿开始采样数据

注： 正在通信时不应更改此位。

除了在 TI 模式下应用 CRC 的情况外，此位不会用于 I^2S 模式和 SPI TI 模式。

34.9.2 SPI 控制寄存器 2 (SPIx_CR2)

SPI control register 2

偏移地址：0x04

复位值：0x0700

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]				TXEIE	RXNEIE	ERRIE	FRF	NSSP	SSOE	TXDMAEN	RXDMAEN
	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15 保留，必须保持复位值。

位 14 **LDMA_TX**：发送的最后一次 DMA 传输 (Last DMA transfer for transmission)

此位用于数据封装模式，用于定义通过 DMA 发送的数据总数为奇数还是偶数。只有 SPIx_CR2 寄存器中的 TXDMAEN 位置 1 且使用封装模式（数据长度 =< 8 位，对 SPIx_DR 的写访问为 16 位宽）时，该位才有意义。当 SPI 禁止时（SPIx_CR1 寄存器中的 SPE = 0），必须对其执行写操作。

0：待传输数据数量为偶数

1：待传输数据数量为奇数

注： 如果 CRCEN 位置 1，请参见第 1034 页的关闭 SPI 的步骤。

该位不适用于 I^2S 模式。

位 13 **LDMA_RX**：接收的最后一次 DMA 传输 (Last DMA transfer for reception)

此位用于数据封装模式下，用于定义通过 DMA 接收的数据总数为奇数还是偶数。只有 SPIx_CR2 寄存器中的 RXDMAEN 位置 1 且使用封装模式（数据长度 =< 8 位，对 SPIx_DR 的写访问为 16 位宽）时，该位才有意义。当 SPI 禁止时（SPIx_CR1 寄存器中的 SPE = 0），必须对其执行写操作。

0：待传输数据数量为偶数

1：待传输数据数量为奇数

注： 如果 CRCEN 位置 1，请参见第 1034 页的关闭 SPI 的步骤。

该位不适用于 I^2S 模式。

位 12 **FRXTH**：FIFO 接收阈值 (FIFO reception threshold)

该位用于设置触发 RXNE 事件的 RXFIFO 阈值

0：如果 FIFO 占用水平大于或等于 1/2（16 位），将生成 RXNE 事件。

1：如果 FIFO 占用水平大于或等于 1/4（8 位），将生成 RXNE 事件。

注： 该位不适用于 I^2S 模式。

位 11:8 **DS[3:0]**：数据大小 (Data size)

这些位用于配置 SPI 传输的数据长度。

0000：未使用
0001：未使用
0010：未使用
0011：4 位
0100：5 位
0101：6 位
0110：7 位
0111：8 位
1000：9 位
1001：10 位
1010：11 位
1011：12 位
1100：13 位
1101：14 位
1110：15 位
1111：16 位

如果软件尝试写入其中一个“未使用”值，这些位将被强制设为“0111”（8 位）

注： 该位不适用于 I^2S 模式。

位 7 **TXEIE**：发送缓冲区空中断使能 (Tx buffer empty interrupt enable)

0：屏蔽 TXE 中断
1：使能 TXE 中断。TXE 标志置 1 时产生中断请求。

位 6 **RXNEIE**：接收缓冲区非空中断使能 (RX buffer not empty interrupt enable)

0：屏蔽 RXNE 中断
1：使能 RXNE 中断。RXNE 标志置 1 时产生中断请求。

位 5 **ERRIE**：错误中断使能 (Error interrupt enable)

此位用于在出现错误条件（SPI 模式下的 CRCERR、OVR 和 MODF；TI 模式下的 FRE；以及 I^2S 模式下的 UDR、OVR 和 FRE）时控制中断的生成。

0：屏蔽错误中断
1：使能错误中断

位 4 **FRF**：帧格式 (Frame format)

0：SPI Motorola 模式
1：SPI TI 模式

注： 只有在禁止 SPI (SPE=0) 后才能对此位执行写操作。
该位不适用于 I^2S 模式。

位 3 **NSSP**：NSS 脉冲管理 (NSS pulse management)

此位仅用于主模式。连续传输时，该位允许 SPI 在两个连续数据间生成 NSS 脉冲。单次数据传输时，该位强制 NSS 引脚在传输后变为高电平。

如果 CPHA =“1”或 FRF =“1”，该位无意义。

0：未生成 NSS 脉冲
1：生成 NSS 脉冲

注： 1. 只有在禁止 SPI (SPE=0) 后才能对此位执行写操作。
2. 该位不适用于 I^2S 模式和 SPI TI 模式。

位 2 **SSOE**：SS 输出使能 (SS output enable)
0：在主模式下禁止 SS 输出，SPI 接口可在多主模式配置下工作
1：在主模式下以及使能 SPI 接口后使能 SS 输出。SPI 接口不能在多主模式环境下工作。
注：　该位不适用于 I²S 模式和 SPI TI 模式。

位 1 **TXDMAEN**：发送缓冲区 DMA 使能 (Tx buffer DMA enable)
当此位置 1 时，每当 TXE 标志置 1，即产生 DMA 请求。
0：禁止发送缓冲区 DMA
1：使能发送缓冲区 DMA

位 0 **RXDMAEN**：接收缓冲区 DMA 使能 (Rx buffer DMA enable)
当此位置 1 时，每当 RXNE 标志置 1，即产生 DMA 请求。
0：禁止接收缓冲区 DMA
1：使能接收缓冲区 DMA

34.9.3 SPI 状态寄存器 (SPIx_SR)

SPI status register

偏移地址：0x08

复位值：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	FTLVL[1:0]		FRLVL[1:0]		FRE	BSY	OVR	MODF	CRCERR	UDR	CHSIDE	TXE	RXNE
			r	r	r	r	r	r	r	r	rc_w0	r	r	r	r

位 15:13 保留，必须保持复位值。

位 12:11 **FTLVL[1:0]**：FIFP 发送级别 (FIFO transmission level)
这些位将由硬件置 1 和清零。
00：FIFO 为空
01：1/4 FIFO
10：1/2 FIFO
11：FIFO 为满（当 FIFO 阈值大于 1/2 时即视为满）
注：　该位不适用于 I²S 模式。

位 10:9 **FRLVL[1:0]**：FIFO 接收级别 (FIFO reception level)
这些位将由硬件置 1 和清零。
00：FIFO 为空
01：1/4 FIFO
10：1/2 FIFO
11：FIFO 已满
注：　使能 CRC 计算时，这些位不适用于 I²S 模式和 SPI 仅接收模式。

位 8 **FRE**：帧格式错误 (Frame format error)
该标志在 TI 从模式和 I²S 从模式下用于 SPI。请参见*第 34.5.11 节：SPI 错误标志*和*第 34.7.8 节：I2S 错误标志*。
此标志由硬件置 1，在读取 SPIx_SR 时由软件复位。
0：未发生帧格式错误
1：发生帧格式错误

位 7 **BSY**：忙标志 (Busy flag)

0：SPI（或 I2S）不繁忙

1：SPI（或 I2S）忙于通信或者发送缓冲区不为空

此标志由硬件置 1 和清零。

注： BSY 标志必须谨慎使用：请参见第 34.5.10 节：SPI 状态标志和第 1034 页的关闭 SPI 的步骤。

位 6 **OVR**：上溢标志 (Overrun flag)

0：未发生上溢

1：发生上溢

此标志由硬件置 1，由软件序列复位。有关软件序列，请参见*第 1063 页的I2S 错误标志*。

位 5 **MODF**：模式故障 (Mode fault)

0：未发生模式故障

1：发生模式故障

此标志由硬件置 1，由软件序列复位。有关软件序列，请参见*第 1043 页的模式故障 (MODF)*。

注： 该位不适用于 I^2S 模式。

位 4 **CRCERR**：CRC 错误标志 (CRC error flag)

0：接收到的 CRC 值与 SPIx_RXCRCR 值匹配

1：接收到的 CRC 值与 SPIx_RXCRCR 值不匹配

注： 此标志由硬件置 1，通过软件写入 0 来清零。

该位不适用于 I^2S 模式。

位 3 **UDR**：下溢标志 (Underrun flag)

0：未发生下溢

1：发生下溢

此标志由硬件置 1，由软件序列复位。有关软件序列，请参见*第 1063 页的I2S 错误标志*。

注： 该位不适用于 SPI 模式。

位 2 **CHSIDE**：通道 (Channel side)

0：发送或接收左通道信息

1：发送或接收右通道信息

注： 该位不适用于 SPI 模式。该位在 PCM 模式下无意义。

位 1 **TXE**：发送缓冲区为空 (Transmit buffer empty)

0：发送缓冲区非空

1：发送缓冲区为空

位 0 **RXNE**：接收缓冲区非空 (Receive buffer not empty)

0：接收缓冲区为空

1：接收缓冲区非空

34.9.4 SPI 数据寄存器 (SPIx_DR)

SPI data register

偏移地址：0x0C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DR[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **DR[15:0]**：数据寄存器 (Data register)

已接收或者要发送的数据

数据寄存器用于连接 Rx 和 Tx FIFO。读取数据寄存器时，将访问 RxFIFO；而写入数据寄存器时，将访问 TxFIFO（请参见*第 34.5.9 节：数据发送和接收过程*）。

注： 数据始终右对齐。写入寄存器时将忽略未使用位，读取寄存器时会将未使用位读为 0。Rx 阈值设置必须始终与当前使用的读访问相符。

34.9.5 SPI CRC 多项式寄存器 (SPIx_CRCPR)

SPI CRC polynomial register

偏移地址：0x10

复位值：0x0007

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCPOLY[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:0 **CRCPOLY[15:0]**：CRC 多项式寄存器 (CRC polynomial register)

此寄存器包含用于 CRC 计算的多项式。

CRC 多项式 (0x0007) 是此寄存器的复位值。可根据需要配置另一个多项式。

注： 多项式值只应为奇数。不支持任何偶数值。

34.9.6 SPI 接收 CRC 寄存器 (SPIx_RXCRCR)

SPI Rx CRC register

偏移地址：0x14

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 15:0 **RXCRC[15:0]**：接收 CRC 寄存器 (Rx CRC register)

使能 CRC 计算后，RXCRC[15:0] 位将包含后续接收字节在计算后所得到的 CRC 值。当 SPIx_CR1 寄存器中的 CRCEN 位写入 1 时，此寄存器复位。CRC 通过 SPIx_CRCPR 寄存器中编程的多项式连续计算。

CRC 帧格式设置为 8 位长度（SPIx_CR1 的 CRCL 位清零）时，仅考虑 8 个 LSB 位。CRC 计算依据任意 CRC8 标准进行。

选择 16 位 CRC 帧格式（SPIx_CR1 寄存器的 CRCL 位置 1）时，考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。

注：　当 BSY 标志置 1 时，读取此寄存器可能返回一个不正确的值。
这些位不适用于 I^2S 模式。

34.9.7 SPI 发送 CRC 寄存器 (SPIx_TXCRCR)

SPI Tx CRC register

偏移地址：0x18

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXCRC[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 15:0 **TXCRC[15:0]**：发送 CRC 寄存器 (Tx CRC register)

使能 CRC 计算后，TXCRC[7:0] 位将包含后续发送字节在计算后所得到的 CRC 值。当 SPIx_CR1 寄存器中的 CRCEN 位写入 1 时，此寄存器复位。CRC 通过 SPIx_CRCPR 寄存器中编程的多项式连续计算。

CRC 帧格式设置为 8 位长度（SPIx_CR1 的 CRCL 位清零）时，仅考虑 8 个 LSB 位。CRC 计算依据任意 CRC8 标准进行。

选择 16 位 CRC 帧格式（SPIx_CR1 寄存器的 CRCL 位置 1）时，考虑此寄存器的全部 16 个位。CRC 计算依据任意 CRC16 标准进行。

注：　当 BSY 标志置 1 时，读取此寄存器可能返回一个不正确的值。
这些位不适用于 I^2S 模式。

34.9.8 SPIx_I2S 配置寄存器 (SPIx_I2SCFGR)

SPIx_I2S configuration register

偏移地址：0x1C

复位值：0x0000

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	ASTRTEN	I2SMOD	I2SE	I2SCFG[1:0]		PCMSYNC	Res.	I2SSTD[1:0]		CKPOL	DATLEN[1:0]		CHLEN
			rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw

位 15:13 保留，必须保持复位值。

位 12 **ASTRTEN**：异步启动使能 (Asynchronous start enable)

0：禁止异步启动。

在从模式下使能 I2S 后，若接收到 I2S 时钟并且在 WS 信号上检测到适当的边沿，硬件将启动传输。

1：使能异步启动。

在从模式下使能 I2S 后，若接收到 I2S 时钟并且在 WS 信号上检测到适当的电平，硬件将启动传输。

*注：　使用 I²S Philips 标准时，适当的**边沿**为 WS 信号的下降沿；使用其他标准时，则为上升沿。*

*使用 I²S Philips 标准时，适当的**电平**为 WS 信号的低电平；使用其他标准时，则为高电平。*

更多相关信息，请参见第 34.7.3 节：启动说明。

位 11 **I2SMOD**：I2S 模式选择 (I2S mode selection)

0：选择 SPI 模式

1：选择 I2S 模式

注：　应在 SPI 禁止时配置此位。

位 10 **I2SE**：I2S 使能 (I2S enable)

0：禁止 I2S 外设

1：使能 I2S 外设

注：　该位不适用于 SPI 模式。

位 9:8 **I2SCFG[1:0]**：I2S 配置模式 (I2S configuration mode)

00：从模式 - 发送

01：从模式 - 接收

10：主模式 - 发送

11：主模式 - 接收

注：　应在 I2S 禁止时配置这些位。

这些位不适用于 SPI 模式。

位 7 **PCMSYNC**：PCM 帧同步 (PCM frame synchronization)

0：短帧同步

1：长帧同步

注：　只有在 I2SSTD = 11（使用 PCM 标准）时，此位才有意义。

该位不适用于 SPI 模式。

位 6 保留，必须保持复位值。

位 5:4 **I2SSTD[1:0]**：I2S 标准选择 (I2S standard selection)

00：I²S Philips 标准

01：MSB 对齐标准（左对齐）

10：LSB 对齐标准（右对齐）

11：PCM 标准

有关 I²S 标准的详细信息，请参见第 1049 页的第 34.7.2 节。

注：　为确保正确运行，应在 I2S 禁止时配置这些位。

这些位不适用于 SPI 模式。

位 3 **CKPOL**：无效状态时钟极性 (Inactive state clock polarity)

0：I2S 时钟无效状态为低电平

1：I2S 时钟无效状态为高电平

注： 为确保正确运行，应在 I2S 禁止时配置此位。

该位不适用于 SPI 模式。

CKPOL 位不影响接收或发送 SD 和 WS 信号所使用的 CK 边沿灵敏度。

位 2:1 **DATLEN[1:0]**：要传输的数据长度 (Data length to be transferred)

00：16 位数据长度

01：24 位数据长度

10：32 位数据长度

11：不允许

注： 为确保正确运行，应在 I2S 禁止时配置这些位。

这些位不适用于 SPI 模式。

位 0 **CHLEN**：通道长度（每个音频通道的位数）(Channel length (number of bits per audio channel))

0：16 位

1：32 位

只有在 DATLEN = 00 时，此位的写操作才有意义，否则无论写入何值，通道长度始终由硬件固定为 32 位。

注： 为确保正确运行，应在 I2S 禁止时配置此位。

该位不适用于 SPI 模式。

34.9.9 SPIx_I2S 预分频器寄存器 (SPIx_I2SPR)

SPIx_I2S prescaler register

偏移地址：0x20

复位值：0x0002

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	MCKOE	ODD	I2SDIV[7:0]							
						rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 15:10 保留，必须保持复位值。

位 9 **MCKOE**：主时钟输出使能 (Master clock output enable)

0：禁止主时钟输出

1：使能主时钟输出

注：　应在 I2S 禁止时配置此位。只有在 I2S 为主模式时，才会使用此位。
该位不适用于 SPI 模式。

位 8 **ODD**：预分频器的奇数因子 (Odd factor for the prescaler)

0：实际分频值为 = I2SDIV *2

1：实际分频值为 = (I2SDIV * 2) + 1

请参见*第 1056 页的第 34.7.3 节*。

注：　应在 I2S 禁止时配置此位。只有在 I2S 为主模式时，才会使用此位。
该位不适用于 SPI 模式。

位 7:0 **I2SDIV[7:0]**：I2S 线性预分频器 (I2S linear prescaler)

I2SDIV [7:0] = 0 或 I2SDIV [7:0] = 1 为禁用值。

请参见*第 1056 页的第 34.7.3 节*。

注：　应在 I2S 禁止时配置这些位。只有在 I2S 为主模式时，才会使用这些位。
这些位不适用于 SPI 模式。

34.9.10 SPI/I2S 寄存器映射

表 185 给出了 SPI/I2S 寄存器映射和复位值。

表 185. SPI/I2S 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**SPIx_CR1**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	BIDIMODE	BIDIOE	CRCEN	CRCNEXT	CRCL	RXONLY	SSM	SSI	LSBFIRST	SPE	BR [2:0]			MSTR	CPOL	CPHA
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04	**SPIx_CR2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	LDMA_TX	LDMA_RX	FRXTH	DS[3:0]				TXEIE	RXNEIE	ERRIE	FRF	NSSP	*SSOE*	TXDMAEN	RXDMAEN
	Reset value																		0	0	0	0	1	1	1	0	0	0	0	0	0	0	0
0x08	**SPIx_SR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FTLVL[1:0]		FRLVL[1:0]		FRE	BSY	OVR	MODF	CRCERR	UDR	CHSIDE	TXE	RXNE
	Reset value																				0	0	0	0	0	0	0	0	0	0	0	1	0
0x0C	**SPIx_DR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DR[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x10	**SPIx_CRCPR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CRCPOLY[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
0x14	**SPIx_RXCRCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXCRC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x18	**SPIx_TXCRCR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXCRC[15:0]															
	Reset value																	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x1C	**SPIx_I2SCFGR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	ASTRTEN	I2SMOD	I2SE	I2SCFG[1:0]		PCMSYNC	Res.	I2SSTD		CKPOL	DATLEN[1:0]		CHLEN
	Reset value																				0	0	0	0	0	0		0	0	0	0	0	0
0x20	**SPIx_I2SPR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	MCKOE	ODD	I2SDIV[7:0]							
	Reset value																							0	0	0	0	0	0	0	0	1	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

35 USB Type-C™ / USB 供电接口 (UCPD)

35.1 简介

USB Type-C/USB 供电接口支持 USB 供电规范的物理层。

- 支持通用串行总线供电规范：版本 3.0，V1.1，2017 年 1 月 12 日
- 支持通用串行总线 Type-C 线缆和连接器规范：版本 1.2，2016 年 3 月 25 日

主要功能是供电 (PD) 规范的物理层实现，即 CC 信号传输方法（非 VBUS），因此仅限于 Type-C 线缆。

35.2 UCPD 主要特性

UCPD 控制器符合

- USB Type-C 版本 1.2 和
- USB 供电版本 3.0 规范

UCPD 控制器使用支持 USB Type-C 和 USB 供电要求的特定 I/O，具有：

- USB Type-C 上拉电阻（Rp，所有值）和下拉电阻 (Rd)
- 支持“低电量”
- USB 供电报文发送和接收
- 支持 FRS（快速角色交换）

数字控制器性能优异

- 具有去抖动功能的 USB Type-C 电平检测，可产生中断
- FRS 检测，可产生中断
- 用于 USB 供电有效负载的字节级接口，可产生中断（兼容 DMA）
- USB 供电时序分频器（包括时钟预分频器）
- CRC 生成/校验
- 4b5b 编码/解码
- 有序集（接收时具有可编程的有序集掩码）
- 在前导码期间接收器中可实现频率恢复

该接口提供与停止模式兼容的低功耗操作，从而可保持检测传入 USB 供电报文和 FRS 信号传输的能力。

35.3 UCPD 实现

STM32G081 系列实现了两个 UCPD 控制器，可支持两个 USB Type-C 端口。

表 186. UCPD 实现

UCPD 特性	UCPD1	UCPD2
通过 DBCC 引脚支持低电量	X	X
FRSTX	1	1
微调是完全自动的（无需软件改写）	X	X
支持分立元件 PHY 选项	-	-

1. “X” = 支持，“-” = 不支持

35.4 UCPD 功能说明

USB 供电外设为 USB 供电规范的物理层提供了硬件支持。

支持：

- USB 供电版本 3.0，包括快速角色交换
- 与 ST 的集成片上 PHY 配合使用，
  - 直接检测 Type-C 电压
  - 支持供电“快速角色交换”（Rx 端）
- “快速角色交换”Tx 控制生成（如果需要），用于连接 CC 线路上的外部 MOSFET

UCPD Tx 端的主要特性：

- 字节数据接收（自协议层）
- 前导码生成
- 有效负载数据的 4b5b 编码
- BMC（双相标记）编码
- 计算并附加 CRC
- 帧间间隙的硬件管理（将通过延迟 Tx 来确保此特性）
- CC 线路上空闲状态的硬件监视（如果不是立即变为空闲，Tx 报文将被丢弃）
- “硬复位”机制的硬件支持（中断任何正在进行的 Tx 报文）
- 使用 BMC 编码通过 Type-C USB 连接器的 CC 引脚跨通道发送数据包（前导码、SOP*、有效载荷、CRC 和 EOP）

UCPD Rx 端的主要特性：

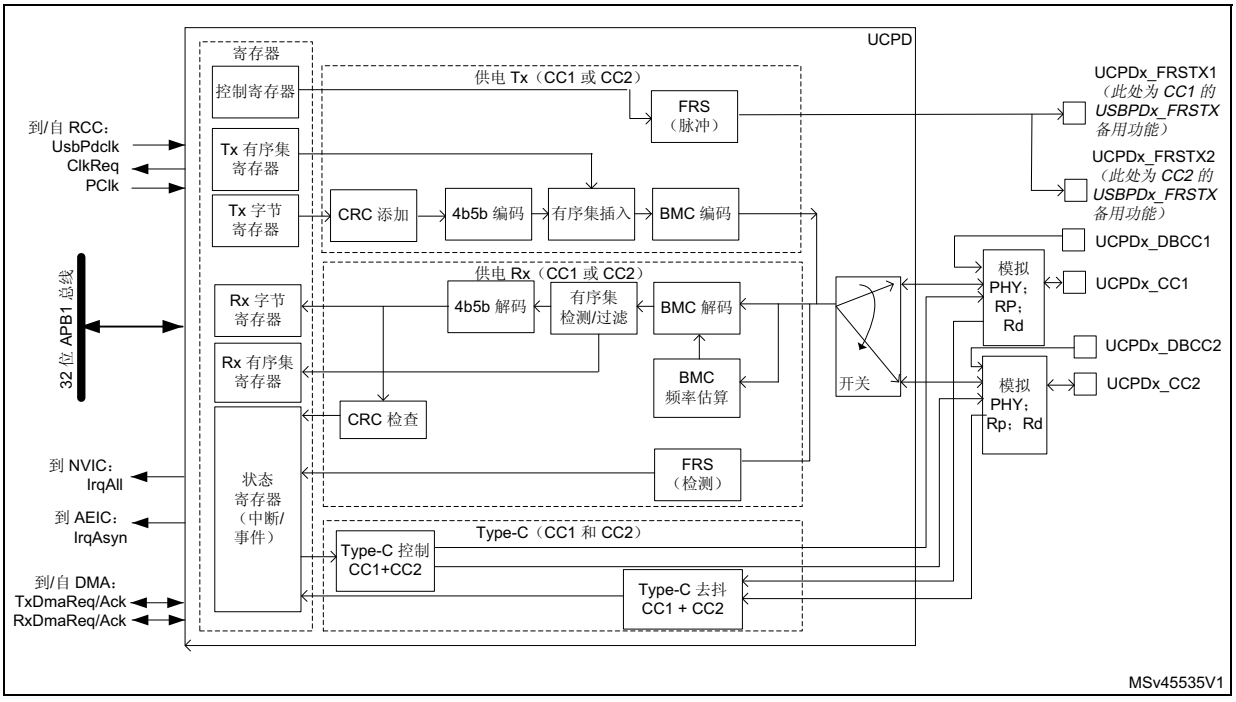
- 前导码恢复
- BMC（双相标记）解码
- 5b4b 解码，可获取有效负载数据
- EOP 检测
- CRC 校验（基于 EOP 检测）
- K 代码有序集检测：对 5 个 SOP 和 2 个复位集以及两个软件定义的模式进行硬件检测（根据标准的定义，只能正确接收 3/4 的 K 代码）

其他主要特性：

- 支持 Type-C 上拉和下拉电阻（所有三个 Rp 值和 Rd）
- 支持低电量 Rd
- Type-C 电压检测
- 支持供电 BIST 模式（BMC 信号传输情况的最低要求）：BIST 载波模式 2（仅 Tx）；BIST 测试数据（Tx 和 Rx）

35.4.1 UCPD 框图

图 393. UCPD 框图



下面的*表 187* 中列出了 UCPD 的外部引脚。

表 187. UCPD 引脚

引脚名称	信号类型	说明
UCPDx_FRSTX	数字	通用串行总线快速角色交换信号传输控制，仅适用于 DRP。外部 NMOS 的控制信号（高电平有效）可将有效 CC 线路下拉到 GND（快速角色交换信号传输）。典型应用将有两个此类 MOS（一个用于 CC1，一个用于 CC2）。最初，两种可能的映射都应在 GPIO 模式下（驱动为低电平）。连接后，应通过选择 FRS 脉冲信号作为 GPIO 引脚的有效“备用功能”重新映射该信号（请参见 GPIO 一章）。通过 Type-C 状态机检测到的线缆方向将决定要映射的正确 CC 线路。无效 CC 引脚应使用 CPIO 模式驱动为逻辑电平 0。
UCPDx_CC1	模拟	通用串行总线 Type-C 配置控制线路 1。用于连接 USB Type-C 连接器的 CC1 线路
UCPDx_CC2	模拟	通用串行总线 Type-C 配置控制线路 2。用于连接 USB Type-C 连接器的 CC2 线路
UCPDx_DBCC1	模拟	通用串行总线 Type-C 配置控制线路 1，低电量引脚。如果需要低电量支持，则必须将 UCPDx_DBCC1 连接到 USB Type-C 连接器的 CC1 线路
UCPDx_DBCC2	模拟	通用串行总线 Type-C 配置控制线路 2，低电量引脚。如果需要低电量支持，则必须将 UCPDx_DBCC2 连接到 USB Type-C 连接器的 CC2 线路

下表列出了关键内部信号：

表 188. UCPD 内部信号

内部信号名称	信号类型	说明
nPReset	数字输入	复位引脚
PClk	数字输入	寄存器的 APB 总线时钟
UsbpdClk	数字输入	内核时钟
TxDmaReq	数字输出	DMA 请求 (BMC Tx)
TxDmaAck	数字输入	DMA 应答 (BMC Tx)
RxDmaReq	数字输出	DMA 请求 (BMC Rx)
RxDmaAck	数字输入	DMA 应答 (BMC Rx)
IrqRxHrst	数字输出	用于连接的中断输出 （特定于硬复位） - 未使用
IrqOther	数字输出	中断输出 （其他中断） - 未使用
IrqAll	数字输出	用于连接 NVIC 的中断输出 （所有中断）
IrqAsyn	数字输出	用于连接 EXTI 的输出
ClkReq	数字输出	用于连接 RCC 的输出

35.4.2 UCPD 复位和时钟

使用单个复位信号 nPReset（APB 总线复位）。

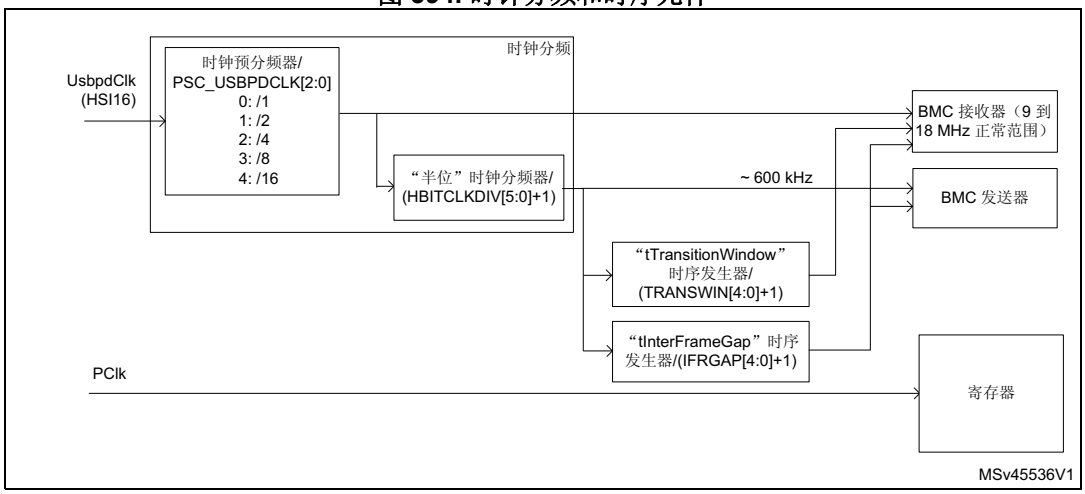
UCPD 的寄存器部分直接由 PClk 提供时钟。

主要功能部分由 sbpdClk 提供时钟，可使用 PSC_USBPDCLK[2:0] 预分频为更合适的频率。

接收器设计用于 6 MHz 到 18 MHz 范围内的任何时钟输入。在 6 MHz 到 9 MHz 范围内时，性能可能会降低。

下图所示为与时钟相关的主要元件以及其他需要设置为适当值的时序元件。

图 394. 时钟分频和时序元件



请参见 USB PD 规范来编程固定延迟。请注意，对于 tTransitionWindow，尤其是对于 tInterFrameGap，所有情况下都应考虑时钟频率的不确定性，以满足时序要求。

35.4.3 物理层协议

物理层涵盖了 USB 供电规范的基础信号传输。其主要功能（发送端）是根据定义的数据包格式形成数据包，数据包格式通常包括：

- 报头
- 数据包起始（有序集）
- 有效负载：报头
- 有效负载：数据（带有编码数据）
- 循环冗余校验 (CRC) 信息
- 数据包结束

双相标记编码 (BMC) 的最后一步在通过 CC 引脚发送之前完成。同样需要满足相关时序要求。

在接收端，主要任务是提取：

- 数据包起始（有序集）信息
- 有效负载：报头
- 有效负载：数据（解码）

还需检查是否正确接收：

- CRC
- 数据包结束

接收器基本上是与发送器相反的过程，因此从 BMC 解码器开始。

符号编码

除前导码外，所有符号均采用 4b5b 方案编码。

符号按照*表 189：4b5b 符号编码表*所示的规范进行 4b5b 编码：

表 189. 4b5b 符号编码表

名称	4b	5b	符号说明
0	0000	11110	十六进制数据 0
1	0001	01001	十六进制数据 1
2	0010	10100	十六进制数据 2
3	0011	10101	十六进制数据 3
4	0100	01010	十六进制数据 4
5	0101	01011	十六进制数据 5
6	0110	01110	十六进制数据 6
7	0111	01111	十六进制数据 7
8	1000	10010	十六进制数据 8
9	1001	10011	十六进制数据 9
A	1010	10110	十六进制数据 A
B	1011	10111	十六进制数据 B
C	1100	11010	十六进制数据 C
D	1101	11011	十六进制数据 D
E	1110	11100	十六进制数据 E
F	1111	11101	十六进制数据 F
Sync-1	K 代码	11000	起始同步 #1
Sync-2	K 代码	10001	起始同步 #2
RST-1	K 代码	00111	硬复位 #1
RST-2	K 代码	11001	硬复位 #2
EOP	K 代码	01101	EOP 数据包结束
保留	误差	00000	不使用

表 189. 4b5b 符号编码表（续）

名称	4b	5b	符号说明
保留	误差	00001	不使用
保留	误差	00010	不使用
保留	误差	00011	不使用
保留	误差	00100	不使用
保留	误差	00101	不使用
Sync-3	K 代码	00110	起始同步 #3
保留	误差	01000	不使用
保留	误差	01100	不使用
保留	误差	10000	不使用
保留	误差	11111	不使用

有序集

一个有序集由 4 个 K 代码组成，如下所示。

数据包格式如*图 395* 所示：

图 395. K 代码发送

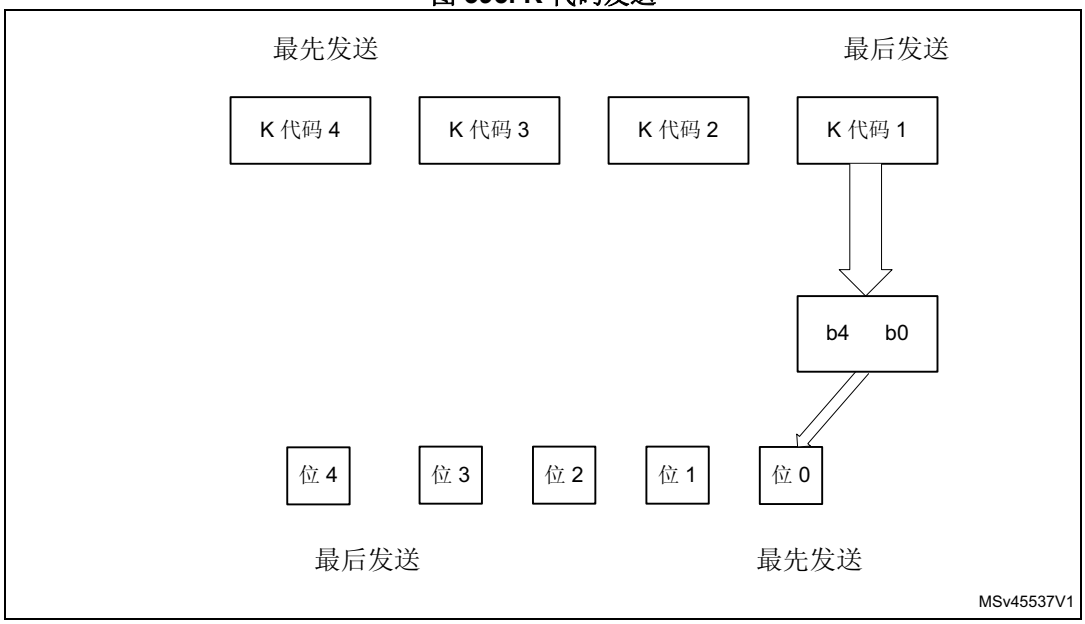


表 190 列出了定义的有序集。该列表定义了所有可能的 SOP* 序列。

在物理层，只有硬复位具有特殊的行为（硬复位具有更高的优先级，因此可以中断正在进行的 Tx 报文）。

表 190. 有序集

有序集名称	K 代码 1	K 代码 2	K 代码 3	K 代码 4
SOP	Sync-1	Sync-1	Sync-1	Sync-2
SOP’	Sync-1	Sync-1	Sync-3	Sync-3
SOP”	Sync-1	Sync-3	Sync-1	Sync-3
硬复位	RST-1	RST-1	RST-1	RST-2
电缆复位	RST-1	Sync-1	RST-1	Sync-3
SOP’_Debug	Sync-1	RST-2	RST-2	Sync-3
SOP”_Debug	Sync-1	RST-2	Sync-3	Sync-2

接收时，将按照*表 191* 所示规范中的定义验证有序集：

表 191. 有序集验证

状态	第 1 个代码	第 2 个代码	第 3 个代码	第 4 个代码
有效	损坏	K 代码	K 代码	K 代码
有效	K 代码	损坏	K 代码	K 代码
有效	K 代码	K 代码	损坏	K 代码
有效	K 代码	K 代码	K 代码	损坏
有效 （理想）	K 代码	K 代码	K 代码	K 代码
无效 （示例）	K 代码	损坏	K 代码	损坏

总之，物理层必须接受 3/4 的正确 K 代码的任意组合。

发送位顺序

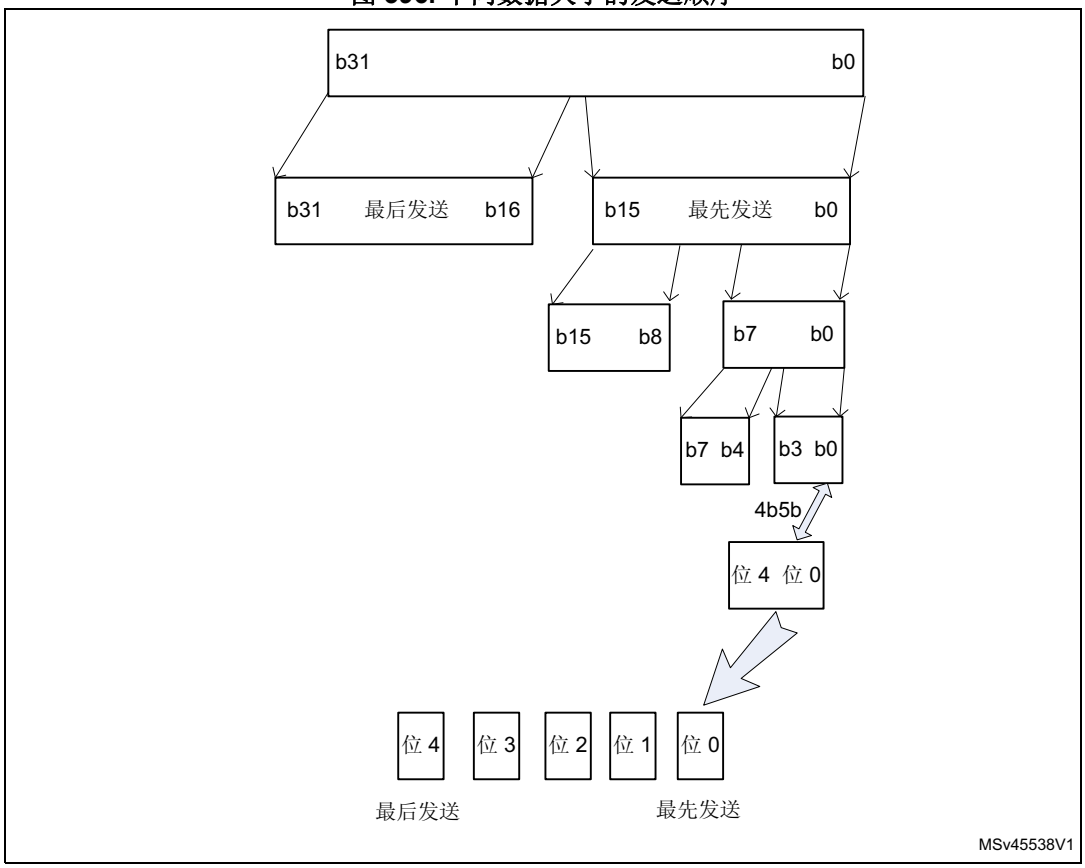
发送的大小在*表 192* 中所示的规范中定义。

表 192. 数据大小

数据单位	未编码	编码
字节	8 位	10 位
字	16 位	20 位
双字	32 位	40 位

图 396 给出了发送位所使用的顺序。

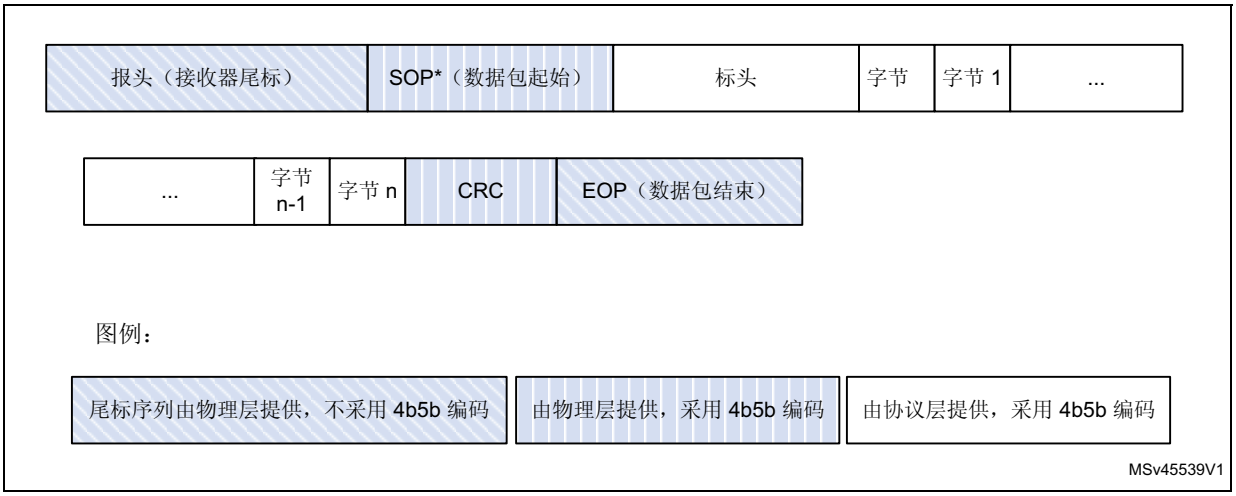
图 396. 不同数据大小的发送顺序



数据包格式

下面的*图 397* 给出了数据包格式，还详细介绍了数据的编码和来源（例如，物理层/协议层）。

图 397. 数据包格式



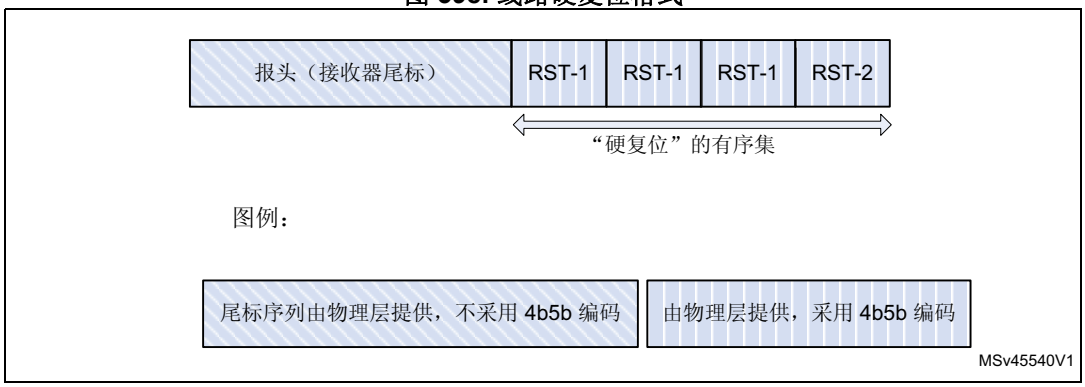
数据包格式：硬复位（特殊情况）

在所有有序集中，“硬复位”需要由物理层硬件进行特殊处理。这是由于它是优先级较高的代码，应直接中断（以干净的方式）正在进行的传输。

物理层规范因此描述了以下行为：

3. 如果 PHY 层当前正在发送一条报文，则该报文应通过发送 EOP K 代码进行中断，而其余报文将被丢弃。
4. 等待 tInterFrameGap。
5. 如果 CC 不空闲，请等待其变为空闲。
6. 先发送前导码，再发送 4 个 K 代码，以实现硬复位信号传输。
7. 禁止通道（即停止发送和接收），重置 PHY 层，并通知协议层PHY层已被重置。
8. 在协议层请求时重新使能通道。

图 398. 线路硬复位格式

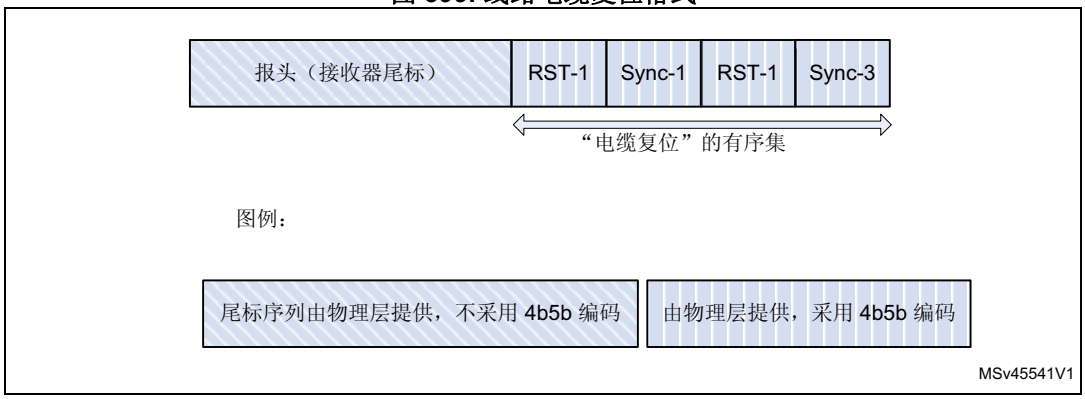


数据包格式：电缆复位

电缆复位的格式与硬复位类似，但与硬复位不同的是它不需要特定的高优先级处理。

下面的*图 399* 给出了具体格式。

图 399. 线路电缆复位格式



避免冲突

在物理层中，从 Tx 报文的最后一个发送位结束到下一条报文的第一个位之间有一段延迟“tInterFrameGap”。

物理层还会在开始发送之前检查 CC 线路的“空闲”状态。“空闲”的定义是“tTransitionWindow”（即 12 到 20 µs）内的转换次数少于“nTransitionCount”（即 3）。在 PD3.0 中，为了避免冲突，还需管理 Rd 值（供电方）以及监视 Type-C 电压以实现相应 Rp 修改（受电方）。

物理层信号传输方案

实现了 BMC 方案。

BIST：通用

可以运行以下任一测试，具体取决于协议层要求的 BIST 操作：

- 通过写入 TXMODE 和 TXSEND 实现的 Tx BIST 模式测试
- 通过向 RXMODE 写入 RXBIST 的正确值实现的 Rx BIST 模式测试

UCPD 支持的两种可能的模式（对应于“BMC”模式）是：

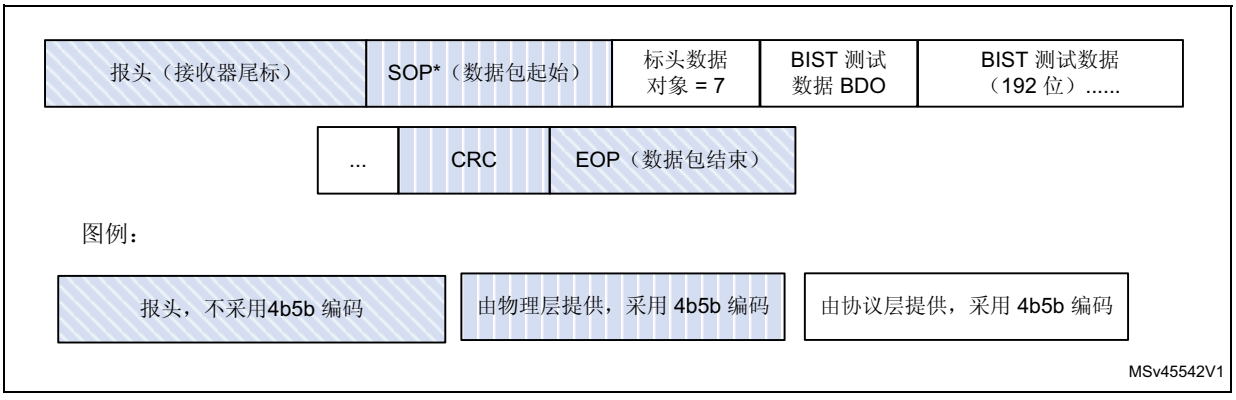
- BIST 测试数据（192 位模式），适用于 Tx 和 Rx。在 Rx 的情况下，将接收报文（但会将其丢弃，而不是传送到协议层，不过仍必须在应答中生成 GoodCRC Tx 报文）。
- BIST 载波模式 2（单一模式，无限长的报文），仅适用于 Tx，此模式下与 Tx 相对的 Rx 在此状态期间应忽略 CC 线路。

BIST 模式选项 1：测试数据模式

请注意，在 UCPD 中，测试数据模式不被视为特殊情况。

图 400 给出了 BIST 测试数据包帧格式：

图 400. BIST 测试数据帧



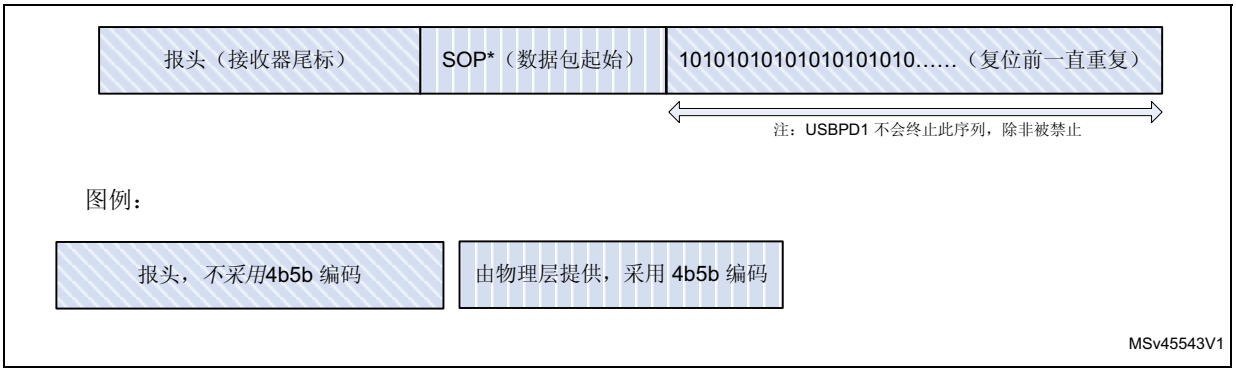
这是固定长度的测试数据模式。实际上，惟一标志着其与*图 397：数据包格式*中已给出的通用数据包格式不同的方面是报头的内容。由于 UCPD 通过编程接收 Tx 报头内容（可简单视为有效负载的一部分），只有这种编程（而不是块的行为）才能将通用数据包与 BIST 测试数据包区分开。

BIST 选项 2：载波模式 2

必要时，此 BIST 测试模式将发送不断重复的交替模式 1010。由于此模式用于信号分析，因此处于稳定状态，并且（在 USB PD 规范的 V1.0 中）没有定义长度。从 USB PD 规范的 V1.1 开始，协议层都会定义一个计数器，该计数器定义何时应关闭此模式。

请注意，要退出此发送（根据 USB PD 规范的要求），应在适当的延迟后通过 UCPDEN 禁止 UCPD。

图 401. BIST 载波模式 2 帧



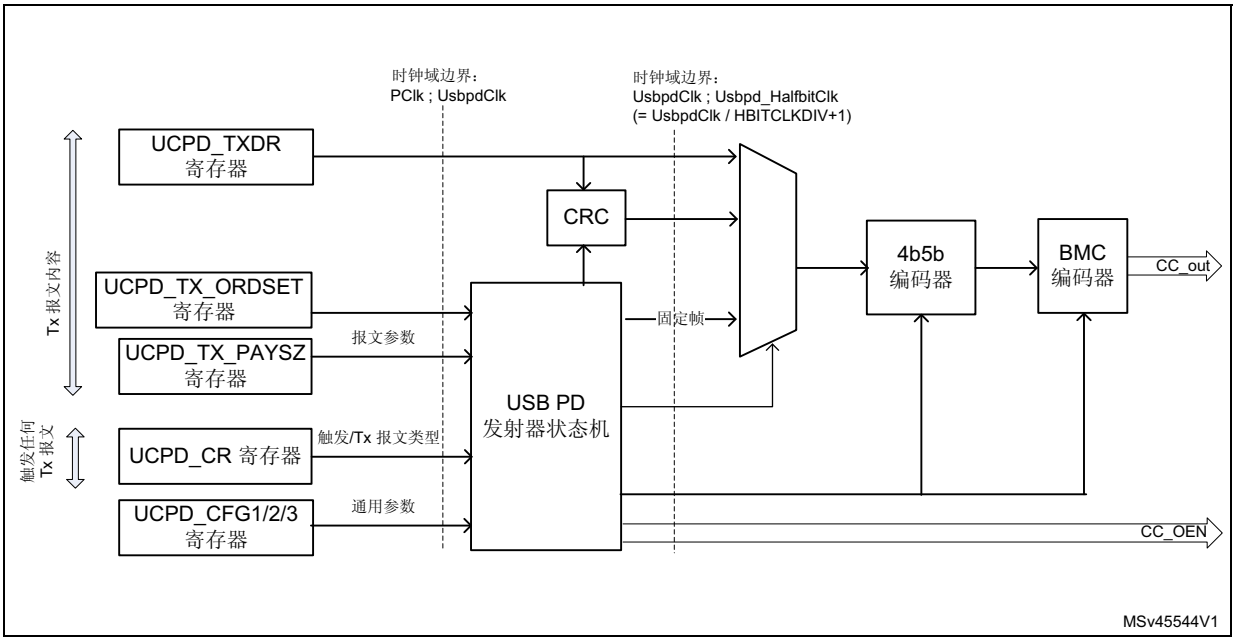
35.4.4 UCPD BMC 发送器

BMC（双相标记编码）发送器负责生成正确的 Tx 报文（遵守时序），并包括用于 Tx 报文内容的以下方面的功能：

- 4b5b 编码
- CRC 生成
- 双相标记编码 (BMC)

下面的*图 402* 给出了发送器架构：

图 402. UCPD BMC 发送器架构



BMC 编码器

该方法由 IEC 规范定义：

– IEC 60958-1 数字音频接口第 1 部分：通用版本 3.0 2008-09 www.iec.ch

UCPD 基于简单（集成）时钟分频器生成位，使所有位具有相同的长度（不包括二阶抖动问题）。半位时间名义上恰好是位时间的一半，只有 SoC 中上升沿/下降沿不匹配的二阶效应会使半位的高电平时间和低电平时间之间存在稍许偏差。

控制半位时序的位域是 **HBITCLKDIV**。

发送器时序和避免冲突

避免冲突的硬件支持取决于发送器的半位时间。实现了两个计数器：

– tInterFrameGap：通过 IFRGAP（预定义值，可以更改）实现

– tTransitionWindow：通过 TRANSWIN（预定义值，可以更改）实现

这两个计数器正确设置后将产生帧间间隙。

发送器中的硬复位

为了促使硬复位产生，使用了 TXMODE 位域的特殊代码。无需写入其他位域。

写入正确的代码后，硬件将在进行中的 Tx 报文的正确（最佳）时序下强制硬复位 Tx，该 Tx 报文（如果仍在进行中）将以一种干净的方式终止，具体方法截断当前序列，直接附加一个 EOP K 代码序列。不会产生与此截断事件有关的特定中断。

发生错误时的发送器行为

可能会偶然出现下溢情况（TXUND 中断），在这种情况下，UCPD 将缺少（正确的）Tx 有效负载，并且将无法正确完成 Tx 报文。这是严重错误（发生这种情况时，软件将无法及时响应）。结果是，硬件将确保报文结束时的 CRC 错误，从而保证接收器丢弃报文。

35.4.5 UCPD BMC 接收器

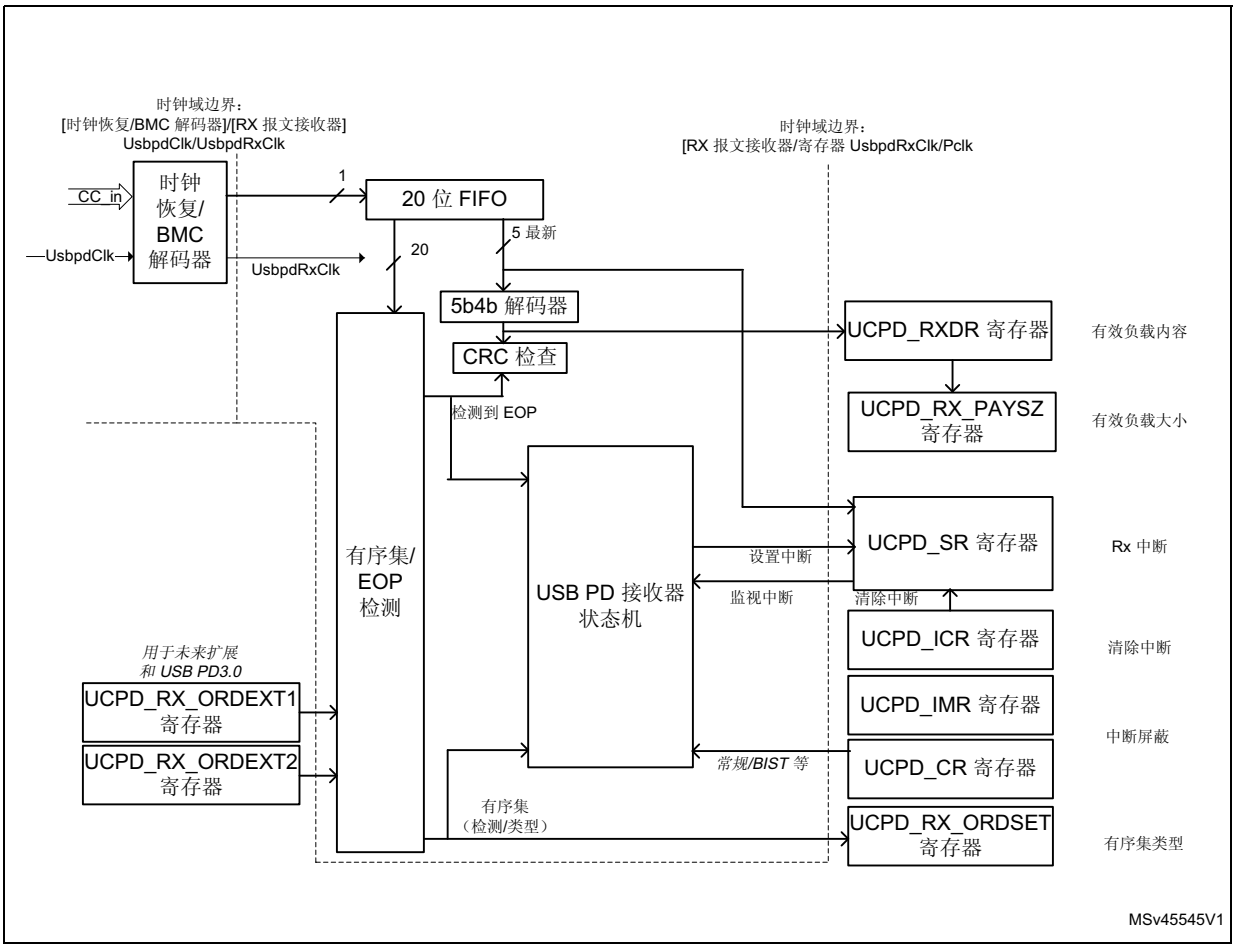
UCPD BMC 接收器负责以下主要功能：

- 前导码检测/时序推导
- BMC 解码
- 4b5b 解码
- K 代码有序集识别（基于 3/4 正确的原则）
- CRC 检查
- SOP 检测
- EOP 检测（由于硬复位特性，即使在正常行为之前也应始终激活）

只要使能 UCPD（通过 UCPDEN），便会激活接收器，但在所有发送周期中，接收器均处于非激活状态。使能时，为了以干净的方式启动，接收器会在最初时等待空闲线路状态，然后再尝试接收报文。

图 403 给出了 UCPD 接收器高级架构：

图 403. UCPD BMC 接收器架构



UCPD 接收器：CRC 检查器

接收到的位将馈入 CRC 检查器，该检查器在接收到的有效负载比特流期间会演变为 32 位状态。最后，CRC 的 32 位也会馈入逻辑

EOP 检测（5 位）将暂停该过程，并针对固定的剩余状态执行检查，以确认是否正确接收有效负载（实际上，剩余值为 0xC704DD78）。

此时，UCPD 会产生中断 RXMSGEND。如果 CRC 不正确，则 RXERR 将设置为真，并且接收数据应被丢弃。

在正常操作下，此中断会在先前得到应答并因此而被清除。如果不是这种情况，则将产生不同的中断 RXOVR 而非 RXMSGEND。

UCPD 接收器：有序集检测

该功能将检测不同的有序集，每个有序集由四个五位 K 代码组成。

进入前导码阶段后，将立即打开有序集（4 个 5 位字）的滑动窗口检测。

因此，检测到的有序集将包括所有 SOP* 代码：

- SOP
- SOP’
- SOP”

还包括

- 硬复位
- 电缆复位
- SOP’_Debug
- SOP”_Debug
- 由寄存器 USBPD1_RX_ORDEXT1 和 USBPD1_RX_ORDEXT2 定义的两个扩展

UCPD 接收器：EOP 检测和硬复位异常处理

EOP 是一个固定的 5 位 K 代码，用于标记报文结束。

要求发送方发送硬复位的方式（如果先前的报文发送仍在进行）通过 EOP 提前截断先前的这一报文。

如果忽略硬复位，则只能在预期的时间进行 EOP 检测。但是，由于硬复位问题，在收到 Rx 报文时，EOP 检测器必须处于激活状态。当检测到“提前 EOP”时，被截断的 Rx 报文将立即被丢弃。

UCPD 接收器异常处理：截断或损坏报文异常

检测到有序集后，可能会存在要接收的以 CRC 和 EOP 结束的数据字节，具体取决于报文。如果在这些阶段的任何时候发生错误情况，例如

- 线路变为静态且持续时间远超过“1 UI”（这种情况的准确阈值并不关键，但异常应在 3 UI 之前发生）
- 报文结束，但是无法识别（例如，EOP 损坏）

在这两种情况下，接收器将放弃当前报文，从而产生 RXMSGEND 并且 RXERR 为 1。

UCPD 接收器异常处理：前导码短或有序集不完整异常

在接收器检测到前导码比预期值的一半还要低的异常情况下，无法实现可确保正确 BMC 解码的频率估算。即使检测到完整的前导码（可以进行频率估算），也无法在线路变为静态之前完整接收到有序集，接收器状态机将不会启动。

在这两种情况下，时钟恢复/BMC 解码器将重复启动，首先检查空闲状态，接着检查前导码，然后估算频率。

35.4.6 UCPD Type-C 上拉电阻 (Rp) 和下拉电阻 (Rd)

UCPD 可通过 ANAMODE[1:0] 和 ANASUBMODE[1:0] 轻松控制这些电阻。如果仅使用一个 CC 引脚，则可以通过使用 CCENABLE[1:0] 禁止对一个引脚的控制来优化功耗。

当 MCU 断电时，只要 UCPDx_DBCC1 和 UCPDx_DBCC2 引脚分别连接到 UCPDx_CC1 和 UCPDx_CC2 引脚，就仍将存在“低电量”Rd。在通电且 MCU 启动后，应先将所需的行为（例如受电）编程到 ANAMODE 和 ANASUBMODE 中，然后再将 SYSCFG1_CFGR1 寄存器的 UCPDx_STROBE 位置 1，以激活此行为。

如果不需要低电量行为（例如，对于仅供电的产品），则 UCPDx_DBCC1 和 UCPDx_DBCC2 引脚都应接地。在通电且 MCU 启动后，应先将此时所需的行为（例如供电）编程到 ANAMODE 和 ANASUBMODE 中，然后再将 SYSCFG1_CFGR1 寄存器的 UCPDx_STROBE 位置 1，以激活此行为。

处于未连接状态时，受电方可使用待机低功耗模式。

35.4.7 UCPD Type-C 电压监视和去抖动

为了使 Type-C 状态机保持最新状态，可以监视 CC1 和 CC2 引脚上的重要电压事件（与这些状态机相对应），可以连续监视，也可以通过轮询方式监视。

为了仅向软件呈现重要事件，执行了去抖动操作，并且还与供电 Tx/Rx 活动配合。

CC 引脚的静态电平基于相应设置通过 PHY 上的阈值检测器确定以在寄存器 TYPEC_VSTATE_CC1/2[1:0] 中给出电压范围值，从而有助于以软件方式实现 Type-C 状态机，还可确定电缆方向（PHYCCSEL 仍需要相应设置以在 CC1 和 CC2 之间使用合适的引脚来实现供电信号传输）。进行去抖动是为了防止快速转换，这种转换不代表 Type-C（DC 电平）变化（例如在供电报文传输期间）。

建议使用轮询（Type-C 检测器在两次轮询之间关闭，仅在轮询时打开）而不是从停止状态唤醒（这要求 Type-C 检测器永久打开）。这将优化功耗。

35.4.8 UCPD 快速角色交换 (FRS) 信号传输和检测

FRS 信号传输

如果需要 FRS 信号传输，则需要外部 N-MOS 晶体管，以便在适当的 CC 线路上将低电阻下拉到 GND。

要发出快速角色交换 (FRS) 条件的信号，应将 1 写入 FRSTX。这将产生相应条件，并且硬件将保证长度。控制信号 (FRSTX) 将在正确的持续时间内发出脉冲（为 1）。

FRS 检测

FRS 监视由 FRSRXEN 位使能，并且只有在写入正确的 PHYCCSEL 值后才应使能 FRS 监视（这是根据电缆方向确定 CC 位置的结果）。

35.4.9 UCPD DMA 接口

DMA 是在 UCPD 中实现的，使能该功能后，就不再需要字节级中断来处理 USBPD1_TXDR 和 USBPD1_RXDR 寄存器（Tx 和 Rx 数据寄存器，各一个字节）。

通过使能 TXDMAEN 和/或 RXDMAEN 位，可以针对 Tx 和/或 Rx 功能单独激活 DMA。

35.4.10 从STOP唤醒

要优化功耗，能够使用 STOP 模式并等待 CC 引脚上的事件将 MCU 唤醒为 RUN 十分有用。

为此，必须先通过向 WUPEN 写 1 来使能。

引起唤醒的事件可以是：

- BMC 接收器上的事件（RXORDDET；RXHRSTDET），硬件使能 PHYRXEN
- FRS 检测器上的事件 (FRSEVT)，硬件使能 FRSRXEN
- Type-C 检测器上的事件（TYPECEVT1；TYPECEVT2），硬件使能 CC1TCDIS；CC2TCDIS

35.4.11 UCPD 编程顺序

以下示例说明了此 UCPD 的正常使用。

– 配置 UCPD
– 使能 UCPD

并行启动两个过程：

– [根据协议层的要求]发送 Tx 报文
– 轮询（或等待）与 Rx 报文有关的中断并恢复详细信息以移交给协议层

不断重复以上步骤。

初始化阶段

请按照以下顺序进行干净启动：

– 首先通过写入寄存器 UCPD_CFG 准备所有时钟分频器值
– 通过 UCPDEN 使能块

Type-C 状态机处理

对于供电方、受电方（以及可以在这两个角色之间切换的双重角色端口）的一般应用情况，软件必须实现相关的 USB Type-C 状态机。

下面的*表 193：ANAMODE 和 ANASUBMODE 的编码及其与 TYPEC_VSTATE_CCx 的关系*给出了基本编码：

表 193. ANAMODE 和 ANASUBMODE 的编码及其与 TYPEC_VSTATE_CCx 的关系

ANAMODE	ANASUBMODE[1:0]	注释	TYPEC_VSTATE_CCx[1:0]			
			00	01	10	11
0：供电方	00：禁止	禁止	N/A			
	01：默认 USB Rp		vRa[Def]	vRd[Def]	vOPEN[Def]	N/A
	10：1.5A Rp		vRa[1.5]	vRd[1.5]	vOPEN[1.5]	
	11：3.0A Rp		vRa[3.0]	vRd[3.0]	vOPEN[3.0]	
1：受电方	xx		vRa	vRd-USB	vRd-1.5	vRd-3.0

为了禁止 CC 引脚之一上的任何上拉/下拉，还提供了另一个位域 CCENABLE。

注： *Type-C 状态机不仅取决于 CC 引脚电压，还取决于 VBUS 存在检测（受电模式），在供电模式下时决定 VCONN 生成和 VBUS 状态（ON/OFF/+ 电压；放电）。UCPD 不直接控制 VBUS 生成电路，也不直接控制 VCONN 负载开关（不能将 VCONN 电源发生器连接到 CC 引脚），但是应用需要这些输入和控制才能正常工作。*

一般编程顺序（UCPD 之前已配置，即 CFG 寄存器，然后使能）

- 先基于 USB Type-C 状态机中的当前位置（如果是供电模式，还需基于当前通告）编程 ANAMODE；ANASUBMODE。这将开启 CC 引脚上的相应上拉/下拉，并定义 TYPEC_VSTATE 位域代表的电压。请注意，编程之前，PHY 实际是关闭的
- 读取 TYPEC_VSTATE_CC1/2 以确定初始 Type-C 状态（例如，本地供电方是否连接到远程受电方）
- 如果没有连接，则等待连接事件
- 假设检测到连接且实现了本地供电功能，开始发送/接收供电报文
- 当 PHYEVT1/2 上发生新的中断/事件（指示稳定电压发生变化）时，请重新评估含义并将此输入提供给 Type-C 状态机

供电方需要在三种可能的 Rp 值（默认 UAB/1.5A/3.0A）之间切换且受电方与其相连时：

- [供电方]只需重新编程 ANASUBMODE[1:0]
- [此后的受电方行为] PHYEVT1/2 将会发生，并且 TYPEC_VSTATE1/2 会相应地变化

双重角色端口 (DRP) 从供电方切换为受电方的编程顺序：

- 只需重新编程 ANAMODE；ANASUBMODE 启动新行为

详细的编程顺序（示例）：

表 194. Type-C 顺序（供电方：3A）；的电缆/受电方已连接（CC1 上连有 Rd；CC2 上连有 Ra）

Type-C 状态	ANAMODE；ANASUBMODE	CCENABLE	PHYCCSEL	RDCH	CC[x] VCONNEN	事件 => 转到下一条线路	注释
Unattached. SRC	0：供电方；11：Rp3A0	11：均使能	0（无关）	0：[正常]	00：[都不]	PHYEVT1：[VRd-3A0]	等待受电方连接检测；在 CC1 [EVT1] 上检测
Attachwait. SRC			0 [CC1 上连有 Rd]			PHYEVT2：[VRa]	Attachwait 启动 (100-200ms)；现在还检测到 Ra => 请求 VCONN
Attached. SRC [VCONN => CC2]	0：供电方；11：Rp3A0 [SinkTxOK]	01：禁止 CC2（支持，并且由于外部 VCONN 开关的原因推荐使用该设置）			10：[激活 CC2]	定时器 (100 ms)，无 PHYEVTx	本地 CC2 与 PHY 断开连接（VCONN 开关将 VCONN 供电方从外部连接到 CC2；继续监视 PHYEVT1
	0：供电方；10：Rp1A5 [SinkTxNG]					SW 定时器 (SinkTxNG)	供电方想要启动报文序列（先设置 SinkTxNG 条件）
	0：供电方；11：Rp3A0 [SinkTxOK]						供电方结束报文序列（此后为 SinkTxOK 条件）
						PHYEVT1：[VOpen-3A0]	等待受电方断开连接（CC1 上出现 Vopen）
Unattached wait. SRC		11：均使能	0（无关）	1：[放电]	00：[都不]	检测电压 >0.8V（或定时器？）	具有 VCONN 的特殊供电状态（ECR，2016 年 4 月）：主动对 VCONN [CC2] 进行放电 [Rdch]；到 < 0.8V
Unattached. SRC	0：供电方；11：Rp3A0			0：[正常]			[详情见表格的第一行]

USB PD 发送的正常情况

从协议层接收到报文（即要发送的报文）后，

通过写入以下寄存器来准备 Tx 报文内容：

- UCPD_TX_ORDSET
- UCPD_TX_PAYSZ

可以通过写入以下位来触发报文发送：

- TXSEND

需向此位写入 TXMODE 位域的适当值。

请注意，中断 TXIS 将触发以指示 TXDR 缓冲区的可用性，在这种情况下，需将下一个数据字节写入：

- UCPD_TXDR

请注意，相同的中断将根据有效负载中的字节数重复进行。

如果一切正确，发送完 CRC 后，中断 TXMSGSENT 将置 1。

USB PD 接收的正常情况

接收报文序列开始的通知由 UCPD_SR 的中断（位 RXORDDET）触发。

通过读取以下各项恢复信息：

- UCPD_RX_SOP（中断 RXORDDET 发生时）
- UCPD_RXDR（中断 RXNE 发生时，每个字节重复一次）
- UCPD_RXPAYSZ（中断 RXMSGEND 发生时）

请注意，如果检测到 RXERR 为真，则必须先丢弃先前从上述 UCPD_RXDR 中读取的数据。

假设 CRC 正常，则接收到的数据随后将被移交给协议层。

出于调试原因，可能希望跟踪已收到多少个不正确的 K 代码的统计信息（只有符合规范中 3/4 的 K 代码有效的定义时，才执行此操作）。这可以通过以下位域实现：

- RXSOP3OF4（单个位，指示 K 代码是否损坏）
- RXSOPKINVALID（标识序列中的哪一个（如果存在）损坏）

硬复位发送（特殊情况）

一旦已知需要发送硬复位，对 UCPD_CR.TXHRST 的写操作将强制内部状态机生成正确的序列。请注意，在这种精确的情况下，不需要更新 UCPD_TX_ORDSET 的值（硬复位的正确代码通过 UCPD 发送）。

USB 供电规范对硬复位的定义要求，正在发送报文时，硬复位优先。在这种情况下，例如，UCPD 将截断当前报文的有效负载，将 EOP 附加到末尾。请注意，无法通过寄存器（例如 TXMSGSEND）发出任何通知。硬复位优先于先前任何活动（因此，不再需要知道活动是否已完成）这一事实是有道理的。

使用 DMA 进行发送

将 UCPD_CR 寄存器中的 TXDMAEN 位置 1 可以使能 DMA（直接存储器访问）进行发送。

对于每条报文：

- 在存储器中准备整条报文（从两个报头字节开始）
- 对 DMA 操作进行编程，其长度对应于两个报头字节加上 4*# 个数据对象
- 写入 TXSEND 以启动报文传输
- 如果发生 TXMSGDISC，则返回上一行 (TXSEND)
- 等待 DMA 传输完成中断（即，最后一个 Tx 字节写入 UCPD 时）
- 仔细检查随后出现的 TXMSGSENT 中断

使用 DMA 进行接收

将 UCPD_CR 寄存器中的 RXDMAEN 位置 1 可以使能 DMA（直接存储器访问）进行接收。

每当接收到 Rx 报文时

- 编程 DMA 接收操作（和备用缓冲区），使其稍长于可能的最大报文（长度取决于扩展报文支持）
- 接收到 RXORDDET 后，DMA 操作应在后台开始工作
- 接收到 RXMSGEND 中断后，读取 RXPAYSZ
- 仔细检查 RXPAYSZ 与 DMA Rx 字节数（应相对应，但 RXDR 的 DMA 读操作将在 RXDR 获取最后一个字节后的稍晚时间进行）
- 处理 DMA Rx 缓冲区
- 尽快准备下一个 Rx DMA 缓冲区以做好准备

35.5 UCPD 低功耗模式

下面的*表 195：低功耗模式对 UCPD 的影响*对低功耗模式进行了总结。

表 195. 低功耗模式对 UCPD 的影响

模式	说明
睡眠	无影响
停止	事件检测 （Type-C、 BMC Rx 和 FRS 检测）仍可正常工作，并且可以唤醒 MCU。
待机	UCPD 不工作，无法唤醒 MCU。如果进行相应配置，下拉电阻将保持激活状态。
断电	低电量下拉电阻仍保持激活状态。

UCPD 能够在识别到以下任一相关事件时将 MCU 从停止模式唤醒：

- 与在任一 CC 引脚上检测到的电压范围变化有关的 Type-C 事件，在 TYPEC_VSTATE_CCx 中可见
- 有序集与根据 RXORDSETEN[8:0] 过滤的有序集匹配的供电接收报文，读取 RXORDSET 时可见

将 UCPD_CFG2 寄存器中的 WUPEN 位置 1，可以使能从停止模式唤醒功能。

在 UCPD 级，停止期间可能发生需要内核时钟活动的三种类型的事件，即

- 模拟 PHY 电压阈值检测器上的活动，可在稍后确认为 Type-C 规范中定义的电压范围之间的稳定变化
- 供电 BMC 接收器上的活动（来自选定的 CC 引脚），稍后可能会生成 Rx 报文事件（即 RXORDSET）
- 供电 FRS 检测器上的活动，稍后可能会生成 FRS 信号传输检测事件（即 FRSEVT）

为了与 RCC 配合正常工作，当以下各项发生异步活动时，将激活时钟请求信号（以 WUPEN 为条件）：

- Type-C 电压阈值检测器（来自任一 CC 引脚）
- 供电接收器信号（来自选定的 CC 引脚）
- FRS 检测信号（来自选定的 CC 引脚）

35.6 UCPD 中断

下表列出了 UCPD 中断。

表 196. UCPD 中断请求

中断事件	事件标志	事件标志/中断清除方法	中断使能控制位
快速角色交换检测事件	FRSEVT	向 FRSEVTCF 写入 1	FRSEVTIE
Type C 电压事件 (CC2)	TYPECEVT2	向 TYPECEVT2CF 写入 1	TYPECEVT2IE
Type C 电压事件 (CC1)	TYPECEVT1	向 TYPECEVT1CF 写入 1	TYPECEVT1IE
已接收 Rx 报文	RXMSGEND	向 RXMSGENDCF 写入 1	RXMSGENDIE
Rx 数据上溢中断	RXOVR	向 RXOVRCF 写入 1	RXOVR
Rx 硬复位检测中断	RXHRSTDET	向 RXHRSTDETCF 写入 1	RXHRSTDETIE
检测到 Rx 有序集（4 个 K 代码）中断	RXORDDET	向 RXORDDETCF 写入 1	RXORDDETIE
接收数据寄存器非空中断	RXNE	读取 UCPD_RXDR 中的数据	RXNEIE
Tx 数据下溢条件中断	TXUND	向 TXUNDCF 写入 1	TXUNDIE
HRST 已发送中断	HRSTSENT	向 HRSTSENTCF 写入 1	HRSTSENTIE
HRST 已丢弃中断	HRSTDISC	向 HRSTDISCCF 写入 1	HRSTDISCIE
发送报文中止中断	TXMSGABT	向 TXMSGABTCF 写入 1	TXMSGABTIE
发送报文已发送中断	TXMSGSENT	向 TXMSGSENTCF 写入 1	TXMSGSENTIE
发送报文已丢弃中断	TXMSGDISC	向 TXMSGDISCCF 写入 1	TXMSGDISCIE
发送中断状态	TXIS	向 UCPD_TXDR 寄存器写入要发送的数据	TXISIE

当收到来自 UCPD 的中断时，软件必须通过读取 UCPD_SR 寄存器来确认中断源。

ISR 应根据哪个位为 1 来处理相应条件并通过写入 UCPD_ICR 中的适当位将位清零。

35.7 UCPD 寄存器

35.7.1 UCPD 配置寄存器 1 (UCPD_CFG1)

UCPD configuration register 1

偏移地址：0x000

复位值：0x0000 0000

此寄存器用于 IP 配置。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UCPDEN	RXDMAEN	TXDMAEN	RXORDSETEN[8:0]									PSC_USBPDCLK[2:0]			Res.
rw	rw	rw	rw									rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRANSWIN[4:0]					IFRGAP[4:0]					HBITCLKDIV[5:0]					
rw					rw					rw					

位 31 **UCPDEN**：USB 供电模块使能 (USB Power Delivery Block Enable)

此位域由软件修改。

它将用于使能外设。禁止时，模块无法正常工作，CC 上检测不到接收的信息，也无法进行响应。使能此位后，模块将正常工作，接收逻辑将立即开始在 CC 输入上进行检测。禁止时，IP 将立即终止任何正在进行的活动。显然，此行为对于正确终止“载波模式 2”发送非常重要。

0：禁止 UCPD，内核的行为如同所有控制寄存器都处于复位状态一样（实际上为 0）

1：使能 UCPD。请注意，每个包括控制位的寄存器（不包括配置寄存器）都应全部重写为所需值。

位 30 **RXDMAEN**：DMA 接收请求使能 (DMA reception requests enable)

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

0：禁止 DMA 接收请求

1：使能 DMA 接收请求

位 29 **TXDMAEN**：DMA 发送请求使能 (DMA transmission requests enable)

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

0：禁止 DMA 发送请求

1：使能 DMA 发送请求

位 28:20 **RXORDSETEN[8:0]**：接收器有序集检测使能 (Receiver ordered set detection enable)

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

确定接收器应检测的有序集的类型。

0bxxxxxxxx1：使能 SOP 检测

0bxxxxxxx1x：使能 SOP' 检测

0bxxxxxx1xx：使能 SOP" 检测

0bxxxxx1xxx：使能硬复位检测

0bxxxx1xxxx：使能电缆检测复位

0bxxx1xxxxx：使能 SOP'_Debug

0bxx1xxxxxx：使能 SOP"_Debug

0bx1xxxxxxx：使能 SOP 扩展 1

0b1xxxxxxxx：使能 SOP 扩展 2

位 19:17 **PSC_USBPDCLK[2:0]**：UCPD_CLK 的预分频比 (Pre-scaler for UCPD_CLK)。传入的内核时钟将先根据此设置进行预分频，然后再进行其他任何分频（例如，通过 TRANSWIN；IFRGAP；HBITCLKDIV 执行的分频）。此分频对于传入时钟高于 18 MHz 的情况很有用（也可考虑在 12-18 MHz 范围内使用，此时进行 2 分频将得到 6-9 MHz）。

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

0x0：旁路预分频/1 分频
0x1：对时钟进行预分频（2 分频）
0x2：对时钟进行预分频（4 分频）
0x3：对时钟进行预分频（8 分频）
0x4：对时钟进行预分频（16 分频）

位 16 保留

位 15:11 **TRANSWIN[4:0]**：

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

达到合法 tTransitionWindow（根据 IP 时钟设置以定义 12 µs 到 20 µs 范围内的时间间隔）所需的半位时钟（请参见 HBITCLKDIV）周期数（减 1）。

0x0：不支持
0x9：10 分频（建议值）
0x1F：32 分频（最大分频）

位 10:6 **IFRGAP[4:0]**：

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

时钟分频器值用于生成帧间间隙 (tInterframeGap) 硬件定时器。

此位包含通过 IP 时钟生成 tInterframeGap 所需的时钟分频值（减 1）的定义。

0x0：不支持
0xD：14 分频（如果 Tx 时钟低于 USB PD 2.0 规范中的标称值，则十分有用）
0xE：15 分频（如果 Tx 时钟恰好为 USB PD 2.0 规范中的标称值，则为理想值）
0xF：16 分频（如果 Tx 时钟高于 USB PD 2.0 规范中的标称值，则十分有用）
0x1F：32 分频（最大分频）

位 5:0 **HBITCLKDIV[5:0]**：
此位域由软件修改。
此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。
时钟分频器值用于生成半位时钟。
此寄存器包含一个半位时钟对应的 IP 周期数（减 1），例如，为一个位时钟编程 3 时对应的 IP 时钟“UCPD_CLK”的周期数为 8。
0x0：1 分频以生成 HBITCLK
0x1A：27 分频以生成 HBITCLK（建议值）
0x3F：63 分频以生成 HBITCLK

35.7.2 UCPD 配置寄存器 2 (UCPD_CFG2)

UCPD configuration register 2

偏移地址：0x004

复位值：0x0000 0000

此寄存器用于 UCPD 中 Rx 信号过滤的配置。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUPEN	FORCECLK	RXFILT2N3	RXFILTDIS
												rw	rw	rw	rw

位 31:4 保留

位 3 **WUPEN**：从停止模式唤醒使能 (Wakeup from STOP enable)
此位由软件修改。
此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。
0：禁止从停止模式唤醒（禁止输出 UCPD_ASYNC_INT）
1：使能从停止模式唤醒（禁止输出 UCPD_ASYNC_INT）

位 2 **FORCECLK**：控制是否强制执行时钟请求 ClkReq (Controls forcing of the clock request ClkReq)。
此位由软件修改。
此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。
0：不强制执行时钟请求 ClkReq
1：强制执行时钟请求 ClkReq

位 1 **RXFILT2N3**：控制 BMC 解码器的 Rx 预滤波的采样方法 (Controls the sampling method for an Rx pre-filter for the BMC decoder)。有问题的采样时钟与接收器的时钟相同（即在预分频器之后）。
此位域由软件修改。
此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。
0：先等待 3 个一致的采样，然后再将其视为新电平
1：先等待 2 个一致的采样，然后再将其视为新电平

位 0 **RXFILTDIS**：使能 BMC 解码器的 Rx 预滤波 (Enables an Rx pre-filter for the BMC decoder)。有问题的采样时钟与接收器的时钟相同（即在预分频器之后）。

此位域由软件修改。

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

0：使能 Rx 输入过滤

1：禁止 Rx 输入过滤

35.7.3 UCPD 控制寄存器 (UCPD_CR)

UCPD control register

偏移地址：0x00C

复位值：0x0000 0000

此寄存器用于控制 UCPD。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.RE	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2TCDIS	CC1TCDIS	Res.	RDCH	FRSTX	FRSRXEN
										rw	rw		rw	rs	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	CCENABLE[1:0]		ANAMODE	ANASUBMODE[1:0]		PHYCCSEL	PHYRXEN	RXMODE	TXHRST	TXSEND	TXMODE[1:0]	
		rw		rw		rw	rw		rw	rw	rw	rs	rs	rw	

位 31:22 保留，必须保持复位值。

位 21 **CC2TCDIS**：此位可禁止 CC2 的 Type-C 检测器。

0：根据 ANAMODE 和 ANASUBMODE 设置使能 CC2 的 Type-C 检测器

1：禁止 CC2 的 Type-C 检测器

位 20 **CC1TCDIS**：此位可禁止 CC1 的 Type-C 检测器。

0：根据 ANAMODE 和 ANASUBMODE 设置使能 CC1 的 Type-C 检测器

1：禁止 CC1 的 Type-C 检测器

位 19 保留，必须保持复位值。

位 18 **RDCH**：在“UnattachedWait.SRC”状态期间根据需要驱动“Rdch”条件 (Drive "Rdch" condition as required during state "UnattachedWait.SRC")（如 ECN“供电 VCONN 放电的 USB Type-C ECN”所述）

此寄存器只能在 UCPDEN = 1 时更新。

0：正常状态

1：在“UnattachedWait.SRC”仅供电状态期间必须保持为 1，以符合 Type-C 状态。将在与 VCONN 相关的 CC 引脚上驱动 Rdch（基于 PHYCCSEL）。正确使用此值意味着 CCENABLE 设置没有问题。请注意，在向此位写入新值之后，必须将 SYSCFG_CFGR1 的 UCPDx_STROBE 位置 1。

位 17 **FRSTX**：发出快速角色交换请求 (Signal Fast Role Swap request)。
此寄存器只能在 UCPDEN = 1 时更新。
0：正常稳定状态
1：写入 1 以使能开始快速角色交换信号传输。在经过符合 USB 供电版本 3.0 的一段延迟后，此位将在随后由硬件清零。

位 16 **FRSRXEN**：使能 FRS 请求检测功能 (Enable FRS request detection function)，该检测功能用于监视 CC 线路的状态（根据 PHYCCSEL，应先正确设置），以发出 FRS Rx 事件 (FRSEVT)。
此寄存器只能在 UCPDEN = 1 时更新。
0：不使能检测（例如，当连接到不支持 FRS 的供电方/受电方时）
1：使能 FRS 检测

位 15 保留，必须保持复位值。

位 14 保留，必须保持复位值。

位 13 保留，必须保持复位值。

位 12 保留，必须保持复位值。

位 11:10 **CCENABLE[1:0]**：控制是否应将与 ANAMODE 和 ANASUBMODE 相关的上拉和下拉控制应用于 CC1 和 CC2 模拟 PHY。
此寄存器只能在 UCPDEN = 1 时更新。
0x0：任一 PHY 均未激活（例如，供电方的禁止状态）
0x1：控制仅应用于 CC1（例如，当 CC2 由 VCONN 通过外部 VCONN 开关驱动时）
0x2：控制仅应用于 CC2（例如，当 CC1 由 VCONN 通过外部 VCONN 开关驱动时）
0x3：控制同时应用于 CC1 和 CC2（受电方/供电方的正常用法）

位 9 **ANAMODE**：模拟 PHY 工作模式（用于 CC1 还是 CC2 取决于 CCENABLE）(Analog PHY working mode (use for CC1 and CC2 depends on CCENABLE))。请参见表 13：ANAMODE 和 ANASUBMODE 的编码及其与 TYPEC_VSTATE_CCx 的关系
此寄存器只能在 UCPDEN = 1 时更新。更改此值后，UCPDx_STROBE 必须置 1 才能生效。
0：供电方
1：受电方

位 8:7 **ANASUBMODE[1:0]**：模拟 PHY 子模式 (Analog PHY sub-mode)。请参见表 13：ANAMODE 和 ANASUBMODE 的编码及其与 TYPEC_VSTATE_CCx 的关系
此寄存器只能在 UCPDEN = 1 时更新。
编码取决于 ANAMODE 的上下文。

位 6 **PHYCCSEL**：根据连接时检测到的电缆方向选择使用 CC1 还是 CC2 引脚进行 USB 供电信号传输。
此寄存器只能在 UCPDEN = 1 时更新。
0：使用 CC1 IO 进行供电通信
1：使用 CC2 IO 进行供电通信

位 5 **PHYRXEN**：控制 USB 供电接收器的使能 (Controls enable of USB Power Delivery receiver)。将仅基于 PHYCCSEL 使能 CC1 和 CC2 接收器中的一个。
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止接收器
1：仅使能 PHYCCSEL 选择的接收器

位 4 **RXMODE**：接收器模式 (Receiver mode)
确定接收器的模式。
此寄存器只能在 UCPDEN = 1 时更新。
0：正常工作模式
1：BIST 接收模式（BIST 测试数据模式）。RXORDSET 行为正常，RXDR 不再接收字节，但 CRC 检查仍以正常报文形式进行。

位 3 **TXHRST**：发送 Tx 硬复位的命令 (Command to send a Tx Hard Reset)。
此寄存器只能在 UCPDEN = 1 时更新。
0：写 0 不会在硬件中引起任何操作。
1：写 0 会触发 Tx 硬复位报文的过程。一旦开始发送（或丢弃）报文，此位便将在随后由硬件清零。

位 2 **TXSEND**：发送 Tx 数据包的命令 (Command to send a Tx packet)。此位只能写入 1。
此寄存器只能在 UCPDEN = 1 时更新。
0：写 0 不会在硬件中引起任何操作。
1：写 1 会触发 Tx 报文发送的过程。一旦开始发送（或丢弃）报文，此位便将在随后由硬件清零。

位 1:0 **TXMODE[1:0]**：Tx 数据包的类型 (Type of Tx packet)。
此寄存器只能在 UCPDEN = 1 时更新。
此位域由软件修改。
其他值：无效
0x0：写入此值将启动先前在其他寄存器中定义的 Tx 报文的传输
0x1：写入此值将触发电缆复位序列的传输
0x2：写入此值将触发 BIST 测试序列发送（BIST 载波模式 2）。自 USB PD 规范 V1.1 起，在此模式期间定义了一个计数器。要正确退出此模式（在“tBISTContMode”延迟之后），建议采用写入 UCPDEN = 0 的方法

35.7.4 UCPD 中断屏蔽寄存器 (UCPD_IMR)

UCPD Interrupt Mask Register

偏移地址：0x010

复位值：0x0000 0000

此寄存器用于屏蔽中断。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVTIE	Res.	Res.	Res.	Res.
											r				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPECEVT2IE	TYPECEVT1IE	Res.	RXMSGENDIE	RXOVRIE	RXHRSTDETIE	RXORDDETIE	RXNEIE	Res.	TXUNDIE	HRSTSENTIE	HRSTDISCIE	TXMSGABTIE	TXMSGSENTIE	TXMSGDISCIE	TXISIE
rw	rw		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:21 保留

位 20 **FRSEVTIE**：使能 FRSEVT 中断 (Enable FRSEVT interrupt)
此寄存器只能在 UCPDEN = 1 时更新。

位 19:16 保留

位 15 **TYPECEVT2IE**：使能 TYPECEVT2 中断 (Enable TYPECEVT2 interrupt)
此寄存器只能在 UCPDEN = 1 时更新。

位 14 **TYPECEVT1IE**：使能 TYPECEVT1 中断 (Enable TYPECEVT1 interrupt)
此寄存器只能在 UCPDEN = 1 时更新。

位 13 保留

位 12 **RXMSGENDIE**：使能 RXMSGEND 中断 (Enable RXMSGEND interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 11 **RXOVRIE**：使能 RXOVR 中断 (Enable RXOVR interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 10 **RXHRSTDETIE**：使能 RXHRSTDET 中断 (Enable RXHRSTDET interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 9 **RXORDDETIE**：使能 RXORDDET 中断 (Enable RXORDDET interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 8 **RXNEIE**：使能 RXNE 中断 (Enable RXNE interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 7 保留

位 6 **TXUNDIE**：使能 TXUND 中断 (Enable TXUND interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 5 **HRSTSENTIE**：使能 HRSTSENT 中断 (Enable HRSTSENT interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 4 **HRSTDISCIE**：使能 HRSTDISC 中断 (Enable HRSTDISC interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 3 **TXMSGABTIE**：使能 TXMSGABT 中断 (Enable TXMSGABT interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 2 **TXMSGSENTIE**：使能 TXMSGSENT 中断 (Enable TXMSGSENT interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 1 **TXMSGDISCIE**：使能 TXMSGDISC 中断 (Enable TXMSGDISC interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

位 0 **TXISIE**：使能 TXIS 中断 (Enable TXIS interrupt)
此寄存器只能在 UCPDEN = 1 时更新。
0：禁止
1：使能

35.7.5 UCPD 状态寄存器 (UCPD_SR)

UCPD Status Register

偏移地址：0x014

复位值：0x0000 0000

此寄存器用于状态。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVT	TYPEC_VSTATE_CC2[1:0]		TYPEC_VSTATE_CC1[1:0]	
											r	r		r	

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPECEVT2	TYPECEVT1	RXERR	RXMSGEND	RXOVR	RXHRSTDET	RXORDDET	RXNE	Res.	TXUND	HRSTSENT	HRSTDISC	TXMSGABT	TXMSGSENT	TXMSGDISC	TXIS
r	r	r	r	r	r	r	r		r	r	r	r	r	r	r

位 31:21 保留

位 20 **FRSEVT**：快速角色交换检测事件 (Fast Role Swap detection event)。向 FRSEVTCF 写入 1 可将此位清零。
0：无新事件
1：端口上发生了新的 FRS（快速角色交换）接收事件

位 19:18 **TYPEC_VSTATE_CC2[1:0]**：
此状态显示在 CC2 引脚上检测到的 DC 电压，这意味着指示的电压对应于引脚的稳定状态。换句话说，在 USB PD 报文期间，BMC PHY 调制不会使引脚上呈现 DC 电压，但是此寄存器的值将保持不变。
0x0：最低电压状态
0x1：第二电压状态
0x2：第三电压状态
0x3：最高电压状态

位 17:16 **TYPEC_VSTATE_CC1[1:0]**：
此状态显示在 CC1 引脚上检测到的 DC 电压，这意味着指示的电压对应于引脚的稳定状态。换句话说，在 USB PD 报文期间，BMC PHY 调制不会使引脚上呈现 DC 电压，但是此寄存器的值将保持不变。
0x0：最低电压状态
0x1：第二电压状态
0x2：第三电压状态
0x3：最高电压状态

位 15 **TYPECEVT2**：CC2 引脚上出现 Type C 电压事件 (Type C voltage level event on CC2 pin)。每当 TYPEC_VSTATE_CC2 的值发生变化（表明相应引脚上出现新的稳定电压），就会发生这种情况。可通过向 TYPECEVT2CF 写入 1 来将此位清零。
0：无新事件
1：监视到 CC2 引脚上出现新的 Type-C 事件

位 14 **TYPECEVT1**：CC1 引脚上出现 Type C 电压事件 (Type C voltage level event on CC1 pin)。每当 TYPEC_VSTATE_CC1 的值发生变化（表明相应引脚上出现新的稳定电压），就会发生这种情况。可通过向 TYPECEVT1CF 写入 1 来将此位清零。
0：无新事件
1：监视到 CC1 引脚上出现新的 Type-C 事件

位 13 **RXERR**：未正确接收到报文 (Receive message not completed OK)（CRC 不正确或报文被截断，例如在 EOP 被识别之前线路变为静态）这不是中断状态位。每当 RXMSGEND 设置为真时，此位就会设置为适当的值。
0：正确接收到最后声明的 Rx 报文（通过 RXMSGEND）
1：接收到最后声明的 Rx 报文，但有错误（通过 RXMSGEND）

位 12 **RXMSGEND**：接收到 Rx 报文 (Rx message received)（无论 CRC 值是否为真，此状态都为真）。对于硬复位报文接收，情况并非如此（请参见下面的 RXHRSTDET）。
此位用于指示是否接收到报文。如果 RXERR 置 1，则报文不正确/必须丢弃。向 RXMSGENDCF 写入 1 可将此位清零。
0：未接收到新的 Rx 报文（自最后一次清零以来）
1：接收到新的 Rx 报文（自最后一次清零以来）

位 11 **RXOVR**：Rx 数据上溢中断 (Rx data overflow interrupt)
此位用于检测使 Rx 字节的缓冲区上溢的错误条件（未及时读取，因此无法释放传入字节的空间）。向 RXOVRCF 写入 1 可将此位清零。
0：未发生 Rx 数据上溢
1：已发生 Rx 数据上溢

位 10 **RXHRSTDET**：Rx 硬复位检测中断 (Rx Hard Reset detect interrupt)
此位用于指示硬复位报文的接收。向 RXHRSTDETCF 写入 1 可将此位清零。
0：未正确接收到 Rx“硬复位”报文
1：已正确接收到 Rx“硬复位”报文

位 9 **RXORDDET**：检测到 Rx 有序集（4 个 K 代码）中断 (Rx ordered set (4 K-codes) detected interrupt)

此位用于指示是否检测到有序集。相关信息存储在寄存器 UCPD_RX_ORDSET 的位域 RXORDSET 中。通过向 RXORDDETCF 写入 1 可将此位清零。

0：未检测到有序集（自最后一次清零以来）
1：检测到新的有序集（自最后一次清零以来）

位 8 **RXNE**：接收数据寄存器非空中断 (Receive data register not empty interrupt)

当 UCPD_RXDR 寄存器非空时，此位由硬件置 1。读取 UCPD_RXDR 时，将清零此位。

0：Rx 数据寄存器为空
1：Rx 数据寄存器非空

位 7 保留

位 6 **TXUND**：Tx 数据下溢条件中断 (Tx data underrun condition interrupt)

此位用于检测使 Tx 数据寄存器 (TXDR) 下溢的错误条件（即，数据未及时写入，因此不能在发送报文中使用）。向 TXUNDCF 写入 1 可将此位清零。

0：未发生 Tx 数据下溢（自通过 TXUNDCF 最后一次清零以来）
1：已发生 Tx 数据下溢（自通过 TXUNDCF 最后一次清零以来）

位 5 **HRSTSENT**：HRST 已发送中断 (HRST sent interrupt)

此位用于指示是否已发送 HRST 报文（作为 TXMSGSENT，但用于硬复位）。向 HRSTSENTCF 写入 1 可将此位清零。

0：无 HRST 报文已发送中断
1：HRST 报文已发送中断

位 4 **HRSTDISC**：HRST 已丢弃中断 (HRST discarded interrupt)

此位用于指示是否已丢弃 HRST 报文（作为 TXMSGDISC，但用于硬复位）。向 HRSTDISCCF 写入 1 可将此位清零。

0：无 HRST 已丢弃中断
1：HRST 已丢弃中断

位 3 **TXMSGABT**：发送报文中止中断 (Transmit message abort interrupt)

由于后续 HRST 发送请求在发送过程中具有优先权而导致 Tx 报文中止时，此位将置 1。向 TXMSGABTCF 写入 1 可将此位清零。

0：无发送报文中止中断
1：发送报文中止中断

位 2 **TXMSGSENT**：发送报文已发送中断 (Transmit message sent interrupt)。此位用于在每个发送数据包结束时确认数据包是否已完全发送。在一种特定情况下（随后由于硬复位而导致中断的情况，该中断将截断当前报文），此位不会置 1。向 TXMSGSENTCF 写入 1 可将此位清零。

0：尚未正确发送 Tx 报文
1：已正确发送 Tx 报文

位 1 **TXMSGDISC**：发送报文已丢弃中断 (Transmit message discarded interrupt)

由于正在进行接收（或线路上有噪声），因此无法发送报文。尽管不会在非空闲状态为真时发送 Tx 报文，但是只有当 CC 变为空闲时，此位才为真。这适用于所有类型的 Tx 报文，包括硬复位和 BIST 的情况。向 TXMSGDISCCF 写入 1 可将此位清零。

0：未丢弃 Tx 报文
1：已丢弃 Tx 报文

位 0 **TXIS**：发送中断状态 (Transmit interrupt status)

当 UCPD_TXDR 寄存器为空且需要写入时（即直到 TXPAYSZ 定义的有效负载的最后一个字节），此位由硬件置 1。下一个待发送的数据写入 UCPD_TXDR 寄存器时，此位被清零。

0：Tx 数据寄存器非空（或为空，但不等待数据）
1：Tx 数据寄存器为空，需要写入

35.7.6 UCPD 中断清零寄存器 (UCPD_ICR)

UCPD Interrupt Clear Register

偏移地址：0x018

复位值：0x0000 0000

此寄存器用于清零中断标志。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVTCF	Res.	Res.	Res.	Res.
											w				

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPECEVT2CF	TYPECEVT1CF	Res.	RXMSGENDCF	RXOVRCF	RXHRSTDETCF	RXORDDETCF	Res.	Res.	TXUNDCF	HRSTSENTCF	HRSTDISCCF	TXMSGABTCF	TXMSGSENTCF	TXMSGDISCCF	Res.
w	w		w	w	w	w			w	w	w	w	w	w	

位 31:21 保留

位 20 **FRSEVTCF**：FRS 事件标志 (FRSEVT) 清零 (FRS event flag (FRSEVT) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中的 FRSEVT 标志将清零。

位 19:16 保留

位 15 **TYPECEVT2CF**：TypeC 事件 (CC2) 标志 (TYPECEVT2) 清零 (TypeC event (CC2) flag (TYPECEVT2) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中的 TYPECEVT2 标志将清零。

位 14 **TYPECEVT1CF**：TypeC 事件 (CC1) 标志 (TYPECEVT1) 清零 (TypeC event (CC1) flag (TYPECEVT1) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中的 TYPECEVT1 标志将清零。

位 13 保留

位 12 **RXMSGENDCF**：Rx 报文已接收标志 (RXMSGEND) 清零 (Rx message received flag (RXMSGEND) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中 RXMSGEND 标志将清零。

位 11 **RXOVRCF**：Rx 上溢标志 (RXOVR) 清零 (Rx overflow flag (RXOVR) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中 RXOVR 标志将清零。

位 10 **RXHRSTDETCF**：检测到 Rx 硬复位标志 (RXHRSTDET) 清零 (Rx Hard Reset detected flag (RXHRSTDET) clear)
此寄存器只能在 UCPDEN = 1 时更新。
将 1 写入此位时，UCPD_SR 寄存器中 RXHRSTDET 标志将清零。

位 9 **RXORDDETCF**：检测到 Rx 有序集标志 (RXORDDET) 清零 (Rx ordered set detect flag (RXORDDET) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 RXORDDET 标志将清零。

位 8:7 保留

位 6 **TXUNDCF**：Tx 下溢标志 (TXUND) 清零 (Tx underflow flag (TXUND) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 TXUND 标志将清零。

位 5 **HRSTSENTCF**：硬复位已发送标志 (HRSTSENT) 清零 (Hard reset sent flag (HRSTSENT) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 HRSTSENT 标志将清零。

位 4 **HRSTDISCCF**：硬复位已丢弃标志 (HRSTDISC) 清零 (Hard reset discarded flag (HRSTDISC) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 HRSTDISC 标志将清零。

位 3 **TXMSGABTCF**：Tx 报文中止标志 (TXMSGABT) 清零 (Tx message abort flag (TXMSGABT) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 TXMSGABT 标志将清零。

位 2 **TXMSGSENTCF**：Tx 报文已发送标志 (TXMSGSENT) 清零 (Tx message sent flag (TXMSGSENT) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 TXMSGSENT 标志将清零。

位 1 **TXMSGDISCCF**：Tx 报文已丢弃标志 (TXMSGDISC) 清零 (Tx message discarded flag (TXMSGDISC) clear)

此寄存器只能在 UCPDEN = 1 时更新。

将 1 写入此位时，UCPD_SR 寄存器中 TXMSGDISC 标志将清零。

位 0 保留

35.7.7 UCPD Tx 有序集类型寄存器 (UCPD_TX_ORDSET)

UCPD Tx Ordered Set Type Register

偏移地址：0x01C

复位值：0x0000 0000

此寄存器用于 Tx 有序集。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXORDSET[19:16]			
												rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXORDSET[15:0]															
rw															

位 31:20 保留

位 19:0 **TXORDSET[19:0]**：

此寄存器只能在 UCPDEN=1 时更新，但数据包发送期间（即，TXSEND/TXHRST 写为 1 到被清零之间）除外。在其他情况下，此位域不更新。

完整的 20 位序列，由 4 个 K 代码组成，每个 K 代码 5 位，用于定义要发送的数据包。包含 20 个要发送的数据位，位 0（K 代码 1 的位 0）是要发送的第一个位，位 19（K 代码 4 的位 4）是要发送的最后一个位。

35.7.8 UCPD Tx 有效负载大小寄存器 (UCPD_TX_PAYSZ)

UCPD Tx Paysize Register

偏移地址：0x020

复位值：0x0000 0000

此寄存器用于 Tx 有效负载大小。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	TXPAYSZ[9:0]									
						rw									

位 31:10 保留

位 9:0 **TXPAYSZ[9:0]**：以字节为单位的有效负载大小 (Payload size in bytes)。

此寄存器只能在 UCPDEN = 1 时更新。

此位域通过软件修改，也可通过硬件修改。

包含要作为 Tx 报文的有效负载发送的剩余字节数。从示例中可以看出，此定义中将报头视为有效负载的一部分，但 CRC 不是。

请注意，随着（有效负载的）每个字节写入 UCPD_TXDR，寄存器值将递减。当值达到 0 时，TXIS 不再置 1。

0x2：写入 2 字节有效负载（对应于协议层的控制报文）
0x6：写入 6 字节有效负载（协议层允许的最短数据报文）
0x1E：写入 30 字节有效负载（协议层允许的最长数据报文（不考虑扩展报文时））
0x106：写入 262 字节有效负载（扩展报文对应的最长有效负载）
0x3FF：允许的最长有效负载（用于未来扩展）

35.7.9 UCPD Tx 数据寄存器 (UCPD_TXDR)

UCPD Tx Data Register

偏移地址：0x024

复位值：0x0000 0000

此寄存器用于 Tx 数据。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
								rw							

位 31:8 保留

位 7:0 **TXDATA[7:0]**：8 位发送数据 (8-bit transmit data)
此寄存器只能在 UCPDEN = 1 时更新。
要通过 USB PD 接口发送的数据字节。

35.7.10 UCPD Rx 有序集寄存器 (UCPD_RX_ORDSET)

UCPD Rx Ordered Set Register

偏移地址：0x028

复位值：0x0000 0000

此寄存器用于 Rx 有序集。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPKINVALID[2:0]			RXSOP3OF4	RXORDSET[2:0]		
									r			r	r		

位 31:7 保留

位 6:4 **RXSOPKINVALID[2:0]**：
调试功能：
其他值：无效
0x0：没有 K 代码被损坏
0x1：第一个 K 代码被损坏
0x2：第二个 K 代码被损坏
0x3：第三个 K 代码被损坏
0x4：第四个 K 代码被损坏

位 3 **RXSOP3OF4**：指示（仅用于调试）是否进行了错误校正以匹配 K 代码序列
0：4 个 K 代码中有 4 个正确
1：4 个 K 代码中有 3 个正确

位 2:0 **RXORDSET[2:0]**：检测到 Rx 有序集代码 (Rx ordered set code detected)
0x0：在接收器中检测到 SOP 代码
0x1：在接收器中检测到 SOP' 代码
0x2：在接收器中检测到 SOP'' 代码
0x3：在接收器中检测到 SOP'_Debug
0x4：在接收器中检测到 SOP''_Debug
0x5：在接收器中检测到电缆复位
0x6：在接收器中检测到 SOP 扩展 1
0x7：在接收器中检测到 SOP 扩展 2

35.7.11 UCPD Rx 有效负载大小寄存器 (UCPD_RX_PAYSZ)

UCPD Rx Paysize Register

偏移地址：0x02C

复位值：0x0000 0000

此寄存器用于 Rx 有效负载大小。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	RXPAYSZ[9:0]									
						r									

位 31:10 保留

位 9:0 **RXPAYSZ[9:0]**：以字节为单位的 Rx 有效负载大小 (Rx payload size in bytes)。该值并非来自报头，而是在接收阶段随着 UCPD_RXDR 中每增加一个字节而递增。只能在 RXMSGEND 中断后读取（由于内部重新同步的原因，接收期间的读取操作可能会发现错误的值）。从示例中可以看出，此定义中将报头视为有效负载的一部分，但 CRC 不是。
包含接收的有效负载字节数。
此寄存器只能在 UCPDEN = 1 时更新。
0x2：2 字节有效负载（对应于协议层的控制报文）
0x6：6 字节有效负载（协议层允许的最短数据报文）
0x1E：30 字节有效负载（协议层允许的最长数据报文（不包括扩展报文））
0x106：262 字节有效负载（扩展报文对应的最长有效负载）
0x3FF：支持的最长有效负载（用于未来扩展）

35.7.12 UCPD 接收数据寄存器 (UCPD_RXDR)

UCPD Receive Data Register

偏移地址：0x030

复位值：0x0000 0000

此寄存器用于 Rx 数据。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
								r							

位 31:8 保留

位 7:0 **RXDATA[7:0]**：8 位接收数据 (8-bit receive data)
通过 USB PD 接口接收的数据字节

35.7.13 UCPD Rx 有序集扩展寄存器 1 (UCPD_RX_ORDEXT1)

UCPD Rx Ordered Set Extension Register #1

偏移地址：0x034

复位值：0x0000 0000

此寄存器用于 Rx 有序集扩展 1。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPX1[19:16]			
												rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXSOPX1[15:0]															
rw															

位 31:20 保留

位 19:0 **RXSOPX1[19:0]**：
此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。
时钟分频器值用于生成帧间间隙 (tInterframeGap) 硬件定时器。完整的 20 位序列，由 4 个 K 代码组成，每个 K 代码 5 位，用于定义要在硬件中匹配的补充有序集 (#1)。
包含完整的 20 个数据位，位 0（K 代码 1 的位 0）是要接收的第一个位，位 19（K 代码 4 的位 4）是要接收的最后一个位。

35.7.14 UCPD Rx 有序集扩展寄存器 2 (UCPD_RX_ORDEXT2)

UCPD Rx Ordered Set Extension Register #2

偏移地址：0x038

复位值：0x0000 0000

此寄存器用于 Rx 有序集扩展 2。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPX2[19:16]			
												rw			

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXSOPX2[15:0]															
rw															

位 31:20 保留

位 19:0 **RXSOPX2[19:0]**:

此寄存器是静态的，因此只能在 UCPDEN = 0 时更新。

时钟分频器值用于生成帧间间隙 (tInterframeGap) 硬件定时器。完整的 20 位序列，由 4 个 K 代码组成，每个 K 代码 5 位，用于定义要在硬件中匹配的补充有序集 (#1)。

包含完整的 20 个数据位，位 0（K 代码 1 的位 0）是要接收的第一个位，位 19（K 代码 4 的位 4）是要接收的最后一个位。

35.7.15 UCPD 寄存器映射

下表提供了 UCPD 寄存器映射和复位值。

表 197. UCPD 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x000	UCPD_CFG1	UCPDEN	RXDMAEN	TXDMAEN	RXORDSETEN[8:0]									PSC_USBPDCLK[2:0]			Res.	TRANSWIN[4:0]					IFRGAP[4:0]					HBITCLKDIV[5:0]						
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x004	UCPD_CFG2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	WUPEN	FORCECLK	RXFILT2N3	RXFILTDIS
	Reset value																													0	0	0	0
0x008	Reserved	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

表 197. UCPD 寄存器映射和复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00C	UCPD_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	CC2TCDIS	CC1TCDIS	Res.	RDCH	FRSTX	FRSRXEN	Res.	Res.	Res.	Res.	CCENABLE[1:0]		ANAMODE	ANASUBMODE[1:0]		PHYCCSEL	PHYRXEN	RXMODE	TXHRST	TXSEND	TXMODE[1:0]	
	Reset value											0	0	0	0	0	0		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	UCPD_IMR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVTIE	Res.	Res.	Res.	Res.	TYPECEVT2IE	TYPECEVT1IE	Res.	RXMSGENDIE	RXOVRIE	RXHRSTDETIE	RXORDDETIE	RXNEIE	Res.	TXUNDIE	HRSTSENTIE	HRSTDISCIE	TXMSGABTIE	TXMSGSENTIE	TXMSGDISCIE	TXISIE
	Reset value												0					0	0		0	0	0	0	0		0	0	0	0	0	0	0
0x014	UCPD_SR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVT	TYPEC_VSTATE_CC2[1:0]		TYPEC_VSTATE_CC1[1:0]		TYPECEVT2	TYPECEVT1	RXERR	RXMSGEND	RXOVR	RXHRSTDET	RXORDDET	RXNE	Res.	TXUND	HRSTSENT	HRSTDISC	TXMSGABT	TXMSGSENT	TXMSGDISC	TXIS
	Reset value												0	0	0	0	0	0	0	0	0	0	0	0	0		0	0	0	0	0	0	0
0x018	UCPD_ICR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FRSEVTCF	Res.	Res.	Res.	Res.	TYPECEVT2CF	TYPECEVT1CF	Res.	RXMSGENDCF	RXOVRCF	RXHRSTDETCF	RXORDDETCF	Res.	Res.	TXUNDCF	HRSTSENTCF	HRSTDISCCF	TXMSGABTCF	TXMSGSENTCF	TXMSGDISCCF	Res.
	Reset value												0					0	0		0	0	0	0			0	0	0	0	0	0	
0x01C	UCPD_TX_ORDSET	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXORDSET[19:0]																			
	Reset value													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	UCPD_TX_PAYSZ	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXPAYSZ[9:0]									
	Reset value																							0	0	0	0	0	0	0	0	0	0
0x024	UCPD_TXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXDATA[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x028	UCPD_RX_ORDSET	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPKINVALID[2:0]			RXSOP3OF4	RXORDSET[2:0]		
	Reset value																										0	0	0	0	0	0	0
0x02C	UCPD_RX_PAYSZ	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXPAYSZ[9:0]									
	Reset value																							0	0	0	0	0	0	0	0	0	0

表 197. UCPD 寄存器映射和复位值（续）

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x030	UCPD_RXDR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXDATA[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x034	UCPD_RX_ORDEXT1	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPX1[19:0]																			
	Reset value													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	UCPD_RX_ORDEXT2	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXSOPX2[19:0]																			
	Reset value													0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

36 HDMI-CEC 控制器 (CEC)

36.1 简介

消费性电子产品控制 (CEC) 是 HDMI（高清多媒体接口）标准的一部分，作为该标准的附录 1。它包含为各种视听产品提供高级控制功能的协议。CEC 可在低速下工作，具有极低的处理和存储开销。

HDMI-CEC 控制器为此协议提供硬件支持。

36.2 HDMI-CEC 控制器主要特性

- 符合 HDMI-CEC v1.4 规范
- 32 kHz CEC 内核和 2 个时钟源选项
  - 具有固定预分频比 (HSI/488) 的 HSI RC 振荡器
  - LSE 振荡器
- 针对超低功耗应用可在停止模式下工作
- 开始传输前的空闲信号时间可配置
  - 通过硬件配置时，根据 CEC 状态和发送历史自动完成
  - 通过软件配置时，设置为固定值（7 个时序选项）
- 可配置外设地址 (OAR)
- 支持监听模式
  - 在不干涉 CEC 线路的情况下，能接收发送到 OAR 以外的目标地址的 CEC 消息
- 可配置的接收容差裕量
  - 标准容差
  - 扩展容差
- 接收错误检测
  - 位上升错误 (BRE)，可选择停止接收 (BRESTP)
  - 短位周期错误 (SBPE)
  - 长位周期错误 (LBPE)
- 可配置错误位生成
  - BRE 检测时 (BREGEN)
  - LBPE 检测时 (LBPEGEN)
  - 始终在 SBPE 检测时生成
- 发送错误检测 (TXERR)
- 仲裁丢失检测 (ARBLST)
  - 自动发送重试
- 发送下溢检测 (TXUDR)
- 接收上溢检测 (RXOVR)

36.3 HDMI-CEC 功能说明

36.3.1 HDMI-CEC 引脚

CEC 总线是一根双向线，通过它实现数据的输入输出。通过 27 kΩ 上拉电阻连接到 +3.3 V 电源电压。器件的输出级必须为漏极开路或集电极开路，以便进行线“与”连接。

HDMI-CEC 控制器将 CEC 双向线作为标准 GPIO 的复用功能来管理，假设其配置为复用功能开漏输出。必须从外部为微控制器添加 27 kΩ 上拉电阻。

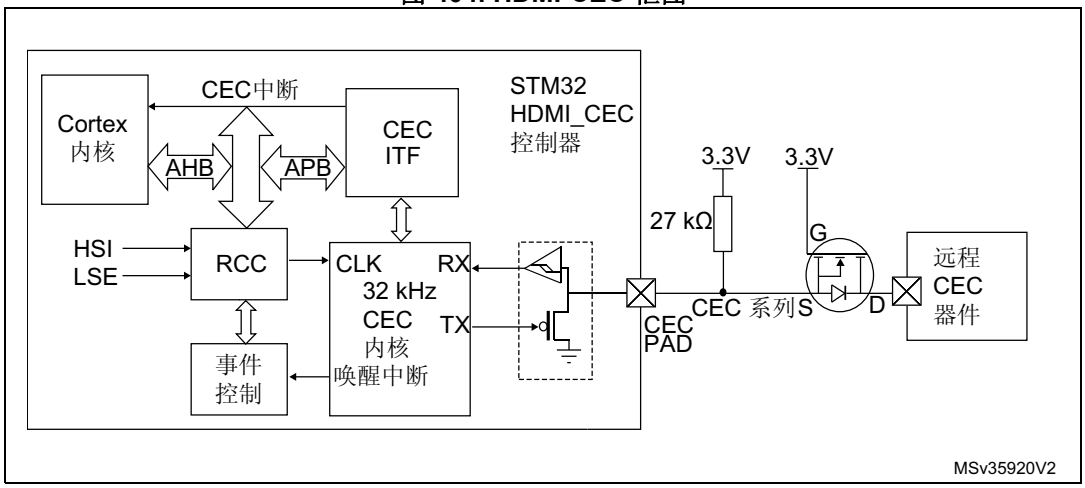
要想在移除应用电源时不影响 CEC 总线，必须在此类情况下将 CEC 引脚与总线隔离。可通过 MOS 晶体管来实现此操作，如*图 404* 所示。

表 198. HDMI 引脚

名称	信号类型	注释
CEC	双向	两种状态： – 1 = 高阻抗 – 0 = 低阻抗 必须从外部添加 27 kΩ 电阻。

36.3.2 HDMI-CEC 框图

图 404. HDMI-CEC 框图



36.3.3 消息说明

CEC 线上的所有活动均包含一个发起方和一个或多个接收方。发起方负责发送消息和数据。跟随方为任意数据的接收方，负责设置任意应答位。

消息以单个帧的形式传送，帧中包含一个起始位、后跟一个报头块、一个可选的操作码和多个操作数块。

这些块均由 8 位有效负载组成，首先发送最高有效位，接着发送消息结束 (EOM) 位和应答 (ACK) 位。

EOM 位在消息的最后一个块中置 1，在其它所有块中保持复位。如果指示 EOM 后消息中仍包含额外的块，则必须忽略这些额外的块。可在报头块中将 EOM 位置 1 以向其它器件发送“ping”，确保这些器件已激活。

应答位始终由发起方设置为高阻态，这样一来，应答位便可由地址被包含在报头段的接收方或需要拒绝广播消息的接收方驱动为低电平。

报头包含源逻辑地址字段和目标逻辑地址字段。请注意，特定地址 0xF 用于广播消息。

图 405. 消息结构

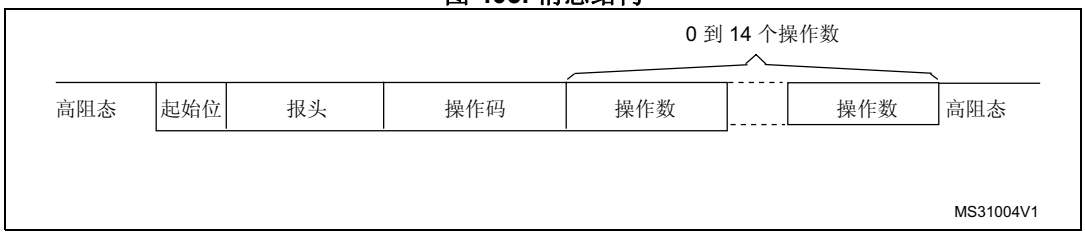
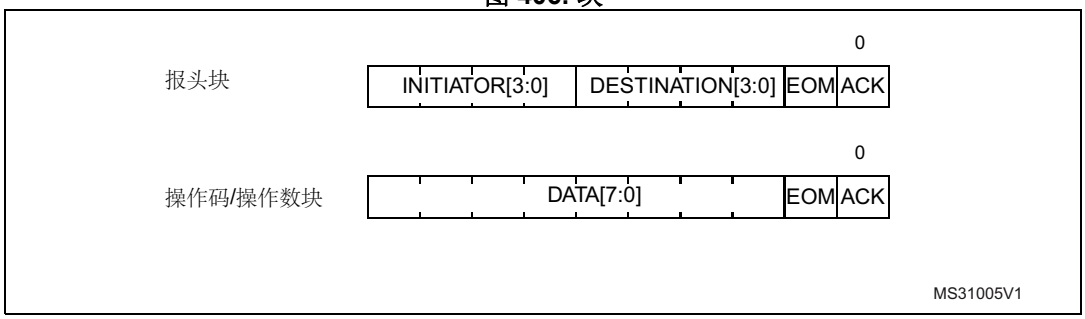


图 406. 块

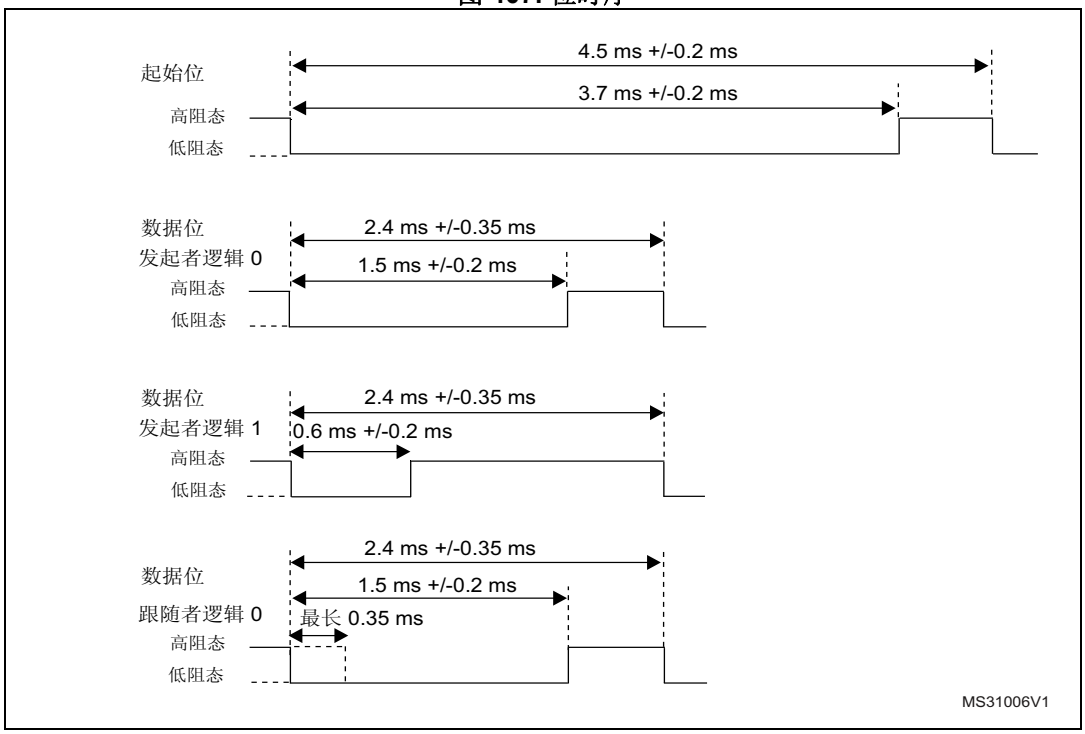


36.3.4 位时序

起始位的格式是唯一的，用于识别消息开始。必须通过其低电平持续时间和总的持续时间识别起始位。

消息中起始位后的所有剩余数据位均有一致的时序。数据位结束时从高电平跳变为低电平即表示下一个数据位开始，但最后一位除外（此时 CEC 线保持高电平）。

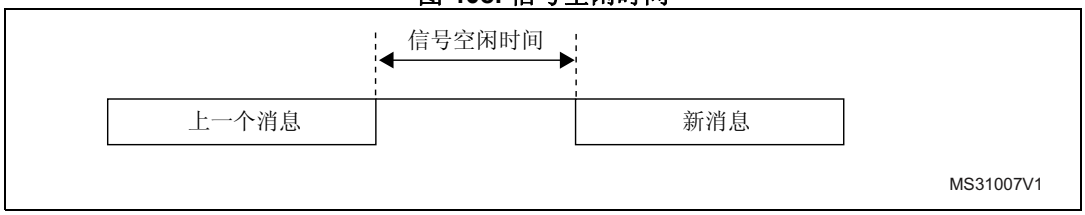
图 407. 位时序



36.4 仲裁

向 CEC 线发送或重新发送消息的所有器件必须确保 CEC 线已在多个位周期内处于无效状态。该信号空闲时间定义为从前一个帧的最后一位到下一条新消息开始的间隔，如下表所示。

图 408. 信号空闲时间



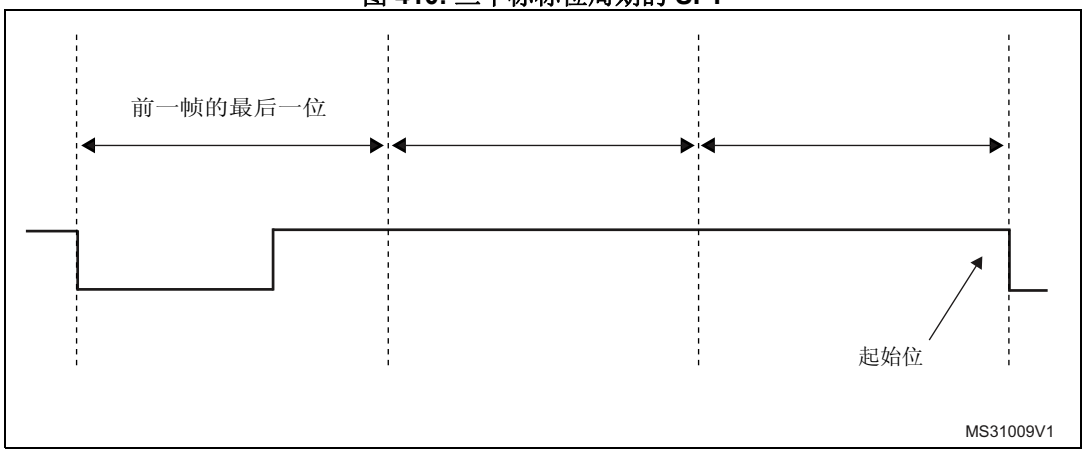
由于一次只允许一个发起方，因此提供了一种仲裁机制来避免多个发起方同时开始发送时发生冲突。

CEC 线的仲裁从起始位的上升沿开始，并持续到报头块内的发起方地址位结束时为止。在此周期内，发起方必须监视 CEC 线，发起方驱动 CEC 线为高阻态时，同时会读取 CEC 线的状态，如果读回的状态为 0，随后它会认为丢失仲裁、停止发送并变为接收方。

图 409. 仲裁阶段

图 410 给出了三个标称位周期的 SFT 的示例。

图 410. 三个标称位周期的 SFT



可配置时间窗口在开始发送前计数。

在 SFT = 0 配置下，HDMI-CEC 器件执行自动 SFT 计算，以确保符合 HDMI-CEC 标准：

- 如果 CEC 为最后一个发送失败的总线发起方，则为 2.5 个数据位周期
- 如果 CEC 是新的总线发起方，则为 4 个数据位周期
- 如果 CEC 为最后一个发送成功的总线发起方，则为 6 个数据位周期

这样的目的是保证将最高优先级赋予失败的发送，将最低优先级赋予最后一个成功完成发送的发起方。

另外，还可以将 SFT 位配置为计数固定的时序值。可能的值为 0.5、1.5、2.5、3.5、4.5、5.5 和 6.5 个数据位周期。

36.4.1 SFT 选项位

在 SFTOPT = 0 的配置下，当由软件设置发送开始命令时 (TXSOM=1)，开始对 SFT 计数。

在 SFTOPT=1 时，若检测到总线空闲或线路错误条件，HDMI-CEC 器件将自动开始对 SFT 计数。如果在 TXSOM 命令时，SFT 定时器已经结束计数，则将立即开始发送，没有任何延迟。如果 SFT 定时器仍在运行，系统将等待定时器超时后再开始发送。

当 SFTOPT = 1 时，下列检测到的总线事件将启动 SFT 定时器：

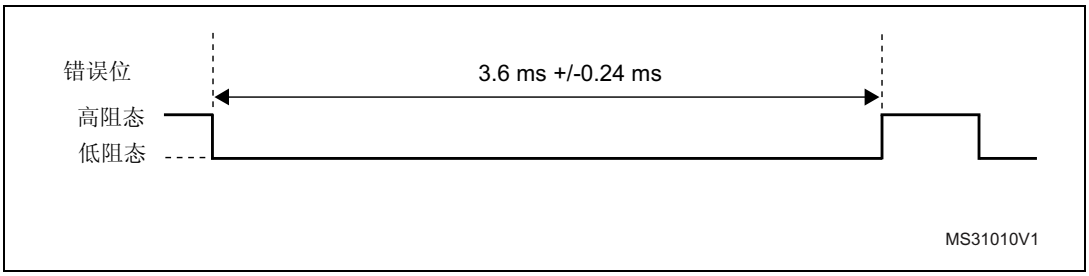
- 在常规结束发送/接收的情况下，当 TXEND/RXEND 位在消息中最后一位（ACK 位）的最短标称数据位持续时间内置 1 时。
- 在检测到发送错误的情况下，当检测到 TXERR 发送错误时 (TXERR=1) 启动 SFT 定时器。
- 在丢失 CEC 接收方应答的情况下，当在 ACK 位的标称采样时间内将 TXACKE 位置 1，将启动 SFT 定时器。
- 在出现发送下溢错误的情况下，当 TXUDR 位在 ACK 位结束时置 1 时，将启动 SFT 定时器。
- 在检测到表示接收中止的接收错误的情况下，将在检测到错误的同时启动 SFT 定时器。如果生成错误位，则在错误位结束时开始对 SFT 计数。
- 在出现错误起始位或任何未编码低阻抗空闲总线状态的情况下，当总线恢复为高阻抗空闲状态时，将立即重启 SFT 定时器。

36.5 错误处理

36.5.1 位错误

如果一个数据位（不包括起始位）被视为无效，则接收方应在 CEC 线上产生一个 1.4 倍到 1.6 倍标称数据位周期的低电平 (3.6 ms+/-0.24 ms) 来通知此错误。

图 411. 错误位时序



36.5.2 消息错误

在以下情况下，认为消息丢失，可重新发送：

- 在直接寻址的消息中未应答消息
- 在广播消息中否定应答消息
- 在 CEC 线上检测到意外的低阻抗（线路错误）

当 CEC 接口接收数据位时，可检测到三种错误标志：

36.5.3 位上升错误 (BRE)

BRE（位上升错误）：当在预期窗口外检测到位上升沿时置 1（请参见*图 412*）。BRE 标志还会在 BREIE=1 时生成 CEC 中断。

检测到 BRE 时，可根据 BRESTP 位的值停止接收消息，并会在 BREGEN 位置 1 时生成错误位。

若 BRESTP=1 时在广播消息中检测到 BRE，即使 BREGEN=0，也会生成错误位，以强制发起方在发送失败后重试。可通过配置 BREGEN=0 和 BRDNOGEN=1 禁止生成错误位。

36.5.4 短位周期错误 (SBPE)

提前检测到位下降沿时，SBPE 位将置 1（请参见*图 412*）。SBPE 标志还会在 SBPEIE=1 时生成 CEC 中断。

检测到 SBPE 错误时，始终会在线路上生成一个错误位。仅当设置监听模式 (LSTN=1) 并且满足以下条件时，检测到 SBPE 后才不生成错误位：

- 接收到包含 SBPE 的直接寻址消息
- 接收到包含 SBPE 和 BRDNOGEN 都为 1 的广播消息

36.5.5 长位周期错误 (LBPE)

未在有效窗口中检测到位下降沿时，LBPE 位置 1（请参见*图 412*）。LBPE 标志还会在 LBPEIE=1 时生成 CEC 中断。

LBPE 始终会停止接收过程，当 LBPEGEN 位置 1 时会在线路上生成错误位。

若在广播消息中检测到 LBPE，则即使 LBPEGEN=0 也会生成错误位，以强制发起方在发送失败后重试。可通过配置 LBPEGEN=0 和 BRDNOGEN=1 禁止生成错误位。

注： *必须避免 BREGEN=1 和 BRESTP=0 的配置*

图 412. 错误处理

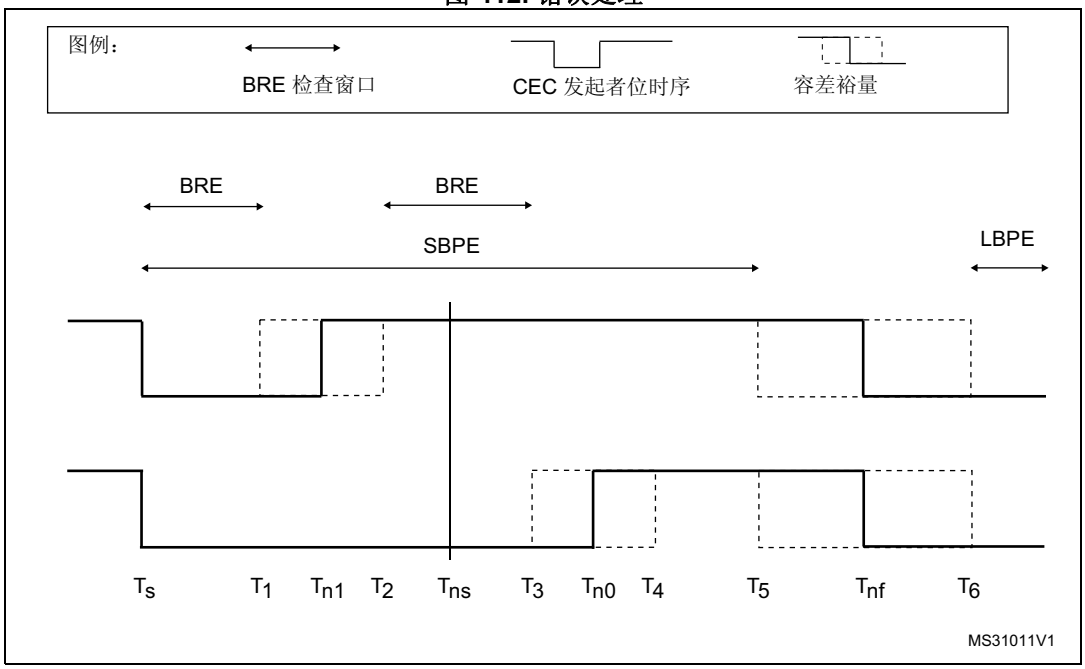


表 199. 错误处理时序参数

时间	RXTOL	us	说明
T_s	x	0	位起始事件。
T_1	1	0.3	指示逻辑 1 时，低电平到高电平跳变的最早时间。
	0	0.4	
T_{n1}	x	0.6	指示逻辑 1 时，低电平到高电平跳变的标称时间。
T_2	0	0.8	指示逻辑 1 时，低电平到高电平跳变的最晚时间。
	1	0.9	

表 199. 错误处理时序参数（续）

时间	RXTOL	us	说明
T_{ns}	x	1.05	标称采样时间
T_3	1	1.2	允许器件恢复为高阻态（逻辑 0）的最早时间。
	0	1.3	
T_{n0}	x	1.5	允许器件恢复为高阻态（逻辑 0）的标称时间。
T_4	0	1.7	允许器件恢复为高阻态（逻辑 0）的最晚时间。
	1	1.8	
T_5	1	1.85	后续位开始的最早时间。
	0	2.05	
T_{nf}	x	2.4	标称数据位周期。
T_6	0	2.75	后续位开始的最晚时间。
	1	2.95	

36.5.6 发送错误检测 (TXERR)

如果 CEC 发起方在发送高阻抗且不需要接收方触发位时检测到 CEC 线处于低阻抗，则会将 TXERR 标志置 1。TXERR 标志还会在 TXERRIE=1 时生成 CEC 中断。

TXERR 触发后会停止发送消息。应用负责在发送失败后重试，最多可重试 5 次。

可按不同方式执行 TXERR 校验，具体取决于 CEC 线的不同状态和 RX 容差配置。

图 413. TXERR 检测

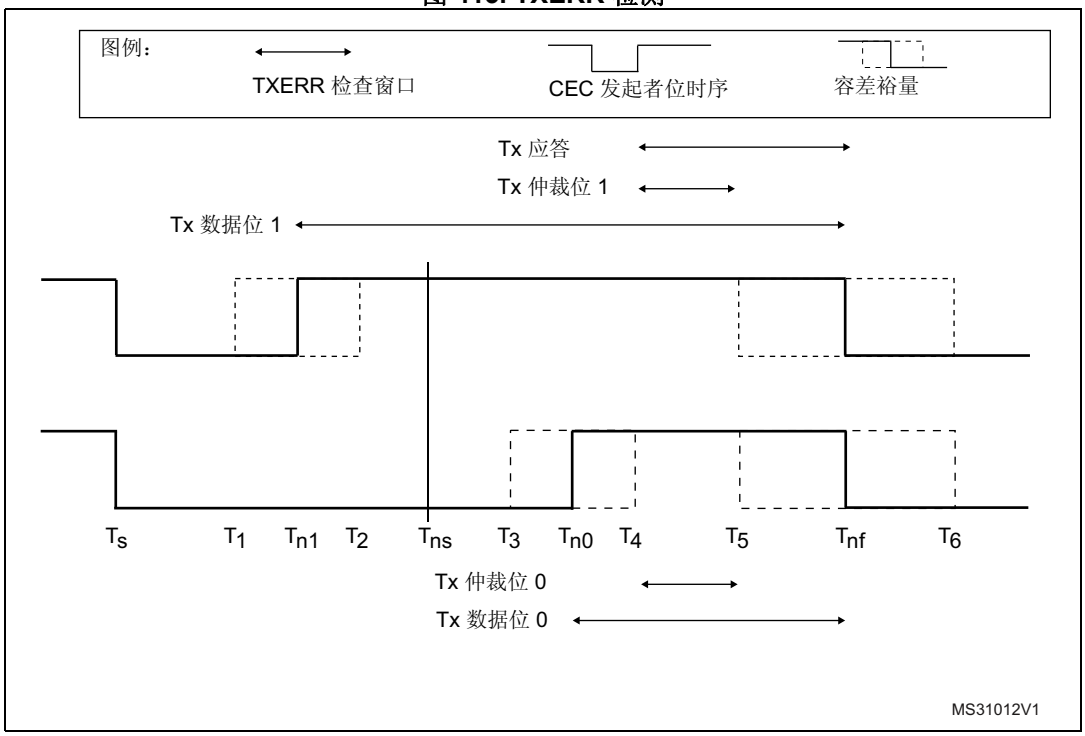


表 200. TXERR 时序参数

时间	RXTOL	us	说明
T_s	x	0	位起始事件。
T_1	1	0.3	指示逻辑 1 时，低电平到高电平跳变的最早时间。
	0	0.4	
T_{n1}	x	0.6	指示逻辑 1 时，低电平到高电平跳变的标称时间。
T_2	0	0.8	指示逻辑 1 时，低电平到高电平跳变的最晚时间。
	1	0.9	
T_{ns}	x	1.05	标称采样时间
T_3	1	1.2	允许器件恢复为高阻态（逻辑 0）的最早时间。
	0	1.3	
T_{n0}	x	1.5	允许器件恢复为高阻态（逻辑 0）的标称时间。
T_4	0	1.7	允许器件恢复为高阻态（逻辑 0）的最晚时间。
	1	1.8	
T_5	1	1.85	后续位开始的最早时间。
	0	2.05	
T_{nf}	x	2.4	标称数据位周期。
T_6	0	2.75	后续位开始的最晚时间。
	1	2.95	

36.6 HDMI-CEC 中断

以下情况下可以产生中断：

- 在接收期间，如果完成接收块传输或出现接收错误。
- 在发送期间，如果完成发送块传输或出现发送错误。

表 201. HDMI-CEC 中断

中断事件	事件标志	使能控制位
接收到 Rx 字节	RXBR	RXBRIE
接收结束	RXEND	RXENDIE
Rx 上溢	RXOVR	RXOVRIE
Rx 位上升错误	BRE	BREIE
Rx 短位周期错误	SBPE	SBPEIE
Rx 长位周期错误	LBPE	LBPEIE
Rx 丢失应答错误	RXACKE	RXACKEIE
仲裁丢失	ARBLST	ARBLSTIE

表 201. HDMI-CEC 中断（续）

中断事件	事件标志	使能控制位
Tx 字节请求	TXBR	TXBRIE
发送结束	TXEND	TXENDIE
Tx 缓冲区下溢	TXUDR	TXUDRIE
Tx 错误	TXERR	TXERRIE
Tx 丢失应答错误	TXACKE	TXACKEIE

36.7 HDMI-CEC 寄存器

有关寄存器说明中使用的缩写，请参见*第 49 页的第 1.2 节*。

36.7.1 CEC 控制寄存器 (CEC_CR)

CEC control register

偏移地址：0x00

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXEOM	TXSOM	CECEN
													rs	rs	rw

位 31:3 保留，必须保持复位值。

位 2 **TXEOM**：Tx 消息结束 (Tx End Of Message)

TXEOM 位由软件置 1，来控制 CEC 消息的最后一个字节的发送。

TXEOM 由硬件清零，清零的时刻和条件与 TXSOM 相同。

0：EOM=0 时发送 TXDR 数据字节

1：EOM=1 时发送 TXDR 数据字节

注： CECEN = 1 时，TXEOM 必须置 1。

TXEOM 必须在向 TXDR 写入发送数据前置 1。

如果 TXEOM 在 TXSOM=0 时置 1，发送的消息将仅包含 1 个字节 (HEADER)（PING 消息）

位 1 **TXSOM**：Tx 消息开始 (Tx Start Of Message)

TXSOM 位由软件置 1 来控制发送 CEC 消息的第一个字节。如果 CEC 消息只包含一个字节，TXEOM 必须在 TXSOM 之前置 1。

SFT 结束后，立刻在 CEC 线上发送起始位。如果 TXSOM 在接收消息的过程中置 1，则将在接收结束时开始发送。

在出现发送下溢 (TXUDR=1)、否定应答 (TXACKE=1) 和发送错误 (TXERR=1) 的情况下，在发送消息的最后一个字节和肯定应答 (TXEND=1) 后，TXSOM 将由硬件清零。此位还可通过 CECEN=0 清零。在仲裁丢失的情况下 (ARBLST=1)，此位不会清零，同时会自动重试发送。

TXSOM 还可用作状态位，用于通知应用程序是否存在正在挂起或执行的任何发送请求。应用程序可通过将 CECEN 位清零随时中止发送请求。

0：没有正在进行的 CEC 发送

1：CEC 发送命令

注： CECEN = 1 时，TXSOM 必须置 1。

发送数据可用于 TXDR 时，TXSOM 必须置 1。

从 TXDR[7:4] 而非从仅用于接收的 CEC_CFGR.OAR 获取 HEADER 的前四位（包含自有外设地址）。

位 0 **CECEN**：CEC 使能 (CEC enable)

CECEN 位由软件置 1 和清零。CECEN=1 启动消息接收过程并使能 TXSOM 控制。CECEN=0 禁止 CEC 外设、将 CEC_CR 寄存器的所有位清零并中止任何正在进行的接收或发送过程。

0：CEC 外设关闭

1：CEC 外设开启

36.7.2 CEC 配置寄存器 (CEC_CFGR)

CEC configuration register

此寄存器用于配置 HDMI-CEC 控制器。

偏移地址：0x04

复位值：0x0000 0000

注意： 必须只在 CECEN=0 时对 CEC_CFGR 执行写操作。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
LSTN	OAR[14:0]														
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	SFT OP	BRDN OGEN	LBPE GEN	BRE GEN	BRE STP	RX TOL	SFT[2:0]		
							rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31 **LSTN**：监听模式 (Listen mode)

LSTN 位由软件置 1 和清零。

0：CEC 外设只接收寻址到其自有地址 (OAR) 的消息。寻址到不同目标地址的消息将被忽略。始终接收广播消息。

1：CEC 外设接收寻址到其自有地址 (OAR) 的消息，此时会发送肯定应答。也接收寻址到不同目标地址的消息，但此时不发送应答。

位 30:16 **OAR[14:0]**：自有地址配置 (Own addresses configuration)

OAR 位由软件置 1 来选择接收模式下必须考虑的目标逻辑地址。每个 bit 置 1 后，它所对应的位置的值，就是被使能的 CEC 逻辑地址的值。OAR 字段的最低位，对应 CEC 逻辑地址 0。

在 HEADER 接收结束时，所接收的目标地址将与使能的地址进行比较。在地址匹配的情况下，将应答并接收传入的消息。在地址不匹配的情况下，仅在监听模式下 (LSTN=1) 接收传入的消息，但不发送应答。始终接收广播消息。

示例：

OAR = 0b000 0000 0010 0001 意味着 CEC 应答地址 0x0 和 0x5。因此，将接收传入这两个地址中之一的每个消息。

位 15:9 保留，必须保持复位值。

位 8 **SFTOP**：SFT 选项位 (SFT Option Bit)

SFTOPT 位由软件置 1 和清零。

0：当 TXSOM 由软件置 1 时，将启动 SFT 定时器

1：在消息发送/接收结束时自动启动 SFT 定时器

位 7 **BRDNOGEN**：避免在广播中生成错误位 (Avoid Error-Bit Generation in Broadcast)

BRDNOGEN 位由软件置 1 和清零。

0：在广播消息上检测到 BRE 且满足 BRESTP=1 和 BREGEN=0 时会在 CEC 线上生成错误位。在广播消息上检测到 LBPE 且满足 LBPEGEN=0 时会在 CEC 线上生成错误位。

1：在上述相同条件下不会生成错误位。即使在监听模式下，在广播消息中检测到 SBPE，也不会生成错误位。

位 6 **LBPEGEN**：在长位周期错误时生成错误位 (Generate Error-Bit on Long Bit Period Error)

LBPEGEN 位由软件置 1 和清零。

0：检测到 LBPE 时不在 CEC 线上生成错误位

1：检测到 LBPE 时在 CEC 线上生成错误位

注： 如果 BRDNOGEN=0，即使 LBPEGEN=0，也会在广播中检测到 LBPE 后生成错误位。

位 5 **BREGEN**：在位上升错误时生成错误位 (Generate Error-Bit on Bit Rising Error)

BREGEN 位由软件置 1 和清零。

0：检测到 BRE 时不在 CEC 线上生成错误位

1：检测到 BRE 时在 CEC 线上生成错误位（如果 BRESTP 置 1）

注： 如果 BRDNOGEN=0，即使 BREGEN=0，也会在广播中检测到 BRE 和 BRESTP=1 后生成错误位。

位 4 **BRESTP**：在位上升错误时 Rx 停止 (Rx-Stop on Bit Rising Error)

BRESTP 位由软件置 1 和清零。

0：检测到 BRE 时不停止接收 CEC 消息。在 1.05 ms 内对数据位进行采样。

1：检测到 BRE 时停止接收消息

位 3 **RXTOL**：Rx 容差 (Rx-Tolerance)

RXTOL 位由软件置 1 和清零。

0：标准容差裕量：

– 起始位，+/- 200 µs 上升，+/- 200 µs 下降。

– 数据位：+/- 200 µs 上升。+/- 350 µs 下降。

1：扩展容差

– 起始位，+/- 400 µs 上升，+/- 400 µs 下降

– 数据位，+/- -300 µs 上升，+/- 500 µs 下降

位 2:0 **SFT[2:0]**：信号空闲时间 (Signal Free Time)

SFT 位由软件置 1。在 SFT=0x0 的配置下，发送前等待的标称数据位周期数由硬件根据发送历史管理。在所有其它配置下，SFT 数由软件决定。

″ 0x0

– 如果 CEC 为最后一个发送失败的总线发起方，则为 2.5 个数据位周期（ARBLST=1、TXERR=1、TXUDR=1 或 TXACKE= 1）

– 如果 CEC 是新的总线发起方，则为 4 个数据位周期

– 如果 CEC 为最后一个发送成功的总线发起方，则为 6 个数据位周期 (TXEOM=1)

″ 0x1：0.5 个标称数据位周期

″ 0x2：1.5 个标称数据位周期

″ 0x3：2.5 个标称数据位周期

″ 0x4：3.5 个标称数据位周期

″ 0x5：4.5 个标称数据位周期

″ 0x6：5.5 个标称数据位周期

″ 0x7：6.5 个标称数据位周期

36.7.3 CEC 发送数据寄存器 (CEC_TXDR)

CEC Tx data register

偏移地址：0x8

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXD[7:0]							
								w	w	w	w	w	w	w	w

位 31:8 保留，必须保持复位值。

位 7:0 **TXD[7:0]**：发送数据 (Tx data)

TXD 是一个只写寄存器，其中包含要发送的数据字节。

36.7.4 CEC 接收数据寄存器 (CEC_RXDR)

CEC Rx data register

偏移地址：0xC

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXD[7:0]							
								r	r	r	r	r	r	r	r

位 31:8 保留，必须保持复位值。

位 7:0 **RXD[7:0]**：接收数据 (Rx data)

RXD 是一个只读寄存器，包含从 CEC 线接收的最后一个数据字节。

36.7.5 CEC 中断和状态寄存器 (CEC_ISR)

CEC Interrupt and Status Register

偏移地址：0x10

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	TX ACKE	TX ERR	TX UDR	TX END	TXBR	ARB LST	RX ACKE	LBPE	SBPE	BRE	RX OVR	RX END	RXBR
			rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位 31:13 保留，必须保持复位值。

位 12 **TXACKE**：Tx 丢失应答错误 (Tx-Missing Acknowledge Error)

在发送模式下，TXACKE 由硬件置 1 以通知应用程序未接收到任何应答。在广播发送时，TXACKE 通知应用程序已接收到否定应答。TXACKE 中止消息发送并清除 TXSOM 和 TXEOM 控制位。

TXACKE 由软件写 1 清零。

位 11 **TXERR**：Tx 错误 (Tx-Error)

在发送模式下，如果 CEC 发起方在 CEC 线释放时检测到 CEC 处于低阻抗，则 TXERR 将由硬件置 1。TXERR 中止消息发送并清除 TXSOM 和 TXEOM 控制位。

TXERR 由软件写 1 清零。

位 10 **TXUDR**：Tx 缓冲区下溢 (Tx-Buffer Underrun)

在发送模式下，如果应用程序未在下一个字节发送前及时加载 TXDR，则 TXUDR 将由硬件置 1。TXUDR 中止消息发送并清除 TXSOM 和 TXEOM 控制位。

TXUDR 由软件写 1 清零。

位 9 **TXEND**：发送结束 (End of Transmission)

TXEND 由硬件置 1 后，可向应用程序通知已成功发送 CEC 消息的最后一个字节。TXEND 将 TXSOM 和 TXEOM 控制位清零。

TXEND 由软件写 1 清零。

位 8 **TXBR**：Tx 字节请求 (Tx-Byte Request)

TXBR 由硬件置 1 后可通知应用程序必须向 TXDR 写入下一个发送数据。当发送完当前发送字节的第 4 位时，TXBR 将置 1。应用程序必须在出现发送下溢错误 (TXUDR) 前，在 6 个标称数据位周期内向 TXDR 发送下一个字节。

TXBR 由软件写 1 清零。

位 7 **ARBLST**：仲裁丢失 (Arbitration lost)

ARBLST 由硬件置 1 以通知应用程序：由于 TXSOM 命令后发生仲裁丢失事件，CEC 器件正切换为接收模式。引起 ARBLST 的原因可能是提前开始争用 CEC 器件，也可能是有别的 CEC 器件提前开始争用总线，或者是同时开始但是拥有较高的优先级。ARBLST 触发后，TXSOM 位将一直等待下一次发送尝试。

ARBLST 由软件写 1 清零。

位 6 **RXACKE**：Rx 丢失应答 (Rx-Missing Acknowledge)

在发送模式下，RXACKE 由硬件置 1 后以通知应用程序未在 CEC 线上检测到任何应答。RXACKE 仅适用于广播消息，在监听模式下仅适用于非直接寻址的消息（OAR 中不使能目标地址）。RXACKE 用于中止接收消息。

RXACKE 由软件写 1 清零。

位 5 **LBPE**：Rx 长位周期错误 (Rx-Long Bit Period Error)

当数据位波形上检测到长位周期错误时，LBPE 由硬件置 1。在仍需要下降沿的情况下，当 RXTOL 允许的最大位扩展容差结束时，LBPE 将置 1。LBPE 总是会停止接收 CEC 消息。如果 LBPEGEN=1，LBPE 会在 CEC 线上生成错误位。广播时，即使 LBPEGEN=0 也会生成错误位。

LBPE 由软件写 1 清零。

位 4 **SBPE**：Rx 短位周期错误 (Rx-Short Bit Period Error)

当数据位波形上检测到短位周期错误时，SBPE 由硬件置 1。出现所预期的下降沿时，SBPE 将置 1。SBPE 在 CEC 线上生成错误位。

SBPE 由软件写 1 清零。

位 3 **BRE**：Rx 位上升错误 (Rx-Bit Rising Error)

当数据位波形上检测到位上升错误时，BRE 由硬件置 1。在仍需要上升沿的情况下，在上升沿出现的时机不对时或 RXTOL 允许的最大 BRE 容差结束时，BRE 将置 1。如果 BRESTP=1，BRE 将停止接收消息。如果 BREGEN=1，BRE 会在 CEC 线上生成错误位。

BRE 由软件写 1 清零。

位 2 **RXOVR**：Rx 上溢 (Rx-Overrun)

如果在 CEC 线上接收到新字节并将新字节存储到 RXD 中时 RXBR 位已经是置位状态，则 RXOVR 将由硬件置 1。RXOVR 触发后会停止接收消息，因此不会发送应答。广播时，将发送否定应答。

RXOVR 由软件写 1 清零。

位 1 **RXEND**：接收结束 (End Of Reception)

RXEND 由硬件置 1 以通知应用程序已从 CEC 线接收到 CEC 消息的最后一个字节并将其存储到 RXD 缓冲区。RXEND 与 RXBR 同时置 1。

RXEND 由软件写 1 清零。

位 0 **RXBR**：接收到 Rx 字节 (Rx-Byte Received)

RXBR 位由硬件置 1 以通知应用程序已从 CEC 线接收到新字节并将其存储到 RXD 缓冲区。

RXBR 由软件写 1 清零。

36.7.6 CEC 中断使能寄存器 (CEC_IER)

CEC interrupt enable register

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	TXACKIE	TXERRIE	TXUDRIE	TXENDIE	TXBRIE	ARBLSTIE	RXACKIE	LBPEIE	SBPEIE	BREIE	RXOVRIE	RXENDIE	RXBRIE
			rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:13 保留，必须保持复位值。

位 12 **TXACKIE**：*Tx 丢失应答错误中断使能 (Tx-Missing Acknowledge Error Interrupt Enable)*
TXACKEIE 位由软件置 1 和清零。
0：禁止 TXACKE 中断
1：使能 TXACKE 中断

位 11 **TXERRIE**：Tx 错误中断使能 (Tx-Error Interrupt Enable)
TXERRIE 位由软件置 1 和清零。
0：禁止 TXERR 中断
1：使能 TXERR 中断

位 10 **TXUDRIE**：Tx 下溢中断使能 (Tx-Underrun Interrupt Enable)
TXUDRIE 位由软件置 1 和清零。
0：禁止 TXUDR 中断
1：使能 TXUDR 中断

位 9 **TXENDIE**：Tx 消息结束中断使能 (Tx-End Of Message Interrupt Enable)
TXENDIE 位由软件置 1 和清零。
0：禁止 TXEND 中断
1：使能 TXEND 中断

位 8 **TXBRIE**：Tx 字节请求中断使能 (Tx-Byte Request Interrupt Enable)
TXBRIE 位由软件置 1 和清零。
0：禁止 TXBR 中断
1：使能 TXBR 中断

位 7 **ARBLSTIE**：仲裁丢失中断使能 (Arbitration Lost Interrupt Enable)
ARBLSTIE 位由软件置 1 和清零。
0：禁止 ARBLST 中断
1：使能 ARBLST 中断

位 6 **RXACKIE**：Rx 丢失应答错误中断使能 (Rx-Missing Acknowledge Error Interrupt Enable)
RXACKIE 位由软件置 1 和清零。
0：禁止 RXACKE 中断
1：使能 RXACKE 中断

位 5 **LBPEIE**：长位周期错误中断使能 (Long Bit Period Error Interrupt Enable)
LBPEIE 位由软件置 1 和清零。
0：禁止 LBPE 中断
1：使能 LBPE 中断

位 4 **SBPEIE**：短位周期错误中断使能 (Short Bit Period Error Interrupt Enable)
SBPEIE 位由软件置 1 和清零。
0：禁止 SBPE 中断
1：使能 SBPE 中断

位 3 **BREIE**：位上升错误中断使能 (Bit Rising Error Interrupt Enable)
BREIE 位由软件置 1 和清零。
0：禁止 BRE 中断
1：使能 BRE 中断

位 2 **RXOVRIE**：Rx 缓冲区上溢中断使能 (Rx-Buffer Overrun Interrupt Enable)
RXOVRIE 位由软件置 1 和清零。
0：禁止 RXOVR 中断
1：使能 RXOVR 中断

位 1 **RXENDIE**：接收结束中断使能 (End Of Reception Interrupt Enable)
RXENDIE 位由软件置 1 和清零。
0：禁止 RXEND 中断
1：使能 RXEND 中断

位 0 **RXBRIE**：接收到 Rx 字节中断使能 (Rx-Byte Received Interrupt Enable)
RXBRIE 位由软件置 1 和清零。
0：禁止 RXBR 中断
1：使能 RXBR 中断

注意： (*) 必须只在 CECEN=0 时对 CEC_IER 执行写操作。

36.7.7 HDMI-CEC 寄存器映射

下表对 HDMI-CEC 寄存器进行了汇总。

表 202. HDMI-CEC 寄存器映射和复位值

偏移	寄存器名	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	**CEC_CR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXEOM	TXSOM	CECEN
	Reset value																														0	0	0
0x04	**CEC_CFGR**	LSTN	OAR[14:0]															Res.	Res.	Res.	Res.	Res.	Res.	Res.	SFTOPT	BRDNOGEN	LBPEGEN	BREGEN	BRESTP	RXTOL	SFT[2:0]		
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								0	0	0	0	0	0	0	0	0
0x08	**CEC_TXDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXD[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x0C	**CEC_RXDR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	RXD[7:0]							
	Reset value																									0	0	0	0	0	0	0	0
0x10	**CEC_ISR**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXACKE	TXERR	TXUDR	TXEND	TXBR	ARBLST	RXACKE	LBPE	SBPE	BRE	RXOVR	RXEND	RXBR
	Reset value																				0	0	0	0	0	0	0	0	0	0	0	0	0
0x14	**CEC_IER**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	TXACKIE	TXERRIE	TXUDRIE	TXENDIE	TXBRIE	ARBLSTIE	RXACKIE	LBPEIE	SBPEIE	BREIE	RXOVRIE	RXENDIE	RXBRIE
	Reset value																				0	0	0	0	0	0	0	0	0	0	0	0	0

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

37 调试支持 (DBG)

37.1 概述

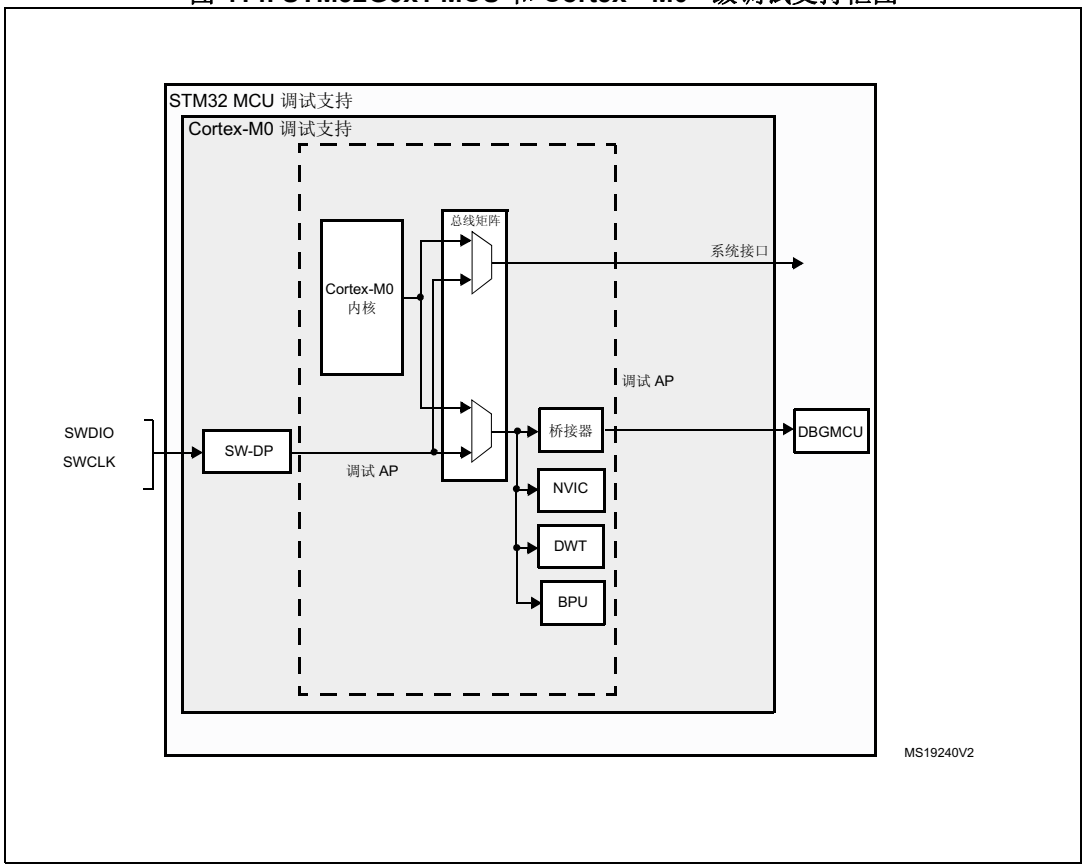
STM32G0x1 器件的内核是 Cortex®-M0+，该内核包含用于高级调试功能的硬件扩展。调试扩展允许内核可以在取指（指令断点）或取访问数据（数据断点）时停止内核。内核停止时，可以查询内核的内部状态和系统的外部状态。查询完成后，将恢复内核和系统并恢复程序执行。

当调试主机与 STM32G0x1 MCU 相连并进行调试时，将使用调试功能。

提供一个调试接口：

- 串行接口

图 414. STM32G0x1 MCU 和 Cortex®-M0+ 级调试支持框图



1. Cortex®-M0+ 内核中内置的调试功能是 Arm CoreSight 设计套件的一部分。

Arm Cortex®-M0+ 内核提供集成片上调试支持。它包括：

- SW-DP：串行线
- BPU：断点单元
- DWT：数据观察点触发

它还包括专用于 STM32G0x1 的调试功能：

- 灵活调试引脚分配
- MCU 调试盒（支持低功耗模式和对外设时钟的控制等）

注： *有关 Arm Cortex®-M0+ 内核支持的调试功能的详细信息，请参见 Cortex®-M0+ 技术参考手册（请参见第 37.2 节：Arm 参考文档）。*

37.2 Arm 参考文档

- Cortex®-M0+技术参考手册 (TRM)，可从 http://infocenter.arm.com 获取
- Arm 调试接口 V5
- Arm CoreSight 设计套件版本 r1p1 技术参考手册

37.3 引脚排列和调试端口引脚

STM32G0x1 MCU 的不同封装有不同的有效引脚数。

37.3.1 SWD 端口引脚

两个引脚被用作 SW-DP 的输出，作为通用 I/O 的复用功能。所有封装都提供这些引脚。

表 203. SW 调试端口引脚

SW-DP 引脚名称	SW 调试端口		引脚分配
	类型	调试分配	
SWDIO	I/O	串行线数据输入/输出	PA13
SWCLK	I	串行线时钟	PA14

37.3.2 SW-DP 引脚分配

复位（SYSRESETn 或 PORESETn）后，用于 SW-DP 的引脚将分配为可由调试主机立即使用的专用引脚。

但是，MCU 可以禁止 SWD 端口，进而可释放相关引脚以用作通用 I/O (GPIO)。有关如何禁止 SW-DP 端口引脚的更多详细信息，请参见*第 190 页的第 6.3.2 节：I/O 引脚复用功能复用器和映射*。

37.3.3 SWD 引脚上的内部上拉和下拉

用户软件释放 SW I/O 后，GPIO 控制器便会控制这些引脚。GPIO控制寄存器的复位状态会将I/O置于同等状态：

- SWDIO：输入上拉
- SWCLK：输入下拉

由于带有上拉和下拉电阻，因此无需添加外部电阻。

37.4 ID 代码和锁定机制

MCU 内部有多个 ID 代码。ST 强烈建议工具制造商（例如 Keil、IAR 和 Raisonance）使用地址 0x40015800 处的 MCU 器件 ID 锁定其调试工具。

调试软件/编程工具只能将 DEV_ID[15:0] 用于识别芯片（不得考虑版本 ID）。

37.5 SWD 端口

37.5.1 SWD 协议简介

此同步串行协议使用两个引脚：

- SWCLK：从主机到目标的时钟
- SWDIO：双向

利用该协议，可以同时读取和写入两组寄存器组（DPACC 寄存器组和 APACC 寄存器组）。

传输数据时，LSB 在前。

对于 SWDIO 双向管理，必须在电路板上对线路进行上拉（Arm 建议采用 100 kΩ）。

每次在协议中更改 SWDIO 的方向时，都会插入转换时间，此时线路即不受主机驱动也不受目标驱动。默认情况下，此转换时间为一位时间，但可以通过配置 SWCLK 频率来调整。

37.5.2 SWD 协议序列

每个序列包括三个阶段：

1. 主机发送的数据包请求（8 位）
2. 目标发送的确认响应（3 位）
3. 主机或目标发送的数据传输阶段（33 位）

表 204. 数据包请求 （8 位）

位	名称	说明
0	启动	必须为 1
1	APnDP	0：DP 访问 1：AP 访问
2	RnW	0：写请求 1：读请求
4:3	A[3:2]	DP 或 AP 寄存器的地址字段（请参见 *第 1140 页的表 208*）
5	奇偶校验	前面几位的单位奇偶校验
6	停止	0
7	驻留	不受主机驱动。由于存在上拉，因此必须由目标读为 1

有关 DPACC 和 APACC 寄存器的详细说明，请参见 Cortex®-M0+ *TRM*。

数据包请求后面始终为转换时间（默认 1 位），此时主机和目标都不会驱动线路。

表 205. ACK 响应 （3 位）

位	名称	说明
0..2	ACK	001：FAULT 010：WAIT 100：OK

仅当发生 READ 事务或者接收到 WAIT 或 FAULT 确认时，ACK 响应后才必须是转换时间。

表 206. DATA 传输 （33 位）

位	名称	说明
0..31	WDATA 或 RDATA	写入或读取数据
32	奇偶校验	32 个数据位的单奇偶校验

仅当发生 READ 事务时，DATA 传输后才必须是转换时间。

37.5.3 SW-DP 状态机（复位、空闲状态、ID 代码）

SW-DP 的状态机有一个用于标识 SW-DP 的内部 ID 代码。该代码符合 JEP-106 标准。此 ID 代码是默认的 Arm 代码，设置为 **0x0BB11477**（相当于 Cortex®-M0+）。

注： *请注意，在目标读取此 ID 代码前，SW-DP 状态机是不工作的。*

- 在上电复位后或者线路处于高电平超过 50 个周期后，SW-DP 状态机处于复位状态。
- 如果在复位状态后线路处于低电平至少两个周期，SW-DP 状态机处于空闲状态。
- 复位状态后，该状态机**必须**首先进入空闲状态，然后对 DP-SW ID CODE 寄存器执行读访问。否则，目标将在另一个事务上发出 FAULT 确认响应。

有关 SW-DP 状态机的更多详细信息，请参见 *Cortex®-M0+ TRM* 和 *CoreSight 设计套件 r1p0 TRM*。

37.5.4 DP 和 AP 读/写访问

- 对 DP 的读访问还没有发出：可以立即发送目标响应（如果 ACK=OK），也可以延迟发送目标响应（如果 ACK=WAIT）。
- 对 AP 的读访问已经发出。这意味着会在下次传输时返回访问结果。如果要执行的下次访问不是 AP 访问，则必须读取 DP-RDBUFF 寄存器来获取结果。
  每次进行 AP 读访问或 RDBUFF 读请求时都会更新 DP-CTRL/STAT 寄存器的 READOK 标志，以便了解 AP 读访问是否成功。
- SW-DP 有写缓冲区（用于 DP 或 AP 写入），这样即使在其他操作仍未完成时，也可以接受写入操作。如果写缓冲区已满，则目标确认响应为 WAIT。但 IDCODE 读取、CTRL/STAT 读取或 ABORT 写入除外，这几项操作在写缓冲区已满时也会被接受。
- 由于存在异步时钟域 SWCLK 和 HCLK，因此写操作后（奇偶校验位后）还需要两个额外的 SWCLK 周期，以使写入操作在内部生效。应在将线路驱动为低电平时（空闲状态）应用这些周期。
  在写 CTRL/STAT 寄存器以提出一个上电请求时，这一点特别重要。如果下一个操作（在内核上电后才有效的操作）立即执行，这将导致失败。

37.5.5 SW-DP 寄存器

当 APnDP=0 时能够访问这些寄存器

表 207. SW-DP 寄存器

A[3:2]	R/W	SELECT 寄存器的 CTRLSEL 位	寄存器	注释
00	读取		IDCODE	制造商代码设置为 Cortex®-M0+ 的默认 Arm 代码： **0x0BC11477**（标识 SW-DP）
00	写		ABORT	
01	读/写	0	DP-CTRL/STAT	目的： – 请求系统或调试上电 – 配置 AP 访问的传输操作 – 控制比较和验证操作 – 读取一些状态标志（上溢和上电确认）
01	读/写	1	WIRE CONTROL	用于配置物理串行端口协议（如转换时间的持续时间）
10	读取		READ RESEND	使读取的数据能够从损坏的调试器传输中恢复,无需重复原始 AP 传输。
10	写		SELECT	用于选择当前访问端口和活动的 4 字寄存器窗口
11	读/写		READ BUFFER	由于已发出 AP 访问，因此该读缓冲区非常有用（在执行下个 AP 事务时提供读取 AP 请求的结果）。 此读取缓冲区捕获 AP 中的数据，显示为前一次读取的结果，无需启动新操作

37.5.6 SW-AP 寄存器

当 APnDP=1 时能够访问这些寄存器

有多个 AP 寄存器，这些寄存器按以下组合进行寻址：

- 移位值 A[3:2]
- DP SELECT 寄存器的当前值

表 208. 32 位调试端口寄存器，通过移位值 A[3:2] 进行寻址

地址	A[3:2] 值	说明
0x0	00	保留，必须保持复位值。
0x4	01	DP CTRL/STAT 寄存器。用于： – 请求系统或调试上电 – 配置 AP 访问的传输操作 – 控制比较和验证操作 – 读取一些状态标志（上溢和上电确认）

表 208. 32 位调试端口寄存器，通过移位值 A[3:2] 进行寻址 （续）

地址	A[3:2] 值	说明
0x8	10	DP SELECT 寄存器：用于选择当前访问端口和活动的 4 字寄存器窗口。 – 位 31:24：APSEL：选择当前 AP – 位 23:8：保留 – 位 7:4：APBANKSEL：在当前 AP 上选择活动的 4 字寄存器窗口 – 位 3:0：保留
0xC	11	DP RDBUFF 寄存器：用于通过调试器在执行一系列操作后获取最后结果（无需请求新的 JTAG-DP 操作）

37.6 内核调试

通过内核调试寄存器调试内核。通过调试访问端口调试访问这些寄存器。它由四个寄存器组成：

表 209. 内核调试寄存器

寄存器	说明
DHCSR	*32 位调试停止控制和状态寄存器：* 此寄存器提供有关处理器状态的信息，能够使内核进入调试停止状态并提供处理器步进功能
DCRSR	*17 位调试内核寄存器选择器寄存器：* 此寄存器选择需要进行读写操作的处理器寄存器。
DCRDR	*32 位调试内核寄存器数据寄存器：* 此寄存器保存在寄存器与 DCRSR（选择器）寄存器选择的处理器之间读取和写入的数据。
DEMCR	*32 位调试异常和监视控制寄存器：* 此寄存器提供向量捕获和调试监视控制。

这些寄存器在系统复位时不复位。它们只能通过上电复位来复位。有关更多详细信息，请参见 Cortex®-M0+ TRM。

为了在复位后立即使内核进入调试停止状态，必须：

- 使能调试和异常监视控制寄存器的位 0 (VC_CORRESET)
- 使能调试停止控制和状态寄存器的位 0 (C_DEBUGEN)

37.7 BPU（断点单元）

Cortex®-M0+ BPU 实现提供四个断点寄存器。BPU 是 ARMv7-M（Cortex-M3 和 Cortex-M4）中提供的 Flash 补丁和断点 (FPB) 模块的一部分。

37.7.1 BPU 功能

处理器断点实现了基于 PC 的断点功能。

有关 BPU CoreSight 标识寄存器及其地址和访问类型的更多信息，请参见 ARMv6-M Arm 和 Arm CoreSight 组件技术参考手册。

37.8 DWT（数据观察点）

Cortex®-M0+ DWT 实现提供了两个观察点寄存器组。

37.8.1 DWT 功能

处理器观察点实现了数据地址和基于 PC 的观察点功能（即 PC 采样寄存器），并支持比较器地址掩码，如 *ARMv6-M Arm* 中所述。

37.8.2 DWT 程序计数器采样寄存器

实现数据观察点单元的处理器还实现了 ARMv6-M 可选 *DWT 程序计数器采样寄存器* (DWT_PCSR)。此寄存器允许调试程序定期采样 PC，无需停止处理器。这可提供粗略分析。有关更多信息，请参见 *ARMv6-M Arm* 。

Cortex®-M0+ DWT_PCSR 记录通过条件代码和指令以及未通过条件代码的指令。

37.9 MCU 调试组件 (DBG)

MCU 调试组件帮助调试器为以下各项提供支持：

- 低功耗模式
- 断点期间的定时器、看门狗和 I2C 的时钟控制

37.9.1 对低功耗模式的调试支持

要进入低功耗模式，必须执行指令 WFI 或 WFE。

MCU 支持多个低功耗模式，这些模式可以禁止 CPU 时钟或降低 CPU 功耗。

内核不允许在调试会话期间关闭 FCLK 或 HCLK。由于调试期间需要使用它们进行调试连接，因此其必须保持激活状态。MCU 集成了特殊方法，允许用户在低功耗模式下调试软件。

为此，调试主机首先必须设置一些调试配置寄存器，以更改低功耗模式行为：

- 在休眠模式下，FCLK 和 HCLK 仍有效。因此，此模式对标准调试功能没有任何限制。
- 在停止/待机模式下，调试程序必须事先将 DBG_STOP 位置 1。

这样便可使能内部 RC 振荡器时钟，以在停止模式下为 FCLK 和 HCLK 提供时钟。

37.9.2 对定时器、看门狗和 I^2C 的调试支持

断点期间，必须选择定时器和看门狗的计数器的行为方式：

- 在产生断点时，计数器继续计数。例如，当 PWM 控制电机时，通常需要这种方式。
- 在产生断点时，计数器停止计数。用于看门狗时需要这种方式。

对于 I^2C，用户可以选择在断点期间阻止 SMBUS 超时。

37.10 DBG 寄存器

37.10.1 DBG 器件 ID 代码寄存器 (DBG_IDCODE)

DBG device ID code register

STM32G071xx 和 STM32G081xx 产品集成了器件 ID 代码，此代码用于标识器件及其芯片版本。

可通过软件调试端口（两个引脚）或用户软件访问此代码。

DBG_IDCODE

偏移地址：0x00

仅支持 32 位访问。只读

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
REV_ID															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	DEV_ID											
				r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 **REV_ID[15:0]**：版本标识符 (Revision identifier)
此字段指示器件的版本。请参见*表 210*。

位 15:12 保留：读取 0b0110。

位 11:0 **DEV_ID[11:0]**：器件标识符 (Device identifier)
此位域指示器件 ID。请参见*表 210*。

表 210. DEV_ID 和 REV_ID 位域值

器件	DEV_ID	版本代码	版本号	REV_ID
STM32G071xx 和 STM32G081xx	0x460	A	1.0	0x1000
		Z	1.1	0x1000
		B	2.0	0x2000
STM32G031xx 和 STM32G041xx	0x466	A	1.0	0x1000

37.10.2 DBG 配置寄存器 (DBG_CR)

DBG configuration register

当 MCU 处于调试状态下时，此寄存器可配置低功耗模式。

它通过 POR（而非系统复位）异步复位。可在系统复位状态下用调试器写入该寄存器。

如果调试主机不支持此功能，仍然可以通过用户软件写入此寄存器。

偏移地址：0x04

POR 复位：0x0000 0000（不会被系统复位信号复位）

仅支持 32 位访问

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_STANDBY	DBG_STOP	Res.
													rw	rw	

位 31:3 保留，必须保持复位值。

位 2 **DBG_STANDBY**：调试待机和关断模式 (Debug Standby and Shutdown modes)

0：（FCLK=关闭，HCLK=关闭）将整个数字部分断电。
从软件角度来看，退出待机模式和关断模式相当于取复位向量（指示 MCU 从待机状态恢复的几个状态位除外）

1：（FCLK=开启，HCLK=开启）在这种情况下，数字部分不断电，FCLK 和 HCLK 由仍保持激活状态的内部 RC 振荡器提供。此外，MCU 会在待机模式和关断模式期间产生系统复位，这样退出待机模式和关断模式相当于复位。

位 1 **DBG_STOP**：调试停止模式 (Debug Stop mode)

0：（FCLK=关闭，HCLK=关闭）在停机模式下，时钟控制器禁止所有时钟（包括 HCLK 和 FCLK）。退出停机模式时，时钟配置与复位后的时钟配置相同（CPU 时钟由 8 MHz 内部 RC 振荡器 (HSI) 提供）。因此，软件必须重新编程时钟控制器以使能 PLL 和晶振等。

1：（FCLK=开启，HCLK=开启）在这种情况下，进入停机模式时，FCLK 和 HCLK 由在停机模式下仍保持激活状态的内部 RC 振荡器提供。退出停止模式时，软件必须重新编程时钟控制器以使能 PLL 和晶振等（操作步骤与在 DBG_STOP = 0 时相同）

位 0 保留，必须保持复位值。

37.10.3 DBG APB 冻结寄存器 1 (DBG_APB_FZ1)

DBG APB freeze register 1

此寄存器用于在调试状态下配置 MCU 的定时器、RTC、IWDG、WWDG 和 I2C SMBUS 外设的时钟：

寄存器通过 POR（而非系统复位）异步复位。可在系统复位状态下用调试器写入该寄存器。

偏移地址：0x08

上电复位 (POR)：0x0000 0000（不会被系统复位信号复位）

仅支持 32 位访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DBG_LPTIM1_STOP	DBG_LPTIM2_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_I2C1_SMBUS_TIMEOUT	Res.	Res.	Res.	Res.	Res.
rw	rw									rw					

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP	Res.	Res.	Res.	Res.	DBG_TIM7_STOP	DBG_TIM6_STOP	Res.	Res.	DBG_TIM3_STOP	DBG_TIM2_STOP
			rw	rw	rw					rw	rw			rw	rw

位 31 **DBG_LPTIM1_STOP**：内核停止时 LPTIMER1 计数器的时钟 (Clocking of LPTIMER1 counter when the core is halted)

此位用于使能/禁止内核停止时 LPTIMER1 计数器的时钟：

0：使能

1：禁止

位 30 **DBG_LPTIM2_STOP**：内核停止时 LPTIMER2 计数器的时钟 (Clocking of LPTIMER2 counter when the core is halted)

此位用于使能/禁止内核停止时 LPTIMER2 计数器的时钟：

0：使能

1：禁止

位 29:22 保留，必须保持复位值。

位 21 **DBG_I2C1_SMBUS_TIMEOUT**：内核停止时的 SMBUS 超时 (SMBUS timeout when core is halted)

0：行为方式与正常模式下相同

1：冻结 SMBUS 超时

位 20:13 保留，必须保持复位值。

位 12 **DBG_IWDG_STOP**：内核停止时 IWDG 计数器的时钟 (Clocking of IWDG counter when the core is halted)

此位用于使能/禁止内核停止时 IWDG 计数器的时钟：

0：使能

1：禁止

位 11 **DBG_WWDG_STOP**：内核停止时 WWDG 计数器的时钟 (Clocking of WWDG counter when the core is halted)

此位用于使能/禁止内核停止时 WWDG 计数器的时钟：

0：使能

1：禁止

位 10 **DBG_RTC_STOP**：内核停止时 RTC 计数器的时钟 (Clocking of RTC counter when the core is halted)

此位用于使能/禁止内核停止时 RTC 计数器的时钟：
0：使能
1：禁止

位 9:6 保留，必须保持复位值。

位 5 **DBG_TIM7_STOP**：内核停止时 TIM7 计数器的时钟 (Clocking of TIM7 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM7 计数器的时钟：
0：使能
1：禁止

位 4 **DBG_TIM6_STOP**：内核停止时 TIM6 计数器的时钟 (Clocking of TIM6 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM6 计数器的时钟：
0：使能
1：禁止

位 3:2 保留，必须保持复位值。

位 1 **DBG_TIM3_STOP**：内核停止时 TIM3 计数器的时钟 (Clocking of TIM3 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM3 计数器的时钟：
0：使能
1：禁止

位 0 **DBG_TIM2_STOP**：内核停止时 TIM2 计数器的时钟 (Clocking of TIM2 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM2 计数器的时钟：
0：使能
1：禁止

37.10.4 DBG APB 冻结寄存器 2 (DBG_APB_FZ2)

DBG APB freeze register 2

当 MCU 处于调试状态下时，此寄存器可配置定时器计数器的时钟。

它通过 POR（而非系统复位）异步复位。可在系统复位状态下用调试器写入该寄存器。

偏移地址：0x0C

POR：0x0000 0000（不会被系统复位信号复位）

仅支持 32 位访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	DBG_TIM15_STOP
													rw	rw	rw

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBG_TIM14_STOP	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
rw				rw											

位 31:19 保留，必须保持复位值。

位 18 **DBG_TIM17_STOP**：内核停止时 TIM17 计数器的时钟 (Clocking of TIM17 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM17 计数器的时钟：

0：使能

1：禁止

位 17 **DBG_TIM16_STOP**：内核停止时 TIM16 计数器的时钟 (Clocking of TIM16 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM16 计数器的时钟：

0：使能

1：禁止

位 16 **DBG_TIM15_STOP**：内核停止时 TIM15 计数器的时钟 (Clocking of TIM15 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM15 计数器的时钟：

0：使能

1：禁止

仅在 STM32G071xx 和 STM32G081xx 上可用，在 STM32G031xx 和 STM32G041xx 上保留。

位 15 **DBG_TIM14_STOP**：内核停止时 TIM14 计数器的时钟 (Clocking of TIM14 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM14 计数器的时钟：

0：使能

1：禁止

位 14:12 保留，必须保持复位值。

位 11 **DBG_TIM1_STOP**：内核停止时 TIM1 计数器的时钟 (Clocking of TIM1 counter when the core is halted)

此位用于使能/禁止内核停止时 TIM1 计数器的时钟：

0：使能

1：禁止

位 10:0 保留，必须保持复位值。

37.10.5 DBG 寄存器映射

下表对调试寄存器进行了汇总。

表 211. DBG 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	DBG_IDCODE	REV_ID																Res.	Res.	Res.	Res.	DEV_ID											
	Reset value[1]	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X
0x04	DBG_CR	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_STANDBY	DBG_STOP	Res.
	Reset value																														0	0	
0x08	**DBG_APB_FZ1**	DBG_LPTIM1_STOP	DBG_LPTIM2_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_I2C1_SMBUS_TIMEOUT	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_IWDG_STOP	DBG_WWDG_STOP	DBG_RTC_STOP	Res.	Res.	Res.	Res.	DBG_TIM7_STOP	DBG_TIM6_STOP	Res.	Res.	DBG_TIM3_STOP	DBG_TIM2_STOP
	Reset value	0	0									0									0	0	0					0	0			0	0
0x0C	**DBG_APB_FZ2**	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	DBG_TIM17_STOP	DBG_TIM16_STOP	DBG_TIM15_STOP	DBG_TIM14_STOP	Res.	Res.	Res.	DBG_TIM1_STOP	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
	Reset value														0	0	0	0				0											

1. 复位值与产品有关。有关详细信息，请参见*第 37.10.1 节：DBG 器件 ID 代码寄存器 (DBG_IDCODE)*。

有关寄存器边界地址的信息，请参见*第 53 页的第 2.2 节*。

38 器件电子签名

器件电子签名存储在 Flash 模块的系统存储区中，可以使用调试接口或 CPU 对其进行读取。它包含出厂前编程的标识和校准数据，这些数据允许用户固件或其他外部器件与 STM32G0x1 微控制器的特性自动匹配。

38.1 唯一器件 ID 寄存器（96 位）

Unique device ID register

唯一器件标识符最适合：

- 用作序列号（例如 USB 字符串序列号或其他终端应用程序）
- 在对内部 Flash 进行编程前将唯一 ID 与软件加密原语和协议结合使用时用作安全密钥的一部分以提高 Flash 中代码的安全性
- 激活安全自举过程等

96 位的唯一器件标识符提供了一个对于任何器件和任何上下文都唯一的参考号码。用户不能更改这些位。

基址：0x1FFF 7590

偏移地址：0x00

只读 = 0xXXXX XXXX，其中 X 是出厂前编程的

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[31:16]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[15:0]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:0 **UID[31:0]**：以 BCD 格式表示的晶圆上的 X 和 Y 坐标 (X and Y coordinates on the wafer expressed in BCD format)

偏移地址：0x04

只读 = 0xXXXX XXXX，其中 X 是出厂前编程的

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[63:48]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[47:32]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:8 **UID[63:40]**：LOT_NUM[23:0]
批号 (Lot number)（ASCII 编码）

位 7:0 **UID[39:32]**：WAF_NUM[7:0]
晶圆编号 (Wafer number)（8 位无符号数）

偏移地址：0x08

只读 = 0xXXXX XXXX，其中 X 是出厂前编程的

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
UID[95:80]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UID[79:64]															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:0 **UID[95:64]**：LOT_NUM[55:24]
批号 (Lot number)（ASCII 编码）

38.2 Flash 大小数据寄存器

Flash memory size data register

基址：0x1FFF 75E0

偏移地址：0x00

只读 = 0xXXXX，其中 X 是出厂前编程的

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLASH_SIZE															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 15:0 **FLASH_SIZE[15:0]**：Flash 大小 (Flash memory size)
此处的位域指示以 KB 表示的器件 Flash 大小。
例如，0x040 对应于 64 KB。

38.3 封装数据寄存器

Package data register

基址：0x1FFF 7500

偏移地址：0x00

只读 = 0xXXXX，其中 X 是出厂前编程的

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	PKG[3:0]			
												r	r	r	r

位 15:4 保留

位 3:0 **PKG[3:0]**：封装类型 (Package type)

对于 STM32G071xx 和 STM32G081xx：

0000：UFQFPN28 通用 (GP)

0001：UFQFPN28 供电 (PD)

0100：UFQFPN32/LQFP32 通用 (GP)

0101：UFQFPN32/LQFP32 供电 (PD)

1000：UFQFPN48/LQFP48

1100：LQPF64

其他值：保留

对于 STM32G031xx 和 STM32G041xx：

0001：SO8N

0010：WLCSP18

0011：TSSOP20

0100：UFQFPN28

0101：UFQFPN32/LQFP32

0111：UFQFPN48/LQFP48

其他值：保留

39 版本历史

表 212. 文档版本历史

日期	版本	变更
2018 年 10 月 29 日	1	初始版本。
2019 年 5 月 2 日	2	集成了 STM32G031xx 和 STM32G041xx，影响以下章节： – *第 1.4 节：外设的可用性* – *图 2：存储器映射* – *表 3：STM32G031xx 和 STM32G041xx 存储器边界地址*（新增） – *第 2.3 节：嵌入式 SRAM* – *第 2.5 节：自举配置* – *第 3.3 节：FLASH 功能说明* – *第 3.4 节：FLASH 选项字节*（BOOT_LOCK 位定义中增加了“注意”部分） – *表 6：Flash 构成*（修改了标题） – *第 4 节：电源控制 (PWR)*（在 STM32G031xx 和 STM32G041xx 上未提供的指示位） – *图 10：时钟树* – *第 5 节：复位和时钟控制 (RCC)*（在 STM32G031xx 和 STM32G041xx 上未提供的指示位）和*第 5.2.12 节：定时器时钟* – *第 7 节：系统配置控制器 (SYSCFG)*（在 STM32G031xx 和 STM32G041xx 上未提供的指示位） – *第 7.1.2 节：SYSCFG 配置寄存器 2 (SYSCFG_CFGR2)*（增加了钳位二极管使能位） – *第 9.1 节：简介* – *表 36：DMA 实现* – *表 41：DMAMUX 实例化* – *第 11.3 节：中断和异常向量* – *第 12 节：扩展中断与事件控制器 (EXTI)*（在 STM32G031xx 和 STM32G041xx 上未提供的指示位） – *图 163：通用定时器框图*和*图 186：外部触发输入模块* – *第 26 节：红外接口 (IRTIM)* – *表 167：USART 特性* – *表 210：DEV_ID 和 REV_ID 位域值* – *表 37.10.4：DBG APB 冻结寄存器 2 (DBG_APB_FZ2)* – *第 38.3 节：封装数据寄存器*

索引

A

ADC_AWD1TR 337
ADC_AWD2CR 342
ADC_AWD2TR 337
ADC_AWD3CR 342
ADC_AWD3TR 340
ADC_CALFACT 343
ADC_CCR 343
ADC_CFGR1 331
ADC_CFGR2 334
ADC_CHSELR 338-339
ADC_DR 341
ADC_IER 327
ADC_SMPR 336
AES_CR 443
AES_DINR 446
AES_DOUTR 447
AES_IVR0 449
AES_IVR1 450
AES_IVR2 450
AES_IVR3 450
AES_KEYR0 448
AES_KEYR1 448
AES_KEYR2 448
AES_KEYR3 449
AES_KEYR4 451
AES_KEYR5 451
AES_KEYR6 451
AES_KEYR7 452
AES_SR 445
AES_SUSPxR 452

C

CEC_CFGR 1128
CEC_CR 1127
CEC_IER 1133
CEC_ISR 1131
CEC_RXDR 1131
CEC_TXDR 1130
COMP1_CSR 390
COMP2_CSR 392
CRC_CR 289
CRC_DR 288
CRC_IDR 289
CRC_INIT 290
CRC_POL 290

D

DAC_DHR12L1 367
DAC_DHR12L2 369
DAC_DHR12LD 370
DAC_DHR12R1 367
DAC_DHR12R2 368
DAC_DHR12RD 370
DAC_DHR8R1 368
DAC_DHR8R2 369
DAC_DHR8RD 371
DAC_DOR1 371
DAC_DOR2 372
DAC_SHRR 378
DAC_SHSR1 376
DAC_SHSR2 376
DBG_APB_FZ1 1144
DBG_APB_FZ2 1146
DBG_CR 1144
DBG_IDCODE 1143
DMA_CCRx 246
DMA_CMARx 250
DMA_CNDTRx 249
DMA_CPARx 250
DMA_IFCR 245
DMA_ISR 243
DMAMUX_CCFR 263
DMAMUX_CFR 263
DMAMUX_CSR 262
DMAMUX_CxCR 261
DMAMUX_RGCFR 264
DMAMUX_RGSR 264
DMAMUX_RGxCR 263
DMAMUX1_CFR 263

E

EXTI_EMR1 282
EXTI_EMR2 283
EXTI_EXTICRx 279
EXTI_FPR1 279
EXTI_FTSR1 277
EXTI_IMR1 281
EXTI_IMR2 283
EXTI_RPR1 278
EXTI_RTSR1 277
EXTI_SWIER1 278

F

FLASH_ACR 85
FLASH_CR 88
FLASH_ECCR 90
FLASH_KEYR 86
FLASH_OPTKEYR 86
FLASH_OPTR 91
FLASH_PCROP1AER 93
FLASH_PCROP1ASR 93
FLASH_PCROP1BER 95
FLASH_PCROP1BSR 95
FLASH_SECR 96
FLASH_SR 87
FLASH_WRP1AR 94
FLASH_WRP1BR 94

G

GPIOx_BRR 202
GPIOx_BSRR 199
GPIOx_IDR 198
GPIOx_LCKR 200
GPIOx_MODER 196
GPIOx_ODR 199
GPIOx_OSPEEDR 197
GPIOx_OTYPER 197

I

I2C_CR1 880
I2C_CR2 883
I2C_ICR 892
I2C_ISR 890
I2C_OAR1 886
I2C_OAR2 887
I2C_PECR 893
I2C_RXDR 894
I2C_TIMEOUTR 889
I2C_TIMINGR 888
I2C_TXDR 894
I2Cx_CR2 883
IWDG_KR 768
IWDG_PR 769
IWDG_RLR 770
IWDG_SR 771
IWDG_WINR 772

L

LPTIM_ARR 761
LPTIM_CFGR 757
LPTIM_CFGR2 762
LPTIM_CMP 760
LPTIM_CNT 761
LPTIM_CR 759
LPTIM_ICR 755
LPTIM_IER 756
LPTIM_ISR 754
LPUART_BRR 1010
LPUART_CR1 . . . . . 1000, 1002
LPUART_CR2 1006
LPUART_CR3 1007
LPUART_ICR 1018
LPUART_ISR 1011, 1015
LPUART_PRESC 1020
LPUART_RDR 1019
LPUART_RQR 1011
LPUART_TDR 1019

P

PWR_CR3 122
PWR_CR4 123
PWR_PDCRC 130
PWR_PDCRD 131
PWR_PUCRB 128
PWR_PUCRD 130
PWR_PUCRF 132
PWR_SR1 124

R

RCC_AHBENR 167
RCC_AHBRSTR 161
RCC_AHBSMENR 173
RCC_APBENR1 168
RCC_APBENR2 170
RCC_APBRSTR1 162
RCC_APBRSTR2 164
RCC_APBSMENR1 174
RCC_APBSMENR2 177
RCC_BDCR 181
RCC_CCIPR 178
RCC_CIFR 158
RCC_IOPENR 166
RCC_IOPRSTR 160
RCC_IOPSMENR 172
RNG_CR 403
RNG_DR 405
RNG_SR 404
RTC_ALRMAR 807
RTC_ALRMASSR 808
RTC_ALRMBR 809
RTC_ALRMBSSR 810
RTC_CALR 803

RTC_CR 799
RTC_DR 795
RTC_ICSR 796
RTC_MISR 812
RTC_PRER 798
RTC_SCR 813
RTC_SHIFTR 804
RTC_SR 811
RTC_SSR 796
RTC_TR 794
RTC_TSDR 806
RTC_TSSSR 806
RTC_TSTR 805
RTC_WPR 802
RTC_WUTR 798

S

SPIx_CR1 1065
SPIx_CR2 1067
SPIx_CRCPR 1071
SPIx_DR 1071
SPIx_I2SCFGR 1072
SPIx_I2SPR 1074
SPIx_RXCRCR 1071
SPIx_SR 1069
SPIx_TXCRCR 1072
SYSCFG_CFGR1 205
SYSCFG_CFGR2 208
SYSCFG_ITLINE0 209
SYSCFG_ITLINE1 210
SYSCFG_ITLINE10 214
SYSCFG_ITLINE11 214
SYSCFG_ITLINE12 215
SYSCFG_ITLINE13 216
SYSCFG_ITLINE14 216
SYSCFG_ITLINE15 217
SYSCFG_ITLINE16 217
SYSCFG_ITLINE17 218
SYSCFG_ITLINE18 218
SYSCFG_ITLINE19 219
SYSCFG_ITLINE2 210
SYSCFG_ITLINE20 219
SYSCFG_ITLINE21 219
SYSCFG_ITLINE22 220
SYSCFG_ITLINE23 220
SYSCFG_ITLINE24 220
SYSCFG_ITLINE25 221
SYSCFG_ITLINE26 221
SYSCFG_ITLINE27 221
SYSCFG_ITLINE28 222
SYSCFG_ITLINE29 222
SYSCFG_ITLINE3 211
SYSCFG_ITLINE30 223
SYSCFG_ITLINE4 211
SYSCFG_ITLINE5 212
SYSCFG_ITLINE6 212
SYSCFG_ITLINE7 213
SYSCFG_ITLINE8 213
SYSCFG_ITLINE9 214

T

TAMP_BKPxR 828
TAMP_CR1 821
TAMP_CR2 822
TAMP_FLTCR 823
TAMP_IER 824
TAMP_MISR 826
TAMP_SCR 827
TAMP_SR 825
TIM1_AF1 543
TIM1_AF2 544
TIM1_ARR 532
TIM1_BDTR 535
TIM1_CCER 528
TIM1_CCMR1 . . . . . 522, 524
TIM1_CCMR2 526-527
TIM1_CCMR3 541
TIM1_CCR1 533
TIM1_CCR2 534
TIM1_CCR3 534
TIM1_CCR5 542
TIM1_CCR6 543
TIM1_CNT 532
TIM1_CR1 511
TIM1_CR2 512
TIM1_DCR 539
TIM1_DIER 517
TIM1_DMAR 540
TIM1_EGR 520
TIM1_OR1 540
TIM1_PSC 532
TIM1_RCR 533
TIM1_SMCR 515
TIM1_SR 519
TIM1_TISEL 546
TIM14_ARR 656
TIM14_CCMR1 652-653
TIM14_CCR1 657
TIM14_CNT 656
TIM14_CR1 649
TIM14_DIER 650
TIM14_EGR 651

TIM14_PSC 656
TIM14_SR 650
TIM14_TISEL 657
TIM15_AF1 715
TIM15_ARR 709
TIM15_BDTR 711
TIM15_CCER 706
TIM15_CCMR1 703-704
TIM15_CCR1 710
TIM15_CCR2 711
TIM15_CNT 709
TIM15_CR1 695
TIM15_CR2 696
TIM15_DCR 714
TIM15_DIER 699
TIM15_DMAR 714
TIM15_EGR 702
TIM15_PSC 709
TIM15_RCR 710
TIM15_SMCR 698
TIM15_SR 700
TIM15_TISEL 716
TIM16_AF1 735-736
TIM16_TISEL 737
TIM17_AF1 737
TIM17_TISEL 738
TIM2_AF1 617
TIM2_OR1 616
TIM2_TISEL 618
TIM3_AF1 617
TIM3_OR1 616
TIM3_TISEL 618
TIMx_ARR 612, 634, 729
TIMx_BDTR 731
TIMx_CCER 609, 726
TIMx_CCMR1 . . . . . .603, 605, 724-725
TIMx_CCMR2 607-608
TIMx_CCR1 . . . . . .612, 730
TIMx_CCR2 613
TIMx_CCR3 613
TIMx_CCR4 . . . . . .535, 614
TIMx_CNT 610-611, 633, 729
TIMx_CR1 . . . . . 594, 630, 719
TIMx_CR2 . . . . . 595, 632, 720
TIMx_DCR 615, 734
TIMx_DIER 599, 632, 721
TIMx_DMAR 615, 734
TIMx_EGR 602, 633, 723
TIMx_PSC 611, 634, 729
TIMx_RCR 730
TIMx_SMCR 597
TIMx_SR 600, 633, 722

U

USART_BRR 956
USART_CR1 . . . . . .941, 945
USART_CR2 948
USART_CR3 952
USART_GTPR 956
USART_ICR 968
USART_ISR 959, 964
USART_PRESC 971
USART_RDR 970
USART_RQR 958
USART_RTOR 957
USART_TDR 970

V

VREFBUF_CCR 383
VREFBUF_CSR 382

W

WWDG_CFR 777
WWDG_CR 776
WWDG_SR 778

Y

用定时器 660

重要通知 – 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对ST产品和/或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于ST产品的最新信息。ST产品的销售依照订单确认时的相关ST销售条款。

买方自行负责对ST产品的选择和使用，ST概不承担与应用协助或买方产品设计相关的任何责任。

ST不对任何知识产权进行任何明示或默示的授权或许可。

转售的ST产品如有不同于此处提供的信息的规定，将导致ST针对该产品授予的任何保证失效。

ST和ST徽标是ST的商标。若需ST商标的更多信息，请参考 *www.st.com/trademarks*。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。